

3 相ハーフブリッジ ゲートドライブ IC

FAN73893



SOIC-28, 300 mils
CASE 751BM-01

概要

FAN73893 は、モノリシック 3 相ハーフブリッジゲートドライブ IC で、高電圧、高速運転、最大 +600 V までの操作ができる MOSFET と IGBT の駆動用に設計されています。

フェアチャイルドの高電圧プロセスとコモンモードのノイズキャンセリング技術は、 dV_s/dt ノイズが大きい環境でもハイサイドドライバーの動作を安定させることができます。

高度なレベルシフト回路で、ハイサイドゲートドライバーが最大 $V_S = -9.8$ V (標準) で動作し、 $V_{BS} = 15$ V に対応できます。

保護機能の特徴は、低電圧誤動作防止、インターロック機能、自動フォールトクリア機能付きインバーター過電流トリップなどです。6 つの出力すべてを終了させる過電流保護は外部電流検知抵抗器によって実現できます。オープンドレイン障害信号の提供により、過電流または不足電圧によるシャットダウンの発生を通知できます。UVLO 回路は、 V_{DD} と V_{BS} が閾値電圧より低い場合、誤動作を防ぎます。

出力ドライバーは通常、ソースに 350 mA、シンクに 650 mA を流し、モータードライブシステムの 3 相ハーフブリッジ用途に適しています。

特長

- ブートストラップ動作向けに +600 V で設計されたフローティングチャンネル
- 全チャンネルに対し、通常 350 mA/650 mA のソース/シンク電流駆動機能
- ネガティブ V_S スイングの許容範囲を -9.8 V まで拡張し、 $V_{DD} = V_{BS} = 15$ V での信号伝搬に対応
- 入力信号と位相が一致しない出力
- 過電流シャットダウンは、6 つすべてのドライバーをオフにします
- すべてのチャンネルの整合伝搬遅延
- 3.3 V と 5.0 V の入力ロジックに対応
- 調整可能な障害クリアタイミング
- 全相でインターロッキング信号により交差伝導を防止
- コモンモード dV_s/dt ノイズキャンセリング回路

MARKING DIAGRAM



Pin 1

- FAN73893 = Specific Device Code
- \$Y = Logo
- &Z = Assembly Plant Code
- &2 = 2-Digit Date Code Format
- &K = 2-Digits Lot Run Traceability Code

ORDERING INFORMATION

See detailed ordering and shipping information on page 15 of this data sheet.

特長 (続き)

- 高度な入力フィルター内蔵
- ソフトターンオフ機能内蔵
- すべてのチャンネル用の内蔵 UVLO 機能
- This is a Pb-Free Device

アプリケーション

- 3 相モーターインバータードライバー
- エアコン、洗濯機、冷蔵庫、食器洗浄機
- 産業用インバーター - ミシン、電動工具
- 汎用 3 相インバーター

表 1. COMPARISION TABLE

Part	FAN73893MX	FAN73894MX	FAN73895MX	FAN73896MX
INPUT Type	Inverted	Inverted	Non-inverted	Non-inverted
V_{DDUV+} / V_{BSUV+} (Min / Typ / Max)	7.5 / 8.5 / 9.3 [V]	10.2 / 11.2 / 12 [V]	7.5 / 8.5 / 9.3 [V]	10.2 / 11.2 / 12 [V]
V_{DDUV-} / V_{BSUV-} (Min / Typ / Max)	7 / 8 / 8.7 [V]	9.7 / 10.7 / 11.4 [V]	7 / 8 / 8.7 [V]	9.7 / 10.7 / 11.4 [V]
Note	(Replacement for FAN73892MX)	-	(Replacement for FAN7389MX1)	-

FAN73893

代表的用途図

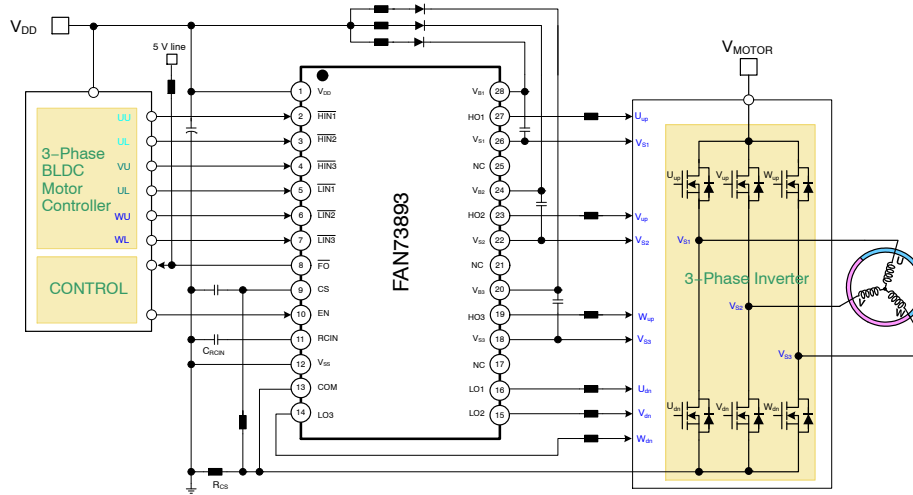


図 1. 3 相 BLDC モータードライブ用途

内部ブロック図

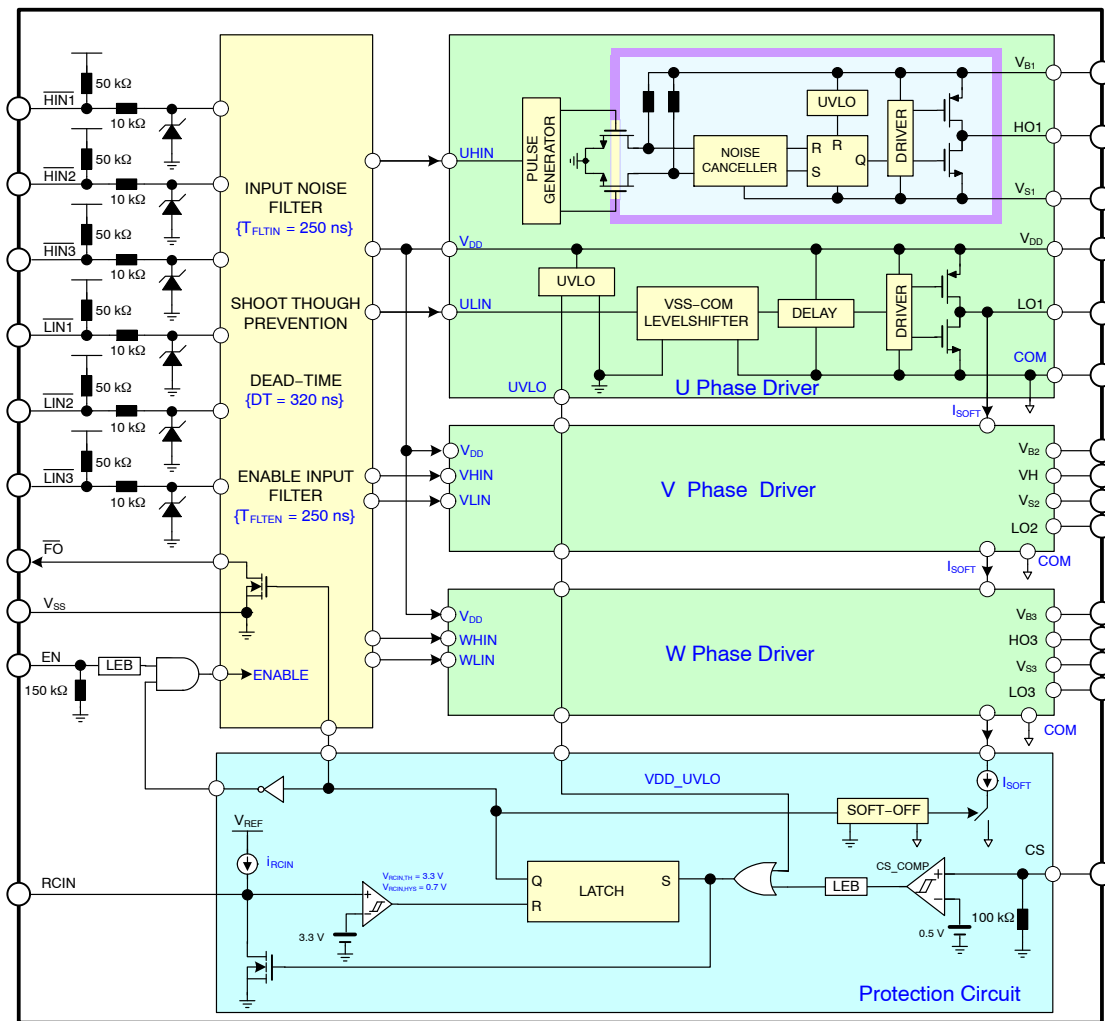


図 2. 機能ブロック図

FAN73893

ピン配置

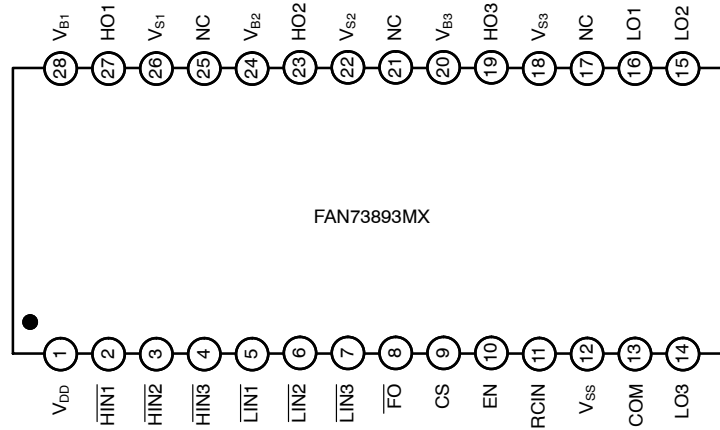


図 3. ピン割り当て

ピン定義

ピン	名前	概要
1	V _{DD}	ロジックおよびローサイドゲートドライバーの電源電圧
2	HIN ₁	ハイサイドゲート 1 ドライバー用ロジック入力 1
3	HIN ₂	ハイサイドゲート 2 ドライバー用ロジック入力 2
4	HIN ₃	ハイサイドゲート 3 ドライバー用ロジック入力 3
5	LIN ₁	ローサイドゲート 1 ドライバー用ロジック入力 1
6	LIN ₂	ローサイドゲート 2 ドライバー用ロジック入力 2
7	LIN ₃	ローサイドゲート 3 ドライバー用ロジック入力 3
8	FO	オーブンドレイン付きフォールト出力 (過電流とローサイド低電圧を表示)
9	CS	過電流シャットダウン用アナログ入力
10	EN	シャットダウン機能用ロジック入力
11	RCIN	フォールトクリア遅延の定義に使用する外部 RC ネットワーク入力
12	V _{SS}	ロジックグラウンド
13	COM	ローサイドドライバーリターン
14	LO ₃	ローサイドゲートドライバー 3 の出力
15	LO ₂	ローサイドゲートドライバー 2 の出力
16	LO ₁	ローサイドゲートドライバー 1 の出力
17, 21, 25	NC	接続なし
18	V _{S3}	ハイサイドドライバー 3 フローティング電源オフセット電圧
19	HO ₃	ハイサイドドライバー 3 ゲートドライバーの出力
20	V _{B3}	ハイサイドドライバー 3 フローティング電源
22	V _{S2}	ハイサイドドライバー 2 フローティング電源オフセット電圧
23	HO ₂	ハイサイドドライバー 2 ゲートドライバーの出力
24	V _{B2}	ハイサイドドライバー 2 フローティング電源
26	V _{S1}	ハイサイドドライバー 1 フローティング電源オフセット電圧
27	HO ₁	ハイサイドドライバー 1 ゲートドライバーの出力
28	V _{B1}	ハイサイドドライバー 1 フローティング電源

対最大定格 (別途、注記のない限り、 $T_A = 25^\circ\text{C}$ です)

記号	パラメーター	最小	最大	単位
V_S	ハイサイドフローティングオフセット電圧	$V_{B1,2,3} - 25$	$V_{B1,2,3} + 0.3$	V
V_B	ハイサイドフローティング電源電圧	-0.3	625.0	V
V_{DD}	ローサイドおよびロジック固定電源電圧	-0.3	25.0	V
V_{HO}	ハイサイドフローティング出力電圧 $V_{HO1, 2, 3}$	$V_{S1,2,3} - 0.3$	$V_{B1,2,3} + 0.3$	V
V_{LO}	ローサイドフローティング出力電圧 $V_{LO1, 2, 3}$	-0.3	$V_{DD} + 0.3$	V
V_{IN}	入力電圧 (HIN \bar{x} , LIN \bar{x} , CS, and EN) (注記 1)	$V_{SS} - 0.3$	$V_{SS} + 5.5$	V
V_{FO}	フォールト出力電圧 (FO)	-0.3	$V_{DD} + 0.3$	V
d V_S /dt	許容可能なオフセット電圧スルーレート	-	± 50	V/ns
P_D	電力消費 (注記 2, 3)	-	1.4	W
θ_{JA}	熱抵抗	-	70	$^\circ\text{C}/\text{W}$
T_J	接合部温度	-	150	$^\circ\text{C}$
T_{STG}	保存温度	-55	150	$^\circ\text{C}$

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

1. 全入力電圧 (HIN \bar{x} , LIN \bar{x} , CS, and EN) が V_{SS} を基準としています。また、最大電圧定格は超えません。

2. 76.2 x 114.3 x 1.6 mm PCB (FR-4 ガラスエポキシ材料) に実装。以下の標準をご参照ください。

JESD51-2: 『Integral circuit's thermal test method environmental conditions, natural convection』

JESD51-3: 『Low effective thermal conductivity test board for leaded surface-mount packages』。

3. どのような場合でも、絶対に最大電力消費 (P_D) を超えないようにしてください。

推奨動作条件

記号	パラメーター	最小	最大	単位
$V_{B1,2,3}$	ハイサイドフローティング電源電圧	$V_{S1,2,3} + 10$	$V_{S1,2,3} + 20$	V
$V_{S1,2,3}$	ハイサイドフローティング電源オフセット電圧	$6 - V_{DD}$	600	V
V_{DD}	ローサイドおよびロジック固定電源電圧	10	20	V
$V_{HO1,2,3}$	ハイサイド出力電圧	$V_{S1,2,3}$	$V_{B1,2,3}$	V
$V_{LO1,2,3}$	ローサイド出力電圧	COM	V_{DD}	V
V_{FO}	フォールト出力電圧 (FO)	V_{SS}	V_{DD}	V
V_{CS}	電流検知ピン入力電圧	V_{SS}	$V_{SS} + 5$	V
V_{IN}	ロジック入力電圧 (HIN1,2,3 および LIN1,2,3)	V_{SS}	$V_{SS} + 5$	V
V_{SS}	ロジックグラウンド	-5	5	V
T_A	周囲温度	-40	+125	$^\circ\text{C}$

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考訳)

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

FAN73893

電気特性 (別途、注記のない限り V_{BIAS} (V_{DD} , $V_{BS1,2,3}$) = 15.0 V, T_A = 25°C です。 V_{IN} および I_{IN} パラメーターは V_{SS} を基準としており、6 チャンネルすべてに適用可能です。 V_O および I_O パラメーターは $V_{S1,2,3}$ と COM を基準としており、それぞれの出力端子 (HO1、2、3 および LO1、2、3) に適用できます。 V_{DDUV} パラメーターは V_{SS} を基準にしています。 V_{BSUV} パラメーターは $V_{S1,2,3}$ を基準にしています。)

記号	パラメーター	条件	最小	標準	最大	単位
----	--------	----	----	----	----	----

ローサイド電源セクション

I_{QDD}	静止時 V_{DD} 電源電流	$V_{LIN1,2,3} = 5$ V または開放、 $EN = 0$ V	-	250	400	μ A
I_{PDD}	動作時 V_{DD} 電源電流	$f_{LIN1,2,3} = 20$ kHz、rms 値	-	550	750	μ A
V_{DDUV+}	V_{DD} 電源低電圧正極性閾値	$V_{DD} =$ スイープ	7.5	8.5	9.3	V
V_{DDUV-}	V_{DD} 電源低電圧負極性閾値	$V_{DD} =$ スイープ	7.0	8.0	8.7	V
V_{DDHYS}	V_{DD} 電源低電圧誤動作防止ヒステリシス	$V_{DD} =$ スイープ	-	0.5	-	V

ブートストラップ電源セクション

V_{BSUV+}	V_{BS} 電源低電圧正極性閾値	$V_{BS1,2,3} =$ スイープ	7.5	8.5	9.3	V
V_{BSUV-}	V_{BS} 電源低電圧負極性閾値	$V_{BS1,2,3} =$ スイープ	7.0	8.0	8.7	V
V_{BSHYS}	V_{BS} 電源低電圧誤動作防止ヒステリシス	$V_{BS1,2,3} =$ スイープ	-	0.5	-	V
I_{LK}	オフセット電源リーク電流	$V_{B1,2,3} = V_{S1,2,3} = 600$ V	-	-	10	μ A
I_{QBS}	静止時 V_{BS} 電源電流	$V_{HIN1,2,3} = 0$ V or 5 V, $EN = 0$ V	10	50	80	μ A
I_{PBS}	動作時 V_{BS} 電源電流	$f_{HIN1,2,3} = 20$ kHz、rms 値	200	320	480	μ A

ゲートドライバーの出力セクション

V_{OH}	ハイレベル出力電圧 $V_{BIAS} - V_O$	$I_O = 0$ mA (無負荷時)	-	-	100	mV
V_{OL}	ローレベル出力電圧: V_O	$I_O = 0$ mA (無負荷時)	-	-	100	mV
I_{O+}	出力ハイ短絡パルス電流 (注記 4)	$V_O = 0$ V, $V_{IN} = 0$ V ($PW \leq 10$ μ s 時)	250	350	-	mA
I_{O-}	出力ロー短絡パルス電流 (注記 4)	$V_O = 15$ V, $V_{IN} = 5$ V ($PW \leq 10$ μ s 時)	500	650	-	mA
V_S	HO への HIN 信号伝搬で許容されるネガティブ V_S ピン電圧		-	-9.8	-9.0	V

ロジック入力セクション

V_{IH}	ロジック「0」入力電圧 $HIN1,2,3$, $LIN1,2,3$		2.5	-	-	V
V_{IL}	ロジック「1」入力電圧 $HIN1,2,3$, $LIN1,2,3$		-	-	0.8	V
I_{IN+}	ロジック入力バイアス電流 (HO = LO = HIGH)	$V_{IN} = 0$ V	77	100	143	μ A
I_{IN-}	ロジック入力バイアス電流 (HO = LO = LOW)	$V_{IN} = 5$ V	-	8.5	25	μ A
R_{IN}	ロジック入力プルアップ抵抗		35	50	65	k Ω

イネーブル制御セクション (EN)

V_{EN+}	正極性閾値イネーブル電圧		2.5	-	-	V
V_{EN-}	負極性閾値イネーブル電圧		-	-	0.8	V
I_{EN+}	ロジックイネーブル「1」入力バイアス電流	$V_{EN} = 5$ V (プルダウン = 150 k Ω)	15	33	50	μ A
I_{EN-}	ロジックイネーブル「0」入力バイアス電流	$V_{EN} = 0$ V	-	-	2	μ A
R_{EN}	ロジック入力プルダウン抵抗		100	150	333	k Ω

過電流保護セクション

V_{CSTH+}	過電流検出正極性閾値		450	500	550	mV
V_{CSTH-}	過電流検出負極性閾値		-	440	-	mV
V_{CSHYS}	過電流検出ヒステリシス		-	60	-	mV
I_{CSIN}	短絡入力電流	$V_{CSIN} = 1$ V	5	10	15	μ A
I_{SOFT}	ソフトターンオフシンク電流		25	40	55	mA

FAN73893

電気特性 (別途、注記のない限り V_{BIAS} (V_{DD} , $V_{BS1,2,3}$) = 15.0 V, T_A = 25°C です。 V_{IN} および I_{IN} パラメータは V_{SS} を基準としており、6 チャンネルすべてに適用可能です。 V_O および I_O パラメータは $V_{S1,2,3}$ と COM を基準としており、それぞれの出力端子 (HO1、2、3 および LO1、2、3) に適用できます。 V_{DDUV} パラメータは V_{SS} を基準にしています。 V_{BSUV} パラメータは $V_{S1,2,3}$ を基準にしています。) (つづき)

記号	パラメーター	条件	最小	標準	最大	単位
----	--------	----	----	----	----	----

フォールト出力セクション

$V_{RCINTH+}$	RCIN 正極性閾値電圧		2.7	3.3	3.9	V
$V_{RCINTH-}$	RCIN 負極性閾値電圧 (注記 4)		-	2.6	-	V
$V_{RCINHYS}$	RCIN ヒステリシス電圧 (注記 4)		-	0.7	-	V
I_{RCIN}	RCIN 内部電流ソース	$C_{RCIN} = 2 \text{ nF}$	3	5	7	μA
V_{FOL}	フォールト出力ローレベル電圧	$V_{CS} = 1 \text{ V}$, $I_{FO} = 1.5 \text{ mA}$	-	0.2	0.5	V
R_{DSRCIN}	RCIN オン抵抗	$I_{RCIN} = 1.5 \text{ mA}$	50	75	100	Ω
R_{DSFO}	フォールト出力 オン抵抗	$I_{FO} = 1.5 \text{ mA}$	90	130	170	Ω

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

4. これらのパラメータは設計上保証されています。

動的電気特性 (別途、注記のない限り、 $T_A = 25^\circ\text{C}$ 、 V_{BIAS} (V_{DD} , $V_{BS1,2,3}$) = 15.0 V、 $V_{S1,2,3} = \text{COM} = V_{SS}$ 、 $C_{RCIN} = 2 \text{ nF}$ 、and $C_{Load} = 1000 \text{ pF}$ です。)

記号	パラメーター	条件	最小	標準	最大	単位
t_{ON}	ターンオン伝搬遅延	$V_{LIN1,2,3} = V_{HIN1,2,3} = 0 \text{ V}$, $V_{S1,2,3} = 0 \text{ V}$	350	500	650	ns
t_{OFF}	ターンオフ伝搬遅延	$V_{LIN1,2,3} = V_{HIN1,2,3} = 5 \text{ V}$, $V_{S1,2,3} = 0 \text{ V}$	350	500	650	ns
t_R	ターンオン立ち上がり時間	$V_{LIN1,2,3} = V_{HIN1,2,3} = 0 \text{ V}$	20	50	100	ns
t_F	ターンオフ立下がり時間	$V_{LIN1,2,3} = V_{HIN1,2,3} = 5 \text{ V}$	10	30	80	ns
t_{EN}	ローイネーブルによるシャットダウン遅延の出力		400	500	600	ns
t_{CSBLT}	CS ピンリーディングエッジブランキング時間		400	650	850	ns
t_{CSFO}	CS トリガーから FO までの時間	$V_{CSC} = 1 \text{ V}$ から FO ターンオフま	-	850	1300	ns
t_{CSOFF}	CS トリガーからローサイドゲート出力のターンオフまでの時間	$V_{CSC} = 1 \text{ V}$ からゲートのターンオフ開始まで	-	850	1300	ns
t_{FLTIN}	入力フィルタリング時間 (注記 5) (\overline{HINx} , \overline{LINx} , EN)		170	250	330	ns
t_{FLTCLR}	フォールトクリアタイム	$C_{RCIN} = 2 \text{ nF}$	-	1.30	2.35	ms
DT	デッドタイム		230	320	400	ns
MDT	デッドタイムの整合 (6 チャンネル全部)		-	-	50	ns
MT	遅延整合 (6 チャンネル全部)		-	-	50	ns
PM	出力パルス幅整合 (注記 6)	$PW_{IN} > 1 \mu\text{s}$	-	50	100	ns

5. 確実に入力フィルターのフィルタリング時間を超えるために、最小入力パルス幅は500 nsを超えるようにしてください。

6. PM は $PW_{IN} - PW_{OUT}$ と定義されています。

標準特性

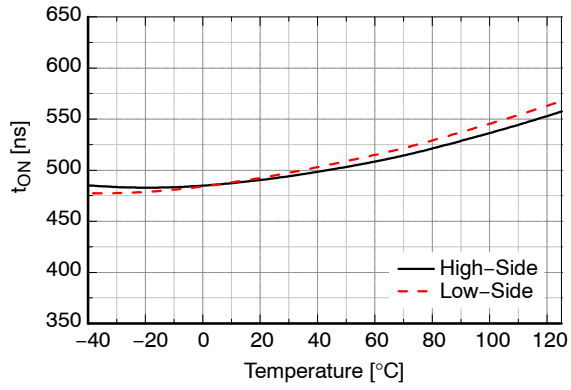


図 4. ターンオン伝搬遅延対温度

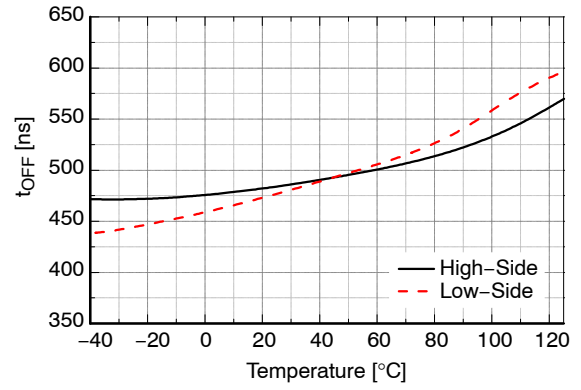


図 5. ターンオフ伝搬遅延対温度

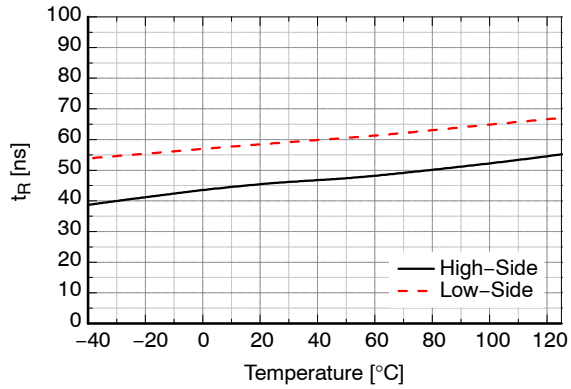


図 6. ターンオン立上がり時間対温度

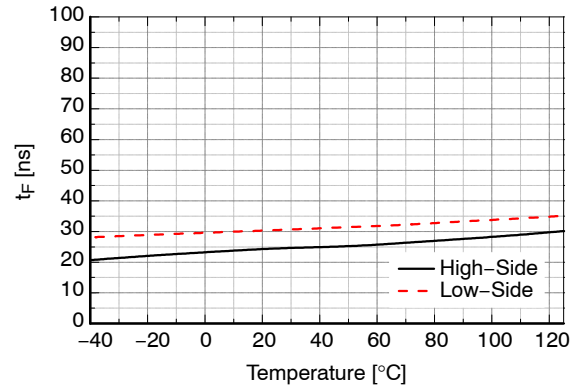


図 7. ターンオフ立下がり時間対温度

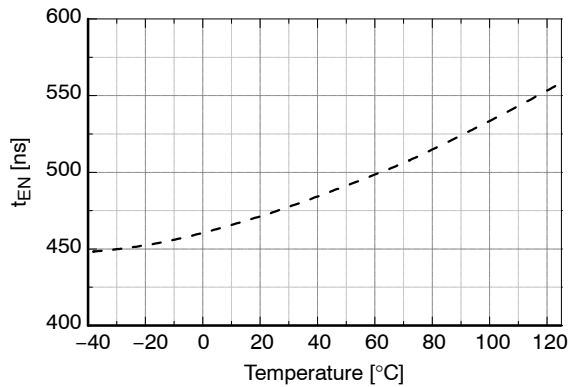


図 8. ローイネーブルによるシャットダウン遅延の出力対温度

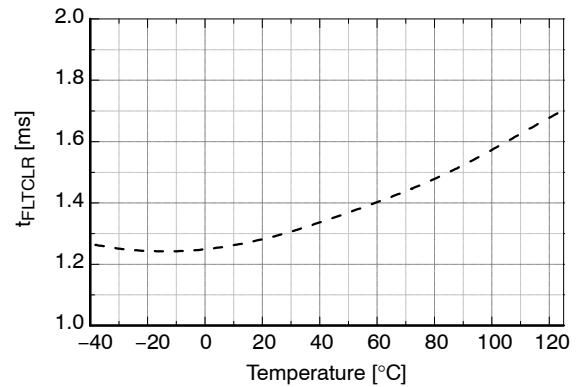


図 9. フォールトクリアタイム対温度

標準特性 (続き)

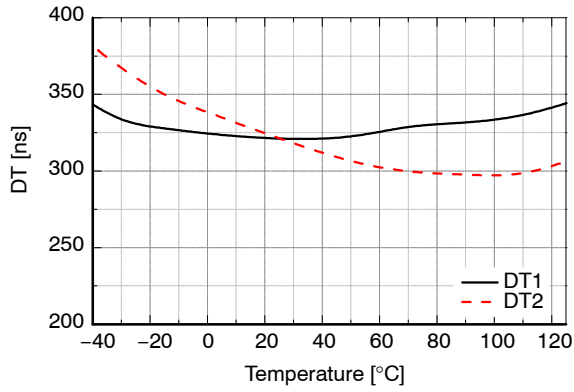


図 10. デッドタイム対温度

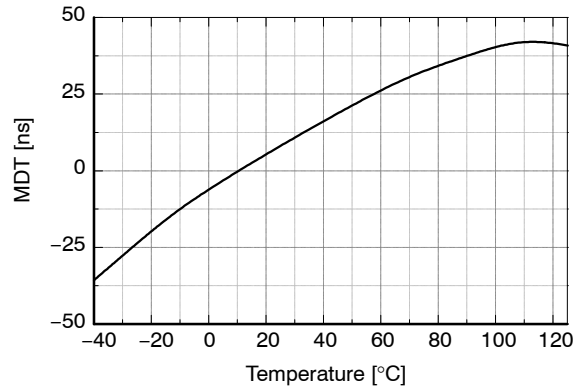


図 11. デッドタイム整合対時間

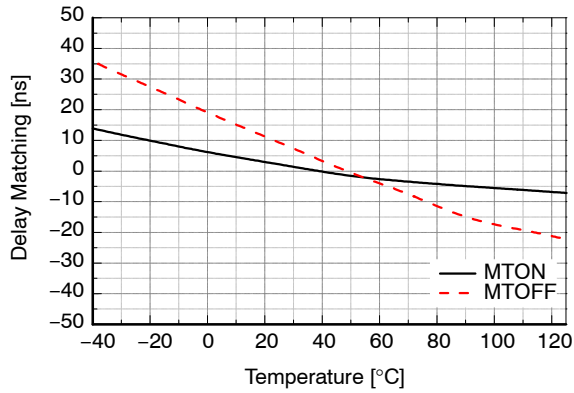


図 12. 遅延整合対温度

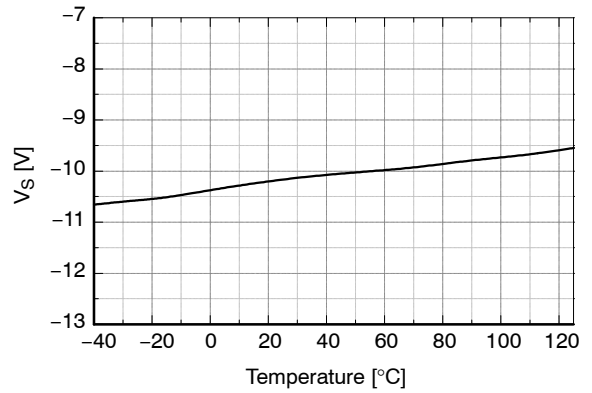


図 13. 許容ネガティブ V_S 電圧対温度

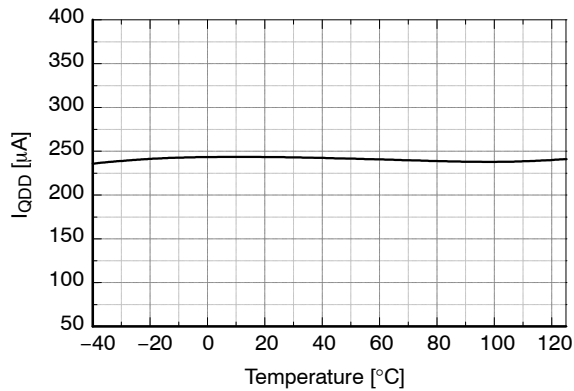


図 14. 静止時 V_{DD} 電源電流対温度

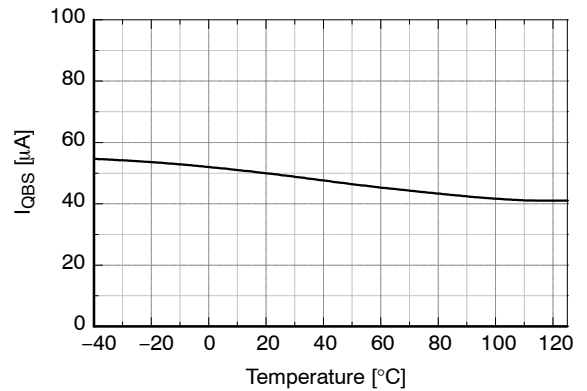


図 15. 静止時 V_{BS} 電源電流対温度

標準特性 (続き)

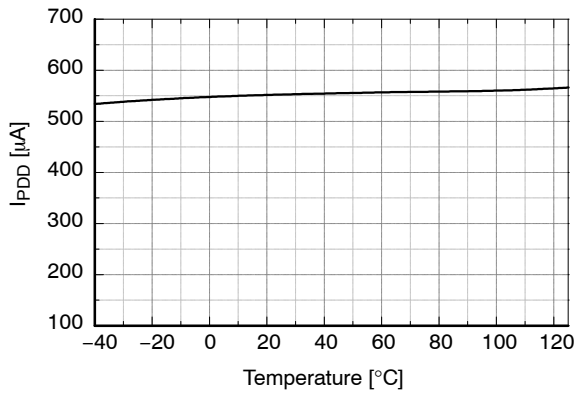


図 16. 動作時 V_{DD} 電源電流対温度

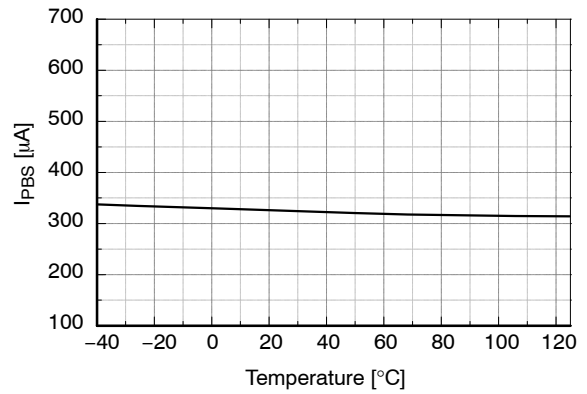


図 17. 動作時 V_{BS} 電源電流対温度

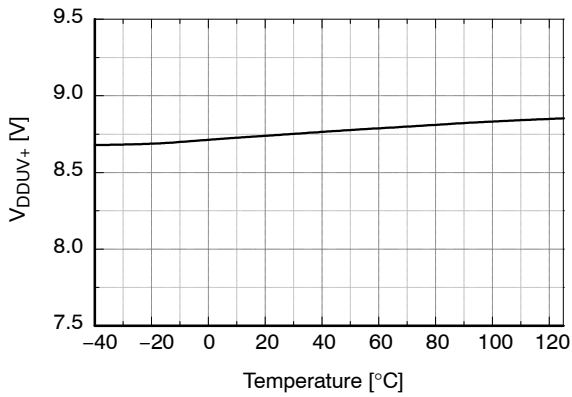


図 18. V_{DD} UVLO+ 対温度

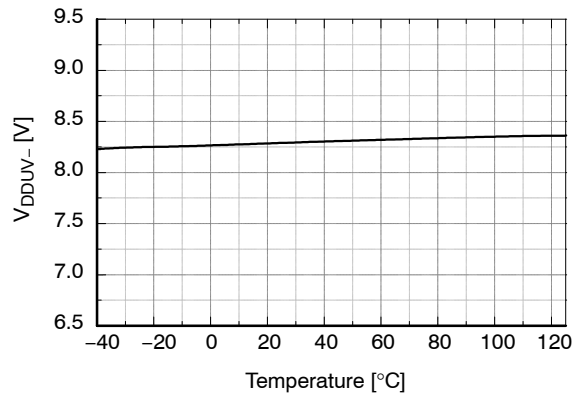


図 19. V_{DD} UVLO- 対温度

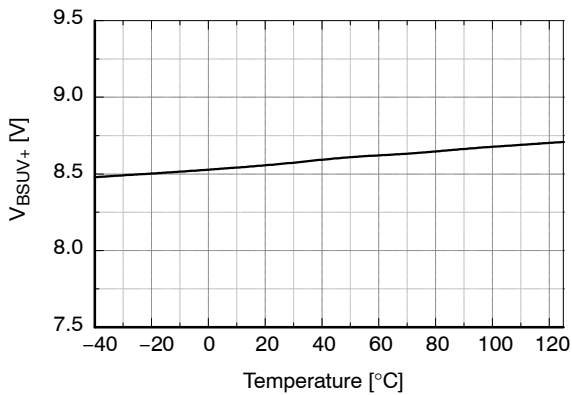


図 20. V_{BS} UVLO+ 対温度

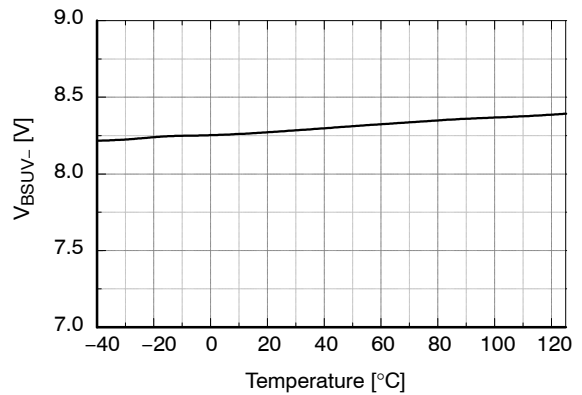


図 21. V_{BS} UVLO- 対温度

標準特性 (続き)

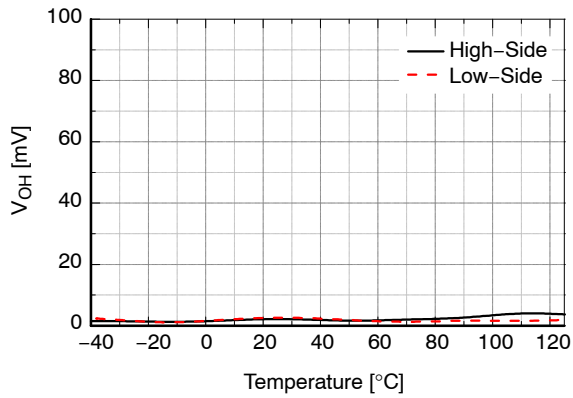


図 22. ハイレベル出力電圧対温度

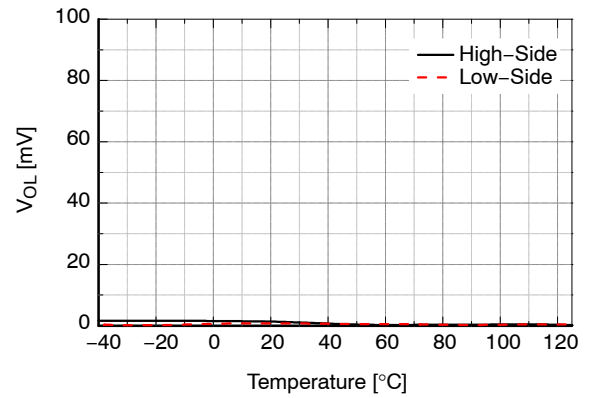


図 23. ローレベル出力電圧対温度

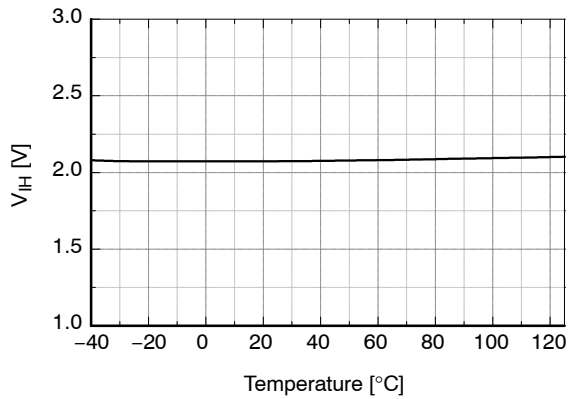


図 24. ロジックハイ入力電圧対温度

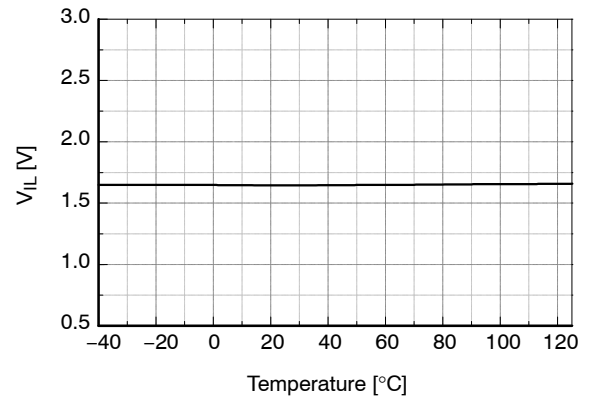


図 25. ロジックロー入力電圧対温度

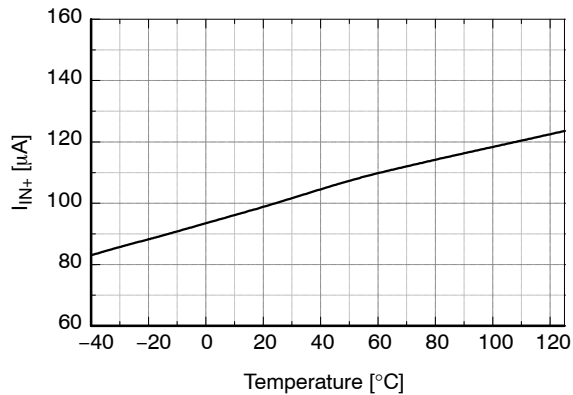


図 26. ロジック入力ハイバイアス電流対温度

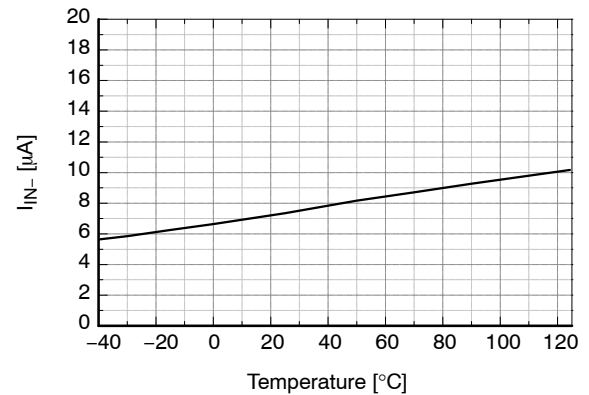


図 27. ロジック入力ローバイアス電流対温度

標準特性 (続き)

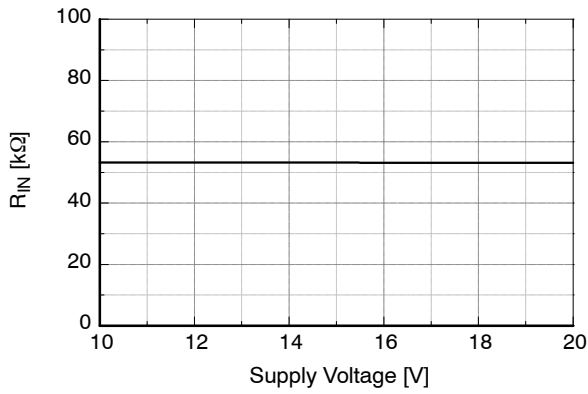


図 28. 入力プルダウン抵抗対電源電圧

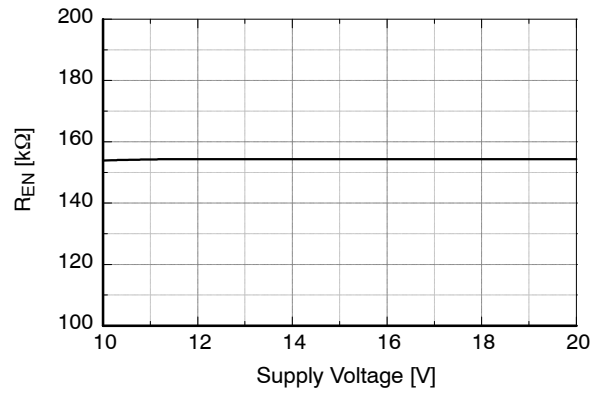


図 29. イネーブルピンプルダウン抵抗対電源電圧

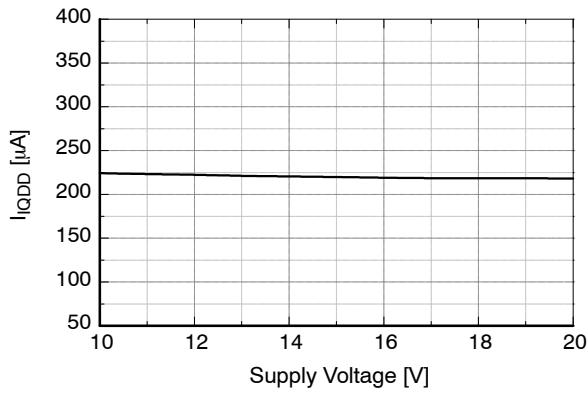


図 30. 静止時V_{DD}電源電流対電源電圧

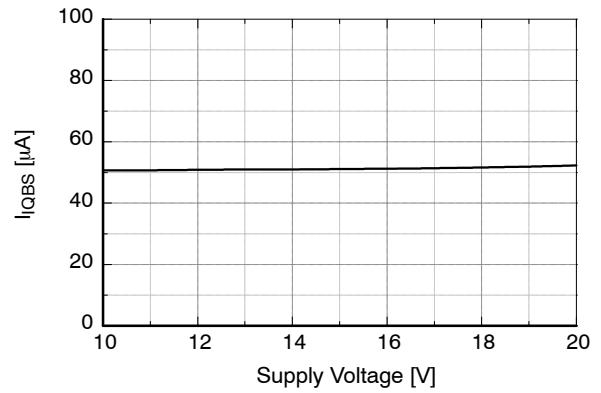


図 31. 静止時V_{BS}電源電流対電源電圧

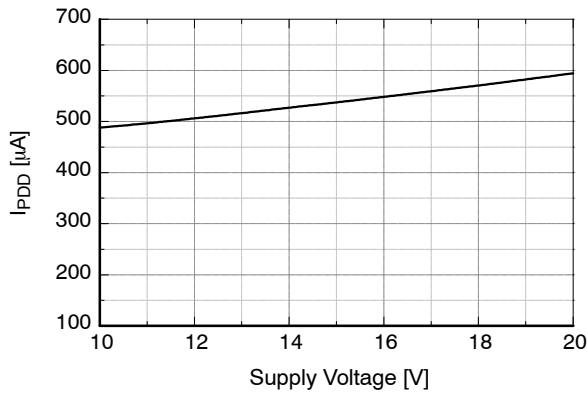


図 32. 動作時V_{DD}電源電流対電源電圧

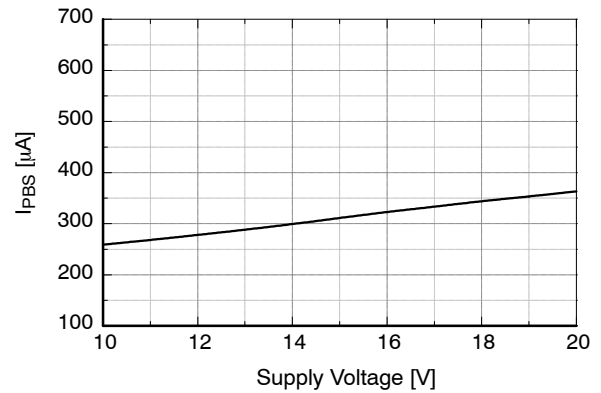


図 33. 動作時V_{BS}電源電流対電源電圧

スイッチング時間の定義

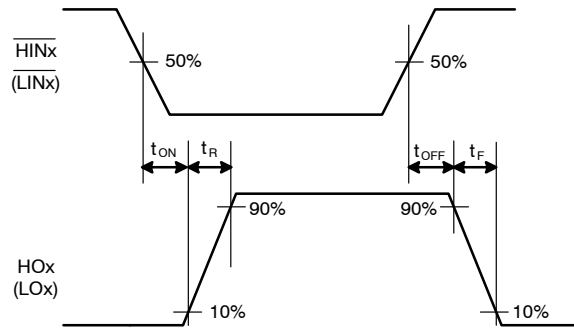


図 34. スwitching時間の波形の定義

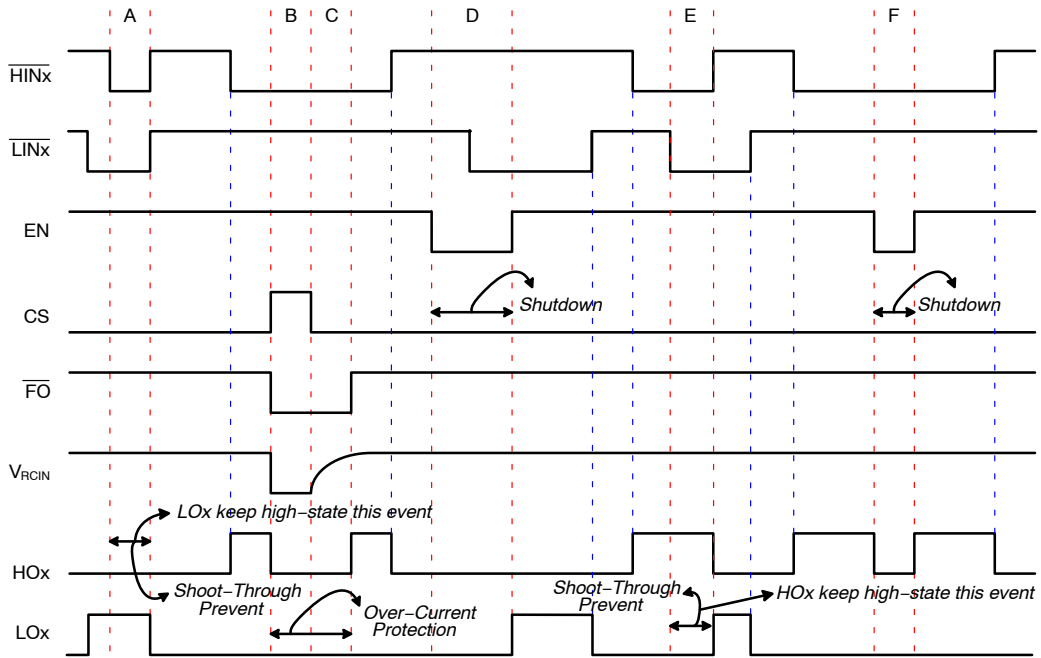


図 35. 入力/出カタイミング図

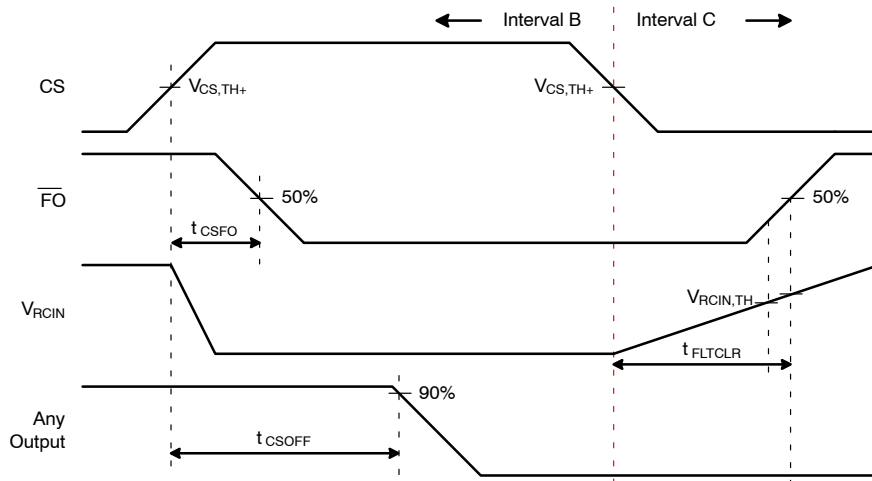


図 36. 過電流保護中の B-C 間隔の詳細図

アプリケーション情報

デッドタイム

2つの外部入力信号 ($\overline{\text{HINx}}$ 、 $\overline{\text{LINx}}$ 信号間) のデッドタイムが内蔵の固定値 (DT1 と DT2) より短い場合は、常にデッドタイムが自動的に挿入されます。そうでない場合、内蔵デッドタイムより長い外部デッドタイムはゲートドライバーによって変更されません。内蔵デッドタイムの波形の定義は図 37 のとおりです。

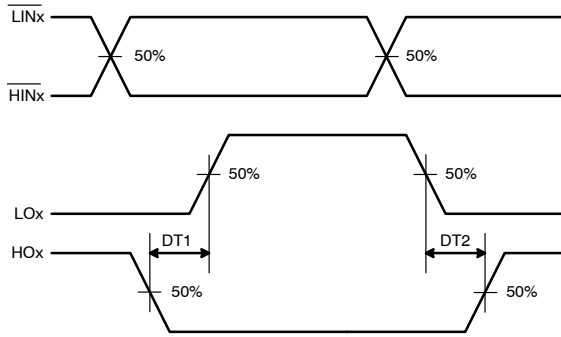


図 37. 内蔵デッドタイムの定義

保護機能

フォールトアウト (FO) と低電圧誤動作防止

ハイサイドおよびローサイドのドライバーに低電圧誤動作防止 (UVLO) に対する保護回路が組み込まれており、この回路で V_{DD} と V_{BS} の電源電圧を個別に監視しています。 V_{DD} と V_{BS} が指定された閾値電圧を下回ると、UVLO回路が誤動作を防ぎます。UVLOヒステリシスは電源変化時のチャタリングを防止します。さらに、電源 (V_{DD}) が回路の低電圧誤動作防止ハイ閾値電圧を下回ったとき ($t_1 \sim t_2$ 期間中に)、確実な動作のため、電源オンイベント中はフォールト信号 (電源電圧 FO) はロー状態へ移行します。それ以外では UVLO 回路は有効になりません (図38 参照)。 V_{DD} が 3.5 V を下回ると、 V_{DD} が低すぎて内蔵回路を駆動できなくなるため、フォールト信号がロー状態に移行しなくなります。

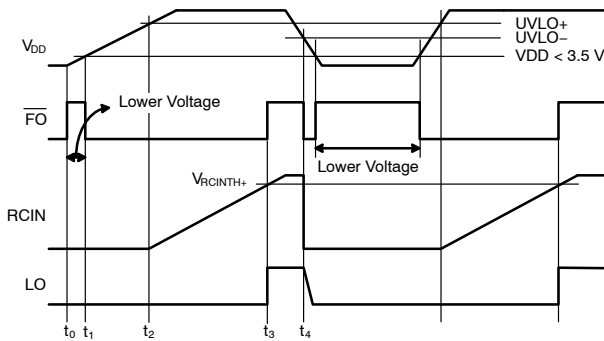


図 38. 低電圧誤動作防止に対応する波形

シュートスルー電流保護

シュートスルー保護回路は、ハイサイドとローサイド、両方のスイッチの同時動作を防止します (図 39 参照)。

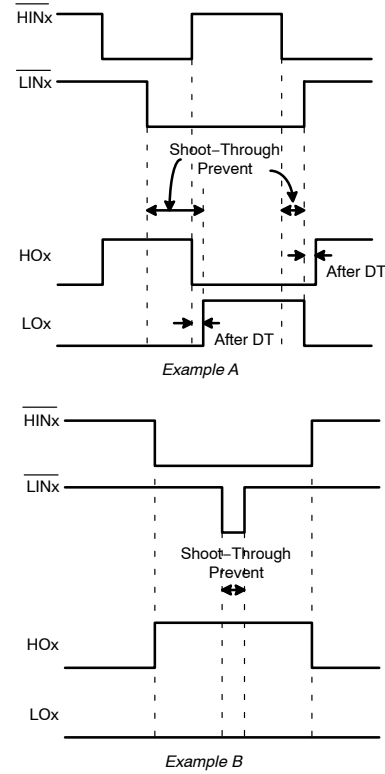
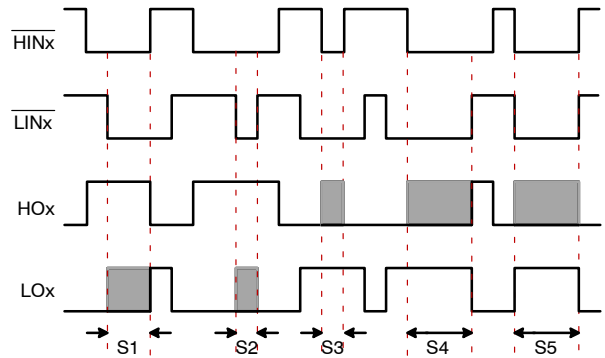


図 39. シュートスルー電流保護

インターロック機能は、ハイサイドとローサイド、両方のスイッチの同時動作を防止します (図 40 参照)。ほとんどの用途において、同じレグの2つの入力信号が同時に有効となったとき、一方の出力のみを有効にし、からオペレータを守り、デバイス自体の損傷を防止します。



- S1 : High-side first → First input output mode
- S2 : Low-side noise → No LOx output mode
- S3 : High-side noise → No HOx output mode
- S4 : Low-side first → First input output mode
- S5 : In-phase mode → No HOx output

図 40. インターロック機能

イネーブル入力

EN ピンがハイ状態のとき、ゲートドライバーは通常どおり動作します。ゲートドライバーをシャットダウンすべき状況が発生したとき、EN ピンはローになっている必要があります。イネーブル回路は入力フィルターを装備しており、最小入力持続時間は t_{FLTIN} (250 ns が一般的) により決められます。

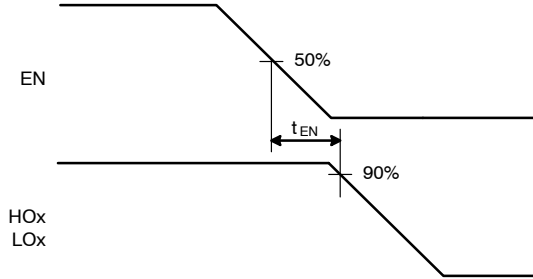


図 41. 出力イネーブルタイミング波形

フォールトアウト (\overline{FO}) と過電流保護

FAN73893 は内蔵フォールト出力 (\overline{FO}) と調整可能なフォールトクリアタイマー (t_{FLTCLR}) を備えています。ゲートドライバーが \overline{FO} ピン経由でフォールトレポートを送る状況は 2 つあります。1 つ目はローサイドゲートドライバーの電源電圧 (V_{DD}) の電圧不足条件、2 つ目は電流検知 (CS) ピンによるフォールト認識です。フォールト条件が発生すると、 \overline{FO} ピンが COM 側に入り、フォールトクリアタイマーが起動すると同時にゲートドライバーの全出力 (HO1, 2, 3, LO1, 2, 3) がターンオフされます。フォールト条件が解除され、フォールトクリアタイマーが時間切れになると、 \overline{FO} ピンの電圧がプルアップ電圧に復帰します。

フォールトクリア時間 (t_{FLTCLR}) は、次式のとおり、内蔵の電流ソース ($I_{RCIN} = 5 \mu A$) と RCIN ピンの外部 C_{RCIN} で決まります。

$$t_{FLTCLR} = \frac{C_{RCIN} \times V_{RCIN,TH}}{I_{RCIN}} [s] \quad (eq. 1)$$

MOSFET の R_{DSRCIN} は、外部コンデンサー C_{RCIN} に対応する特性放電曲線です。時定数は外部コンデンサー C_{RCIN} と MOSFET の R_{DSRCIN} で定義されます。

電流検知コンパレーター (CS_COMP) の出力は、 V_{CS} の寄生電圧スパイクによる過電流シャットダウンを抑止するノイズフィルターを通ります。

これは次式に示すようなコンパレーターの電圧レベルに対応しています。 $V_{CSTH+} - V_{CSHYS} = 500 \text{ mV} - 60 \text{ mV} = 440 \text{ mV}$ (ただし、 $V_{CSHYS} = 60 \text{ mV}$ は電流コンパレーター (CS_COMP) のヒステリシス。図 42 参照)。

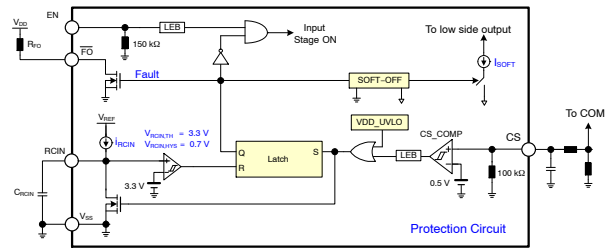


図 42. 過電流保護

図 43 には、RCIN、 \overline{FO} 、ローサイドドライバーの波形定義が示されています。ローサイドゲートドライバーの電源電圧 (V_{DD}) の電源不足条件、または電流検知 (CS) ピンのフォールト認識に対しては、ソフトターンオフ方式が採用されています。フォールト条件が発生すると、 \overline{FO} ピンが COM 側に入り、ゲートドライバーの全出力 (HO1, 2, 3, LO1, 2, 3) がターンオフされます。ローサイド出力は、ソフトターンオフ用に内蔵されたシンク電流ソース ($I_{SOFT} = 40 \text{ mA}$) のはたらきで、図 43 のとおりリニアに下降します。

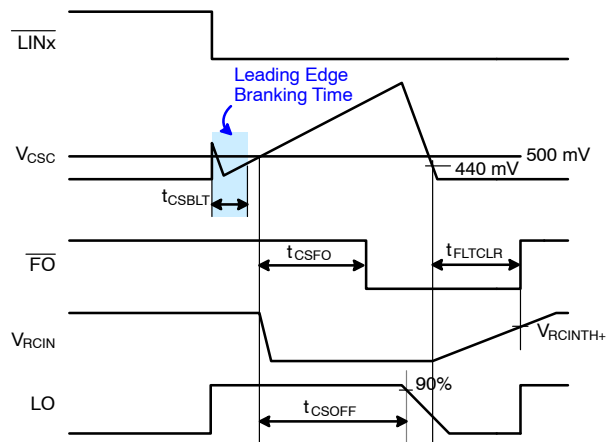


図 43. RCIN とフォールトクリア波形の定義

ノイズフィルター

入力ノイズフィルター

図 44 には、ノイズフィルター方式が示されています。この方式では、入力信号 (t_{INPUT}) と出力信号 (t_{OUTPUT}) で信号長が対称となり、ノイズスパイクや短パルスを除くことができます。この入力フィルターは HINx、LINx、EN 入力に適用されます。上 2 つの波形 (例 A) では、入力信号長 (t_{INPUT}) が入力フィルター時間 (t_{FLTIN}) より大幅に長くなっています。これは入力信号時間 (t_{INPUT}) と出力信号時間 (t_{OUTPUT}) の間隔とほぼ同じ長さです。下 2 つの波形 (例 B) では、入力信号時間 (t_{INPUT}) が入力フィルター時間 (t_{FLTIN}) より少し長くなっています。これは入力信号時間 (t_{INPUT}) と出力信号時間 (t_{OUTPUT}) の間隔とほぼ同じ長さです。

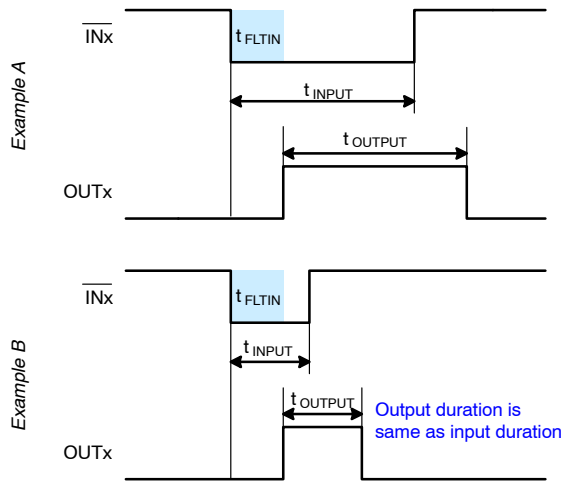


図 44. 入力ノイズフィルターの定義

短パルス入力ノイズ除去方式

この入力フィルター回路は、印加されたノイズ信号によるパルスが短い入力信号 (\overline{HINx} , \overline{LINx} , EN) から入力信号ラインを保護します。

入力信号長が入力フィルター時間 (t_{FLTIN}) より短くても、出力の状態は変わりません。

図 45 の例 A、B で入力と出力の波形には入力フィルター時間より短い短パルスノイズスパイクが含まれていますが、出力では状態が変わっていません。

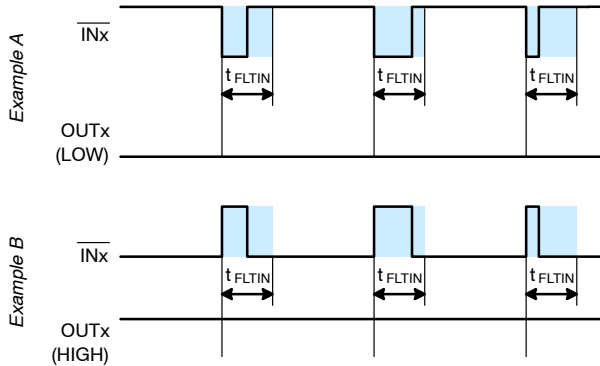


図 45. ノイズ除去入力フィルターの定義

図 46 では、狭パルスのオン/オフ受信中の入力フィルターの特性が示されています。入力信号パルス長 PW_{IN} が入力フィルター時間 t_{FLTIN} を下回る場合、出力パルス長 PW_{OUT} はゼロになります。この入力信号は入力フィルターで除去されています。入力信号パルス長 PW_{IN} が入力フィルター時間 t_{FLTIN} を超えると、出力パルス長 PW_{OUT} が、入力パルス長 PW_{IN} と整合します。FAN73893 の入力フィルター時間 (t_{FLTIN}) は、ハイサイド、ローサイドの出力で約 250 ns になります。

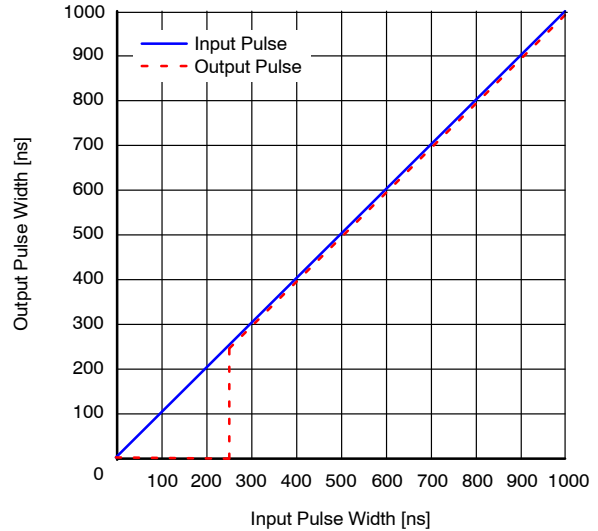


図 46. 狭パルスオンの入力フィルター特性

ORDERING INFORMATION

製品名	パッケージ	動作温度	Shipping†
FAN73893MX (注記 7)	28 端子小型集積回路 (SOIC) (Pb-Free)	-4°C~+125°C	1000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

7. これらのデバイスは JESD22A-111 の規定に従い、ウェーブソルダーリングテストに合格しています。

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

ON Semiconductor®



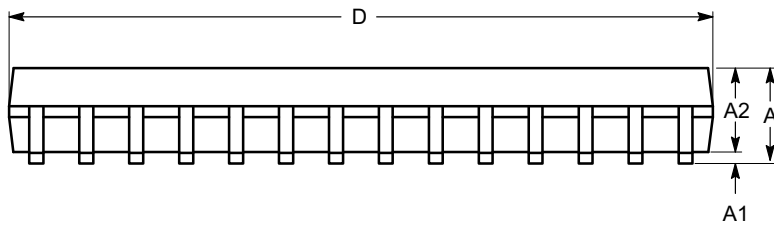
SOIC-28, 300 mils
CASE 751BM-01
ISSUE O

DATE 19 DEC 2008



TOP VIEW

SYMBOL	MIN	NOM	MAX
A	2.35		2.65
A1	0.10		0.30
A2	2.05		2.55
b	0.31		0.51
c	0.20		0.33
D	17.78		18.03
E	10.11		10.51
E1	7.34		7.60
e	1.27 BSC		
h	0.25		0.75
L	0.40		1.27
θ	0°		8°
$\theta 1$	5°		15°



SIDE VIEW



END VIEW

Notes:

- (1) All dimensions are in millimeters. Angles in degrees.
- (2) Complies with JEDEC MS-013.

DOCUMENT NUMBER:	98AON34296E	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-28, 300 MILS	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales