

LC72717PW

移動体向け FM 多重放送 (DARC 方式)受信用 LSI



ON Semiconductor®

www.onsemi.jp

概要

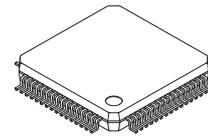
LC72717PWは、「移動体向けFM多重放送」(DARC方式)を受信するためのデータ復調用LSIである。

本LSIには、FMベースバンド信号よりDARC信号を抽出するバンドパス・フィルタが内蔵されている。

また、ITU-R勧告FM多重放送用フレーム構成(Method-A, A', B, C)すべてに対応しており、高機能でコンパクトなDARC受信システムを構築できる。

LC72717PWは、LC72715PW (VICS-LSI)とパッケージ、端子配置、電気的特性が同一であり、機能としては、LC72715PWからVICS機能を削除した製品である。また、LC72717PWは、LC72711LWと制御コンパチでもある。

DARC対応製品の生産時には、一般財団法人 NHKエンジニアリングシステムとの契約が必要となる場合があるので、同社への確認を行うこと。



SPQFP64 10x10 / SQFP64

機能

- SCFによる無調整76 kHzバンドパスフィルタ
- CPU制御により、FM多重放送用フレーム構成 (A, A', B, C)に対応
- 1T遅延によるMSK検波回路
- 2T遅延による誤り訂正機能 (MSK検波段にて)
- デジタルPLLによるクロック再生回路
- シフトレジスタ形式の1Tおよび2T遅延回路
- ブロック・フレーム同期検出回路
- BIC誤り許容数、同期保護数、設定機能
- (272, 190)符号による誤り訂正器
- 階層4CRC符号検査回路
- 縦訂正のためのフレームメモリおよびメモリ制御回路
- 7.2 MHz水晶発振回路
- 2種類のパワーセーブモード
- CPUパラレルインターフェース(DMA対応)とCCB*シリアルインターフェース選択可能
- 電源電圧2.7~3.6 V

* Computer Control Bus (CCB) は、ON Semiconductor のオリジナル・バス・フォーマットであり、バスのアドレスは全て ON Semiconductor が管理しています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 27 of this data sheet.

LC72717PW

絶対最大定格 / Ta = 25°C, V_{SS} = 0 V

項目	記号	端子	定格値	unit
最大電源電圧	V _{DD}		-0.3 ~ +4.0	V
最大入力電圧	V _{IN1} max	A0/CL, A1/CE, A2/DI, RST, STNBY (V _{DD} = 2.7 V以上)	-0.3 ~ +5.6	V
		A0/CL, A1/CE, A2/DI, RST, STNBY (V _{DD} = 2.7 V未満)	-0.3 ~ V _{DD} + 0.3	V
	V _{IN2} max	V _{IN1} 以外の入力端子	-0.3 ~ V _{DD} + 0.3	V
最大出力電圧	V _{OUT}	出力端子	-0.3 ~ V _{DD} + 0.3	V
最大出力電流	I _{OUT1} max	INT, RDY, DREQ, D0~D15, D0	0 ~ +2.0	mA
	I _{OUT2} max	I _{OUT1} 以外の出力端子	0 ~ +1.0	mA
出力許容電流(総和)	ITTL	各出力端子総和	10	mA
許容消費電力	Pd max		200	mW
動作周囲温度	Topr	Ta ≤ +85°C	-40 ~ +85	°C
保存周囲温度	Tstg		-55 ~ +125	°C

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

許容動作範囲 / Ta = -40 ~ +85°C, V_{SS} = 0 V

項目	記号	端子	Type	条件	min	typ	max	unit
電源電圧	V _{DD}				2.7		3.6	V
入力「H」レベル電圧	V _{IH1}	A0/CL, A1/CE, A2/DI, RST, STNBY	Schmitt		0.7V _{DD}		5.5	V
	V _{IH2}	IOCNT1, IOCONT2, DACK, D0, D1, D2, D3, D4, D5, D6, D7, WR, RD, A3, CS	Schmitt		0.7V _{DD}		V _{DD}	V
	V _{IH3}	SP, BUSWD, TIN, TPC1, TPC2, TOSEL1, TOSEL2			0.7V _{DD}		V _{DD}	V
入力「L」レベル電圧	V _{IL1}	A0/CL, A1/CE, A2/DI, RST, STNBY	Schmitt		0		0.3V _{DD}	V
	V _{IL2}	IOCNT1, IOCONT2, DACK, D0, D1, D2, D3, D4, D5, D6, D7, WR, RD, A3, CS	Schmitt		0		0.3V _{DD}	
	V _{IL3}	SP, BUSWD, TIN, TPC1, TPC2, TOSEL1, TOSEL2			0		0.3V _{DD}	
発振周波数	FOSC	XIN, XOUT	発振回路	±250 ppm以内		7.2		MHz
XIN入力感度	VXI	XIN		容量結合	400			mVrms
入力振幅	V _{MPX1}	MPXIN	SCF	100%変調 コンポジット V _{DD} = 3.3 V	120		500	mVrms
	V _{MPX2}	MPXIN	SCF	100%変調 コンポジット V _{DD} = 2.7 V	120		450	mVrms

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

LC72717PW

電気的特性 / Ta = -40~+85°C, VDD = 2.7~3.6 V, VSS = 0 V

項目	記号	端子	Type	条件	min	typ	max	unit
入力「H」 レベル電流	I _{IH1}	A0/CL, A1/CE, A2/DI, RST, STNBY	Schmitt				1.0	μA
	I _{IH2}	IOCNT1, IOCNT2, DACK, D0, D1, D2, D3, D4, D5, D6, D7, WR, RD, A3, CS	Schmitt				1.0	μA
	I _{IH3}	SP, BUSWD, TIN, TPC1, TPC2, TOSEL1, TOSEL2					1.0	μA
入力「L」 レベル電流	I _{IL1}	A0/CL, A1/CE, A2/DI, RST, STNBY	Schmitt		-1.0			μA
	I _{IL2}	IOCNT1, IOCNT2, DACK, D0, D1, D2, D3, D4, D5, D6, D7, WR, RD, A3, CS	Schmitt		-1.0		1.0	μA
	I _{IL3}	SP, BUSWD, TIN, TPC1, TPC2, TOSEL1, TOSEL2			-1.0		1.0	μA
出力「H」 レベル電流	V _{OH1}	CLK16, DATA, FLOCK, BLOCK, FCK, BCK, CRC4	CMOS	I _{OH} = -1 mA	V _{DD} -0.4			V
	V _{OH2}	DREQ, RDY, D0, D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, INT	CMOS	I _{OH} = -2 mA	V _{DD} -0.4			V
出力「L」 レベル電流	V _{OL1}	CLK16, DATA, FLOCK, BLOCK, FCK, BCK, CRC4	CMOS	I _{OL} = 1 mA			0.4	V
	V _{OL2}	DREQ, RDY, D0, D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D11, D12, D13, D14, D15, INT	CMOS	I _{OL} = 2 mA			0.4	V
	V _{OL3}	DO	Nch- Open Drain	I _{OL} = 2 mA			0.4	V
出力リーク電流	I _{OFF}	DO		DO = V _{DD}			1.0	μA
ヒステリシス 電圧	V _{HYS}	A0/CL, A1/CE, A2/DI, RST, STNBY, IOCNT1, IOCNT2, DACK, D0, D1, D2, D3, D4, D5, D6, D7, WR, RD, A3, CS				0.1V _{DD}		V
内蔵帰還抵抗	RF	XIN, XOUT				1.0		MΩ
消費電流	I _{DD}					6	12	mA

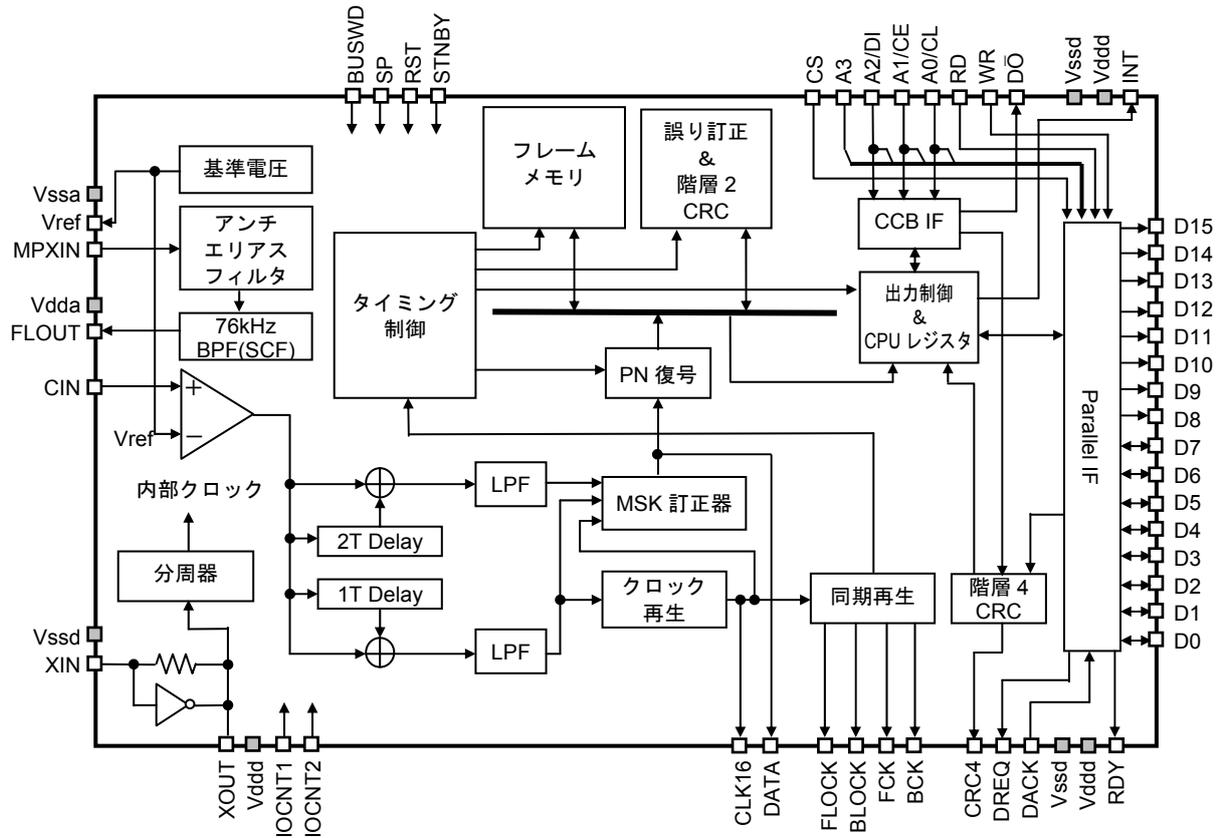
製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

バンド・パス・フィルタ特性 / Ta = 25°C, VDD = 2.7~3.6 V, VSS = 0 V

項目	記号	条件	min	typ	max	unit
入力抵抗	RMPX			50		kΩ
基準電源電圧出力	VREF	Vref, Vdda = 3 V		1.5		V
BPF中心周波数	FC	FLOUT		76.0		kHz
-3 dB帯域幅	FBW	FLOUT		19.0		kHz
帯域内遅延時間差	DGD	FLOUT			±7.5	μs
増幅度	Gain	FLOUT-MPXIN, f = 76 kHz		20		dB
阻止域減衰量	ATT1	FLOUT, f = 50 kHz	25			dB
	ATT2	FLOUT, f = 100 kHz	15			dB
	ATT3	FLOUT, f = 30 kHz	50			dB
	ATT4	FLOUT, f = 150 kHz	50			dB

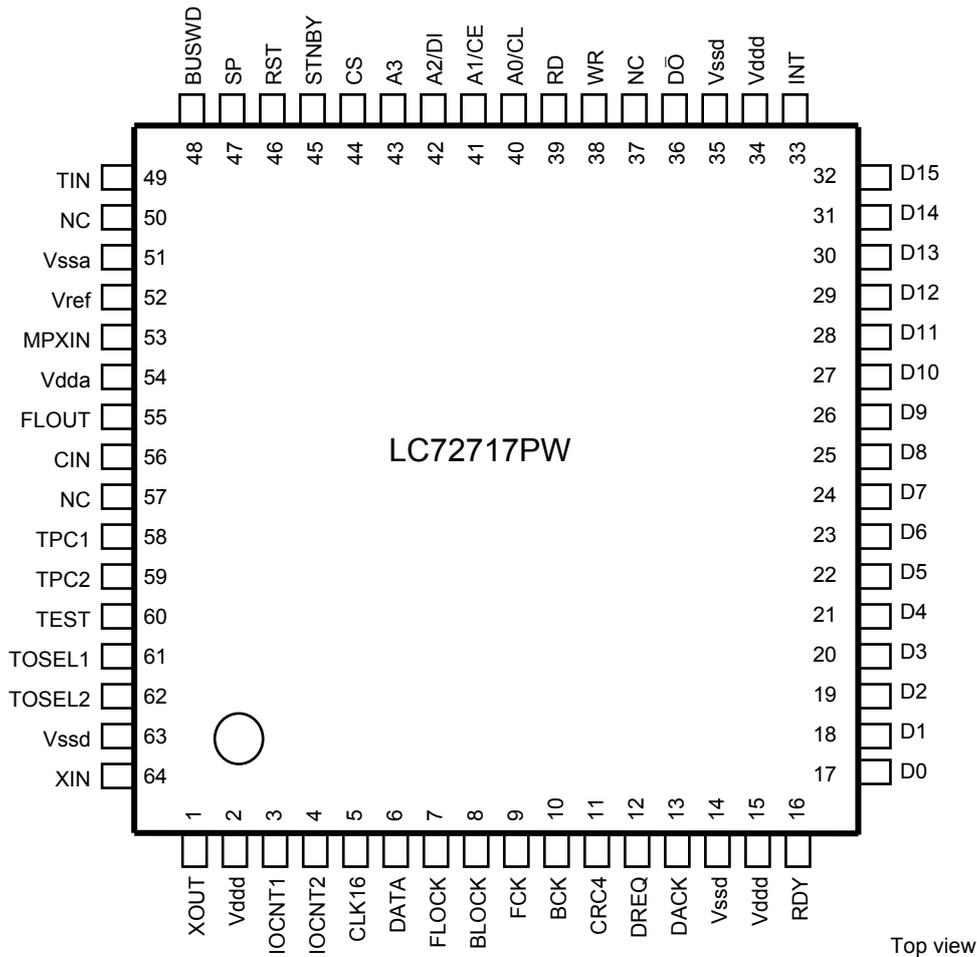
LC72717PW

ブロック図



LC72717PW

ピン配置図



端子機能一覧

端子番号	端子名	I/O形式	RST=「L」時の状態	機能説明
1	XOUT	0	発振	システムクロック用端子(水晶発振子)
2	Vddd	—	—	デジタル電源端子
3	IOCNT1	I	入力	データバス I/O 制御 1 入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vssd に接続すること
4	IOCNT2	I	入力	データバス I/O 制御 2 入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vssd に接続すること
5	CLK16	0	L	クロック再生モニタ端子
6	DATA	0	L	復調データモニタ端子
7	FLOCK	0	L	フレーム同期フラグ出力端子(H:同期状態)
8	BLOCK	0	L	ブロック同期フラグ出力端子(H:同期状態)
9	FCK	0	L	フレーム先頭信号出力端子
10	BCK	0	L	ブロック先頭信号出力端子
11	CRC4	0	H	階層 4CRC 検査結果出力端子
12	DREQ	0	H	DMA REQ 信号出力端子(パラレル IF)
13	DACK	I	入力	DMA ACK 信号入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vddd に接続すること
14	Vssd	—	—	デジタル GND 端子
15	Vddd	—	—	デジタル電源端子

次ページへ続く。

LC72717PW

前ページより続く。

端子番号	端子名	I/O 形式	RST=「L」 時の状態	機能説明
16	RDY	0	H	リードデータ READY 信号出力端子(パラレル IF)
17	D0	I/O	入力	データバス 0~7 入出力端子(パラレル IF) BUSWD の設定により、バス幅を 8 ビットか 16 ビットに切換え ※CCB IF (SP=H) 使用時は Vssd に接続すること
18	D1	I/O	入力	
19	D2	I/O	入力	
20	D3	I/O	入力	データバス 8~15 出力端子(パラレル IF) ※8 ビット (BUSWD=L) 時は出力オフ
21	D4	I/O	入力	
22	D5	I/O	入力	
23	D6	I/O	入力	
24	D7	I/O	入力	
25	D8	0	Hi-Z	
26	D9	0	Hi-Z	
27	D10	0	Hi-Z	
28	D11	0	Hi-Z	
29	D12	0	Hi-Z	
30	D13	0	Hi-Z	
31	D14	0	Hi-Z	
32	D15	0	Hi-Z	
33	INT	0	H	
34	Vddd	—	—	
35	Vssd	—	—	
36	D \bar{O}	0	Hi-Z(H)	D \bar{O} 出力端子(CCB IF)
37	NC	—	—	NC ピン(オープンにすること)
38	WR	I	入力	ライト制御信号入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vddd に接続すること
39	RD	I	入力	リード制御信号入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vddd に接続すること
40	A0/CL	I	入力	CL 入力端子(CCB IF)/アドレス入力端子 0(パラレル IF)
41	A1/CE	I	入力	CE 入力端子(CCB IF)/アドレス入力端子 1(パラレル IF)
42	A2/DI	I	入力	DI 入力端子(CCB IF)/アドレス入力端子 2(パラレル IF)
43	A3	I	入力	アドレス入力端子 3(パラレル IF) ※CCB IF (SP=H) 使用時は Vssd に接続すること
44	CS	I	入力	チップセレクト入力端子(パラレル IF) ※CCB IF (SP=H) 使用時は Vddd に接続すること
45	STNBY	I	入力	スタンバイモード入力端子(H:スタンバイ)
46	RST	I	入力	システムリセット入力端子(L:リセット)
47	SP	I	入力	CCB/パラレル 設定入力端子(H:CCB, L:パラレル)
48	BUSWD	I	入力	データバス幅 設定入力端子(L:8ビット, H:16ビット)
49	TIN	I	入力	テスト入力端子(必ず Vssd に接続すること)
50	NC	—	—	NC ピン(オープンにすること)

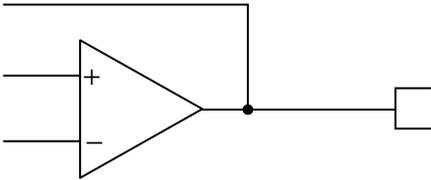
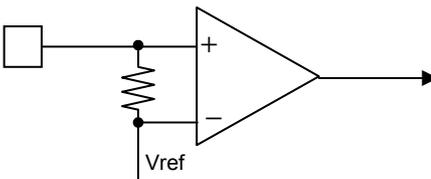
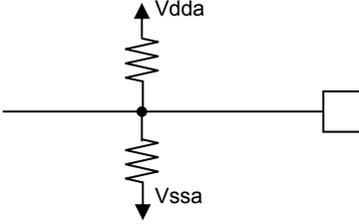
次ページへ続く。

LC72717PW

前ページより続く。

端子番号	端子名	IO形式	RST=「L」時の状態	機能説明
51	Vssa	—	—	アナログ GND 端子
52	Vref	A0	Vdda/2	基準電圧出力端子 (Vdda/2)
53	MPXIN	AI	入力	ベースバンド(マルチプレックス)信号入力端子
54	Vdda	—	—	アナログ電源端子
55	FLOUT	A0	Vdda/2	サブキャリア出力端子(76kHz BPF 出力)
56	CIN	AI	入力	サブキャリア入力端子(コンパレータ入力)
57	NC	—	—	NC ピン(オープンにすること)
58	TPC1	I	入力	テスト入力端子 (必ず Vssd に接続すること)
59	TPC2	I	入力	テスト入力端子 (必ず Vssd に接続すること)
60	TEST	I	入力	テストモード設定端子 (必ず Vssd に接続すること)
61	TOSEL1	I	入力	テスト入力端子 (必ず Vssd に接続すること)
62	TOSEL2	I	入力	テスト入力端子 (必ず Vssd に接続すること)
63	Vssd	—	—	デジタル GND 端子
64	XIN	I	発振	システムクロック用端子(水晶発振子/外部クロック入力)

アナログ端子内部等価回路

端子名 () 内端子番号	内部等価回路
MPXIN(53)	
FLOUT(55)	
CIN(56)	
Vref(52)	

CPU インタフェース<CCB モード>

当社オリジナルのシリアルバスフォーマットである CCB(Computer Control Bus)により、データの入出力を行う。

CE=「L」において CCB アドレスを転送し、CE=「H」としたときに CCB 入出力モードが確定する。

(1) CCB モード一覧

CCB アドレス									入出力モード	項目
16進	B0	B1	B2	B3	A0	A1	A2	A3		
FAh	0	1	0	1	1	1	1	1	入力	16ビット制御データ入力
FBh	1	1	0	1	1	1	1	1	出力	入力クロック(CL)分のデータが出力
FCh	0	0	1	1	1	1	1	1	入力	階層 4CRC 検査回路用データ入力(8ビット単位)
FDh	1	0	1	1	1	1	1	1	出力	レジスタのみ出力

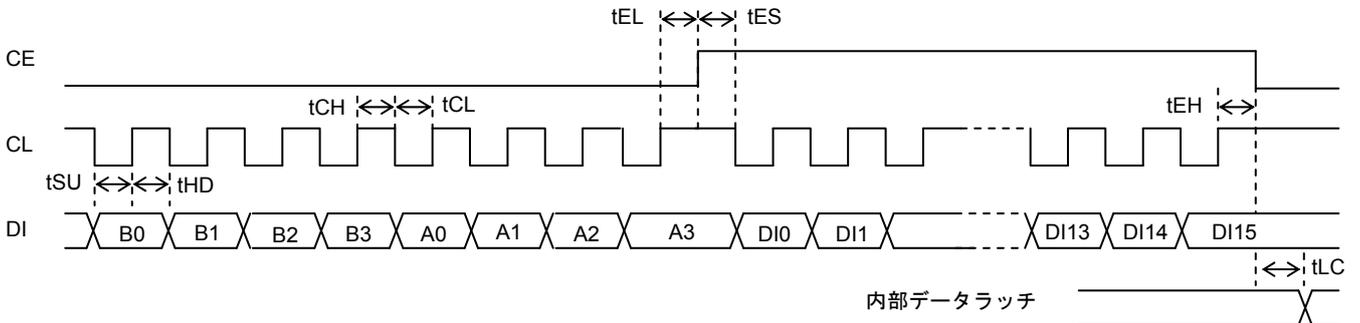
(2) データ入力(CCB アドレス FAh)

LSI 内部レジスタへデータを設定する。DI 入力へは、CCB アドレス FAh と 16bit のデータ(DI0~DI15)を入力する。

各ビットの割付けは以下の通りである。DI12~DI15は無効データであるが、全体で16ビットになるように、任意データを入力する必要がある。各レジスタの内容およびレジスタアドレスは、「CPU レジスタ」を参照の事。

(ただし、階層 4CRC 検査用レジスタへの書き込みに関しては、後述する(CCB アドレスは FCh を使用する。)

(LSB) 入力データ 8ビット								(MSB) レジスタ アドレス				無効データ
DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7	DI8	DI9	DI10	DI11	DI12~DI15
BIT0	BIT1	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT0	BIT1	BIT2	BIT3	BIT4~BIT7



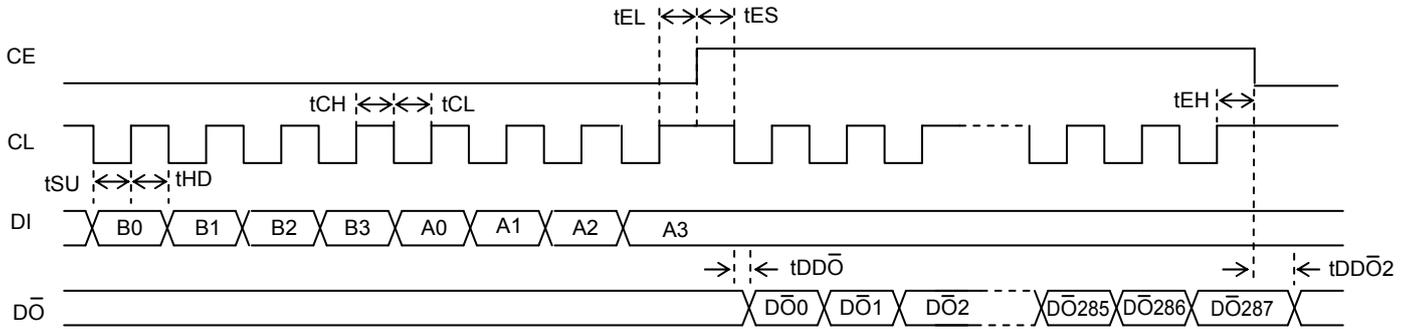
(3) 訂正後データ出力(CCB アドレス FBh)

LSI より、訂正処理実行後のパケットデータを出力させる。DI へは CCB アドレス FBh を入力する。出力される有効データは、最大 288 ビットであるが、クロック入力(CL 入力)を途中で打ち切り、CE を「L」レベルにしても、次の割り込みによるデータ出力には支障がない。

- ①出力できる最大データは、288 ビット(36 バイト)であり、先頭の 2 バイトは、ステータスレジスタ(STAT)の内容とブロック番号レジスタ(BLN0)の内容が付加されて出力される。
- ②レジスタの内容出力である STAT、BLN0 は、それぞれ LSB ファーストで出力される。
- ③訂正後データは、1 ブロックのデータのうち、先頭ビットより順に出力される。
- ④BIC コードは出力されない。
- ⑤一度の割り込み信号(INT)による、複数回のデータ読み出し行為では、その出力データは保証されない。

STAT (8)	BLN0 (8)	データ部 (176)	誤り訂正後データ	階層 2CRC (14)	パリティ (82)
D00~D07	D08~D15	D016 ~	D0191	D0192~D0205	D0206~D0287

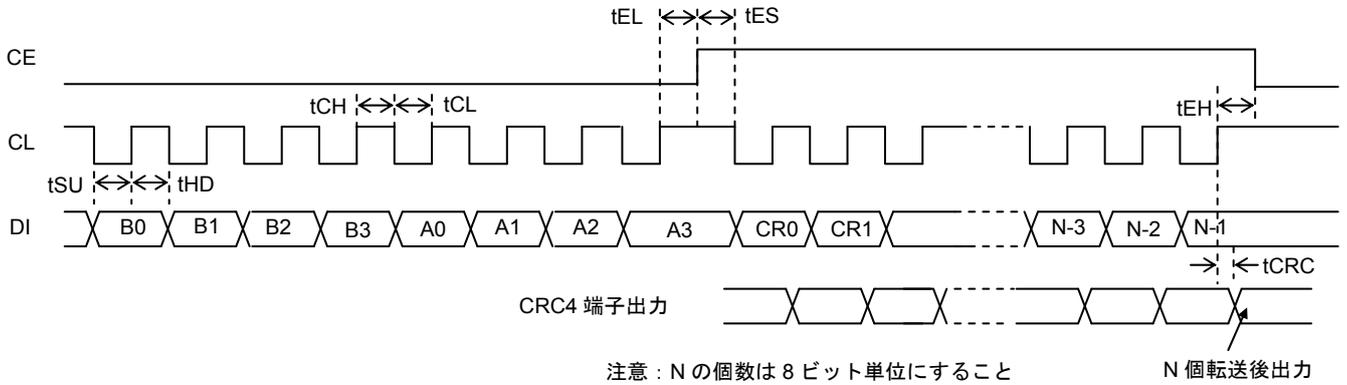
LC72717PW



(4) 階層 4CRC 検査回路 (CCB アドレス FCh)

データグループの誤り検出(階層 4CRC)をするための機能であり、所定バイト数のデータグループを、CCB インタフェースを使って LSI に転送する。CCB アドレスは FCh となる。この場合、レジスタアドレスの設定は不要。

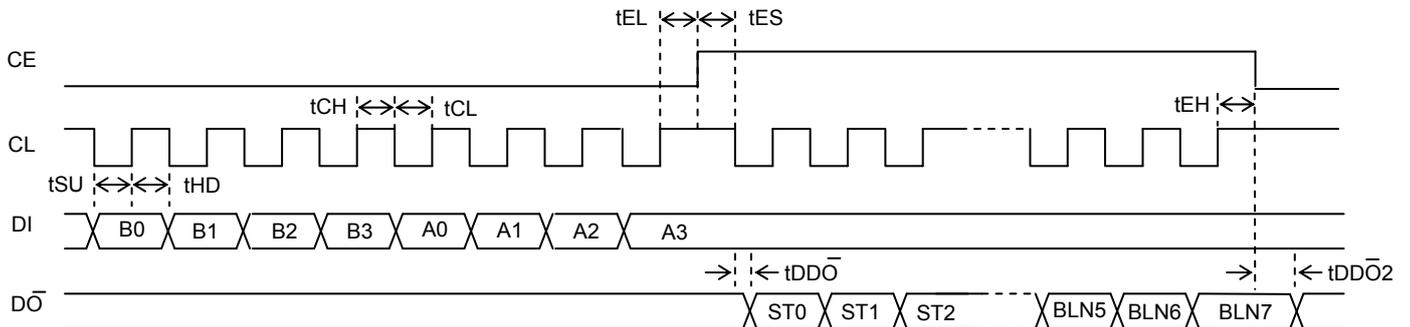
転送するデータグループの長さは、8 ビット単位である。また、一度に転送できるデータ長の上限(下図中の N 個)は無く、データ転送を複数回に分けることも可能である。



(5) レジスタ出力 (CCB アドレス FDh)

LSI 内部のステータスレジスタ (STAT) およびブロック番号レジスタ (BLN0) だけを、読み出しできる専用レジスタである。

DI へは CCB アドレス (FDh) を入力する。データはステータスレジスタ、ブロック番号レジスタの順に出力される。



Symbol	Parameter	min	typ	max	unit
tCL	クロック「L」レベル時間	0.7			μs
tCH	クロック「H」レベル時間	0.7			μs
tSU	データセットアップ時間	0.7			μs
tHD	データホールド時間	0.7			μs
tEL	CE ウェイト時間	0.7			μs
tES	CE セットアップ時間	0.7			μs
tEH	CE ホールド時間	0.7			μs
tLC	データラッチ変化時間			0.7	μs
tDD \bar{O} *1	D \bar{O} データ出力時間	135		320	ns
tDD \bar{O} 2	D \bar{O} データ出力 OFF 時間	135			ns
tCRC	CRC4 変化時間			0.7	μs

*1 D \bar{O} データ出力が「H」レベルから「L」レベルに変化する時の規格。「L」レベルから「H」レベルに変化する時の規格は D \bar{O} 端子に外付けするプルアップ抵抗および負荷容量により決定される。

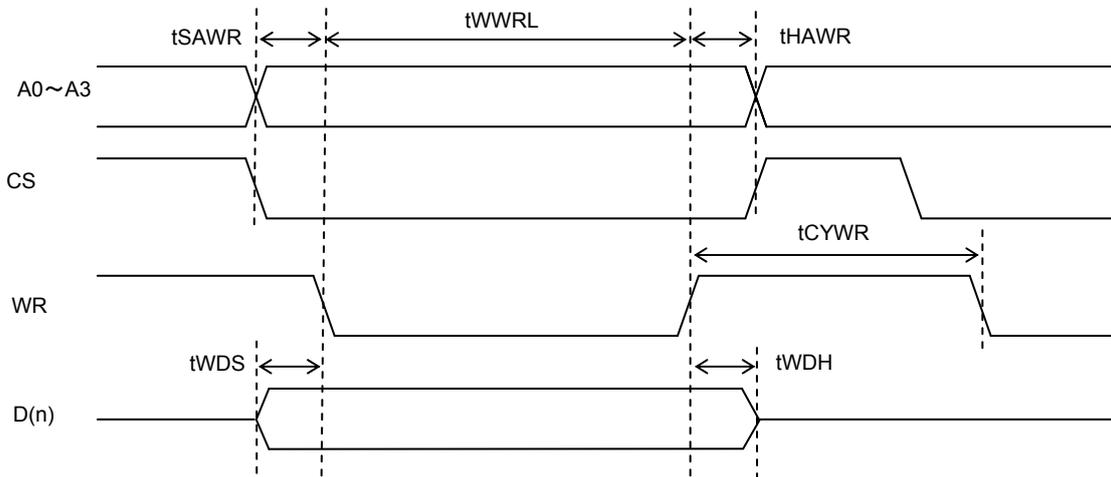
CPU インタフェース<パラレルモード>

本 LSI は、CCB インタフェースの他に、パラレルインタフェースでの制御も可能である。パラレルインタフェースを使用するためには SP 端子=L にする必要がある。データバス幅は BUSWD 端子により選択できる。(BUSWD 端子 L : 8bit, H : 16bit)

また、制御レジスタの設定により DMA 転送方式の選択も可能である。

(1) データ入力(レジスタ設定)

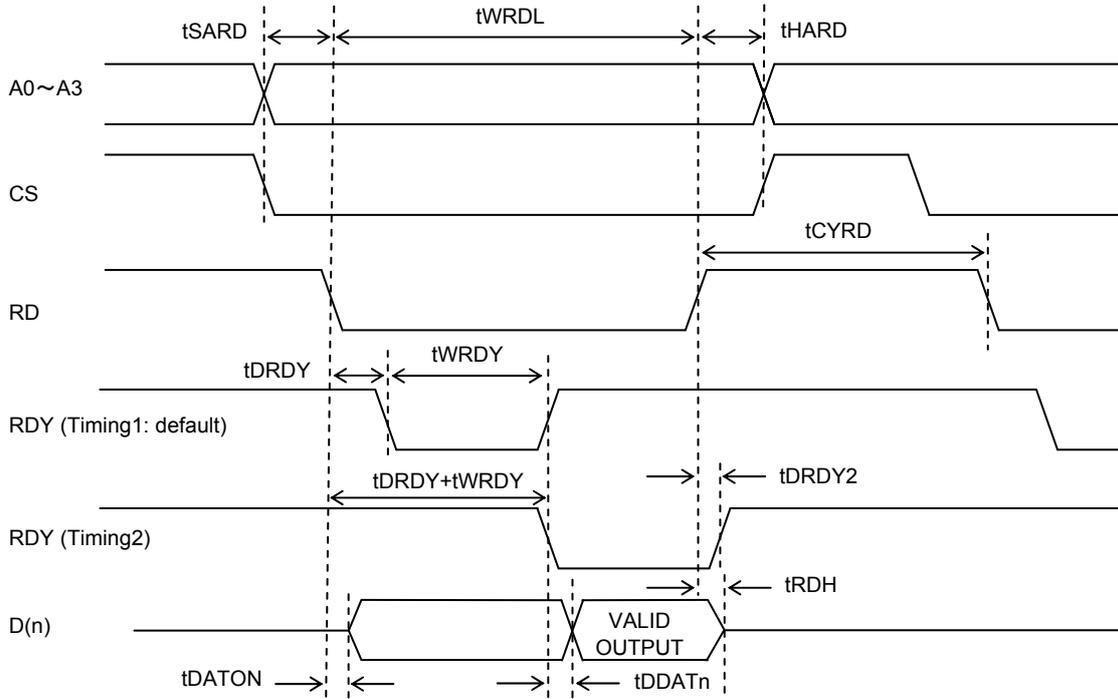
LSI 内部レジスタへデータを設定する。アクセス方式は、A0~A3 端子へレジスタアドレスを、D(n) 端子へ書き込みデータを入力して、CS 端子=L にし、その後 WR 端子=L とする。その後、tWWRL 期間後に、WR 端子=H, CS 端子=H とすることでレジスタへデータが設定される。次のデータ入力時には tCYWR 期間以上、間隔を設ける必要がある。



(2) レジスタ出力

LSI 内部レジスタからデータを読み出す。LSI 内部のステータスレジスタ (STAT) およびブロック番号レジスタ (BLN0) のみ、読み出しが可能である。アクセス方式は、A0~A3 へレジスタアドレスを入力して、CS 端子=L にし、その後 RD 端子=L とする。これにより、RDY 端子が H から L へ変化する。その後、RDY 端子=H になった後に D(n) 端子からデータが出力される。次のデータ出力までには tCYRD 期間以上、間隔を設ける必要がある。(n : BUSWD=L の場合 0-7, BUSWD=H の場合 0-15)

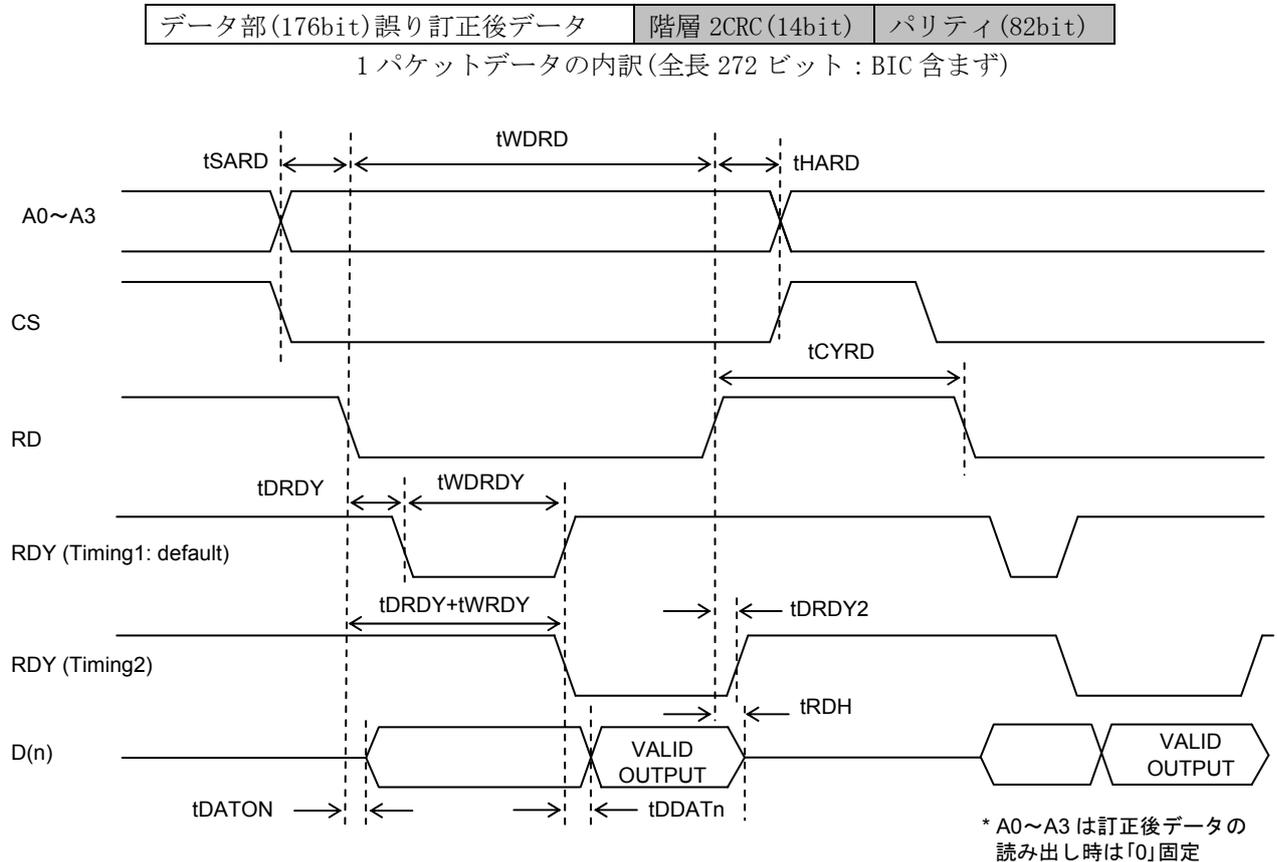
制御レジスタ 2 の bit3 (RDY)=1 に設定すると、RDY 端子の出力方式の変更が可能である。この場合、取得データが出力できたタイミングで RDY 端子=H から L へ変換し、データ出力が終わると H へ戻る。(図の Timing2 に相当)



(3) 訂正後処理データ出力

LSI より、訂正処理実行後のパケットデータを出力させる。出力データの全長は 176bit (22Byte) のみであり、階層 2CRC データ (14bit) とパリティデータ (82bit) は出力されない。訂正後データは、1 パケットのデータの内、先頭より順に 8bit もしくは 16bit 単位に出力される。BIC コードは出力されない。

アクセス方式は、レジスタ出力と同様で A0~A3 端子へはアドレス「0」を入力する。レジスタ出力の場合とは、アクセス時のタイミング条件が異なるため、タイミングチャートはレジスタ出力とは個別に記載している。RDY 信号の出力方式も同様に選択可能である。



(4) 階層 4CRC 検査出力

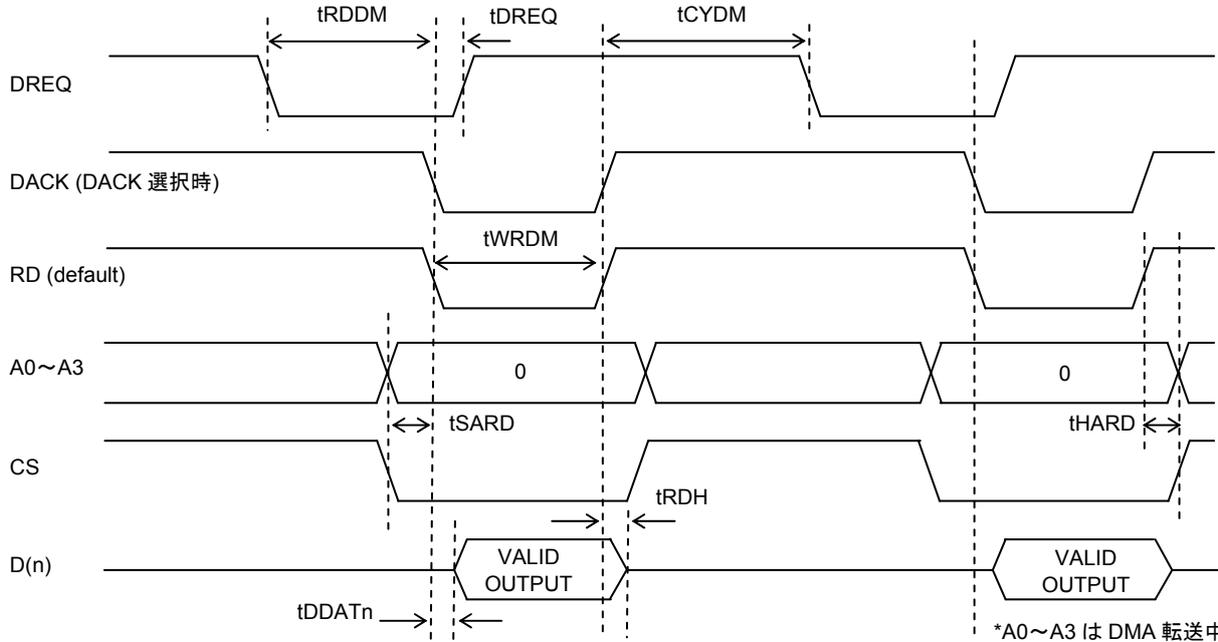
データグループの誤り検出 (階層 4CRC) を行うための機能である。データグループを階層 4CRC レジスタへ書き込んだ後、CRC4 端子=H になるか、ステータスレジスタを読み出して bit1 (CRC4)=1 であれば、誤り無しと判断する。アクセス方式は内部レジスタ設定時のデータ入力と同様で、レジスタアドレスに階層 4CRC レジスタのアドレス「6h」を入力する。ただし、階層 4CRC レジスタの WR サイクルウェイトは、他のレジスタ設定のデータ入力時と異なるので、注意すること。

(5) DMA 転送出力

制御レジスタ 2 の bit0 (DMA)=1 に設定すると DMA モードとなり、訂正後処理データを DMA 方式で出力させることができる。アクセス方式は、DREQ 出力端子の立下り後、A0~A3 端子へアドレス「0h」を入力して、CS 端子=L にし、その後 RD 端子=L とする。DREQ 端子=H になった後、D(n) 端子からデータを取得する。次に DREQ 端子が L になるまでには tCYDM 期間以上、ウェイトが発生する。DMA モードではデータバス幅は 8bit のみ選択可能である。(n: BUSWD=L の場合 0~7。BUSWD=H とすると誤動作するので BUSWD=H としないこと。)

DMA 転送時に RD 端子の代わりに DACK 端子を使用することも可能である。この場合、制御レジスタ 2 の bit1 (DMA_RD)=1 を設定する必要がある。また、DREQ 端子、DACK 端子の極性の変更も可能である。この場合、それぞれ制御レジスタ 2 の bit4 (DREQ)=1, bit5 (DACK)=1 を設定する必要がある。

LC72717PW



Symbol	Parameter	min	typ	max	unit
tSARD	アドレスおよび CS-RD セットアップ	20			ns
tHARD *1	RD-アドレスおよび CS ホールド	0			ns
tWRDL	RD「L」レベル幅	340			ns
tCYRD	RD サイクルウエイト	150			ns
tWRDY	RDY 幅 (レジスタ出力時)	60		210	ns
tRDH	RD データホールド	0		40	ns
tSAWR	アドレスおよび CS-WR セットアップ	20			ns
tHAWR	WR-アドレスおよび CS ホールド	20			ns
tCYWR	WR サイクルウエイト	150			ns
	WR サイクルウエイト (階層 4CRC レジスタ書き込み時)	1200			ns
tWWRL	WR「L」レベル幅	200			ns
tWDS	WR データセットアップ	0			ns
tWDH	WR データホールド	20			ns
tDRDY	RDY 出力遅延	0		40	ns
tDRDY2	RDY 出力遅延 2	0		40	ns
tWDRD	訂正処理データ出力時 RD 幅 BUSWD=L(8bit)	340			ns
	訂正処理データ出力時 RD 幅 BUSWD=H(16bit)	620			ns
tWDRDY	訂正処理データ出力時 RDY 幅 BUSWD=L(8bit)	60		210	ns
	訂正処理データ出力時 RDY 幅 BUSWD=H(16bit)	300		490	ns
tRDDM	DMA 開始時間	20			ns
tDREQ	DACK-DREQ 遅延			260	ns
tDATON	DATn 出力開始時間	0		40	ns
tDDATn	DATn 出力遅延	0		40	ns
tCYDM	DMA サイクルウエイト			420	ns
tWRDM	DMA 転送出力時 RD「L」レベル幅	300			ns

*1 A0~A3, CS の最も早いネゲートタイミングまでの規定である。

CPU レジスタ

本 LSI には、書き込みレジスタと読み出しレジスタがある。レジスタへのアクセスは、CCB IF または、パラレル IF で行なう。アクセス方式の切り換えは SP 端子で行なう。(CCB IF 時：SP=H、パラレル IF 時：SP=L とすること。)

(1) 書き込みレジスタ

書き込みの際、「0h」および「7h」以降は設定禁止とする。これらのアドレスにデータの設定を行わないこと。

・書き込みレジスタ一覧

ADR	R/W	Register Name	Description
0h	—	—	Reserved (設定禁止)
1h	W	BIC	BIC 誤り許容数
2h	W	SYNCB	ブロック同期誤り保護数
3h	W	SYNCF	フレーム同期誤り保護数
4h	W	CTL1	制御レジスタ 1
5h	W	CTL2	制御レジスタ 2
6h	W	CRC4	階層 4CRC レジスタ (パラレル IF 時のみ。CCB は専用アドレスを使用)
7h 以降	—	—	Reserved (設定禁止)

・1h<BIC> : BIC 誤り許容数<Write Only>

同期判定時の BIC の許容誤りビット数を設定するレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
1h	BIC	7-4	BIC_F	前方保護値 (初期値 2) 同期中の BIC 許容誤りビット数を設定する。	0010b
		3-0	BIC_B	後方保護値 (初期値 2) 非同期中の BIC 許容誤りビット数を設定する。	0010b

ブロック同期判定出力 (BLOCK) を FM 多重データの有り/無し判定に用いる場合、後方保護時の BIC 誤り許容数は、「0001b」もしくは「0000b」に設定することを推奨する。

・2h<SYNCB> : ブロック同期保護数<Write Only>

ブロック同期判定時のブロック同期保護数を設定するレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
2h	SYNCB	7-4	SYNCB_B	後方保護値 (レジスタ初期値 1 : 後方保護数 2) 後方保護数=後方保護値+1 となる。	0001b
		3-0	SYNCB_F	前方保護値 (レジスタ初期値 7 : 前方保護数 8) 前方保護数=前方保護値+1 となる。	0111b

設定値を変更する場合は、所望の保護数から 1 を引いた値を設定する必要がある。

同期保護数は、前方・後方、個別に設定が可能である。保護数のカウント条件は以下の通りとする。

- ・後方保護数(非同期：BLOCK=L)

LSI 内部同期用フリーランカウンタのタイミングと、受信 BIC のタイミングが一致した場合、保護カウンタを 1 カウントアップする。同様に、LSI 内部カウンタと受信 BIC タイミングがずれた場合、保護カウンタは 0 にクリアする。カウントのタイミングは、LSI 内部カウンタによるタイミングである。

- ・前方保護数(同期：BLOCK=H)

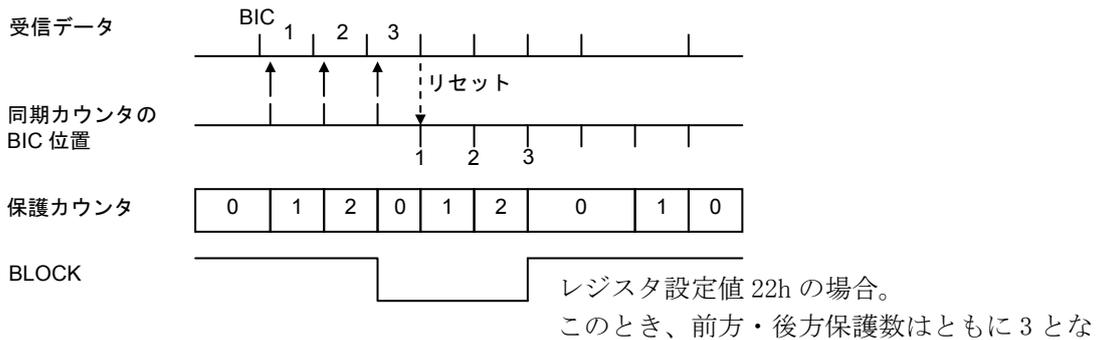
後方保護時とは逆に、LSI 内部同期用フリーランカウンタのタイミングと、受信 BIC 検出タイミングがずれているとき、保護数をカウントアップし、一致した場合、保護数をクリアし「0」とする。

下図に LSI 内部タイミングと受信 BIC タイミングとの一致・不一致の状態と保護カウンタの値、BLOCK 信号の関係を示す。

前方・後方保護数 3 に対して、BLOCK 信号の切換わるタイミングでの保護カウンタの値は 2 で、1 だけ小さい値となっている。内部回路での保護数の判定は、前方・後方保護数のレジスタ設定値と保護カウンタを比較して行っている。そのため、レジスタ設定値は所望の保護数より、1 だけ小さい値を設定する必要がある。

例えば、下図のように、前方・後方保護数ともに 3 の場合は、設定値を「22h」にする必要がある。設定値を「00h」とした場合は、前方・後方ともに、定義上、保護数 1 となるが、動作上は保護回路が無い状態と同じ動作となる。

ブロック同期判定出力(BLOCK)を、FM 多重データの有り/無し判定に用いる場合は、ブロック同期の後方保護数は、初期値より厳しく設定し直すことを推奨する。



- ・3h<SYNCF>：フレーム同期保護数<Write Only>

フレーム同期判定時のフレーム同期保護数を設定するレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
3h	SYNCF	7-4	SYNCF_B	後方保護値(レジスタ初期値 1：後方保護数 2) 後方保護数=後方保護値+1 となる。	0001b
		3-0	SYNCF_F	前方保護値(レジスタ初期値 7：前方保護数 8) 前方保護数=前方保護値+1 となる。	0111b

設定値を変更する場合は、所望の保護数から 1 を引いた値を設定する必要がある。

本 LSI では、1 フレーム中に 4 箇所存在する BIC 特異変化点を検出し、LSI 内部フレーム同期用タイミングカウンタとの一致/不一致により保護カウンタを増減する。

LC72717PW

・ 4h<CTL1> : 制御レジスタ 1<Write Only>

ブロックリセット ON/OFF、機能動作/停止、データ出力方式を制御するレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
4h	CTL1	7	CRC4_RST	階層 4CRC 検査回路リセット設定 1:リセット ON 0:リセット OFF リセット解除には 0 を設定する必要がある。	0
		6	D \bar{O} _MOVE	D \bar{O} 端子の出力方式切換え設定 0:データ出力時以外は、Hi-Z 状態を保持する。 1:INT 信号と連動して変化する。 ※6	0
		5	INT_MOVE	訂正後データ出力方式切換え設定 ※4 0:訂正完了&階層 2CRC 完了&同期中受信データ時のみ出力。 1:すべてのデータを出力。	0
		4	SYNC_RST	同期再生回路リセット設定 ※1 1:リセット ON 0:リセット OFF リセット解除には 0 を設定する必要がある。	0
		3	EC_STOP	エラー訂正機能停止設定 ※2 0:全機能動作 1:MSK 検波回路、同期再生回路のみ動作	0
		2	VEC_HALT	縦訂正機能停止設定 ※3 0:縦訂正および 2 回目横訂正を実行する。 1:縦訂正および 2 回目横訂正を実行しない。	0
		1	RTIB	RTIB 有無の設定 ※5 0: Real-Time Information blocks 有り 1: Real-Time Information blocks 無し	0
		0	FRAME	フレーム構成設定 0: Method-B を指定 1: Method-A を指定	0

- ※1 SYNC_RST=1 にすると、同期状態、同期保護状態をクリアし、非同期化する。これにより、ラジオ受信機の選局動作等で、選局後の新受信データのフレーム周期がずれている場合、速やかなフレーム同期引き込みができる。このとき、BIC 誤り許容数、ブロック同期前方/後方保護数、フレーム同期前方/後方保護数の各レジスタは初期化されない。またリセット中は、INT 信号は出力されず、D \bar{O} 端子は Hi-Z 出力となる。
- ※2 EC_STOP=1 にすると、誤り訂正に関するすべての動作、データ出力動作などを停止する。MSK 復調、同期回路、シリアルデータ入力、階層 4CRC 回路は動作する。
- ※3 VEC_HALT=1 の場合、この設定により、縦訂正および 2 回目横訂正に関する、すべての LSI 動作が停止する。データ出力も、1 回目横訂正後のデータしか出力しない。
- ※4 出力モードは VEC_OUT の設定や横訂正の結果によって変わるので、詳細は 12.5 動作モード一覧を参照すること。
- ※5 ITU 勧告フレーム構成 Method-A では、パリティデータエリア（パリティパケットが 82 ブロック分連続するエリア）内に、合計 12 ブロック分のデータブロックを挿入できる。Real-Time Information Blocks (RTIB) が無いシステムに本 LSI を使う場合、このフラグを立てる必要がある。
なお、このフラグを変化させた場合、フレーム同期は、前方保護数の時間分同期状態を保護し、非同期状態に変化する。フレーム同期の速やかな再確立のためには、SYNC_RST フラグを使って、同期回路をリセットする必要がある。
- ※6 INT と D \bar{O} の関係については、「誤り訂正機能 (6) D \bar{O} _MOVE=1 の場合の出力方式」を参照すること。

LC72717PW

・5h<CTL2> : 制御レジスタ 2<Write Only>

パラレル IF の設定、縦訂正後データ出力方式などを制御するレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
5h	CTL2	7	Reserved	初期値のままにするか、必ず 0 を設定すること	0
		6	BLK_RST	ブロック同期回路リセット設定 ※1 1:リセット ON 0:リセット OFF リセット解除には 0 を設定する必要がある。	0
		5	DACK	DACK 信号の極性設定 (SP=L 時のみ有効) 0:DACK 信号の極性は、負論理。 1:DACK 信号の極性は、正論理。	0
		4	DREQ	DREQ 信号の極性設定 (SP=L 時のみ有効) 0:DREQ 信号の極性は、負論理。 1:DREQ 信号の極性は、正論理。	0
		3	RDY	RDY 信号のタイミング設定 (SP=L 時のみ有効) 0:RDY 信号をタイミング 1 で出力する。 1:RDY 信号をタイミング 2 で出力する。	0
		2	VEC_OUT	縦訂正後データ出力方式切換え設定 ※2 0:縦訂正処理未実行時では、縦訂正後出力はしない。 1:縦訂正処理未実行時でも、すべてのデータを出力する。	0
		1	DMA_RD	DMA 読み出し制御信号選択設定 (SP=L 時のみ有効) 0:RD 信号を使用する。 1:DACK 信号を使用する。	0
		0	DMA	DMA 転送機能イネーブル設定 (SP=L 時のみ有効) 0:訂正後データ読み出しに、DMA 転送を使用しない。 1:訂正後データ読み出しに、DMA 転送を使用する。	0

※1 BLK_RST=1 にすると、ブロック同期状態、ブロック同期保護カウンタ値がクリアされる。ただし、フレーム同期関連は影響を受けない。

※2 VEC_OUT=1 の場合、誤りの全くないデータを 1 フレーム受信し、縦訂正が実行されていないとしても、縦訂正後データが出力されるタイミングにて、横訂正後データと同じデータを出力する。

・6h<CRC4> : 階層 4CRC レジスタ<Write Only>

階層 4CRC をチェックするための、データグループ書き込み用のレジスタである。

パラレル IF 時のみ使用し、CCB IF では、専用の CCB アドレスを使用する。

ADR	Register Name	Bit	Name	Description	Reset
6h	CRC4	7	CRCDAT7	階層 4CRC チェック用データ設定 このレジスタへ連続で値を書き込むことで、複数バイトからなるデータグループの階層 4CRC チェックを行うことができる。 チェック結果はステータスレジスタの CRC4 または CRC4 端子出力から確認が可能である。	0
		6	CRCDAT6		0
		5	CRCDAT5		0
		4	CRCDAT4		0
		3	CRCDAT3		0
		2	CRCDAT2		0
		1	CRCDAT1		0
		0	CRCDAT0		0

読み出しレジスタ

・読み出しレジスタ一覧

ADR	R/W	Register Name	Description
0h	R	PDATO	誤り訂正後データ
1h	R	STAT	ステータスレジスタ
2h	R	BLNO	ブロック番号レジスタ
3h以降	-	-	Reserved

パラレル IF の時は、このレジスタ一覧のレジスタアドレスを設定し、読み出しを行う。

CCB IF の時は、このレジスタ一覧のレジスタアドレスは使用せず、専用の CCB アドレス (FBh もしくは FDh) を設定することで対応するデータの読み出しが行なわれる。

・1h<STAT> : ステータスレジスタ<Read Only>

各種ステータスを確認するためのレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
1h	STAT	7	VH	縦訂正後データの判別 0:横訂正のみを行ったデータ 1:横訂正の後、縦訂正・2回目横訂正を行ったデータ	0
		6	BLK	ブロック同期状態 0:ブロック同期が確立していない時に受信されたデータ 1:ブロック同期が確立している時に受信されたデータ	0
		5	FRM	フレーム同期状態 0:フレーム同期が確立していない時に受信されたデータ 1:フレーム同期が確立している時に受信されたデータ	0
		4	ERR	エラー訂正状態 0:訂正完了し、階層 2CRC チェックで誤りが未検出のデータ 1:訂正不能、あるいは階層 2CRC チェックで誤りを検出したデータ	0
		3	PRI	パリティブロック判別 0:フレーム同期回路により、データブロックであると推定されるデータ 1:フレーム同期回路により、パリティブロックであると推定されるデータ	0
		2	HEAD	フレーム先頭判別 1:フレーム同期回路により、フレームの先頭ブロックであると推定されるデータ 0:上記以外のデータ	0
		1	CRC4	階層 4CRC 検査結果 0:階層 4CRC 検査結果に誤りがある。 1:階層 4CRC 検査結果に誤りがない。	1
		0	RTIB	RTIB 判別 1: Real-time Information Block である。(Method-A' 時) 0: 上記以外	0

※Reset 欄の値はリセット直後に INT_MOVE=1 に設定して読み出しを行った場合の値である。

LC72717PW

- 2h<BLN0> : ブロック番号レジスタ<Read Only>
出力データのブロック番号を確認するためのレジスタである。

ADR	Register Name	Bit	Name	Description	Reset
2h	BLN0	7	BLN7	出力されるデータのブロック No. もしくはパリティ ブロック No. を表す。 データブロック No. 0~189 パリティブロック No. 0~81	0
		6	BLN6		0
		5	BLN5		0
		4	BLN4		0
		3	BLN3		0
		2	BLN2		0
		1	BLN1		0
		0	BLN0		0

※Reset 欄の値はリセット直後に INT_MOVE=1 に設定して読み出しを行った場合の値である。

- 読み出しレジスタのデータ更新タイミング
読み出しレジスタ (STAT、BLN0) のデータが書き換えられるのは、INT が H→L となるタイミングである。
- 訂正後データの読み出し手順
通常の処理手順としては、割り込み発生により、まずステータスレジスタを読み出し、現在の割り込み信号によって出力される訂正後出力データの素性を調べ、読み出す必要があるかないかを判定する。例えば、誤り訂正結果が NG であり、不必要であれば、次の割り込みまで読み出しを待機する。
CCB IF 時は、CCB アドレス「FBh」により、データの読み出しを行い、16 ビット分付加されるステータス情報で、以降のデータを読み出すかどうか判断する。読み出しを中止する場合は、CE 信号を L にする。
また、INT_MOVE=1 に設定すると割り込み信号とは非同期にレジスタを読み出すことも可能である。例えば、現在の受信状況を調べるためには、ステータスレジスタを読み出し、BLK(ブロック同期中に受信されたデータ)や FRM(フレーム同期中に受信されたデータ)を判定する。この場合、VH=0(横訂正のみを行なったデータ)の情報を使う方がリアルタイム性が高い。
- 階層 4CRC 検査について
階層 4CRC 検査を行なう際には、検査対象であるデータグループの転送を行なう。転送後に、CRC4 端子が H レベル出力になるか、ステータスレジスタの CRC4(CRC4 検査結果)が「1」であれば誤り無しということになる。CRC4 端子やステータスレジスタの CRC4 フラグは、LSI 内部の検査レジスタの全ビットが「0」であれば、H または 1 となる。この機能を使って階層 4CRC 検査を行なう際には、一つのデータグループ転送前に、LSI 内部の CRC 検査レジスタを初期化しなければならない。初期化は、制御レジスタ 1 の CRC4_RST(階層 4CRC 検査回路リセット)を「1」に設定することにより行なう。その後、階層 4CRC 検査データを転送する際には、CRC4_RST を 0 に設定し直し、リセットを解除した後に行なうこと。

CRC 符号の生成多項式は、次の通りである。 $G(X)=X^{16}+X^{12}+X^5+1$

誤り訂正機能

(1) 誤り訂正処理と訂正後データの出力条件(デフォルト時)

受信されたデータは、1ブロック(272ビット)ごとに、(272, 190)符号による誤り訂正、および階層 2CRC による誤り検出が行なわれ、訂正終了後、CPU への転送準備を行い、INT 信号を出力する。これを「横訂正」出力と呼ぶ。

ただし、デフォルトでは、該当出力データが以下の3条件の全てに合致した場合のみ、このINT信号は出力される。

- ①誤り訂正が完了し、階層 2CRC で誤りがなかったデータ
- ②ブロック・フレーム同期中に受信されたデータ
- ③データパケットのデータ

※レジスタのモード設定により、①～③の条件に関わらず、横訂正後データを出力することは可能。

横訂正で訂正しきれなかった場合は、フレーム単位で積符号による訂正を行い、さらに、横訂正にて訂正できなかったデータに対して、2回目の横訂正を行なう。この一連の動作を「縦訂正」と呼ぶ。縦訂正出力にて入手できるデータの条件は、デフォルトでは以下の通りである。

- ①横訂正にて訂正できなかったデータであり、縦訂正により訂正完了したデータ
- ②データパケットのデータ

よって、横訂正にて訂正完了済みデータは、出力されない。また、横訂正でも縦訂正でも訂正できないパケットデータは、出力されない。また、縦訂正後のパリティ・パケットデータも、出力されない。

縦訂正は、対象となるフレームの全パケットデータが、フレーム同期中に受信されたものであり、かつ、横訂正によりすべてのパケット(ブロック)データが訂正できない時に実行される。誤りのないデータを1フレーム分受信した場合や、フレームが非同期であった場合は、縦訂正を実行しない。また、横訂正によって誤り訂正完了したパケット、および誤りのなかったパケットに対しては、縦訂正による誤り訂正動作は誤訂正を防ぐために実行されない。

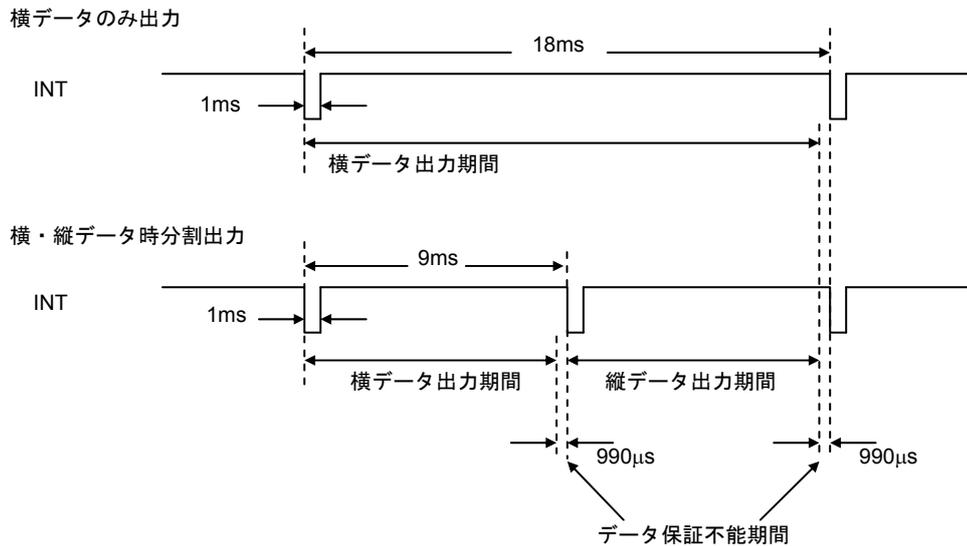
デフォルト設定では、縦訂正処理が実行されない場合には、該当する縦訂正後出力は出力されない。
※レジスタのモード設定により、縦訂正処理をするしないに関わらず、縦訂正後データを出力することは可能。

(2) 誤り訂正後データの出力タイミング(基本制限事項)

LSI が受信するデータは、誤り訂正処理され、切れ目なく順次、出力用データバッファメモリに書き込まれる。このデータバッファメモリは1ブロック分のデータ容量しかないため、データの読み出し処理が遅れた場合は、読み出し処理前の訂正後データが次のデータによって上書きされてしまう。そのため、下図のタイミング規定に従って、データの読み出し処理を行うこと。

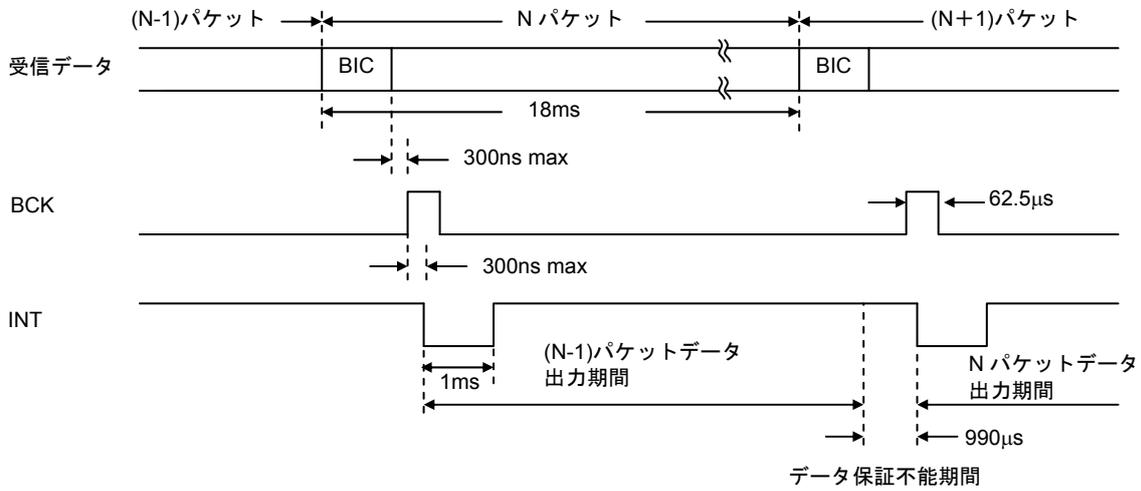
本 LSI では、縦・横それぞれの訂正後データの出力タイミングを以下の通り規定する。

1. LSI は、出力データの準備が完了すると、転送要求として、INT 端子を「L」に下げる。
2. データ出力は、横データしか読み出せない期間と、横データと縦データが時分割で読み出せる期間がある。
3. INT=「L」となった後、約 8ms 以内にデータ転送を完了すること。横訂正後データしか出力されない時には、約 17ms の間データ転送可能。CPU が読み出し途中であっても、所定時間後は出力バッファが次の出力データに置き換えられる。
4. 縦・横それぞれ一回の転送要求(INT)で読めるデータ量は、1ブロック分のみである。縦訂正後データは、縦訂正処理終了後、最初のブロックから順に出力され、パリティ・ブロックのデータは出力されない。



(3) 横訂正データの出力タイミングについて(受信データとの関係)

受信データと横訂正データ出力用の割り込み制御信号(INT)とのタイミング関係を示す。ただし、MSK 復調ブロックにおける復調作業による、実際の受信信号からの遅れ分は無視する。ブロック同期は、BIC コードを判定することにより確立される。N パケット目のデータは、次の(N+1)パケット目のデータ受信中に出力可能となる。

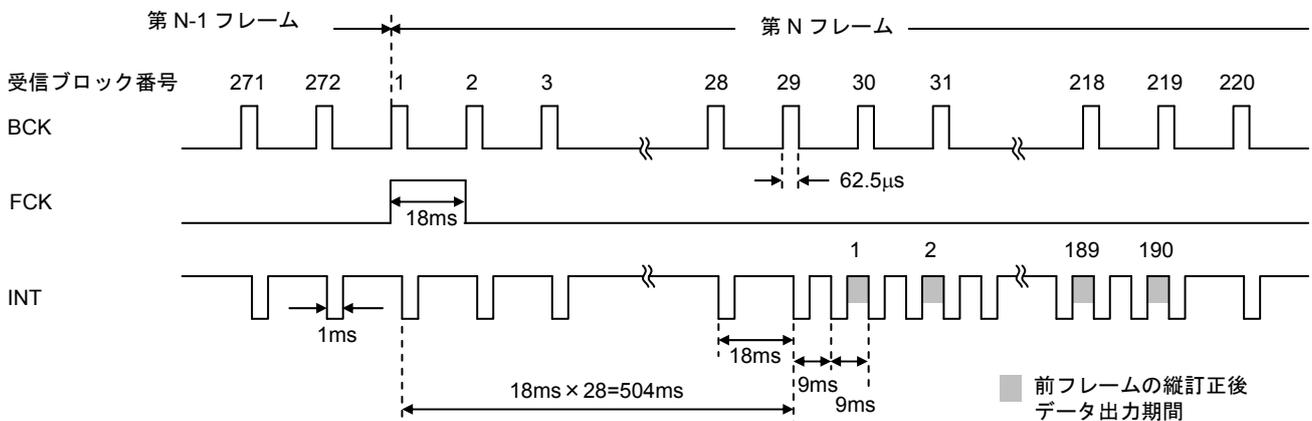


(4) 縦訂正データの出力タイミングについて

縦訂正は、1 フレーム分のデータがメモリに蓄えられ、フレーム同期が確立されており、かつ横訂正によりすべてのパケットデータが訂正しきれなかった時に実行される。縦訂正の実行開始タイミングは、フレームの先頭である。第 N フレームの第 1~28 パケット受信中は、1 パケットごとの横訂正を行い、CPU インタフェースにデータを渡しており、その空き時間を使って、前の第(N-1)フレームのデータに対する縦訂正を行なっている。

縦訂正後のデータは、第 29 パケット(ブロック)受信時から順に、1 ブロック受信ごとに1 ブロック分のデータ出力の割合で、190 ブロック分出力される。FM 多重放送のフレーム構成の内、データブロックのデータのみが出力され、最後の 190 ブロック目が出力されるのは、第 218 ブロック目の受信中となる。

縦訂正出力データにおいては、横訂正において訂正完了したパケットデータは出力されない(INT が出ない)。しかし、出力されないパケットデータの分だけ縦訂正の順序が早まるわけではない。例えば、データパケットの 1~100 番までが横訂正完了していたとしても、101 番目の縦訂正後パケットデータが出力されるのは、ブロック番号 29 の受信位置ではなく、第 129 パケットデータの受信位置である。



(5) 動作モード一覧

INT_MOVE(制御レジスタ 1 のビット 5) と VEC_OUT(制御レジスタ 2 のビット 2) の設定値により、INT 信号の出力タイミングと出力されるデータが異なる。下表で、○は出力されること、×は出力されないこと、-は該当なしを表す。

項目	INT_MOVE	VEC_OUT	横訂正結果	横訂正後出力			縦訂正後出力	
				OK データ	NG データ	パリティ	OK データ	NG データ
デフォルト値	0	0	OK	○	-	×	×	-
			NG	○	×	×	○ ※1	×
モード 1	1	1	OK	○	-	○	○ ※2	-
			NG	○	○	○	○ ※2	○
モード 2	1	0	OK	○	-	○	×	※3
			NG	○	○	○	○ ※4	○
モード 3	0	1	OK	○	-	×	○	-
			NG	○	×	×	○	×

※1 横訂正結果が NG となり、縦訂正結果が OK となったデータのみが出力される。

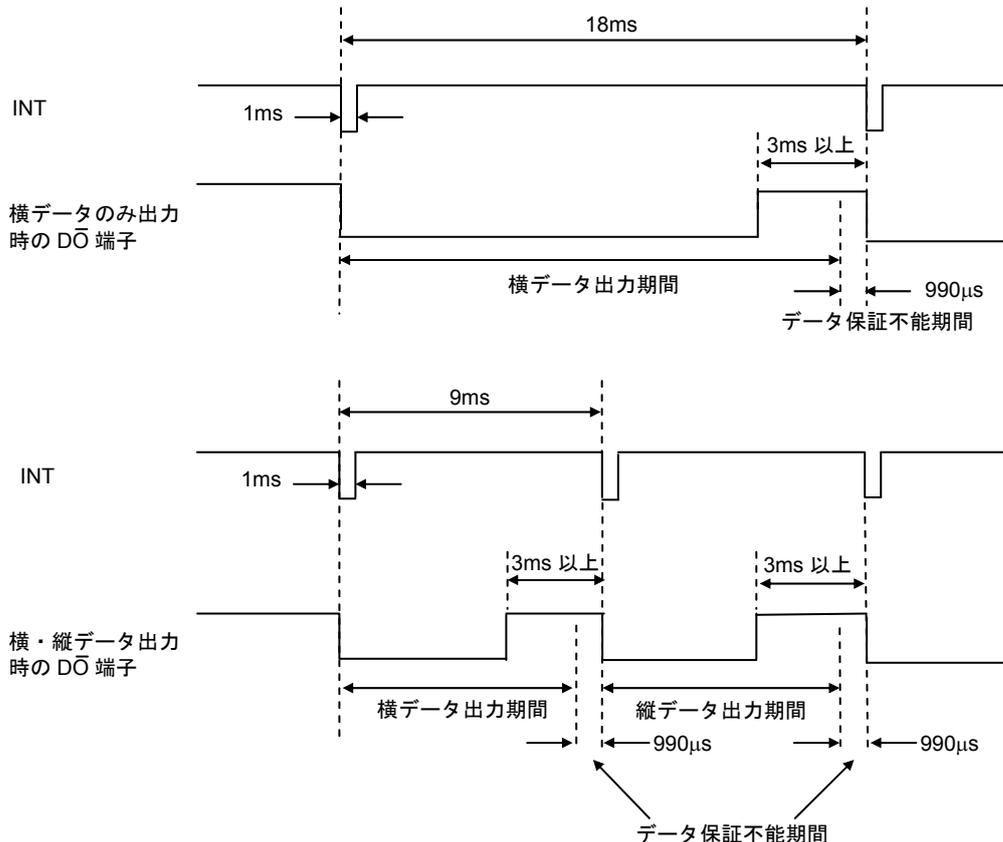
※2 横訂正結果が OK/NG のどちらの場合でも、縦訂正結果の OK/NG に関わらず、縦訂正後出力(190 ブロック/フレーム)の全てが出力される。

※3 横訂正結果 OK で NG となるデータが存在しない場合、縦訂正後データは出力されない。

※4 横訂正結果が NG となるデータがある場合、縦訂正結果の OK/NG に関わらず、縦訂正後出力(190 ブロック/フレーム)の全てが出力される。

(6) $\overline{D0_MOVE}=1$ の場合の出力方式

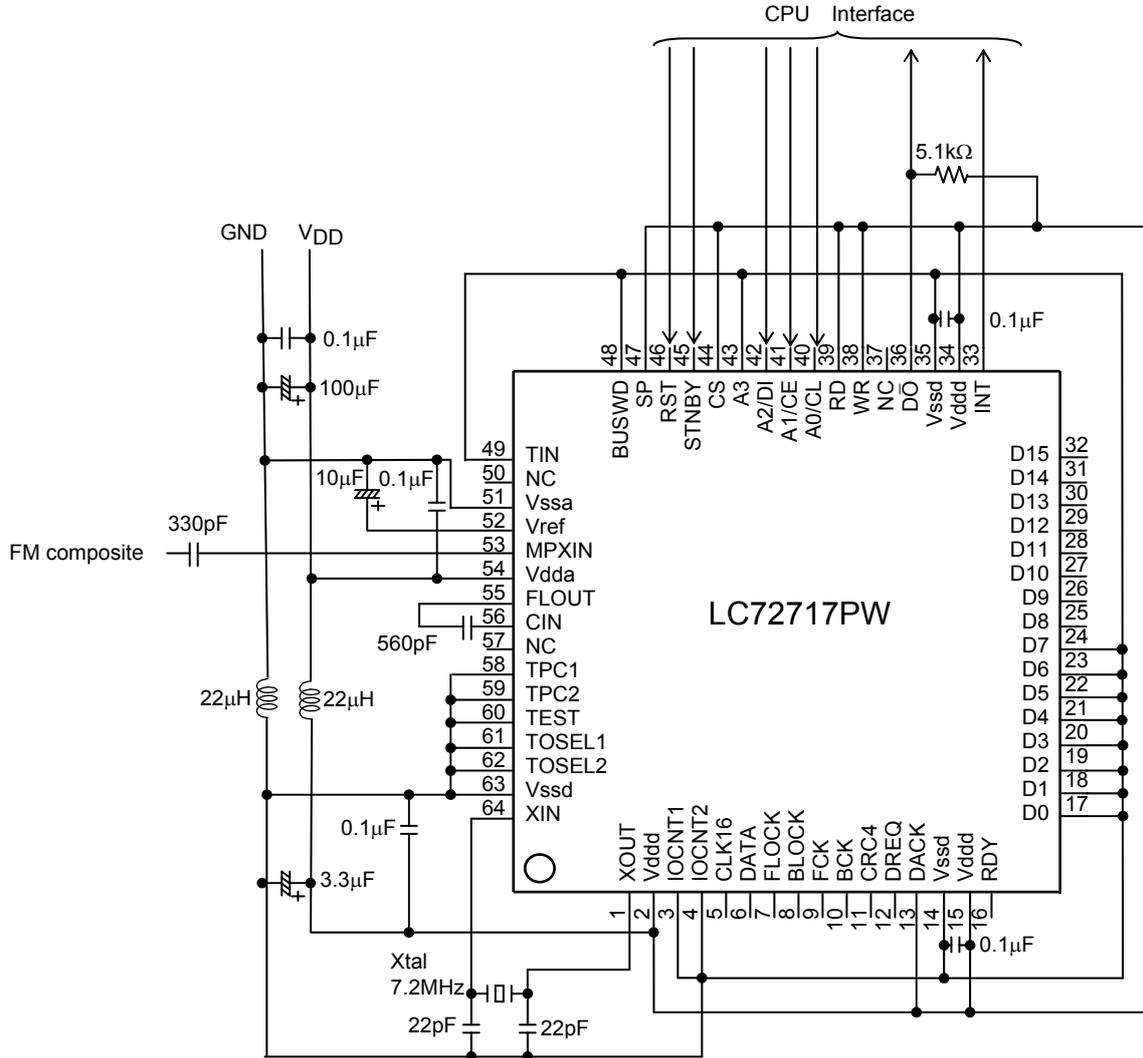
$\overline{D0_MOVE}=1$ の場合の INT と $\overline{D0}$ の関係を示す。INT の立ち下がりに同期して $\overline{D0}$ が「L」になる。そして、次の INT の立ち下がりの 3ms 以上手前で「H」に戻る。そのため、 $\overline{D0}$ が「L」の状態を読み出しを開始すれば、次の INT の立ち下がりに対して 3ms 以上余裕があることになる。なお、このタイミング図は読み出しを行わなかった場合であり、読み出しを行った場合は読み出し完了時に $\overline{D0}$ は「H」に戻る。



LC72717PW

応用回路例

電源電圧が 3V で動作するマイコンを使用し、CCB シリアル IF を選択した場合の応用回路例を示す。
D0端子の出力は抵抗で電源電圧に Pull-up する必要がある。



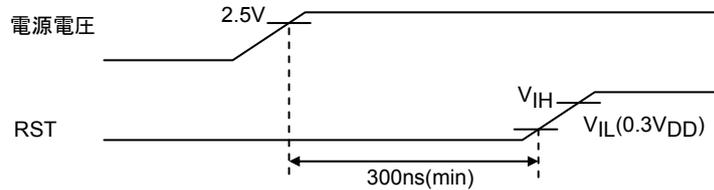
<注意>

- (1) 本応用回路例は、参考回路であり、特性を保証するものではない。
- (2) 上記の水晶振動子へ接続する容量値は参考値である。
使用時には実際の基板で発振に問題がないことを使用する発振子メーカーで確認すること。
- (3) バイパスコンデンサは、必ず電源端子近傍に配置すること。

注意事項

(1) リセット信号

リセット動作は、水晶が安定して発振し、かつ電源電圧 (V_{DD}) が 2.5V 以上において、RST 端子の入力レベルを 300ns 以上、 V_{IL} 以下にすることにより実行される (下図参照)。電源投入、再投入時などでは、必ず、リセットをかけてから使用すること。



(2) リセット時の各端子状態

端子機能一覧を参照すること。

(3) リセットの動作範囲

リセット信号によって、LSI 内部はリセットされ、初期状態に戻る。水晶発振回路は停止しないが、内部の分周回路は停止状態となる。

(4) リセット後のデータ入力

リセット完了後、300ns 以上の時間経過後であれば、レジスタ書き込み制御回路は、動作可能となる。

(5) スタンバイモードについて

STNBY 端子を「H」レベルにすることにより、LSI はスタンバイモードとなる。このモードにより、すべての LSI 動作を停止させることができる。なお、STNBY 解除後の動作については、水晶発振回路が安定化するまでの時間が必要である。

また、スタンバイ時の各デジタル端子の出力状態はリセット時と同様となる。一方、アナログ出力端子 (FLOUT、 V_{ref}) は L 出力となる (リセット時は $V_{dda}/2$ を出力する)。

また、リセット時と同様に、LSI 内部はリセットされ、初期状態に戻る。

LC72717PW

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC72717PW-H	SQFP64(10X10) (Pb-Free / Halogen Free)	500 / Tray Foam
LC72717PW-NH	SQFP64(10X10) (Pb-Free / Halogen Free)	1000 / Tape & Reel

† テープ&リール仕様(製品配置方向、テープサイズ含む)に関する情報については、Tape and Reel Packaging Specificationsパンフレット(BRD8011/D)をご参照ください。http://www.onsemi.com/pub_link/Collateral/BRD8011-D.PDF

FM 多重放送技術 DARC(Data Radio Channel)は、NHK(日本放送協会)により開発されたものです。DARCは、一般財団法人 NHK エンジニアリングシステム(NHK-ES)により商標登録がなされています。

NHK が単独もしくは第三者との共同で、日本およびその他の地域において登録している DARC 技術に関する特許を利用した電子機器を日本および当該登録国で生産・販売する場合には、NHK-ES と別途契約が必要です。NHK-ES と契約を行うことで、DARC 技術を利用した電子機器には DARC および右記ロゴマークを表示することができます。

詳細については、下記にお問い合わせください。

問い合わせ先 一般財団法人 NHK エンジニアリングシステム

TEL : 03-5494-2400(代)

ホームページ <http://www.nes.or.jp>



お知らせ

本 LSI の出荷数量は、当社より NHK-ES へ報告がなされますので、ご了承ください。
(ただし、サンプル品は除きます)

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor 及び ON Semiconductor のロゴは ON Semiconductor という商号を使う Semiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductor は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的財産権に対する権利を保有します。ON Semiconductor の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。 www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductor は通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductor は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductor によって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor 製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductor データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductor は、その特許権やその他の権利の下、いかなるライセンスも許しません。ON Semiconductor 製品は、生命維持装置や、いかなる FDA (米国食品医薬品局) クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと同分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に ON Semiconductor 製品を購入または使用した場合、たとえば、ON Semiconductor がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductor とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductor は雇用機会均等 / 差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。