

# NCP1250

## オフライン電源用電流モード PWMコントローラ

NCP1250は高度に集積化されたPWMコントローラで、堅牢かつ高性能のオフライン電源を小型のTSOP-6またはPDIP-8パッケージで提供します。NCP1250は電源電圧範囲が最大28 Vで、ピーク電流モード制御で動作するジッタ付き65 kHzまたは100 kHzのスイッチング回路を備えています。2次側の電力が減少し始めると、コントローラはスイッチング周波数を最小レベルの26 kHzまで自動的にフォールドバックします。さらに電力が低下すると、デバイスはスキップ・サイクルに入ると同時にピーク電流を制限します。

過電力保護(OPP)は、特に無負荷スタンバイ要件でコンバータ仕様が左右されるときに困難な課題となります。オン・セミコンダクター独自の集積化OPPによって、2本の外部抵抗でのみスタンバイ性能に影響を与えずに最大供給電力を制御することができます。また、過電圧保護入力も同一ピンに接続されており、オプトカプラ故障時または逆開ループ動作時に回路全体を保護します。

最後に、タイマ・ベースの短絡回路保護が、最良の保護方式を提供し、補助巻線と電源巻線間の疎結合に関係なく、保護トリップ・ポイントを精密に選択できます。

### 特長

- 固定周波数65 kHzまたは100 kHz電流モード制御動作
- 内部および調整可能な過電力保護(OPP)回路
- 最小26 kHzの周波数フォールドバックおよび軽負荷状態でのスキップ・サイクル
- 内部ランプ補償
- 内部固定4 msソフトスタート
- 100 msタイマ・ベース自動リカバリ短絡保護
- 通常および周波数フォールドバック・モードでの周波数ジッタリング
- 自動リカバリまたはラッチ式短絡保護のオプション
- 堅牢性向上のためのOVP入力
- 最大28 V  $V_{CC}$ 動作
- +300 mA/-500 mAのソース/シンク・ドライブ能力
- 高いラインでの100 mW未満のスタンバイ電力
- EPS 2.0準拠
- 鉛フリー・デバイス

### 代表的アプリケーション

- TV、セットトップ・ボックスおよびプリンタ用AC-DCコンバータ
- ノートブックおよびネットブックPC用オフライン・アダプタ



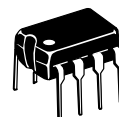
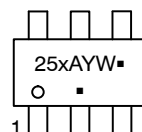
ON Semiconductor®

[www.onsemi.jp](http://www.onsemi.jp)

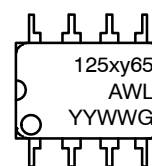


TSOP-6  
(SOT23-6)  
SN SUFFIX  
CASE 318G

### MARKING DIAGRAMS



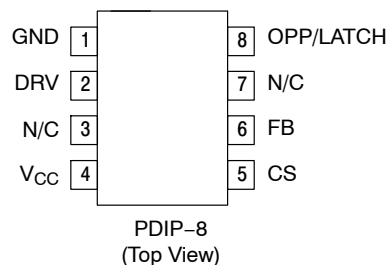
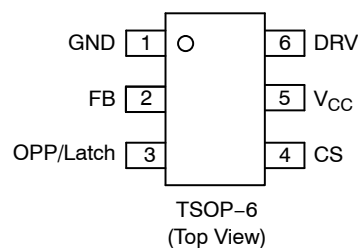
PDIP-8  
SUFFIX P  
Case 626



25x = Specific Device Code  
x = A, 2, C, D, 0, 1  
y = A or B  
A = Assembly Location  
WL = Wafer Lot  
Y, YY = Year  
W, WW = Work Week  
G or ■ = Pb-Free Package

(Note: Microdot may be in either location)

### PIN CONNECTIONS



### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 3 of this data sheet.

# NCP1250

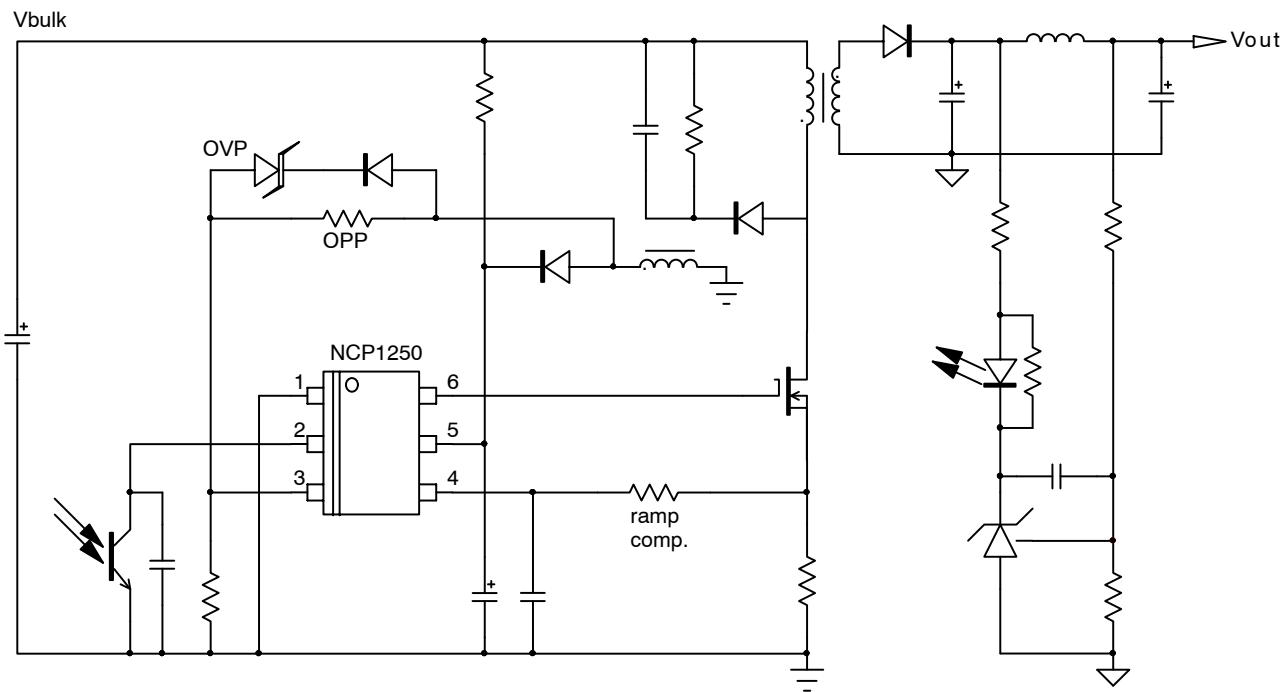


Figure 1. Typical Application Example (TSOP-6)

## PIN DESCRIPTION

Pin N°		Pin Name	Function	Pin Description
PDIP-8	TSSOP-6			
1	1	GND	-	The controller ground.
6	2	FB	Feedback pin	Hooking an optocoupler collector to this pin will allow regulation.
8	3	OPP/OVP	Adjust the Over Power Protection Latches off the part	A resistive divider from the auxiliary winding to this pin sets the OPP compensation level. When brought above 3 V, the part is fully latched off.
5	4	CS	Current sense + ramp compensation	This pin monitors the primary peak current but also offers a means to introduce ramp compensation.
4	5	V <sub>CC</sub>	Supplies the controller	This pin is connected to an external auxiliary voltage and supplies the controller.
2	6	DRV	Driver output	The driver's output to an external MOSFET gate.

## OPTIONS

Controller	Frequency	OCP Latched	OCP Auto-Recovery
NCP1250ASN65T1G	65 kHz	Yes	No
NCP1250BSN65T1G	65 kHz	No	Yes
NCP1250ASN100T1G	100 kHz	Yes	No
NCP1250BSN100T1G	100 kHz	No	Yes
NCP1250BP65G	65 kHz	No	Yes



# NCP1250

## MAXIMUM RATINGS TABLE

Symbol	Rating	Value	Unit
$V_{CC}$	Power Supply voltage, $V_{CC}$ pin, continuous voltage	28	V
$V_{DRVtran}$	Maximum DRV pin voltage when DRV in H state, transient voltage (Note 1)	$V_{CC} + 0.3$	V
	Maximum voltage on low power pins CS, FB and OPP	-0.3 to 10	V
IOPP	Maximum injected negative current into the OPP pin	-2	mA
$I_{SCR}$	Maximum continuous current in to the $V_{CC}$ Pin while in latched mode	3	mA
$R_{\theta JA}$	Thermal Resistance Junction-to-Air	360	°C/W
$T_{J,max}$	Maximum Junction Temperature	150	°C
	Storage Temperature Range	-60 to +150	°C
	ESD Capability, Human Body Model (HBM), all pins	2	kV
	ESD Capability, Machine Model (MM)	200	V
	ESD Capability, Charged Device Model (CDM)	1	kV

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

1. The transient voltage is a voltage spike injected to DRV pin being in high state. Maximum transient duration is 100 ns.
2. This device series contains ESD protection and exceeds the following tests: Human Body Model 2000 V per JESD22, Method A114E. Machine Model Method 200 V per JESD22, Method A115A. Charged Device Model per JEDEC Standard JESD22-C101D
3. This device contains latch-up protection and exceeds 100 mA per JEDEC Standard JESD78.

# NCP1250

## ELECTRICAL CHARACTERISTICS

(For typical values  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ , Max  $T_J = 150^\circ\text{C}$ ,  $V_{CC} = 12\text{ V}$  unless otherwise noted)

Symbol	Rating	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	------

**SUPPLY SECTION** – (For the best efficiency performance, we recommend a  $V_{CC}$  below 20 V)

$V_{CCON}$	$V_{CC}$ increasing level at which driving pulses are authorized	16	18	20	V
$V_{CC(min)}$	$V_{CC}$ decreasing level at which driving pulses are stopped	8.2	8.8	9.4	V
$V_{CCHYST}$	Hysteresis $V_{CCON} - V_{CC(min)}$	6.0			V
$V_{ZENER}$	Clamped $V_{CC}$ when latched off / burst mode activation @ $I_{CC} = 500\ \mu\text{A}$		7.0		V
$I_{CC1}$	Start-up current			15	$\mu\text{A}$
$I_{CC2}$	Internal IC consumption with $I_{FB} = 50\ \mu\text{A}$ , $F_{SW} = 65\ \text{kHz}$ and $C_L = 0\ \text{nF}$		1.4	2.2	mA
$I_{CC3}$	Internal IC consumption with $I_{FB} = 50\ \mu\text{A}$ , $F_{SW} = 65\ \text{kHz}$ and $C_L = 1\ \text{nF}$		2.1	3.0	mA
$I_{CC2}$	Internal IC consumption with $I_{FB} = 50\ \mu\text{A}$ , $F_{SW} = 100\ \text{kHz}$ and $C_L = 0\ \text{nF}$		1.7	2.5	mA
$I_{CC3}$	Internal IC consumption with $I_{FB} = 50\ \mu\text{A}$ , $F_{SW} = 100\ \text{kHz}$ and $C_L = 1\ \text{nF}$		3.1	4.0	mA
$I_{CCLATCH}$	Current flowing into $V_{CC}$ pin that keeps the controller latched (Note 4) $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = 0^\circ\text{C}$ to $+125^\circ\text{C}$	40 32			$\mu\text{A}$
$I_{CCstby}$	Internal IC consumption while in skip cycle ( $V_{CC} = 12\text{ V}$ , driving a typical 6 A/600 V MOS-FET)		550		$\mu\text{A}$
$R_{lim}$	Current-limit resistor in series with the latch SCR		4.0		k $\Omega$

## DRIVE OUTPUT

$T_r$	Output voltage rise-time @ $C_L = 1\ \text{nF}$ , 10–90% of output signal		40		ns
$T_f$	Output voltage fall-time @ $C_L = 1\ \text{nF}$ , 10–90% of output signal		30		ns
$R_{OH}$	Source resistance		13		$\Omega$
$R_{OL}$	Sink resistance		6.0		$\Omega$
$I_{source}$	Peak source current, $V_{GS} = 0\text{ V}$ – (Note 5)		300		mA
$I_{sink}$	Peak sink current, $V_{GS} = 12\text{ V}$ – (Note 5)		500		mA
$V_{DRVlow}$	DRV pin level at $V_{CC}$ close to $V_{CC(min)}$ with a 33 k $\Omega$ resistor to GND	8.0			V
$V_{DRVhigh}$	DRV pin level at $V_{CC} = 28\text{ V}$ – DRV unloaded	10	12	14	V

## CURRENT COMPARATOR

$I_{IB}$	Input Bias Current @ 0.8 V input level on CS Pin		0.02		$\mu\text{A}$
$V_{Limit1}$	Maximum internal current setpoint – $T_J = 25^\circ\text{C}$ – OPP/Latch Pin grounded	0.744	0.8	0.856	V
$V_{Limit2}$	Maximum internal current setpoint – $T_J = -40^\circ\text{C}$ to $125^\circ\text{C}$ – OPP/Latch Pin grounded	0.72	0.8	0.88	V
$V_{fold}$	Default internal voltage set point for frequency foldback trip point – 45% of $V_{limit}$		357		mV
$V_{freeze}$	Internal peak current setpoint freeze ( $\approx 31\%$ of $V_{limit}$ )		250		mV
$T_{DEL}$	Propagation delay from current detection to gate off-state		100	150	ns
$T_{LEB}$	Leading Edge Blanking Duration		300		ns
TSS	Internal soft-start duration activated upon startup, auto-recovery		4.0		ms
IOPPo	Setpoint decrease for the OPP/Latch pin biased to $-250\text{ mV}$ – (Note 6)		31.3		%
IOOPv	Voltage setpoint for the OPP/Latch pin biased to $-250\text{ mV}$ – (Note 6), $T_J = 25^\circ\text{C}$	0.51	0.55	0.60	V
IOOPv	Voltage setpoint for the OPP/Latch pin biased to $-250\text{ mV}$ – (Note 6), $T_J = -40^\circ\text{C}$ to $125^\circ\text{C}$	0.50	0.55	0.62	V
IOPPs	Setpoint decrease for the OPP/Latch pin grounded		0		%

## INTERNAL OSCILLATOR

$f_{OSC}$	Oscillation frequency (65 kHz version)	61	65	71	kHz
$f_{OSC}$	Oscillation frequency (100 kHz version)	92	100	108	kHz

# NCP1250

## ELECTRICAL CHARACTERISTICS (continued)

(For typical values  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ , Max  $T_J = 150^\circ\text{C}$ ,  $V_{CC} = 12\text{ V}$  unless otherwise noted)

Symbol	Rating	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	------

### INTERNAL OSCILLATOR

$D_{\text{max}}$	Maximum duty-cycle	76	80	84	%
$f_{\text{jitter}}$	Frequency jittering in percentage of $f_{\text{OSC}}$		$\pm 5$		%
$f_{\text{swing}}$	Swing frequency		240		Hz

### FEEDBACK SECTION

$R_{\text{up}}$	Internal pull-up resistor		20		$\text{k}\Omega$
$R_{\text{eq}}$	Equivalent ac resistor from FB to GND		16		$\text{k}\Omega$
$I_{\text{ratio}}$	FB Pin to current setpoint division ratio		4.2		
$V_{\text{freeze}}$	Feedback voltage below which the peak current is frozen		1.05		V

### FREQUENCY FOLDBACK

$V_{\text{fold}}$	Frequency foldback level on the feedback pin – $\approx 45\%$ of maximum peak current		1.5		V
$F_{\text{trans}}$	Transition frequency below which skip-cycle occurs	22	26	30	kHz
$V_{\text{fold,end}}$	End of frequency foldback feedback level, $F_{\text{sw}} = F_{\text{min}}$		350		mV
$V_{\text{skip}}$	Skip-cycle level voltage on the feedback pin		300		mV
Skip hysteresis	Hysteresis on the skip comparator – (Note 5)		30		mV

### INTERNAL SLOPE COMPENSATION

$V_{\text{ramp}}$	Internal ramp level @ $25^\circ\text{C}$ – (Note 7)		2.5		V
$R_{\text{ramp}}$	Internal ramp resistance to CS pin		20		$\text{k}\Omega$

### PROTECTIONS

$V_{\text{latch}}$	Latching level input	2.7	3.0	3.3	V
$T_{\text{latch-blank}}$	Blanking time after drive turn off		1.0		$\mu\text{s}$
$T_{\text{latch-count}}$	Number of clock cycles before latch confirmation		4.0		
$T_{\text{latch-del}}$	OVP detection time constant		600		ns
Timer	Internal auto-recovery fault timer duration	100	130	160	ms

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

- For design robustness, we recommend to inject  $60\ \mu\text{A}$  as a minimum at the lowest input line voltage.
- Guaranteed by design
- See characterization table for linearity over negative bias voltage
- A  $1\ \text{M}\Omega$  resistor is connected from OPP/Latch Pin to the ground for the measurement.

# NCP1250

## TYPICAL CHARACTERISTICS

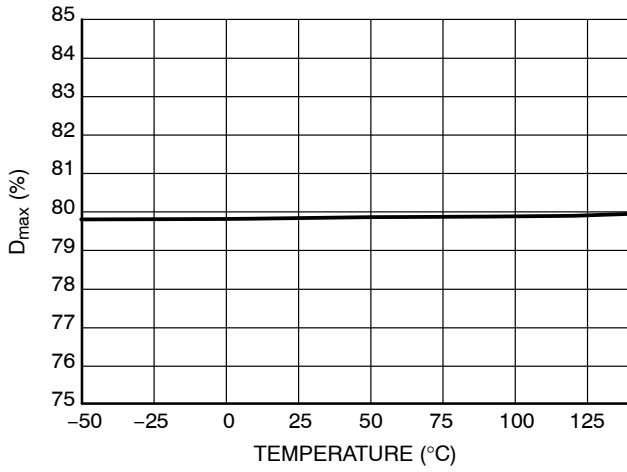


Figure 3.

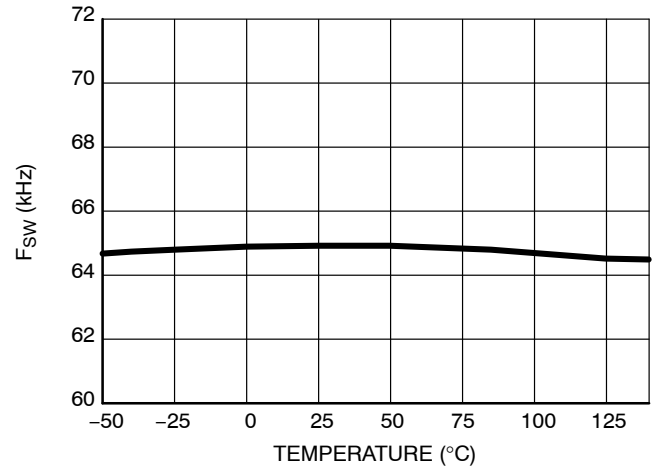


Figure 4.

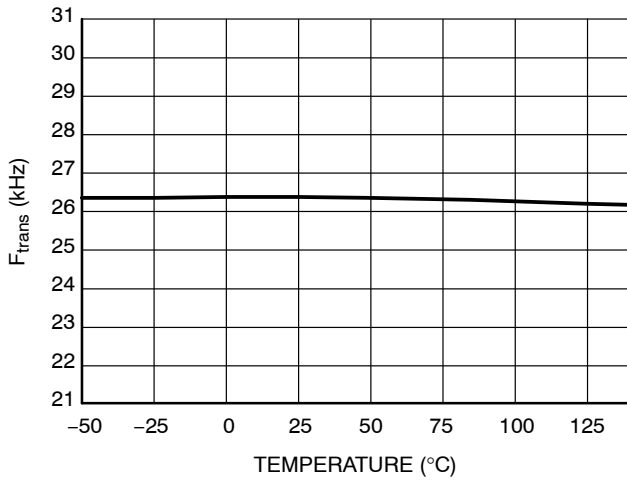


Figure 5.

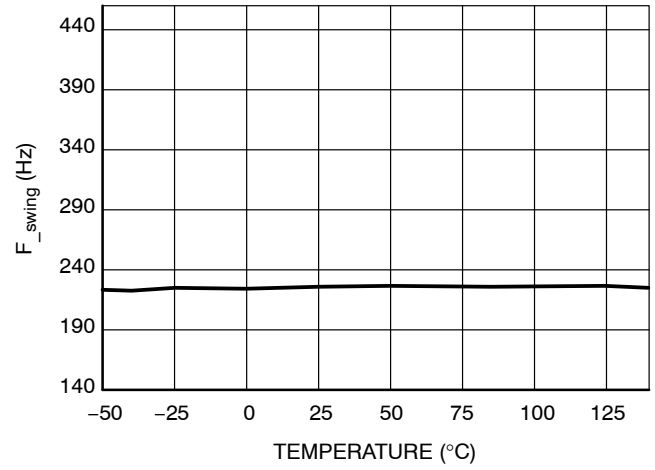


Figure 6.

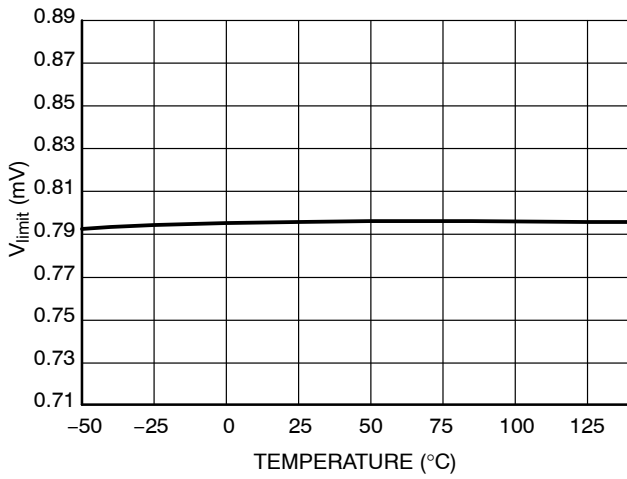


Figure 7.

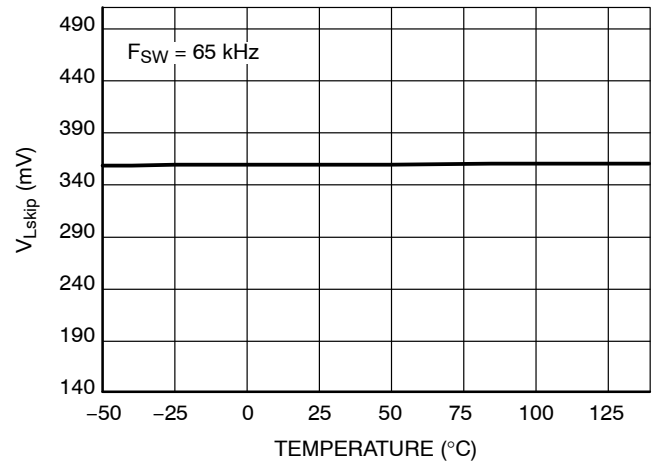


Figure 8.

# NCP1250

## TYPICAL CHARACTERISTICS

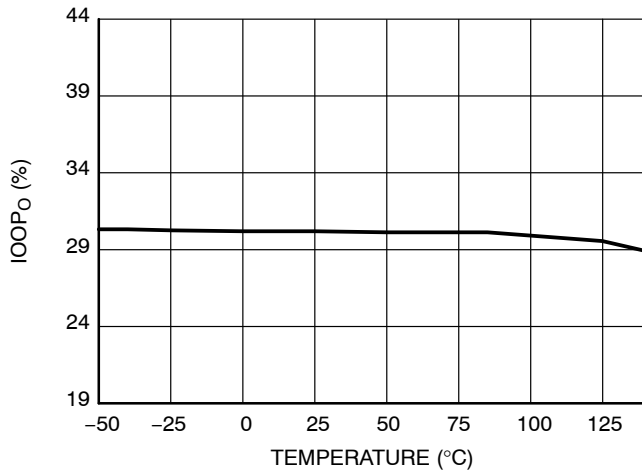


Figure 9.

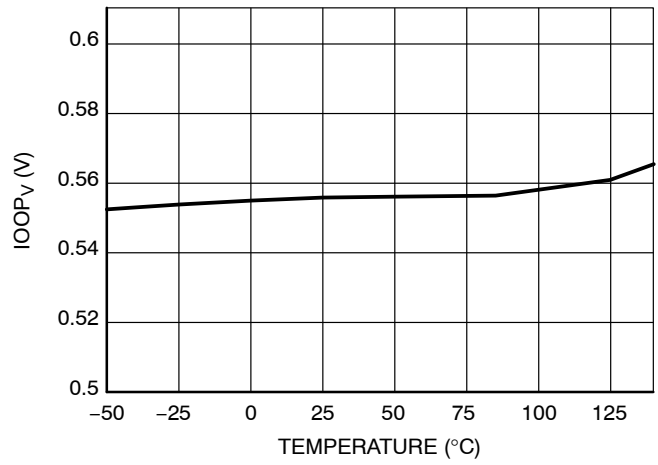


Figure 10.

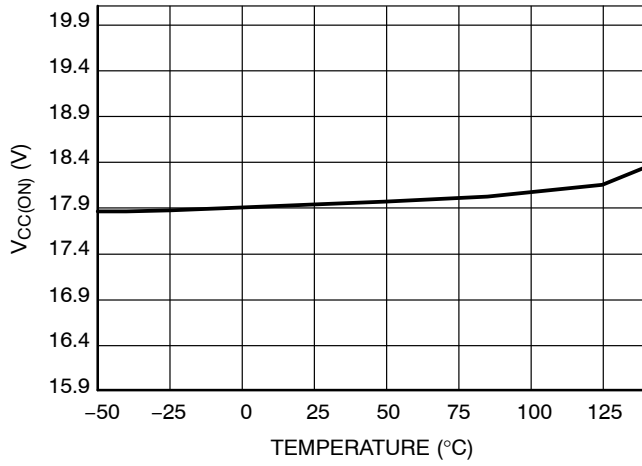


Figure 11.

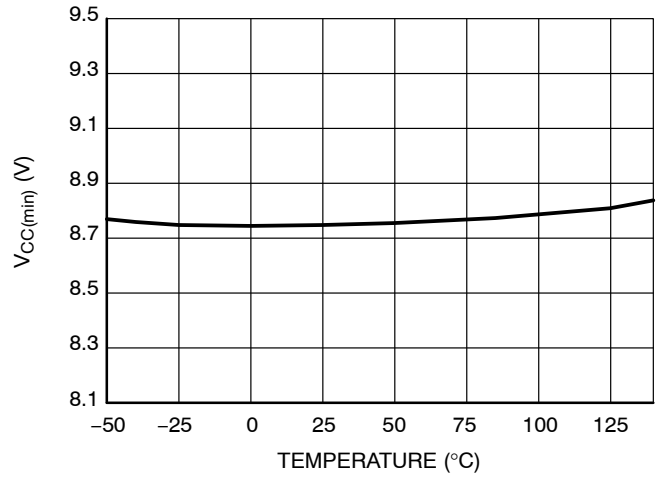


Figure 12.

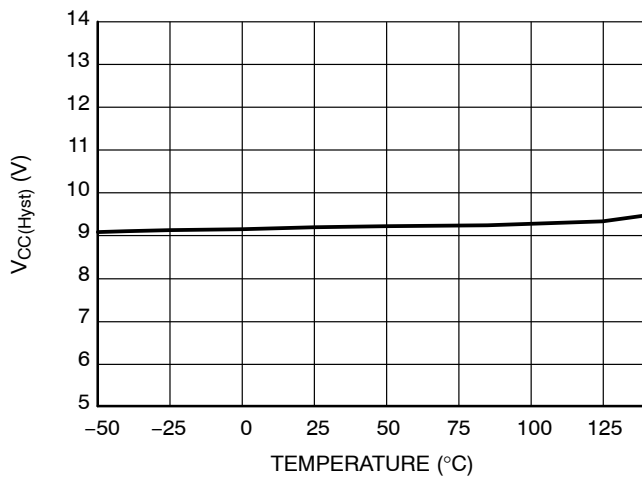


Figure 13.

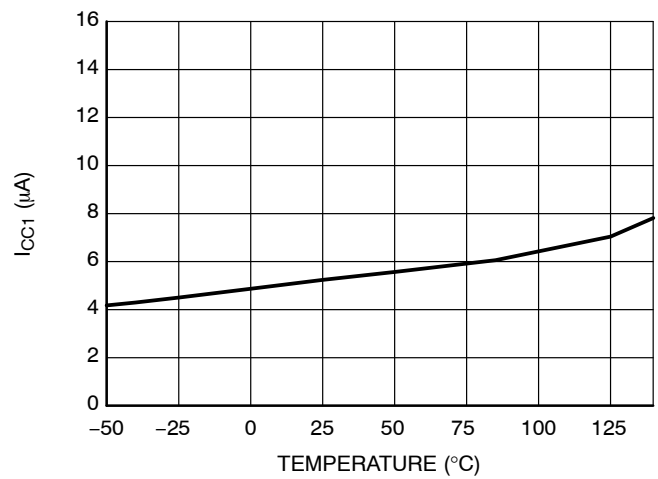


Figure 14.



# NCP1250

## TYPICAL CHARACTERISTICS

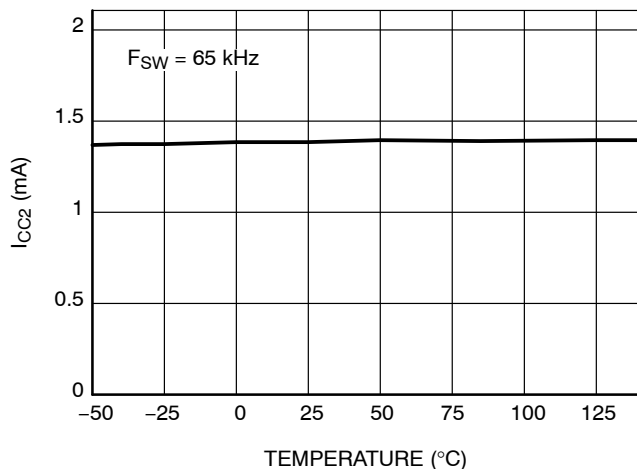


Figure 15.

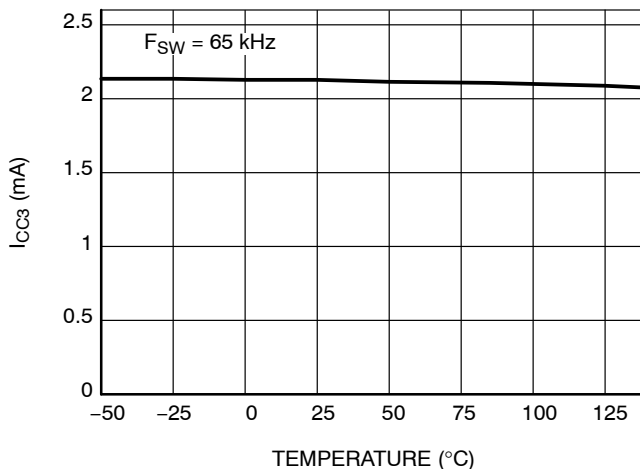


Figure 16.

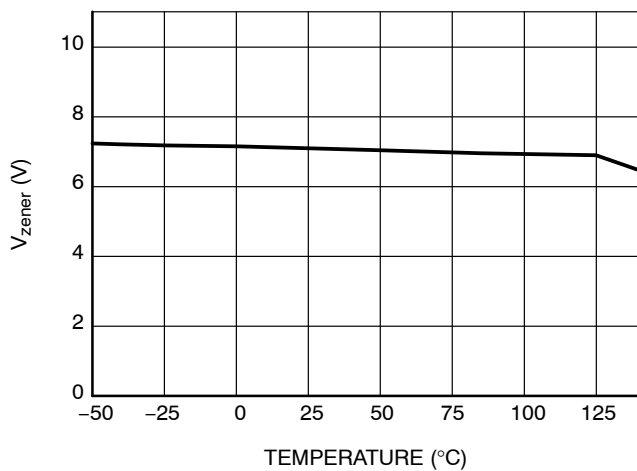


Figure 17.

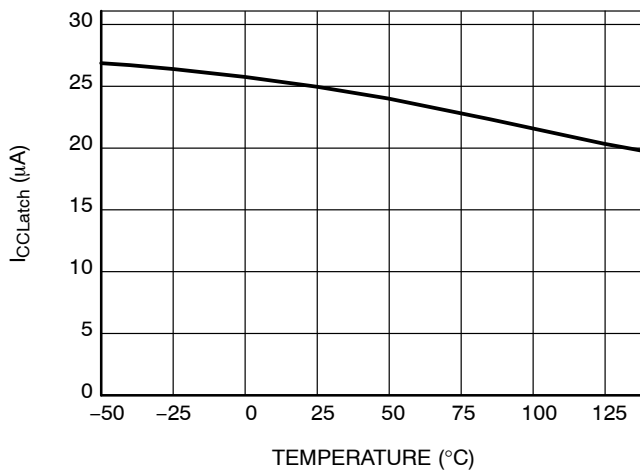


Figure 18.

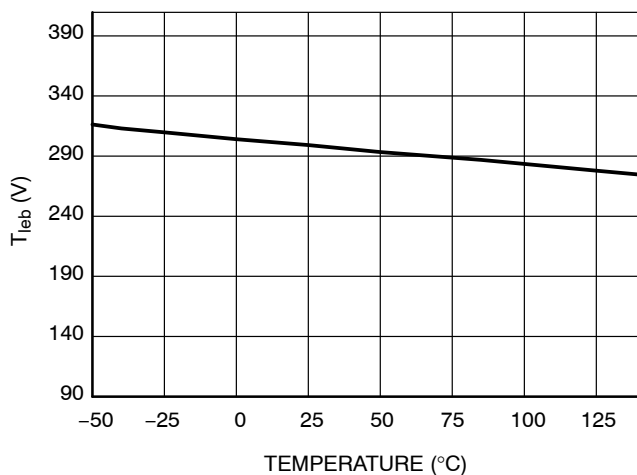


Figure 19.

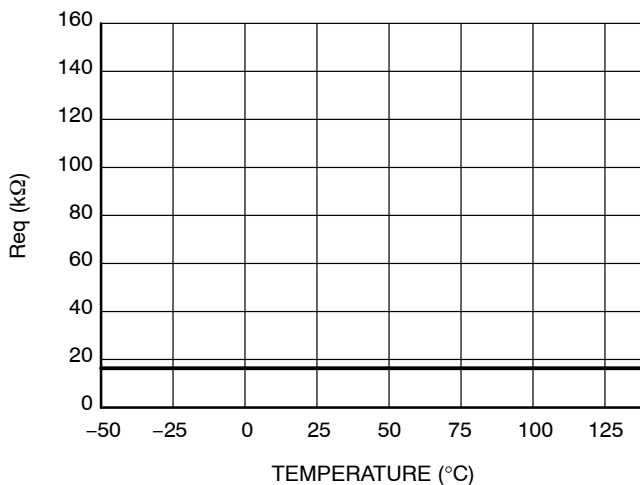


Figure 20.

# NCP1250

## TYPICAL CHARACTERISTICS

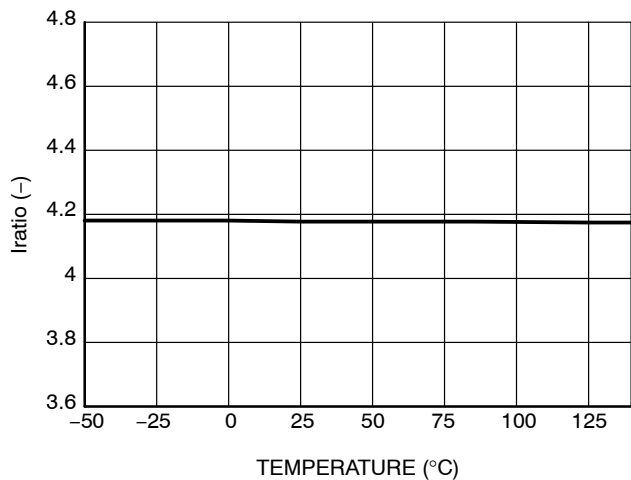


Figure 21.

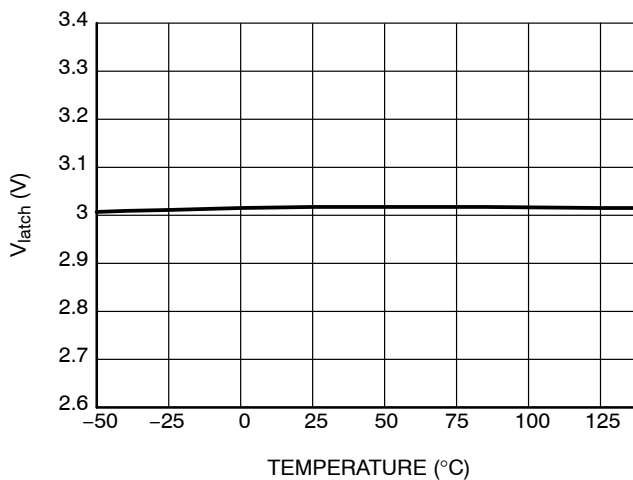


Figure 22.

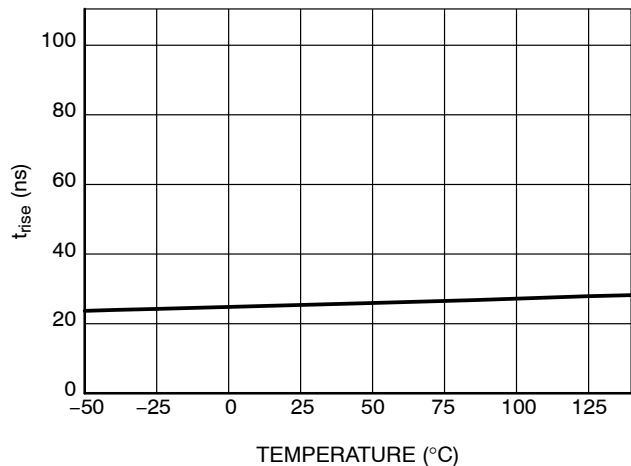


Figure 23.

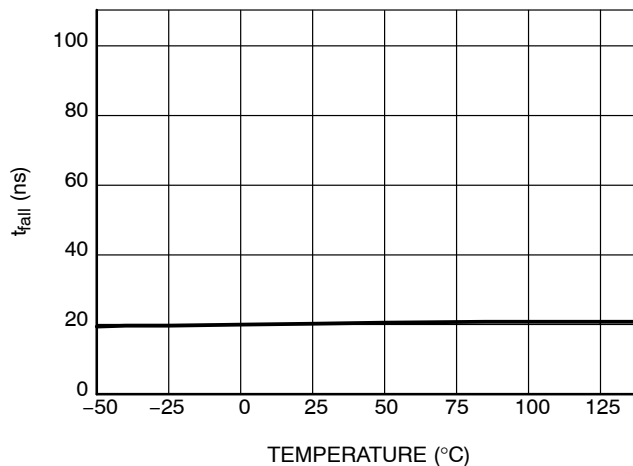


Figure 24.

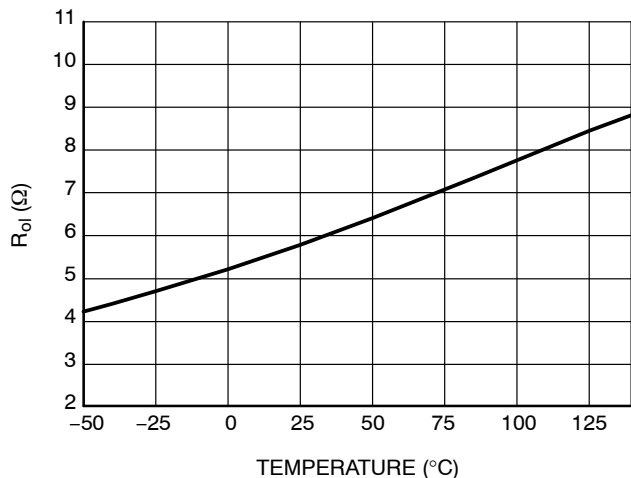


Figure 25.

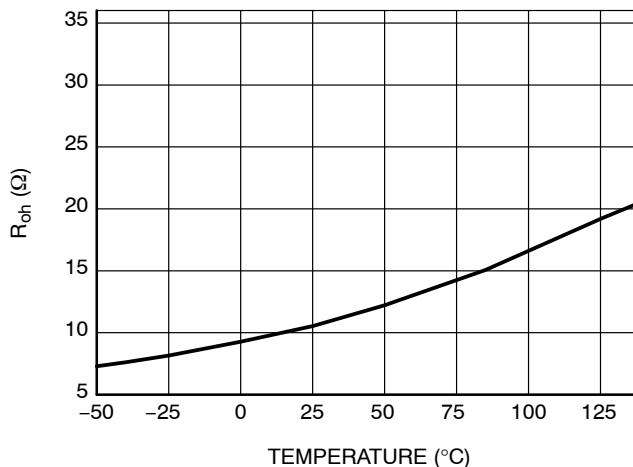


Figure 26.

# NCP1250

## TYPICAL CHARACTERISTICS

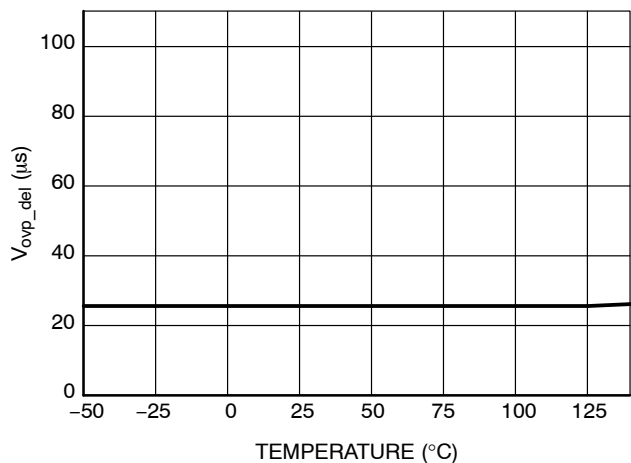


Figure 27.

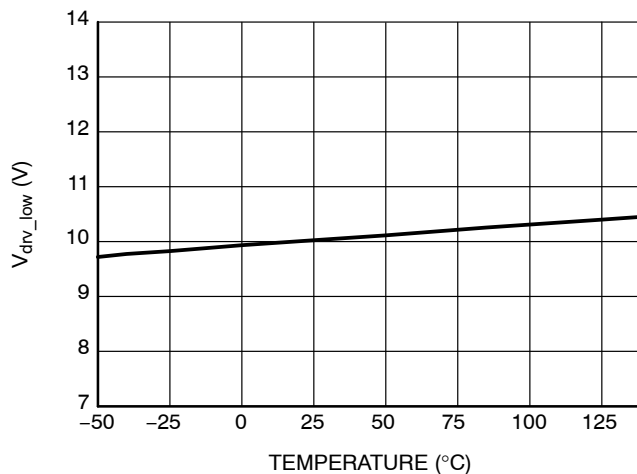


Figure 28.

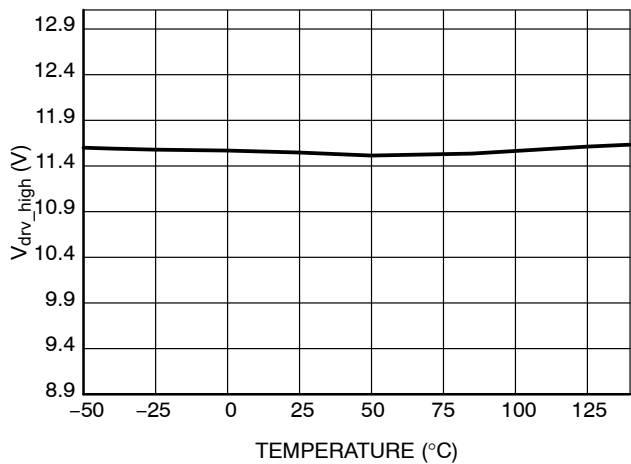


Figure 29.

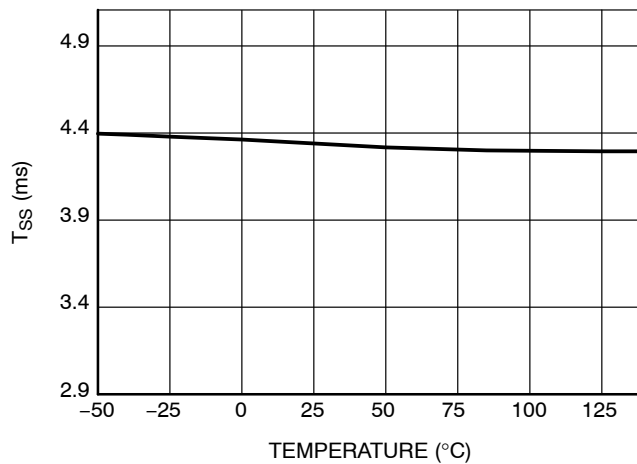


Figure 30.

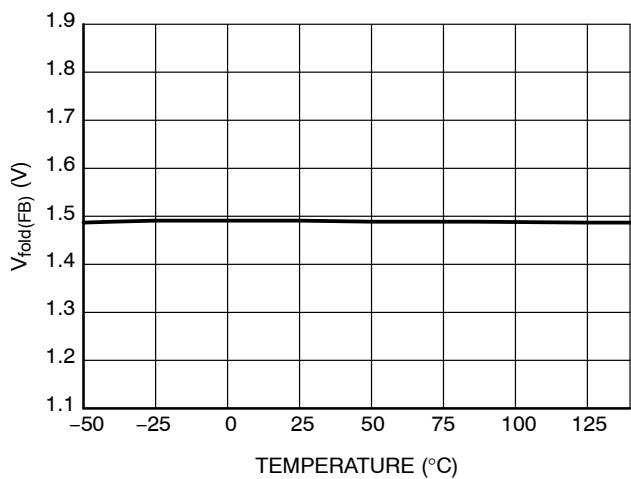


Figure 31.

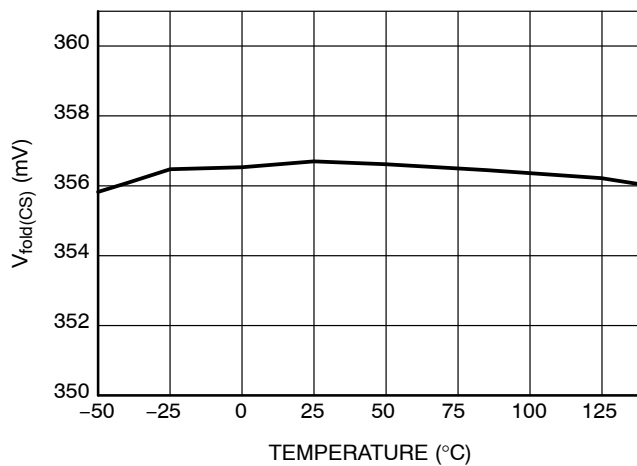


Figure 32.

# NCP1250

## TYPICAL CHARACTERISTICS

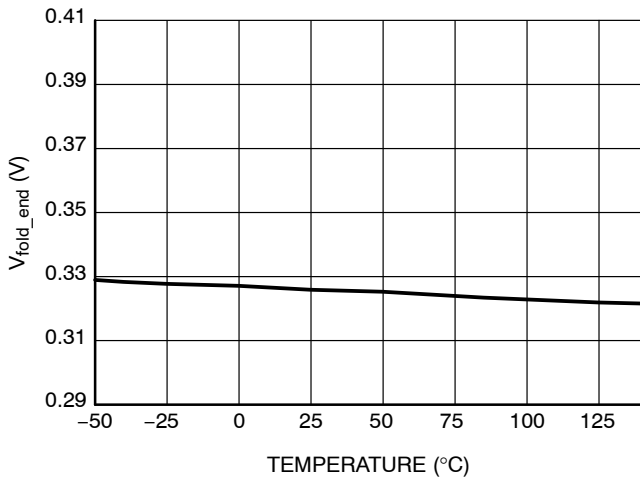


Figure 33.

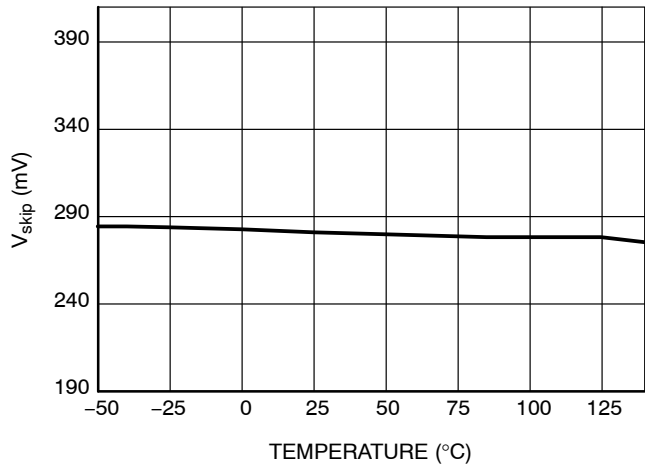


Figure 34.

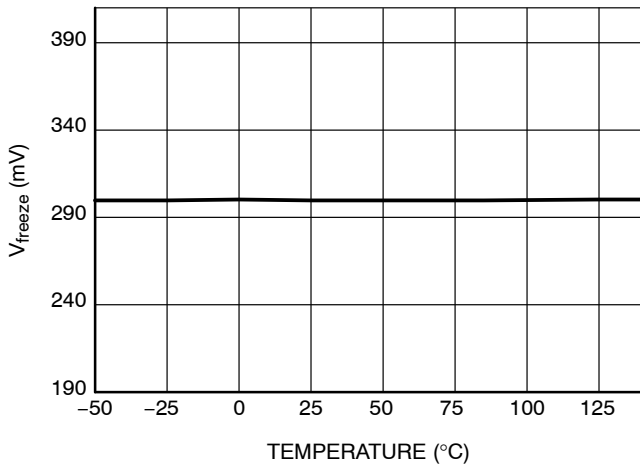


Figure 35.

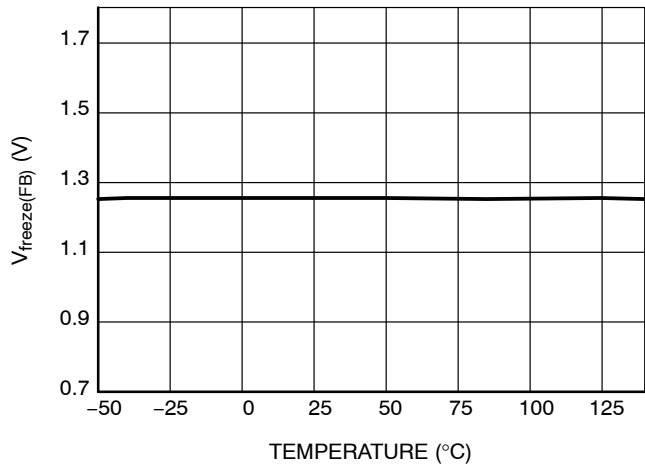


Figure 36.

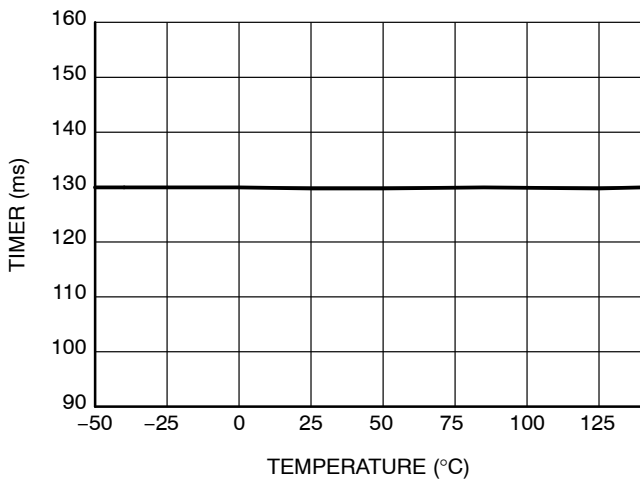


Figure 37.

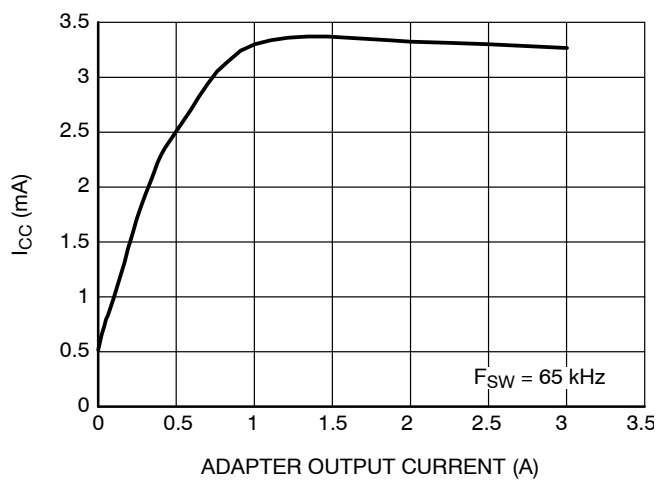


Figure 38. Controller Consumption vs. Adapter Output Current

## アプリケーション情報

## はじめに

NCP1250は、スイッチオフ・イベントがピーク電流設定ポイントで決定される標準電流モード・アーキテクチャを実装しています。このコンポーネントは、特に低コストAC-DCアダプタ、オープンフレーム電源などで部品点数が少なく、コスト効果が高いことが重要なパラメータである場合の理想的な候補です。NCP120Xシリーズの成功を基に、NCP1250は今日の最新電源設計で通常必要なすべての構成部品を搭載し、無損失OPPなど、いくつかの強化機能を提供しています。

- **内部ランプ補償付き電流モード動作:NCP1250**  
は、固定65 kHzまたは100 kHzでのピーク電流モード制御を実装しており、検出された電流と簡単に加算できる内部ランプ補償信号を提供します。電流センス情報と直列に1本の抵抗を挿入することによって、副高調波の発振がなくなります。
- **内蔵OPP**：補助巻線のオン時間中に存在する負電圧の一部を専用OPPピンに送ることによって、ユーザはバルク電圧が上昇すると最大ピーク電流の設定ポイントを変更する簡単かつ無損失の手段が得られます。ピンが接地された場合、OPP補償は行われません。ピンに印加される負電圧が-250 mVまで下がると、最小31.3%(標準)までのピーク電流の減少を達成できます。性能向上のために、センス抵抗での最大電圧振幅は0.8 Vに制限されています。
- **低起動電流**：起動中にコントローラに大きな電流が流れる際に、無負荷時スタンバイ電力を低減するのは常に困難な課題です。NCP1250は独自アーキテクチャによって、標準15  $\mu$ A未満の消費電流が保証されており、低スタンバイ電源アダプタの設計が容易です。
- **EMIジッタリング**：内部低周波変調信号によって、発振回路周波数の変調速度が変化します。これは伝導ノイズ解析でのエネルギー拡散に役立ちます。低電力レベルでのEMIシグニチャを改善するために、周波数フォールドバック・モードでのジッタリングはアクティブのまま保持されます。
- **周波数フォールドバック機能**：パルスの連続フローは、無負荷/軽負荷スタンバイ電力要件に適合しません。この領域で良好な結果を得るために、コントローラは帰還ピンを観測し、その電圧が1.5 Vレベルに達すると、発振器がスイッチング周波数の低減を開始します。帰還レベルは継続して低下します。帰還ピンの電圧が1.05 Vに達すると、ピーク電流設定ポイントが内部で固定され、周波

数は低下し続けます。周波数は、約350 mVの帰還レベルに対して26 kHz(標準)まで低下することができます。この時点で、電力が低下し続けると、コントローラは従来のスキップ・サイクル・モードに入ります。

- **内部ソフトスタート**：ソフトスタートは、起動時にメイン電源スイッチにかかるストレスを排除します。このコントローラでは、ソフトスタートは内部で4msに固定されています。新しい起動シーケンスが発生したときまたは自動リカバリ・ヒカップ中に、ソフトスタートが起動されます。
- **OVP入力**：NCP1250には、アダプタの過電圧状態を検出するのに使用できるラッチ入力ピンが備わっています。このピンが内部リファレンス電圧  $V_{latch}$  より高くなると、回路は永久にラッチ・オフします。VCCピンが固定レベルまでプル・ダウンされ、コントローラをラッチ状態に保持します。ユーザがメインからアダプタを切断して、VCCがVCCリセットより低くなると、ラッチ・リセットが発生します。
- **短絡保護**：補助巻線と出力巻線間のリーク・インダクタンスが高いトランスでは、短絡や特に過負荷保護の実装が困難です(出力短絡時は補助巻線の電圧レベルが適切に低下しない)。ここで、内部0.8 V最大ピーク電流制限がアクティブになるたびに(OPP使用時はそれ以下)、内部タイマによってエラー・フラグがアサートされ、時間間隔がスタートします。エラー・フラグが存在している状態でタイマが満了に近づくと、コントローラはパルスを停止し、ラッチオフ・フェーズに入り、低周波数バースト・モードで動作します。フォールトがクリアされると、SMPSは動作を再開します。バージョンによっては、上記の自動リカバリ・モードおよび短絡時のラッチオフを提供することに注意してください。

## 起動シーケンス

NCP1250の起動電圧は意図的に高くしてあるため、小さなVCCコンデンサ値で大きなエネルギーを保存できます。これにより、起動時間に支障のない少ない起動電流と小容量のVCCコンデンサでの動作が可能です。スタンバイ電力をさらに低減するには、コントローラの起動電流を極端に小さい15  $\mu$ A(最大)以下にします。したがって、起動抵抗をバルク・コンデンサに接続するか、直接メイン入力電圧に接続して、消費電力をさらに低減することができます。

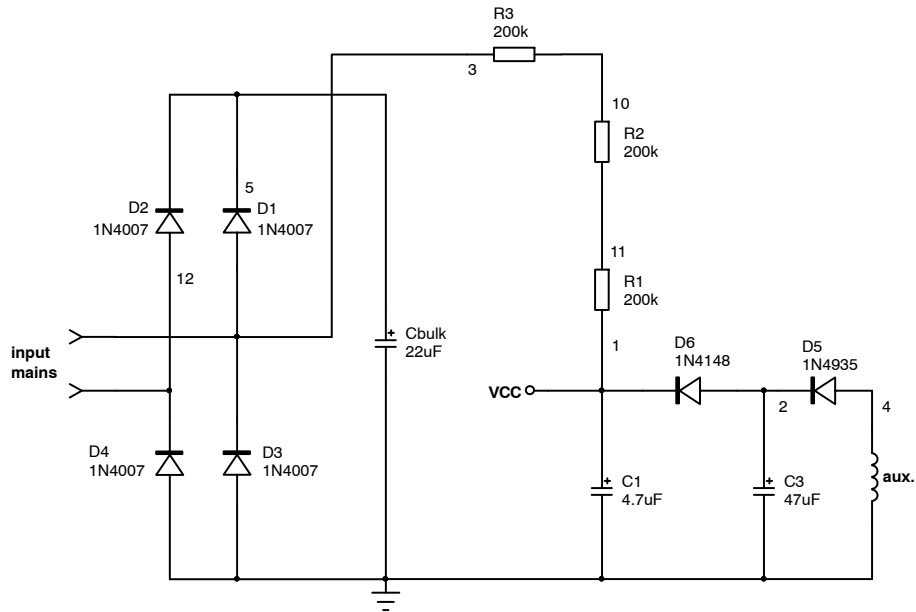


Figure 39. The Startup Resistor Can Be Connected to the Input Mains for Further Power Dissipation Reduction

最初のステップとして、補助巻線が引き継ぐまで、コントローラが動作するとそれに電力を供給するVCCコンデンサを計算をします。経験から、この時間 $t_1$ を5~20 msにできることが分かっています。10 msのうち少なくとも $t_1$ 時間に対してエネルギー・リザーブが必要と考える場合、VCCコンデンサの容量は、次の値より大きくなければなりません。

$$CV_{CC} \geq \frac{I_{CC} t_1}{V_{CC_{on}} - V_{CC_{min}}} \geq \frac{3m \times 10m}{9} \geq 3.3 \mu F \quad (\text{eq. 1})$$

最初に4.7 µFのコンデンサを選択して、ラボで実験すると、 $t_1$ は楽観的すぎることが分かります。VCCのコンデンサの値が分かると、VCC電圧を0からデバイスのVCC<sub>on</sub>(標準18 V)にするのに必要な充電電流を評価できます。次の式に示すように、最も低いメイン(85 V rms)での起動が3秒未満(設計マージンを考慮すると2.5秒)になるように、この電流を選択しなければなりません。

$$I_{charge} \geq \frac{V_{CC_{on}} C_{VCC}}{2.5} \geq \frac{18 \times 4.7\mu}{2.5} \geq 34 \mu A \quad (\text{eq. 2})$$

コントローラ内部を流れる15 µAを計算に加えると、起動抵抗で供給される総充電電流は49 µAでなければなりません。起動回路をメインに接続する場合(半波接続)、この起動抵抗に流入する平均電流は、VCCがコントローラのVCC<sub>on</sub>に達するとき最小になることが分かります。

$$I_{CVCC, min} = \frac{\frac{V_{ac, rms} \sqrt{2}}{\pi} - V_{CC_{on}}}{R_{start-up}} \quad (\text{eq. 3})$$

この電流が常に49 µA以上になるようにするには、 $R_{start-up}$ の最小値を次式から求めることができます。

$$R_{start-up} \leq \frac{\frac{V_{ac, rms} \sqrt{2}}{\pi} - V_{CC_{on}}}{I_{CVCC, min}} \leq \frac{85 \times 1.414}{49\mu} - 18 \leq 413.5 \text{ k}\Omega \quad (\text{eq. 4})$$

この計算は純粋に理論的なもので、充電電流が一定と仮定しています。実際には、引継時間が短い(または長い)ことがあり、VCCコンデンサの容量を低減できます。このため、充電電流が減少し、起動抵抗が大きくなるため、スタンバイ電力が減少します。ラボでのプロトタイプの実験では、コンバータを微調整することが不可欠です。式4に示す413 kΩの抵抗を選択した場合、高いラインでの消費電力は次式のようにになります。

$$P_{Rstart-up} = \frac{V_{ac, peak}^2}{4R_{start-up}} = \frac{(230 \times \sqrt{2})^2}{4 \times 413k} \quad (\text{eq. 5})$$

$$= \frac{230^2}{0.827Meg} = 64 \text{ mW}$$

最初のVCCコンデンサが選択されましたので、無負荷状態時に自己供給が消失しないようにしなければなりません。このモードでは、スキップサイクルが非常に深いため、リフレッシュ・パルスの間隔が広がる可能性があり、VCCコンデンサに大きなリップルが生じます。このリップルが大き過ぎる場合、VCC<sub>min</sub>に達して、コントローラが新しい起動シーケンスにリセットされる可能性があります。解決策はこのコンデンサの容量を大きくすることですが、明らかに起動時間に悪影響を及ぼします。Figure 39に示すオプションは、補助巻線に余分なコンデンサを追加して、この潜在的な問題を巧みに解決しています。

ただし、この構成部品は簡単なダイオードを介してV<sub>CC</sub>ピンから分離されています。このため、起動時間やスタンバイ電力を犠牲にしないで、コントローラの自己供給を保証する必要があるときは、このコンデンサの容量を大きくすることができます。22~47 μFの範囲のコンデンサが、このデバイスでの標準的な値です。

起動電流についての注記。起動電流の低減がスタンバイ電力の改善に役立つ場合、改善される値は最小入力電圧において一定のレベル以下にすることはできません。低いラインで十分な電流(30 μA)を注入できないと、SCRのラッチ状態が維持されないため、フォールト状態のコンバータは自動リカバリ・モードになります。十分な設計マージンを確保するために、最も低い入力ライン(例えば、85 Vに対して80 V rms)で少なくとも60 μAの電流を維持することを推奨します。優れた解決法は、アプリケーション・ノートAND8488/DのFigure 13に示すとおり、X2の放電と起動回路を実際に結合することです。

**内部過電力保護**

過電力保護(OPP)を実装するには、よく知られているいくつかの方法がありますが、すべてが特定の問題に遭遇します。これらの問題は、コンバータの消費電力の負担増から電流センス・オフセットによるスキップサイクル障害までの範囲に及びます。高いラインで電力能力を低減する方法は、補助ダイオード・アノードでの負電圧振幅を利用することです。電源スイッチのオン時間中に、このポイントが $-Nv_{in}$  (Nは1次巻線と補助巻線間の巻数比)まで低下します。Figure 41に見られる負のプラトの振幅は、入力電圧に応じて変化します。このチップに実装されたアイデアは、この負振幅部分を0.8 V内部リファレンス・レベルに加算することです。例えば、オン時間中に電圧が-150 mVまで低下すると、内部ピーク電流の設定ポイントは、 $0.8 - 0.150 = 650$  mVに固定されます。採用された原理は、Figure 41に記載され、最終的なピーク電流の設定ポイントが作成される方法を示しています。

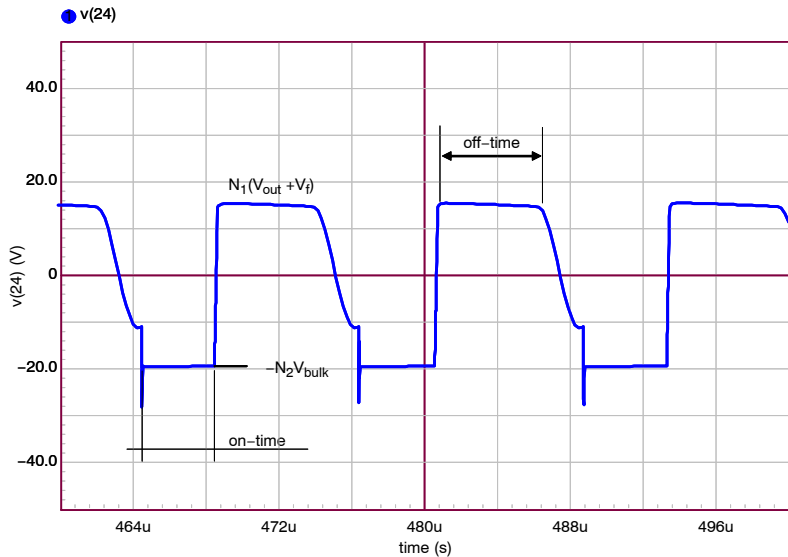


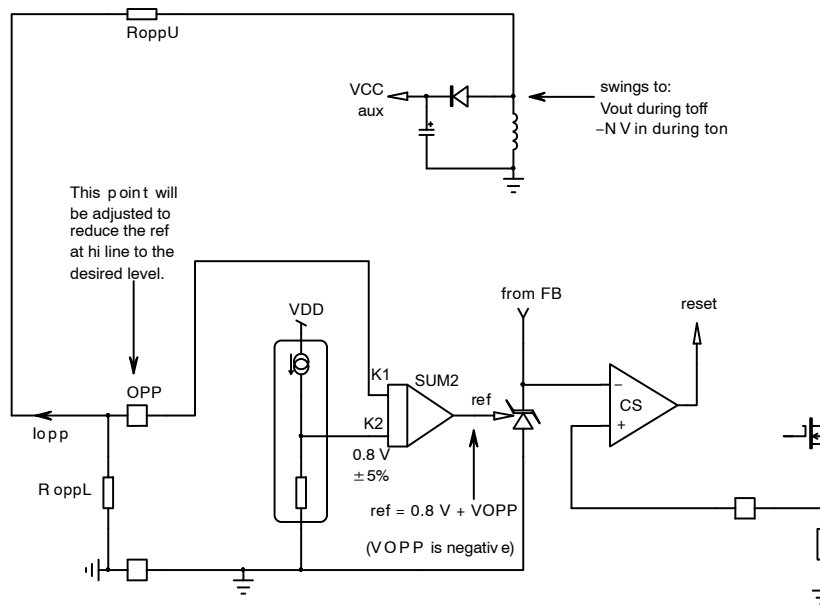
Figure 40. The Signal Obtained on the Auxiliary Winding Swings Negative During the On-time

ピーク電流を低いラインの2.5 Aから高いラインの2 Aに低減する必要があると仮定します。これは20%の低減または640 mVの設定ポイント電圧に相当しま

す。このレベルに到達するには、OPPピンで生じる負電圧が次の値に達する必要があります。

$$V_{OPP} = 640m - 800m = -160 \text{ mV} \quad (\text{eq. 6})$$

## NCP1250



**Figure 41. The OPP Circuitry Affects the Maximum Peak Current Set Point by Summing a Negative Voltage to the Internal Voltage Reference**

以下のコンバータ特性を仮定してみましょう。

$$V_{out} = 19 \text{ V}$$

$$V_{in} = 85 \sim 265 \text{ V}_{rms}$$

$$N_1 = N_p:N_s = 1:0.25$$

$$N_2 = N_p:N_{aux} = 1:0.18$$

1次巻線と補助巻線の巻数比が与えられると、補助巻線の高いラインでのオン時間電圧(265 Vac)は次の値まで振幅します。

$$V_{aux} = -N_2 V_{in,max} = -0.18 \times 375 = -67.5 \text{ V} \quad (\text{eq. 7})$$

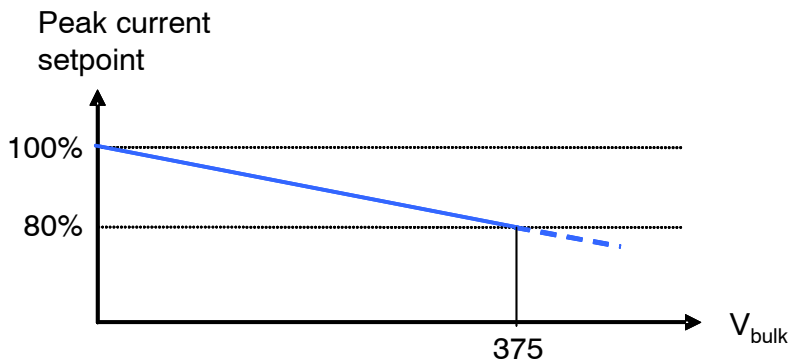
式6で与えられるレベルを得るには、次の比率を持つ抵抗分割器を接続する必要があります。

$$\text{Div} = \frac{0.16}{67.5} \approx 2.4\text{m} \quad (\text{eq. 8})$$

プルダウン抵抗 $R_{OPPL}$ を適当に1 k $\Omega$ に固定すると、次のとおり上側の抵抗が得られます。

$$R_{OPPU} = \frac{67.5 - 0.16}{0.16/1k} \approx 421 \text{ k}\Omega \quad (\text{eq. 9})$$

推奨抵抗値を実装して得られるピーク電流設定ポイントのグラフを描くと、以下の曲線が得られます (Figure 42)。



**Figure 42. The Peak Current Regularly Reduces Down to 20% at 375 Vdc**

OPPピンは、ESDパルスからピンを保護するために接続されたツェナー・ダイオードに囲まれています。これらのダイオードはアバランシェ降伏時のピーク電流を受け入れ、一定量のエネルギーを維持するように設計されています。他方、これらのダイオードへの負の注入(つまり順方向バイアス)は、回路の誤動作につながる基板注入を引き起こすおそれがあります。

この問題を回避するために、ピンは内部で-300 mVより少し低い電圧でクランプされています。これは、ESD順方向電圧降下に達する前に、さらに電流が注入される場合は、最大ピークの低減が40%に維持されることを意味します。最終的に電圧が内部ツェナー・ダイオードを順方向バイアスした場合、-2 mAを超える電流注入を回避するよう注



意しなければなりません。R<sub>OPPU</sub>の値が与えられた場合、現在の例ではリスクはありません。

最後に、OPPピンが偶発的に0 Vより高くバイアスされても、別のコンパレータが最大ピーク電流設定ポイントを0.8 Vに固定することに注意してください。

**周波数フォールドバック**

効率向上のニーズに関連する無負荷時スタンバイ電力を低減するには、従来の固定周波数タイプの動作を変更する必要があります。このコントローラは、帰還電圧がレベルV<sub>fold</sub>(約1.5 Vに設定)より低くなると、スイッチング周波数フォールドバックを導入します。このポイントで、発振器は周波数フォー

ルドバックに入り、スイッチング周波数を下げます。ピーク電圧設定ポイントは、帰還ピンのレベルが1.05 Vに達するまで帰還ピンに追従します。この値より低い場合、ピーク電流はV<sub>fold</sub>/4.2(250 mVまたは0.8 Vの最大設定ポイントの31%)に固定され、伝達される電力をさらに低減する唯一の方法は、動作周波数を26 kHzまで下げることです。350 mV(標準)の電圧帰還レベルでこの値に達します。このポイント以下で、出力電力が減少し続ける場合、デバイスは無負荷状態時の最良のノイズフリー性能を達成するスキップ・サイクルに入ります。Figure 43にこのデバイスに採用した方式を示します。

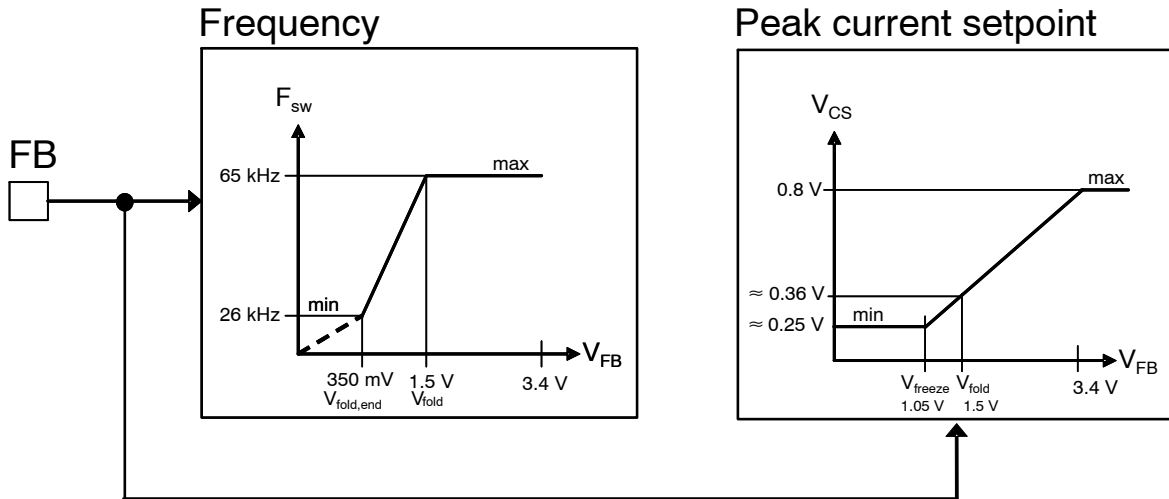


Figure 43. By Observing the Voltage on the Feedback Pin, the Controller Reduces its Switching Frequency for an Improved Performance at Light Load

**自動リカバリ短絡保護**

出力が短絡した場合や電源に深刻な過負荷状況が生じた場合は、内部エラー・フラグがセットされ、カウントダウン・タイマが始動します。フラグが100 msより長くアサートされると、ドライブ・パルスが停止し、V<sub>CC</sub>ピンが約7 Vまで徐々に下がります。この時点で、コントローラがウェイクアップし、抵抗起動回路のためにV<sub>CC</sub>が再び上昇します。V<sub>CC</sub>が

V<sub>CCON</sub>に達すると、コントローラはリスタートを試みて、フォールトがないかチェックします。フォールトがまだ存在する場合、電源はいわゆるヒカップ・モードと呼ぶ別のサイクルに入ります。フォールトがクリアされると、電源は通常動作を再開します。各リスタート・シーケンス中に、ソフトスタートが起動されることに注意してください。

# NCP1250

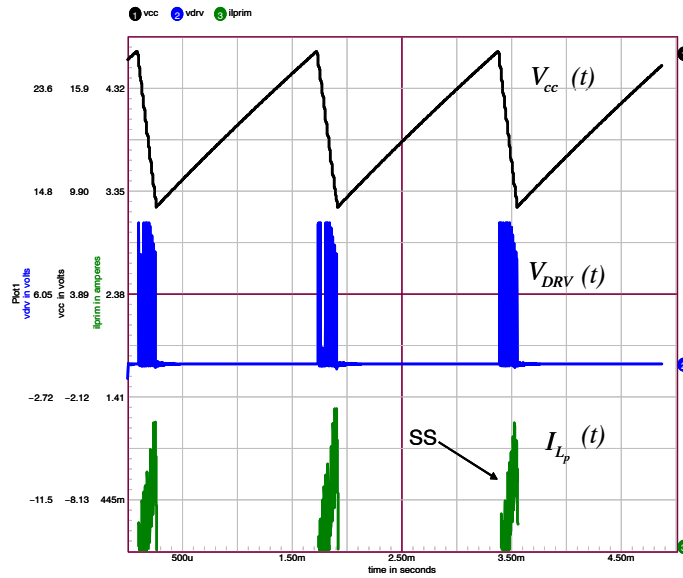


Figure 44. An Auto-Recovery Hiccup Mode is Activated for Faults Longer than 100 ms

## スロープ補償

NCP1250には内部ランプ補償信号があります。この信号はオン時間中のみ供給されるバッファされた発振器クロックです。その振幅は最大デューティ・サイクル時に約2.5 Vです。ランプ補償は、連続導通モード(CCM)で動作する電流モード・コンバータで副高調波発振の対策に使用するよく知られた手段です。これらの発振は、スイッチング周波数の半

分の周波数で行われ、50%を超えるデューティ・サイクルでCCMの期間にのみ発生します。電流ループ・ゲインを下げるには通常、インダクタのダウンスロープの50%~100%を注入します。Figure 45に、内部でランプが生成される方法を示します。オフ時間の間、ランプ信号はCSピンから切断されることに注意してください。

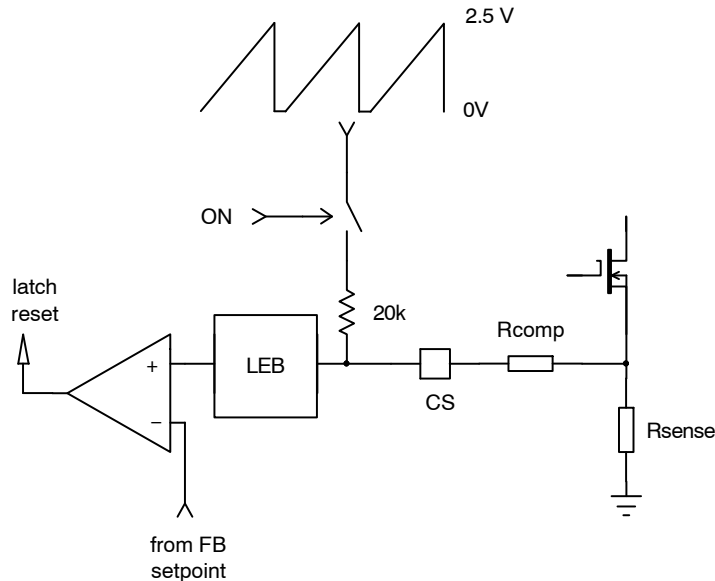


Figure 45. Inserting a Resistor in Series with the Current Sense Information Brings Ramp Compensation and Stabilizes the Converter in CCM Operation.

NCP1250コントローラでは、発振器のランプは80%のデューティ比のときに2.5 Vの振幅に達します。クロックが65kHzの周波数で動作する場合、使用可能な発振器スロープは次のようになります。

$$S_{\text{ramp}} = \frac{V_{\text{ramp,peak}}}{D_{\text{max}} T_{\text{SW}}} = \frac{2.5}{0.8 \times 15\mu} = 208 \text{ kV/s or } 208 \text{ mV}/\mu\text{s} \quad (\text{eq. 10})$$

我々のフライバック設計で、1次インダクタンス $L_p$ が770  $\mu\text{H}$ で、SMPSが1:0.25の $N_p:N_s$ 比で19 Vを供給すると仮定しましょう。するとオフ時間の1次電流スロープ $S_p$ は、次式で与えられます。

$$S_p = \frac{(V_{\text{out}} + V_f) \frac{N_p}{N_s}}{L_p} = \frac{(19 + 0.8) \times 4}{770\mu} = 103 \text{ kA/s} \quad (\text{eq. 11})$$

センス抵抗が330 m $\Omega$ とすると、上記の電流ランプは以下の振幅の電圧ランプになります。

$$S_{\text{sense}} = S_p R_{\text{sense}} = 103\text{k} \times 0.33 \quad (\text{eq. 12})$$

$$= 34 \text{ kV/s or } 34 \text{ mV}/\mu\text{s}$$

ランプ補償の必要量として50%のダウンスロープを選択する場合、そのスロープが17 mV/ $\mu\text{s}$ であるランプを注入することになります。内部補償は208 mV/ $\mu\text{s}$ で、 $R_{\text{comp}}$ と内部20 k $\Omega$ 抵抗間の抵抗分割比(*divratio*)は、次のようになります。

$$\text{divratio} = \frac{17\text{m}}{208\text{m}} = 0.082 \quad (\text{eq. 13})$$

したがって、直列補償抵抗値は次のようになります。

$$R_{\text{comp}} = R_{\text{ramp}} \cdot \text{divratio} = 20\text{k} \times 0.082 \approx 1.6 \text{ k}\Omega \quad (\text{eq. 14})$$

上記の値を持つ抵抗をセンス抵抗から電流センス・ピン間に挿入します。ノイズ余裕度を向上させるために、電流センス・ピンからコントローラのグランド間に100 pFの小容量コンデンサを追加することを推奨します。両方の部品をコントローラのごく近くに配置するようにしてください。

### コントローラのラッチ・オフ

OPPピンは、ライン電圧に関して、ピーク電流設定ポイントの低減を可能にするだけでなく、デバ

イスを永続的にラッチ・オフする方法も提供します。デバイスがラッチ・オフされると、 $V_{\text{CC}}$ ピンは内部で約7Vにプル・ダウンされ、ユーザが例えば、メイン電源からコンバータのプラグを引き抜くなどによって、 $V_{\text{CC}}$ を落としてから再び立ち上げるまで、デバイスはこの状態を維持します。注入された電流が30  $\mu\text{A}$ の最小値以上を維持する限り、SCRがラッチ状態を維持することが重要です。注入される電流がこの値以下の場合にSCRがラッチ解除するときは、最小入力電圧で注入電流が十分高くなるようにするのは設計者の責任です。十分に高い電流を維持できないと、デバイスは自動リカバリを実行します。適切な設計方法は、最小入力電圧で60  $\mu\text{A}$ 以上を保証することです。3 Vリファレンス電圧を持つコンパレータでOPPピンを監視することによってラッチを検出します。ただし、ノイズのため、および特にターン・オフ時のリーク・インダクタンスの影響を避けるために、OVPコンパレータの出力がチェックされる前に1  $\mu\text{s}$ のブランキング遅延が導入されます。次に、OVPコンパレータ出力は、ハイ状態が最小600 ns継続する場合にのみ有効と確認されます。この値より低いと、その事象は無視されます。次に、カウンタが実際にデバイスをラッチする前に、4連続OVPイベントが発生したことを確認します。可能な実装がいくつかあり、必要な精度と制御したいパラメータに応じて異なります。

最初の最も簡単な解決策は、OPP回路の最上部に抵抗分割器を追加することです。この解決策は簡単で経済的ですが、ダイオードを挿入してオン時間中のOPPの抵抗分割器を妨害しないようにする必要があります。

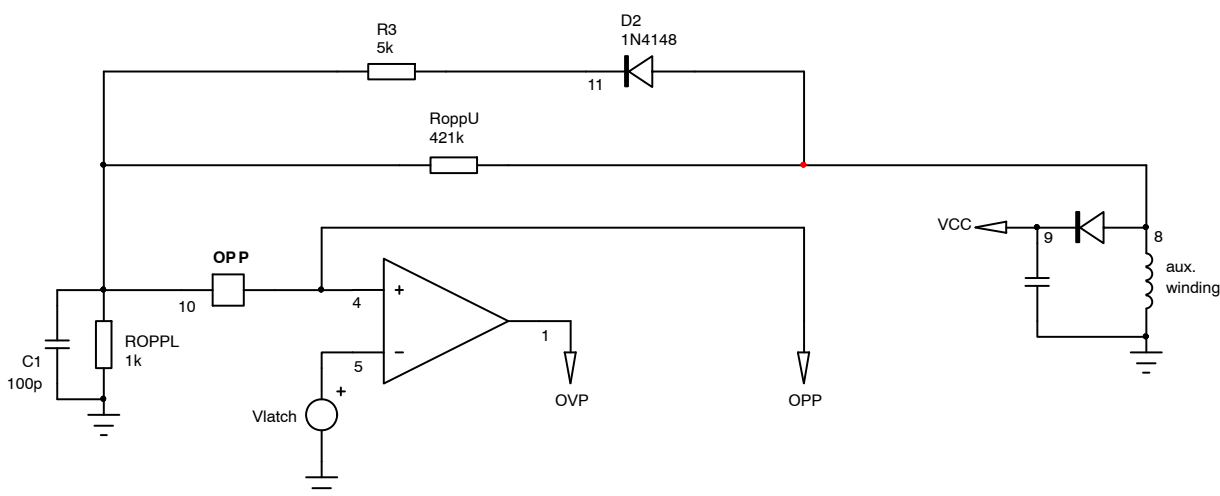


Figure 46. A Simple Resistive Divider Brings the OPP Pin Above 3 V in Case of a  $V_{\text{CC}}$  Voltage Runaway above 18 V

最初に、上式でOPP回路を計算します。次に、 $V_{\text{out}}$ が25 Vを超えたら、コントローラをラッチ・オフしたいと仮定してください。補助巻線では、プラトが

電力および補助巻線間の巻数比によって出力電圧を反映します。19 Vアダプタの電圧暴走の場合、プラトは次の電圧まで上昇します。

$$V_{aux,OVP} = 25 \times \frac{0.18}{0.25} = 18 \text{ V} \quad (\text{eq. 15})$$

我々のOVPコンパレータは、選択した1 kΩのOPPプルダウン抵抗では、3 Vレベルでトリップするため、電流は3 mAになります。3 Vから18 Vまで上昇するには、15 Vを加算する必要があります。3 mA未満で、直列ダイオードの順方向電圧降下を無視すると、次の直列抵抗が必要になります。

$$R_{OVP} = \frac{V_{latch} - V_{VOP}}{V_{OVP}/R_{OPPL}} = \frac{18 - 3}{3/1k} = \frac{15}{3m} = 5 \text{ k}\Omega \quad (\text{eq. 16})$$

通常状態でプラトは約14 Vになります。÷6の比率とすると、OPPピンは通常状態期間に14/6 = 2.3 Vに振幅し、700 mVの-marginが残ります。OPPピンとGND間に100 pFのコンデンサを追加して、ノイズ余裕度を改善し、外部サージが加わったときに誤トリップを防止することができます。このコンデンサの容量を大きくし過ぎないでください。OPP信号が積分時定数の影響を受けます。

OVP検出に限った第2の解決法は、推奨どおり結線されたツェナー・ダイオードを使用することです。

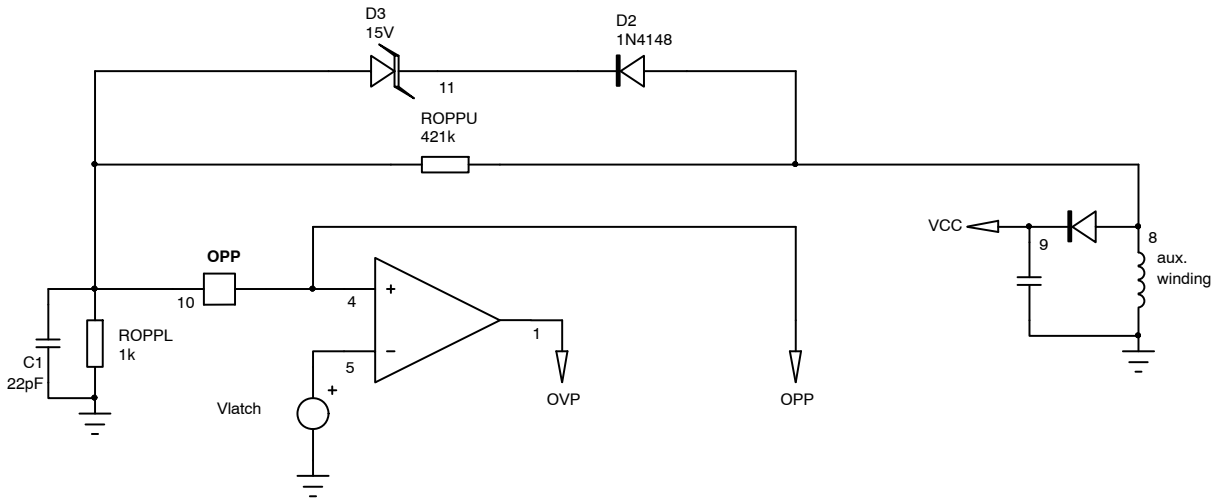


Figure 47. A Zener Diode in Series with a Diode Helps to Improve the Noise Immunity of the System

この構成で18 Vレベルを維持するために、15 Vツェナー・ダイオードを選択しました。通常状態では、ツェナー・ダイオードが完全にブロックされるオフ時間中、OPPピンの電圧はほぼ0 Vです。Figure 46に示すとおり、この手法では抵抗ストリングから得られるノイズ余裕度と比較して、システムのノイズ余裕度が明らかに改善されます。OPPピンのコンデンサ容量が10 pF~22 pFに低減されていることに注意してください。このコンデンサは、リーク・インダクタンスのためにバイアス巻線からのツェナー寄生容量を通じて、電圧スパイクが結合される可能性があることから必要になります。ただし、ターンオフ時に、1 μsのブランキング遅延があります。このスパイクのエネルギーは、追加されたコンデンサC1を充電するのに十分大きく、時定数が与えられると、コンデンサは徐々に放電でき、ブランキング回路を妨害する可能性があります。ツェナー・

オプションを導入するときは、OPPピン電圧を注意深く観測し(プローブ接続は短くする!)、OPPピン電圧に十分なmarginがあるか確認することが重要です。

**過熱保護**

多くの設計で、例えば、アダプタ・ボックス内の温度が一定値以上に上昇するときなど、熱暴走からアダプタを保護する必要があります。Figure 48に、外部NTCおよび直列ダイオードを使用した簡単なOTPの実装方法を示します。原理は同じです。OPP回路が追加のNTCによって影響を受けないようにしてください。そのため、この絶縁ダイオードが存在します。温度が上昇してNTCの抵抗が減少すると、オフ時間中のOPPピンの電圧が徐々に上昇し、4連続クロック・サイクルの間に3 Vを超えると、コントローラは永久にラッチ・オフします。

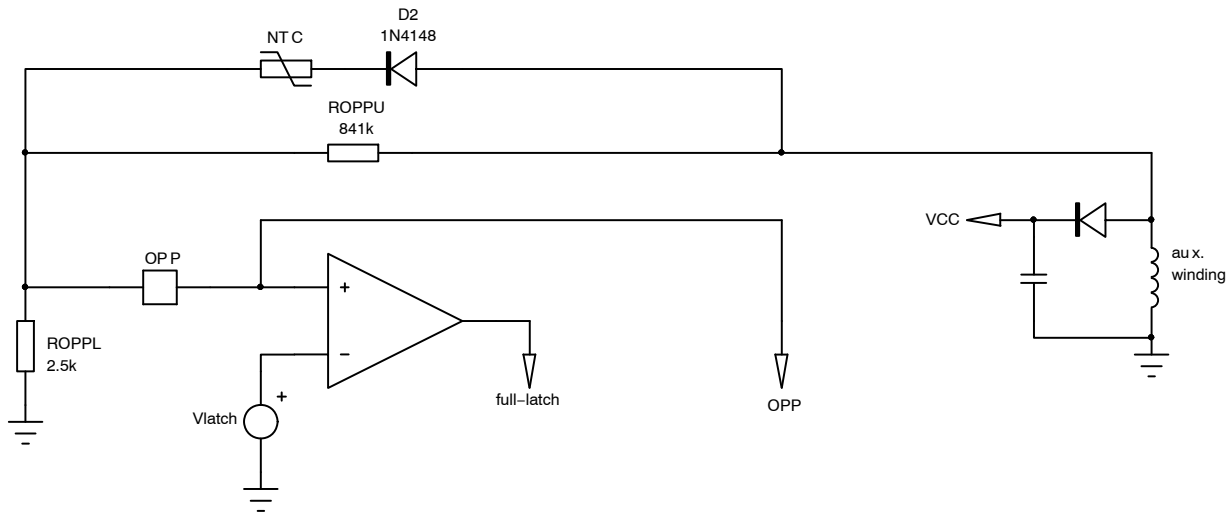


Figure 48. The Internal Circuitry Hooked to OPP/Latch Pin Can Be Used to Implement Over Temperature Protection (OTP)

我々の19 Vアダプタに戻ると、補助ダイオードのプラト電圧は通常状態で13 Vでした。25°Cで470 kΩの抵抗を提供し、110°Cで8.8 kΩに低下するNTCを選択しました。補助巻線のプラトが14 Vで、ダイオードの順方向電圧降下が0.6 Vとすると、フォールト・モードでのNTC両端の電圧は次の値でなければなりません。

$$V_{\text{NTC}} = 14 - 3 - 0.6 = 10.4 \text{ V} \quad (\text{eq. 17})$$

110°Cで8.8 kΩのNTC抵抗に基づく、デバイスを流れる電流は次の値でなければなりません。

$$I_{\text{NTC}} = \frac{10.4}{8.8\text{k}} \approx 1.2 \text{ mA} \quad (\text{eq. 18})$$

したがって、下側抵抗 $R_{\text{OPPL}}$ は次のように簡単に計算できます。

$$R_{\text{OPPL}} = \frac{3}{1.2\text{m}} = 2.5 \text{ k}\Omega \quad (\text{eq. 19})$$

これでプルダウンOPP抵抗が分かるため、上側の抵抗値 $R_{\text{OPPU}}$ を計算して、選択した出力電力レベルでの電力制限を調整することができます。

0.8 Vの設定ポイントから200 mVの電圧降下が必要で、補助アノードでのオン時間振幅が-67.5 Vであると仮定すると、 $R_{\text{OPPU}}$ で次の電圧に落とす必要があります。

$$V_{\text{ROPPU}} = 67.5 - 0.2 = 67.3 \text{ V} \quad (\text{eq. 20})$$

この状態でプルダウン抵抗 $R_{\text{OPPL}}$ に流れる電流は、次のようになります。

$$I_{\text{ROPPU}} = \frac{200\text{m}}{2.5\text{k}} = 80 \mu\text{A} \quad (\text{eq. 21})$$

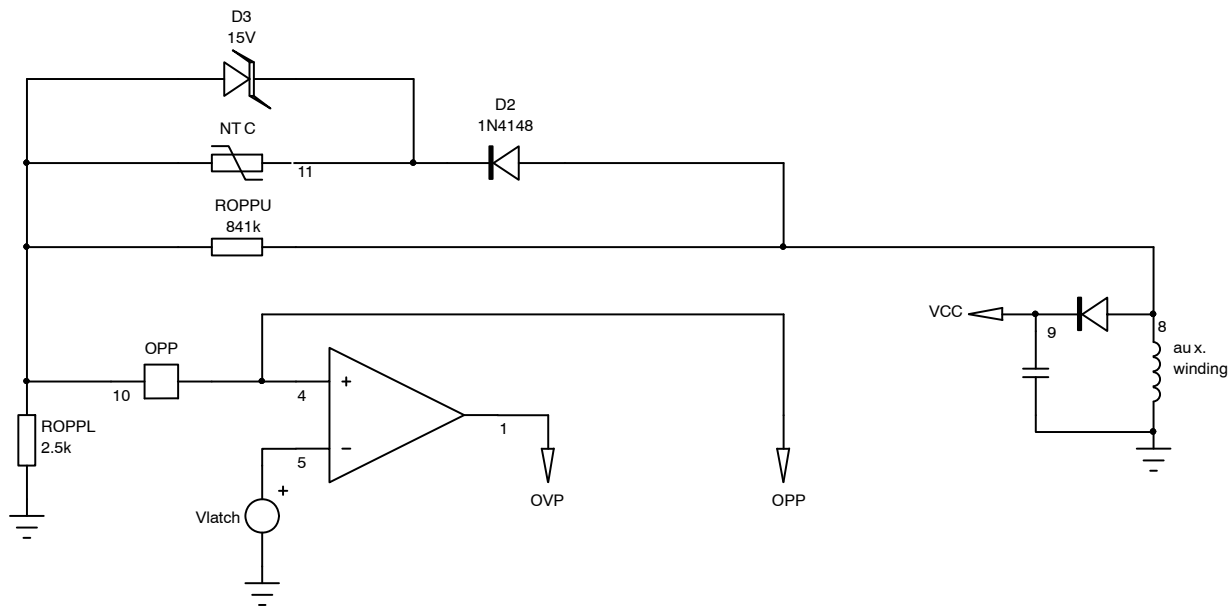
したがって、 $R_{\text{OPPU}}$ 値は、次のとおり簡単に求めることができます。

$$R_{\text{OPPU}} = \frac{67.3}{80\mu} = 841 \text{ k}\Omega \quad (\text{eq. 22})$$

#### OVPとOTPの組み合わせ

Figure 49に示すとおり、OTPとツェナー・ダイオードをベースにしたOVPを組み合わせることができます。

# NCP1250



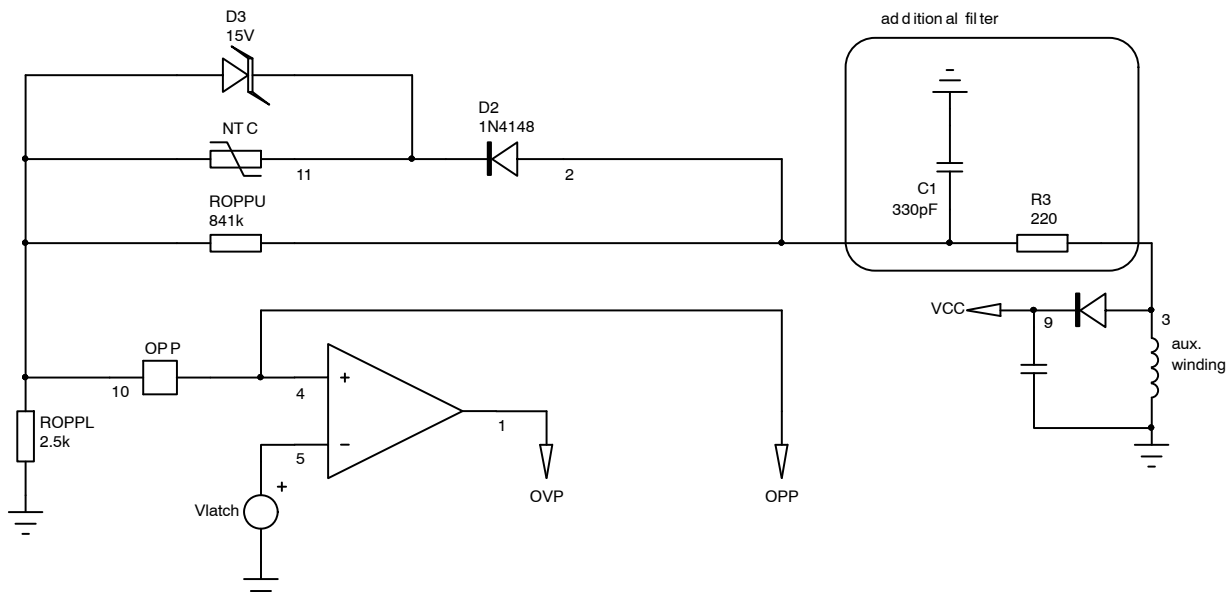
**Figure 49. With the NTC Back in Place, the Circuit Nicely Combines OVP, OTP and OPP on the Same Pin**

公称V<sub>CC</sub>/出力状態で、ツェナーが導通していないとき、NTCは高温の場合にOPPピンをドライブしてアダプタをトリガすることができます。標準温度中にループが分断された場合は、電圧暴走が検出され、コントローラがコンバータをシャットダウンします。

OPPまたはOVPにOPPピンを使用しない場合は、単に接地できます。

### スパイクのフィルタリング

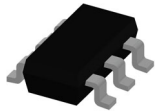
補助巻線は、ツェナー・ダイオードと直列ダイオードで生じる寄生容量を通じてOPPピンに結合する可能性があるスパイクの発生源です。過電圧保護回路の逆トリガを回避するために、検出回路の前に小型RCフィルタを取り付けることができます。Figure 50に示す標準値は、過剰な電流循環でスタンバイ電力が低下することなく、適切なフィルタリング機能を提供するように選択しなければなりません。



**Figure 50. A Small RC Filter Avoids the Fast Rising Spikes from Reaching the Protection Pin of the NCP1250 in Presence of Energetic Perturbations Superimposed on the Input Line**

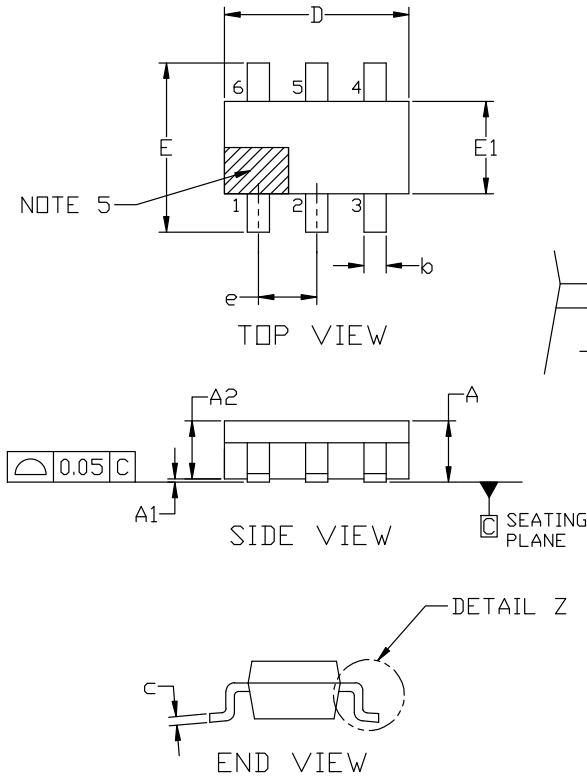
# MECHANICAL CASE OUTLINE

## PACKAGE DIMENSIONS



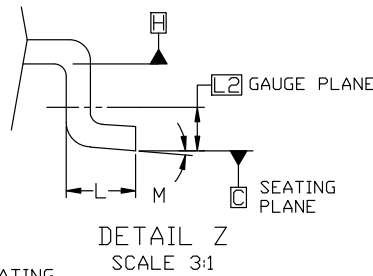
**TSOP-6 3.00x1.50x0.90, 0.95P**  
**CASE 318G**  
**ISSUE W**

DATE 26 FEB 2024

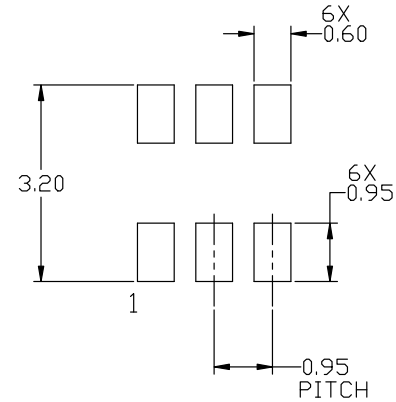


**NOTES:**

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 2018.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. MAXIMUM LEAD THICKNESS INCLUDES LEAD FINISH. MINIMUM LEAD THICKNESS IS THE MINIMUM THICKNESS OF BASE MATERIAL.
4. DIMENSIONS D AND E1 DO NOT INCLUDE MOLD FLASH, PROTRUSIONS, OR GATE BURRS. MOLD FLASH, PROTRUSIONS, OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE. DIMENSIONS D AND E1 ARE DETERMINED AT DATUM H.
5. PIN 1 INDICATOR MUST BE LOCATED IN THE INDICATED ZONE



MILLIMETERS			
DIM	MIN	NOM	MAX
A	0.90	1.00	1.10
A1	0.01	0.06	0.10
A2	0.80	0.90	1.00
b	0.25	0.38	0.50
c	0.10	0.18	0.26
D	2.90	3.00	3.10
E	2.50	2.75	3.00
E1	1.30	1.50	1.70
e	0.85	0.95	1.05
L	0.20	0.40	0.60
L2	0.25 BSC		
M	0°	---	10°



RECOMMENDED MOUNTING FOOTPRINT

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference manual, SOLDERRM/D.

<b>DOCUMENT NUMBER:</b>	<b>98ASB14888C</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>TSOP-6 3.00x1.50x0.90, 0.95P</b>	<b>PAGE 1 OF 2</b>

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

# MECHANICAL CASE OUTLINE

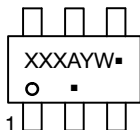
## PACKAGE DIMENSIONS



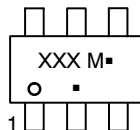
TSOP-6 3.00x1.50x0.90, 0.95P  
CASE 318G  
ISSUE W

DATE 26 FEB 2024

### GENERIC MARKING DIAGRAM\*



IC



STANDARD

XXX = Specific Device Code  
A = Assembly Location  
Y = Year  
W = Work Week  
▪ = Pb-Free Package

XXX = Specific Device Code  
M = Date Code  
▪ = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLE 1:

- PIN 1. DRAIN
- 2. DRAIN
- 3. GATE
- 4. SOURCE
- 5. DRAIN
- 6. DRAIN

STYLE 2:

- PIN 1. EMITTER 2
- 2. BASE 1
- 3. COLLECTOR 1
- 4. EMITTER 1
- 5. BASE 2
- 6. COLLECTOR 2

STYLE 3:

- PIN 1. ENABLE
- 2. N/C
- 3. R BOOST
- 4. Vz
- 5. V in
- 6. V out

STYLE 4:

- PIN 1. N/C
- 2. V in
- 3. NOT USED
- 4. GROUND
- 5. ENABLE
- 6. LOAD

STYLE 5:

- PIN 1. EMITTER 2
- 2. BASE 2
- 3. COLLECTOR 1
- 4. EMITTER 1
- 5. BASE 1
- 6. COLLECTOR 2

STYLE 6:

- PIN 1. COLLECTOR
- 2. COLLECTOR
- 3. BASE
- 4. EMITTER
- 5. COLLECTOR
- 6. COLLECTOR

STYLE 7:

- PIN 1. COLLECTOR
- 2. COLLECTOR
- 3. BASE
- 4. N/C
- 5. COLLECTOR
- 6. EMITTER

STYLE 8:

- PIN 1. Vbus
- 2. D(in)
- 3. D(in)+
- 4. D(out)+
- 5. D(out)
- 6. GND

STYLE 9:

- PIN 1. LOW VOLTAGE GATE
- 2. DRAIN
- 3. SOURCE
- 4. DRAIN
- 5. DRAIN
- 6. HIGH VOLTAGE GATE

STYLE 10:

- PIN 1. D(OUT)+
- 2. GND
- 3. D(OUT)-
- 4. D(IN)-
- 5. VBUS
- 6. D(IN)+

STYLE 11:

- PIN 1. SOURCE 1
- 2. DRAIN 2
- 3. DRAIN 2
- 4. SOURCE 2
- 5. GATE 1
- 6. DRAIN 1/GATE 2

STYLE 12:

- PIN 1. I/O
- 2. GROUND
- 3. I/O
- 4. I/O
- 5. VCC
- 6. I/O

STYLE 13:

- PIN 1. GATE 1
- 2. SOURCE 2
- 3. GATE 2
- 4. DRAIN 2
- 5. SOURCE 1
- 6. DRAIN 1

STYLE 14:

- PIN 1. ANODE
- 2. SOURCE
- 3. GATE
- 4. CATHODE/DRAIN
- 5. CATHODE/DRAIN
- 6. CATHODE/DRAIN

STYLE 15:

- PIN 1. ANODE
- 2. SOURCE
- 3. GATE
- 4. DRAIN
- 5. N/C
- 6. CATHODE

STYLE 16:

- PIN 1. ANODE/CATHODE
- 2. BASE
- 3. EMITTER
- 4. COLLECTOR
- 5. ANODE
- 6. CATHODE

STYLE 17:

- PIN 1. EMITTER
- 2. BASE
- 3. ANODE/CATHODE
- 4. ANODE
- 5. CATHODE
- 6. COLLECTOR

<b>DOCUMENT NUMBER:</b>	<b>98ASB14888C</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>TSOP-6 3.00x1.50x0.90, 0.95P</b>	<b>PAGE 2 OF 2</b>

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.



# MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS

ON Semiconductor®



SCALE 1:1

PDIP-8  
CASE 626-05  
ISSUE P

DATE 22 APR 2015

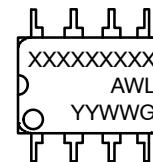


NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: INCHES.
3. DIMENSIONS A, A1 AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. DIMENSIONS D, D1 AND E1 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS ARE NOT TO EXCEED 0.10 INCH.
5. DIMENSION E IS MEASURED AT A POINT 0.015 BELOW DATUM PLANE H WITH THE LEADS CONSTRAINED PERPENDICULAR TO DATUM C.
6. DIMENSION eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. DATUM PLANE H IS COINCIDENT WITH THE BOTTOM OF THE LEADS, WHERE THE LEADS EXIT THE BODY.
8. PACKAGE CONTOUR IS OPTIONAL (ROUNDED OR SQUARE CORNERS).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	----	0.210	----	5.33
A1	0.015	----	0.38	----
A2	0.115	0.195	2.92	4.95
b	0.014	0.022	0.35	0.56
b2	0.060 TYP		1.52 TYP	
C	0.008	0.014	0.20	0.36
D	0.355	0.400	9.02	10.16
D1	0.005	----	0.13	----
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eB	----	0.430	----	10.92
L	0.115	0.150	2.92	3.81
M	----	10°	----	10°

GENERIC  
MARKING DIAGRAM\*

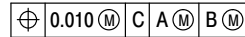


- XXXX = Specific Device Code
- A = Assembly Location
- WL = Wafer Lot
- YY = Year
- WW = Work Week
- G = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

STYLE 1:

- PIN 1. AC IN
- 2. DC + IN
- 3. DC - IN
- 4. AC IN
- 5. GROUND
- 6. OUTPUT
- 7. AUXILIARY
- 8. V<sub>CC</sub>



DOCUMENT NUMBER:	98ASB42420B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PDIP-8	PAGE 1 OF 1

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

**onsemi**, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## ADDITIONAL INFORMATION

### TECHNICAL PUBLICATIONS:

Technical Library: [www.onsemi.com/design/resources/technical-documentation](http://www.onsemi.com/design/resources/technical-documentation)  
onsemi Website: [www.onsemi.com](http://www.onsemi.com)

### ONLINE SUPPORT: [www.onsemi.com/support](http://www.onsemi.com/support)

For additional information, please contact your local Sales Representative at [www.onsemi.com/support/sales](http://www.onsemi.com/support/sales)

