

自由振動擬似共振動作PWM電流モード・コントローラ

NCP1337

NCP1337は、真の電流モード変調器と消磁検出器を組み合わせてることによって、どのような負荷やラインの状態でも完全な臨界(境界)導通モードと最小ドレイン電圧のスイッチング(擬似共振動作)を保証します。トランスのコア・リセット検出は、外部信号を使用せずに、Soxylessの概念に基づいて内部で実行されます。周波数は内部で130 kHzに制限されており、コントローラが、150 kHzというCISPR-22のEMI開始制限を上回って動作することを防ぎます。

コントローラは帰還ピンの動作をモニタし、電力需要が事前に設定されたレベルよりも低下すると即座にスキップ・モードに移行します。毎回の再起動は内蔵されたSoft-Skip™機能によってソフト化されており、周波数が25 kHzを下回ることはないため、可聴雑音は発生しません。

また、NCP1337は効果的な保護回路を備えており、過電流状態が発生した場合、出力パルスをディセーブルして安全なバースト・モードに移行し、再起動を試みます。障害が取り除かれると、デバイスは自動的に回復します。また、バルク電圧モニタ機能(ブラウンアウト保護として知られる)、調整可能な過電力補償、およびV_{CC} OVPを採用しています。これらのどの状態が発生した場合でも、フォールト・タイムがタイムアウトしない限り、コントローラは即座に再起動します。さらに、4.0 msのソフトスタート機能を内蔵しているため、従来のような起動時のストレスは発生しません。

特長

- 自由振動臨界(境界)モード擬似共振動作
- 電流モード
- スタンバイ用の最小スイッチング周波数で動作するSoft-Skipモード
- 補助電圧から独立した自動リカバリ機能付き短絡保護
- 過電圧保護
- ブラウンアウト保護
- 外部起動可能な2つのフォールト・コンパレータ (1つはディセーブル機能用、もう1つは持続的ラッチオフ用)
- 4.0 msのソフトスタート機能内蔵
- ピーク500 mAのシンク電流駆動能力
- 最大周波数130 kHz
- リーディング・エッジ・ブランキング機能内蔵
- 温度シャットダウン機能内蔵
- オプトカップラ直接接続
- 12 V(オン)と10 V(オフ)のレベルを持つ動的自己電力供給機能
- 過渡解析用とAC解析用のSPICEモデルが利用可能
- 鉛フリー・デバイス

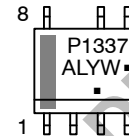
代表的アプリケーション

- ノートブックPCなどのAC-DCアダプタ
- オフライン・バッテリー充電器
- 家庭用電化製品 (DVDプレーヤ、セットトップ・ボックス、TVなど)
- 補助電源(USB、電化製品、TVなど)



SOIC-7
D SUFFIX
CASE 751U

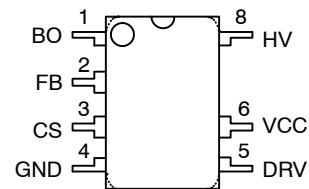
MARKING DIAGRAM



A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Package	Shipping†
NCP1337DR2G	SOIC-7 (Pb-Free)	2500 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specification Brochure, [BRD8011/D](#).

NCP1337

PIN FUNCTION DESCRIPTION

Pin No.	Symbol	Function	Description
1	BO	Brown-out and external triggering	<ul style="list-style-type: none"> By connecting this pin to the input voltage through a resistor divider, the controller ensures operation at a safe mains level, thanks to a 500 mV brown-out comparator. If an external event brings this pin above 3.0 V, the controller's output is disabled. If an external event brings this pin above 5.0 V, the controller is permanently latched-off.
2	FB	Sets the peak current setpoint	<ul style="list-style-type: none"> By connecting an optocoupler or an auxiliary winding to this pin, the peak current setpoint is adjusted accordingly to the output power demand. When the requested peak current setpoint is below the internal standby level, the device enters Soft-Skip mode.
3	CS	Current sense input and overpower compensation adjustment	<ul style="list-style-type: none"> This pin senses the primary current and routes it to the internal comparator via an L.E.B. Inserting a resistor in series with the pin allows to control the overpower compensation level.
4	GND	IC ground	
5	DRV	Output driver	<ul style="list-style-type: none"> To be connected to an external MOSFET.
6	VCC	IC supply	<ul style="list-style-type: none"> Connected to a tank capacitor (and possibly an auxiliary winding). When V_{CC} reaches 18.6 V, an internal OVP stops the output pulses.
8	HV	High-voltage pin	<ul style="list-style-type: none"> Connected to the high-voltage rail, this pin injects a constant current into the V_{CC} bulk capacitor and ensures a clean lossless startup sequence.

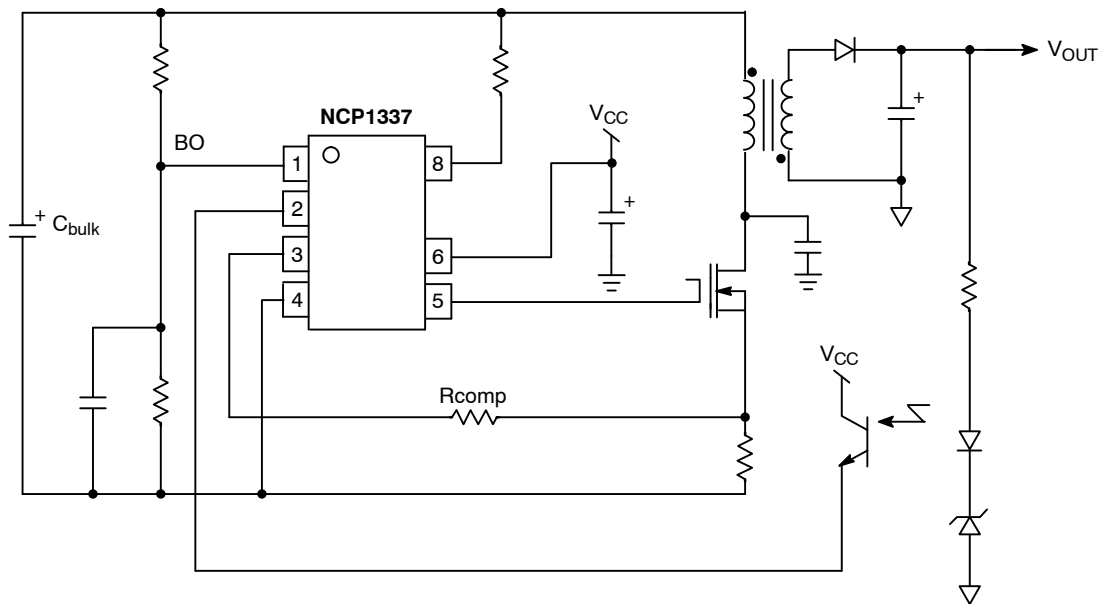


Figure 1. Typical Application Schematic

NCP1337

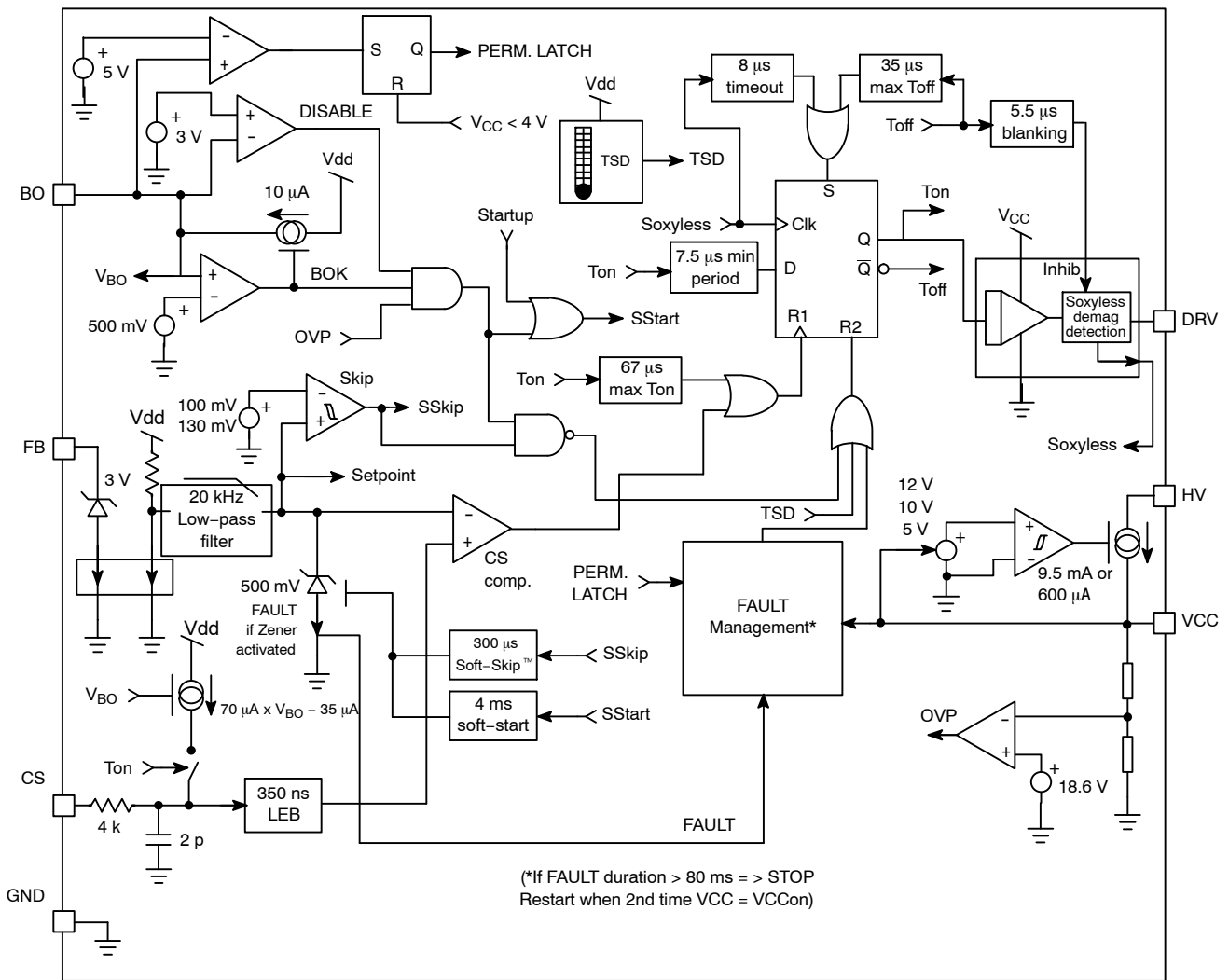


Figure 2. Internal Circuit Architecture

NCP1337

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Voltage on Pin 8 (HV) when Pin 6 (V_{CC}) is Decoupled to Ground with 10 μ F	V_{HV}	-0.3 to 500	V
Maximum Current in Pin 8 (HV)	-	20	mA
Power Supply Voltage, Pin 6 (V_{CC}) and Pin 5 (DRV)	V_{CCmax}	-0.3 to 20	V
Maximum Current in Pin 6 (V_{CC})	-	± 30	mA
Maximum V_{CC} Slew Rate (dV/dt)	d V_{CC} /dt	9.0	V/ms
Maximum Voltage on all Pins except Pin 8 (HV), Pin 6 (V_{CC}) and Pin 5 (DRV)	-	-0.3 to 10	V
Maximum Current into all Pins except Pin 8 (HV), Pin 6 (V_{CC}) and Pin 5 (DRV)	-	± 10	mA
Maximum Current into Pin 6 (DRV) during ON Time and T_{BLANK}	-	± 1.0	A
Maximum Current into Pin 6 (DRV) after T_{BLANK} during OFF Time	-	± 15	mA
Thermal Resistance, Junction-to-Case	$R_{\theta JC}$	57	$^{\circ}C/W$
Thermal Resistance, Junction-to-Air, SOIC Version	$R_{\theta JA}$	178	$^{\circ}C/W$
Thermal Resistance, Junction-to-Air, DIP Version	$R_{\theta JA}$	100	$^{\circ}C/W$
Maximum Junction Temperature	T_{JMAX}	150	$^{\circ}C$
Operating Temperature Range	-	-40 to +125	$^{\circ}C$
Storage Temperature Range	-	-60 to +150	$^{\circ}C$
ESD Capability, HBM Model per JESD22, Method A114E (All Pins except HV)	-	2.0	kV
ESD Capability, Machine Model per JESD22, Method A115A	-	200	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

1. This device contains latchup protection and exceeds 100 mA per JEDEC standard JESD78.

NCP1337

ELECTRICAL CHARACTERISTICS

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = 0^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 11\text{ V}$, unless otherwise noted.)

Characteristic	Pin	Symbol	Min	Typ	Max	Unit
----------------	-----	--------	-----	-----	-----	------

SUPPLY SECTION

V_{CC} Increasing Level at which the Controller Starts	6	V_{CCON}	11	12	13	V
V_{CC} Decreasing Level at which the Controller Stops	6	V_{CCMIN}	9.0	10	11	V
Protection Mode is Activated if V_{CC} reaches this Level whereas the HV Current Source is ON	6	V_{CCOFF}	-	9.0	-	V
V_{CC} Decreasing Level at which the Latch-Off Phase Ends	6	$V_{CCLATCH}$	3.6	5.0	6.0	V
Margin between V_{CC} Level at which Latch Fault is Released and $V_{CCLATCH}$	-	V_{MARGIN}	0.3	-	-	V
V_{CC} Increasing Level at which the Controller Enters Protection Mode	6	V_{CCOVP}	17.6	18.6	19.6	V
V_{CC} Level below which HV Current Source is Reduced	6	$V_{CCINHIB}$	-	1.5	-	V
Internal IC Consumption, No Output Load on Pin 5, $F_{SW} = 60\text{ kHz}$	6	ICC1	-	1.2	-	mA
Internal IC Consumption, 1.0 nF Output Load on Pin 5, $F_{SW} = 60\text{ kHz}$	6	ICC2	-	2.0	-	mA
Internal IC Consumption, Latch-Off Phase, $V_{CC} = 8.0\text{ V}$	6	ICC3	-	600	-	μA
Internal IC Consumption in Skip	6	ICCLow	-	600	-	μA

INTERNAL STARTUP CURRENT SOURCE

Minimum Guaranteed Startup Voltage on HV Pin	8	V_{HVmin}	-	-	55	V
High-Voltage Current Source when $V_{CC} > V_{CCINHIB}$ ($V_{CC} = 10.5\text{ V}$, $V_{HV} = 60\text{ V}$)	8	IC1	5.5	9.5	15	mA
High-Voltage Current Source when $V_{CC} < V_{CCINHIB}$ ($V_{CC} = 0\text{ V}$, $V_{HV} = 60\text{ V}$)	8	IC2	0.3	0.6	1.1	mA
Leakage Current Flowing when the HV Current Source is OFF ($V_{CC} = 17\text{ V}$, $V_{HV} = 500\text{ V}$)	8	I_{HVLeak}	-	-	90	μA

DRIVE OUTPUT

Output Voltage Rise-Time @ $CL = 1.0\text{ nF}$, 10-90% of Output Signal	5	T_R	-	50	-	ns
Output Voltage Fall-Time @ $CL = 1.0\text{ nF}$, 10-90% of Output Signal	5	T_F	-	20	-	ns
Source Resistance	5	R_{OH}	-	20	-	Ω
Sink Resistance	5	R_{OL}	-	8.0	-	Ω

TEMPERATURE SHUTDOWN

Temperature Shutdown	-	TSD	130	-	-	$^\circ\text{C}$
Hysteresis on Temperature Shutdown	-	-	-	30	-	$^\circ\text{C}$

CURRENT COMPARATOR

Maximum Internal Current Setpoint (@ $I_{FB} = I_{FB100\%}$)	3	$V_{CSLimit}$	475	500	525	mV
Minimum Internal Current Setpoint (@ $I_{FB} = I_{FBrippleIN}$)	3	$V_{CSrippleIN}$	-	100	-	mV
Internal Current Setpoint for $I_{FB} = I_{FBrippleOUT}$	3	$V_{CSrippleOUT}$	-	130	-	mV
Propagation Delay from Current Detection to Gate OFF State	3	T_{DEL}	-	120	150	ns
Leading Edge Blanking Duration	3	T_{LEB}	-	350	-	ns
Internal Current Offset Injected on the CS Pin during ON Time (Over Power Compensation) @ 1.0 V on Pin 1 and $V_{pin3} = 0.5\text{ V}$ @ 2.0 V on Pin 1 and $V_{pin3} = 0.5\text{ V}$	3	I_{OPC}	-	35	-	μA
Maximum ON Time	5	Max T_{ON}	52	67	82	μs

NCP1337

ELECTRICAL CHARACTERISTICS (continued)

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = 0^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 11\text{ V}$, unless otherwise noted.)

Characteristic	Pin	Symbol	Min	Typ	Max	Unit
----------------	-----	--------	-----	-----	-----	------

FEEDBACK SECTION

FB Current under which FAULT is Detected	2	I_{FBopen}	-	40	-	μA
FB Current for which Internal Setpoint is 100%	2	$I_{FB100\%}$	-	50	-	μA
FB Current above which DRV Pulses are Stopped	2	$I_{FBrippleIN}$	-	220	-	μA
FB Current under which DRV Pulses are Reauthorized after having reached $I_{FBrippleIN}$	2	$I_{FBrippleOUT}$	-	205	-	μA
FB Current above which FB Pin Voltage is not Regulated anymore	2	$I_{FBregMax}$	-	500	-	μA
FB Pin Voltage when $I_{FBopen} < I_{FB} < I_{FBregMax}$	2	V_{FB}	2.8	3.0	3.2	V
Duration before Entering Protection Mode after FAULT Detection	-	T_{FAULT}	-	80	-	ms
Internal Soft-Start Duration (Up to $V_{CSLimit}$)	-	T_{SS}	-	4.0	-	ms
Internal Soft-Skip Duration (Up to $V_{CSLimit}$)	-	T_{SSkip}	-	300	-	μs

BROWN-OUT AND LATCH SECTION

Brown-Out Detection Level	1	V_{BO}	460	500	540	mV
Current Flowing out of Pin 1 when Brown-Out Comparator has Toggled	1	I_{BO}	-	10	-	μA
Vpin1 Threshold that Disables the Output	1	$V_{DISABLE}$	2.8	3.0	3.3	V
Vpin1 Threshold that Activates the Permanent Latch	1	V_{LATCH}	4.75	5.0	5.25	V

DEMAGNETIZATION DETECTION BLOCK

Current Threshold for Demagnetization Detection	5	I_{SOXYth}	-	210	-	μA
Max Voltage on DRV Pin During OFF Time after T_{BLANK} (when Sinking 15 mA)	5	$V_{DRVlowMAX}$	-	-	1.5	V
Min Voltage on DRV Pin During OFF Time after T_{BLANK} (when Sourcing 15 mA)	5	$V_{DRVlowMIN}$	-0.6	-	-	V
Propagation Delay from Demag Detection to Gate ON State (I_{GATE} Slope of 500 A/s)	5	T_{DMG}	-	180	220	ns
Blanking Window after Gate OFF State before Detecting Demagnetization	5	T_{BLANK}	-	5.5	-	μs
Timeout on Demag Signal	5	T_{OUT}	-	8.0	-	μs
Maximum OFF Time	5	$MaxT_{OFF}$	-	35	42	μs
Minimum Switching Period	5	$MinPeriod$	6.8	7.7	8.5	μs

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

アプリケーション情報

はじめに

NCP1337は、スイッチオフ時間をピーク電流の設定ポイントで制御する一方、コア・リセット検出によってターンオン・イベントを開始する標準的な電流モード・アーキテクチャを実装しています。低コストのAC-DCアダプタ、家庭用電化製品、補助電源など、部品数の削減がとりわけ重要な要素となるアプリケーションでは、このコンポーネントが理想的な選択肢になります。高性能な高電圧技術に基づいて、NCP1337は、耐久性に優れ信頼性の高いスイッチングモード電源(SMPS)の開発に必要な、次のような機能を搭載しています。

- **擬似共振動作**：Soxyless回路を内蔵することによって、どのような動作条件でも確実にバレースイッチング動作が行われます。その結果、スイッチオンによる1次損失およびダイオード・リカバリによる2次損失は事実上なくなり、EMIやビデオ・ノイズが発生する心配も少なくなります。また、コンバータが1次システムにとどまるため、帰還ループの設計が容易になります。
- **動的自己電力供給(DSS)**：超高電圧集積回路(VHVIC)技術により、オンセミーのNCP1337では、高電圧のDCレールを直接ピンに接続できます。動的電流源がコンデンサを充電するため、完全に独立したV_{CC}レベルが得られます。このため、低消費電力アプリケーションでは、コントローラに電力を供給する補助巻線が完全に不要になります。補助巻線を必要とするアプリケーション(アプリケーション・ノートの「消費電力」のセクション参照)でも、DSSによってV_{CC}コンデンサの選択は容易になります。
- **過電流保護(OCP)**：帰還電流が最小値を下回ると、障害として検出されます。この障害が80 ms以上継続すると、NCP1337は自動リカバリ・ソフト・バースト・モードに移行します。すべてのパルスは停止し、V_{CC}コンデンサが放電して5.0 Vに低下します。次に、V_{CC}レベルをモニタしながら起動電流源をオン、オフすることによってバースト・モードを生成します。電流源が2回アクティブにされた後、コントローラは4.0 msのソフトスタートによって再起動を試みます。障害が取り除かれると、SMPSは動作を再開します。障害がまだ取り除かれていなければ、バースト・シーケン

スが再開します。最小周波数クランプが設定されたソフトスタートにより、短絡状態のトランスから発生するノイズの低減が可能になりました。

- **過電圧保護(OVP)**：NCP1337はV_{CC}の電圧レベルを継続的にモニタし、過電圧状態を検出した場合にはいつでもスイッチングを停止します。
- **ブラウンアウト検出(BO)**：コントローラは、通常動作中に1ピンのレベルをモニタすることによって、SMPSを主電源の低電圧状態から保護します。1ピンのレベルが500 mVを下回った場合、コントローラはこの電圧レベルが回復するまでスイッチングを停止し、回復した場合はフォールト・タイマがタイムアウトしていない限り動作を再開します。このピンと高電圧入力の間接続された抵抗分割回路を変更することによって、開始レベルと停止レベルを調整できます。
- **過電力補償(OPC)**：内部の電流源から、1ピンに印加されている電圧に比例する電流が、3ピン(CSピン)の外部から注入されます。この電圧は入力電圧を反映しているため、3ピンと直列に抵抗を接続することで、入力電圧のばらつきによる影響を補償する電流センス信号にオフセットを生成できます。
- **外部ラッチ・トリップ・ポイント**：温度センサからの信号などで、1ピンのレベルを外部から強制的に3.0 Vよりも高い値(ただし5.0 V未満)にすることで、コントローラの出力をディセーブルできます。この電圧を強制的に5.0 Vよりも高くすると、コントローラは持続的にラッチオフされます。通常動作を再開するには、V_{CC}の電圧を4.0 Vよりも下げる(つまり、SMPSを主電源から取り外す)必要があります。
- **スタンバイ機能**：低負荷状態では、NCP1337はSoft-Skipモードに移行します。CSの設定ポイントが最大ピーク電流の20%を下回ると出力パルスが停止され、FBループによって設定ポイントが25%を上回るとスイッチングが再開されます。この動作が発生するのはピーク電流が小さい時であり、Soft-Skip機能が有効になっていて、T_{OFF}がクランプされるため、安価なトランスでもノイズのない動作が保証されます。

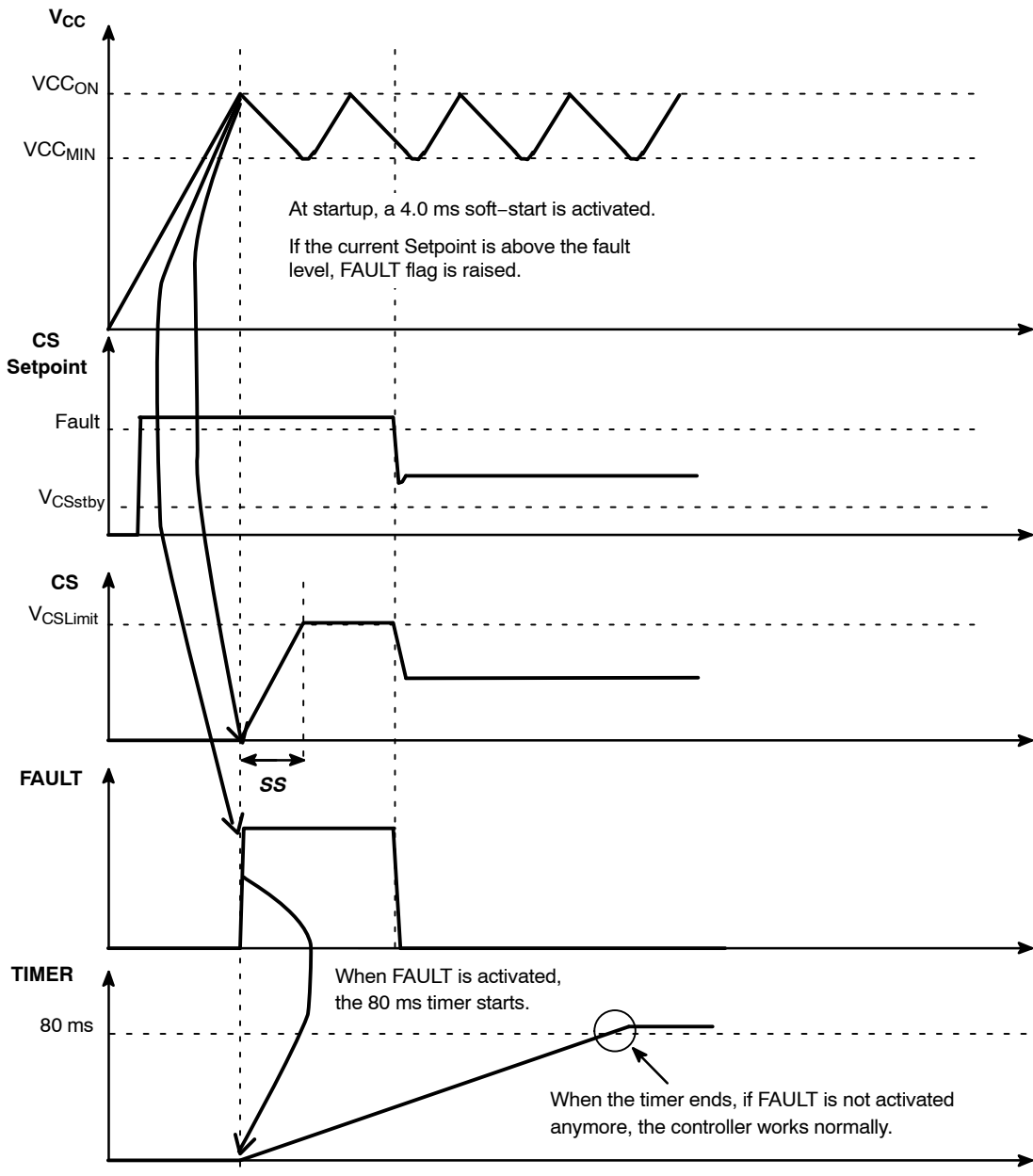


Figure 3. Startup Sequence

NCP1337

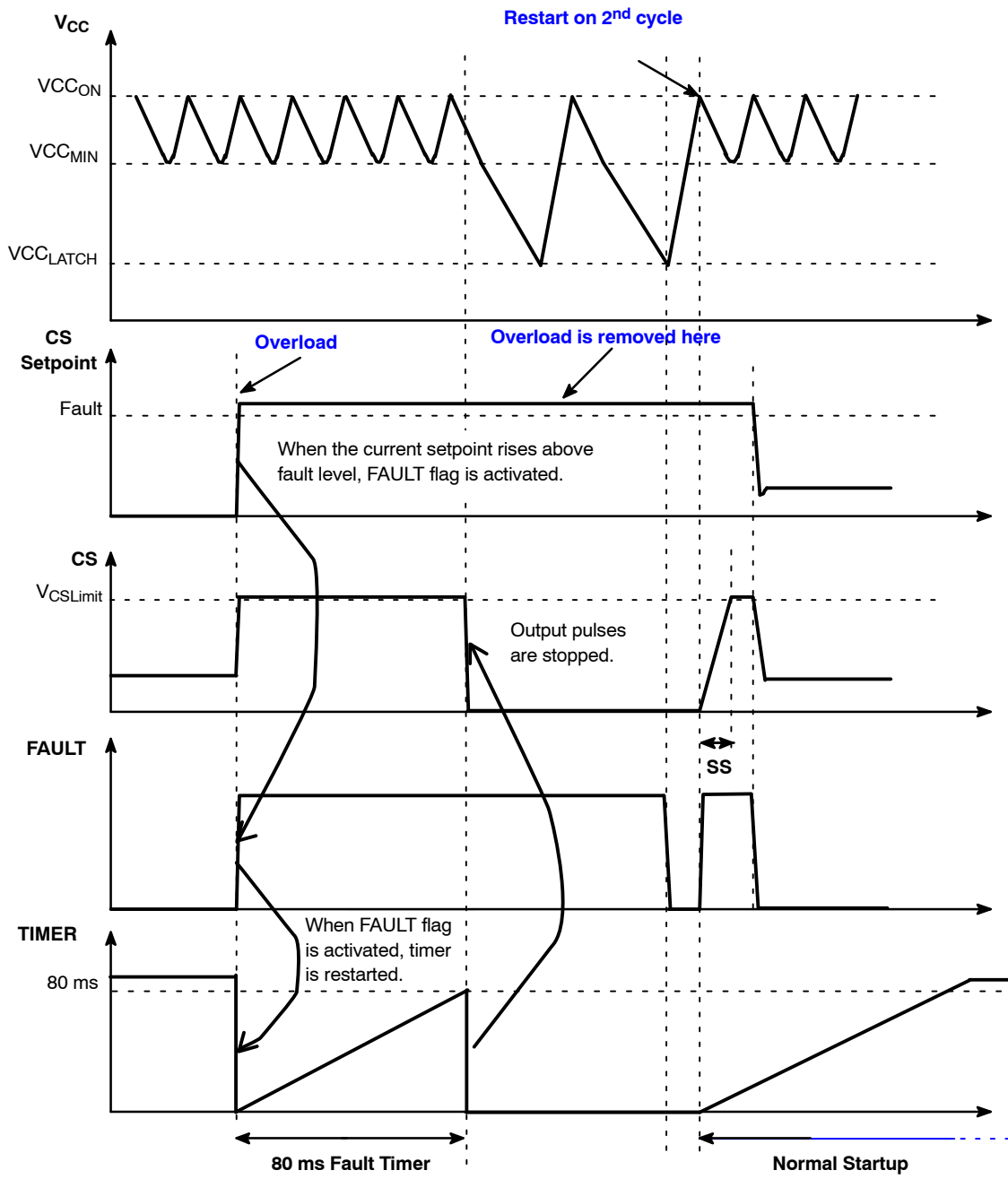


Figure 4. Overload

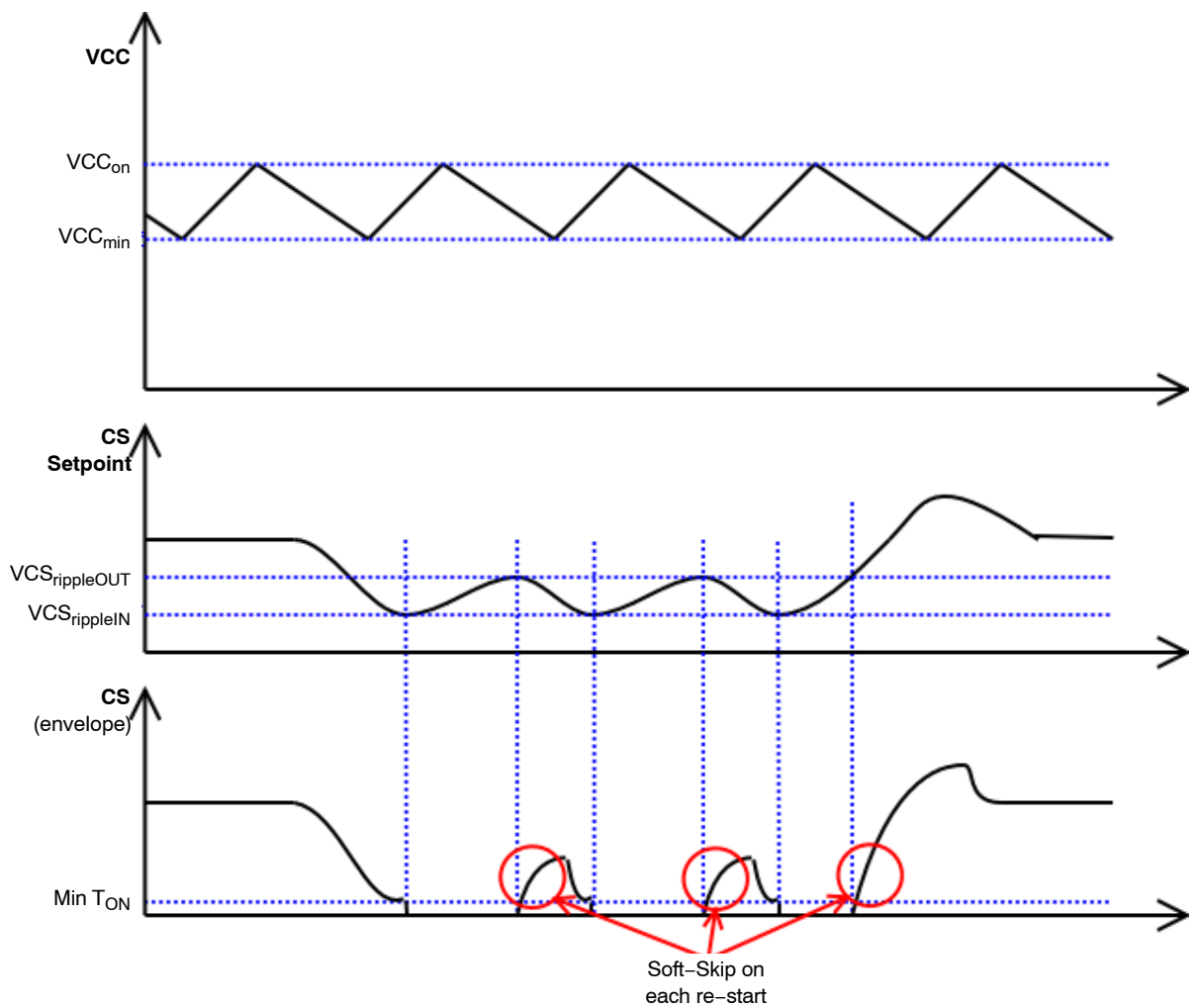


Figure 5. Soft-Skip Mode in Standby

Soxyless

「谷の位置の検出」は、パワーMOSFETのドレイン電圧のばらつきをモニタに基づくものです。トランスが完全に消磁されている場合、高い安定レベルから、漸近線となる V_{IN} まで低下するドレイン電圧の変化は、トランスの一次側インダクタである L_p と、ドレインに存在する容量全体(寄生容量)の間での共振エネルギーの伝達によって決まります。この電圧発振により、スイッチングMOSFET全体に相当する寄生コンデンサ(ゲートとドレイン間の C_{rss} 容量

で形成される)で電圧発振が発生します。ドレイン電圧の減少期間に負の電流(DRVピンから流れ出る電流)が発生し、増加期間に正の電流(DRVピンに流れ込む電流)が発生します。

ドレインの谷は、電流の向きが反転するポイント(つまりゼロと交差する点)に対応しています。このポイントを検出すると、常に正しい谷の位置でターンオンを実行できることが保証されます。

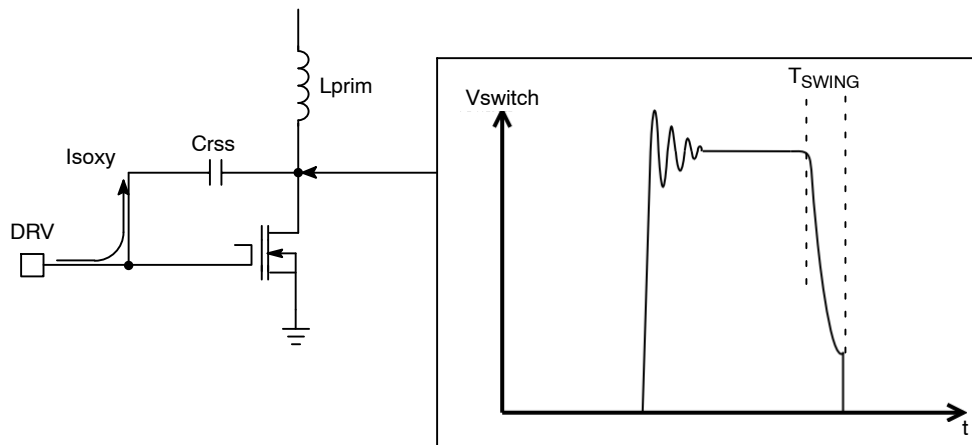


Figure 6. Soxyless Concept

パワーMOSFETのゲート電流は、次の式から求められます。

$I_{gate} = V_{ringing}/Z_c$ (Z_c は容量成分に相当するインピーダンス)

これより、

$$I_{gate} = V_{ringing} \cdot (2 \cdot \pi \cdot Freq \cdot C_{rss})$$

このゲート電流の大きさは、MOSFET、共振周波数、および高い安定電圧の最後の期間にドレインで発生する電圧振幅によって決まります。

デッド・タイム T_{SWING} は次の式で与えられます。

$$T_{swing} = 0.5/F_{res} = \pi \cdot \sqrt{L_p \cdot C_{drain}} \quad (\text{eq. 1})$$

(ここで L_p はトランスの1次側インダクタンス、 C_{DRAIN} はMOSFETのドレインに存在する合計容量で

す。この容量には、スナバ・コンデンサ(存在する場合)、トランス巻線の浮遊容量、MOSFETの寄生容量 C_{oss} と C_{rss} が含まれます。)

内部帰還回路

1次安定化回路の実装を容易にするには、FBピンに電流を注入する(引き出すのではなく)ことが必要です。しかし、正確な1次安定化回路を得るには、FBピンに印加する電圧は安定化されている必要があります。FBピンの内部実装を、Figure 8に示します。この回路は、電流/電圧コンバータと電圧レギュレータの機能を結合しています。

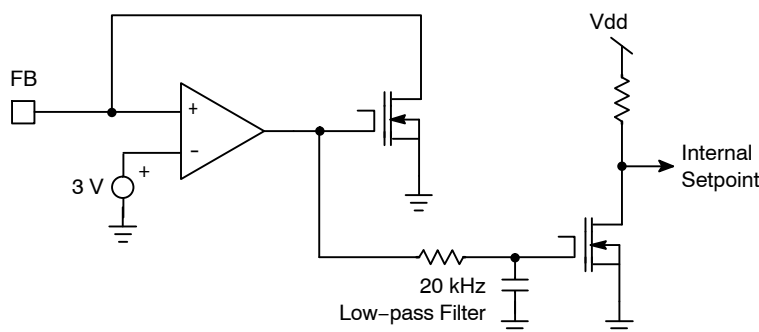


Figure 7. Internal Implementation of FB Pin

入力情報は、帰還ループによるFBピンへの電流注入です。電流の範囲は、40 μA (過負荷検出用)から220 μA ($V_{\text{CSrippleIN}}$ に対応)までです。過渡状態では、0から400 μA 超過までの電流が発生する可能性もありますが、回路はこの電流に耐えることができます。

FBピンの電圧を安定化させるには、高ゲインと広帯域幅を持つオペアンプが必要です。ただし、コントローラがスイッチング・ノイズに敏感に反応することを避けるために、内部で使用する帰還情報はフィルタ処理する必要があります。この目的で、20 kHzのフィルタがシャント・レギュレータの後段に追加されており、(リップル・モード、障害検出、または設定ポイントの調整のための)帰還信号の読み込みはそれより後に行われます。

ソフト・バースト・モード(保護モード)

NCP1337では、 V_{CC} 電圧から完全に独立して過負荷を検出するフォールト・タイマを採用しています。帰還ループが最大電力を要求すると、即座に障害が検出され、内部タイマが起動されます。障害が取り除かれるとタイマはリセットされますが、障害状態のままタイマが80 msに達すると、保護モードがアクティブになります。

この保護が起動すると、出力パルスは停止され、DSSは非アクティブになります(HV電流源のターンオン・スレッシュホールドは V_{CCMIN} から V_{CCLATCH} に変わります)。 V_{CC} は緩やかに低下します(消費電流は ICC3)。 V_{CC} が V_{CCLATCH} に達すると、HV電流源がオンになります。その結果、 V_{CC} は V_{CCON} まで上昇しますが、出力は依然として強制的に低電圧になっているのでコントローラは起動しません。再び V_{CC} は V_{CCLATCH} まで低下し、新たな起動サイクルが発生します。この2回目の試みで出力の固定が解除され、NCP1337はソフトスタートをアクティブにすることによって効果的に起動されます。この動作をFigure 4に示します。

安全機能

NCP1337は、耐久性のある電源の設計を支援するために、次のようないくつかの安全機能を備えています。

- OVP(V_{CC} の過電圧) : V_{CC} ピンが18.6 Vを上回ったときにアクティブになります。

- ブラウンアウト(バルク電圧の低電圧ロックアウト) : BOピンの電圧が500 mVを下回ったときにアクティブになります。
- ディセーブル(外部信号によってアクティブになるコンパレータ) : BOピンの電圧が3.0 Vを上回り、ただし5.0 Vよりも低いときにアクティブになります。
- TSD(温度シャットダウン) : 通常はダイ温度が150°Cを超えるとアクティブになり、120°Cで解除されます。

これらのイベントはいずれも、コントローラにとって同じ結果をもたらし、DRVパルスが停止します。上記の状態が取り除かれると、ソフトスタートがアクティブになり、コントローラは再起動されます。ただし、フォールト・タイマがまだアクティブであるため、スイッチングが停止している間にタイムアウトが発生する可能性があります。その場合、コントローラは保護モードに移行するため、瞬時に再起動することはありません。

- 持続的なラッチ(外部信号によってアクティブになるコンパレータ) : BOピンの電圧が5.0 Vを上回ったときにアクティブになります。

このコンパレータがアクティブになると、DRVパルスは停止され、DSSは非アクティブになります(起動電流源のみは、 V_{CC} が V_{CCLATCH} に達するごとにターンオンされて、 V_{CC} を5.0 V~12 Vに維持します)。 V_{CC} の電圧が4.0 Vを下回るまで、すなわち電源が主電源から取り外されるまで、コントローラはこの状態を保ちます。(通常動作では、HVピンに電圧が印加されると即座に V_{CC} は5.0 Vを上回り、常にこの電圧を維持します。)

Soft-Skipモード

ソフト・リップル・モードは、低負荷状態(スタンバイ)においてノイズのない高効率な動作を保証するために、スキップ・コンパレータに大きなヒステリシスを持たせたスキップ・モードです。内部の設定ポイントが $V_{\text{CSrippleIN}} = 100 \text{ mV}$ (最大設定ポイントの20%に対応)に達すると、出力パルスは停止されます。FBループがより多くの電力を要求すると、内部の設定ポイントは上昇します。設定ポイントが

$V_{CSrippleOUT} = 130 \text{ mV}$ (最大設定ポイントの25%に対応)に達すると、出力はスイッチングを再開します。Soft-Skipは、停止期間に続く動作のたびに、アクティブになります。詳細なタイミング図については、Figure 5を参照してください。

HV電流源

NCP1337は、補助電圧なしでの動作を可能にするために、DSSを採用しています。ただし、 V_{CC} ピンに短絡が発生した場合の故障を防止するため、 V_{CC} の電圧が1.5 Vを下回るとHV電流源から供給される電流は減少します。

DRVピンで消費される電流がDSSの能力を上回った場合(Q_g が大きいMOSFETまたは障害時)、 V_{CC} が V_{CCMIN} に達するとHV電流源はオンになりますが、 V_{CC} ピンの電圧は低下を続けます。仮にDRVパルスを停止させるUVLOスレッシュホールドが存在しない場合、ゲート電圧が過度に低下してMOSFETを破壊する危険が高まります。NCP1337は、9.0 Vのスレッシュホールドを持つ追加のコンパレータを採用しています。 V_{CC} がこのスレッシュホールドのレベルに達すると、HV電流源がオンになる一方、DRVパルスは停止し、保護モードがアクティブになります。

V_{CC} ピンに印加可能な最大 dV/dt は9.0 V/msです。適切な電源コンデンサを選択することで、最大 dV/dt を上回らないようにします。

ブラウンアウト

ブラウンアウト保護コンパレータには、500 mVの固定リファレンス電圧があります。コンパレータがアクティブになった(すなわち入力電圧 V_{IN} が起動レベルを上回っている)場合、10 μA の内部電流源がアクティブになり、外部の抵抗分割回路の下側の抵抗に印加される電圧にオフセットを生成します。この結果、ブラウンアウト保護に最小限のヒステリシスが設定されます。抵抗分割回路とBOピンの間に直列抵抗を追加することで、ヒステリシスの調整(増加)が可能です。

また、BOピンはこの他に次の2つのコンパレータを採用しています。3.0 Vで切り替わる1つ目のコンパレータは、DRVパルスを停止させます。一方、5.0 Vで切り替わる2つ目のコンパレータは、コントローラを持続的にラッチオフします(ラッチオフを解除するには、 V_{CC} を強制的に4.0 Vよりも低くします)。

BOピンの内部の実装を、Figure 8に示します。

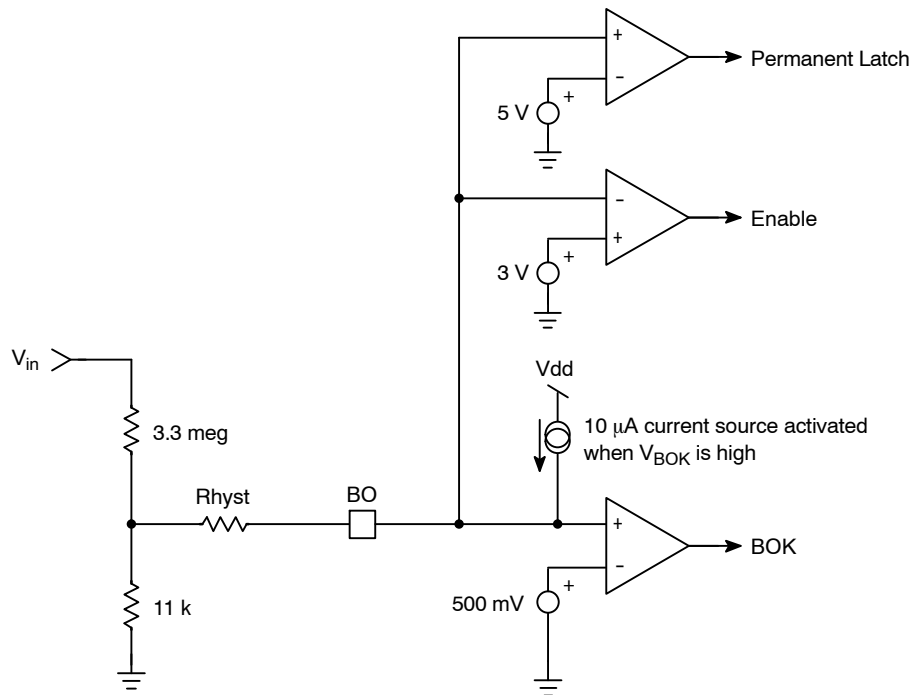


Figure 8. Internal Implementation of BO Pin

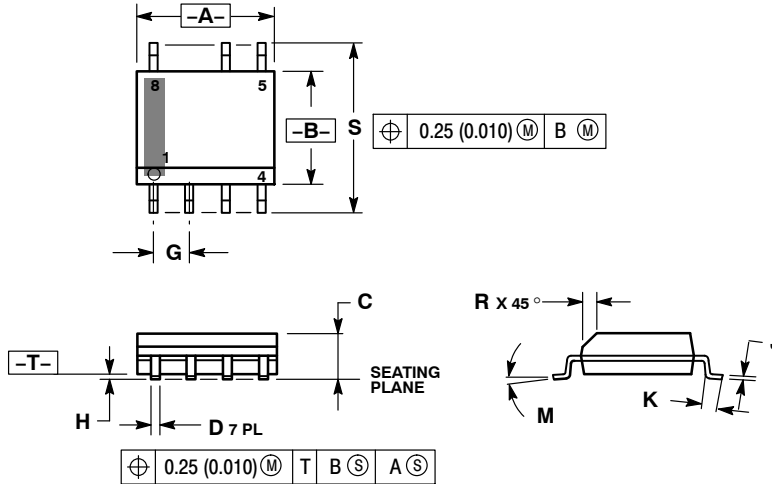
MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS



SCALE 1:1

SOIC-7
CASE 751U
ISSUE E

DATE 20 OCT 2009

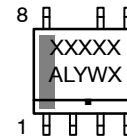


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B ARE DATUMS AND T IS A DATUM SURFACE.
4. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
5. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

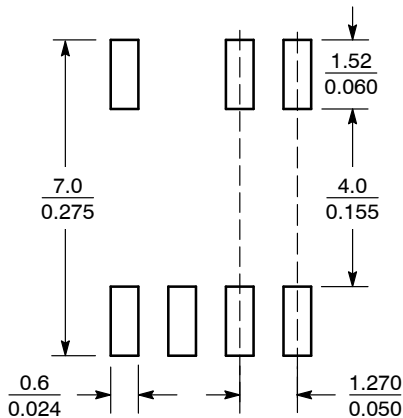
GENERIC MARKING DIAGRAM



- XXX = Specific Device Code
- A = Assembly Location
- L = Wafer Lot
- Y = Year
- W = Work Week
- = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

SOLDERING FOOTPRINT*



SCALE 6:1 (mm / inches)

*For additional information on our Pb-Free strategy and soldering details, please download the onsemi Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98AON12199D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-7	PAGE 1 OF 2

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

SOIC-7
CASE 751U
ISSUE E

DATE 20 OCT 2009

- | | | |
|--|--|---|
| <p>STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. COLLECTOR
 4. EMITTER
 5. EMITTER
 6.
 7. NOT USED
 8. EMITTER</p> | <p>STYLE 2:
 PIN 1. COLLECTOR, DIE, #1
 2. COLLECTOR, #1
 3. COLLECTOR, #2
 4. COLLECTOR, #2
 5. BASE, #2
 6. EMITTER, #2
 7. NOT USED
 8. EMITTER, #1</p> | <p>STYLE 3:
 PIN 1. DRAIN, DIE #1
 2. DRAIN, #1
 3. DRAIN, #2
 4. DRAIN, #2
 5. GATE, #2
 6. SOURCE, #2
 7. NOT USED
 8. SOURCE, #1</p> |
| <p>STYLE 4:
 PIN 1. ANODE
 2. ANODE
 3. ANODE
 4. ANODE
 5. ANODE
 6. ANODE
 7. NOT USED
 8. COMMON CATHODE</p> | <p>STYLE 5:
 PIN 1. DRAIN
 2. DRAIN
 3. DRAIN
 4. DRAIN
 5.
 6.
 7. NOT USED
 8. SOURCE</p> | <p>STYLE 6:
 PIN 1. SOURCE
 2. DRAIN
 3. DRAIN
 4. SOURCE
 5. SOURCE
 6.
 7. NOT USED
 8. SOURCE</p> |
| <p>STYLE 7:
 PIN 1. INPUT
 2. EXTERNAL BYPASS
 3. THIRD STAGE SOURCE
 4. GROUND
 5. DRAIN
 6. GATE 3
 7. NOT USED
 8. FIRST STAGE Vd</p> | <p>STYLE 8:
 PIN 1. COLLECTOR (DIE 1)
 2. BASE (DIE 1)
 3. BASE (DIE 2)
 4. COLLECTOR (DIE 2)
 5. COLLECTOR (DIE 2)
 6. EMITTER (DIE 2)
 7. NOT USED
 8. COLLECTOR (DIE 1)</p> | <p>STYLE 9:
 PIN 1. EMITTER (COMMON)
 2. COLLECTOR (DIE 1)
 3. COLLECTOR (DIE 2)
 4. EMITTER (COMMON)
 5. EMITTER (COMMON)
 6. BASE (DIE 2)
 7. NOT USED
 8. EMITTER (COMMON)</p> |
| <p>STYLE 10:
 PIN 1. GROUND
 2. BIAS 1
 3. OUTPUT
 4. GROUND
 5. GROUND
 6. BIAS 2
 7. NOT USED
 8. GROUND</p> | <p>STYLE 11:
 PIN 1. SOURCE (DIE 1)
 2. GATE (DIE 1)
 3. SOURCE (DIE 2)
 4. GATE (DIE 2)
 5. DRAIN (DIE 2)
 6. DRAIN (DIE 2)
 7. NOT USED
 8. DRAIN (DIE 1)</p> | |

DOCUMENT NUMBER:	98AON12199D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-7	PAGE 2 OF 2

onsemi and **ONSEMI** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales