トランスコンダクタンス・エラー ・アンプを利用した臨界導通 モード**PFC**コントローラ

NCP1608は、AC-DCアダプタ、電子安定器などの中電力オ フライン・コンバータ(通常は350 Wまで)のプリコンバータ用 として特別に設計された、アクティブな力率補正(PFC)コント ローラです。臨界導通モード(CrM)を使用することにより、 入力電圧と出力電力の幅広い範囲にわたり、1に近い力率を実 現します。NCP1608は、安全機能を内蔵することによって外 付け部品点数を最小化しているため、PFCステージのロバス ト設計を行うのに最適な選択肢となります。この製品は SOIC-8パッケージで提供されます。

一般的な特徴

- 1に近い力率
- 入力電圧検出要件なし
- サイクル単位のオンタイム制御用ラッチング PWM (電圧モード)
- 高電力アプリケーション(>150 W)向けの幅広い制御範囲によるノイズ耐性
- トランスコンダクタンス・エラー・アンプ
- 高精度電圧リファレンス(全温度範囲で±1.6%)
- 非常に低い起動消費電流(≤35 µA)
- 低標準動作消費電流(2.1 mA)
- ソース電流500 mA/シンク電流800 mAのトーテンポール・ゲート・ドライバ
- ヒステリシス付き低電圧ロックアウト
- 業界標準とピン・コンパチブル
- 鉛フリーかつハロゲン・フリーのデバイス

安全機能

- 過電圧保護
- 低電圧保護
- オープン/フローティング・フィードバック・ループ保護
- 過電流保護
- 正確で調整可能なオンタイム制限

代表的アプリケーション

- ソリッド・ステート照明
- 照明用電子安定器
- ACアダプタ、TV、モニタ
- 力率補正を必要とするすべてのオフライン・アプリケーション



ON Semiconductor®

www.onsemi.jp



D SUFFIX CASE 751

MARKING DIAGRAM



- A = Assembly Location
 - = Wafer Lot
 - = Year

L Y

- W = Work Week
 - = Pb–Free Package

PIN CONNECTION



ORDERING INFORMATION

Device	Package	Shipping [†]
NCP1608BDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel

+For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.



Figure 2. Block Diagram

Table 1. PIN FUNCTION DESCRIPTION

Pin	Name	Function
1	FB	The FB pin is the inverting input of the internal error amplifier. A resistor divider scales the output voltage to V_{REF} to maintain regulation. The feedback voltage is used for overvoltage and undervoltage protections. The controller is disabled when this pin is forced to a voltage less than V_{UVP} , a voltage greater than V_{OVP} , or floating.
2	Control	The Control pin is the output of the internal error amplifier. A compensation network is connected between the Control pin and ground to set the loop bandwidth. A low bandwidth yields a high power factor and a low Total Harmonic Distortion (THD).
3	Ct	The Ct pin sources a current to charge an external timing capacitor. The circuit controls the power switch on time by comparing the Ct voltage to an internal voltage derived from V _{Control} . The Ct pin discharges the external timing capacitor at the end of the on time.
4	CS	The CS pin limits the cycle–by–cycle current through the power switch. When the CS voltage exceeds V _{ILIM} , the drive turns off. The sense resistor that connects to the CS pin programs the maximum switch current.
5	ZCD	The voltage of an auxiliary winding is sensed by this pin to detect the inductor demagnetization for CrM operation.
6	GND	The GND pin is analog ground.
7	DRV	The integrated driver has a typical source impedance of 12 Ω and a typical sink impedance of 6 Ω .
8	V _{CC}	The V _{CC} pin is the positive supply of the controller. The controller is enabled when V _{CC} exceeds V _{CC(on)} and is disabled when V _{CC} decreases to less than V _{CC(off)} .

Table 2. MAXIMUM RATINGS

Rating	Symbol	Value	Unit
FB Voltage	V _{FB}	-0.3 to 10	V
FB Current	I _{FB}	±10	mA
Control Voltage	V _{Control}	-0.3 to 6.5	V
Control Current	I _{Control}	–2 to 10	mA
Ct Voltage	V _{Ct}	-0.3 to 6	V
Ct Current	I _{Ct}	±10	mA
CS Voltage	V _{CS}	-0.3 to 6	V
CS Current	I _{CS}	±10	mA
ZCD Voltage	V _{ZCD}	-0.3 to 10	V
ZCD Current	I _{ZCD}	±10	mA
DRV Voltage	V _{DRV}	–0.3 to V_{CC}	V
DRV Sink Current	I _{DRV(sink)}	800	mA
DRV Source Current	I _{DRV(source)}	500	mA
Supply Voltage	V _{CC}	-0.3 to 20	V
Supply Current	I _{CC}	±20	mA
Power Dissipation (TA = 70°C, 2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad)	PD	450	mW
Thermal Resistance Junction-to-Ambient (2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad) Junction-to-Air, Low conductivity PCB (Note 3) Junction-to-Air, High conductivity PCB (Note 4)	R _{θJA} R _{θJA} R _{θJA}	178 168 127	°C/W
Operating Junction Temperature Range (Note 5)	TJ	-55 to +125	°C
Maximum Junction Temperature	T _{J(MAX)}	150	°C
Storage Temperature Range	T _{STG}	-65 to +150	°C
Lead Temperature (Soldering, 10 s)	TL	300	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these should not be assumed, damage may occur and reliability may be affected.
This device series contains ESD protection and exceeds the following tests: Pins 1 – 8: Human Body Model 2000 V per JEDEC Standard JESD22–A114E. Charged Device Model 1000 V per JEDEC Standard JESD22–C101E.
This device contains Latch–Up protection and exceeds ±100 mA per JEDEC Standard JESD78.

As mounted on a 40x40x1.5 mm FR4 substrate with a single layer of 80 mm² of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51 low conductivity test PCB. Test conditions were under natural convection or zero air flow.
 As mounted on a 40x40x1.5 mm FR4 substrate with a single layer of 650 mm² of 2 oz copper traces and heat spreading area. As specified

for a JEDEC 51 high conductivity test PCB. Test conditions were under natural convection or zero air flow.
5. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

Table 3. ELECTRICAL CHARACTERISTICS $V_{FB} = 2.4 \text{ V}, V_{Control} = 4 \text{ V}, Ct = 1 \text{ nF}, V_{CS} = 0 \text{ V}, V_{ZCD} = 0 \text{ V}, C_{DRV} = 1 \text{ nF}, V_{CC} = 12 \text{ V}, unless otherwise specified(For typical values, T_J = 25°C. For min/max values, T_J = -55°C to 125°C (Note 6), V_{CC} = 12 V, unless otherwise specified)$

Characteristic	Test Conditions	Symbol	Min	Тур	Max	Unit	
STARTUP AND SUPPLY CIRCUITS							
Startup Voltage Threshold	V _{CC} Increasing	V _{CC(on)}	11	12	12.5	V	
Minimum Operating Voltage	V _{CC} Decreasing	V _{CC(off)}	8.8	9.5	10.2	V	
Supply Voltage Hysteresis		H _{UVLO}	2.2	2.5	2.8	V	
Startup Current Consumption	$0 V < V_{CC} < V_{CC(on)} - 200 mV$	I _{cc(startup)}	-	24	35	μΑ	
No Load Switching Current Consumption	C_{DRV} = open, 70 kHz Switching, V_{CS} = 2 V	I _{cc1}	-	1.4	1.7	mA	
Switching Current Consumption	70 kHz Switching, V_{CS} = 2 V	I _{cc2}	-	2.1	2.6	mA	
Fault Condition Current Consumption	Consumption No Switching, V _{FB} = 0 V		-	0.75	0.95	mA	

OVERVOLTAGE AND UNDERVOLTAGE PROTECTION

Overvoltage Detect Threshold	V _{FB} = Increasing	V _{OVP} /V _{REF}	105	106	108	%
Overvoltage Hysteresis		V _{OVP(HYS)}	20	60	100	mV
Overvoltage Detect Threshold Propagation Delay	$\label{eq:VFB} \begin{array}{l} V_{FB} = 2 \ V \ to \ 3 \ V \ ramp, \\ dV/dt = 1 \ V/\mu s \\ V_{FB} = V_{OVP} \ to \ V_{DRV} = 10\% \\ T_J = -40^\circ C \ to \ +125^\circ C \\ T_J = -55^\circ C \ to \ +125^\circ C \ (Note \ 6) \end{array}$	tovp	300 210	500 500	800 800	ns
Undervoltage Detect Threshold	V _{FB} = Decreasing	V _{UVP}	0.25	0.31	0.4	V
Undervoltage Detect Threshold Propa- gation Delay	$ \begin{array}{l} V_{FB} = 1 \ V \ to \ 0 \ V \ ramp, \\ dV/dt = 10 \ V/\mu s \\ V_{FB} = V_{UVP} \ to \ V_{DRV} = 10\% \\ T_J = -40^\circ C \ to \ +125^\circ C \\ T_J = -55^\circ C \ to \ +125^\circ C \ (Note \ 6) \end{array} $	tuvp	100 50	200 200	300 300	ns

ERROR AMPLIFIER

Voltage Reference	$T_J = 25^{\circ}C$	V _{REF}	2.475	2.500	2.525	V
	$T_J = -40^{\circ}C$ to $125^{\circ}C$		2.460	2.500	2.540	
	$T_J = -55^{\circ}C$ to 125°C (Note 6)		2.450	2.500	2.540	
Voltage Reference Line Regulation	$V_{CC(on)}$ + 200 mV < V_{CC} < 20 V	V _{REF(line)}	-10	-	10	mV
Error Amplifier Current Capability	$V_{FB} = 2.6 V$ $V_{FB} = 1.08^{*}V_{REF}$	I _{EA(sink)} I _E A(sink)OVP	6 10	10 20	20 30	μΑ
	$V_{FB} = 0.5 V$ $T_J = -40^{\circ}C \text{ to } +125^{\circ}C$ $T_J = -55^{\circ}C \text{ to } +125^{\circ}C \text{ (Note 6)}$	IEA(source)	-250 -250	-210 -210	–110 –88	
Transconductance	$V_{FB} = 2.4 V \text{ to } 2.6 V$ $T_{J} = 25^{\circ}C$ $T_{J} = -40^{\circ}C \text{ to } 125^{\circ}C$ $T_{J} = -55^{\circ}C \text{ to } +125^{\circ}C \text{ (Note 6)}$	gm	90 70 70	110 110 110	120 135 150	μS
Feedback Pin Internal Pull-Down Resistor	$V_{FB} = V_{UVP}$ to V_{REF}	R _{FB}	2	4.6	10	MΩ
Feedback Bias Current	$V_{FB} = 2.5 V$ $T_J = -40^{\circ}C \text{ to } +125^{\circ}C$ $T_J = -55^{\circ}C \text{ to } +125^{\circ}C \text{ (Note 6)}$	I _{FB}	0.25 0.2	0.54 0.54	1.25 1.25	μΑ
Control Bias Current	V _{FB} = 0 V	I _{Control}	-1	-	1	μΑ
Maximum Control Voltage	$ \begin{array}{l} I_{Control(pullup)} = 10 \ \mu\text{A}, \ V_{FB} = V_{REF} \\ T_J = -40^\circ\text{C} \ to \ +125^\circ\text{C} \\ T_J = -55^\circ\text{C} \ to \ +125^\circ\text{C} \ (Note \ 6) \end{array} $	V _{EAH}	5 5	5.5 5.5	6 6.05	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.
6. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

Table 3. ELECTRICAL CHARACTERISTICS (Continued) $V_{FB} = 2.4 \text{ V}, V_{Control} = 4 \text{ V}, Ct = 1 \text{ nF}, V_{CS} = 0 \text{ V}, V_{ZCD} = 0 \text{ V}, C_{DRV} = 1 \text{ nF}, V_{CC} = 12 \text{ V}, unless otherwise specified (For typical values, <math>T_J = 25^{\circ}C$. For min/max values, $T_J = -55^{\circ}C$ to $125^{\circ}C$ (Note 6), $V_{CC} = 12 \text{ V}$, unless otherwise specified)

()I ; 0	, o	00 /			,	
Characteristic	Test Conditions	Symbol	Min	Тур	Max	Unit
ERROR AMPLIFIER						
Minimum Control Voltage to Generate Drive Pulses			0.37 0.37	0.65 0.65	0.88 1.1	V
Control Voltage Range	V _{EAH} – Ct _(offset)	V _{EA(DIFF)}	4.5	4.9	5.3	V
RAMP CONTROL			•			·
Ct Peak Voltage	V _{Control} = open	V _{Ct(MAX)}	4.775	4.93	5.025	V
On Time Capacitor Charge Current	$V_{Control} = open$ $V_{Ct} = 0 V to V_{Ct(MAX)}$	I _{charge}	235	275	297	μΑ
Ct Capacitor Discharge Duration	$V_{Control} = open$ $V_{Ct} = V_{Ct(MAX)} -100 \text{ mV}$ to 500 mV	t _{Ct(discharge)}	-	50	150	ns
PWM Propagation Delay	gation Delay $dV/dt = 30 V/\mu s$ $V_{Ct} = V_{Control} - Ct_{(offset)}$ to $V_{DRV} = 10\%$		_	130	220	ns
CURRENT SENSE						
Current Sense Voltage Threshold		V _{ILIM}	0.45	0.5	0.55	V
Leading Edge Blanking Duration	V_{CS} = 2 V, V_{DRV} = 90% to 10%	t _{LEB}	100	190	350	ns
Overcurrent Detection Propagation De- lay	$dV/dt = 10 V/\mu s$ $V_{CS} = V_{ILIM} \text{ to } V_{DRV} = 10\%$	t _{CS}	40	100	170	ns
Current Sense Bias Current V _{CS} = 2 V		I _{CS}	-1	_	1	μΑ
ZERO CURRENT DETECTION						
ZCD Arming Threshold	V_{ZCD} = Increasing	V _{ZCD(ARM)}	1.25	1.4	1.55	V
ZCD Triggering Threshold	V_{ZCD} = Decreasing	V _{ZCD(TRIG)}	0.6	0.7	0.83	V
ZCD Hysteresis		V _{ZCD(HYS)}	500	700	900	mV
ZCD Bias Current	V _{ZCD} = 5 V	I _{ZCD}	-2	-	+2	μΑ
Positive Clamp Voltage	lamp Voltage $I_{ZCD} = 3 \text{ mA}$ $T_J = -40^{\circ}\text{C to } +125^{\circ}\text{C}$ $T_J = -55^{\circ}\text{C to } +125^{\circ}\text{C}$ (Note 6)		9.8 9.2	10 10	12 12	V
Negative Clamp Voltage	$I_{ZCD} = -2 \text{ mA}$ $T_{J} = -40^{\circ}\text{C to } +125^{\circ}\text{C}$ $T_{J} = -55^{\circ}\text{C to } +125^{\circ}\text{C}$ (Note 6)	V _{CL(NEG)}	-0.9 -1.1	-0.7 -0.7	-0.5 -0.5	V
ZCD Propagation Delay	$V_{ZCD} = 2 V \text{ to } 0 V \text{ ramp},$ dV/dt = 20 V/ μ s $V_{ZCD} = V_{ZCD(TRIG)} \text{ to } V_{DRV} = 90\%$	t _{ZCD}	-	100	170	ns
Minimum ZCD Pulse Width		t _{SYNC}	-	70	-	ns
Maximum Off Time in Absence of ZCD Transition	Falling $V_{DRV} = 10\%$ to Rising $V_{DRV} = 90\%$	t _{start}	75	165	300	μs
DRIVE						<u> </u>
Drive Resistance	I _{source} = 100 mA I _{sink} = 100 mA	R _{OH} R _{OL}	-	12 6	20 13	Ω
Rise Time	10% to 90%	t _{rise}	-	35	80	ns
Fall Time	90% to 10%	t _{fall}	-	25	70	ns
Drive Low Voltage	$V_{CC} = V_{CC(on)}$ -200 mV, I _{sink} = 10 mA	V _{out(start)}	-	_	0.2	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

6. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

TYPICAL CHARACTERISTICS









Figure 19. Maximum Off Time in Absence of **ZCD Transition vs. Junction Temperature**

V_{Ct(MAX)}, Ct PEAK VOLTAGE (V)

VILIM, CURRENT SENSE VOLTAGE THRESHOLD (V)



150

150

150





はじめに

NCP1608は、費用効果に優れたプリコンバータを ドライブし、ライン電流の高調波規制に適合するた めに設計された、電圧モードの力率補正(PFC)コント ローラです。このコントローラは、350 Wまでのア プリケーションに適した臨界導通モード(CrM)で動作 します。この電圧モード方式によって、ライン検出 ネットワークなしで1に近い力率を得ることができま す。高精度トランスコンダクタンス・エラー・アン プによって、出力電圧を安定化させます。このコン トローラは、ロバスト設計のための総合的な安全機 能を実装しています。

NCP1608の主な特長は次のとおりです。

- 定オンタイム(電圧モード)のCrM動作。入力電圧検 出なしで高い力率を実現します。これによって、 低いスタンバイ消費電力を可能にします。
- 正確で調整可能なオンタイム制限。NCP1608は、 正確な電流源と外部コンデンサを使用してオンタ イムを生成します。
- 幅広い制御範囲。高電力アプリケーション (>150 W)では、ノイズ耐性がないと、高入力電圧 時と高出力電力時に意図しないパルス・スキップ が発生するおそれがあります。NCP1608のノイズ 耐性によって、偶発的なパスル・スキップを防止 します。
- 高精度電圧リファレンス。エラー・アンプのリファレンス電圧は、全プロセスおよび全温度範囲にわたって、2.5 V±1.6%で保証されています。これにより、正確な出力電圧が得られます。
- 低い起動消費電流。起動時の消費電流は、最小にまで低減されています(<35 μA)。これによって、迅速で損失の少ないV_{CC}の充電を可能にします。 NCP1608は定電圧ロックアウトを内蔵しており、起動時に十分なV_{CC}ヒステリシスを提供して、 V_{CC}コンデンサの値を小さくすることができます。
- 強力な出力ドライバ。ソース電流500 mA/シンク 電流800 mAのトーテンポール・ゲート・ドライバ によって、オンタイム、オフタイムの迅速な切り 替えが可能です。これによって効率が改善され、 より高電力のMOSFETをドライブすることができ ます。アクティブ回路とパッシブ回路を組み合わ せることにより、V_{CC}がV_{CC(on)}を超えない場合 に、ドライバの出力電圧が上昇するのを防ぎ ます。
- 正確で固定された過電圧保護(OVP)。OVP機能 は、システムに損傷を与えるおそれのある過剰な 出力オーバシュートから、PFCステージを保護し ます。通常、オーバシュートは起動中、または過 渡負荷の間に発生します。
- 低電圧保護(UVP)。UVP機能は、C_{bulk}への電力 パスが断線している(つまり、C_{bulk}に充電不能) 場合に、システムを保護します。
- オープン・フィードバック・ループからの保護。
 OVP機能およびUVP機能は、出力分割器ネットワ

ークとFBピンとの断線から保護します。FBピン が浮いている場合、内部の抵抗(R_{FB})がシステム を保護します(フローティング・ピン保護 (FPP))。

- 過電流保護(OCP)。ピーク・インダクタ電流 は、サイクルĆ単位Ćで正確に制限されます。最大 ピーク・インダクタ電流は、電流センス抵抗を変 更することにより調整できます。内蔵されている LEBフィルタは、ノイズによって意図しない過電 流制限が発生する確率を低減します。
- シャットダウン機能。PFCプリコンバータは、FB ピンの電圧を強制的にV_{UVP}よりも低くすること によって、シャットダウンされます。シャットダ ウン・モードでは、I_{CC}の消費電流が減少し、エ ラー・アンプはディセーブルされます。

アプリケーション情報

ほとんどの電子安定器およびスイッチング電源は、 ダイオード・ブリッジ整流器と大容量コンデンサを 使用して、公共のACラインからDC電圧を生成します (Figure 24)。生成されたDC電圧は追加回路によって処 理され、目的の出力をドライブします。



Figure 24. Typical Circuit without PFC

整流回路は、瞬時AC電圧がコンデンサの電圧を 超えると、ラインからの電流を消費します。これは ライン電圧のピーク付近で起き、生成される電流は 高調波成分を多く含む非Ć正弦波です。これによっ て、力率が減少します(通常は<0.6)。その結果、 見かけ上の入力電力は、実際に負荷に供給される電 力よりも大きくなります。複数のデバイスが同じ入 力ラインに接続されている場合、この効果が増大 し、「凹曲線」が生じます(Figure 25)。



Figure 25. Typical Line Waveforms without PFC

政府規制および電力会社は、ライン電流の高周波 成分を減らすことを要求しています。規制に従うに は、パッシブ回路またはアクティブ回路のいずれか による力率補正を実装します。パッシブ回路には、 ACライン周波数で動作する、大容量コンデンサ、 インダクタ、整流器の組み合わせが含まれます。 アクティブ回路は、高周波スイッチング・コンバー タを使用して、入力電流の高調波を安定化させま す。アクティブ回路は、高周波で動作するため小型 化、軽量化が可能であり、パッシブ回路よりも効率 的に動作します。アクティブPFCステージを適切に 制御することにより、どんなに複雑な負荷でも線形 抵抗をエミュレートすることができ、それによって 電流の高調波成分が著しく減少します。アクティブ PFC回路は、このような利点のために、高調波成分 要件に適合する最も一般的な方法となっています。 通常、アクティブPFC回路は、整流器ブリッジとバ ルク・コンデンサの間にPFCプリコンバータを挿入 して構成されます(Figure 26)。



Figure 26. Active PFC Pre-Converter with the NCP1608

ブースト(またはステップアップ)・コンバータ は、アクティブな力率補正のための最も一般的な構 成です。これを適切に制御することによって、ライ ンからの正弦波電流を消費しながら定電圧を生成し ます。中電力(<350 W)アプリケーション用として望 ましい制御方法は、CrMです。CrMは、不連続導通 モード(DCM)と連続導通モード(CCM)の境界で発生 します。CrMでは、ブースト・インダクタ電流がゼロになるとドライバのオンタイムが開始します。 CrM動作は、CCM動作の低いピーク電流と、DCM 動作のゼロ電流スイッチングを兼ね備えているため、中電力のPFCブースト・ステージ用として理想 的な選択肢です。PFCブースト・コンバータの動作 および波形を27に示します。



Figure 27. Schematic and Waveforms of an Ideal CrM Boost Converter

スイッチが閉じると、インダクタ電流はピーク値 まで直線的に増加します。スイッチが開くと、イン ダクタ電流はゼロになるまで直線的に減少します。 インダクタ電流が減少してゼロになると、スイッチ のドレイン電圧(V_{drain})はフロートして減少し始めま す。次のスイッチング・サイクルが始まらない場 合、V_{drain}はV_{in}に向かいながらリンギングします。 AND8123に記述されている式から導出した結果によ って、CrM動作ではACサイクル中のスイッチ・オン タイム(t_{on})が一定の場合に高い力率が達成されるこ とが分かっています。その値は式1から計算されま す。

$$t_{\text{ON}} = \frac{2 \cdot P_{\text{out}} \cdot L}{n \cdot \text{Vac}^2} \quad (\text{eq. 1})$$

ここで、Poutは出力電力、Lはインダクタ値、ηは効 率、Vacは入力RMS電圧です。

ACライン・サイクル中のスイッチングの説明を、 Figure 28に示します。オンタイムは一定ですが、 オフタイムは瞬時ライン電圧によって変化していま す。定オンタイムによって発生したインダクタ電流 のピーク(I_L(peak))は、ACライン電圧のピークに対応 しています。NCP1608は正確な安定化回路、低消費 電流の起動回路、および高度な保護機能を内蔵する ことによって、費用効果に優れたロバスト・ソリュ ーションによる定オンタイムCrM制御を実現する理 想的な手段を提供します。



Figure 28. Inductor Waveform During CrM Operation

エラー・アンプ・レギュレーション

NCP1608は、内部のエラー・アンプ(EA)を使用し てブースト出力電圧を安定化させます。EAの負端 子はFBピンに引き出され、正端子は2.5 V±1.6%の リファレンス電圧(V_{REF})に接続されています。 また、EAの出力は、Controlピンに引き出されてい ます(Figure 29)。

トランスコンダクタンス・エラー・アンプを使用 する場合の特徴は、FBピンの電圧がアンプの動作で はなく、出力電圧に接続する抵抗分割器ネットワー クによってのみ決定されることです。これによっ て、エラー・アンプとは独立して、FBピンを過電圧 状態または低電圧状態の検出に使用できるようにな ります。





抵抗分割器(R_{out1} and R_{out2})は、ブースト出力電圧 (V_{out})を縮小して、FBピンに接続されています。 出力電圧が目標出力電圧よりも低い場合、 V_{FB} が V_{REF} より低くなるため、EAによって制御電圧 ($V_{Control}$)が上昇します。これによってドライバのオ ンタイムが増加し、出力に供給される電力が増加し ます。供給する電力が増加すると、目標出力電圧に 達するまで V_{out} が上昇します。一方、 V_{out} が目標出力 電圧よりも高い場合、 $V_{Control}$ が低下し、 V_{out} が目標 出力電圧に低下するまでオンタイムが減少しま す。これによって、 V_{out} は、 R_{out1} と R_{out2} を介してFB に加えられる縮小 V_{out} が V_{REF} と等しくなるように安 定化されます。分割器ネットワークの計算式には、 FPPのための R_{FB} (標準値4.6 MΩ)が含まれていま す。

出力電圧は、式2を使用して設定されます。

$$V_{out} = V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) (eq. 2)$$

分割器ネットワークのバイアス電流は、ノイズ耐 性と消費電力のトレードオフが最適になるように選 択されます。R_{out1}は、バイアス電流と出力電圧を使用して、式3で計算されます。

$$R_{out1} = \frac{V_{out}}{I_{bias(out)}}$$
 (eq. 3)

ここで、I_{bias(out})は、出力分割器ネットワークのバイ アス電流です。R_{out2}は、V_{out}、R_{out1}、およびR_{FB}に よって変化します。R_{out2}は、式4で計算されます。

$$R_{out2} = \frac{R_{out1} \cdot R_{FB}}{R_{FB} \cdot \left(\frac{V_{out}}{V_{REF}} - 1\right) - R_{out1}} \qquad (eq. 4)$$

PFCステージは、正弦波ライン電圧の正弦波電流 を消費します。コンバータが負荷に供給する電力 は、平均的需要に一致する電力のみです。出力コン デンサ(Cbulk)は、供給電力と負荷の消費電力との差 を補償します。負荷への供給電力が負荷の消費電力 より小さい場合、Cbulkが放電します。供給電力が負 荷の消費電力よりも大きい場合、Cbulkは充電されて 余分なエネルギーを蓄えます。この状況を、 Figure 30に示します。



Figure 30. Output Voltage Ripple for a Constant Output Power

C_{bulk}の充放電のため、V_{out}には100 Hz (ヨーロッパ の50 Hzライン周波数の場合)または120 Hz (アメリカ の60 Hzライン周波数の場合)の周波数のリップルが 含まれます。V_{out}のリップルは安定化ループによって 減衰され、ACライン・サイクル中のV_{Control}が一定に なり、ライン電流が適切な波形になります。ACライ ン・サイクル中にV_{Control}が一定になるように、 通常、ループ帯域幅は20 Hz以下に設定されます。 タイプ1の補償回路は、Controlピンとグランド・ピン の間にコンデンサ(C_{COMP})を接続して構成されます (Figure 1参照)。ループ帯域幅を設定するコンデンサ 値は、式5で計算されます。

$$C_{COMP} = \frac{gm}{2 \cdot \pi \cdot f_{CROSS}}$$
 (eq. 5)

ここで、f_{CROSS}はクロスオーバ周波数、gmはエラー ・アンプのトランスコンダクタンスです。クロスオ ーバ周波数は20 Hz未満に設定します。

オンタイム・シーケンス

スイッチング・パターンは、定オンタイム、およ び入力RMS電圧と出力負荷によって変化するオフタ イムから成ります。NCP1608は、Ctピンに接続され たコンデンサでオンタイムを制御します。電流源 は、Controlピンの電圧から得られる電圧(V_{Ct(off)})ま で、Ctコンデンサを充電します。V_{Ct(off)}は、式6で 計算されます。

$$V_{Ct(off)} = V_{Control} - Ct_{(offset)} = \frac{2 \cdot P_{out} \cdot L \cdot I_{charge}}{\eta \cdot Vac^2 \cdot Ct} \quad (eq. 6)$$

Ctコンデンサが $V_{Ct(off)}$ に達すると、ドライバはオフ になります(Figure 31)。



Figure 31. On Time Generation

V_{Control}は入力RMS電圧と出力負荷によって変化 し、必然的に式1を満足します。補償部品の値がV_{out} のリップルを除去するのに十分な場合は、ACライン ・サイクル中のオンタイムは一定になります。コン トローラの最大オンタイムは、V_{Control}が最大のとき に発生します。Ctコンデンサのサイズは、最大出力 電力かつ最小入力電圧条件において、必要なオンタ イムが確保できる値にします。オンタイムは、 式7で計算されます。

$$t_{on} = \frac{Ct \cdot V_{Ct(MAX)}}{I_{charge}}$$
 (eq. 7)

式7と式1を結合すると、式8になります。

$$Ct \geq \frac{2 \cdot P_{out} \cdot L_{MAX} \cdot I_{charge}}{\eta \cdot Vac_{LL}^{2} \cdot V_{Ct(MAX)}}$$
(eq. 8)

Ctの最小値を計算するには、次の値を使用します。 V_{Ct(MAX)} = 4.775 V (最小値)、

I_{charge} = 297 μA (maximum value)、Vac_{LL}は最小入力 RMS電圧、L_{MAX}は最大インダクタ値です。

オフタイム・シーケンス

CrM動作では、ACライン・サイクル中のオンタイ ムは一定であり、オフタイムは瞬時入力電圧によっ て変化します。インダクタ電流がゼロになると、ド レイン電圧(Figure 27のV_{drain})はV_{in}に向かって共振し ます。インダクタ電流がゼロになるタイミングを判 定する1つの方法は、V_{drain}を計測することです。 しかし、高電圧のV_{drain}を直接計測するのは、一般 に経済的ではなく実用的でもありません。代わり に、ブースト・インダクタには巻線が追加されてい ます。この巻線はゼロ電流検出(ZCD)巻線と呼ば れ、インダクタ電圧を縮小した電圧を発生させ、 それをコントローラが検出します。Figure 32に、 ZCD巻線を使用した理想的なCrM動作の波形を示し ます。





オンタイム中にZCD巻線に誘起される電圧 (V_{ZCD(WIND),on})は、式9で計算されます。

$$V_{ZCD(WIND),on} = \frac{-V_{in}}{N_B : N_{ZCD}}$$
 (eq. 9)

ここで、V_{in} は 瞬 時 入 力 電 圧 、N_B:N_{ZCD} はブースト巻線とZCD巻線との巻数比です。

オフタイム中にZCD巻線に発生する電圧 (V_{ZCD(WIND),off})は、式10で計算されます。

$$V_{ZCD(WIND),off} = \frac{V_{out} - V_{in}}{N_B : N_{ZCD}}$$
 (eq. 10)

インダクタ電流がゼロになると、ZCDピンの電圧 (VzcD)はZCD巻線の電圧(VzcD(WIND))に追従して減 少し始め、ゼロ・ボルトに向かってリンギングしま す。NCP1608は、VzcDの立ち下がりエッジを検出し てドライバをオンにします。ZCDイベントを誤検出 しないようにするため、NCP1608のロジックは、 VzcDがVzcD(ARM)を超えているのを確認してから、 VzcDがVzcD(TRIG)未満に減少するのを検出します (Figure 33)。



Figure 33. Implementation of the ZCD Block

このシーケンスによって、CrM動作を実現しています。最大巻数比は最大V_{ZCD(ARM)}によって設定され、式11で計算されます。

$$N_{\text{B}}: N_{\text{ZCD}} \leq \frac{V_{\text{out}} - \left(\sqrt{2} \cdot \text{Vac}_{\text{HL}}\right)}{V_{\text{ZCD}(\text{ARM})}} \qquad (\text{eq. 11})$$

ここで、Vac_{HL}は最大入力RMS電圧、V_{ZCD(ARM)}は 1.55 V(最大値)です。

NCP1608は、 V_{ZCD} をクランプすることによって、 ZCDピンに過剰な電圧がかかるのを防ぎます。ZCD 巻線が負電圧の場合、ZCDピンは内部で $V_{CL(NEG)}$ に クランプされます。同様に、ZCD巻線が正電圧の場 合、ZCDピンは内部で $V_{CL(POS)}$ にクランプされます。 ZCDピンに流入する電流を制限するために、抵抗 (Figure 33の R_{ZCD})が必要です。ZCDピンの最大電流 ($I_{ZCD(MAX)}$)は10 mA未満に制限されます。 R_{ZCD} は、 式12で計算されます。

$$\mathsf{R}_{\mathsf{ZCD}} \geq \frac{\sqrt{2} \cdot \mathsf{Vac}_{\mathsf{HL}}}{\mathsf{I}_{\mathsf{ZCD}(\mathsf{MAX})} \cdot (\mathsf{N}_{\mathsf{B}} : \mathsf{N}_{\mathsf{ZCD}})} \qquad (\mathsf{eq. 12})$$

R_{ZCD}とZCDピンの寄生容量値で、ZCD巻線の信号 が検出されてドライバのターンオンが開始するタイ ミングが決まります。R_{ZCD}の値が大きいと、ZCDイ ベントを検出するまでの遅延時間が長くなります。 その場合、コントローラはDCMで動作し力率が減 少します。R_{ZCD}の値が小さすぎると、ドレイン電圧 が高いときにドライバがオンになるため効率が悪く なります。R_{ZCD}を選択する一般的な方法は、ターン オン時のドレイン電圧が最小になるようなR_{ZCD}の値 を使用することです。この値は実験によって見つけ ます。Figure 34に、R_{ZCD}とZCDピン容量で決まる CrM動作の実際の波形を示します。



Figure 34. Realistic CrM Waveforms Using a ZCD Winding with R_{ZCD} and the ZCD Pin Capacitance

R_{ZCD}とZCDピン容量によって遅延が発生する間に、Figure 35に示すパスを介して等価ドレイン容量 (C_{EQ(drain}))が放電されます。



Figure 35. Equivalent Drain Capacitance Discharge Path

C_{EQ(drain)}は、MOSFET、ダイオード、インダクタ を合わせた寄生容量です。C_{in}は、C_{EO(drain)}が放電し たエネルギーによって充電されます。Cinの充電に よってブリッジ整流器に逆バイアスがかかり、入力 電流(Iin)はゼロに減少します。入力電流がゼロにな るとTHDが増加します。THDを減少させるには、比 率 (t_z / T_{SW}) を小さくします。ここで、 t_z は、 IL=0Aの時点からドライバがオンになるまでの時 間です。比率(t_z / T_{SW})は、Lの平方根に反比例しま す。起動時は、ZCD巻線にエネルギーが蓄えられて いないため、ZCDコンパレータを駆動するための電 圧信号がありません。つまり、このままではドライ バがオンになりません。この状態からPFCステージ を起動するために、コントローラにウォッチドッグ ・タイマ(tstart)が内蔵されています。ドライバが 165 µs(標準値)以上オフになっていた場合、このタ イマがドライバをオンにします。この機能は、障害 モード(OVPまたはUVP)中には停止し、障害が取り 除かれると再起動します。

幅広い制御範囲

Ctの充電スレッショルド(V_{Ct(off})は、出力電力が アプリケーションの最大出力電力から最小出力電力 に減少するに従って低下します。高電力アプリケー ション(>150 W)では、V_{Control}は大出力電力と Ct_(offset)が一定に保たれる低電圧にまで減少しま す。その結果、大出力電力のV_{Ct(off})は低電圧に低下 します。V_{Control}とV_{Ct(off})の電圧が低いと、ノイズの 影響を受けやすくなります。V_{Control}とV_{Ct(off})が低い 大出力電力の場合、制御信号およびオンタイムの持 続時間にノイズが干渉する危険性が高くなります (Figures 36および37)。ノイズはControlピンとCtピン に電圧スパイクを誘発し、それによりドライバのオ ンタイムがフィードバック・ループで決まるオンタ イム(ton(loop))よりも減少します。オンタイムの減少 により、インダクタ(L)に蓄えられるエネルギーが 減少します。その結果、VzcDはVzcD(ARM)を超える ことができず、ドライバはt_{start}時間が経過するまで オフのままです。このシーケンスによって、パルス ・スキップと力率の減少が生じます。







Figure 37. Ct Pin Noise Induced On Time Reduction and Pulse Skipping

NCP1608では制御範囲が広いため、制御範囲の狭 いデバイスに比べて $V_{Control} \geq V_{Ct(off)}$ が高くなりま す。Figure 38では、次のパラメータを持つアプリケ ーションについて、NCP1608と制御範囲3Vのデバイ スの $V_{Ct(off)}$ を比較しています。

 $P_{out} = 250 W$

 $L=200\;\mu H$

 $\eta = 92\%$

 $Vac_{LL} = 85 Vac$

 $Vac_{HL} = 265 Vac$

Figure 38は、NCP1608のV_{Ct(off)}が制御範囲3 Vのデ バイスよりも50%大きいことを示しています。 NCP1608は、この50%の増加によって、高入力電圧 および高出力電力での意図しないパルス・スキップ を防止できます。



Figure 38. Comparison of Ct Charging Threshold vs. Output Power

起動

ー般に、 V_{CC} コンデンサは、整流されたACライン と V_{CC} の間に接続された抵抗によって、 $V_{CC(on)}$ に達 するまで充電されます。低い起動消費電流(< 35 μ A) により、スタンバイ消費電力の最小化と起動時間の 短縮が可能です。 V_{CC} が $V_{CC(on)}$ を超えると、 NCP1608内部リファレンスとロジックがイネーブル されます。コントローラは、 V_{CC} が $V_{CC(off)}$ を下回る までNCP1608をイネーブルする低電圧ロックアウト (UVLO)機能を備えています。このヒステリシスに よって、補助巻線が V_{CC} に電圧を供給するのに十分 な時間が確保されます(Figure 39)。



Figure 39. Typical V_{CC} Startup Waveform

PFCプリコンバータをスイッチモード電源(SMPS) で駆動する場合、最初にSMPSコントローラを起動 するのが一般的です。次に、SMPSからNCP1608の V_{CC}に電力を供給します。NCP1230やNCP1381など の高機能コントローラは、PFCステージのイネーブ ルを制御して(Figure 40参照)、最適なシステム性能 を実現します。このシーケンスによって起動抵抗が 不要になり、システムのスタンバイ消費電力が改善 されます。



Figure 40. NCP1608 Supplied by a Downstream SMPS Controller (NCP1230)

ソフト・スタート

V_{CC}がV_{CC(on)}を超えると、t_{start}のカウントが開始 されます。t_{start}が経過するとエラー・アンプがイネ ーブルされ、補償回路の充電を開始します。ドライ バは、V_{Control}がCt_(offset)を超えるとイネーブルされ ます。補償回路が充電されると、ドライバのオンタ イムが最小オンタイム(t_{PWM})から定常オンタイムま で緩やかに増加します。これによって自然なソフト ・スタート・モードが実現され、電力部品のストレ スが緩和されます(Figure 41)。

出力ドライバ

NCP1608は、ソース電流500 mA、シンク電流 800 mAが可能な強力な出力ドライバを備えてい ます。これによってコントローラは、中電力 (≤ 350 W)アプリケーションのパワーMOSFETを効率 的にドライブすることができます。また、ドライバ ・ステージにはパッシブおよびアクティブの両方の プルダウン回路(Figure 42)があります。プルダウン 回路は、V_{CC(on)}に達しないときは、強制的にドライ バ出力電圧をパワーMOSFETのターンオン・スレッ ショルド電圧以下に下げます。



Figure 41. Startup Timing Diagram Showing the Natural Soft Start of the Control Pin



Figure 42. Output Driver Stage and Pull–Down Circuits

過電圧保護(OVP)

フィードバック・ネットワークの帯域幅が狭い と、出力負荷または入力電圧の変化に対するアクテ ィブPFCステージの反応が鈍くなります。その結 果、起動、負荷ステップ、ライン・ステップ中に、 オーバシュートが発生する危険があります。信頼性 の高い動作を実現するには、過電圧保護(OVP)によ って、出力電圧がPFGステージの部品の定格を超え ないようにすることが大切です。NCP1608は、過剰 な出力電圧を検出すると、Voutが安全なレベルに低 下するまでドライバをディセーブルして、Voutが確 実にPFCステージの部品の定格内に収まるようにし ます。内部でFBピンに接続されているコンパレータ が、OVP保護機能を提供しています。OVP検出電圧 は、式13で計算されます。 ここで、V_{OVP}/V_{REF}は、OVP検出スレッショルドで す。

C_{bulk}は、**OVP V**_{out}の100 Hzまたは120 Hzのリップ ルで誤動作しないサイズにします。**C**_{bulk}の最小値 は、式 14で計算されます。

$$C_{bulk} \geq \frac{P_{out}}{2 \cdot \pi \cdot V_{ripple(peak-peak)} \cdot f_{line} \cdot V_{out}} \quad (eq. 14)$$

ここで、 $V_{ripple(peak-peak)}$ はピーク・トゥ・ピーク出 力電圧リップル、 f_{line} はACライン周波数です。

V_{ripple(peak-peak)}は、式15で計算されます。

$$V_{ripple(peak-peak)} < 2 \cdot (V_{out(OVP)} - V_{out})$$
 (eq. 15)

OVPロジックはヒステリシス(V_{OVP(HYS)})を備えて おり、NCP1608が再起動を試みるまでにV_{out}が放電 するのに十分な時間を確保し、ノイズ耐性を実現し ています。NCP1608が再起動を試みる出力電圧 (V_{out(OVPL)})は、式16で計算されます。

$$V_{out(OVPL)} = \left(\left(\frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \right) - V_{OVP(HYS)} \right) \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$$
(eq. 16)

Figure 43に、OVP回路の動作を示します。

 $V_{out(OVP)} = \frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$



(eq. 13)

Figure 43. OVP Operation

低電圧保護(UVP)

PFCステージに入力電圧が印加されると、 V_{out} は ライン電圧のピークに一致します。NCP1608は、 V_{FB} が V_{UVP} より低い場合など、 V_{out} が異常に低い場合は 低電圧障害を検出します。UVP障害の発生中は、 ドライバとエラー・アンプはディセーブルされま す。UVP機能は、 C_{bulk} への電力経路が断線している (つまり C_{bulk} を充電不能)場合、または R_{out1} が切り離 されている場合にシステムを保護します。

UVP障害を引き起こす出力電圧は、式17で計算されます。

$$V_{out(UVP)} = V_{UVP} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \quad (eq. 17)$$

オープン・フィードバック・ループ保護

NCP1608は、OVP、UVP、FPPなどのオープン・ フィードバック・ループ状態に対する総合的な保護 機能を備えています。Figure 44に、フィードバック ・ループがオープンになる3つの状態を示します。 Figure 44の各状態について、対応する番号ごとに以 下で説明します。

1. UVP保護:

R_{out1}からFBピンへの接続がオープン状態で す。R_{out2}は、FBピンをグランドにプルダウ ンします。UVPコンパレータはUVP障害を検 出し、ドライバとエラー・アンプはディセー ブルされます。

2. **OVP**保護:

R_{out2}からFBピンへの接続がオープン状態で す。R_{out1}は、FBピンをV_{out}にプルアップしま す。ESDダイオードはFBの電圧を10 Vにクラ ンプし、R_{outl}がFBピンに流入する電流を制 限します。OVPコンパレータはOVP障害を検 出し、ドライバがディセーブルされます。

3. FPP保護:

FBピンが浮いています。R_{FB}は、FBの電圧を V_{UVP}未満にプルダウンします。UVPコンパレ ータはUVP障害を検出し、ドライバとエラー ・アンプはディセーブルされます。

UVPは低いバルク電圧から、OVPは急激な動作点 の変化からそれぞれシステムを保護します。他方、 FPPはフローティング・フィードバック・ピン状態 からシステムを保護します。FPPが実装されずに製 造誤差によってFBピンが浮いた状態になっている場 合、 V_{FB} はシステム内および周囲環境と連動して変 化します。連動して変化する V_{FB} が規制制限内(すな わち、 $V_{UVP} < V_{FB} < V_{REF}$)に収まり、コントローラ が過剰な電力を供給することがあります。その結 果、電圧ストレスによってデバイスに障害が発生す るまで、 V_{out} が上昇します。



Figure 44. Open Feedback Loop Protection

過電流保護(OCP)

NCP1608の専用CSピンは、ピーク・インダクタ 電流を検出し、CSピンの電圧がV_{ILIM}を超えた場合 は、ドライバのオンタイムを制限します。最大ピー ク・インダクタ電流は、R_{sense}を調整してプログラ ムできます。ピーク・インダクタ電流は、式18で計 算されます。

$$I_{L(peak)} = \frac{V_{ILIM}}{R_{sense}}$$
 (eq. 18)

内部LEBフィルタ(Figure 45)は、スイッチング・ ノイズによって過電流制限が誤動作する確率を低減 します。このフィルタは、持続時間がt_{LEB}以内のCS 信号を除去します。さらにフィルタが必要な場合 は、小型RCフィルタをR_{sense}とCSピンの間に接続します。



Figure 45. OCP Circuitry with Optional External RC Filter

シャットダウン・モード

NCP1608ではユーザがコントローラをスタンバイ 動作モードに設定できます。コントローラをシャッ トダウンするには、FBピンの電圧を強制的にV_{UVP} 以下にします。FBピンをシャットダウンに使用する 場合(Figure 46)、シャットダウン回路で大きなリ ーク電流が発生しないように設計する必要がありま す。リーク電流は、出力電圧の安定化に悪影響を及 ぼします。



Figure 46. Shutting Down the PFC Stage

アプリケーション情報

オン・セミコンダクターは、NCP1608の設計を簡 略化して開発期間を短縮するために、電子回路設計 ツール、評価用ボード、およびアプリケーション・ ノートを提供しています。すべてのツールは、 www.onsemi.comからダウンロードまたは注文するこ とができます。

電子回路設計ツールを使用すると、ブースト・プ リコンバータの大部分のシステム・パラメータを容 易に決定できます。評価用ボードは、400 Vで100 W を供給するブースト・プリコンバータです。回路図 をFigure 47に示します。プリコンバータ設計につい ては、アプリケーション・ノートAND8396/Dで説明 しています。





BOOST DESIGN EQUATIONS Components are identified in Figure 1

Input rms Current	$lac = \frac{P_{out}}{\eta \cdot Vac}$	η (the efficiency of only the PFC stage) is generally in the range of 90 – 95%. Vac is the rms ac line input voltage.
Inductor Peak Current	$I_{L(peak)} = \frac{\sqrt{2} \cdot 2 \cdot P_{out}}{\eta \cdot Vac}$	The maximum inductor peak current occurs at the minimum line input voltage and maximum output power.
Inductor Value	$L \leq \frac{Vac^2 \cdot \left(\frac{V_{out}}{\sqrt{2}} - Vac\right) \cdot \eta}{\sqrt{2} \cdot V_{out} \cdot P_{out} \cdot f_{SW(MIN)}}$	f _{SW(MIN)} is the minimum desired switching frequency. The maximum L is calculated at both the minimum line input voltage and maximum line input voltage.
On Time	$t_{on} = \frac{2 \cdot L \cdot P_{out}}{\eta \cdot Vac^2}$	The maximum on time occurs at the minimum line input voltage and maximum output power.
Off Time	$t_{off} = \frac{t_{on}}{\frac{V_{out}}{Vac \cdot \sin \theta \cdot \sqrt{2}} - 1}$	The off time is a maximum at the peak of the ac line voltage and approaches zero at the ac line zero crossings. Theta (θ) represents the angle of the ac line voltage.
Switching Frequency	$f_{\text{SW}} = \frac{\text{Vac}^2 \cdot \eta}{2 \cdot \text{L} \cdot \text{P}_{\text{out}}} \cdot \left(1 - \frac{\text{Vac} \cdot \sin \theta \cdot \sqrt{2}}{\text{V}_{\text{out}}}\right)$	
On Time Capacitor	$Ct \geq \frac{2 \cdot P_{out} \cdot L_{MAX} \cdot I_{charge}}{\eta \cdot Vac_{LL}^{2} \cdot V_{Ct(MAX)}}$	Where Vac_{LL} is the minimum line input voltage and L_{MAX} is the maximum inductor value. I_{charge} and $V_{Ct(MAX)}$ are shown in the specification table.
Inductor Turns to ZCD Turns Ratio	$N_{B}:N_{ZCD} \leq \frac{V_{out} - \left(\sqrt{2}\cdotVac_{HL}\right)}{V_{ZCD(ARM)}}$	Where Vac_{HL} is the maximum line input voltage. $V_{ZCD(ARM)}$ is shown in the specification table.
Resistor from ZCD Winding to the ZCD pin	$R_{ZCD} \geq \frac{\sqrt{2} \cdot Vac_{HL}}{I_{ZCD(MAX)} \cdot (N_{B} : N_{ZCD})}$	Where I _{ZCD(MAX)} is maximum rated current for the ZCD pin (10 mA).
Output Voltage and Output Divider	$V_{out} = V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$ $R_{out1} = \frac{V_{out}}{I_{bias(out)}}$ $R_{out2} = \frac{R_{out1} \cdot R_{FB}}{R_{FB} \cdot \left(\frac{V_{out}}{V_{REF}} - 1\right) - R_{out1}}$	Where V_{REF} is the internal reference voltage and R_{FB} is the pull-down resistor used for FPP. V_{REF} and R_{FB} are shown in the specification table. $I_{bias(out)}$ is the bias current of the output voltage divider.
Output Voltage OVP Detection and Recovery	$\begin{split} V_{out(OVPL)} &= \frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \\ V_{out(OVPL)} &= \left(\left(\frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \right) - V_{OVP(HYS)} \right) \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \end{split}$	V_{OVP}/V_{REF} and $V_{OVP(HYS)}$ are shown in the specification table.
Output Voltage Ripple and Output Capacitor Value	$\begin{split} V_{ripple(peak-peak)} &< 2 \cdot \left(V_{out(OVP)} - V_{out}\right) \\ C_{bulk} &\geq \frac{P_{out}}{2 \cdot \pi \cdot V_{ripple(peak-peak)} \cdot f_{line} \cdot V_{out}} \end{split}$	Where f_{line} is the ac line frequency and $V_{ripple(peak-peak)}$ is the peak-to-peak output voltage ripple. Use $f_{line} = 47$ Hz for universal input worst case.
Output Capacitor rms Current	$I_{C(RMS)} = \sqrt{\frac{\sqrt{2} \cdot 32 \cdot P_{out}^{2}}{9 \cdot \pi \cdot Vac \cdot V_{out} \cdot \eta^{2}} - I_{load(RMS)}^{2}}$	Where I _{load(RMS)} is the rms load current.

BOOST DESIGN EQUATIONS Components are identified in Figure 1 (Continued)

Output Voltage UVP Detection	$V_{out(UVP)} = V_{UVP} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$	$V_{\mbox{UVP}}$ is shown in the specification table.
Inductor rms Current	$I_{L(RMS)} = \frac{2 \cdot P_{out}}{\sqrt{3} \cdot Vac \cdot \eta}$	
Output Diode rms Current	$I_{D(RMS)} = \frac{4}{3} \cdot \sqrt{\frac{\sqrt{2} \cdot 2}{\pi}} \cdot \frac{P_{out}}{\eta \cdot \sqrt{Vac \cdot V_{out}}}$	
MOSFET rms Current	$I_{M(RMS)} = \frac{2}{\sqrt{3}} \cdot \left(\frac{P_{out}}{\eta \cdot Vac}\right) \cdot \sqrt{1 - \left(\frac{\sqrt{2} \cdot 8 \cdot Vac}{3 \cdot \pi \cdot V_{out}}\right)}$	
Current Sense Resistor	$R_{sense} = \frac{V_{ILIM}}{I_{L(peak)}}$	V _{ILIM} is shown in the specification table.
	$P_{R_{sense}} = I_{M(RMS)}^2 \cdot R_{sense}$	
Type 1 Compensation	$C_{COMP} = \frac{gm}{2 \cdot \pi \cdot f_{CROSS}}$	Where f _{CROSS} is the crossover frequency and is typically less than 20 Hz. gm is shown in the specification table.

onsemí



*For additional information on our Pb–Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from Printed versions are uncontrolled except when stamped "CONTROLLED 0	the Document Repository. COPY" in red.				
DESCRIPTION:	SOIC-8 NB		PAGE 1 OF 2				
onsemi and ONSEMi are trademat the right to make changes without furth purpose, nor does onsemi assume an special, consequential or incidental da	rks of Semiconductor Components Industries, er notice to any products herein. onsemi make ny liability arising out of the application or use amages. onsemi does not convey any license	onsemi and ONSEMi. are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.					

SOIC-8 NB CASE 751-07 **ISSUE AK**

STYLE 1: PIN 1. EMITTER COLLECTOR 2. 3. COLLECTOR 4. EMITTER 5. EMITTER BASE 6. 7 BASE EMITTER 8. STYLE 5: PIN 1. DRAIN 2. DRAIN 3. DRAIN DRAIN 4. GATE 5. 6. GATE SOURCE 7. 8. SOURCE STYLE 9: PIN 1. EMITTER, COMMON COLLECTOR, DIE #1 COLLECTOR, DIE #2 2. З. EMITTER, COMMON 4. 5. EMITTER, COMMON 6 BASE. DIE #2 BASE, DIE #1 7. 8. EMITTER, COMMON STYLE 13: PIN 1. N.C. 2. SOURCE 3 GATE 4. 5. DRAIN 6. DRAIN DRAIN 7. DRAIN 8. STYLE 17: PIN 1. VCC 2. V2OUT V10UT З. TXE 4. 5. RXE 6. VFF 7. GND 8. ACC STYLE 21: PIN 1. CATHODE 1 2. CATHODE 2 3 CATHODE 3 CATHODE 4 4. 5. CATHODE 5 6. COMMON ANODE COMMON ANODE 7. 8. CATHODE 6 STYLE 25: PIN 1. VIN 2 N/C REXT З. 4. GND 5. IOUT IOUT 6. IOUT 7. 8. IOUT STYLE 29: BASE, DIE #1 PIN 1. 2 EMITTER, #1 BASE, #2 З. EMITTER, #2 4. 5 COLLECTOR, #2 COLLECTOR, #2 6.

STYLE 2: PIN 1. COLLECTOR, DIE, #1 2. COLLECTOR, #1 COLLECTOR, #2 3. 4 COLLECTOR, #2 BASE, #2 5. EMITTER, #2 6. 7 BASE #1 EMITTER, #1 8. STYLE 6: PIN 1. SOURCE 2. DRAIN 3. DRAIN SOURCE 4. SOURCE 5. 6. GATE GATE 7. 8. SOURCE STYLE 10: GROUND PIN 1. BIAS 1 OUTPUT 2. З. GROUND 4. 5. GROUND 6 BIAS 2 INPUT 7. 8. GROUND STYLE 14: PIN 1. N-SOURCE 2. N-GATE 3 P-SOURCE P-GATE 4. P-DRAIN 5 6. P-DRAIN N-DRAIN 7. N-DRAIN 8. STYLE 18: PIN 1. ANODE ANODE 2. SOURCE 3. GATE 4. 5. DRAIN 6 DRAIN CATHODE 7. CATHODE 8. STYLE 22 PIN 1. I/O LINE 1 2. COMMON CATHODE/VCC 3 COMMON CATHODE/VCC 4. I/O LINE 3 COMMON ANODE/GND 5. 6. I/O LINE 4 7. I/O LINE 5 8. COMMON ANODE/GND STYLE 26: PIN 1. GND 2 dv/dt З. ENABLE 4. ILIMIT 5. SOURCE SOURCE 6. SOURCE 7. 8. VCC STYLE 30: DRAIN 1 PIN 1. DRAIN 1 2 GATE 2 З. SOURCE 2 4 SOURCE 1/DRAIN 2 SOURCE 1/DRAIN 2 5.

6.

7.

8 GATE 1

SOURCE 1/DRAIN 2

STYLE 3: PIN 1. DRAIN, DIE #1 DRAIN, #1 2. DRAIN, #2 З. DRAIN, #2 4. GATE, #2 5. SOURCE, #2 6. 7 GATE #1 8. SOURCE, #1 STYLE 7: PIN 1. INPUT 2. EXTERNAL BYPASS THIRD STAGE SOURCE GROUND З. 4. 5. DRAIN 6. GATE 3 SECOND STAGE Vd 7. FIRST STAGE Vd 8. STYLE 11: PIN 1. SOURCE 1 GATE 1 SOURCE 2 2. З. GATE 2 4. 5. DRAIN 2 6. DRAIN 2 DRAIN 1 7. 8. DRAIN 1 STYLE 15: PIN 1. ANODE 1 2. ANODE 1 ANODE 1 3 ANODE 1 4. 5. CATHODE, COMMON CATHODE, COMMON CATHODE, COMMON 6. 7. CATHODE, COMMON 8. STYLE 19: PIN 1. SOURCE 1 GATE 1 SOURCE 2 2. 3. GATE 2 4. 5. DRAIN 2 6. MIRROR 2 7. DRAIN 1 MIRROR 1 8. STYLE 23: PIN 1. LINE 1 IN COMMON ANODE/GND COMMON ANODE/GND 2. 3 LINE 2 IN 4. LINE 2 OUT 5. COMMON ANODE/GND COMMON ANODE/GND 6. 7. 8. LINE 1 OUT STYLE 27: PIN 1. ILIMIT OVI O 2 UVLO З. 4. INPUT+ 5. 6. SOURCE SOURCE SOURCE 7. 8 DRAIN

DATE 16 FEB 2011

STYLE 4: PIN 1. 2. ANODE ANODE ANODE З. 4. ANODE ANODE 5. 6. ANODE 7 ANODE COMMON CATHODE 8. STYLE 8: PIN 1. COLLECTOR, DIE #1 2. BASE, #1 З. BASE #2 COLLECTOR, #2 4. COLLECTOR, #2 5. 6. EMITTER, #2 EMITTER, #1 7. 8. COLLECTOR, #1 STYLE 12: PIN 1. SOURCE SOURCE 2. 3. GATE 4. 5. DRAIN 6 DRAIN DRAIN 7. 8. DRAIN STYLE 16 EMITTER, DIE #1 PIN 1. 2. BASE, DIE #1 EMITTER, DIE #2 3 BASE, DIE #2 4. 5. COLLECTOR, DIE #2 6. COLLECTOR, DIE #2 COLLECTOR, DIE #1 7. COLLECTOR, DIE #1 8. STYLE 20: PIN 1. SOURCE (N) GATE (N) SOURCE (P) 2. 3. 4. GATE (P) 5. DRAIN 6. DRAIN DRAIN 7. 8. DRAIN STYLE 24: PIN 1. BASE EMITTER 2. 3 COLLECTOR/ANODE COLLECTOR/ANODE 4. 5. CATHODE 6. CATHODE COLLECTOR/ANODE 7. 8. COLLECTOR/ANODE STYLE 28: PIN 1. SW_TO_GND 2. DASIC OFF DASIC_SW_DET З. 4. GND 5. 6. V MON VBULK 7. VBULK 8 VIN

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Reposite Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.				
DESCRIPTION:	SOIC-8 NB		PAGE 2 OF 2			

onsem and of isor in are trademarks or semiconductor compension instructions, the do onsem or its subsidiaries in the oniced states and/or outrof countries, onsemi reserves the right to make changes without further notice to any products herein, onsemi makers on warranky, representation or guarantee regarding the suitability of countries, for any particular index on the right to make changes without further notice to any products herein, onsemi makers on warranky, representation or guarantee regarding the suitability of countries. purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

7.

8

COLLECTOR, #1

COLLECTOR, #1

onsemi, ONSEMI, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "onsemi" or its affiliates and/or subsidiaries in the United States and/or other countries. onsemi owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of onsemi's product/patent coverage may be accessed at <u>www.onsemi.com/site/pdf/Patent-Marking.pdf</u>. onsemi reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and onsemi makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or indental damages. Buyer is responsible for its products and applications using onsemi products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by onsemi. "Typical" parameters which may be provided in onsemi data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. onsemi does not convey any license under any of its intellectual property rights nor the rights of others. onsemi products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification. Buyer shall indemnify and hold onsemi and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs,

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation onsemi Website: www.onsemi.com

ONLINE SUPPORT: <u>www.onsemi.com/support</u> For additional information, please contact your local Sales Representative at <u>www.onsemi.com/support/sales</u>