高効率SMPS構成向け2次側同期 整流式ドライバ

NCP4304A/Bは、スイッチ・モード電源(SMPS)内の同期整流 回路の制御用にカスタマイズされた、豊富な機能を備えたコ ントローラおよびドライバです。これらの多機能デバイスは 多様性に優れ、フライバック、フォワードおよびハーフ・ブ リッジ共振LLCなどの各種電源構成で使用できます。

最小オン時間と最小オフ時間の組み合わせを外部で調整で きるので、PCBレイアウトやその他の寄生素子によって誘発 されるリンギングに対処するのに役立ちます。したがって、 信頼性が高く、ノイズが非常に小さいSRシステムの動作を保 証できます。

これらのドライバには、非常に短いターンオフ遅延時間、 大電流のシンク能力、パッケージに起因する寄生インダクタ ンス内に対応する自動補償システムという特性があるので、 同期整流式MOSFETの導通時間を最大化し、SMPSの効率をさ らに向上させることができます。

さらに、広い動作電源電圧(V_{CC})範囲を、2種類のドライバ ・クランプ電圧仕様と組み合わせた結果、24 V出力アプリケ ーションでSRシステムを容易に実装できます。

特長

- CCM、DCM、およびQRフライバック・アプリケーション 内の同期整流回路に対する自蔵型制御
- スレッショルドが調整可能で、2次側のゼロ電流検出を高精度で正確に実施
- 寄生インダクタンスを自動補償する入力
- 電流センス入力からドライバのターンオフまでの遅延の標準値は40 ns
- ゼロ電流検出ピンの最大耐圧は200 V
- 深いCCMで動作するアプリケーションでのいっそうの性能 向上を図る、オプションの超高速トリガ・インタフェース
- スタンバイ・モードまたは低消費電力モードに移行するための入力ディセーブル
- VCCレベルに依存しない、調整可能な最小オン時間
- V_{CC}レベルに依存しない、調整可能な最小オフ時間
- 5 A/2.5 Aのピーク電流シンク/ソース駆動能力
- 動作電圧範囲は最大30 V
- ゲート駆動クランプ電圧は、12 V (NCP4304A) または6 V (NCP4304B)
- 起動時とスタンバイ時の低消費電流
- 最大500 kHzの動作周波数
- SOIC-8パッケージ
- 鉛フリー・デバイス

代表的アプリケーション

- ノートブックのアダプタ
- 電力密度の高いAC/DC電源
- ゲーム・コンソール
- 高い効率要件を満たすあらゆるSMPS (スイッチ・モード電源)



ON Semiconductor®

www.onsemi.jp



CASE 751



MARKING DIAGRAMS



PINOUT INFORMATION

VCC 📼	1	8 📼 DRV
MIN_TOFF =	2	7 📼 GND
MIN_TON =	3	6 📥 COMP
TRIG/DIS 📼	4	5 🖿 CS

(NOTE: For DFN the exposed pad must be either unconnected or preferably connected to ground. The GND pin must be always connected to ground.)

ORDERING INFORMATION

Device	Package	Shipping [†]
NCP4304ADR2G	SOIC-8 (Pb-Free)	2,500 / Tape & Reel
NCP4304BDR2G	SOIC-8 (Pb-Free)	2,500 / Tape & Reel
NCP4304AMNTWG	DFN8 (Pb–Free)	4,000 / Tape & Reel
NCP4304BMNTWG	DFN8 (Pb–Free)	4,000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.



Figure 1. Typical Application Example – LLC Converter



Figure 2. Typical Application Example – DCM or QR Flyback Converter

PIN FUNCTION DESCRIPTION

Pin No.	Pin Name	Function	Pin Description
1	VCC	Supplies the driver	Supply terminal of the controller. Accepts up to 30 V continuously.
2	MIN_TOFF	Minimum off time adjust	Adjust the minimum off time period by connecting resistor to ground.
3	MIN_TON	Minimum on time adjust	Adjust the minimum on time period by connecting resistor to ground.
4	TRIG/DIS	Forced reset input	This ultrafast input turns off the SR MOSFET in CCM applications. Activates sleep mode if pulled up for more than 100 $\mu s.$
5	CS	Current sense of the SR MOSFET	This pin detects if the current flows through the SR MOSFET and/or its body diode. Basic turn off detection threshold is 0 mV. A resistor in series with this pin can modify the turn off threshold if needed.
6	COMP	Compensation inductance connection	Use as a Kelvin connection to auxiliary compensation inductance. If SR MOSFET package parasitic inductance compensation is not used (like for SMT MOSFETs), connect this pin directly to GND pin.
7	GND	IC ground	Ground connection for the SR MOSFET driver and V_{CC} decoupling capacitor. Ground connection for minimum ton, toff adjust resistors and trigger input. GND pin should be wired directly to the SR MOSFET source terminal/soldering point using Kelvin connection.
8	DRV	Gate driver output	Driver output for the SR MOSFET.





MAXIMUM RATINGS

Symbol	Rating	Value	Unit
V _{CC}	IC Supply Voltage	-0.3 to 30	V
V _{DRV}	Driver Output Voltage	-0.3 to 17	V
V _{CS}	Current Sense Input dc Voltage	-4 to 200	V
V _{Csdyn}	Current Sense Input Dynamic Voltage (t _{pw} = 200 ns)	-10 to 200	V
V _{TRIG/DIS}	Trigger Input Voltage	-0.3 to 10	V
V _{MIN_TON} , V _{MIN_TOFF}	MIN_TON and MIN_TOFF Input Voltage	-0.3 to 10	V
I _{MIN_TON} , I _{MIN_TOFF}	MIN_TON and MIN_TOFF Current	-10 to +10	mA
V _{COMP}	Static Voltage Difference between COMP and GND Pins (Internally Clamped)	-3 to 10	V
V _{COMP_dyn}	Dynamic Voltage Difference between COMP and GND Pins (t _{pw} = 200 ns)	-10 to 10	V
ICOMP	Current into COMP Pin	–5 to 5	mA
R _{0JA}	Thermal Resistance Junction-to-Air, SOIC – A/B Versions	180	°C/W
$R_{ hetaJA}$	Thermal Resistance Junction-to-Air, DFN – A/B Versions, 50 mm ² – 1.0 oz. Copper Spreader	180	°C/W
R _{θJA}	Thermal Resistance Junction-to-Air, DFN – A/B Versions, 600 mm ² – 1.0 oz. Copper Spreader	80	°C/W
T _{Jmax}	Maximum Junction Temperature	150	°C
T _{Smax}	Storage Temperature Range	-60 to +150	°C
T _{Lmax}	Lead Temperature (Soldering, 10 s)	300	°C
	ESD Capability, Human Body Model except Pin V _{CS} – Pin 5, HBM ESD Capability on Pin 5 is 650 V per JEDEC Standard JESD22–A114E	2	kV
	ESD Capability, Machine Model per JEDEC Standard JESD22–A115–A	200	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損 ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

1. This device meets latchup tests defined by JEDEC Standard JESD78.

ELECTRICAL CHARACTERISTICS

(For typical values $T_J = 25^{\circ}C$, for min/max values $T_J = -40^{\circ}C$ to +125°C, $V_{CC} = 12$ V, $C_{DRV} = 0$ nF, $R_{MIN_TOFF} = 10$ kΩ, $V_{TRIG/DIS} = 0$ V, $f_{CS} = 100$ kHz, $DC_{CS} = 50^{\circ}$, $V_{CS_high} = 4$ V, $V_{CS_low} = -1$ V unless otherwise noted)

Symbol	Rating	Pin	Min	Тур	Max	Unit
SUPPLY SECTION						
V _{CC_on}	Turn-on threshold level (V _{CC} going up)	1	9.3	9.9	10.5	V
V _{CC_off}	Minimum operating voltage after turn-on (V _{CC} going down)	1	8.3	8.9	9.5	V
V _{CC_hyste}	V _{CC} hysteresis	1	0.6	1.0	1.4	V
ICC1_A ICC1_B	Internal IC consumption (no output load on pin 8, f_{SW} = 500 kHz, t _{on_min} = 500 ns, t _{off_min} = 620 ns)	1		4.5 4.0	6.6 6.2	mA
I _{CC2_A} I _{CC2_B}	Internal IC consumption (C_{DRV} = 1 nF on pin 8, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)	1		9.0 6.5	12 9	mA
I _{CC3_A} I _{CC3_B}	Internal IC consumption (C_{DRV} = 10 nF on pin 8, f_{SW} = 400 kHz, t _{on_min} = 500 ns, t _{off_min} = 620 ns)	1		57.0 35.0	80 65	mA
I _{CC_StartUp}	Startup current consumption ($V_{CC} = V_{CC_{on}} - 0.1$ V, no switching at CS pin)	1	-	35	75	μΑ
I _{CC_Disable_1}	Current consumption during disable mode (No switching at CS pin, $V_{TRIG/DIS} = 5 V$)	1	-	45	90	μΑ
I _{CC_Disable_2}	Current consumption during disable mode (CS pin is switching, $f_{SW} = 500 \text{ kHz}$, $V_{CS_high} = 4 \text{ V}$, $V_{CS_low} = -1 \text{ V}$, $V_{TRIG/DIS} = 5 \text{ V}$)	1	-	200	330	μΑ
DRIVE OUTPUT						

t _{r_A}	Output voltage rise-time for A version (C _{DRV} = 10 nF)	8	-	120	-	ns
t _{r_B}	Output voltage rise-time for B version ($C_{DRV} = 10 \text{ nF}$)	8	-	80	-	ns
t _{f_A}	Output voltage fall-time for A version ($C_{DRV} = 10 \text{ nF}$)	8	-	50	-	ns
t _{f_B}	Output voltage fall-time for B version ($C_{DRV} = 10 \text{ nF}$)	8	-	35	-	ns

ELECTRICAL CHARACTERISTICS (continued)

(For typical values $T_J = 25^{\circ}C$, for min/max values $T_J = -40^{\circ}C$ to +125°C, $V_{CC} = 12$ V, $C_{DRV} = 0$ nF, $R_{MIN_TON} = R_{MIN_TOFF} = 10$ k Ω , $V_{TRIG/DIS} = 0$ V, $f_{CS} = 100$ kHz, $DC_{CS} = 50^{\circ}$, $V_{CS_high} = 4$ V, $V_{CS_how} = -1$ V unless otherwise noted)

Symbol	Rating	Pin	Min	Тур	Max	Unit	
DRIVE OUTPUT							
R _{oh}	Driver source resistance (Note 1)	8	-	1.8	7	Ω	
R _{ol}	Driver sink resistance	8	_	1	2	Ω	
I _{DRV_pk(source)}	Output source peak current	8	-	2.5	-	А	
I _{DRV_pk(sink)}	Output sink peak current	8	-	5	-	А	
V _{DRV(min_A)}	Minimum drive output voltage for A version ($V_{CC} = V_{CC_{off}} + 200 \text{ mV}$)	8	8.3	-	-	V	
V _{DRV(min_B)}	Minimum drive output voltage for B version ($V_{CC} = V_{CC_{off}} + 200 \text{ mV}$)	8	4.5	-	-	V	
V _{DRV(CLMP_A)}	Driver clamp voltage for A version (12 < V _{CC} < 28, C _{DRV} = 1 nF)	8	10	12	14.3	V	
V _{DRV(CLMP_B)}	Driver clamp voltage for B version (12 < V _{CC} < 28, C _{DRV} = 1 nF)	8	5	6	8	V	
CS INPUT							
t _{pd_on}	The total propagation delay from CS input to DRV output turn on (V _{CS} goes down from 4 V to -1 V, t _{f_CS} = 5 ns, COMP pin connected to GND)	5, 8	_	60	90	ns	
t _{pd_off}	The total propagation delay from CS input to DRV output turn off (V _{CS} goes up from –1 V to 4 V, t_{r_CS} = 5 ns, COMP pin connected to GND), (Note 1)	5, 8	-	40	55	ns	
I _{shift_CS}	Current sense input current source (V _{CS} = 0 V)	5	95	100	105	μA	
V _{th_cs_on}	Current sense pin turn-on input threshold voltage	5, 8	-120	-85	-50	mV	
V _{th_cs_off}	Current sense pin turn-off threshold voltage, COMP pin connected to GND (Note 1)	5, 8	-1	-	0	mV	
G _{comp}	Compensation inverter gain	5,6,8		-1		-	
I _{CS_Leakage}	Current Sense input leakage current, V _{CS} = 200 V	5	_	-	1	μΑ	
TRIGGER/DISABLE	E INPUT						
t _{TRIG/DIS_pw_min}	Minimum trigger pulse width (Note 1)	4	30	_	-	ns	
V _{TRIG/DIS}	Trigger input threshold voltage (V _{TRIG/DIS} goes up)	4	1.5	_	2.5	V	
t _{p_TRIG} /DIS	Propagation delay from trigger input to the DRV output $(V_{TRIG/DIS} \text{ goes up from 0 to 5 V}, t_{r_TRIG/DIS} = 5 \text{ ns})$	4	-	13	30	ns	
t _{TRIG/DIS_light_load}	Light load turn off filter duration	4	70	100	130	μs	
t _{TRIG/DIS_light_} load_rec.	IC operation recovery time when leaving light load disable mode $(V_{TRIG/DIS} \text{ goes down from 5 to 0 V}, t_{f_{TRIG/DIS}} = 5 \text{ ns})$	4	-	-	10	μs	
t _{TRIG/DIS_blank}	Blanking time of trigger during DRV rising edge (V _{CS} < V _{th_cs_on} , single pulse on trigger t _{TRIG/DIS_pw} = 50 ns)	4	-	120	-	ns	
I _{TRIG/DIS}	Trigger input pull down current (V _{TRIG/DIS} = 5 V)	4	-	10	-	μA	
t _{on min} AND t _{off min}	h ADJUST	•			•		
t _{on min}	Minimum t_{on} period (R _{MIN TON} = 0 Ω)	3	_	130	_	ns	
t _{off min}	Minimum t _{off} period (R _{MIN_TOFF} = 0 Ω)	2	560	600	690	ns	
t _{on min}	Minimum t _{on} period ($R_{MIN TON} = 10 \text{ k}\Omega$)	3	0.9	1.0	1.1	μs	
t _{off_min}	Minimum t_{off} period ($R_{MIN_{TOFF}} = 10 \text{ k}\Omega$)	2	0.9	1.0	1.1	μs	
t _{on_min}	Minimum t _{on} period ($R_{MIN_{TON}} = 50 \text{ k}\Omega$)	3	-	4.8	-	μs	
 t _{off_min}	Minimum t _{off} period ($R_{MIN_{TOFF}} = 50 \text{ k}\Omega$)	2	-	4.8	-	μs	
t _{on_min}	Minimum t _{on} period ($R_{MIN_{TON}} = 100 \text{ k}\Omega$) (Note 2)	3	8.64	9.6	10.56	μs	
t _{off_min}	Minimum t_{off} period ($R_{MIN_{TOFF}} = 100 \text{ k}\Omega$) (Note 2)	2	8.55	9.5	10.45	μs	
Product parametric r	performance is indicated in the Electrical Characteristics for the listed te	st condit	ions. unl	ess other	wise noted	. Product	

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions. (参考訳)

1 製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

1. Guaranteed by design.

2. Guaranteed by design and verified by characterization, see Figure 4. t_{on_min} on R_{MIN_TON} dependency.

TYPICAL CHARACTERISTICS



Figure 4. t_{on_min} on $R_{\text{MIN}_\text{TON}}$ Dependency











Figure 29. Minimum On Time @ $R_{MIN TON} = 10 \text{ k}\Omega$









Figure 33. Minimum Off Time @ $R_{MIN_TOFF} = 0 \Omega$



Figure 32. Minimum On Time @ $R_{MIN_{TON}} = 50 \text{ k}\Omega$







アプリケーション情報

全般的な説明

NCP4304A/Bは、スタンドアロンIC、または1次 側コントローラに対応するコンパニオンICとして動 作し、スイッチ・モード電源(SMPS)内の同期整流回 路の高効率達成を支援します。このコントロー ラは、大電流ゲート・ドライバと高速ロジック回路 を採用し、同期整流式MOSFETに適切なタイミング の駆動信号を供給します。NCP4304A/Bは革新的な アーキテクチャを採用して十分な多様性を実現し、 同期整流回路があらゆる動作モードで高い効率を維 持できるようにします。

NCP4304A/Bは、一般的なバイアス電源電圧で動作し、電圧範囲は10.4 V~28 V(標準値)にわたります。 V_{CC}範囲が広いので、ノートブックや液晶TVなどほとんどのアダプタで、SMPSの出力電圧に直接接続できます。その結果、特定のバイアス電源電圧(5 Vなど)を必要とする他のデバイスに比べて、 NCP4304A/Bを使用する場合は回路の動作を簡略化できます。高電圧のV_{CC}に対応できる独自の特性も、より広範囲のアプリケーションでの動作を意図して設計されたものです。

電流センス・コンパレータの高精度ターンオフ・ スレッショルドと、高精度のオフセット電流源の組 み合わせにより、ユーザーは1本の抵抗を使用する だけで、SR MOSFETをスイッチングするターンオフ 電流のスレッショルドを、必要な任意の値に調整で きます。他のSRコントローラが-10 mV~-5 mVの範 囲でターンオフ・スレッショルドを設定するのに対 し、NCP4304A/Bは0mVのターンオフ・スレッショ ルドを達成しており、R_{DS(on)}の小さいSR MOSFETと の組み合わせにより、ターンオフ電流スレッショル ドを大幅に低下させて効率を向上させます。 ターンオン動作とターンオフ動作の後に発生する 問題を克服するために、NCP4304A/Bではオン時間 とオフ時間のそれぞれに対して調整可能な最小消去 期間を設定できます。これらの消去期間は、ICのV_{CC} から独立しており、GNDに接続された抵抗を使用し て調整できます。必要に応じて、追加のコンポーネン トを使用して消去期間を調整することもできます。

超高速トリガ入力は、(CCMフライバックやフォワ ードなど)CCMアプリケーション内での同期整流シ ステムの導入に役立ちます。トリガ入力からドライ バのターンオフ動作までの遅延時間は10 ns (標準値) です。さらに、トリガ入力を使用してICをディセー ブルにし、低消費のスタンバイ・モードを有効にす ることもできます。この機能を使用して、SMPSの スタンバイ消費電力を削減することもできます。

最後に、NCP4304A/Bが採用している特別な入力 を活用して、SR MOSFETの寄生インダクタンスによ る効果を自動的に補償することができます。この手 法により、標準的なパッケージ(TO-220やTO247 など)に封入されたMOSFETを使用している場合は、 実現可能な中で最大のオン時間を達成し、効率を最 適化することができます。SR MOSFETが、寄生イン ダクタンスを無視できるSMTパッケージに封入され ている場合は、補償入力をGNDピンに接続します。

ゼロ電流検出と寄生インダクタンスの補償

Figure 40に、電流センス入力に対するZCD回路の 内部接続を示します。補償システムの動作を示すた めに、同期整流式MOSFETは、寄生インダクタンス を明示して図示しています。



Figure 40. ZCD Sensing Circuitry Functionality

SMPSの2次巻線の電圧が反転した時点で、M1のボ ディ・ダイオードの電流導通が開始されM1のドレイ ン電圧に約-1 Vの降下が生じます。CSピンのソース 電流は100 µAであり、RSHIFT_CS抵抗との積による 電圧降下が生じます。CSピンの電圧がV_{th_cs_on}のス レッショルドを下回ると、M1がオンになります。 寄生インピーダンスが原因で、アプリケーションで 顕著なリンギングが発生する可能性があります。 上記のリンギングに起因する突然のターンオフとい う問題を克服するために、SR MOSFETの最小導通時 間を有効にします。最小導通時間は、R_{MIN_TON}抵抗 を使用して調整できます。 CSピンの電圧がV_{th_cs_off}を上回った直後に、SR MOSFETはターンオフします。同じリンギングの理 由により、ターンオフが検出された時点で、最小オ フ時間タイマも1回主張されます。最小オフ時 間は、R_{MIN_TOFF}抵抗を使用して外部調整できま す。2次電流が減少している間はMOSFET M1は導通 しているので、ターンオフ時間はMOSFETのR_{DS}(on) に依存します。0mVのスレッショルドにより、スイ ッチング期間を最適な方法で使用すると同時に、ゲ ートがターンオフするまでの十分な時間マージンを 確保することができます。設計者は抵抗RSHIFT_CS を使用して、実際のターンオフ電流スレッショルド を変更する(大きくする)ことができます。



The t_{on_min} and t_{off_min} are adjustable by R_{MIN_TON} and R_{MIN_TOFF} resistors.

Figure 41. ZCD Comparators Thresholds and Blanking Periods Timing

RSHIFT_CS抵抗を使用しない場合は、ターンオフ とターンオンのスレッショルドは完全に、CSの入力 仕様によって決定されます(パラメータ表を参照)。 CSピンのオフセット電流が電圧降下を発生させるの で、ゼロ以外のRSHIFT_CS抵抗を使用する場合は、 どちらのスレッショルドも小さくなります(つまり、 MOSFETのターンオフ電流は大きくなります)。この 電圧降下は、次の式に等しくなります。

$$V_{RSHIFT CS} = RSHIFT_CS \cdot I_{shift CS}$$
 (eq. 1)

最終的なターンオン・スレッショルドとターンオフ ・スレッショルドは、次のように計算できます。

 $V_{CS_turn_on} = V_{th_cs_on} - (RSHIFT_CS \cdot I_{shift_CS})$ (eq. 2)

 $V_{CS_turn_off} = V_{th_cs_off} - (RSHIFT_CS \cdot I_{shift_CS}) \quad (eq. 3)$

ターンオン・スレッショルドに対するRSHIFT_CS の影響は、ターンオフ・スレッショルドに対する影 響に比べると決定的ではありません。

TO-220パッケージ(またはリード端子を実装した 他のパッケージ)に封入されたSR MOSFETを使用す る場合は、パッケージのリード端子に起因する寄生 インダクタンスが原因で、ターンオフ電流スレッシ ョルドが増加します。SR MOSFETを流れるする電流 はdi(t)/dtがかなり大きいので、SR MOSFETリード端 子のインダクタンスによる誤差電圧を誘発します。 この誤差電圧は2次電流の微分係数に比例し、大き な電流がチャネル経由で引き続き流れている間に、 CS入力電圧をゼロにシフトさせます。そのため、 電流がSR MOSFETのチャネルを貫流している間に、 ゼロ電流スレッショルドが検出されます。より明確 に理解できるように、Figure 42を参照してくだ さい。その結果、SR MOSFETは早すぎる時期にター ンオフし、SMPSの効率が最適化されません。



Figure 42. Waveforms from SR System Using MOSFET in TO–220 Package Without Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time is Reduced

MOSFETのR_{DS(on})が小さくなるほど、また動作周 波数が高くなるほど、寄生インダクタンスによる誤 差が効率に及ぼす影響が大きくなることに注意して ください。 NCP4304A/Bは、MOSFETの寄生インダクタンスに よる効果を補償する方法を用意しています。 Figure 43を参照してください。



Figure 43. Package Parasitic Inductances Compensation Principle

専用入力ピン(COMP)を使用して、補償用の外部イ ンダクタンス(ワイヤ・ストラップまたはPCB)を活 用することができます。この補償インダクタンスが LCOMP=LDRAIN+LSOURCEである場合は、補償 インダクタンスによって生成される補償電圧が、 ドレインとソースの寄生インダクタンスによって生 成される誤差の和、つまりV_{LDRAIN}+V_{LSOURCE}に完 全に等しくなります。内蔵されているアナログ・イ ンバータ(Figure 40)は、補償電圧V_{LCOMP}を反転し、 電流センス・コンパレータのターンオフ・スレッシ ョルドに対するオフセットとして供給します。この 結果、電流センス・コンパレータは自らの複数の端 子の間で生じている電圧を認識しますが、これはリ ード端子のインダクタンスが存在しない場合にSR MOSFETのチャネル抵抗で観察されるはずの値で す。したがって、NCP4304A/Bの電流センス・コン パレータは2次側の電流ゼロ・クロスを非常に高い 精度で検出できます。さらに、2次側電流のターン オフ・スレッショルドはdi(t)/dtからは独立している ので、NCP4304A/BはSRシステムの動作周波数の上 昇に対応できます。補償インダクタンスの寄生抵抗 は、SR MOSFETのチャネルおよびリード端子の抵抗 に比べて、できるだけ小さくする必要があります。 この条件が満たされていない場合は、十分な補償を 達成できません。TO-220パッケージに対応する補償 インダクタンスの代表的な値は、7 nHです。補償さ れたSRシステムを使用した場合のアプリケーション から得られた波形をFigure 44に示します。導通時間 が大幅に長くなり、ターンオフ電流が減少したこと がわかります。



Figure 44. Waveforms SR System Using MOSFET in TO-220 Package with Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time is Optimized

補償システムを使用する価値があるのは、SMT以 外のパッケージに封入された、R_{DS(on)}の小さい MOSFETを使用する場合のみであることに注意して ください。この補償方法では、標準的なTO-220 パッケージを使用している場合に効率を最適化でき ます。また、SMT MOSFETは通常、リフロー半田プ ロセスを必要とし、より高価なPCBも要求されるこ とから、TO-220パッケージを使用するとコストの削 減にもつながります。

これまでの説明とパラメータ表から考えて、ター ンオフ・スレッショルドの精度が非常に重要である ことは明確です。R_{DS(on})が1 mΩであるSR MOSFET を想定すると、CSピンでの誤差電圧が1 mVである場 合は、ターンオフ電流スレッショルドに1 Aの差が生 じます。したがって、SRシステムを実装すると きに、PCBレイアウトが非常に重要な役割を果たし ます。CSのターンオフ・コンパレータと補償入力の 両方が、GNDピンを基準としていることに注意して ください。あらゆる寄生インピーダンス(抵抗性と誘 導性で、それぞれmΩ単位とnH単位の値)が大きな誤 差電圧を発生させる可能性があり、それらはCSコン パレータの入力として評価されます。理想的には、 CSのターンオフ・コンパレータが、SR MOSFETの チャネル抵抗を流れる2次電流によって直接的に生 成された電圧を検出できることが望まれます。実践 的には、ボンディング・ワイヤ、リード端子、半田 付けが存在するので、このような検出は不可能 です。最善の効率という結果を保証するために、 電源回路に対するSRコントローラのケルビン接続 (つまり、GNDピンをSR MOSFETのソース半田付け ポイントに接続し、電流センス・ピンをSR MOSFET のドレイン半田ポイントに接続する)を実装する必要 があります。次に、SRコントローラの機能に対する PCBの寄生素子の効果も回避します。Figure 45およ びFigure 46に、寄生インダクタンスの補償を使用し た(つまり、R_{DS(on)}が小さくTO-220パッケージに封 入されたMOSFETの場合)のSRシステムのレイアウ トと、補償を使用していない(つまり、R_{DS(on)}が大き くTO-220パッケージに封入されたMOSFET、または SMTパッケージに封入されたMOSFETの場合)のSR システムのレイアウトを示します。



Figure 45. Recommended Layout When Parasitic Inductance Compensation is Used

トリガ/ディセーブル入力

NCP4304A/Bは、超高速トリガ入力を採用してお り、トリガのアクティブ化からSR MOSFETのターン オフまでの代表的な遅延時間はわずか10 nsです。 この入力の主要な目的は、CCMモードで動作するア プリケーションで、1次側から到着した信号を通じ てSR MOSFETをターンオフさせること、または1次 側コントローラの信号に応じて直接同期式のSR MOSFETのターンオフとターンオンを実行すること です。TRIG/DIS入力を使用して、NCP4304A/Bの動 作を無効にすることもできます。TRIG/DIS入力が "H"(2.5 V以上)にプルアップされると、ドライバは ただちに無効になります。ただし、DRVの立ち上が



Figure 46. Recommended Layout When Parasitic Inductance Compensation is Not Used

りエッジの最中は、TRIG/DISが120 nsにわたって消 去されるので、このような無効化は発生しません。 トリガ信号が100 µs以上の長さにわたってハイの状 態にとどまる場合は、ドライバはスタンバイ・モー ドに入ります。スタンバイ・モードの間は、ICの消 費電流は100 µA未満に減少します。トリガ電圧が上 昇してスタンバイ・モードを終了する場合は、デバ イスは10 µs後に動作を回復します。消去期間を除 き、TRIG/DIS入力はCS入力より優先されます。 TRIG/DIS信号はSR MOSFETをターンオフします。 またはTRIG/DISがV_{TRIG/DIS}より高い値にプルアップ されている場合は、SR MOSFETのターンオンを無効 にします。



Figure 47. Trigger Input Internal Circuitry

Figure 48に、ドライバのターンオン動作を示しま す。CS (V_{DS})信号が $V_{th_{cs}}$ のスレッショルド以下 であり、TRIG/DISが"L"にプルダウンされている (t1~t3の期間)場合は、SR MOSFETのターンオンを実行できます。

CS (V_{DS})がV_{th_cs_on}のスレッショルドに達し、 TRIG/DISが"H"にプルアップされている場合は、 ドライバは"L"にとどまります(t6とt7の時間マー カ)。TRIG/DISが"L"にプルダウンされ、CS (V_{DS})が引 き続きV_{th_cs_on}のスレッショルド以下である場合 は、DRVはターンオンします(t7マーカ)。 Figure 48内の時間マーカt14とt15は、CS (V_{DS})が V_{th_cs_on}のスレッショルドを上回り、TRIG/DISが"L" にプルダウンされている状況を示します。この状況 では、ドライバは"L"にとどまります(t12~t15のマー カ)。



DRVが信号を設定した後、SR MOSFETのターンオン動作の間に望ましくない挙動が発生することを回避するために、120 nsにわたってTRIG/DIS入力は消去されます。この消去期間を"H"のスレッショルド電圧(2V)と組み合わせると、SR MOSFETのターンオン・プロセスの実行中にTRIG/DIS入力ピンで発生す

る可能性のあるリンギングとスパイクをトリガする ことを防止できます。TRIG/DIS・ピンで発生する短 いニードル・パルスに対するDRVの応答をFigure 49 に示します。この短いパルスによって、DRVは 120 nsにわたってターンオンします。





DRVのターンオン動作中にトリガ消去期間を設定 することの利点は、Figure 50からも明白です。DRV 信号の立ち上がりエッジによって、TRIG/DIS入力に 追加のスパイクが発生する可能性があります。これ らのスパイクが、超高速の高性能トリガ・ロジック と組み合わされることにより、不適切な時期にSR M OSFETのターンオフが発生する恐れがあります。ト リガの消去期間を実装すると、このような状況の回 避に役立ちます。



Figure 50. Trigger Blanking Masked-out Noise in Trigger Signal During Switch-ON Event

Figure 51に、ドライバのターンオフ動作の詳細を 示します。CS (V_{DS})がV_{th_cs_off}のスレッショルド以 下にとどまる場合は、TRIG/DIS信号の立ち上がりエ ッジに従ってドライバはターンオフします。TRIG/ DISは、最小オン時間の期間にもドライバをターン オフできます(Figure 51のt2およびt3時刻マーカ)。

Figure 52に、ドライバのもう1つのターンオフ動作 の詳細を示します。ドライバはCS (V_{DS})信号に従っ て、最小オン時間が経過した後でのみ、ターンオフ します(t2マーカ)。この動作が発生している間に、 TRIG/DIS信号を"L"にする必要があります。TRIG/ DISピンが"L"である間に、最小オン時間による期間 が終了する前にCS (V_{DS})電圧がV_{th_cs_off}のスレッシ ョルドに達した場合は、最小オン時間の期間終了時 に発生する立ち下がりエッジでDRVがターンオフし ます(Figure 52のt4およびt6時刻マーカ)。

Figure 53に、トリガ・ピンを継続的に"L"にプルダ ウンした場合のNCP4304A/Bコントローラの性能を 示します。この状況では、CS (V_{DS})信号に従ってDRV がターンオンおよびターンオフします。ドライバが ターンオフすることができるのは、最小オン時間の 期間が経過した後のみです。CS (V_{DS})がV_{th_cs_on}の スレッショルドに達したときに、ドライバがターン オンします(t1-t2、t5-t6およびt9-t10の各マーカ間)。 CS (V_{DS})信号がV_{th_cs_off}のスレッショルドに達した ときにDRVがターンオフします(t4マーカ)。最小オン 時間の期間が経過する前にCS (V_{DS})がV_{th_cs_off}に達 した場合は、DRVのオン時間は、最小オン時間の期 間終了時に発生する立ち下がりエッジまで延長され ます(t7~t8、t11~t12の各マーカ間)。

Figure 54に、スリープ・モードに入る状況を示します。TRIG/DISが100 µs以上の長さにわたってプルアップされた場合は、NCP4304A/Bは低消費電力モードに入ります。スリープ・モードに入る間、DRVは"L"(無効)にとどまります。

Figure 55に、スリープ・モードへの移行に関する2 番目の状況を示します。つまり、トリガの消去期間中 に、TRIG/DISの立ち上がりエッジが発生する場合で す。

Figure 56に、スリープ・モードに入る状況と、 ウェイクアップ・シーケンスを示します。

Figure 57とFigure 58に、ウェイクアップの状況を 詳細に示します。NCP4304A/Bがスリープ・モード にあるときに、TRIG/DISが"L"にプルダウンされた 場合は、NCP4304A/Bはすべての内部回路を通常の 動作状態に回復するまでに最大10 µsの期間を必要と します。その後、CS (V_{DS})信号の次のサイクルでの みドライバが有効になります。ウェイクアップ時間 の期間中、DRVは"L"にとどまります。



Figure 51. Driver Turn-OFF Events Based on the TRIG/DIS Input



Figure 52. Driver OFF Sequence Chart 2











Figure 55. TRIG/DIS from LOW to HIGH Sequence 2













Figure 59に、V_{DS}(CS)信号の1サイクル内でトリガ 信号のパルスが2回発生した場合のICの挙動を示し ます。V_{DS}電圧がV_{th_cs_on}のスレッショルド電圧以下 なので、TRIG/DISにより、ドライバは時刻t1で有効 になり、DRVはターンオンします。時刻t2で、トリ ガ信号が原因で、DRV出力が立ち下がります。時刻t 2で最小オフ時間ジェネレータがトリガされます。 時刻t3でTRIG/DISは"L"に下降しますが、最小オフ 時間のシーケンスが継続しているので、DRV出力は" L"にとどまります。時刻t4で最小オフ時間シーケン スが経過した時点で、DRVはターンオンします。時 刻

t5でトリガ信号は立ち上がり、CS信号のこのサイク ルは時刻t5で終了します。次のサイクルは時刻t6で 開始されます。トリガによってDRVは有効になり、 V_{DS}はV_{th_cs_on}のスレッショルド以下なので、DRVは 時刻t6でターンオンします。時刻t7でTRIG/DIS信号 はハイ・レベルまで立ち上がり、その結果、DRVは ターンオフし、これによって最小オフ時間ジェネレ ータが開始されます。最小オフ時間の期間は、V_{DS} のサイクル終了までの残り時間より長いので、DRV は無効になります。



Figure 59. IC Behavior when Multiple Trigger Pulses Appear on TRIG/DIS Input

TRIG/DIS入力が超高速入力であり、非常に幅の狭い電圧パルスであっても反応することに注意してください。したがって、この入力を低インピーダンス・パスに接続し、この入力が内部ロジックによって有効になっているときはクリーンなトリガ信号を供給するのが最善です。

NCP4304A/Bドライバを使用したCCMフライバッ ク・コンバータの代表的なアプリケーション回路図 をFigure 60に示します。このアプリケーション では、フライバック・コントローラ・ドライバの出 力からトリガ信号を直接取得し、パルス・トランス TR2を使用して2次側に送信します。TRIG/DIS入力 はエッジに応答するので、1次側ドライバ・パルス 全体を2次側に送信する必要はありません。カップ リング・コンデンサC5は、パルス・トランスのコア をリセットするため、およびNCP4304A/BのTRIG/ DIS入力にニードル・パルス(幅が100 ns未満のパル ス)を送信する準備をするために使用します。ニード ル・トリガ・パルスを使用することの利点は、パル ス・トランスで要求される電圧と時間(秒)の積が非 常に小さく、その結果、設計者が非常に小型かつ安 価な磁気回路を使用できることです。例えば、トリ

ガ・トランスは、直径8 mmの小型トロイダル・フェ ライト・コアで作成できます。1次側と2次側の間で 十分な安全性を持つ絶縁は、両方の巻線に対して三 重絶縁された配線を使用することで容易に保証でき ます。

1次側にあるMOSFETのゲート電圧の立ち上がりエ ッジは、トランジスタQ1とQ2および周辺素子によっ て形成される外部回路により遅延されます。その結 果、1次側のMOSFETはわずかな遅延でターンオ ンし、2次側のコントローラは1次側のスイッチング に先行するトリガ信号により、SR MOSFETをターン オフします。この方法で、整流損失とSR MOSFETの ドレイン電圧のスパイクを減らし、効率を向上させ る結果がもたらされます。

また、1次側と2次側の間で(安全性を高める絶縁の 一環として追加のコンデンサを使用して)容量性結合 を使用してトリガ信号を送信することも可能になり ます。ただし、1次側と2次側の間の寄生容量電流が トリガ信号に影響し、その結果、システム全体の機 能に影響を及ぼす可能性があるので、この技法は推 奨しません。



Figure 60. Typical Application Schematic when NCP4304A/B is Used in CCM Flyback Converter

ton minとtoff minの調整

NCP4304A/Bでは、最小オン時間の期間と最小オ フ時間の期間が調整可能であり、電源内での同期整 流システムの実装が容易です。これらのタイマによ り、MOSFETがターンオンまたはターンオフしたと きのCS入力での誤トリガを回避できます。調整は、 内部のタイミングコンデンサと、GNDピンに接続す る外付け抵抗に基づいています。より明確に理解で きるように、Figure 61を参照してください。



Figure 61. Internal Circuitry of ton_min Generator (toff_min Generator Works in the Same Way)

調整抵抗R_{MIN_TON}を流れる電流は、次のように計 算できます。

$$I_{\text{RMIN}_{\text{TON}}} = \frac{V_{\text{REF}}}{R_{\text{MIN}_{\text{TON}}}}$$
(eq. 4)

内部のタイミングコンデンサ(Ct)の充電に同じ電流 が使用されるので、次の式を使用して、最小オン時 間の持続時間を計算できます。

$$t_{on_min} = C_{t} \cdot \frac{V_{REF}}{I_{RMIN_TON}} = C_{t} \cdot \frac{\frac{V_{REF}}{V_{REF}}}{R_{MIN_TON}}$$
(eq. 5)

 $= \mathbf{C}_t \cdot \mathbf{R}_{\text{MIN}_\text{TON}}$

Equation 5から確認できるように、最小オン時間と 最小オフ時間はV_{REF}レベルやVCCレベルから独立し ています。電流I_{RMIN_TON}を直接使用する場合、内部 コンデンサ・サイズが大きくなり過ぎるので、内部 電流ミラー比でこの電流を減らします。図62および



Figure 62. MIN_TON Adjust Characteristic

最小tonや最小toffに関係する入力がGNDに短絡されたことが原因で生じる可能性のある問題を防止するために、絶対最小tonの持続時間は内部で130 nsにクランプされ、最小toffの持続時間は600 nsにクランプされます。

一部のアプリケーションでは、最小オン時間と最 小オフ時間の消去期間をアダプティブに調整する必 図63の測定値から、最少オン時間と最小オフ時間の ブランキング時間を推定することが出来ます。



Figure 63. MIN_TOFF Adjust Characteristic

要が生じることがあります。NCP4304A/Bでは、 外付けNPNトランジスタを使用して消去期間を変調 することができます。Figure 64を参照してくださ い。変調信号は、負荷電流またはフィードバック・ レギュレータ電圧から導出することができます。





動作周波数範囲が非常に広いLLCアプリケーショ ンでは、必要とされる最大動作周波数を達成するた めに、最小オン時間と最小オフ時間の期間を非常に 短くする必要が生じます。一方、LLCコンバータが 低周波数で動作している場合は、最小オフ時間の期 間が短かすぎることもあります。低いライン電圧と 軽い負荷の条件下で動作するLLCで発生する可能性 のある問題を克服するために、反対側にあるSR MOSFETのドレインから接続する抵抗R_{DRAIN1}と R_{DRAIN2}を使用して、最小オフ時間の消去期間を延 長することができます。Figure 65を参照してください。



Figure 65. Possible Connection for t_{off_min} Prolongation in LLC Application with Wide Operating Frequency Range

R_{DRAIN1}とR_{DRAIN2}は、MIN_TOFF調整ピンに流れ る最大パルス電流が10 mAを下回るように設計する 必要があります。MIN_TOFFとMIN_TONの各ピンの 電圧は、内部ツェナー保護により10 Vにクランプさ れます。

消費電力の計算

SRシステムのMOSFETドライバ内での消費電力を 計算することは重要です。外付けゲート抵抗を使用 せず、MOSFETの内部ゲート抵抗が非常に小さい場 合は、ゲート充電に関連するほぼすべてのエネルギ ー損失がドライバ内で消費されることになります。 したがって、温度超過を防止し、効率を最適化する ために、ターゲット・アプリケーション内でのSRド ライバの電力損失を確認することが重要です。

SRシステム内では、V_{th_cs_on}のスレッショルド・ レベルが0 V以下であることが原因で、ターンオンよ り前にSR MOSFETのボディ・ダイオードが導通を開 始します。一方、SR MOSFETのターンオフ・プロセ スは必ず、ドレイン-ソース間電圧が十分上昇する より前に開始されます。したがって、同期整流シス テム内に実装する場合は、MOSFETスイッチは常に ゼロ電圧スイッチング(ZVS)条件下で動作します。

以下のステップで、NCP4304A/Bコントローラの消 費電力とダイ温度を近似計算する方法を示します。 熱抵抗に対するPCBレイアウトの効果が原因で、 実際の結果が大きく変化する可能性があることに注 意してください。

ステップ1 – MOSFETのゲート – ソース間容量:

ZVS動作中は、ゲート-ドレイン間容量には、ハード・スイッチング方式のようなミラー効果が存在しません。ドレイン-ソース間電圧が0に近く、その変化は無視できる範囲だからです。



Figure 66. Typical MOSFET Capacitance Dependency on V_{DS} and V_{GS} Voltage

したがって、ZVSモードで動作しているMOSFET の入力容量は、ゲート-ソース間容量とゲート-ドレ イン間容量の並列結合で求められます(つまり、特定 のゲート-ソース電圧に対してCissの容量)。市場で入 手できるほとんどのMOSFETの合計ゲート電荷 Qg totalは、ハード・スイッチング方式を想定して定 義されています。SRシステムで駆動損失を正確に計 算するには、ZVSシステム特有の動作に対応する MOSFETのゲート電荷を判定する必要があります。 いくつかのメーカはこのパラメータをQg zvsとして 定義しています。残念ながら、ほとんどのデータシ ートではこのデータが規定されていません。Ciss (またはQg ZVS)パラメータが入手できない場合は、 測定する必要があります。(Figure 66に示すように) 入力容量が線形でないこと、および特定のゲート電 圧クランプ・レベルに対して特性化する必要がある ことに注意してください。

ステップ2 – ゲート駆動損失の計算:

ゲート駆動損失は、ゲート・ドライバ・クランプ 電圧の影響を受けます。ゲート・ドライバ・クラン プ電圧の選択は、使用するMOSFETのタイプ(スレッ ショルド電圧とチャネル抵抗のどちらを重視するか) によって異なります。ゲート・ドライバ・クランプ 電圧を選択するときに、合計電力損失(駆動損失と導 通損失)を考慮する必要があります。SRシステムを 対象とする現在のMOSFETのほとんどは、5 VのVGS 電圧での動作時に小さいRDS(on)を達成している ので、ドライバのBバージョンを使用するのが有用 です。ただし、市場には依然として高いゲート-ソ ース間電圧を必要とする大きなMOSFETグループが 存在しています。この場合は、Aバージョンを使用 する必要があります。 選択したゲート・ドライバ・クランプ電圧と、 MOSFETの入力容量を使用して、合計駆動損失を計 算できます。

$$\mathsf{P}_{\mathsf{DRV}_\mathsf{total}} = \mathsf{V}_{\mathsf{CC}} \cdot \mathsf{V}_{\mathsf{clamp}} \cdot \mathsf{C}_{\mathsf{g}_\mathsf{ZVS}} \cdot f_{\mathsf{SW}} \quad (\mathsf{eq. 6})$$

ここで、

V _{CC}	は電源電圧
V _{clamp}	はドライバのクランプ電圧
C _{g ZVS}	はゲート–ソース間容量で、
0=	MOSFETがZVSモードにあることが前提
f _{sw}	はターゲット・アプリケーションのスイ
	ッチング周波数

合計駆動電力損失は、IC内のみではなく、外付け ゲート抵抗のような外付け抵抗(使用している場合) や、MOSFETの内部ゲート抵抗でも消費されます (Figure 67を参照)。NCP4304A/Bはクランプされたド ライバを採用しているので、ハイサイド部分は、等 価抵抗と直列電圧源を持つ通常のドライバ・スイッ チとしてモデル化することができます。ローサイド ・ドライバ・スイッチの抵抗は、ターンオフ時にた だちに減少することはないので、計算するには等価 値(Rdrv_low_eq)を使用する必要があります。この方法 により、電力損失の計算を簡略化すると同時に、受け 入れ可能な制度を達成できます。その後、Equation 7を 使用して内部ドライバの消費電力を計算できます。



Figure 67. Equivalent Schematic of Gate Drive Circuitry

$$P_{DRV_IC} = \frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}^{2} \cdot f_{SW} \cdot \left(\frac{R_{drv_low_eq}}{R_{drv_low_eq} + R_{g_ext} + R_{g_int}}\right) + C_{g_ZVS} \cdot V_{clamp} \cdot f_{SW} \cdot \left(V_{CC} - V_{clamp}\right)$$

$$(eq. 7)$$

$$+ \frac{1}{2} \cdot C_{derv_iv} \cdot V_{derv_iv} \cdot \left(\frac{R_{drv_high_eq}}{R_{drv_high_eq}}\right)$$

$$+\frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}^2 \cdot f_{SW} \cdot \left(\frac{R_{drv_high_eq}}{R_{drv_high_eq} + R_{g_ext} + R_{g_int}}\right)$$

ここで、

 $R_{drv_low_eq}$ はドライバのローサイド・スイッチ等 価抵抗(1.55 Ω) $R_{drv_high_eq}$ はドライバのハイサイド・スイッチ等 価抵抗(7 Ω) R_{g_ext} は外付けゲート抵抗(使用する場合)

Rg_int はMOSFETの内部ゲート抵抗

ステップ3-ICの消費電力の計算:

このステップでは、ICの内部消費に関連する電力 損失を計算します。この電力損失は、電流I_{CC}とICの 電源電圧によって求めることができます。電流I_{CC}は スイッチング周波数に依存し、選択したt_{on_min}期間 とt_{off_min}期間にも依存します。MIN_TONピンと MIN_TOFFピンから流れ出る電流も存在するからで す。これらの損失を計算する最も精度の高い方法 は、C_{DRV}=0nFに設定し、ICをターゲット周波数で スイッチングし、t_{on_min}とt_{off_min}に特定の抵抗を接 続して電流I_{CC}を測定することです。ドライバに負荷 を接続していないときのICの代表的な消費電力を示 すグラフについては、Figure 68を参照してくださ い。ICの消費による損失は、次のように計算できま す。

$$\mathsf{P}_{\mathsf{ICC}} = \mathsf{V}_{\mathsf{CC}} \cdot \mathsf{I}_{\mathsf{CC}} \tag{eq. 8}$$

ステップ4 – ICのダイ温度上昇の計算

合計内部電力損失(ドライバ損失とICの内部消費損 失の和)が決まったので、ダイの温度を計算できます。 SO-8パッケージの熱抵抗は35 µmの薄い銅配線パタ ーンに配置し、どのピンにも追加の銅製プレートを 実装していない条件(つまり、標準的な半田付けポイ ントを使用して各ピンに0.5 mmの配線のみを接続)で 規定されています。ダイ温度は次のように計算しま す。

$$\mathbf{T}_{\mathsf{DIE}} = \left(\mathbf{P}_{\mathsf{DRV}_{\mathsf{IC}}} + \mathbf{P}_{\mathsf{ICC}} \right) \cdot \mathbf{R}_{\theta \mathsf{JA}} + \mathbf{T}_{\mathsf{A}} \qquad (\mathsf{eq. 9})$$

ここで、

www.onsemi.jp 29



Figure 68. IC Power Consumption as a Function of Frequency for C_{DRV} = 0 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 $k\Omega$



Figure 69. IC Power Consumption as a Function of Frequency for C_{DRV} = 1 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 $k\Omega$



Figure 70. IC Power Consumption as a Function of Frequency for C_{DRV} = 10 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 $k\Omega$





details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98AON15232D	Electronic versions are uncontrolled except when accessed directly from the Document Report Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.		
DESCRIPTION:	DFN8, 4X4, 0.8P		PAGE 1 OF 1	
ON Semiconductor and 🔟 are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding				

ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemí



*For additional information on our Pb–Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repositor Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.		
DESCRIPTION:	SOIC-8 NB		PAGE 1 OF 2	
onsemi and ONSEMi are trademat the right to make changes without furth purpose, nor does onsemi assume an special, consequential or incidental da	rks of Semiconductor Components Industries, er notice to any products herein. onsemi make ny liability arising out of the application or use amages. onsemi does not convey any license	LLC dba onsemi or its subsidiaries in the United States and/or other courses no warranty, representation or guarantee regarding the suitability of its proof any product or circuit, and specifically disclaims any and all liability, incle under its patent rights nor the rights of others.	ntries. onsemi reserves oducts for any particular luding without limitation	

SOIC-8 NB CASE 751-07 **ISSUE AK**

STYLE 1: PIN 1. EMITTER COLLECTOR 2. 3. COLLECTOR 4. EMITTER 5. EMITTER BASE 6. 7 BASE EMITTER 8. STYLE 5: PIN 1. DRAIN 2. DRAIN 3. DRAIN DRAIN 4. GATE 5. 6. GATE SOURCE 7. 8. SOURCE STYLE 9: PIN 1. EMITTER, COMMON COLLECTOR, DIE #1 COLLECTOR, DIE #2 2. З. EMITTER, COMMON 4. 5. EMITTER, COMMON 6 BASE. DIE #2 BASE, DIE #1 7. 8. EMITTER, COMMON STYLE 13: PIN 1. N.C. 2. SOURCE 3 GATE 4. 5. DRAIN 6. DRAIN DRAIN 7. DRAIN 8. STYLE 17: PIN 1. VCC 2. V2OUT V10UT З. TXE 4. 5. RXE 6. VFF 7. GND 8. ACC STYLE 21: PIN 1. CATHODE 1 2. CATHODE 2 3 CATHODE 3 CATHODE 4 4. 5. CATHODE 5 6. COMMON ANODE COMMON ANODE 7. 8. CATHODE 6 STYLE 25: PIN 1. VIN 2 N/C REXT З. 4. GND 5. IOUT IOUT 6. IOUT 7. 8. IOUT STYLE 29: BASE, DIE #1 PIN 1. 2 EMITTER, #1 BASE, #2 З. EMITTER, #2 4. 5 COLLECTOR, #2 COLLECTOR, #2 6.

STYLE 2: PIN 1. COLLECTOR, DIE, #1 2. COLLECTOR, #1 COLLECTOR, #2 3. 4 COLLECTOR, #2 BASE, #2 5. EMITTER, #2 6. 7 BASE #1 EMITTER, #1 8. STYLE 6: PIN 1. SOURCE 2. DRAIN 3. DRAIN SOURCE 4. SOURCE 5. 6. GATE GATE 7. 8. SOURCE STYLE 10: GROUND PIN 1. BIAS 1 OUTPUT 2. З. GROUND 4. 5. GROUND 6 BIAS 2 INPUT 7. 8. GROUND STYLE 14: PIN 1. N-SOURCE 2. N-GATE 3 P-SOURCE P-GATE 4. P-DRAIN 5 6. P-DRAIN N-DRAIN 7. N-DRAIN 8. STYLE 18: PIN 1. ANODE ANODE 2. SOURCE 3. GATE 4. 5. DRAIN 6 DRAIN CATHODE 7. CATHODE 8. STYLE 22 PIN 1. I/O LINE 1 2. COMMON CATHODE/VCC 3 COMMON CATHODE/VCC 4. I/O LINE 3 COMMON ANODE/GND 5. 6. I/O LINE 4 7. I/O LINE 5 8. COMMON ANODE/GND STYLE 26: PIN 1. GND 2 dv/dt З. ENABLE 4. ILIMIT 5. SOURCE SOURCE 6. SOURCE 7. 8. VCC STYLE 30: DRAIN 1 PIN 1. DRAIN 1 2 GATE 2 З. SOURCE 2 4 SOURCE 1/DRAIN 2 SOURCE 1/DRAIN 2 5.

6.

7.

8 GATE 1

SOURCE 1/DRAIN 2

STYLE 3: PIN 1. DRAIN, DIE #1 DRAIN, #1 2. DRAIN, #2 З. DRAIN, #2 4. GATE, #2 5. SOURCE, #2 6. 7 GATE #1 8. SOURCE, #1 STYLE 7: PIN 1. INPUT 2. EXTERNAL BYPASS THIRD STAGE SOURCE GROUND З. 4. 5. DRAIN 6. GATE 3 SECOND STAGE Vd 7. FIRST STAGE Vd 8. STYLE 11: PIN 1. SOURCE 1 GATE 1 SOURCE 2 2. З. GATE 2 4. 5. DRAIN 2 6. DRAIN 2 DRAIN 1 7. 8. DRAIN 1 STYLE 15: PIN 1. ANODE 1 2. ANODE 1 ANODE 1 3 ANODE 1 4. 5. CATHODE, COMMON CATHODE, COMMON CATHODE, COMMON 6. 7. CATHODE, COMMON 8. STYLE 19: PIN 1. SOURCE 1 GATE 1 SOURCE 2 2. 3. GATE 2 4. 5. DRAIN 2 6. MIRROR 2 7. DRAIN 1 MIRROR 1 8. STYLE 23: PIN 1. LINE 1 IN COMMON ANODE/GND COMMON ANODE/GND 2. 3 LINE 2 IN 4. LINE 2 OUT 5. COMMON ANODE/GND COMMON ANODE/GND 6. 7. 8. LINE 1 OUT STYLE 27: PIN 1. ILIMIT OVI O 2 UVLO З. 4. INPUT+ 5. 6. SOURCE SOURCE SOURCE 7. 8 DRAIN

DATE 16 FEB 2011

STYLE 4: PIN 1. 2. ANODE ANODE ANODE З. 4. ANODE ANODE 5. 6. ANODE 7 ANODE COMMON CATHODE 8. STYLE 8: PIN 1. COLLECTOR, DIE #1 2. BASE, #1 З. BASE #2 COLLECTOR, #2 4. COLLECTOR, #2 5. 6. EMITTER, #2 EMITTER, #1 7. 8. COLLECTOR, #1 STYLE 12: PIN 1. SOURCE SOURCE 2. 3. GATE 4. 5. DRAIN 6 DRAIN DRAIN 7. 8. DRAIN STYLE 16 EMITTER, DIE #1 PIN 1. 2. BASE, DIE #1 EMITTER, DIE #2 3 BASE, DIE #2 4. 5. COLLECTOR, DIE #2 6. COLLECTOR, DIE #2 COLLECTOR, DIE #1 7. COLLECTOR, DIE #1 8. STYLE 20: PIN 1. SOURCE (N) GATE (N) SOURCE (P) 2. 3. 4. GATE (P) 5. DRAIN 6. DRAIN DRAIN 7. 8. DRAIN STYLE 24: PIN 1. BASE EMITTER 2. 3 COLLECTOR/ANODE COLLECTOR/ANODE 4. 5. CATHODE 6. CATHODE COLLECTOR/ANODE 7. 8. COLLECTOR/ANODE STYLE 28: PIN 1. SW_TO_GND 2. DASIC OFF DASIC_SW_DET З. 4. GND 5. 6. V MON VBULK 7. VBULK 8 VIN

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Report Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.		
DESCRIPTION:	SOIC-8 NB		PAGE 2 OF 2	

onsem and of isor in are trademarks or semiconductor compension instructions, the do onsem or its subsidiaries in the oniced states and/or outrof countries, onsemi reserves the right to make changes without further notice to any products herein, onsemi makers on warranky, representation or guarantee regarding the suitability of countries, for any particular index on the right to make changes without further notice to any products herein, onsemi makers on warranky, representation or guarantee regarding the suitability of countries. purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

7.

8

COLLECTOR, #1

COLLECTOR, #1

onsemi, ONSEMI, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "onsemi" or its affiliates and/or subsidiaries in the United States and/or other countries. onsemi owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of onsemi's product/patent coverage may be accessed at <u>www.onsemi.com/site/pdf/Patent-Marking.pdf</u>. onsemi reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and onsemi makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or indental damages. Buyer is responsible for its products and applications using onsemi products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by onsemi. "Typical" parameters which may be provided in onsemi data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. onsemi does not convey any license under any of its intellectual property rights nor the rights of others. onsemi products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification. Buyer shall indemnify and hold onsemi and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs,

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation onsemi Website: www.onsemi.com

ONLINE SUPPORT: <u>www.onsemi.com/support</u> For additional information, please contact your local Sales Representative at <u>www.onsemi.com/support/sales</u>