

## 自動車向けリニア・レギュレータのEMC試験とPCBのガイドライン



ON Semiconductor®

[www.onsemi.jp](http://www.onsemi.jp)

### APPLICATION NOTE

#### はじめに

電磁両立性(EMC)は、電子デバイスの機能と安全性にとって重要です。現在の設計者は、着実に上昇するシステム周波数、変化を続ける電力制限、より複雑になるシステムで要求される高密度レイアウト、常に存在する製造コスト低減ニーズに対処する必要があります。したがって、EMCの最適化が必要です。

リニア・レギュレータは、自動車アプリケーションにおける主要デバイスの1つであるマイクロコントローラを含む、数種類の負荷に電力を供給します。

この資料では、EMCに焦点を当て、自動車関連の基礎的な知識、ICレベルでの試験方法、オン・セミコンダクターの標準について説明します。また、あらゆるボード効果や外部結合を防止するために、PCBに関するガイドラインも掲載しています。

#### EMCの定義

電磁両立性(EMC)とは、機器内にある各部品が通常の環境で正常に動作する能力、および他の機器に干渉するおそれのある電氣的妨害を生成しない能力を意味します。

電磁感受性(EMS)とは、電磁場や伝導型の電氣的ノイズのような電氣的妨害に対する耐性レベルを意味します。

電磁干渉(EMI)とは、機器によって生成される伝導型または放射型の電氣的ノイズのレベルを意味します。

各種標準は、あらゆる種類のアプリケーション分野を対象にして、EMSまたはEMIの問題に取り組んでいます。これらの標準は完成した機器に適用されます。

EMC性能の観点でアプリケーションを評価および最適化するために、サブシステムに対してEMC試験を実施する必要があります。2003年以降はICレベルのEMC試験に関連する標準も存在しています。2つの標準が一般に使用されています。EMSを対象にしたIEC62132-4 (Direct Power Injection or DPI)(直接的な電力注入)、およびIEC61967-4 (1 Ω/150 Ω method) (1 Ω/15 Ω方式)です。

#### ノイズの定義

強力な電磁場の発生源が新しく登場し、増加している現状では、無線周波数の干渉に対する感受性が主要な懸念になりつつあります。静電気放電、ライン電圧の過渡的变化、大電流と高電圧のスイッチング、無線周波数(RF)の生成源は、電磁干渉の発生源のいくつかの例にすぎません。EMIは、電磁波、導通、誘導性/容量性結合によって転送される可能性があります。

#### リニア・レギュレータのアーキテクチャ

スイッチング・レギュレータより出力ノイズ生成が少ないため、多くの場合はリニア・アプローチが考慮されます。

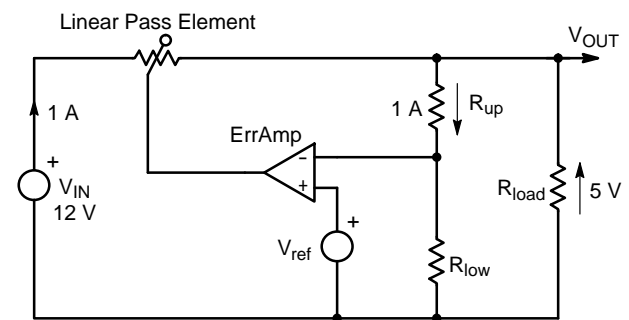


Figure 1. Linear Power Supply

ただし、リニア・アプローチの制限の1つとして効率を上げることができます。

本質的にはリニア・レギュレータはノイズやEMC妨害を生成しませんが、マイクロコントローラ、SMPSつまりスイッチング電源、ロジック回路のような他のコンポーネントによって生成されたノイズの影響を受ける可能性があります。

IECの標準に従い、Direct Power Injection method (直接的な電力注入法)(IEC62132-4)を使用してリニア・レギュレータの試験を実施します。

#### 直接的な電力注入

Figure 2に示すように、デカップリング・ブロックを経由して、RF妨害(150 kHz~1 GHzの正弦波によるCW(連続波))、またはAM(振幅変調、1 kHz、80%)を、試験対象の部品のピンに注入します。DCブロックは、コンデンサによって認識されます。RF妨害は、順方向電力と反射電力を測定する形で、方向性カプラを使用してモニタします。

連続波は、安定状態の条件下で、連続した発振が同一形状であることを意味します。振幅変調(AM)とは、情報を含む別の波形の変化に基づいて、連続した高周波波形つまり搬送波の振幅を変化させるプロセスのことです。

振幅変調が適用されるとき基本的な要件は、変調後のピーク電力が変調インデックスmの値に関係なく、連続波形を印加したときのピーク電力と等しいことです。

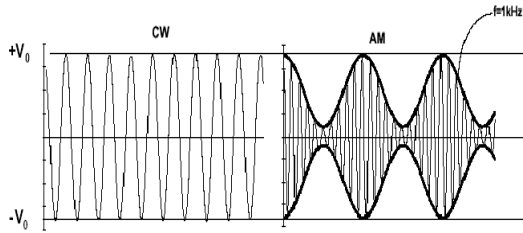
$$P_{AM-peak} = P_{CW-peak}$$

および

$$P_{AM} = P_{CW} \frac{2 + m^2}{2(1 + m^2)}$$

例えば、80%の振幅変調、1 kHzの搬送波周波数 (m = 0.8)の条件では、次の結果になります。

$$P_{AM} = 0.407 \cdot P_{CW}$$



順方向電力は、DUTによって逆方向に反射されたRF電力を考慮しない、RF生成源からDUTに向かって送信される電力量です。

反射効果を低減するために、セットアップは50 Ωケーブルと50 Ωのインピーダンス整合したプリント基板の配線を使用して構築されており、その結果RF生成源からDUTに至る注入経路のほぼ全体が50 Ωのインピーダンスになっています。ただし、DUTのインピーダンスは周波数に大きく依存するので、反射効果と共振効果が発生します。コンデンサの直前にアッテネータ(3 dB)を挿入し、ケーブル効果に起因する誤差を防止します。

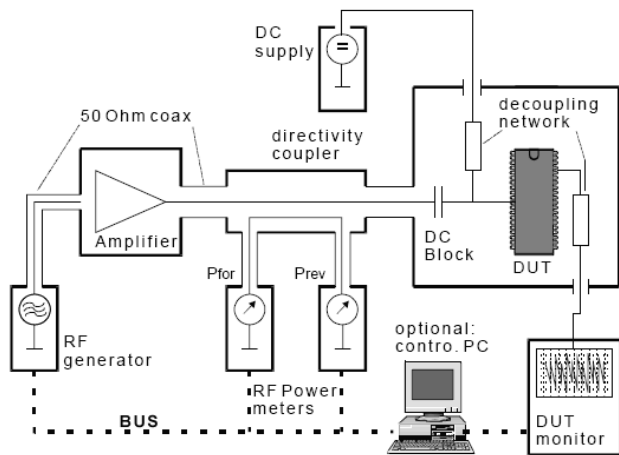


Figure 2. DPI Set Up

次のアルゴリズムを使用して、DPI方式で部品の試験を実施します。

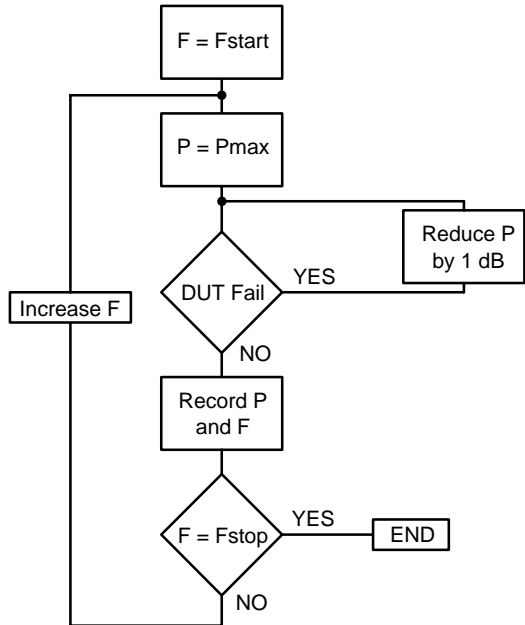


Figure 3. DPI Flowchart

周波数ステップごとに、電力を規定電力上限値に設定します。その電力でデバイスが不合格であった場合は、DUTが正しい性能を示すまで1 dBmステップで電力を低減します。

**リニア・レギュレータをDPI方式で試験する**

通常の上限は、グローバル・ピンの場合は1 W (30 dBm、順方向電力CW)、ローカル・ピンの場合は17 dBm、順方向電力CWです。グローバル・ピンはアプリケーション・ボードに入出力される信号や電力を伝搬します。ローカル・ピンはアプリケーション・ボードから外に出ない信号や電力を伝搬します。つまり、信号は2つの部品間で伝搬されるものとしてアプリケーション・ボード内にとどまります。リニア・レギュレータでは、入力ピンと出力ピンはグローバル・ピンとみなされ、30 dBmの適合上限で試験されます。一部のリニア・レギュレータには、リセットや遅延回路などの追加機能もあります。この場合、関連するピンはローカル・ピンとみなされ、17 dBmの適合上限で試験されます。

通常の不合格条件は出力電圧です。追加機能を備えたリニア・レギュレータでは、他のピンもモニタし、それぞれのピンの正しい状態(ロジック・ピンの場合)を維持する必要があります。

Method:	DPI according to IEC 62132-4
Frequency range:	1MHz to 1GHz
Frequency increment:	5%
Increment duration:	1 s
Frequency modulation:	None (continuous wave)
RF Calibration method:	Substitution
Power compliance limit:	33dBm for global pin 17dBm for local pin
Power step size:	1dBm
Device pins injected:	VIN; RESET; VOUT
Device pins monitored:	VOUT; RESET
Load resistance:	100 ohms
DC input voltage:	12V
Acceptance criteria:	Output voltage within 4% of nominal value Digital outputs remain in correct state +1V

Figure 4. Typical Test Conditions

**PCBに関する一般的な規則**

すべての部品は適切な機能グループ内に配置し、部品への配線は規定PCB領域内に収まる必要があります。PCB上の機能グループに対する推奨配置をFigure 8に示します。

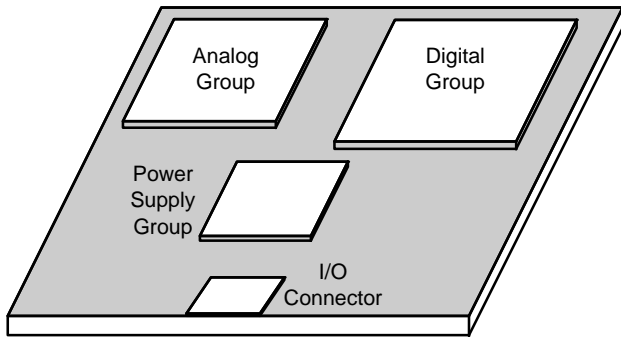


Figure 5. Arrangement of Functional Groups on PCB

すべての部品の下、およびそれらに関する配線の下にグラウンド・プレーンを配置します。回避領域のない連続したグラウンド・プレーンが推奨されます。

- 1層全体をグラウンドとして使用すると、良好なグラウンド・プレーンを実現できます
- グラウンド・プレーン上に信号ラインを取り回す目的でグラウンド・プレーンを分割しないでください
- PCBで長さ/幅の比率を5未満に維持してください (5を上回る比率にすると、グラウンド・プレーンのインダクタンスが増加する)

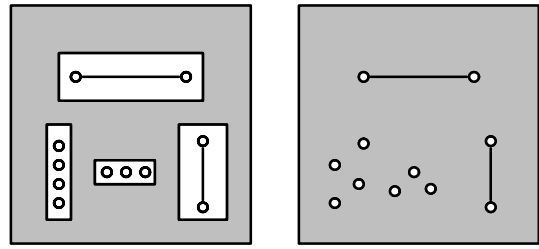


Figure 6. Maximizing Ground on PCB

**グラウンドへの接続**

- 各コンポーネントをプレーンに直接接続します
- 部品のグラウンド接続用ピンは、トレース経由ではなくビアを使用してグラウンド・プレーンに接続してください
- グラウンドへの接続は、0.5 mm (20 mils)より短くする必要があります

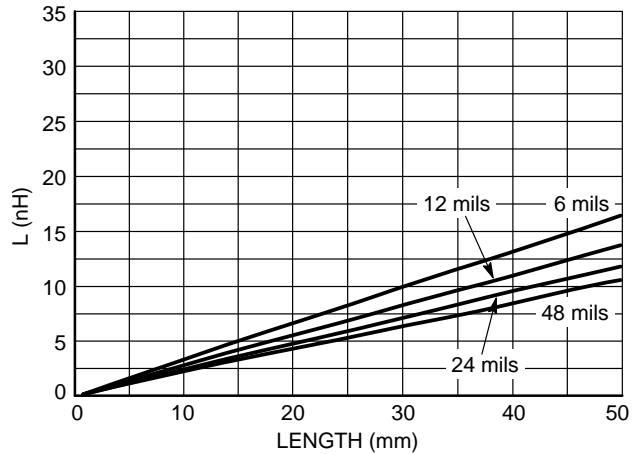


Figure 7. Inductance and Capacitance Values of a Strip Line Above a Ground Plane

トレース幅は、部分寄生インダクタンスを低減するために、20 mils前後でなければなりません。

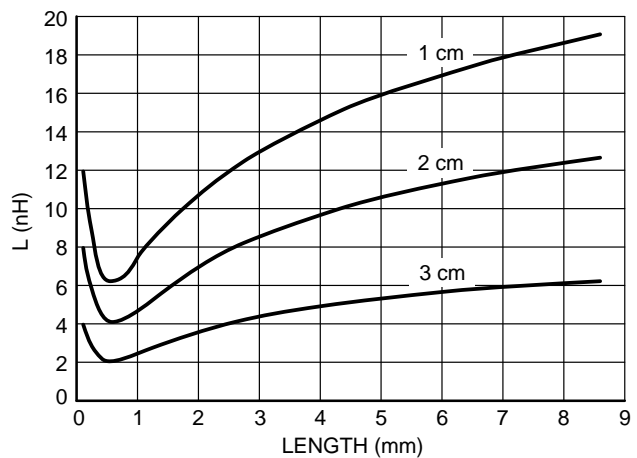


Figure 8. Effect of the Trace's Width on Parasitic Inductance

リニア・レギュレータに関する具体的なガイドライン

電源はPCBの電力入力ポイントのできるだけ近く、また電力供給を受ける回路のできるだけ近くに配置します。局所的な電力分配システムに電源を接続するときに、互いに近接した短い配線を使用します(導電体と導電体の間を狭くしてインダクタンスを小さくするため)。

電力供給ラインは常に、PCBへのエントリ・ポイントでデカップリングする必要があります。

バルク・コンデンサには常に、低ESL(等価直列インダクタンス)の小容量の高周波コンデンサを1個以上並列に配置してデカップリングします。デカップリング対象デバイスのできるだけ近くに、最小容量のデカップリング・コンデンサを配置します。

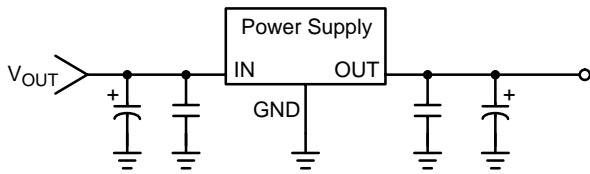


Figure 9. Power System

各電源ピンにはICデカップリングのために、高周波、低インダクタンスのセラミック・コンデンサを使用します。最大15 MHzの周波数範囲には0.1  $\mu\text{F}$ 、15 MHzを上回る場合は0.01  $\mu\text{F}$ を使用します。デカップリング・コンデンサは、ICの電源ピンに物理的にできるだけ近い位置に配置する必要があります。

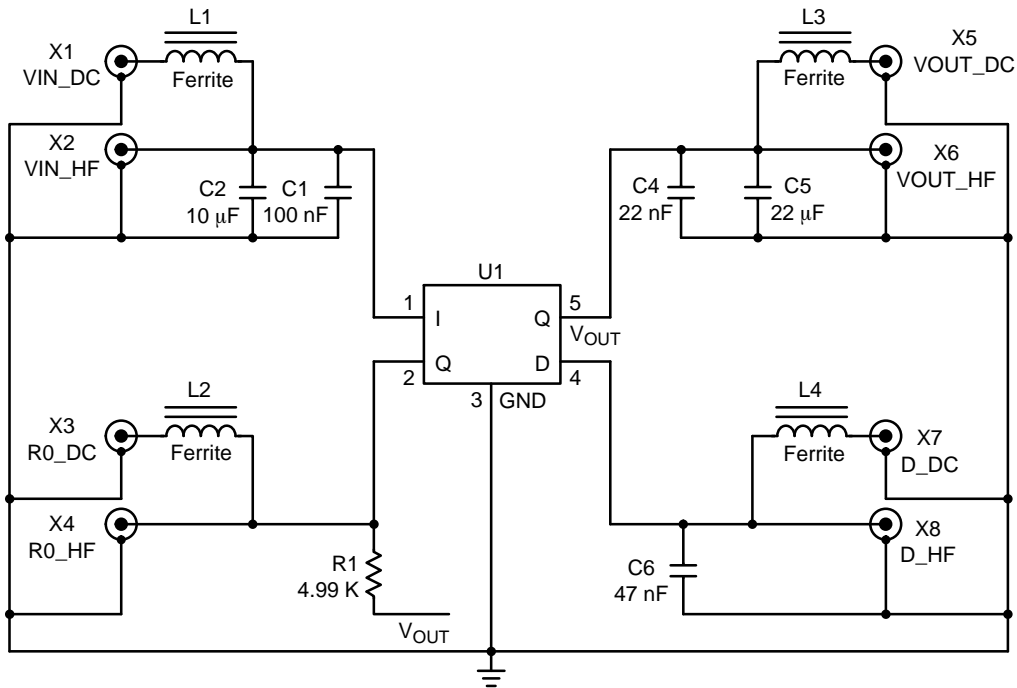


Figure 11. Board Schematic

プリント基板のトレースのうち、高速立ち上がり/立ち下がり時間(5~10 ns)で大きいスイッチング電流を伝達するものは、それらの配線と並列に配置されている他の信号トレースから少なくとも3 mmの距離を維持し、またそれらのトレース間にグラウンド・ガード・トレースを配置する必要があります。

対応する電源信号とグラウンド信号は常に、並列に取り回すようにします。これはループ面積を小さくして、ループ・インピーダンスを低減するためです(Figure 10)。

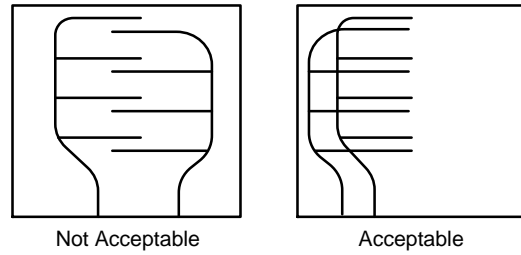


Figure 10. PS Routing

レイアウト例

2枚のボードを製作しました。最初のボードは上述したEMC設計ガイドラインに従っています。2枚目のボードは、EMC規則を考慮していない、代表的なアプリケーション・ボードです。リセット機能を備えたリニア・レギュレータをDPI方式で試験しました。

ボード回路図には、入力ピンと出力ピンにタンタル・コンデンサを配置しています。2個の小容量セラミック・コンデンサも追加しました。

Figure 4に、この例で使用した不合格条件を示します。出力電圧で4%の変動とロジック出力ピンであるリセット・ピンで2 Vの変動は許容可能とみなされています。

適切なEMCテスト用ボード

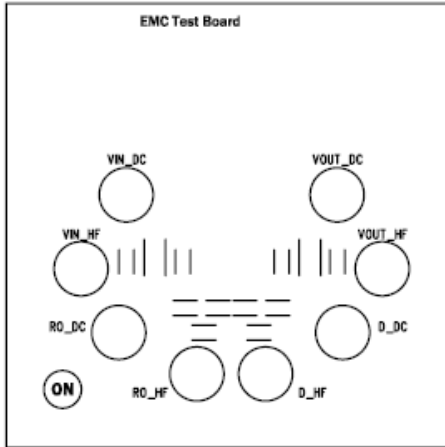


Figure 12. Assembly Top Good Layout

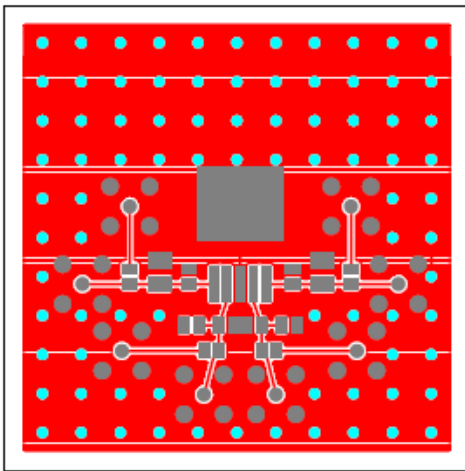


Figure 13. Top Layer EMC Layout

短い接続で20 mils (0.5 mm)のトレース幅を使用しました。DUTの入力および出力コンデンサは、DUTピンのできるだけ近くに配置します。これは1層のグラウンド・プレーンを含む4層基板です。

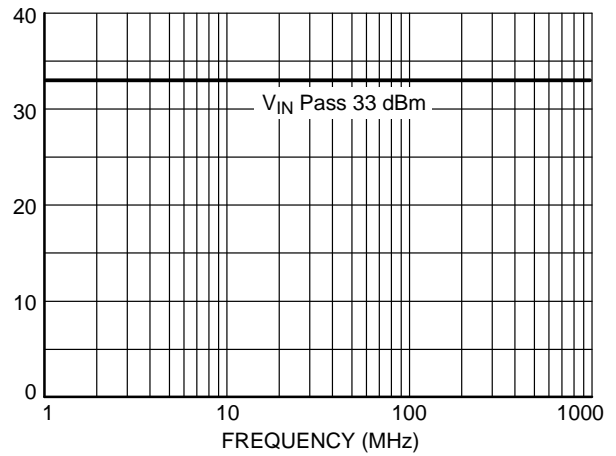


Figure 14. DPI on  $V_{IN}$  Pin

このデバイスは、Resetピンと $V_{OUT}$ ピンをモニタした状態で、 $V_{IN}$ ピンへの33 dBm注入に合格しました。

EMC規則を考慮しないPCB

2枚目のPCBはデモ・ボードです。上記と同じ部品を異なるレイアウトで使用しました。

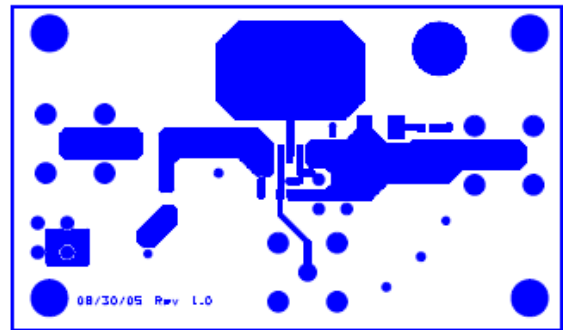
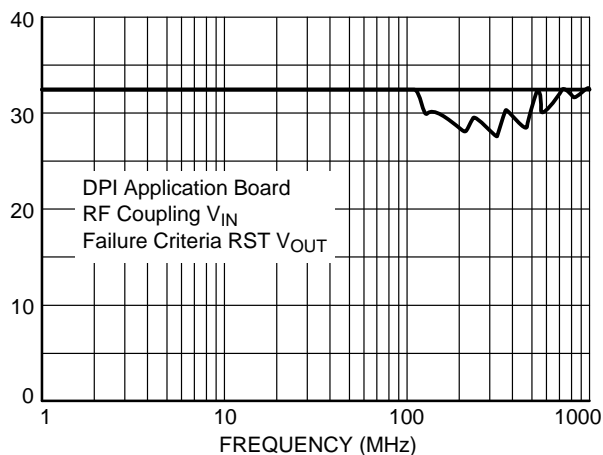
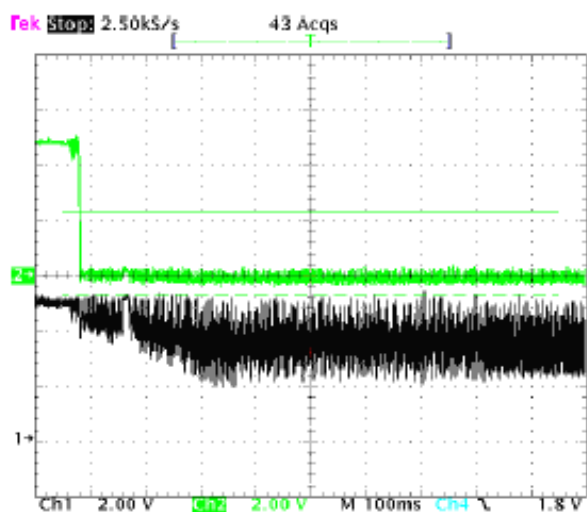


Figure 15. Top Layer Typ Layout

デモ・ボードは、1層のグラウンド・プレーンを含む2層基板です。トレース幅は20 mils (0.5 mm)を上回っており、寄生インダクタンスが増加します。コンデンサからDUTのピンまでの距離は1 cm以上です。このレイアウトは電源ガイドラインに従っていません。

Figure 16. DPI on  $V_{IN}$  Pin

同じ試験条件では、デバイスは周波数範囲全域で 33 dBm の電力上限に適合しません。100 MHz~1 GHz でいくつかの問題が発生しました。下限は 205 MHz で約 25 dBm です。RF 信号によって出力信号が乱れ、リセットが行われました。

Figure 17.  $V_{OUT}$  and Reset Errors

33 dBm は 2 W 注入、25 dBm は 0.3 W 注入に相当します。同じ部品表で大きな性能差になります。

### 結論

「はじめに」で説明したように、EMC は部品の感受性と電磁波放射を考慮に入れます。システム・レベルで EMC の改善を達成するもう 1 つの方法として、PCB 接続に起因する結合経路も考慮する必要があります。

当然ながら、部品に妨害をもたらすには、EMI がトレースに到達する必要があります。このことは、導電体のループや、長く大きい導電体表面が EMI の影響を受けやすいため、PCB が EMC 改善の主題であることを意味します。

EMC 規則に従うと、設計コストの低減と市場投入時間の短縮を図ると同時に、設計の信頼性と性能を向上させることができます。

### 参考文献

- [1] S. Ben Dhia, M. Ramdani, E. Sicard, "Electromagnetic Compatibility of Integrated Circuits", Springer 2006
- [2] A. E. Ruehli, "Inductance calculation on a complex integrated circuit environment", IBM Journal, 1972, p470-481.
- [3] M. Gondon "Parasitics elements associated to the printed circuits board tracks", ON Semiconductor 2006
- [4] IEC 62132, 2003, "Characterization of integrated circuits electromagnetic immunity", IEC standard; [www.iec.ch](http://www.iec.ch)
- [5] M Montrose, "Printed Circuit Board Design Techniques for EMC Compliance", 1996 IEEE Press

ON Semiconductor 及び ON のロゴは Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLC は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的所有権に対する権利を保有します。SCILLC の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。 [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLC は通告なしで、本書記載の製品の変更を行うことがあります。SCILLC は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLC データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLC は、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC 製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC 製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に SCILLC 製品を購入または使用した場合、たとえ、SCILLC がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLC とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLC は雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
Email: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

N. American Technical Support: 800-282-9855 Toll Free  
USA/Canada  
Europe, Middle East and Africa Technical Support:  
Phone: 421 33 790 2910  
Japan Customer Focus Center  
Phone: 81-3-5817-1050

ON Semiconductor Website: [www.onsemi.com](http://www.onsemi.com)

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative