



ON Semiconductor®

<http://onsemi.com>

APPLICATION NOTE

NCP1611を使用したコンパクトかつ高効率のPFCステージを設計するための5つの主要ステップ

この文書ではNCP1611で駆動する不連続導通モードPFCステージを迅速に設計するための主要ステップについて説明します。このプロセスは実用的な160 Wの汎用電源アプリケーションで説明しています。

- 最大出力電力：160 W
- RMSライン電圧範囲：90 V~265 V
- 安定化出力電圧：390 V
- ライン電流が450 mA未満のときの周波数フォールドバック

はじめに

SO-8パッケージに内蔵されたNCP1611は、全負荷範囲にわたりPFCステージの効率を最適化する設計になっています。過酷な動作のための保護機構を内蔵しており、コスト効果、信頼性、低スタンバイ電力、および高効率が主な要件であるシステムに最適です。

- **電流制御周波数フォールドバック(CCFB)**：回路は瞬時ライン電流が中程度または高い場合に、臨界Cr導通モードM(CrM)で動作します。この電流がプリセット値よりも低いとき、周波数は約20 kHzまで直線的に低下します。CCFBは定格負荷と軽負荷の両方での効率を最大化します(注1)。具体的には、スタンバイ損失が最小になります。
- **スキップ・モード**：効率をさらに最適化するため、回路はパワー伝達の効果のないゼロ交差するライン付近のサイクルをスキップします。高い力率が必要な場合、最小電圧0.75-Vを強制的に与えればこの機能を抑制できます。
- **低い起動電流と広いV_{CC}の範囲**：Bバージョン(NCP1611B)は起動時の消費電流が特に低いので、V_{CC}コンデンサの充電用に高インピーダンスの抵抗を使用することができます。Aバージョン(NCP1611A)は、補助電源から回路に電力供給されるような用途をターゲットにしています。起動レベルは11.25 V未満で、回路は12-Vレールから電力を取れるようになっていました。両バージョンともV_{CC}動作範囲は広がっています(9.5 V~35 V)。

- **高速ライン/負荷過渡補償(ダイナミック応答エンハンサとソフトOVP)**：従来のPFCステージはループ応答が遅いため、負荷や入力電圧の突然の変化が大きなオーバershootやアンダershootを引き起こすことがあります。この回路はこのような、安定化ポイントからの逸脱を徹底的に制限します。
- **安全保護**：NCP1611の機能はPFCステージを非常に頑強にします。この機能のうち、ブラウンアウト検出ブロック(注2)はacラインが低すぎるときに動作を停止し、2レベル電流センシングは、インダクタの飽和またはバイパス・ダイオードや昇圧ダイオードの短絡により電流が制限値の150%を超える場合に低デューティ比動作モードを強制します。
- **容易な製造および安全性試験**：PFCステージの素子は、製造や取扱時の事故、動作時の過剰なストレス、他のトラブルなどにより、偶発的な短絡、半田付不良、損傷が生じる可能性があります。特に、コントローラの隣接ピンが短絡したり、1つのピンが接地されたり接続が悪くなることがあります。このような開放/短絡の状況により火災、煙、大きな雑音が生じないようにする必要があります。NCP1611は、たとえば不適切なピン接続(GNDを含む)や昇圧ダイオードまたはバイアス・ダイオードの短絡などの場合の要求に対応できる強化機能を内蔵しています。『アプリケーション・ノートAND9062』では、安全性試験を受けたNCP1611駆動PFCステージの動作について詳述します[1]。

1. **FCrM**コントローラと同様に、スイッチング周波数が低下した場合でも内部回路により1に近い力率が可能になります。
2. ブラウンアウト検出ブロックの入力ピン電圧("V_{SENSE}")は、ライン範囲の検出と高いライン状態(2ステップのフィードフォワード)でのループ・ゲインの低減にも使用されます。

PFC STAGE DIMENSIONING

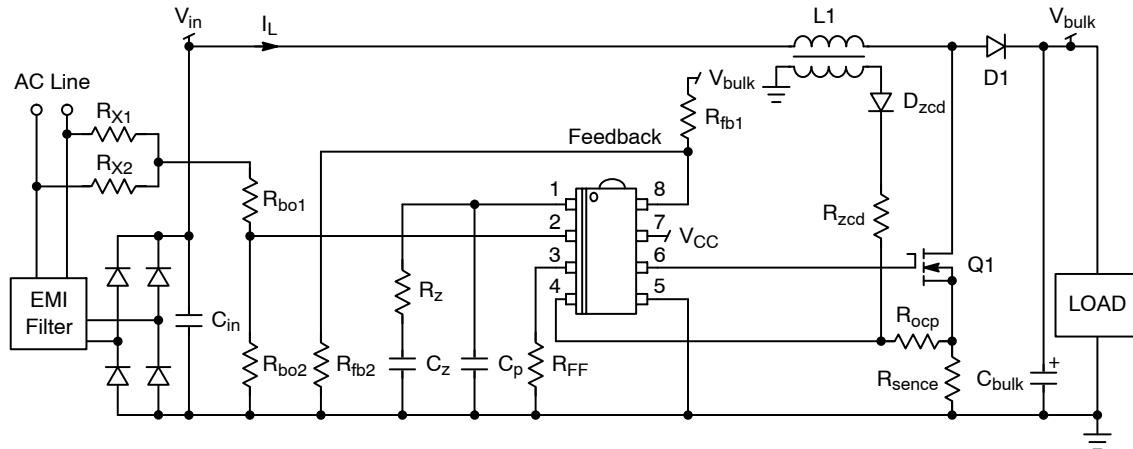


Figure 1. Generic Schematic

ステップ1：主要な仕様の定義

- f_{line} : ライン周波数。50 Hz/60 Hzアプリケーションがターゲットです。実際には、多くの場合に47~63 Hzの範囲で規定され、ホールドアップ時間などの計算では規定最低値を考慮に入れる必要があります。
- $(V_{line,rms})_{LL}$: ライン電圧の最低レベルです。これはPFCステージが動作する必要がある最小RMS入力電圧です。このようなレベルは、多くの国で100 Vとされる最小標準電圧よりも通常10~12%低くなります。次の値をとりまします。 $(V_{line,rms})_{LL} = 90 \text{ V}$
- $(V_{line,rms})_{HL}$: ライン電圧の最高レベルです。これは最大入力RMS電圧です。通常、最大標準電圧(多くの国で240 V)よりも10%高くなります。次の値を選択します。 $(V_{line,rms})_{HL} = 264 \text{ V}$
- $(V_{line,rms})_{boH}$: ブラウンアウトのライン上側スレッシュホールド。回路はラインのRMS電圧が $(V_{line,rms})_{boH}$ を上回るまで、動作を阻止します。NCP1611は10%のヒステリシスを提供します。したがって、何らかの対策を取らないと、RMSライン電圧が $(90\% \times (V_{line,rms})_{boH})$ に等しい $(V_{line,rms})_{boL}$ より低くなるとブラウンアウト状態を検出して動作を停止します。このアプリケーションの目標値は、以下のとおりです。

$$(V_{line,rms})_{boH} = 90\% \times (V_{line,rms})_{LL} = 81 \text{ V}$$

$$(V_{line,rms})_{boL} = 90\% \times (V_{line,rms})_{boH} \cong 73 \text{ V}$$

- $V_{out,nom}$: 公称出力電圧です。これはPFC出力電圧(そして指定のバルク電圧)の安定化レベルです。 $V_{out,nom}$ は $(\sqrt{2} \times (V_{line,rms})_{HL})$ よりも高くなければなりません。390 Vは目標値です。
- $(\delta V_{out})_{pk-pk}$: ピーク-ピーク出力電圧リップルです。このパラメータは多くの場合、出力電圧の割合として指定されます。通常動作ではダイナミック応答エンハンサ(DRE)をトリガするのを回避するため8%以下を選択しなければなりません。

- $t_{HOLD-UP}$: ホールドアップ時間です。このパラメータは、ライン・ドロップアウト中に出力が有効な時間を指定します。通常は1ライン・サイクルを指定します。この要件は、アプリケーションでの適切な動作に必要なPFCステージ出力の最小電圧 $(V_{out,min} = 350 \text{ V})$ は、ダウンストリーム・コンバータに十分な入力電圧を供給するだけ高い値と仮定します。
- P_{out} : 出力電力です。これはPFCの負荷で消費される電力です。
- $P_{out,max}$: 最大出力電力です。このアプリケーションでは160 Wの最大出力電力レベルです。
- $(P_{in,avg})_{max}$: 最大入力電力です。通常動作で電源から吸収できる最大電力です。このレベルは低ラインの全負荷条件で得られます。これらの条件で効率が95%と仮定し、次式を使用します。

$$(P_{in,avg})_{max} = \frac{160}{95\%} \cong 170 \text{ W}$$

- $I_{line,max}$: 低ラインの全負荷条件で得られる最大ライン電流です。
- $P_{FF}(\%)$: ライン電流スレッシュホールドであり、これより低いとき回路は $I_{line,max}$ の割合で示される周波数(CCF)を低下させます。このパラメータが100%を超えると、PFCステージは恒久的に低下した周波数で動作することになります。反対に、 $P_{FF}(\%)$ がゼロに近い場合、PFCステージはほぼ全電力範囲においてCrM(周波数フォールドバックなし)で動作します。このパラメータは通常、10~20%の範囲で選択します。

ステップ2：電力素子の選択

高負荷条件では、NCP1611は臨界導通モード(CrM)で動作します。したがって、通常他のCrM PFCで行われるとおり、インダクタ、バルク・コンデンサ、およびパワー・シリコン・デバイスを選択します。ここ

ではこのプロセスについては詳述せず、簡単に要点を述べます。

1. インダクタの選択

回路のオンタイムは内部で制限されます。PFCステージが搬送できる電力は、 L が所定のオンタイムにおける電流上昇を決定するためインダクタに依存します。具体的には、PFCステージの電力能力は次式のようになります。

$$(P_{in,avg})_{HL} = \frac{V_{line,rms}^2}{2L} \cdot T_{on,max} \quad (eq. 1)$$

インダクタが小さいほど、PFCステージの電力能力が高くなります。したがって、最大電力を最低ライン・レベルで提供できるようにするには、 L を十分に低い値にする必要があります。

$$L \leq \frac{(V_{line,rms})_{LL}^2}{2 \cdot (P_{in,avg})_{max}} \cdot T_{on,max} \quad (eq. 2)$$

従来のCrMアプリケーションと同様に、他の重要なパラメータは次式のとおりになります。

- 最大ピーク電流：

$$(I_{L,pk})_{max} = 2\sqrt{2} \cdot \frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}} \quad (eq. 3)$$

- 最大RMS電流：

$$(I_{L,rms})_{max} = \frac{(I_{L,pk})_{max}}{\sqrt{6}} \quad (eq. 4)$$

このアプリケーションでは、インダクタは以下の要件に適合しなければなりません。

$$L \leq \frac{90^2}{2 \cdot 170} \cdot 20 \mu = 476 \mu H$$

$$(I_{L,pk})_{max} = 2\sqrt{2} \cdot \frac{170}{90} \cong 5.3 A \quad (eq. 5)$$

$$(I_{L,rms})_{max} = \frac{5.3}{\sqrt{6}} \cong 2.2 A$$

($T_{on,max} = 20 \mu s$)は、 $T_{on,max}$ (標準値は25 μs)の最小値です。したがって、($T_{on,max} = 20 \mu s$)は L を計算するうえで最悪ケースなので、これを式5で使用します。これに加えて、式5で返された値よりも少なくとも25%小さいインダクタ値を、健全なマージンとして選択することが推奨されます。

200- $\mu H/6-A_{pk}$ インダクタ(WURTH ELEKTRONIKのref:750370081)が選択されます。これはゼロ電流検出用の10:1の補助巻線で構成されます。

CrM動作時のスイッチング周波数はインダクタ値に依存することに注意してください。

$$f_{sw} = \frac{V_{line}(t)^2 \cdot (V_{out} - V_{line}(t))}{4 \cdot P_{in,avg} \cdot V_{out} \cdot L} \quad (eq. 6)$$

たとえば、低ライン、全負荷(正弦曲線の上部)におけるスイッチング周波数は、次のとおりです。

$$f_{sw} = \frac{(\sqrt{2} \cdot 90)^2 \cdot (390 - \sqrt{2} \cdot 90)}{4 \cdot 170 \cdot 390 \cdot 200 \cdot 10^{-6}} \cong 80 \text{ kHz} \quad (eq. 7)$$

2. パワー・シリコン・デバイス

一般に、ダイオード・ブリッジとパワーMOSFETは同じヒートシンクに配置されます。

経験上、ヒートシンクのエネルギー消散を次のとおり見積もることができます。

- ワイド主電源アプリケーションの出力の約4% (95%は通常、目標最小効率)
- 単一主電源アプリケーションでの出力の約2%

ワイド主電源アプリケーションでは約6.4 Wが消散することになります。選択したロープロファイル・ヒートシンクはCOLUMBIA-STAVER社製(参照番号: TP207ST/120/12.5/NA/SP/03)であり、計測した熱抵抗は6°C/Wの範囲内です。

この発熱に寄与する損失源として、次のものが挙げられます。

- ダイオード・ブリッジの導電損失。これは次式で見積もることができます。

$$P_{bridge} = 2 \cdot V_f \cdot \frac{2\sqrt{2}}{\pi} \cdot \frac{P_{out}}{V_{line,rms} \cdot \eta} \approx \frac{1.8 \cdot V_f}{V_{line,rms}} \cdot \frac{P_{out}}{\eta} \quad (eq. 8)$$

ここで、 V_f はブリッジ・ダイオードの順方向電圧です。

- MOSFETの伝導損失。これは次のとおりです。

$$(P_{on})_{max} = \frac{4}{3} \cdot R_{DS(on)} \cdot \left(\frac{P_{out,max}}{\eta \cdot (V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right) \quad (eq. 9)$$

このアプリケーションでは、次のようになります。

- $P_{BRIDGE} = 3.4 \text{ W}$ 、 V_f は1 Vと仮定。
- $(P_{on})_{max} = 3.4 \times R_{DS(on)}$ このアプリケーションでは、低い $R_{DS(on)}$ MOSFET (0.25 Ω @ 25°C)を選択して、MOSFETによる過度の損失を防ぎます。 $R_{DS(on)}$ が高温で倍になると仮定すると、最大導電損失は約1.7 Wになります。

したがって、全導電損失は約5.1 Wになります。

スイッチング損失は簡単には計算できません。予測は行いません。代わりに、経験上、損失量はMOSFETの導電損失に等しいと仮定します。実験テストでは、過小に見積もっていないかをチェックします。

留意すべきは、MOSFETのターン・オフはFigure 2の回路図を使用して加速でき、このとき Q_1 NPNトランジスタ(TO92)がMOSFETのターン・オフ・ゲート電流を増幅します。このエンハンサはこの基板に実装されていません。

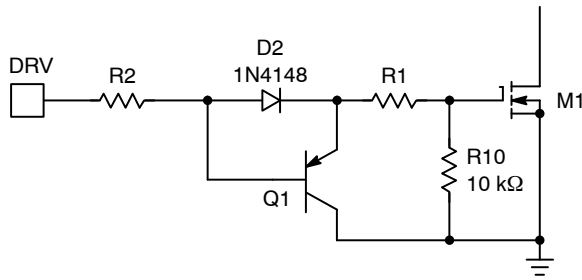


Figure 2. Q1 Speeds Up the MOSFET Turn Off

昇圧ダイオードは、次の導電損失源です： $(I_{out} \times V_f)$ ここで I_{out} は負荷電流で V_f はダイオードの順方向電圧です。最大出力電流は約0.4 Aで、ダイオードの導電損失は0.4 Wの範囲です($V_f = 1\text{ V}$ と仮定)。
 $P_{DIODE} = 0.4\text{ W}$

3.出力バルク・コンデンサ

バルク・コンデンサを定義する際には通常、以下の3つの主な基準/制約があります。

- ピーク-ピーク低周波リップル：

$$(\delta V_{out})_{pk-pk} = \frac{P_{out,max}}{C_{bulk} \cdot \omega \cdot V_{out,nom}} \quad (eq. 10)$$

ここで、 $(\omega = 2\pi \times f_{line})$ はラインの角周波数です。このリップルは出力電圧(8%ピーク-ピーク)の±4%より低く維持しなければなりません。ライン周波数最小値(47 Hz)を考慮すると、次のようになります。

$$C_{bulk} \geq \frac{160}{8\% \cdot 2\pi \cdot 47 \cdot 390^2} \approx 45\ \mu F \quad (eq. 11)$$

- ホールドアップ時間の仕様：

$$C_{bulk} \geq \frac{2 \cdot P_{out,max} \cdot t_{HOLD-UP}}{V_{out,nom}^2 - V_{out,min}^2} \quad (eq. 12)$$

ホールドアップ時間が10 msなので、次のようになります。

$$C_{bulk} \geq \frac{2 \cdot 160 \cdot 10\text{ m}}{390^2 - 350^2} \approx 108\ \mu F \quad (eq. 13)$$

- RMSコンデンサ電流：

RMS電流は、負荷特性によって決まります。抵抗性負荷を想定すると、この電流の大きさの近似式を導出できます(注3)：

$$(I_{c,rms})_{max} \approx \sqrt{\left(\sqrt{\frac{32\sqrt{2}}{9\pi}} \cdot \frac{(P_{in,avg})_{max}}{\sqrt{(V_{line,rms})_{LL} \cdot V_{out,nom}}} \right)^2 - \left(\frac{P_{out,max}}{V_{out,nom}} \right)^2} \quad (eq. 14)$$

このアプリケーションでは、次のようになります。

$$I_{c,rms} \approx \sqrt{\left(\sqrt{\frac{32\sqrt{2}}{9\pi}} \cdot \frac{170}{\sqrt{90 \cdot 390}} \right)^2 - \left(\frac{160}{390} \right)^2} \approx \sqrt{1.318 - 0.168} \approx 1.1\text{ A} \quad (eq. 15)$$

ステップ3：フィードバック構成

Figure 1で示すように、フィードバック構成は以下より成ります。

- 抵抗分割器。これはバルク電圧を分圧してピン8にフィードバック信号を供給します。この分割器の上部抵抗は、安全性を考慮して通常3本または4本の抵抗で構成されます(Figure 7の R_8 、 R_9 、および R_{10} を参照)。そうしないと、この素子の偶発的な短絡によってコントローラに高電圧出力が印加され破壊してしまいます。
- フィルタリング・コンデンサ。これは大抵の場合ピン8とグランド間に配置され、スイッチング・ノイズでフィードバック信号が歪まないようにします。多くの場合、1個の1 nFコンデンサが実装されます。一般に、これがフィードバック抵抗とともに形成する極はラインの極と比較して、非常に高い周波数を維持する必要があります。実際のところ、

$$C_{fb} \leq \frac{1}{150 \cdot (R_{fb1} \parallel R_{fb2}) \cdot f_{line}}$$

概して良好な結果が得られます。

- タイプ2補償ネットワーク。この回路は、2個のコンデンサと1本の抵抗で構成され、クロスオーバー周波数とループ特性を設定します。

定常状態で、フィードバックは2.5 Vの安定化リファレンス電圧の範囲にあり、フィードバック下部抵抗(Figure 1の R_{fb2} またはFigure 7の R_{11})は、次のようにフィードバック抵抗のバイアス電流を設定します：

$$I_{FB} = \frac{V_{REF}}{R_{fb2}} = \frac{2.5}{R_{fb2}} \quad (eq. 16)$$

損失とノイズ耐性の間のトレードオフにより、この抵抗が決定されます。56 kΩ ($I_{FB} \approx 50\ \mu A$)までの抵抗では、一般に良好な結果が得られます。基板のPCBレイアウトで可能な場合は、さらに高い値にも考慮できます。250 nAのシンク電流(-40°C~125°Cの温度範囲で最大500 nA)が供給され、ピンが偶発的にオープンするとフィードバック・ピンを接地して、ドライバをディセーブルすることに注意してください。 I_{FB} を50 μA 未満に設定すると、安定化レベルは250 nAのシンク電流によって大きな影響を受ける可能性があります。

3. It remains wise to verify the bulk capacitor heating on the bench!

下部抵抗を選択したら、次のように上部抵抗を選択します。

$$R_{fb1} = R_{fb2} \cdot \left(\frac{V_{out,nom}}{V_{REF}} - 1 \right) \quad (eq. 17)$$

このアプリケーションでは、 R_{fb2} には27 k Ω ($I_{FB} \approx 92 \mu A$)を選択します。 R_{fb1} については、2本の1,800 k Ω 抵抗を560 k Ω の抵抗と直列に配置します。これらの正規化された値により、次の正確な値が得られます。 $(R_{fb1} = 4.16 M\Omega)$ の正確な値が得られ、要件に適合する公称388 Vの安定化レベルが導出されます。

ループの補償：

PFC昇圧コンバータのループ・ゲインは、フィードフォワードが適用されない場合はラインの大きさの2乗に比例します。したがって、このゲインは汎用主電源条件では、ほぼ1桁分変動します。 V_{SENSE} ピン電圧はライン電圧値を表します。NCP1611はこの情報を使用して個別のフィードフォワード機能を実行します。ピン電圧が2.2 Vを超えると検出される高ラインでは、PWMゲインは低ライン状態(V_{SENSE} が25 msの間1.7 V未満の場合に設定される - Figure 3とFigure 5を参照)と比べて3分割されます。

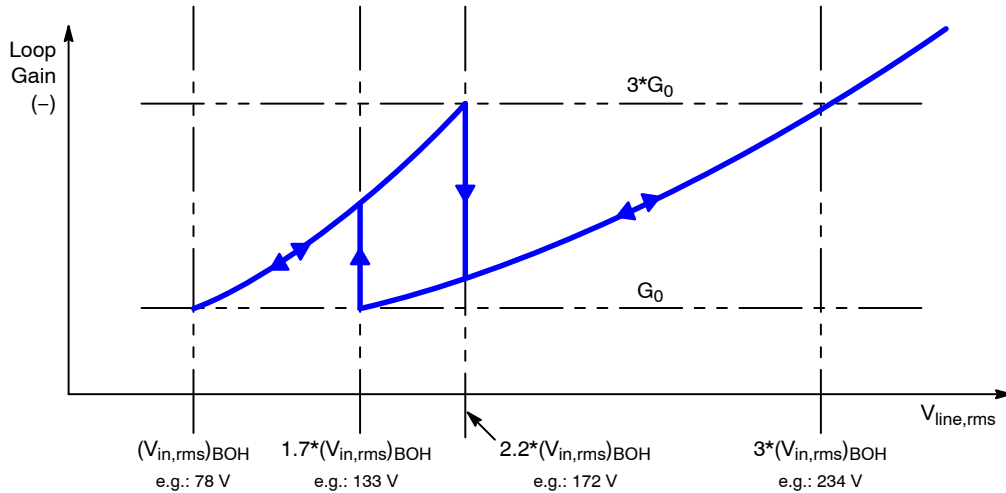


Figure 3. 2-step Feed-forward Limits the Loop Gain Variation with Respect to Line

[1]と[2]で説明する方法を使用して、PFCステージの2つの小信号伝達関数(一方は高ライン、もう一方は低ライン)を容易に導くことができます。

- 低ライン伝達関数：

$$\frac{\hat{V}_{out}}{\hat{V}_{control}} = \frac{V_{in,rms}^2 \cdot R_{load}}{640000 \cdot L \cdot V_{out,nom}} \cdot \frac{1}{1 + s \cdot \frac{R_{load} \cdot C_{bulk}}{2}} \quad (eq. 18)$$

- 高ライン伝達関数：

$$\frac{\hat{V}_{out}}{\hat{V}_{control}} = \frac{V_{in,rms}^2 \cdot R_{load}}{1920000 \cdot L \cdot V_{out,nom}} \cdot \frac{1}{1 + s \cdot \frac{R_{load} \cdot C_{bulk}}{2}} \quad (eq. 19)$$

ここで：

- C_{bulk} はバルク・コンデンサ
- R_{load} は負荷等価抵抗
- L はPFCのコイル・インダクタンス
- $V_{out,nom}$ はPFC出力の安定化レベル

PFCステージは低速でなければなりません。さらに実用的には、高PF比の場合は20 Hz以下の範囲に入る低い調整帯域幅が必要です。このため、負荷の急激な変化は過剰なオーバershootとアンダershootを発生させます。これらの逸脱は、NCP1611のダイナミック応答エンハンサと正確な過電圧保護によって効果的に阻止されます。

それでも、次の図に示すようなタイプ2補償が推奨されます。

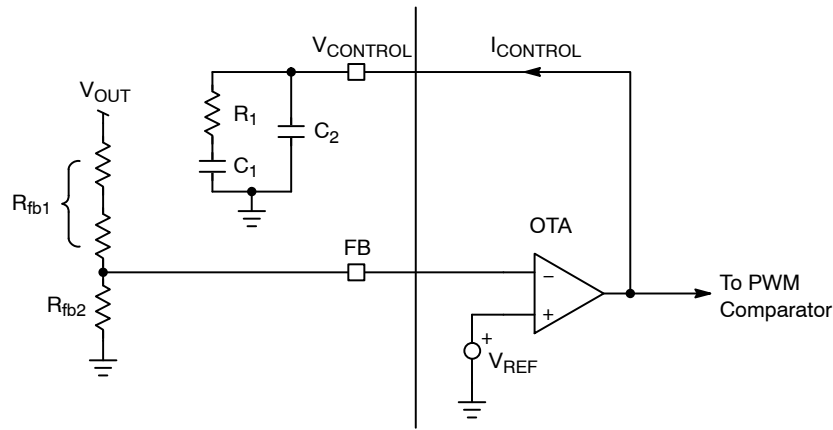


Figure 4. Regulation Trans-conductance Error Amplifier, Feed-back and Compensation Network

タイプ2補償器がもたらす伝達関数を制御するための出力は次のとおりです。

$$\frac{\hat{V}_{control}}{\hat{V}_{out}} = \frac{1 + sR_1C_1}{sR_o(C_1 + C_2) \left(1 + sR_1 \frac{C_1 \cdot C_2}{C_1 + C_2} \right)} \quad (eq. 20)$$

ここで、

$$R_o = \frac{V_{out,nom}}{V_{ref} \cdot G_{EA}}$$

G_{EA} は200- μ Sのエラー・アンプの相互コンダクタンス・ゲイン、 $V_{out,nom}$ はバルク公称電圧、そして V_{REF} はOTA2.5V電圧リファレンスです。

[2]と[3]に説明する補償方法を適用すると、次の設計式が得られます。

$$G_o = \frac{(V_{line,rms})_{LL}^2 \cdot R_{load,min}}{640000 \cdot L \cdot V_{out,nom}} \quad (eq. 21)$$

$$C_2 = \frac{G_o \cdot \tan\left(\frac{\pi}{2} - \phi_m\right)}{2 \cdot \pi^2 \cdot f_c^2 \cdot R_{load,min} \cdot C_{bulk} \cdot R_o}$$

$$C_1 = \frac{G_o}{2 \cdot \pi \cdot f_c \cdot R_o} - C_2$$

$$R_1 = \frac{R_{load,min} \cdot C_{bulk}}{2 \cdot C_1}$$

ここで：

- $(V_{in,rms})_{LL}$ は最低レベル(この場合は90 V)でのラインのRMS電圧
- G_o はラインの最低レベル($(V_{line,rms})_{LL}$)での静的利得
- ϕ_m は位相マージン(単位はラジアン)
- f_c は目標のクロスオーバー周波数
- $R_{load,min}$ は全負荷での負荷等価抵抗

$$R_{load,min} = \frac{V_{out,nom}^2}{P_{out,max}} = \frac{390^2}{160} \cong 950$$

クロスオーバー周波数はできるだけ低く選択しますが、全負荷でのPFCブースト・ステージの極と同じかそれ以上にします。

$$\left(f_p = \frac{1}{\pi \cdot R_{load,min} \cdot C_{bulk}} \cong 2.4 \text{ Hz} \right)$$

位相マージンは通常45~70度の間に設定します。

このアプリケーションでは、15 Hzのクロスオーバー周波数と60度の位相マージン($\pi/3$ ラジアン)を目標にすると、以下が得られます。

$$G_o = \frac{90^2 \cdot 950}{640000 \cdot 200 \cdot 10^{-6} \cdot 390} \cong 154 \quad (eq. 22)$$

$$C_2 = \frac{154 \cdot \tan\left(\frac{\pi}{2} - \frac{\pi}{3}\right)}{2 \cdot \pi^2 \cdot 14^2 \cdot 950 \cdot 136 \cdot 10^{-6} \cdot 780 \cdot 10^3} \cong 200 \text{ nF} \Rightarrow \text{let's choose } 220 \text{ nF}$$

$$C_1 = \frac{154}{2\pi \cdot 15 \cdot 780 \cdot 10^3} - C_2 \cong 1.9 \mu\text{F} \Rightarrow \text{let's choose } 2.2 \mu\text{F}$$

$$R_1 = \frac{950 \cdot 136 \cdot 10^{-6}}{2 \cdot 2.2 \cdot 10^{-6}} \cong 29 \text{ k}\Omega$$

ステップ4：入力電圧のセンシング

NCP1611はライン電圧を監視します。通常、抵抗を2つのライン配線の間に配置してX2コンデンサを放電します(安全上の要件)。Figure 1とFigure 5の抵抗 R_{X1} および抵抗 R_{X2} は、入力電圧を低減してコントローラで検出しやすくします。

これらの抵抗が同じ抵抗値 R_X と仮定すると、ピン2に印加される電圧は次のようになります。

$$V_{pin2} = \frac{R_{bo2}}{R_{bo1} + R_{bo2}} \cdot \frac{(R_{bo1} + R_{bo2}) \parallel R_X}{R_X + (R_{bo1} + R_{bo2}) \parallel R_X} \cdot V_{line}(t) \quad (eq. 23)$$

この式は次のように簡約できます。

$$V_{pin2} = \frac{R_{bo2}}{R_X + 2R_{bo1} + 2R_{bo2}} \cdot V_{line}(t) \quad (eq. 24)$$

ブラウンアウト・コンパレータは、 V_{SENSE} ピン電圧が50 ms以上の間($V_{boL} = 0.9 V$)を下回るとブラウンアウト状況を検出します。この場合、回路はスキップ

プ「staticOVP」レベルに達するまで制御信号を徐々に放電した後、動作を停止します。

V_{SENSE} ピン電圧が($V_{boH} = 1.0 V$)を超えるとすぐに、動作を再開します。

($V_{line,rms})_{boH}$ がラインの動作開始の最小RMS電圧で($V_{line,rms})_{boL}$ がブラウンアウト・フォールトにつながる最大電圧の場合、次式が得られます。

$$(V_{line,rms})_{boH} = \frac{R_X + 2R_{bo1} + 2R_{bo2}}{\sqrt{2} \cdot R_{bo2}} \cdot V_{boH} \quad (eq. 25)$$

$$(V_{line,rms})_{boL} = \frac{R_X + 2R_{bo1} + 2R_{bo2}}{\sqrt{2} \cdot R_{bo2}} \cdot V_{boL} \quad (eq. 26)$$

ここで：

- V_{boH} は1.0 Vのブラウンアウト内部上限スレッシュホールド
- V_{boL} は0.9 Vのブラウンアウト内部下限スレッシュホールド

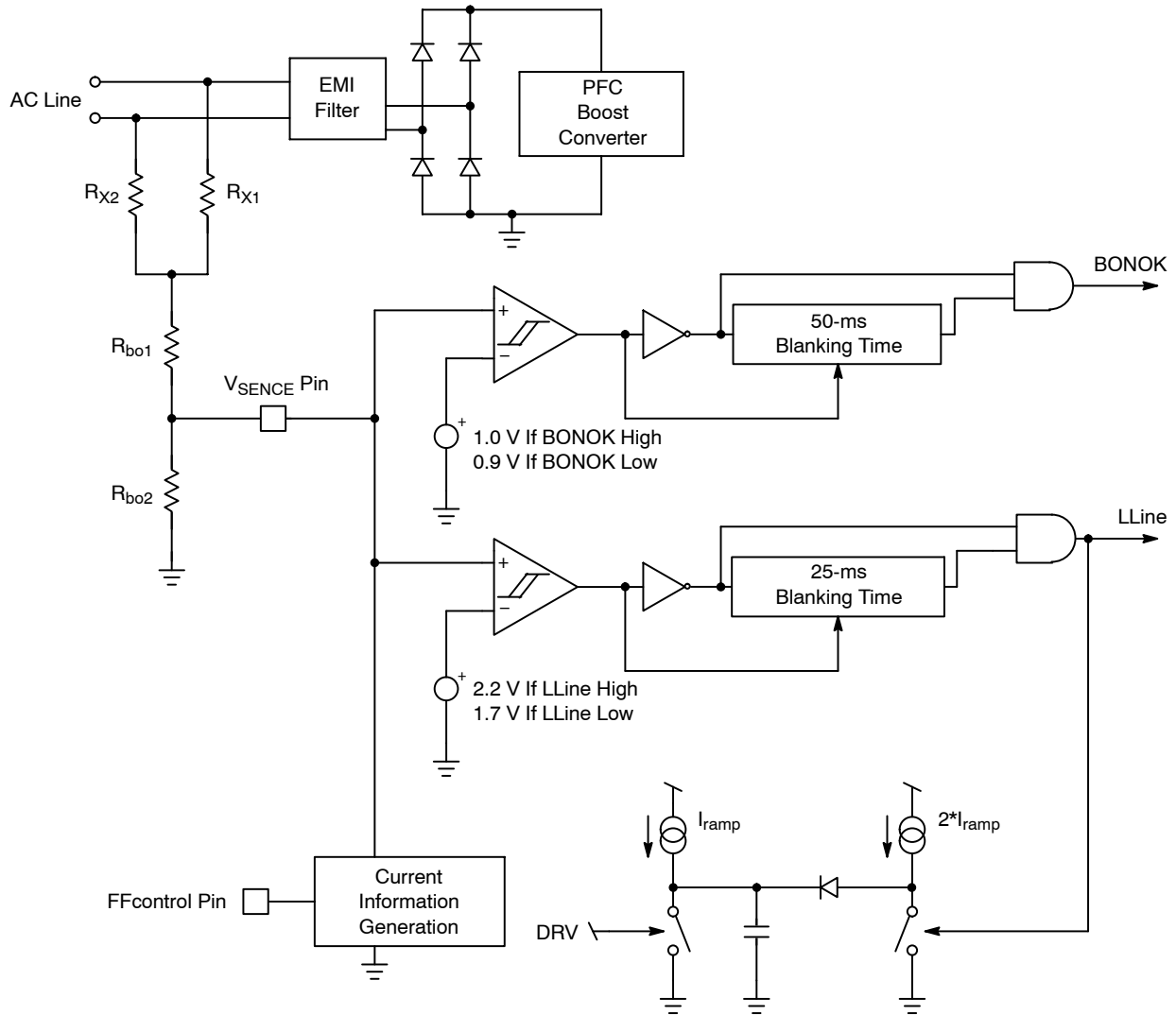


Figure 5. Brown-Out and Line Range Detection Block

R_{X1} と R_{X2} は安全性を考慮して実装されています。通常、($R_{X1} + R_{X2} = 2R_X$)の直列の組み合わせがX2 EMIコンデンサと併せて1s未満の時定数を形成するように、これらの抵抗を選択する必要があります。この場合、2本の1 M Ω の抵抗($R_{X1} = R_{X2} = R_X = 1$ M Ω)は、選択したX2コンデンサと併せて1.8 sの放電時定数をもたらします。この放電時定数は、(実際のX2コンデンサの放電インピーダンスをわずかに低下させる抵抗 R_{bo1} と抵抗 R_{bo2} を考慮しても)大半のアプリケーションには長すぎることがあります。この場合、 R_{X1} と R_{X2} を適宜小さくします。

R_{bo1} と R_{bo2} を設計するときは、スタンバイ損失の低減とノイズ耐性を考慮します。第一の基準は、軽負荷損失に大きな影響を与える可能性があるため、ラインから取り出すバイアス電流を制限する高インピーダンス抵抗に関するものです。他方、非常に大きな値はノイズ問題を引き起こすおそれがあります。実際に、($R_{bo2} = 120$ k Ω)は概して良好な結果をもたらします。

R_{X1} 、 R_{X2} 、および R_{bo2} を選択すると、希望の($V_{line,rms}$) $_{boH}$ レベルに基づき式25から R_{bo1} が次のとおり導出されます。

$$R_{bo1} = R_{bo2} \cdot \left(\frac{(V_{line,rms})_{boH}}{\sqrt{2} \cdot V_{boH}} - 1 \right) - \frac{R_X}{2} \quad (\text{eq. 27})$$

このアプリケーションで($V_{line,rms}$) $_{boH}$ が81 V、($R_{X1} = R_{X2} = R_X = 1$ M Ω)、および($R_{bo2} = 120$ k Ω)のとき、次式が得られます。

$$R_{bo1} = \frac{120 \text{ k} \cdot 81}{\sqrt{2} \cdot 1.0 \text{ V}} - \frac{1000 \text{ k}}{2} - 120 \text{ k} = 6253 \text{ k}\Omega \quad (\text{eq. 28})$$

実際に、 $3 \times 1,800$ k Ω の抵抗と560 k Ω の抵抗を直列にすると、全体で5,960 k Ω R_{bo1} 値となり、これにより(($V_{line,rms}$) $_{boH} \approx 77.5$ V)と(($V_{line,rms}$) $_{boL} \approx 69.8$ V)が導かれます。

備考：周辺ノイズからピンを保護するために、ピン2とグラウンドの間にフィルタリング・コンデンサ C_{bo} を配置することが推奨されます。ただし、ピン2で検出される電圧が歪まないためには、このコンデンサは小容量でなければなりません。実際に、このコンデンサとセンシング抵抗で形成される時定数は、ライン周期を150分割した値よりも低く維持する必要があります。

$$\left(\frac{T_{line}}{150} = \frac{1}{150 \cdot f_{line}} \right)$$

すなわち、50 Hzのライン条件で150 μ s未満です。そうでない場合、ピン2に印加される電圧は入力電圧に比例しませんが、フィルタされ位相シフトした部分は比例するため、ブラウンアウト回路と周波数フォールドバック動作の設計時はこれを考慮すべきです。

今回の例では、ピン2の抵抗性インピーダンスは R_{bo2} に近似できます。

したがって、

$$R_{bo2} \cdot C_{bo} < \frac{1}{100 \cdot f_{line}} \Rightarrow$$

$$C_{bo} < \frac{1}{100 \cdot R_{bo2} \cdot f_{line}} = \frac{1}{100 \cdot 120 \text{ k} \cdot 60} \approx 1.4 \text{ nF}$$

ステップ5：電流センス回路網

電流センス回路は以下で構成されます。

- 電流センス抵抗 R_{CS} 。
- 周波数フォールドバック特性を調整する抵抗 R_{FF}

=> R_{CS} の計算

この回路は、電流センス抵抗の電圧が0.5 Vを超えた場合に過電流状態を検出します。したがって、

$$R_{CS} = \frac{0.5}{(I_{L,pk})_{max}} \quad (\text{eq. 29})$$

この式を式3と合成すると、次のようになります。

$$R_{CS} = \frac{(V_{line,rms})_{LL}}{4\sqrt{2} \cdot (P_{in,avg})_{max}} \quad (\text{eq. 30})$$

今回の実例では、以下のとおりです。

$$R_{CS} = \frac{90}{4\sqrt{2} \cdot 170} \approx 0.094 \Omega \quad (\text{eq. 31})$$

わずかなマージンを持たせるために、80 m Ω の抵抗を選択します。

R_{CS} 損はMOSFETの導電損失を得る式を使用して計算でき、 R_{CS} が $R_{DS(on)}$ と置き換わります。

$$(P_{R_{CS}})_{max} = \frac{4}{3} \cdot R_{CS} \cdot \left(\frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right) \quad (\text{eq. 32})$$

したがって、80 m Ω の電流センス抵抗は全負荷、低ラインで約275 mWを消散します。

R_{SENSE} は抵抗(Figure 1の R_{OCP})を通じて、CS/ZCDピンに適用しなければなりません。

この抵抗は、3.9 k Ω よりも大きくなければなりません。ノイズ耐性の必要から高すぎてもなりません。通常、5 k Ω の範囲の抵抗が良好な結果をもたらします。

CS/ZCDピンはゼロ電流検出用の補助巻線からの信号を受信するようにも設計されています。Figure 1に示すとおり、この電圧はオンタイム中にこの信号で電流センス情報が歪まないようにするために、ダイオードさらに抵抗 R_{ZCD} を通じて印加されます。この抵抗はCS/ZCDピンに5 mA以上注入されるように十分高くなければなりません。補助巻線の電圧はラインのゼロ交差付近で最大になり、次と等しくなります。

$$\left(\left(\frac{n_{aux}}{n_p} \right) \cdot V_{out,nom} \right)$$

ここで、 n_{aux} と n_p はそれぞれ磁性部品の補助巻線と一次巻線の巻数比であり、この制約によって以下が導出されます。

$$R_{ZCD} > \frac{\left(\frac{n_{aux}}{n_p} \cdot V_{out,nom}\right) - V_{CL(pos)}}{5 \text{ mA} + \frac{V_{CL(pos)}}{R_{OCP}}} \quad (\text{eq. 33})$$

ここで、 $V_{CL(pos)}$ はCS/ZCDピンの正のクランプの最小レベル9 Vです。

CS/ZCDピンに印加される電圧は、次のとおりです。

$$V_{ZCD} = \frac{R_{OCP}}{R_{ZCD} + R_{OCP}} \cdot \frac{n_{aux}}{n_p} \cdot (V_{out,nom} - V_{line}) \quad (\text{eq. 34})$$

この電圧を消磁検出のためNCP1611の750 mVの内部スレッショルドと比較します。適切に検出するために、スケール・ダウン係数は次のようになります。

$$\left(\frac{R_{OCP}}{R_{ZCD} + R_{OCP}} \cdot \frac{n_{aux}}{n_p}\right)$$

20の範囲内で一般に良好な結果が得られます。

1つの方法として、 $(R_{OCP} = R_{ZCD})$ 、 (n_{aux}/n_p) を0.1の範囲で選択して式33を整理し、次のとおり計算します。

$$R_{ZCD} = R_{OCP} > \frac{\left(\frac{n_{aux}}{n_p} \cdot V_{out,nom}\right) - (2 \cdot V_{CL(pos)})}{5 \text{ mA}}$$

このアプリケーションでは、 $(R_{OCP} = R_{ZCD} > 4.2 \text{ k}\Omega)$ が導かれます。次の値を選択しました： $(R_{OCP} = R_{ZCD} = 4.7 \text{ k}\Omega)$ 。この選択は、 $(R_{OCP} > 3.9 \text{ k}\Omega)$ という要件(前のパラグラフを参照)にも適合します。

NCP1611はCS/ZCDピンに立ち上がりエッジ・ブランピングを統合しているため、フィルタリング・コンデンサは必要ありません。フィルタリング・コンデンサを追加することは可能ですが、ZCD信号が歪まないよう非常に小さくする必要があります。そうしないと、回路はバレーでオンにならない可能性があります。さらに悪い場合は不適切にバレーをスキップしてしまふことがあります。要するに、ZCD信号が正しいこと、フィルタしすぎないことを確認します。このアプリケーションで、このコンデンサが22 pFを超えてはなりません。

=>R_{FF}の計算

R_{FF}は電流レベルを調節し、この電流レベルを下回ると周波数が低下し始めます。

FFcontrolピンは以下に比例する電流源になります：

$$I_{FF} = 140 \cdot 10^{-6} \cdot V_{pin2} \cdot \frac{V_{control} - V_{control,min}}{V_{control,max} - V_{control,min}} \quad (\text{eq. 35})$$

$(V_{line} = \sqrt{2} \times (V_{line,rms})_{BOH})$ のとき($V_{pin2} = 1 \text{ V}$)なので、次のように記述できます。

$$\left(V_{pin2} = \frac{1 \text{ V}}{\sqrt{2} \cdot (V_{line,rms})_{BOH}} \cdot V_{line}\right)$$

さらに、

$$\left(\frac{V_{control} - V_{control,min}}{V_{control,max} - V_{control,min}} = \frac{t_{on}}{t_{on,max}}\right)$$

ここで、 $t_{on,max}$ は25- μ sの内部最大オンタイムであり、次式が成立します。

$$\left(I_{line} = \frac{V_{line} \cdot t_{on}}{2 \cdot L}\right)$$

式35は、次のようになります。

$$I_{FF} = \frac{56 \cdot L \cdot I_{line}}{5 \sqrt{2} \cdot (V_{line,rms})_{BOH}} \quad (\text{eq. 36})$$

FFcontrolピンの電圧は次のとおりです。

$$V_{FF} = \frac{56 \cdot R_{FF} \cdot L \cdot I_{line}}{5 \sqrt{2} \cdot (V_{line,rms})_{BOH}} \quad (\text{eq. 37})$$

V_{FF} が2.5 Vを超えるとき、すなわち瞬時ライン電流が次式よりも高い間、PFCステージは臨界導通モード(周波数低下なし)で動作します。

$$(I_{line})_{th} = \frac{25 \sqrt{2} \cdot (V_{line,rms})_{BOH}}{112 \cdot R_{FF} \cdot L} \quad (\text{eq. 38})$$

ライン電流が450 mAより低くなったときに、規定されるとおり周波数低下を開始したい場合、抵抗R_{FF}は次の値になる必要があります。

$$\begin{aligned} R_{FF} &\cong \frac{25 \sqrt{2}}{112} \cdot \frac{(V_{line,rms})_{BOH}}{450 \cdot 10^{-3} \cdot L} = \\ &= \frac{25 \sqrt{2}}{112} \cdot \frac{77.5}{450 \cdot 10^{-3} \cdot 200 \cdot 10^{-6}} \cong 272 \text{ k}\Omega \end{aligned} \quad (\text{eq. 39})$$

このスレッショルドを最大ライン電流の割合として表現する方が都合がいい場合もあり、以下のようになります。

$$I_{line,max} = \sqrt{2} \cdot \frac{(P_{in,avg})_{max}}{(V_{in,rms})_{LL}} \cong 2.67 \text{ A} \quad (\text{eq. 40})$$

ライン電流が最大値の約17%のとき、回路は270 k Ω の抵抗で周波数低減を開始します。FFcontrolピンの電圧が約0.75 V(公称)のとき、最小20 kHzで動作します。その時点で、電流は最大値の(17% \times 0.75/2.5)または5%です。これよりも低いレベルでは、回路はスキップ・モードに入ります。

備考：周辺ノイズからピンを保護するために、ピン3とグランドの間にフィルタリング・コンデンサC_{FF}を配置することが推奨されます。通常アプリケーションでは、ピン2で検出される電圧が歪まないためには、このコンデンサは小容量でなければなりません。実際に、このコンデンサとセンシング抵抗で形成される時定数は、ライン周期を150分割した値よりも低く維持する必要があります。

$$\left(\frac{T_{line}}{150} = \frac{1}{150 \cdot f_{line}}\right)$$

すなわち、50 Hzのライン条件で150 μ s未満です。

この場合、ピン3の抵抗性インピーダンスは R_{FF} です。

$$R_{FF} \cdot C_{FF} < \frac{1}{150 \cdot f_{line}} \Rightarrow \quad (eq. 41)$$

$$C_{FF} < \frac{1}{150 \cdot R_{FF} \cdot f_{line}} = \frac{1}{150 \cdot 270 \text{ k} \cdot 60} \approx 411 \text{ pF}$$

レイアウトとノイズ耐性の考察

NCP1611はノイズに対して特に敏感というわけではありません。しかし、電源用の通常のレイアウト・ルールが適用されます。次にそのうちのいくつかを示します。

- パワー・トレインのループ領域は最小限にしなければなりません
- 電流のリターン・パスを提供するパワー・グラウンド用のスター構造
- 回路グラウンド用のスター構造
- 回路グラウンドと電源グラウンドを1つのシングル・パスで接続するものとします。

- このパスはできれば、電流センス抵抗(R_{sense})の接地端子に非常に近い場所で、回路グラウンドを電源グラウンドに接続するものとします。
- 100 nFまたは220 nFのセラミック・コンデンサを回路の V_{CC} ピンとGNDピンの間に最短接続長で配置するものとします。
- 回路動作をプログラムする部品(抵抗またはコンデンサ)は、できるだけ駆動するピンの近くに配置しなければなりません。

前述のとおり、フィルタリング・コンデンサを回路の3つの比較的高いインピーダンスのピン：フィードバック、入力電圧センシング(V_{SENSE})、およびFFcontrolに配置し、考えられる周辺ノイズからピンを保護することが推奨されます。これらのピンで検出された電圧が歪まないように、このコンデンサは小容量でなければなりません。詳細については、該当するセクションを参照してください。

Table 1. SUMMARY OF THE MAIN EQUATIONS

Steps	Components	Formulae	Comments
Step1 – Key Specifications		f_{line} : Line frequency. It is often specified in a range of 47–63 Hz for 50 Hz/60 Hz applications.	
		$(V_{line,rms})_{LL}$: Lowest Level of the line voltage, e.g., 90 V.	
		$(V_{line,rms})_{HL}$: Highest Level for the line voltage (e.g., 264 V in many countries).	
		$(V_{line,rms})_{boH}$: Brown-Output Line Upper Threshold. The circuit prevents operation until the line rms voltage exceeds this level.	
		$V_{out,nom}$: Nominal Output Voltage.	
		$(\delta V_{out})_{pk-pk}$: Peak-to-Peak output voltage low-frequency ripple.	
		$t_{HOLD-UP}$: Hold-up Time that is the amount of time the output will remain valid during line drop-out.	
		$(V_{out,min})$: Minimum output voltage allowing for operation of the downstream converter.	
		$P_{out,max}$: Maximum output power consumed by the PFC load, that is, 160 W in our application.	
		$(P_{in,avg})_{max}$: Maximum power absorbed from the mains in normal operation. Generally obtained at full load, low line, it depends on the efficiency that, as a rule of a thumb, can be set to 95%.	

Table 1. SUMMARY OF THE MAIN EQUATIONS (continued)

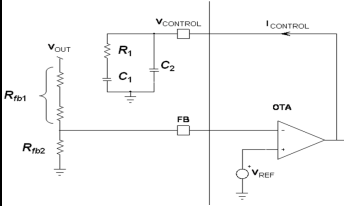
Steps	Components	Formulae	Comments
Step2 – Power Components	Input Diodes Bridge Losses	$P_{\text{bridge}} = 2 \cdot V_f \cdot \frac{2\sqrt{2} \cdot P_{\text{out}}}{\pi \cdot V_{\text{line,rms}}} \approx \frac{1.8 \cdot V_f}{V_{\text{line,rms}}} \cdot \frac{P_{\text{out}}}{\eta}$	V_f is the forward voltage of any diode of the bridge. It is generally in the range of 1 V or less.
	Inductor	$L \leq \frac{(V_{\text{line,rms}})_{\text{LL}}^2}{2 \cdot (P_{\text{in,avg}})_{\text{max}}} \cdot T_{\text{on,max}}$ $(I_{L,\text{pk}})_{\text{max}} = 2\sqrt{2} \cdot \frac{(P_{\text{in,avg}})_{\text{max}}}{(V_{\text{line,rms}})_{\text{LL}}}$ $(I_{L,\text{rms}})_{\text{max}} = \frac{(I_{L,\text{pk}})_{\text{max}}}{\sqrt{6}}$	In our application: $L \leq \frac{90^2}{2 \cdot 170} \cdot 20 \mu = 476 \mu\text{H}$ $(I_{L,\text{pk}})_{\text{max}} = 2\sqrt{2} \cdot \frac{170}{90} \approx 5.3 \text{ A}$ $(I_{L,\text{rms}})_{\text{max}} = \frac{5.3}{\sqrt{6}} \approx 2.2 \text{ A}$
	MOSFET Conduction Losses	$(P_{\text{on}})_{\text{max}} = \frac{4}{3} \cdot R_{\text{DS(on)}} \cdot \left(\frac{P_{\text{out,max}}}{\eta \cdot (V_{\text{line,rms}})_{\text{LL}}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{\text{line,rms}})_{\text{LL}}}{3\pi \cdot V_{\text{out,nom}}} \right)$	$R_{\text{DS(on)}}$ is the drain-source on-state resistance of the MOSFET
	Bulk Capacitor Constraints	$C_{\text{bulk}} \leq \frac{P_{\text{out,max}}}{(\delta V_{\text{out}})_{\text{pk-pk}} \cdot \omega \cdot V_{\text{out,nom}}}$ $C_{\text{bulk}} \geq \frac{2 \cdot P_{\text{out,max}} \cdot t_{\text{HOLD-UP}}}{V_{\text{out,nom}}^2 - V_{\text{out,min}}^2}$ $(I_{c,\text{rms}})_{\text{max}} \approx \sqrt{\left(\sqrt{\frac{32\sqrt{2}}{9\pi}} \cdot \frac{(P_{\text{in,avg}})_{\text{max}}}{\sqrt{(V_{\text{line,rms}})_{\text{LL}} \cdot V_{\text{out,nom}}}} \right)^2 - \left(\frac{P_{\text{out,max}}}{V_{\text{out,nom}}} \right)^2}$	These 3 equations quantify the constraints resulting from the low-frequency ripple $((\delta V_{\text{out}})_{\text{pk-pk}}$ that must be kept below 8%), the hold-up time requirement and the rms current to be sustained.
Step3 – Feedback Arrangement	Resistor Divider	$R_{\text{fb2}} = \frac{2.5}{I_{\text{FB}}}$ $R_{\text{fb1}} = R_{\text{fb2}} \cdot \left(\frac{V_{\text{out,nom}}}{V_{\text{REF}}} - 1 \right)$ $C_{\text{fb}} \leq \frac{1}{150 \cdot (R_{\text{fb1}} \parallel R_{\text{fb2}}) \cdot f_{\text{line}}}$	I_{FB} is the bias current that is targeted within the resistor divider. Values in the range of 50 μA to 100 μA generally give a good trade-off between losses and noise immunity. C_{FB} is the filtering capacitor that can be placed between the FB pin and ground to increase the noise immunity of this pin.
	Compensation	$G_0 = \frac{(V_{\text{line,rms}})_{\text{LL}}^2 \cdot R_{\text{load,min}}}{640000 \cdot L \cdot V_{\text{out,nom}}}$ $C_2 = \frac{G_0 \cdot \tan\left(\frac{\pi}{2} - \phi_m\right)}{2 \cdot \pi^2 \cdot f_c^2 \cdot R_{\text{load,min}} \cdot C_{\text{bulk}} \cdot R_0}$ $C_1 = \frac{G_0}{2 \cdot \pi \cdot f_c \cdot R_0} - C_2$ $R_1 = \frac{R_{\text{load,min}} \cdot C_{\text{bulk}}}{2 \cdot C_1}$	
Step4 – Input Voltage Sensing	Input Voltage Sensing Resistors	$R_{\text{bo1}} = R_{\text{bo2}} \cdot \left(\frac{(V_{\text{line,rms}})_{\text{boH}}}{\sqrt{2} \cdot V_{\text{boH}}} - 1 \right) - \frac{R_X}{2}$ $C_{\text{bo}} < \frac{1}{150 \cdot R_{\text{bo2}} \cdot f_{\text{line}}}$	R_X is the resistance of the X2 capacitors discharge resistors R_{X1} and R_{X2} according to Figure 5. $(V_{\text{line,rms}})_{\text{boH}}$ line rms level above which the circuit starts operating. V_{boH} is an internal 1-V reference.

Table 1. SUMMARY OF THE MAIN EQUATIONS (continued)

Steps	Components	Formulae	Comments
Step5 – Current Sense Network	Current Sense Resistor	$R_{CS} = \frac{(V_{line,rms})_{LL}}{4\sqrt{2} \cdot (P_{in,avg})_{max}}$ $(P_{R_{CS}})_{max} = \frac{4}{3} \cdot R_{CS} \cdot \left(\frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right)$	(V _{line,rms}) _{LL} is the line rms voltage lowest level in normal condition (e.g., 90 V). V _{out,nom} is the output nominal level (e.g., 390 V). (P _{in,avg}) _{max} is the maximum input power of your application.
	Zero Current Detection	$R_{ZCD} > \frac{\left(\frac{n_{aux}}{n_p} \cdot V_{out,nom} \right) - V_{CL(pos)}}{5 \text{ mA} + \frac{V_{CL(pos)}}{R_{OCP}}}$	Placed between R _{CS} and the CS/ZCD pin, resistor R _{OCP} must be greater than 3.9 kΩ but not too high for noise immunity. Generally, resistors in the range of 5 kΩ give good results.
	Current Controlled Frequency Fold-back	$R_{FF} = \frac{25\sqrt{2} \cdot (V_{line,rms})_{BOH}}{112 \cdot L \cdot (I_{line})_{th}}$ $C_{FF} \leq \frac{1}{150 \cdot f_{line} \cdot R_{FF}}$	(I _{line}) _{th} is the line current level below which the NCP1611 starts to reduce the frequency.

AND9062/D

Detailed Schematic for our 160-W, Universal Mains Application

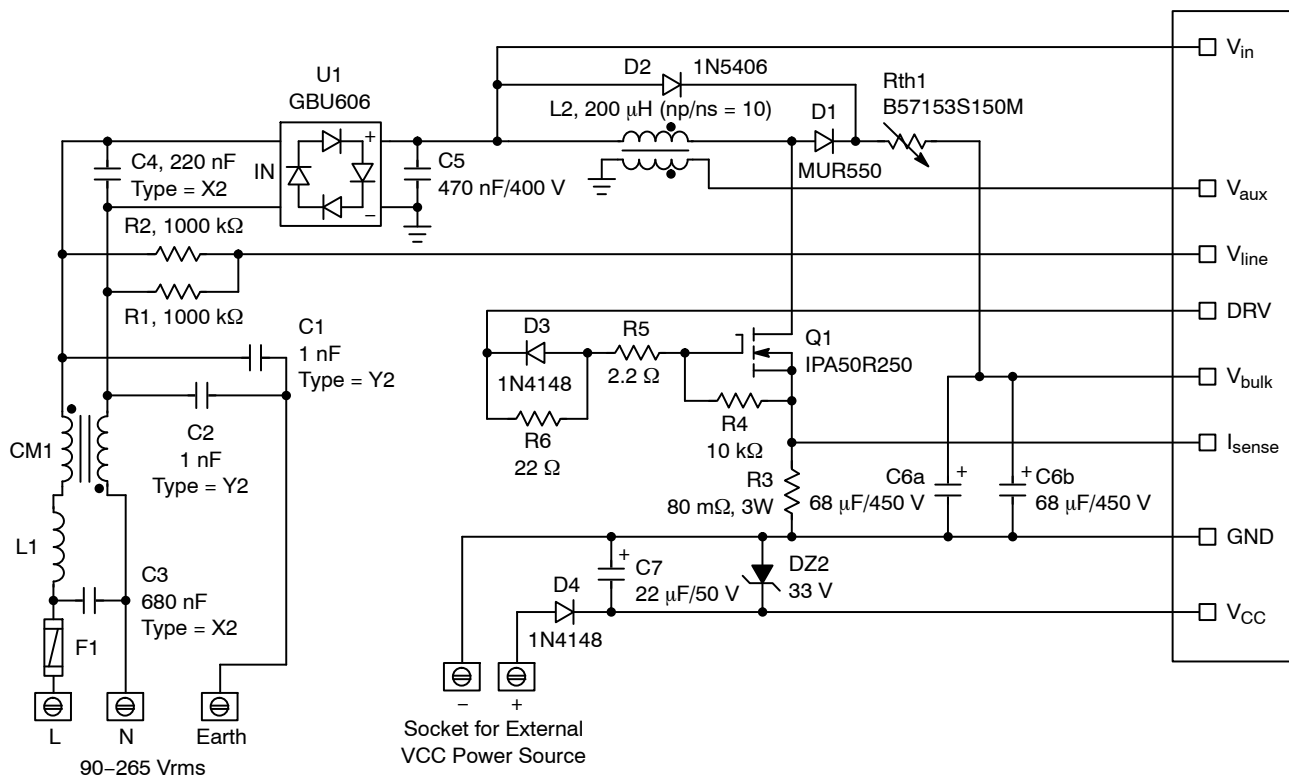


Figure 6. Application Schematic – Power Section

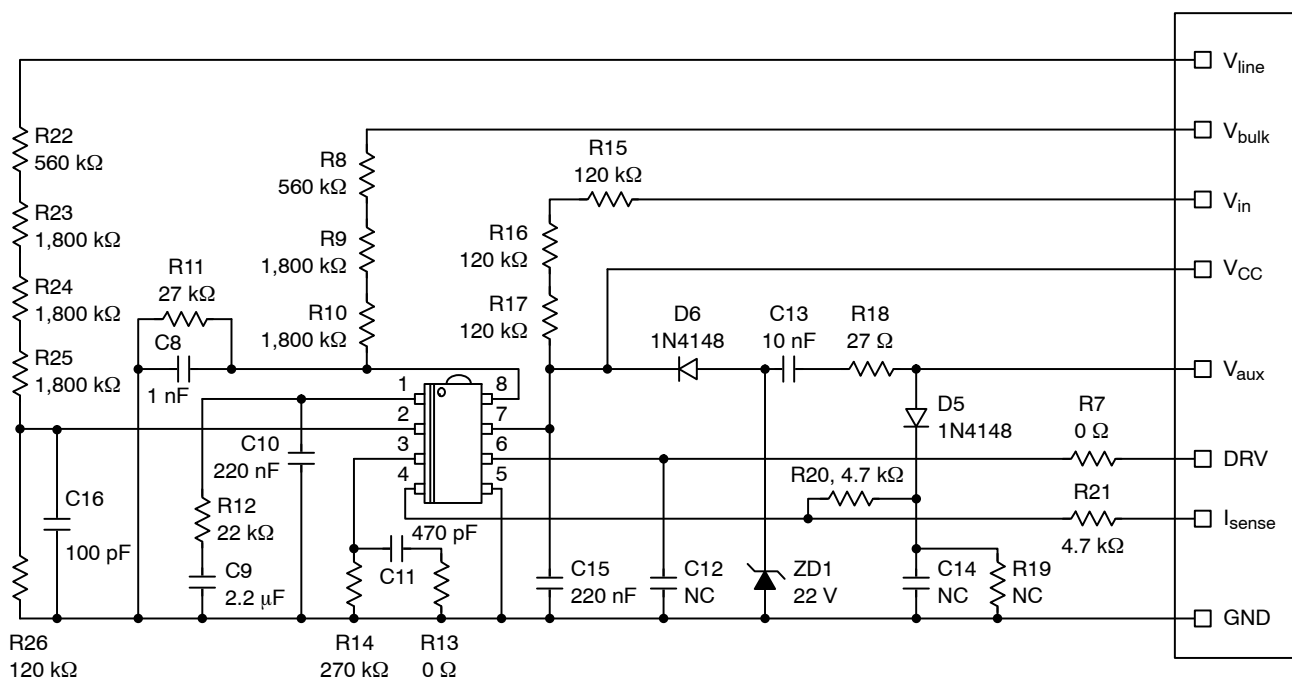


Figure 7. Application Schematic – Control Section

AND9062/D

結論


この文書はNCP1611駆動PFCステージを設計する際の主要ステップについてまとめたものです。提案したアプローチは体系立てられており、他の応用にも容易に適用できます。さらに、Excel Spreadsheetも利用でき、記載した方法[5]に従ってアプリケーションの主要構成部品を計算すれば、さらに設計しやすくなります。

このプロセスは160 Wのワイド主電源評価ボードを例に示しています。このボードの性能に関する詳細および情報は、NCP1611評価ボード・マニュアル[4]に記載されています。実装の詳細(BOM、GERBERファイル...)については、当社ウェブ・サイトをご覧ください[6]。

回路動作の詳細はデータシートに記載されています[7]。

参考資料

- [1] Joel Turchi, “Safety tests on a NCP1611-driven PFC stage”, Application note AND9064/D, http://www.onsemi.com/pub_link/Collateral/AND9064-D.PDF
- [2] Joel Turchi, “Compensation of a PFC stage driven by the NCP1654”, Application note AND8321/D, http://www.onsemi.com/pub_link/Collateral/AND8321-D.PDF
- [3] Joel Turchi, “Compensating a PFC stage”, Tutorial TND382-D available at: http://www.onsemi.com/pub_link/Collateral/TND382-D.PDF
- [4] EVBUM2149/D, NCP1611 Evaluation Board User’s Manual, http://www.onsemi.com/pub_link/Collateral/EVBUM2049-D.PDF
- [5] NCP1611 design worksheet, <http://www.onsemi.com/pub/Collateral/NCP1611%20DWS.XLS>
- [6] NCP1611 evaluation board documents, <http://www.onsemi.com/PowerSolutions/supportDoc.do?type=boards&rpn=NCP1611>
- [7] NCP1611 data sheet, http://www.onsemi.com/pub_link/Collateral/NCP1611-D.PDF

ON Semiconductor and  are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative