

USB 3.0 インタフェース用 ESD 保護を選択する場合の信号インテグリティの維持

はじめに

高品質の動画、写真、音楽のストリーミングや共有により、現在のライフスタイルがリッチ・コンテンツを多用するようになった結果、需要を満たすためにデータ転送レートはかつてない水準にまで上昇しています。コンテンツの再生、共有、バックアップ、作成、編集を進めるうえで、高速データ・レートは重要な要素になっています。データ転送レートが上昇する一方で、チップセットのプロセス・サイズは縮小し続けており、静電気放電(Electrostatic Discharge, ESD)の脅威が以前より高まっていることを示唆しています。このアプリケーション・ノートでは、USB 3.0用のESD保護製品を選択するときに信号インテグリティに関して設計者が直面する課題と、オン・セミコンダクターのソリューションによるそれらの課題の克服方法について説明します。

USB 3.0の信号品質を維持するための課題

USB 3.0は、ユニバーサル・シリアル・バス(Universal Serial Bus, USB)規格の最新リビジョンであり、データ転送レートは最大5 Gbit/sと、USB 2.0の480 Mbit/sに比べて10倍以上に達しています。

5 Gbit/sのデータ・レートを達成するために、USB 2.0の既存のデータ・ペアであるD+とD-に加えて、2組の差動データ・ペア(SuperSpeed TxとRx)が追加されました。さらに、USB 3.0インタフェースをサポートする現在のチップセットは、高速データ・レートに対応するために、最小で22 nmプロセスを採用しています。USB 3.0互換チップセットのプロセス・サイズ縮小に伴い、USB 3.0のデータ信号を送送するSuperSpeedラインは、ESDのような過渡現象に対して非常に敏感になっています。これらのラインに対するESD過渡現象を抑制することに加え、USB 3.0の信号送信品質を劣化させないことも重要です。USB 2.0の伝送に比べて周波数が上昇した結果、インピーダンス整合に厳格な要件が適用されるようになり、SuperSpeedラインに対してESD保護の外付デバイスを配置する場合は、その要件も満たす必要があります。信号ラインに追加される静電容量がわずかであっても、ラインのインピーダンスが変化して、伝送の信号インテグリティ全体が劣化するおそれがあります。データ・ラインのインピーダンス・パスに影響する可能性があるESD保護製品の重要なデバイス・パラメータについて、設計者が理解しておくことが重要です。

静電容量

Figure 1に、無損失伝送ラインの回路構造を示します。ここで、公称インピーダンスは Z_0 で表現します。



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

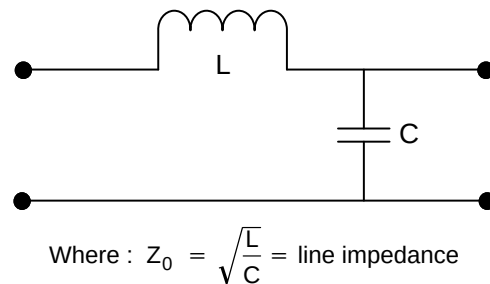


Figure 1. Lossless Transmission Line – Equivalent Circuit

この伝送ライン・モデルは、現在のほとんどの高速シリアル・インタフェース内に存在する高速データ・ラインに適用できます。また、このモデルを使用して、データ・ラインへのESD保護デバイス配置の効果を評価することもできます。

これは最も基本的な形式であり、ESDデバイスは、保護対象のデータ・ラインに配置されたツェナ・ダイオードとみなすことができます。このツェナ・ダイオードには付随する接合静電容量があるほか、パッケージ内部のボンド・ワイヤに由来する小さな直列インダクタンスが存在しており、Figure 2に示すように、これらはデータ・ラインに対する寄生成分になります。ESD保護デバイス内に存在する代表的なワイヤ・ボンドのインダクタンスの代表値は1 nH以下であり、ESD保護素子の静電容量は1 pF以下なので、Figure 2に示したインダクタのインピーダンスは、USB信号の2.5 GHzという速度では静電容量のインピーダンスを常に十分下回ります。このため、ここではインダクタンスを無視します。

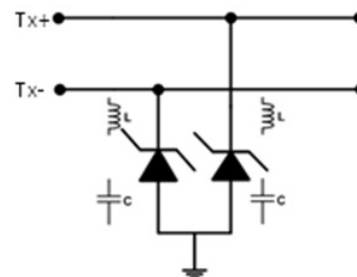


Figure 2. ESD Protection Device – Parasitic Model

データ・ラインの電圧が変化すると、寄生コンデンサを充電するのにわずかな電流が必要になります。高周波数では、信号ラインの電圧が急速に変化するので、この追加充電電流はかなり大きくなる可能性があります。データ・ライン内の全体的な電流フローが減少します。この電流減少によって信号ラインのインピーダンスにわずかな変化が生じ、ライン内で転送される電力量に影響を与えます。電力転送損失が過剰になった場合、データ・ラインの信号インテグリティの劣化が生じます。高速シリアル・インタフェースを使用するシステム内で寄生静電容量を制限するために、インタフェース仕様には通常、寄生静電容量の最大値が規定されています。USB 3.0仕様では、寄生静電容量の最大値は1.1 pFで規定されています。この最大仕様には、USBコントローラの外部に存在するすべての静電容量が含まれます。ESD保護デバイスは、システム内の外部静電容量のごく一部に過ぎません。したがって、ESD保護ソリューションを選択するときに、設計者は保護デバイスの静電容量を小さくすることを常に意識する必要があります。これは、データ・ラインの信号インテグリティを維持するだけでなく、ダウンストリーム・システム内での静電容量の余裕を大きくすることにも関係しています。Table 1に、オン・セミコンダクターのESD保護ソリューションの最大静電容量と競合他社の3つのUSB 3.0インタフェース用ESD保護ソリューションを比較して示します。

ほぼすべてのESD保護デバイスの製造業者が、慣習的に接合部静電容量を1 MHzの周波数で規定しています。ただし、Table 1に示すCompetitor Bのように、これより高い周波数での静電容量を規定する製

造業者も何社か存在します。高速アプリケーションで通常動作の周波数全域にわたる実際のデバイス静電容量をよりの確に表すために、周波数全域での静電容量測定値を考慮する必要があります。USB 3.0の場合は、2.5 GHzの基本周波数およびその3次高調波周波数である7.5 GHzを測定することを意味します(高調波については後述)。他のコンデンサと同様、このデバイスの静電容量も等価直列抵抗(Equivalent Series Resistance, ESR)と呼ばれる独自の寄生抵抗が原因で、使用周波数全域にわたって変化します。このコンデンサのインピーダンスは、低周波数時には容量性のままで低ESRが主要成分となり、コンデンサの共振周波数に達するまで低下し続けます。共振周波数に達した後は、ESRの増大に伴い、コンデンサのインピーダンスは誘導性になります。Figure 3では、周波数に対するサンプル・コンデンサのインピーダンス応答という形でこの特性を強調しています。

Table 1. CAPACITANCE COMPARISON OF USB 3.0 ESD PROTECTION DEVICES

USB 3.0 ESD Protection Device (Diode Arrays)	Max Junction Capacitance (pF) Specified on Datasheet
ON Semiconductor ESD7016MUTAG	0.20 pF @ $V_r = 0$ V, $f = 1$ MHz
Competitor A	0.65 pF @ $V_r = 0$ V, $f = 1$ MHz
Competitor B	– (0.20 @ 3 GHz)
Competitor C	– (0.45 TYP at 0 V)

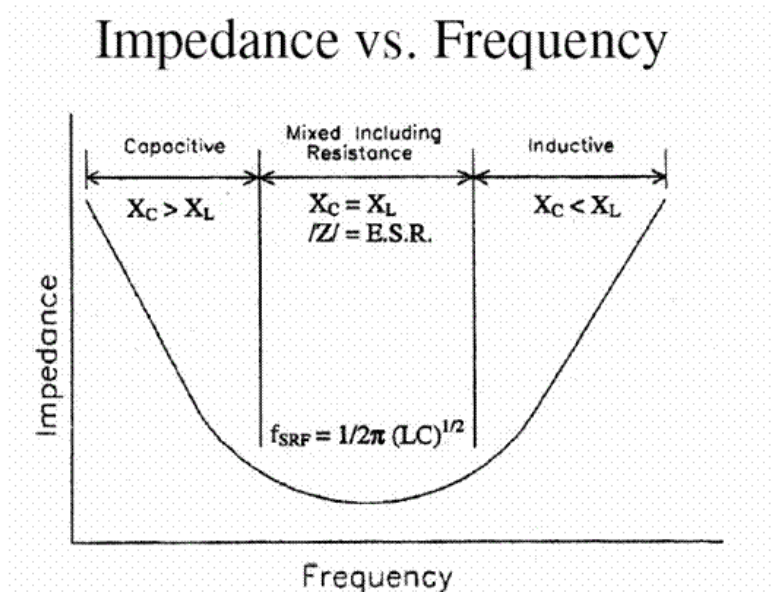


Figure 3. Impedance vs. Frequency Characteristic for a Capacitor

Table 1に示したESD保護デバイスの静電容量を、Figure 4に示す周波数全体にわたって測定しました。

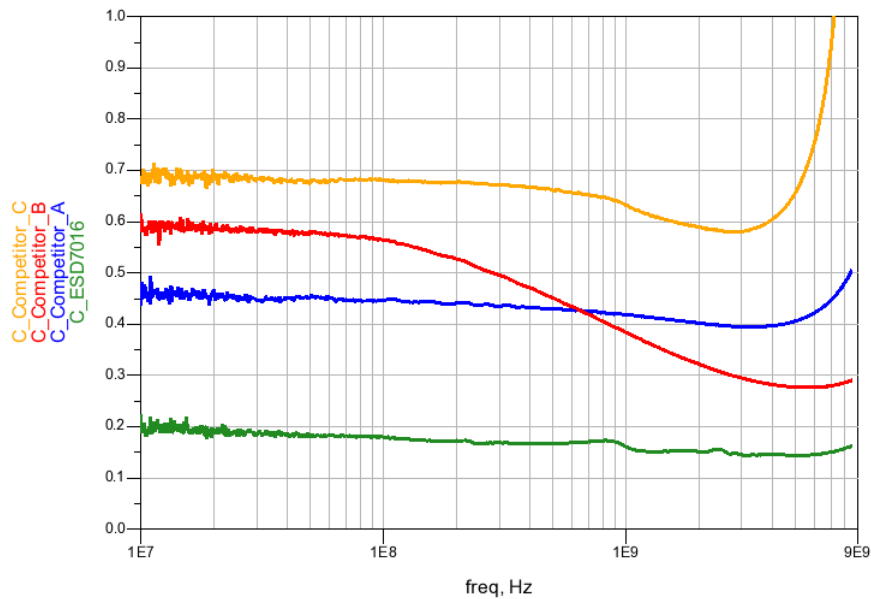


Figure 4. Capacitance Over Frequency Plot for Selected USB 3.0 ESD Protection Devices

Figure 4に示すように、競合製品Cの静電容量は周波数全域で最大であり、3.5 GHz付近から誘導性になります。競合製品Bの静電容量は周波数全域で大幅な減少を示し、より高い周波数では競合製品Cの静電容量を下回っています。オン・セミコンダクターのESD7016は、周波数全域で平坦な0.2 pF以下の静電容量を提供しており、8.5 GHzまで共振周波数に達していません。このプロットは、ESD保護デバイスの静電容量が周波数全域にわたって変化する状況の例であり、結果はデバイスがデータ・ラインのインピーダンス・パスにどの程度の影響を及ぼすかに関連付けることができます。

Sパラメータ、反射損失、および挿入損失

散乱パラメータ(Sパラメータ)は、インタコネクトまたはDUTが、入射波形にどのように相互作用するかを示す挙動モデルを表しています。波形がDUTに入射すると、その波形はDUTから「後方へ散乱」したり、「散乱」して別の相互接続に入ることがあります。入射波形がDUTに入力または出力されるポイントをポートと呼び、関係する2つのノードaおよびbが定義されます。ノードaは波形がポートに入力される場所を表し、ノードbは波形が同じポートから反射される場所を表します。Figure 1は、ESD寄生モデルを追加する形で描き直して、ESD保護デバイス(この例ではDUT)を含み、2つのポートからなる電氣的ネットワークがどのように表現されるかを示すことができます(Figure 5)。

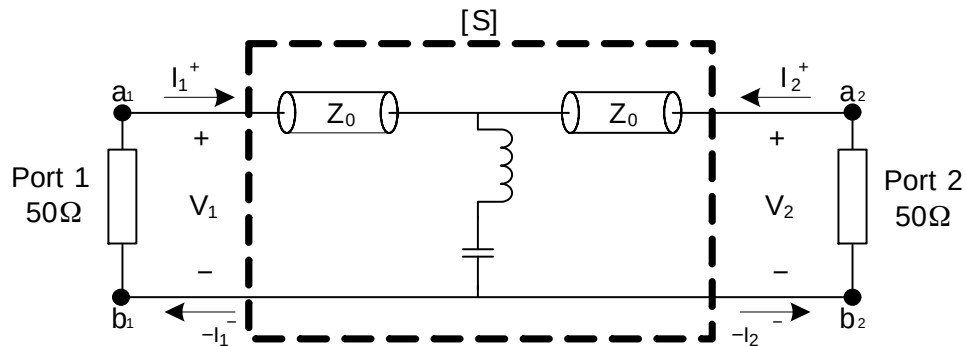


Figure 5. Two Port Electrical Network of Lossless Transmission Line

挙動モデル[S]内で各Sパラメータがどのように描かれるかを表す信号フローの図は、以下のFigure 6のようになります。

Figure 6に示すように、各Sパラメータは、DUTの特定のポートへの入射波形に対して、DUTの特定のポートから波形が散乱された比率を表しています。

AND9114/D

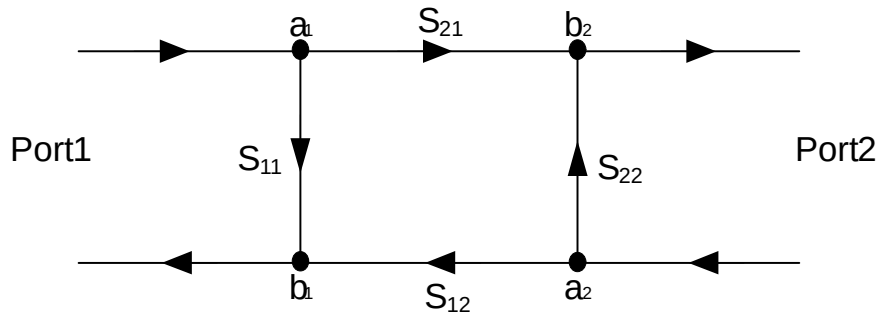


Figure 6. Signal Flow Diagram of the Two Port Electrical Network Shown in Figure 5

どの高速インタフェース・アプリケーションでも、負荷インピーダンスは伝送元のインピーダンスにできるだけ類似させておく必要があります。USB 3.0では、このインピーダンスを差動の場合で90 Ω、信号ラインごとの場合で45 Ωに整合させます。負荷インピーダンスが Z_0 のインピーダンスに等しくなるようにポート2を終端すると、Figure 6で、負荷が整合したこの状況を実現することができます。この例では、インピーダンス整合した負荷によって入射波形が吸収されるという事実に基づき、ノード a_2 における反射波形が0に等しくなると判断できます。2つのポートからなるネットワーク内で、負荷が整合している状況では、信号の全エネルギーは、反射されたエネルギー(反射損失)と伝送されたエネルギー(挿入損失)の合計に等しくなります。式1に示すように、Sパラメータを使ってこの事実を表現できます。挿入損失と反射損失の両方は、式2と式3に示すように、dB単位で表現できます。これらのSパラメータは両方とも重要であり、システムにとってDUTがどれほど透過的であるかを測定する目的で使用できます。

$$1 = S_{11}^2 + S_{21}^2 \quad (\text{eq. 1})$$

$$\text{Return Loss (dB)} = 10 \log_{10} |S_{11}|^2 \quad (\text{eq. 2})$$

$$\text{Insertion Loss (dB)} = 10 \log_{10} |S_{21}|^2 \quad (\text{eq. 3})$$

ESD保護デバイスに関する S_{11} と S_{21} の各特性は、ベクトル・ネットワーク・アナライザ(VNA)を使用して、適切な周波数範囲全体にマッピングすることができます。VNAを使用すると、振幅と位相が既知である信号を周波数範囲全域にわたってポート1に印加し、ポート2で信号の振幅と位相を測定する方法で、周波数に対する関数としてSパラメータを測定することができます。VNAポートのインピーダンスが整合するように、インピーダンスが50 Ωの回路基板にトレース経由でデバイスを実装した場合や、プローブをデバイスのピンに直接接続した場合に、VNAを使用して、ESD保護デバイスに関する S_{11} と S_{21} の各特性を測定できます。テストを開始する前にVNAのポートをキャリブレートできるので、テスト用同軸ケーブルの損失(Figure 5に示した Z_0)は無視できます。Figure 7に、すでに記載したのと同じ周波数範囲全域にわたって評価する目的で、上記と同じUSB 3.0用のESD保護デバイスに関する S_{11} 曲線の比較を示します。

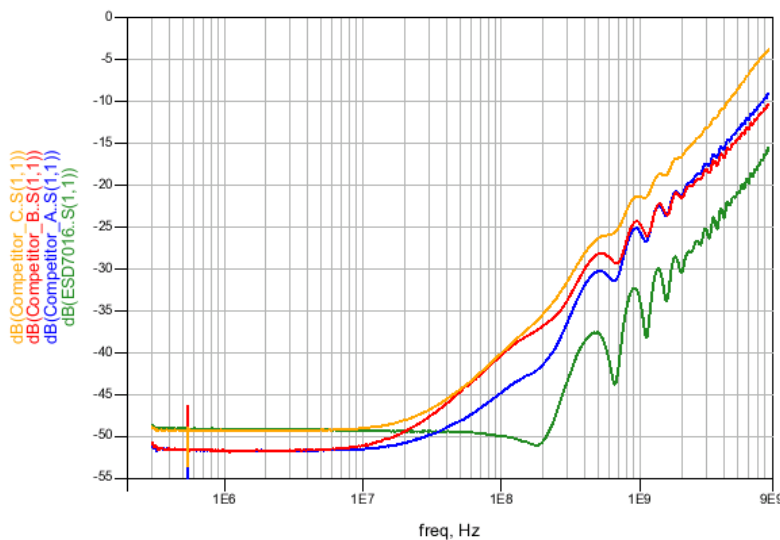


Figure 7. Return Loss (S_{11}) Characteristics of USB 3.0 ESD Protection Devices

反射損失は、入射波形がDUTで反射されることにより発生する損失量を表す値です。DUT全体のインピーダンスがポート1のインピーダンスに厳密に整合している場合は、入射波形のわずかな部分のみ反射されるので、反射損失はわずかです。この小さな損失は、-dB単位で表現すると大きい数値になり、2つのポート間でインピーダンスが整合していることを示します。ラインの寄生成分として表現される静電容量が小さいESD保護デバイスを使用する場合は、インピーダンスが大幅に変化することなく、ポート2の50 ΩのインピーダンスでDUTが実質的に終端されます。周波数が高くなると、ESD保護デバイスによって導入された寄生静電容量のためにライ

ンのインピーダンスが変化して、両ポートの整合状態が失われ、入射波形のより多くの部分がポート1に向かって反射されます。この変化は反射損失プロットで-dBの値が小さくなる形で観察されます。Figure 7に示すように、オン・セミコンダクターのESD7016は、反射損失が最小なので、競合製品に比べるとインタコネクが最も透過性の高い状態に維持されています。ESD保護デバイスの反射損失が小さいほどポート1での反射が小さく、振幅と位相の両方とも信号のより多くの部分がポート2に伝達されることを意味します。この挙動は、挿入損失が小さいこと、およびS₂₁特性を含むFigure 8のプロットで示されます。

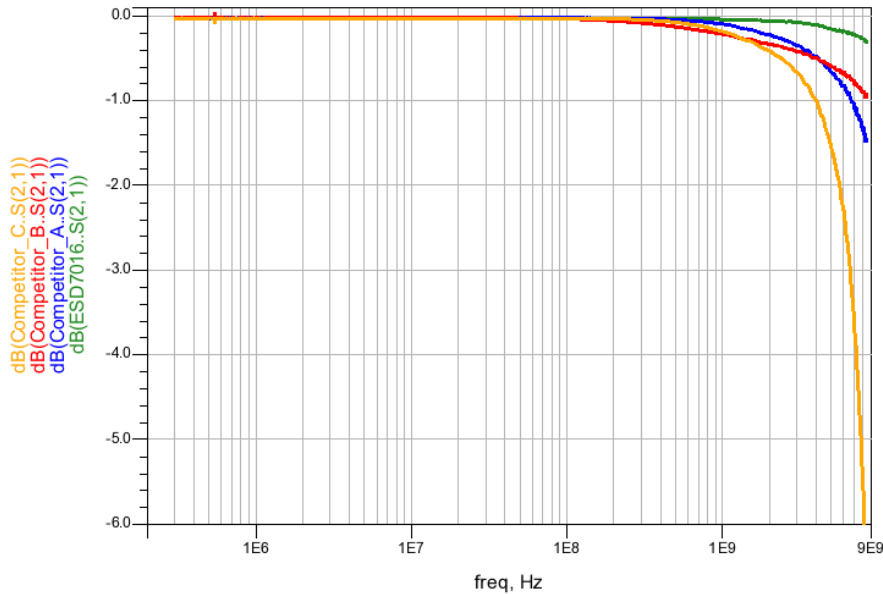


Figure 8. Insertion Loss (S₂₁) Characteristic of USB 3.0 ESD Protection Devices

ここでも、ESD7016が周波数全域にわたって最小の挿入損失を示しており、7.5 GHzにおいて0.5 dB未満です。競合製品はいずれも7.5 GHzにおいて1 dB付近、またはそれより大きい値を示しており、競合製品Cが最大で4.5 dBの損失に達しています。この挙動は主に、5 GHzより上の周波数では寄生静電容量が大幅に増加するためであり、インピーダンスは共振に達してからは誘導性になるからです。競合他社Aの製品のほうが競合他社Bの製品よりも、5 GHzより上の周波数ではより優れた反射損失と挿入損失を示していることも注目されます。この傾向は、5 GHz以上の周波数で、競合製品Aの静電容量が競合製品Bより小さいという事実によって説明できます。

保護素子の反射に起因する信号損失は、反射損失S₁₁と挿入損失S₂₁のいずれの表現も重要なパラメー

タです。各インタフェース(USB、HDMI、eSATAなど...)は、それぞれ異なるレートでデータを伝送しており、データ信号は異なる周波数で動作しています。一般的なデータ信号は、方形波に似た形状でラインを伝送される1と0のパターンなので、信号の最大周波数は1-0-1-0のパターンになります。USB 3.0に関して言えば、データ・レートは5 Gbit/sであり、これは最大周波数成分が2.5 GHzであることを意味します。アプリケーションでどの程度の挿入損失が許容されるかを比較するときは、当該周波数での損失が小さいESD保護デバイスを選択するだけでなく、データ信号のスペクトル分布を考慮することも重要です。この概念は、式4と式5に示すように、方形波のフーリエ級数近似を使用して理解することができます。

$$x(t) = \frac{1}{2} + \frac{2}{\pi} \sum_{n=1}^{\infty} \left[20 \frac{1}{2n-1} \sin((2n-1)\omega_0 t) \right] \quad (\text{eq. 4})$$

$$x(t) = \frac{1}{2} + \frac{2}{\pi} \left[\frac{\sin(\omega_0 t)}{1} + p20 \frac{\sin(3\omega_0 t)}{3} + p20 \frac{\sin(5\omega_0 t)}{5} + \dots \right] \quad (\text{eq. 5})$$

式5. (式4を簡略化したもの)

この式からは、方形波が奇数の高調波で形成されていること、また方形波を完全に形成するには、次数は無限大まで達する必要があることが分かります。ただし、波形を受け入れ可能な形状に近似するには、通常は最初の2項のみで十分です。これらの2項目、つまり1次高調波と3次高調波には、信号の情報のうち約85%が含まれており、妥当な方形波を再構築できます。したがって、周波数 x の妥当な方形波を伝達するために、ESD保護デバイスに必要な帯域幅は $3x$ です。この原則を満たせない場合、データ波形がなまって丸みを帯びた形状になり、正しいデータ伝送に問題が生じます。Table 2に、USB 3.0データ信号の1次高調波および3次高調波に関して、Figure 3 から求めた挿入損失値の比較を示します。

Table 2. INSERTION LOSS RESULTS OF USB 3.0 ESD PROTECTION DEVICES

USB 3.0 ESD Protection Device (Diode Arrays)	Insertion Loss (dB) @ Fundamental Frequency (2.5 GHz)	Insertion Loss (dB) @ Third Harmonic Frequency (7.5 GHz)
ON Semiconductor ESD7016MUTAG	-0.066	-0.240
Competitor A	-0.285	-1.176
Competitor B	-0.375	-0.830
Competitor C	-0.534	-4.485

Table 2の結果から、USB 3.0信号の基本周波数と3次高調波周波数の両方で、テストしたすべてのデバイスのうち、ESD7016の損失が最小であることが分かります。競合製品のうち静電容量が大きいものは、7.5 GHzで損失が1 dB付近またはそれ以上に達しています。

ボード・レイアウトの考慮事項

ESD保護デバイスを選択するときに設計者が考慮する必要があるもう1つの重要な点は、デバイスを回路に配置するときのボード・レイアウトと配線の配線手法です。アプリケーションで最大信号インテグリティを達成できるように、各ステップを実施する必要があります。以下に各ステップを示します。

- 差動の設計方針を使用して、USB 3.0のすべての高速信号トレースを、 $90\ \Omega$ に整合したインピーダンスにする必要があります。
- コモン・モード・ノイズの発生やインピーダンス不整合を防止するために、差動データ・レーンの正ラインと負ラインの間で等長トレースを維持します。
- 複数の高速ペアの間にグラウンド・パターンを配置し、クロストークを防止するために、ペアとペアの間隔をできるだけ広く保ちます。
- 不要な反射を防止するために、可能な限り曲線トレースを使用します。

ESD7016は、USB 3.0の4組のSuperSpeed信号トレースすべて、さらにUSB 2.0の両方の信号トレースを収容できます。これにより、設計者は3組の差動レーンそれぞれの間にGND接続を配置できるため、信号ライン間のクロストークが低減され、SuperSpeedトレースの分離が不要になります。ESD7016は小型のuDFNパッケージを採用しており、業界で好んで採用されるフロースルー型の配線手法を使用できるため、USB 3.0アプリケーションでボードの容易な配線と高い信号インテグリティを両立させる最高クラスのESD保護アレイとなっています。Figure 4とFigure 5に、USB 3.0のStandard-AコネクタとMicro-Bコネクタの両方に対する、オン・セミコンダクター製ESD7016の6ラインESD保護アレイの推奨配線手法を示します。

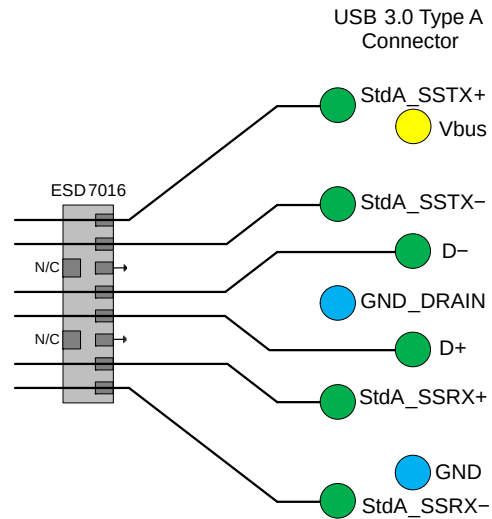


Figure 9. Suggested Routing Scheme Using ESD7016 for USB 3.0 Std_A Connector

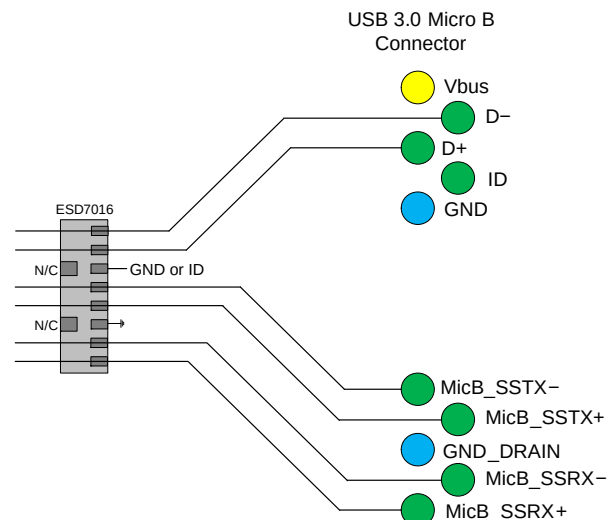


Figure 10. Suggested Routing Scheme Using ESD7016 for USB 3.0 Micro_B Connector

まとめ

このアプリケーション・ノートでは、USB 3.0アプリケーションで外付ESD保護デバイスを選択するときに、信号インテグリティに関連して考慮すべき重要なパラメータについて説明しました。ESD保護デバイスがもたらす寄生静電容量が大きすぎる場合は、USB 3.0信号ラインのインピーダンスが低下してインピーダンス不整合が発生し、信号品質が劣化するおそれがあります。このことは、周波数全域における静電容量の測定、および反射損失(S_{11})と挿入損失(S_{21})両方の測定によって示しました。これらの測定により、オン・セミコンダクターのESD7016より静電容量が大きいデバイスでは、USB 3.0データ信号の基本周波数と3次高調波周波数の両方で反射損失と挿入損失の両方が大きいことが分かりました。ESD7016は6つのI/Oを備えたデバイスで、業界トップクラスの低静電容量を達成しており、小型 μ DFNパッケージに封入されフロースルー配線に対応しています。優れたボード・レイアウト手法を用いてこのデバイスを使用すると、高い信号インテグリティを有する一体型ESD保護ソリューションを実現でき、USB 3.0アプリケーションに対してより多くの静電容量バジェットを確保することができます。

参考文献

- [1] Pozar D., "Microwave Engineering", John Wiley & Sons, 2012.
- [2] Sedra A. & Smith K., "Microelectronic Circuits", Oxford University Press, 2004.
- [3] [EMI7204MU/D](#) – EMI7204MU Datasheet, ON Semiconductor, 2010.
- [4] [AND9018/D](#) – TDR Application Note, ON Semiconductor, 2011.
- [5] [AND9075JP/D](#) – 「データ・アイ・ダイアグラム手法による高速デジタル信号解析の概要」, ON Semiconductor, 2012.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえば、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative