

WDFN8、3.3 x 3.3 mm、 0.65P (μ 8FL)のボード実装ノート



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

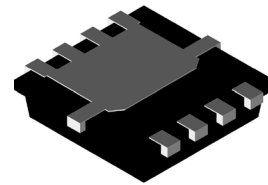


Figure 1. The Underside of a WDFN8 3.3 x 3.3 mm, 0.65P (μ 8FL) Package

はじめに

オン・セミコンダクターは、電力密度の上昇を求める継続した市場ニーズを応えるために、W Dual Flat No-Lead (WDFN)パッケージと呼ぶ、高度なパワー・リードレス・パッケージに複数のデバイスを封入する取り組みを進めています。パワーWDFNプラットフォームは最新の表面実装パッケージ・テクノロジーを反映しています。このテクノロジーは、低いパッケージ高さ、優れた熱特性、小さなフットプリントの特長により、使用が増えています。

設計の柔軟性を高めるために、オン・セミコンダクターは、業界標準のWDFN8 3.3 x 3.3 mm、0.65Pパッケージに封入したマイクロ・エイト・フラット・リード(μ 8FL)製品ポートフォリオを導入しました。このデバイス・ファミリーは小型パッケージであると同時に熱抵抗が非常に小さく、スペースに制約のあるアプリケーションにとって理想的です。

フットプリントが小さいので、この資料に概要を示す推奨ガイドラインに従って、プリント基板(PCB)の設計と組立工程を進めることが重要です。

WDFN8 (μ 8FL)パッケージの概要

μ 8FLパッケージは、SO8FLパッケージの派生版です。同じパッケージング・テクノロジーを活用し、ダイ面積を最大化すると同時に、業界における他の3 x 3 mmパッケージに比べて優れた熱伝達特性を達成しています。このパッケージはリード・フレームの設計を採用し、モールドされたパッケージ本体の外側にリードが張り出すことを許容しています。この特徴により、利用者は目視検査の際に、半田フィレットが伸びていることを確認できます。Figure 1を参照してください。

パッケージ底面は露出しており、PCBに至る直接的で熱抵抗の小さい経路を実現できます。このパッケージでは、銅製クリップを使用してダイを内部で接続する構造を採用しており、ワイヤ・ボンドとクリップの両方を同じ面に配置することで、パッケージの高さを1 mm以下に維持しています。実装の際に、リードと本体はボードに直接取り付けられ、本体とボードの間に隙間は生じません。これらの特徴によって、優れた放熱特性と効率的な小型設計による電氣的寄生素子の減少を実現しています。

Figure 2に、内部構造の詳細と、1個のパワーMOSFETを封入した場合の標準的なピン配置を示します。この構成により、所定フットプリント内に最大ダイ・サイズを収容でき、その結果ボード面積の利用率を高めることができます。 μ 8FLパッケージは鉛フリー仕上げで販売されています。

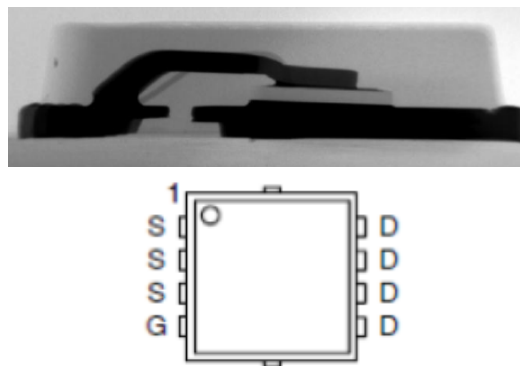


Figure 2. X-Ray View and Pin Out of the Dual Asymmetrical Package

プリント基板設計の考慮事項

表面実装パッケージで一般的に使用されるPCBのパッド構成には、2つの異なる種類があります。これらの異なるパッドで定義される構成は、以下のとおりです。

1. Non-Solder Mask Defined
(NSMD、半田でマスクされていない定義域)
2. Solder Masked Defined
(SMD、半田でマスクされた定義域)

その名が示すとおり、Figure 3に示すように、NSMD接触パッドでは半田付け可能な金属膜化部分から半

田マスクが引き離されている、つまり露出した金属パターンによってパッドが定義されているのに対し、SMDパッドでは金属膜化部分のサイドを半田マスクが覆っている、つまりパッドは半田マスクによって定義された開口部になっています。SMDパッドでは、半田マスクによってパッド上部までの半田ペーストの流れを制限して、金属パッドのサイドに沿って半田が流れないようにします。これは半田がパッドの上部とサイドの両方に流れるNSMD構成とは異なります。

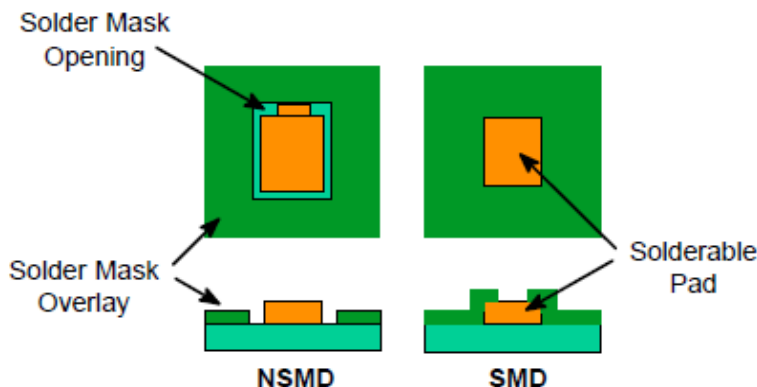


Figure 3. Examples of NSMD vs. SMD PADS

半田マスクに比べて、銅パッドの位置とサイズの定義が容易であることから、SMD構成よりNSMDパッドが好まれます。これは、半田マスク・プロセスより、銅のエッチング・プロセスの方が厳格な許容差を設定できるという事実に基づくものです。

さらに、SMDパッドには、半田がパターンの上部にあるパッドを覆う場所に、ストレス集中ポイントを形成するという固有の特徴もあります。NSMD構成でパターンの側面に半田が流れ落ちることを許容すると、このストレス集中ポイントをなくすことができます。

信頼性の高いアセンブリを作成するうえで、半田接合点とパッドの設計は非常に重要な要因です。

WDFN8パッケージはJEDECに掲載されるMLPパッケージのカテゴリに分類され、代表的な特性は予備メッキされ打ち抜き分離されることであり、このプロセスによりリード末端で銅が露出できるようになります。これは正常な状態であり、IPC JEDEC J-STD-001C「Bottom Only Termination」(底面のみ終端処理)で規定されています。幸い、露出したエッジを覆うメッキの一部と適切に設計されたパッドに対して打抜きと塗布を行い、適切に特性化した半田プロセスを適用し、多くの場合リードの3辺を半田フ illetで覆うことにより、アセンブリの信頼性が向上します。例をFigure 4に示します。

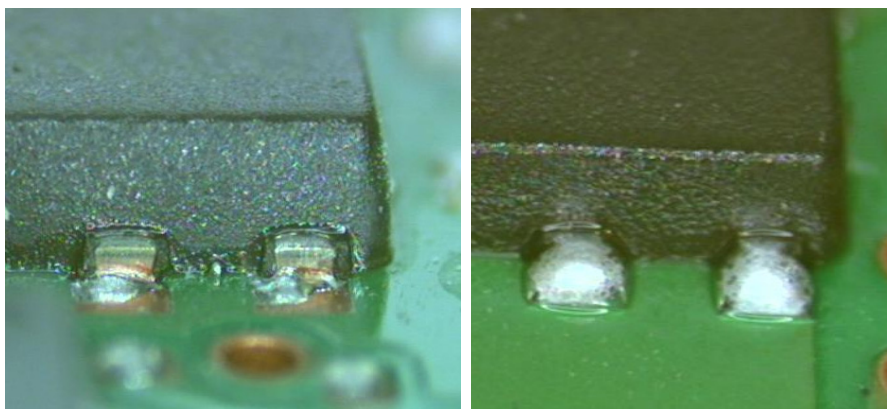


Figure 4. Example of Good Solder Pad Design plus Good Solder Reflow Process versus a Non-Optimized Design

NSMDパッドの考慮事項

寸法的に可能な場合は、半田マスクを半田付け可能なパッドから少なくとも ± 0.076 mm (0.003インチ) 離す必要があります。この間隔は、半田マスクの割り当ての許容差を補正するため、および金属パッドのサイドに沿って半田がリフローする際に、半田がマスクで遮られないことを保証する目的で使用されます。

半田パッドの寸法は、半田フィレットを目視検査できるように、デバイスのフットプリントより大き

くする必要があります。これをFigure 4とFigure 5に示します。パッケージのパッド構成と、PCBのパッド構成の比率は、配置の精度と信頼性を最適化する目的で設計されたものです。これらの要因は、データシートに記載されている推奨フットプリント(Case 511AB)ですでに考慮されています。アセンブリの歩留まり、熱特性、総合的なシステム性能の点で最善の結果を確実に実現するために、顧客がこのガイドラインに従うことが推奨されます。

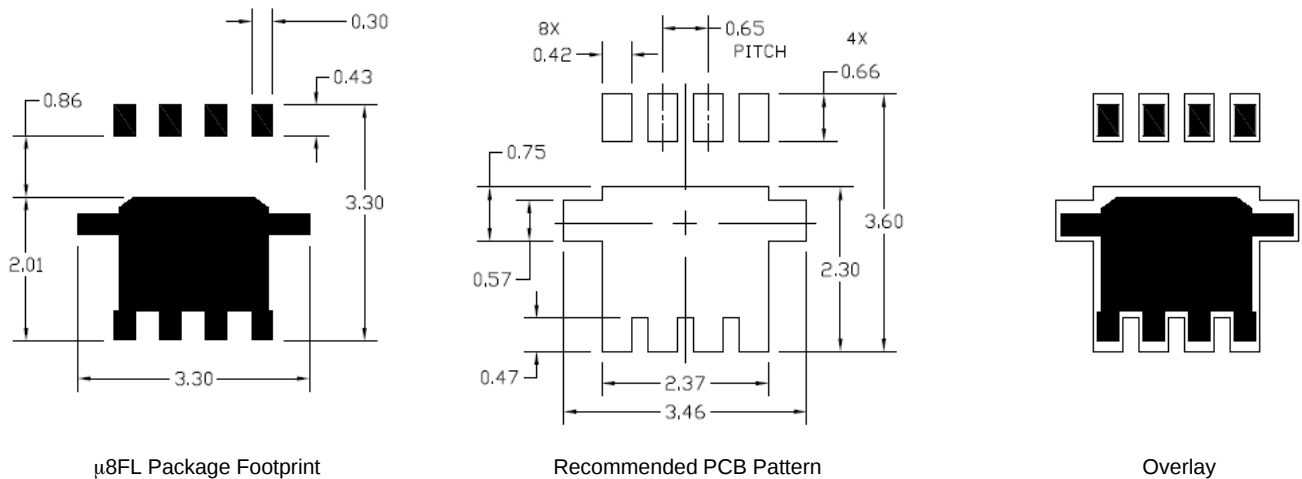


Figure 5. Printed Circuit Board Layout using Non-Solder Masked Defined Pads

WDFN8のボード実装プロセス

表面実装プロセスを最適化するには、最初に以下のプロセスを定義し、制御します。

1. PCB接点で、半田付け可能な金属膜化部分を作成し確保します
2. ビア・ホールを使用します
3. 適切な半田ペーストを選択します
4. 半田ペーストをPCBに転写/塗布します
5. パッケージをPCBに配置します
6. 半田ペーストをリフローします
7. 最終的な半田接合点を検査します

これらの各プロセスに関する推奨事項を以下に記載します。

PCBの材質と半田付け可能な金属膜化部分の仕上げ

鉛フリーのFR-4を使用してPCBを製造することが推奨されます。低品質のFR-4を使用した場合は、鉛フリー半田組成で使用するリフロー温度に晒されると様々な問題が発生する可能性があります。ガイドラインが必要な場合は、IPC-4101B「Specification for Base Materials for Rigid and Multilayer Printed Boards」(堅牢な多層基板の基礎材質に関する仕様)という刊行物を参照してください。

PCBの表面実装デバイスで使用する、メッキ仕上げした半田付け可能な金属膜化部分は、一般的に3種類あります。どの場合も、一貫して半田付け可能なシステムを維持するために、メッキが一様で、

規定に準拠し、不純物が混入していないことが不可欠です。

最初に推奨される金属膜化部分の仕上げには、銅パッドを覆う無電解メッキ・ニッケルと、その後続く浸入型金を使用します。無電解ニッケル層の厚さは、許容可能な内部材質ストレスと、寿命全期間にボードが受ける可能性がある温度変動に基づいて決定します。金による金属膜化部分は通常、自己制限プロセスを使用する場合でも、厚さを $0.05 \mu\text{m}$ 以上にする必要があります。全半田体積に対して5%を上回ってはなりません。半田接合点で金を過剰に使用すると、金脆化が表面化し、接合点の信頼性に影響を及ぼすおそれがあります。

2番目に推奨される金属膜化部分の仕上げは、銅メッキされたパッドを覆うOSP (有機系半田付保護)コーティングです。有機物コーティングにより酸化が減少し、半田付けのための銅金属膜化部分を保護できます。

3番目に推奨される金属膜化部分の仕上げは浸入型銀で、比較的新しいPCBの仕上げ方法です。これは半田付け処理でHASLの代わりに落下を使用する方法と考えられます。PCB表面にある銀仕上げ部分は「白色」に見え、対照的な色なのでOSPを使用する場合より検査が容易になります。

各仕上げ法には有用な特性があり、それぞれに独自のプロセス詳細が存在しますが、この資料では取り上げていません。あらゆるアプリケーションに対

応する1つの仕上法は存在しませんが、現時点で大規模な商業製造で最も一般的に見られるのはOSPで、主にコストが理由です。

WDFN8パッケージでのビア・ホールの使用

たいいていの場合、デバイスの電力処理能力を向上させるのに十分な銅箔面積を1つの層で確保することはできません。この問題を解決するために、設計者は多層基板設計では複数の金属層を接続するために、また2層基板設計では上面と底面を接続するためにビア・ホールを利用します。一般的なことです。ユーザはビア・ホールを使用すると半田が漏れ出す、または溢れ出して空洞が生じる可能性があることを認識する必要があります。推奨される対処方法は、ビアの片側つまり可能な場合はPCBの裏面を半田マスクで覆い、部品側に溢れ出す半田を少なくします。半田の空洞ができるので、デバイスの直下ではビアを半田マスクで覆わないでください。X線検査でPCBとプロセス設計の特性を把握し、空洞問題が生じていないことを確認してください。1つの基本的な推奨事項は、可能な場合は大きなパッドの周辺にビアを配置し、空洞発生や半田の漏れ出しを防止することです。大きなパッドの内部で考えられる配列を、次のFigure 6に示します。

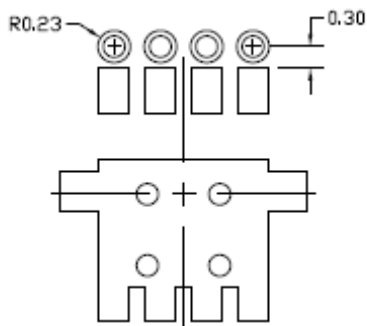


Figure 6. μ 8FL PCB Pattern with 12 mil Dia. Vias on 40 mil centers

半田の種類

業界で一般に使用されている標準的な鉛フリー半田ペーストは、このパッケージでも有効です。IPC Solder Products Value Council (IPC半田製品価値評価評議会)は、電子業界が鉛フリー半田ペースト合金として、96.5 Sn/3.0 Ag/0.5 Cuという比率のSAC (SnAg Cu、錫/銀/銅)合金を推奨しました。半田ペーストとして、Cookson Electronics製のP/N WS3060、Type 3またはそれ以下の粒子サイズが推奨されます。WS3060は洗浄を想定した水溶性フラックスです。洗浄を想定しないフラックスが望ましい場合は、Cookson Electronics製のP/N C0106Aを使用することもできます。

PCBへの半田の転写

プリント基板への半田の塗布による転写は、業界で一般的に使用されている手法です。すべてのアセンブリ・エラーのうち60%はペースト塗布に起因すると推定されます。制御が行き届き、歩留まりの高い製造プロセスにとっては、ペースト塗布はアセンブリに関する非常に重要な手順の1つです。推奨される塗布の厚さは0.127 mm (0.005インチ)であり、塗布開口部の側壁は電解研磨仕上げを使用して約5°の角度で先細りにして、塗布をPCBから取り除くときにペーストを容易に除去できるようにします。

PCBの端部にある標準的な端子パッドの場合は、塗布の開口部をPCB実装パッドと同じサイズにする必要があります。ただし、デバイスのメイン・パッドをPCBに半田付けする場合は、Figure 7に示すように、塗布の開口部をより小規模なグリッドに分割して、気体を通り抜ける経路を確保する必要があります。より大きいパッドをより小さい転写開口部に分割すると、半田ボイドのリスクが軽減され、小さい端子パッドに対応する半田接合部を大きいパッドと同じ高さにすることができます。代表的な半田カバレッジは露出しているパッド面積の60~80%です。もう1つ、確認する必要があるのは、IPC-7525「Stencil Design Guidelines」(ステンシル設計ガイドライン)という刊行物です。この中ではペースト除去予測の面積比を計算する式が記載されています。

$$\text{Area Ratio} = \frac{\text{Area of Pad}}{\text{Area of Aperture Walls}} = \frac{L \cdot W}{2 \cdot (L + W) \cdot T}$$

ここで、 L はステンシルの長さ、 W は幅、 T は厚さです。この式と0.66を上回る面積比を使用すると、許容されるペースト除去が得られます。推奨されるPCBフットプリントに対して推奨される半田ステンシルのオーバーレイをFigure 8に示します。

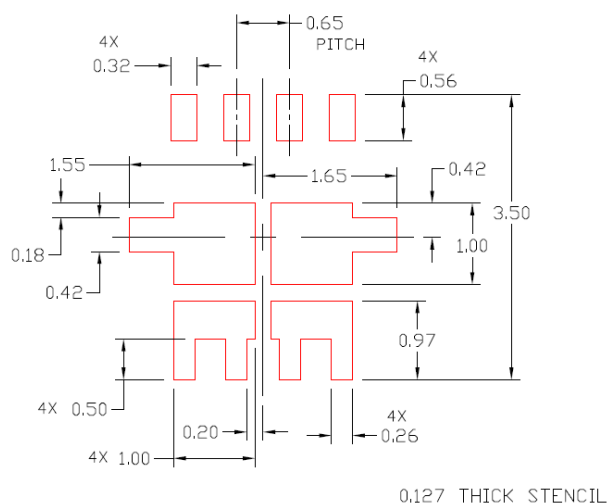


Figure 7. Solder Stencil Design Illustrating How Stencil Openings are Divided into an Array for Large Device Areas

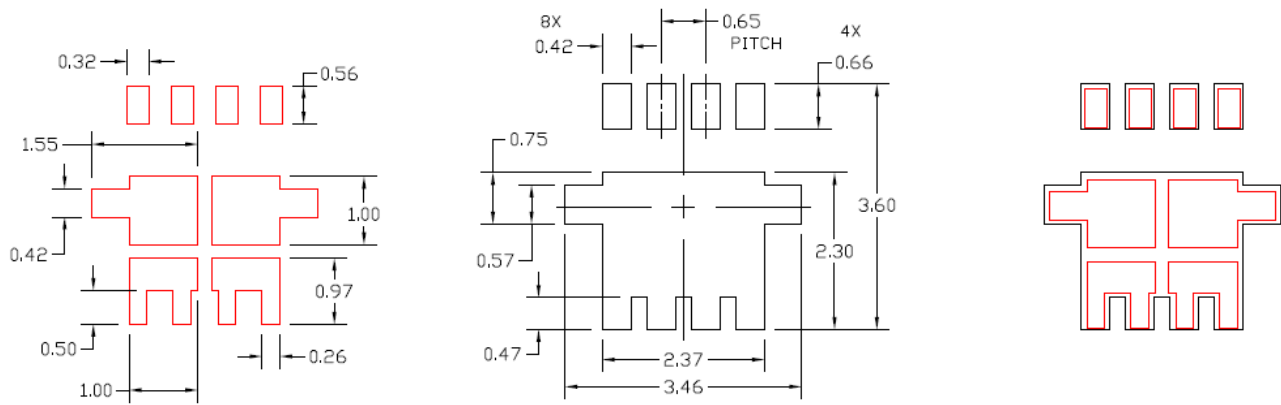


Figure 8. Solder Stencil Overlay on μ 8FL Recommended PCB Footprint.

PCBへのパッケージの配置

標準許容差 ± 0.05 mm以下の実装機が推奨されます。パッケージは、半田の表面張力のために、リフロー・プロセス中に自己センタリングとわずかな配置誤差訂正の傾向があります。

半田リフロー

半田ペーストに沿ってパッケージをPCBに配置した後、標準的な表面実装リフロー・プロセスを使用してパーツを半田付けすることができます。Figure 9とFigure 10は、標準的に使用されている錫/鉛(Sn/Pb)の半田、および鉛フリー半田合金に対応する標準的なリフロー・プロファイルの例です。なお、WDFN8パッケージは、JEDEC specification J-STD-020Cに従って、鉛フリー・プロファイル要件を満たすことが認定されています。

製品およびオープンごとに使用される最適なリフロー・プロファイルは異なります。同じ機器を異なる施設で使用する場合も、プロファイル进行调整しなければならない場合があります。適切な温度勾配と浸漬レートは、半田ペーストのベンダが個別の製品ごとに決定します。フラックス・マトリクス of 化学成分と粘度には差異があるので、ペースト・ベンダからこの情報を入手することを強くお勧めします。正確なプロファイルは、ボードの密度と厚さに基づいてプロセス・エンジニアが決定するものです。これらには差異があるので、最適化されたプロセスを実現するために、プロファイルにわずかな変更を加える必要が生じます。

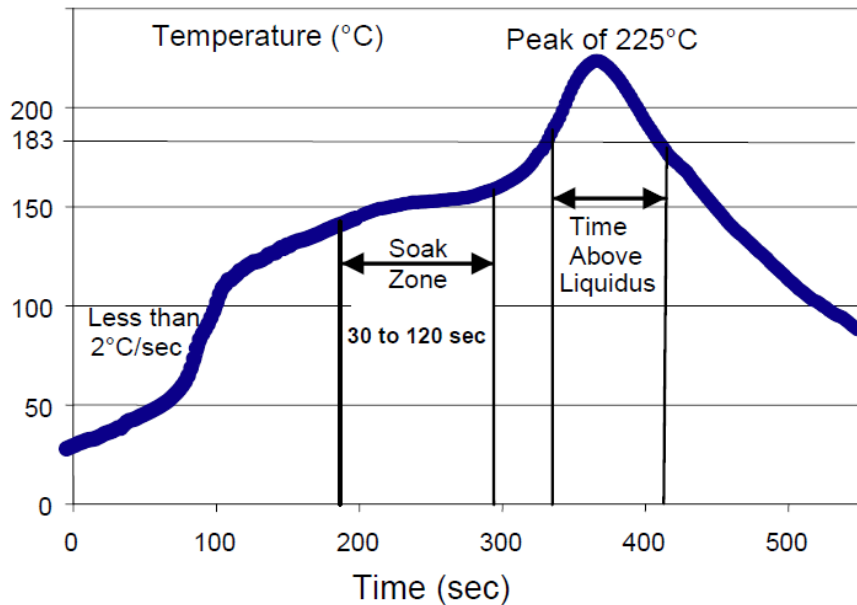


Figure 9. Typical Reflow Profile for Standard Tin/Lead (SnPb) Solder

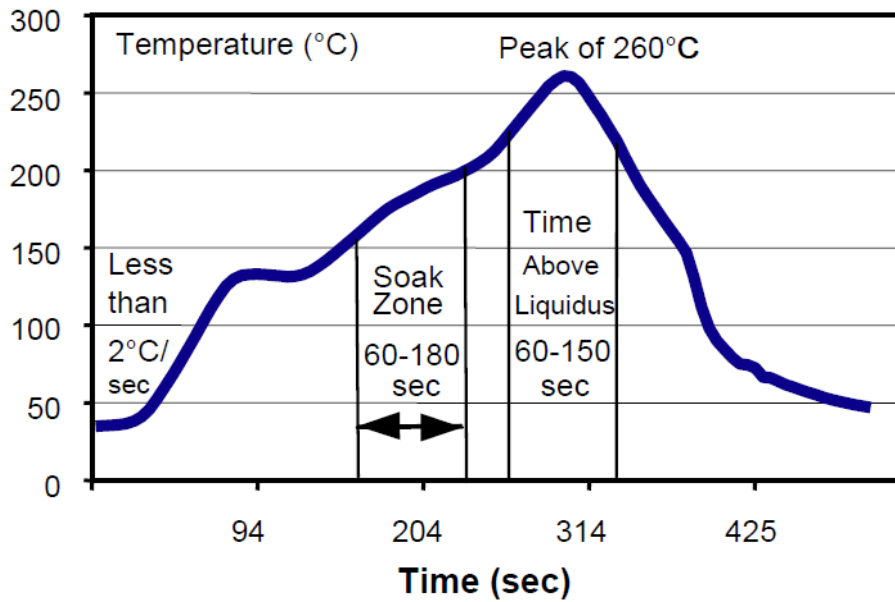


Figure 10. Typical Reflow Profile for Standard Pb-Free Solder

一般的に、リフロー・プロファイルの最初の段階で、2°C/secを上回る温度勾配でパーツの温度を上昇させないでください。その後にパーツが約150°Cに達した時点で浸漬ゾーンが発生しますが、鉛フリー・プロファイルでは60～180秒(SnPbプロファイルでは30～120秒)にわたって持続させる必要があります。通常、浸漬ゾーン内のこの時間を長くすると、半田内部でボイドが発生するリスクが低減されます。次いで、温度が上昇し、この温度はボードの質量に応じて、半田が液体になる温度を上回る状態で、鉛フリー・プロファイルの場合は60～150秒(SnPbプロファイルの場合は30～100秒)にわたって持続されます。プロファイルのピーク温度は、鉛フリー半田合金の場合は245～260°C (共融SnPb半田の場合は205～225°C)の範囲にする必要があります。

必要な場合は、フラックス・メーカーで規定される推奨手順を使用して、残存半田フラックスの除去を完了することができます。

最終半田検査

半田接合部の検査は一般に、X線検査システムを使用して行います。このツールを使用すると、パッド間での短絡、接合部の開放、半田内のボイド、外部付着半田などの欠陥を突き止めることができます。

欠陥の探索に加えて、実装したデバイスの側面を回転させ、X線検査システムで半田接合部の側面を検査することができます。半田接合部に十分な量の半田が付着して適切なスタンドオフの高さを確保し、Figure 11に示すような「砂時計」型の接続が形成されていないことが求められます。「砂時計」型の半田接合部には信頼性の懸念があり、回避する必要があります。

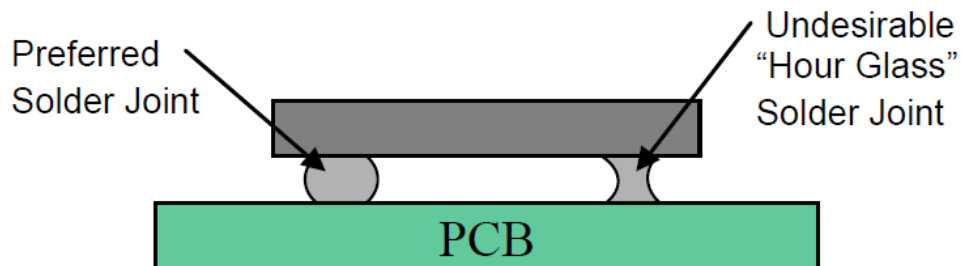


Figure 11. Side View of WDFN 8 Attachment Illustrating Preferred and Undesirable Solder Joint Shapes

リワーク手順

μ8FLはリードレス・デバイスなので、半田接合部に問題がある場合は、パッケージ全体をプリント基板から取り外す必要があります。通常、デバイスは互いに近接して配置されているため、パッケージを取り外す際に、近傍のデバイスを過熱させる可能性を最小限に抑えることが重要です。鉛フリーのリフローに関係する高温が原因で、リワークが必要になった場合はこの部品を再利用しないことを推奨します。

この手順では、空気流と温度勾配を注意深く制御できるので、標準的なSMTリワーク・システムが推奨されます。また、過剰な湿気をパッケージから取り除くために、パーツを加熱する前に、125°Cのオーブン内に4～8時間PCBを入れておくことも推奨されます。リフロー温度に晒される領域を制御するために、μ8FL部品の場所に相当するボード裏面に熱を伝導させ、ボードを100°Cに加熱する必要があります。通常、その後は加熱ゾーンを使用して局部的に温度を上昇させます。

μ8FLの半田接合点を液体化温度以上に加熱した後、パッケージを速やかに取り外し、プリント基板上のパッドを洗浄する必要があります。パッドの洗浄は通常、ブレード形状の導電ツールと、半田吸い取りブレードを使用して実施します。手順を簡略化するために、このプロセスでは洗浄を想定しないフラックスを使用します。

次に、新しいデバイスを実装する準備として、所定の場所に半田ペーストを塗布または転写します。ほとんどのPCBの設計では、隣接するパッケージが近接して配置されているため、通常は個々の部品のための塗布用小型ステンシルが必要です。パッケージを実装するときに使用した元のステンシル設計と同じものを、パッド修復用小型ステンシルとして適用できます。半田ペーストを塗布する場合は、この種のリワークで経験を積んだ技術者が非常に重要な役割を果たします。

μ8FLが小型パッド構成であり、またパッドがパッケージの下に位置するので、拡大による補助なし

に、手動による取得・配置手順を実行することは推奨されません。代わりに、パッケージの下部をPCBに揃えることができる、2画像表示の光学システムを使用する必要があります。このようなシステムが利用できない場合は、成功するのに、X15接眼レンズ付きの双眼顕微鏡と経験を積んだ技術者が最低限必要です。

コンポーネントをボードにリフローするには、ボードを元のリフロー・プロファイルで処理するか、このパッケージを取り外すのに使用したのと同じプロセスで、パッケージを選択的に加熱する方法が利用できます。2回目のリフロー時にボード全体を対象にする場合の長所は、定義済みプロファイルを使用して、μ8FLが一貫性のある方法で実装されることです。この方法の短所は、同じ種類の半田を使用して実装されている他の全デバイスに対して、2回目のリフローを実施することです。すべてのパーツを対象にして2回目のリフローを行うことは、特定のアプリケーションでは問題があるか受け入れられないため、部分的リフロー・オプションが推奨手順になります。

参考文献

- [1] [AND8195JP/D](#), SO8フラット・リードのボード実装ノート, ON Semiconductor.
- [2] IPC J-STD-001C, "Requirements for Solder Electrical and Electronic Assemblies", March 2000.
- [3] IPC Solder Products Value Council, "Round Robin Testing and Analysis of Lead Free Solder Pastes with Alloys of Tin, Silver and Copper", March 2006.
- [4] IPC-SM-7525, Stencil Design Guidelines", May 2000.
- [5] IPC JEDEC-J-STD-020D.1 "Moisture/Reflow Sensitivity Classification for Non-Hermetic Solid State Surface Mount Devices", March 2008.
- [6] Case Outline - 511AB, ON Semiconductor Standard, WDFN8 3.3 × 3.3 mm, 0.65P.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえば、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative