

NCP1602を使用して小型・高効率のPFCステージを設計するための5つの主要ステップ



ON Semiconductor®

www.onsemi.jp

説明

この資料では、NCP1602で駆動する不連続導通モード(DCM)PFCステージを素早く設計するための5つの主要ステップについて説明します。実用的な160 Wのユニバーサル・ライン電圧アプリケーションを通じて、このプロセスを示します。

- 最大出力電力：160 W
- rmsライン電圧範囲：86~265 V
- 安定化出力電圧：400 V
- ライン電流が400 mA未満の場合は周波数フォールドバック

はじめに

TSOP-6パッケージに封入されたNCP1602は、負荷範囲全体でPFCステージの効率を最適化するように設計されています。過酷な動作に対応できるように保護機能を内蔵しており、コスト効果、信頼性、小さいスタンバイ消費電力、高効率が重要な要件であるシステムに最適です。

- バレー同期周波数フォールドバック(VSFF)：VCTRLピンの電圧がプリセット・レベルを上回っている場合、この回路は臨界導通モード(CrM)で動作します。VCTRLピンの電圧がプリセット・レベル以下になると、コントローラは不連続導通モードに移行し、インダクタ減磁フェーズの後にデッドタイムを追加するようになります。VCTRLピンの電圧が低下すると、追加されるデッドタイムの値が大きくなります。その結果、スイッチング周波数は約33 kHzまで直線的に減衰します。
- スキップ・モード：スキップ・モードはオプションです。NCP1602-[B**]およびNCP1602-[D**]バージョンはスキップ・モード機能を搭載していますが、NCP1602-[A**]およびNCP1602-[C**]バージョンではスキップ・モード機能が無効になっています。低出力電力時の電力効率を最適化するために、スキップ・モード付きのコントローラ・バージョンが用意されています。VCTRLピンの電圧が、スキップ・モードのスレッシュホールド電圧より低くなった場合は、パワーMOSFETのドライブが無効になります。その結果、コントローラの出力電圧は低下し、VCTRL電圧が上昇して、最終的にスキップ・モードのスレッシュホールドを上回ります。現在、VCTRLピンの電圧は、スキップ・モードのスレッシュホールド電圧を上回っているため、パワーMOSFETのドライブは有効になります。
- 小さい起動電流と広いVCC範囲：NCP1602-[**A]および[**B]バージョンでは、起動時の消費電力が非常に小さいので、VCCコンデンサを充電するために、高い抵抗を使用できます。NCP1602-[**C]および

APPLICATION NOTE

[**D]バージョンは、補助電源から電流が供給されるアプリケーションを想定しています。この製品の起動電圧レベルは11.25 V未満であり、ICは12 Vレールから電力供給を受けることができます。どちらのバージョンも、広いVCC動作範囲(9.5~30 V)に対応しています。

- ライン/負荷の高速過渡に対する補償(ダイナミック応答エンハンサとソフトOVP)：従来型のPFCステージでは低速なループ応答が原因で、負荷または入力電圧に急激な変動が生じた場合は、大きなオーバーシュートまたはアンダシュートが発生していました。この独自のICは、発生する可能性がある、安定化ポイントからのこのような偏移を大幅に制限します。
- 安全保護：NCP1602の機能により、PFCステージは非常に堅牢になります。その中でも、ACライン電圧が非常に低い場合に動作を停止させるブラウンアウト(BO)検出ブロック¹と、電流制限を基準にしてインダクタ電流の大きさが150%を上回るイベントが発生したときにデューティ比の低い動作を強制する2レベル電流センスに注目することができます。この状況は、インダクタの飽和やバイパス・ダイオードまたは昇圧ダイオードの短絡が原因で発生する可能性があります。
- 製造と安全性試験の平易化：PFCステージ内の一部の素子で、偶発的な短絡、半田不良、製造または取り扱いの不備、過大な機械的ストレスや他のトラブルの結果として、損傷が発生する可能性があります。特に、隣接ピン同士が短絡したり、1本のピンが接地されたり接続不良を起こすことがあります。多くの場合、仮にこのような開路や短絡の状況が発生したとしても、発火、発煙、大きな騒音を防止することが求められます。NCP1602にはこの要件に取り組みのに役立つ拡張機能が搭載されており、例えば、(GNDを含む)正しくないピン接続や、昇圧ダイオードまたはバイパス・ダイオードの短絡が発生した場合でも対応できます。アプリケーション・ノート [AND9079JP/D](#) (英語)では、NCP1612が駆動するPFCステージが安全性試験の状況で示す挙動について詳細に説明しています[1]。

¹また、ブラウンアウト検出ブロック入力ピンの電圧(CS/ZCD)は、ライン電圧の範囲を検出する目的、およびライン電圧が高い状況でループ・ゲインを小さくする(2ステップのフィードフォワード)目的でも使用されます。

ステップ1：主要な仕様の定義

- f_{line} : ライン電圧の周波数。50 Hz/60 Hzのアプリケーションがターゲットです。実際は、これらのアプリケーションではほとんどの場合は47~63 Hzの範囲が規定されており、ホールドアップ時間などを計算する場合は、規定最小値を係数として使用する必要があります。
- $(V_{line,rms})_{min}$: ライン電圧の最小レベル。これはPFCステージが動作する必要がある最小rms入力電圧です。このようなレベルは通常、標準電圧の最小値を10~12%下回る値であり、多くの国では100 Vになります。ここでは、 $(V_{line,rms})_{min} = 90$ Vを使用します。
- $(V_{line,rms})_{max}$: ライン電圧の最大レベル。これは最大rms入力電圧です。これは通常、標準電圧の最大値を10%上回る値です(多くの国で240 V)。ここでは、 $(V_{line,rms})_{max} = 264$ Vを選択します。
- 高いライン電圧 $(V_{line,rms})_{HL}$ と低いライン電圧 $(V_{line,rms})_{LL}$ の各スレッショルドは、内部のライン・フィードフォワードに関する規定です。動作ライン電圧は、 $(V_{line,rms})_{HL}$ を十分上回っているか、 $(V_{line,rms})_{LL}$ を十分下回っていることが必要です。これらのスレッショルドの値を変更することはできません。 V_{HL} および V_{LL} という内部基準電圧は固定的であり、 $K_{CS} = ((R_{CS1} + R_{CS2}) / (K_{CS1}))$ という K_{CS} の値を変更することによって、これらの電圧を変更することはできません。 K_{CS} 値は、OVP2レベルとライン電圧のブラウンアウト・レベルも制御しているからです。
 - ◆ $(V_{line,rms})_{LL} = \frac{K_{CS}V_{LL}}{\sqrt{2}} = \frac{138 \cdot 1.392}{\sqrt{2}} = 135.9$ V_{rms} (eq. 1)
 - ◆ $(V_{line,rms})_{HL} = \frac{K_{CS}V_{HL}}{\sqrt{2}} = \frac{138 \cdot 1.801}{\sqrt{2}} = 175.8$ V_{rms} (eq. 2)
- $(V_{line,rms})_{boH}$: ブラウンアウトのライン電圧上側スレッショルド(ブラウンアウト保護機能を搭載しているバージョンのコントローラを使用している場合に適用。ブラウンアウト保護機能を搭載していないバージョンのコントローラでは、以下のライン電圧は適用されない)。ICはライン電圧のrms電圧が $(V_{line,rms})_{boH}$ を上回るまで動作を防止します。NCP1602には10%のヒステリシスがあります。したがって、特別なアクションが発生しない場合は、ブラウンアウト状況を検出し、rmsライン電圧が $(V_{line,rms})_{boL}$ 以下、つまり $((90\% \cdot V_{line,rms})_{boH})$ 以下になると、動作を停止します。ブラウンアウト事

象は、CS/ZCDピンとKCSパラメータを通じて検知されます。 $K_{CS} = ((R_{CS1} + R_{CS2}) / (K_{CS1})) = 138$ です。ブラウンアウトに関する内部の固定基準電圧値は $V_{boH} = 819$ mVと $V_{boL} = 737$ mVであり、ライン電圧のブラウンアウト・スレッショルドの計算に、次のように使用されています。

$$\diamond (V_{line,rms})_{boH} = \frac{K_{CS}V_{boH}}{\sqrt{2}} = 80$$
 V (eq. 3)

$$\diamond (V_{line,rms})_{boL} = \frac{K_{CS}V_{boL}}{\sqrt{2}} = 72$$
 V (eq. 4)

注： ライン電圧のブラウンアウト・スレッショルドを K_{CS} を使用して変更することはできません。 K_{CS} は、OVP2のスレッショルドと内部ライン・フィードフォワード・スレッショルドも制御するからです。

- $V_{out,nom}$: 公称出力電圧。これはPFC出力電圧の安定化レベル(また、バルク電圧としても指定)です。 $V_{out,nom}$ は、 $(\sqrt{2} \cdot (V_{line,rms})_{HL}) = 373$ Vを上回っている必要があります。ここでは、400 Vがターゲット値です(計算の際は399 Vを使用します)。
- $(\delta V_{out})_{pk-pk}$: ピークツーピーク出力電圧リップル。このパラメータは多くの場合、出力電圧の比率で規定されています。通常動作時にダイナミック応答エンハンサ(DRE)がトリガされないようにするために、8%未満の値を選択する必要があります。
- P_{out} : 出力電力。これはPFCの負荷によって消費される電力です。
- $P_{out,max}$: 最大出力電力。これは最大出力電力レベルであり、このアプリケーションでは160 Wです。
- $(P_{in,avg})_{max}$: 最大入力電力。これは、通常動作時にライン電圧から吸収できる最大電力です。このレベルは、最大負荷、低いライン電圧の場合に達成されます。これらの条件下で95%の効率を想定して、次の値を使用します。
 $(P_{in,avg})_{max} = 160/95\% \approx 170$ W
- $I_{line,max}$: 最大負荷、低いライン電圧の場合に達成される最大ライン電流。
- $V_{ctrl,th,*}$: CTRLピンの電圧スレッショルドであり、この値を下回るとICは周波数(VSFF)を低下させます。CTRLピンの電圧 V_{ctrl} が $V_{ctrl,th,*}$ を下回っている場合、PFCステージは永続的に低い周波数で動作します。逆に、 V_{ctrl} が $V_{ctrl,th,*}$ を上回っている場合は、PFCステージはCrMで動作します(周波数フォールドバックなし)。

ステップ2：電力素子の選択

重負荷の条件下では、NCP1602は臨界導通モード(Critical conduction Mode、CrM)で動作します。したがって、インダクタ、バルク・コンデンサ、電力用シリコン・デバイスのパラメータ選択は、他のあらゆるCrM PFCの場合と同じ方法で実施します。このセクションでは、このプロセスに関する詳細は説明しませんが、要点をいくつかの簡単に述べます。

インダクタの選択

ICのオンタイムは内部で制限されます。 L によって、特定のオンタイム中の電流上昇が決まるので、PFCステージが供給できる電力はインダクタに応じて異なります。より具体的には、次の式によってPFCステージの電力供給能力が表されます。

$$(P_{in,avg})_{HL} = \frac{V_{line,rms}^2}{2L} \cdot T_{on,max} \quad (\text{eq. 5})$$

インダクタが小さいほど、PFCステージの電力供給能力が大きくなります。したがって、最小限のライン電圧レベルで最大電力を供給できるように、 L を十分小さくする必要があります。

$$L \leq \frac{(V_{line,rms})_{LL}^2}{2 \cdot (P_{in,avg})_{max}} \cdot T_{on,max} \quad (\text{eq. 6})$$

従来型CrMアプリケーションと同様に、次式で他の重要なパラメータが得られます。

- 最大ピーク電流：

$$(I_{L,pk})_{max} = 2 \cdot \sqrt{2} \cdot \frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}} \quad (\text{eq. 7})$$

- 最大rms電流：

$$(I_{L,rms})_{max} = \frac{(I_{L,pk})_{max}}{\sqrt{6}} \quad (\text{eq. 8})$$

このアプリケーションでは、次にインダクタが以下の要件を満たす必要があります。

注： $T_{ON,max,LL} = 12.5 \mu\text{s}$ は、EVBで使用されるNCP1602-AEAバージョン(2文字目がE)に対応します。

$$L \leq \frac{90^2}{2 \cdot 170} \cdot 12.5 \mu = 295 \mu\text{H}$$

$$(I_{L,pk})_{max} = 2 \cdot \sqrt{2} \cdot \frac{170}{90} \approx 5.3 \text{ A} \quad (\text{eq. 9})$$

$$(I_{L,rms})_{max} = \frac{5.3}{\sqrt{6}} \approx 2.2 \text{ A}$$

($T_{on,max} = 12.5 \mu\text{s}$)はNCP1602-AEAバージョンに対応する値であり、Eq. 9で使用されています。ただし、Eq. 9で使用されている $T_{on,max}$ に関するワースト・ケースは、NCP1602-*G*、NCP1602-*H*、NCP1602-*I*

の各製品バージョンに関するものであり、ライン電圧が低い場合の $T_{on,max}$ は $8.33 \mu\text{s}$ に等しくなります。 $T_{on,max}$ が小さいこれらのバージョンを使用する場合は、インダクタの値は次の条件を満たす必要があります。

$$L \leq \frac{90^2}{2 \cdot 170} \cdot 8.5 \mu = 202 \mu\text{H} \quad (\text{eq. 10})$$

また、適切なマージンを確保する目的で、Eq. 9で得られた結果より少なくとも25%小さいインダクタ値を選択することを推奨します。

200 $\mu\text{H}/6 \text{ Apk}$ のインダクタ(参考製品：WÜRTH ELEKTRONIKの750370081)を選択します。この製品には、ゼロ電流検出の目的で10:1の補助巻線が実装されています。

CrM動作時のスイッチング周波数が次のようにインダクタ値によって異なることを確認できます。

$$f_{sw} = \frac{V_{line}(t)^2 \cdot (V_{out} - V_{line}(t))}{4 \cdot P_{in,avg} \cdot V_{out} \cdot L} \cdot 8.5 \mu = 202 \mu\text{H} \quad (\text{eq. 11})$$

例えば、ライン電圧が低い場合の最大負荷(正弦波の上端)時のスイッチング周波数は次のとおりです。

$$f_{sw} = \frac{(\sqrt{2} \cdot 90)^2 \cdot (390 - \sqrt{2} \cdot 90)}{4 \cdot 170 \cdot 390 \cdot 200 \cdot 10^{-6}} \approx 80 \text{ kHz} \quad (\text{eq. 12})$$

電力用シリコン・デバイス

一般的に、ダイオード・ブリッジとパワーMOSFETに共通のヒートシンクを取り付けます。

一般的な目安として、ヒートシンクはおよそ以下の値を放射する必要があると推定できます。

- ライン電圧範囲が広いアプリケーションでは出力電力の4% (最小効率として一般的に95%が目標)。
- 単一ライン電圧アプリケーションでは出力電力の2%。

この例はライン電圧範囲が広いアプリケーションであり、約6.4 Wを放射する必要があります。COLUMBIA-STAVERの低プロファイル・ヒートシンク(参考製品：TP207ST/120/12.5/NA/SP/03)を選択しましたが、この製品の熱抵抗を測定したところ、 $6^\circ\text{C}/\text{W}$ 前後の範囲にありました。

この発熱に寄与する損失源として、以下のものを挙げてみます。

- ダイオード・ブリッジの導通損失は、次式で推定できます。

$$P_{bridge} = 2 \cdot V_f \cdot \frac{2 \frac{\sqrt{2}}{\pi} \cdot \frac{P_{out}}{\eta}}{V_{line,rms}} \approx \frac{1.8 \cdot V_f}{V_{line,rms}} \cdot \frac{P_{out}}{\eta} \quad (\text{eq. 13})$$

ここで、 V_f は定格電流におけるブリッジ・ダイオードの順方向電圧です。

- MOSFETの導通損失は、次式によって表されます。

$$(P_{on})_{max} = \frac{4}{3} \cdot R_{DS(on)} \cdot \left(\frac{P_{out,max}}{\eta \cdot (V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right) \quad (\text{eq. 14})$$

このアプリケーションでは、以下の値になります。

- $P_{BRIDGE} = 3.4 \text{ W}$ ですが、 V_f が1 Vと仮定しています。
- $(P_{on})_{max} = 3.4 \cdot R_{DS(on)}$ 。このアプリケーションでは、過剰な導通損失を避けるために、 $R_{DS(on)}$ の小さいMOSFET (0.25 Ω@25°C)を選択しています。 $R_{DS(on)}$ が高温時に2倍になると仮定すると、最大導通損失ピークは約1.7 Wです。

したがって、MOSFETとダイオード・ブリッジの全導通損失は最大で約5.1 Wに達する可能性があります。

スイッチング損失は簡単には計算できません。ここでは推定を行いません。代わりに、一般的な目安として損失バジェット、つまりこの損失の大きさが、MOSFETの導通損失に等しいと仮定します。複数の実験的な試験では、この仮定が過小推定ではないことを確認できました。

昇圧ダイオードは導通損失($I_{OUT} \cdot V_f$)の発生源です。ここで I_{OUT} は負荷電流、 V_f はダイオードの順方向電圧。最大出力電流は0.4 A付近であり、ダイオードの導通損失は0.4 W前後の範囲です($V_f = 1 \text{ V}$ を仮定)。 $P_{DIODE} = 0.4 \text{ W}$

出力バルク・コンデンサ

バルク・コンデンサを定義するときには、一般的に次の3つの主な条件/制約があります。

- ピークツーピークの低周波リップル：

$$(\delta V_{out})_{pk-pk} = \frac{P_{out,max}}{C_{bulk} \cdot \omega \cdot V_{out,nom}} \quad (\text{eq. 15})$$

ここで、($\omega = 2\pi \cdot f_{line}$)はラインの角周波数です。定常状態でダイナミック応答エンハンサ(DRE)シ

ステムがトリガされないようにするために、このリップルは出力電圧の±4%(ピークツーピークで8%)未満に維持する必要があります。ライン電圧周波数の最小値(47 Hz)を考慮に入れると、次式を導くことができます。

$$C_{bulk} \geq \frac{160}{8\% \cdot 2\pi \cdot 47 \cdot 399^2} \cong 42 \mu\text{F} \quad (\text{eq. 16})$$

- ホールドアップ時間の仕様：

$$C_{bulk} \geq \frac{2 \cdot P_{out,max} \cdot t_{HOLD-UP}}{V_{out,nom}^2 - V_{out,min}^2} \quad (\text{eq. 17})$$

したがって、10 msのホールドアップ時間を仮定すると、次の結果になります。

$$C_{bulk} \geq \frac{2 \cdot 160 \cdot 10 \text{ m}}{399^2 - 350^2} \cong 87 \mu\text{F} \quad (\text{eq. 18})$$

- コンデンサのrms電流：

rms電流は、負荷の特性によって異なります。抵抗性負荷を仮定すると、電流の大きさについて次の近似式を導くことができます²。

$$(I_{c,rms})_{max} \cong \sqrt{\left[\sqrt{\frac{32\sqrt{2}}{9\pi} \cdot \frac{(P_{in,avg})_{max}}{\sqrt{(V_{line,rms})_{LL} \cdot V_{out,nom}}}} \right]^2 - \left(\frac{P_{out,max}}{V_{out,nom}} \right)^2} \quad (\text{eq. 19})$$

このアプリケーションでは、以下の値になります。

$$I_{c,rms} \cong \sqrt{\left(\sqrt{\frac{32\sqrt{2}}{9\pi} \cdot \frac{170}{\sqrt{90 \cdot 399}}} \right)^2 - \left(\frac{160}{399} \right)^2} \cong 1.06 \text{ A} \quad (\text{eq. 20})$$

²ベンチのテストでバルク・コンデンサの発熱を確認することも有効です。

ステップ3：バルク電圧の監視と安定化ループ

Figure 1に示すように、フィードバック回路は以下の要素で形成されています。

- FBピンにフィードバック信号を供給するためにバルク電圧を分割する抵抗分割器。分割器の上側抵抗は一般的に、安全性を考慮して3個か4個の抵抗器で形成されます(Figure 7の R_8 、 R_9 、 R_{10} を参照)。このような構成にしないと、この素子の偶発的な短絡が発生した場合、コントローラの低電圧ピンに高い電圧出力が印加され、コントローラが破壊されるおそれがあります。

- スwitchング・ノイズが原因でフィードバック信号が歪まないよう、大抵はFBピンとグランドの間にフィルタ・コンデンサを配置します。通常は1 nFのコンデンサを1個実装します。一般的に、フィードバック抵抗との組み合わせで形成される極は、ライン周波数に比べて非常に高い周波数でも同じ値にとどまる必要があります。実際に、

$$C_{fb} \leq \frac{1}{150 \cdot (R_{fb1} \parallel R_{fb2}) \cdot f_{line}}$$

を使用すると、一般的に良好な結果が得られます。

- タイプ-2補償回路：2個のコンデンサと1個の抵抗で形成されるこの回路は、クロスオーバー周波数とループ特性を決定します。

定常状態では、フィードバックは2.5 Vの安定化基準電圧の範囲にあり、フィードバックの下側抵抗 (Figure 1の R_{fb2} またはFigure 8の R_{11})を使用して、以下のようにフィードバック抵抗のバイアス電流を設定します。

$$I_{FB} = \frac{V_{REF}}{R_{fb2}} = \frac{2.5}{R_{fb2}} \quad (\text{eq. 21})$$

損失と雑音余裕度でトレードオフを図って、この抵抗を選択します。最大56 k Ω ($I_{FB} \approx 50 \mu\text{A}$)までの範囲の抵抗で、一般的に良好な結果が得られます。ボードのPCBレイアウト上、実装可能な場合は、より大きい値を検討できます。フィードバック・ピンをグランドに接続するため、およびこのピンが偶発的に開回路になった場合はドライバを無効にするため、250 nAのシンク電流(-40~125°Cの温度範囲で最大500 nA)を流す回路が実装されていることに注意してください。 I_{FB} を50 μA 以下に設定する場合は、安定化レベルが250 nAのシンク電流によって大きな影響を受ける可能性があります。

下側抵抗を選択した段階で、上側抵抗を次のように選択します。

$$R_{fb1} = R_{fb2} \cdot \left(\frac{V_{out,nom}}{V_{REF}} - 1 \right) \quad (\text{eq. 22})$$

このアプリケーションでは、 R_{fb2} ($I_{FB} \approx 92 \mu\text{A}$)とし27 k Ω の抵抗を1個選択します。 R_{fb1} として、2個の1,800 k Ω 抵抗を選択し、680 k Ω の抵抗に直列に配置します。これらの標準的な抵抗値を使用すると、正確には($R_{fb1} = 4.28 \text{ M}\Omega$)という値になり、導かれる公称安定化レベルは399 Vで、受け入れ可能な値です。

ループの補償

フィードフォワードを適用していない場合は、PFC昇圧コンバータのループ・ゲインはライン電圧振幅の2乗に比例します。したがって、ユニバーサル・ライン電圧の条件次第で、このゲインは大きく変動します。ライン電圧値を反映する内部電圧を取得する目的で、CS/ZCDピンの電圧はNCP1602によって処理されます。NCP1602はこの情報を使用して2レベルのフィードフォワード機能を実行します。つまり、 $V_{line,rms}$ が $(V_{in,rms})_{HL}$ を上回り、ライン電圧が高いことが検出された場合は、ライン電圧が低い($V_{line,rms}$ が25 msにわたって $(V_{in,rms})_{HL}$ 未満である場合に設定される - Figure 2とFigure 4を参照)場合に比べて、PWMゲインが3で除算されます(実際は $t_{ON,max}$ 値を3で除算)。PWMゲインが変更されるだけではありません。

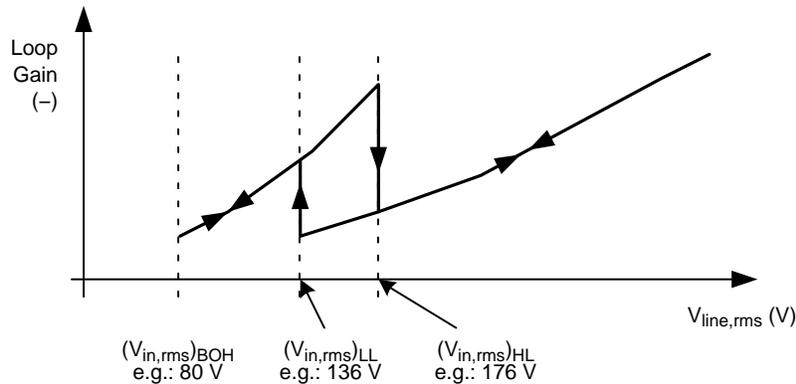


Figure 2. 2-Step Feed-Forward Limits the Loop Gain Variation with Respect to Line

[1]と[2]で説明される小信号に関する方法を使用して、PFCステージで2つの小信号伝達関数(1つは高ライン電圧、もう1つは低ライン電圧に対応)を導くことができます。

- ライン電圧が低い場合の伝達関数：

$$\frac{V_{out}(s)}{V_{control}(s)} = \frac{V_{in,rms}^2 \cdot R_{load}}{640000 \cdot L \cdot V_{out,nom}} \cdot \frac{1}{1 + s \cdot \frac{R_{load} \cdot C_{bulk}}{2}} \quad (\text{eq. 23})$$

- ライン電圧が高い場合の伝達関数：

$$\frac{V_{out}(s)}{V_{control}(s)} = \frac{V_{in,rms}^2 \cdot R_{load}}{1920000 \cdot L \cdot V_{out,nom}} \cdot \frac{1}{1 + s \cdot \frac{R_{load} \cdot C_{bulk}}{2}} \quad (\text{eq. 24})$$

ここで、

C_{bulk} はバルク・コンデンサ

R_{load} は負荷等価抵抗

L はPFCコイル・インダクタンス

$V_{out,nom}$ はPFC出力の公称安定化レベル係数640,000は $t_{ON,max} = 12.5 \mu s$ に対応し、係数1,920,000は $t_{ON,max} = 12.5 \mu s/3$ ([*D*], [*E*], [*F*])の各製品バージョンが該当)に対応します(EVBには、デフォルトのバージョン[*F*]が実装済み)。 $t_{ON,max}$ が異なる他の製品バージョンでは、 $8 V/t_{ON,max}$ 、例えば $640,000 = 8 V/12.5 \mu s$ という式を使用して、新しい係数を計算してください。

PFCステージは低速にする必要があります。より実際的には、PF (力率)比が高い場合は安定化帯域幅

を小さくし、20 Hz以下の範囲にする必要があります。したがって、負荷変動が先鋭な場合は、過剰なオーバシュートおよびアンダシュートが生じます。これらの逸脱に対する対策は、高精度の過電圧保護機能とともに、NCP1602のダイナミック応答エンハンサに効果的に組み込まれています。

それでもなお、Figure 3に示すようにタイプ-2補償回路(R_1 、 C_1 、 C_2)を使用することを推奨します。

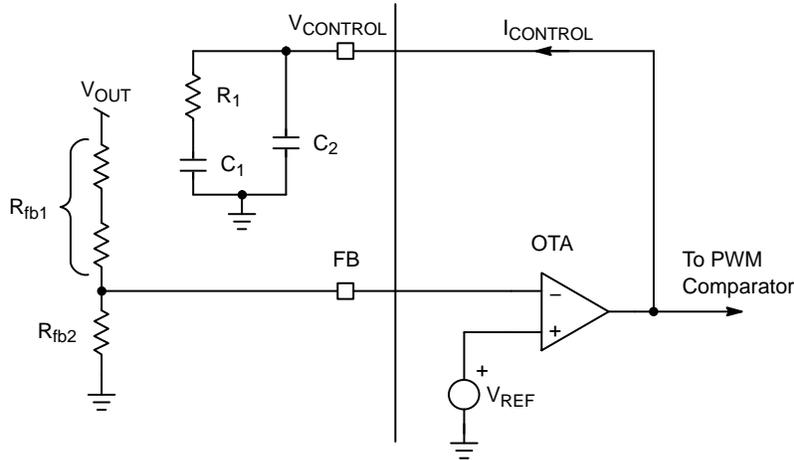


Figure 3. Regulation Trans-Conductance Error Amplifier, Feed-Back and Compensation Network

タイプ-2補償回路で実現される伝達機能を制御するための出力は、次のとおりです。

$$\frac{V_{control}(s)}{V_{out}(s)} = \frac{R_1 C_1}{R_0 (C_1 + C_2)} \cdot \frac{1 + \frac{1}{sR_1 C_1}}{\left(1 + sR_1 \cdot \frac{C_1 C_2}{C_1 + C_2}\right)} \quad (\text{eq. 25})$$

ここで、($R_0 = V_{out,nom} / (V_{ref} \cdot G_{EA})$)、 G_{EA} は200 μS という誤差アンプのトランスコンダクタンス・ゲイン、 $V_{out,nom}$ は公称バルク電圧、 V_{REF} はOTAの2.5 V電圧基準です。

[2]と[3]で説明した補償方法を適用すると、パラメータ設定に関する以下の式が得られます。

$$G_0 = \frac{(V_{line,rms})_{LL}^2 \cdot R_{load,min}}{640000 \cdot L \cdot V_{out,nom}} \quad (\text{eq. 26})$$

$$C_2 = \frac{G_0 \cdot \tan\left(\frac{\pi}{2} - \phi_m\right)}{2 \cdot \pi^2 \cdot f_c^2 \cdot R_{load,min} \cdot C_{bulk} \cdot R_0}$$

$$C_1 = \frac{G_0}{2 \cdot \pi \cdot f_c \cdot R_0} - C_2$$

$$R_1 = \frac{R_{load,min} \cdot C_{bulk}}{2 \cdot C_1}$$

ここで、

($(V_{line,rms})_{LL}$ は、ライン電圧が最小レベル(今回のケースでは90 V)のときのラインのrms電圧

G_0 は、ライン電圧が最小レベル($(V_{line,rms})_{LL}$)のときのスタティック・ゲイン

Φ_m は位相マージン(ラジアン単位)

f_c はターゲットのクロスオーバー周波数

$R_{load,min}$ は最大負荷時の負荷に等しい抵抗

$$R_{load,min} = \frac{V_{out,nom}^2}{P_{out,max}} = \frac{399^2}{160} \approx 995$$

クロスオーバー周波数はできるだけ低い値を選択しますが、最大負荷時のPFC昇圧ステージの極以上の値にする必要があります。

$$f_p = \frac{1}{\pi \cdot R_{load,min} \cdot C_{bulk}} \approx 2.4 \text{ Hz}$$

一般的に位相マージンは45度~70度の間に設定します。

このアプリケーションで、15 Hzのクロスオーバー周波数と60度($\pi/3$ ラジアン)の位相マージンをターゲットにする場合は、次のようになります。

$$G_0 = \frac{90^2 \cdot 950}{640000 \cdot 200 \cdot 10^{-6} \cdot 390} \cong 154 \quad (\text{eq. 27})$$

$$C_2 = \frac{154 \cdot \tan\left(\frac{\pi}{2} - \frac{\pi}{3}\right)}{2 \cdot \pi^2 \cdot 14^2 \cdot 950 \cdot 136 \cdot 10^{-6} \cdot 780 \cdot 10^3} \cong 200 \text{ nF} \Rightarrow \text{Let's Choose } 220 \text{ nF.}$$

$$C_1 = \frac{154}{2 \cdot \pi \cdot 15 \cdot 780 \cdot 10^3} - C_2 \cong 1.9 \mu\text{F} \Rightarrow \text{Let's Choose } 2.2 \mu\text{F.}$$

$$R_1 = \frac{950 \cdot 136 \cdot 10^{-6}}{2 \cdot 2.2 \cdot 10^{-6}} \cong 29 \text{ k}\Omega \Rightarrow \text{Let's Choose } 22 \text{ k}\Omega.$$

ソフト過電圧保護と高速過電圧保護(SOVPとFOVP) :

これらの機能は、FBピンの電圧を監視することによって出力電圧が適切な範囲内にあることを点検します。

- バルク電圧が異常に高いレベル ($V_{out,fovp} = 107\% \cdot V_{out,nom}$)に達すると、高速過電圧保護機能(FOVP)がトリップし、DRVピン($t_{ON} = 0$)が無効になることから、高速という名前が付いています。

フィードバック回路が適切に設計され、正しく接続されている場合は、バルク電圧がソフトOVP機能で設定されたレベル($V_{out,sovp} = 105\% \cdot V_{out,nom}$)を上回ることはありません。ソフトOVPのスレッシュホールドに達した場合、例えば無負荷での起動時は、ドライブ・ピンを無効にする($t_{ON} = 0$)代わりに、オンタイムが徐々に低減されることから、ソフトという名前が付いています。FOVPのスレッシュホールドは、ソフトOVPコンパレータより2%高く設定されています。

低電圧保護(UVP) :

起動時に、 V_{FB} が V_{UVPH} ($V_{UVPH} = 625 \text{ mV}$)という名前の内部スレッシュホールド電圧より高くなると、DRVピンは有効になります。

起動後、 V_{FB} が V_{UVPL} ($V_{UVPL} = 300 \text{ mV}$)という名前の内部スレッシュホールド電圧より低下すると、DRVピンは無効になります。

2番目の過電圧保護(OVP2) :

2番目の過電圧保護(OVP2)は冗長性および安全性の理由で追加されています。OVP2はCS/ZCDピンの電圧を使用します。昇圧ダイオードの両端の間での電圧降下を無視すると、減磁時間のうちにCS/ZCD電圧は $K_{CS} V_{out}$ にほぼ等しくなります。CS/ZCD電圧が、 V_{OVP2H} という名前の内部OVP2スレッシュホールドを上回ると、パワーMOSFETドライブは800 μs にわたって無効になります。減磁時間のうちに、検知されたCS/ZCD電圧が、OVP2の保護を目的とする内部の下側基準電圧である V_{OVP2H} を下回ると、800 μs の期間が経過した後にドライブは有効になります。

ICによるCS/ZCD電圧の処理が正常に機能するよう、パラメータ K_{CS} の値が138になることを推奨します。

$$K_{CS} = \frac{R_{CS1} + R_{CS2}}{R_{CS2}} \quad (\text{eq. 28})$$

$K_{CS} = 138$ をターゲットにすると、以下の値が確立されます。

$$R_{CS1} = 5.1 \text{ M}\Omega + 240 \text{ k}\Omega + 240 \text{ k}\Omega$$

$$R_{CS2} = 39 \text{ k}\Omega$$

最終的に、次の値が得られます。

$$K_{CS} = 143.1$$

$[(R_{CS2} \parallel R_{CS1}) + R_{CS0}]$ 、という式について言及する必要があります。 C_{CS} は500 nsの時定数に近い値にする必要があります。

C_{CS} はCS/ZCDピンとGNDピン間の合計静電容量です。外部コンデンサを追加しない場合、このピンの推定寄生容量は10 pFです。

$$[(R_{CS2} \parallel R_{CS1}) + R_{CS0}] \cdot C_{CS} = 487 \text{ ns} \quad (\text{eq. 29})$$

CS/ZCDピンとGNDピンの間にセラミック・コンデンサを追加する場合は、上記の各式で10 pFの寄生容量にコンデンサの静電容量値を加える必要があります。

この時定数値を満たす理由は、CS/ZCDピンに接続されている内部回路が、 $R_{CS2} + R_{CS0}$ とCS/ZCDからGNDへの合計静電容量(C_{CS})によって形成される極を打ち消すためです。

$K_{CS} = 143.1$ 、またOVP2の内部スレッシュホールド・レベル $V_{OVP2H} = 3.175 \text{ V}$ 、 $V_{OVP2L} = 3.093 \text{ V}$ と仮定すると、 V_{out} (V_{bulk} とも呼ぶ)に対応するOVP2の2つのスレッシュホールドを計算できます。

$$V_{out,OVP2H} = K_{CS} \cdot V_{OVP2H} = 143.1 \cdot 3.175 = 454.3 \text{ V} \quad (\text{eq. 30})$$

$$V_{out,OVP2L} = K_{CS} \cdot V_{OVP2L} = 143.1 \cdot 3.093 = 442.6 \text{ V} \quad (\text{eq. 31})$$

誤った値のFB抵抗を接続したりFB抵抗障害が発生した場合など、OVP障害が発生した場合でも動作するように、これらのスレッシュホールドは高速OVPのスレッシュホールドより十分大きい値に設定しなければなりません。大きい高速OVPスレッシュホールドは、 $V_{out,nom}$ の108%および $V_{out,nom} = 400 \text{ V}$ に対応しており、これらを計算すると $1.08 \times 400 = 432 \text{ V}$ となり、OVP2の下側スレッシュホールド442.6 Vより小さい値になります。

R_{CS1} と R_{CS2} の値は、待機時に過度の電力を消費しないように、大きい値を選択する必要があります。

待機時にはスイッチングが発生せず、 R_{CS2} に直列接続した R_{CS1} 両端で観測される電圧は、次の値に等しくなります。

$$V_{\text{mains,rms}} \cdot \sqrt{2}$$

待機時に消費される電力 $P_{CS,STBY}$ は、次式で与えられます。

$$P_{CS,STBY} = \frac{(V_{mains,rms} \cdot \sqrt{2})^2}{R_{CS1} + R_{CS2}} \quad (\text{eq. 32})$$

ここで、

$$R_{CS1} = 5.1 \text{ M}\Omega + 240 \text{ k}\Omega + 240 \text{ k}\Omega$$

$$R_{CS2} = 39 \text{ k}\Omega$$

以下の値が得られます。

$$\text{For } V_{mains,rms} = 86 \text{ V this will give } P_{CS,STBY} = 2.6 \text{ mW}$$

$$\text{For } V_{mains,rms} = 110 \text{ V this will give } P_{CS,STBY} = 4.3 \text{ mW}$$

$$\text{For } V_{mains,rms} = 230 \text{ V this will give } P_{CS,STBY} = 18.8 \text{ mW}$$

$$\text{For } V_{mains,rms} = 265 \text{ V this will give } P_{CS,STBY} = 25.0 \text{ mW}$$

CSZCD抵抗ブリッジ抵抗値の選択肢とPCBレイアウトのガイドライン:

R_{CS} 抵抗ブリッジの合計抵抗が $\text{M}\Omega$ 範囲に達する場合は、寄生容量が数百 μF という小さい値でも、寄生容量に対して非常に敏感に反応します。寄生容量は、 R_{CS} 抵抗ノードと(GNDまたはパワーMOSFETドレイン)の間に存在する可能性があります。これらの寄生容量による影響で、永続的な障害誤検出事象につながるおそれがあります。OCP、OVS、またはOVP2がトリガされ、コントローラが動作できず、 V_{out} を正しく安定化できなくなります。

寄生容量による影響を回避する簡単な方法は、分割比 K_{CS} を約138に抑えながら抵抗値を小さくすることです。 CS/ZCD ブリッジ抵抗値を小さくする($R_{CS1} + R_{CS2}$ を小さくする)と、待機時消費電力が増加することになります。

ステップ4：入力電圧の検知 – ブラウンアウト

昇圧コンバータでは、定常状態でインダクタの平均電圧がゼロであること、および平均ドレイン電圧が V_{in} 電圧(整流された V_{line} 電圧)に等しいことを考慮します。

Figure 4の V_{CSint} 電圧は、オンタイム期間中は $R_{sense} \cdot I_{ind}$ に、オフタイム期間中は V_{drain}/K_{CS} に等しくなります。

$R_{CS1} + R_{CS2}$ の値が $1 \text{ M}\Omega$ を十分下回っている場合は、3個の 200 V SMD1206 抵抗を直列に配置できますが、 $R_{CS1} + R_{CS2}$ 値が $1 \text{ M}\Omega$ を上回っている場合は、3個の 200 V SMD 抵抗を直列に接続すると、障害トリップの誤発生(例えば、OVP2の誤トリガ)を引き起こすことがわかっています。このケースでは、抵抗値が大きい(例：EVBの場合は $5.1 \text{ M}\Omega$)1個の 500 V SMD 抵抗をドレイン側に、抵抗値が小さい(例： $240 \text{ k}\Omega$)2個の 200 V SMD 抵抗を直列に接続して、上記の計算式で使用した値に近い合成値を実現します。これは t_{ON} サイクル経過前の放電が困難となる、抵抗とGND間の静電容量を回避するためです。経験上、ドレイン電圧を均衡させるために、3個の同等値の抵抗を使用するという常識的な手法に従うことは推奨されず、という結論が得られます。

ベンチ実験では、寄生容量の観点から、 R_{CS1} 、 R_{CS2} 、 R_{CS0} 抵抗に対するスルーホール抵抗に関して、 $SMD1206$ および 0805 が優れていることが実証されました。

R_{CS0} は CS/ZCD ピンのできるだけ近くに、また R_{CS1} と R_{CS2} は R_{CS0} のできるだけ近くに配置しなければなりません。

R_{CSi} 抵抗を接続するPCBトレースはできるだけ短く、トレース幅もできるだけ狭くする(寄生容量を最小にする)必要があります。

$CSZCD$ ブリッジを形成する大きな値の抵抗と、 DRV 、 V_{in} 、 V_{drain} の銅トレース間に 1 cm の安全距離を確保し、結合を防止することが賢明です。

R_{CS1} と R_{CS2} の値を小さくしながら、 R_{CS} 抵抗と C_{CS} 合計静電容量で形成される 500 ns の時定数に適合させるために、 R_{CS0} を大きくする必要があることに注意してください。

DRV 駆動スイッチのおかげで、 R_{sns}/C_{sns} ローパス・フィルタの入力は $v_{drain}(t)/K_{CS}$ の効果をもたらす、同じフィルタ $v(t)$ の出力は $v_{in}(t)/K_{CS}$ または $\text{abs}(v_{line}(t)/K_{CS})$ の効果をもたらします。

$$V_{SNS}(t) = \text{Abs}\left(\frac{V_{line}(t)}{K_{CS}}\right) \quad (\text{eq. 33})$$

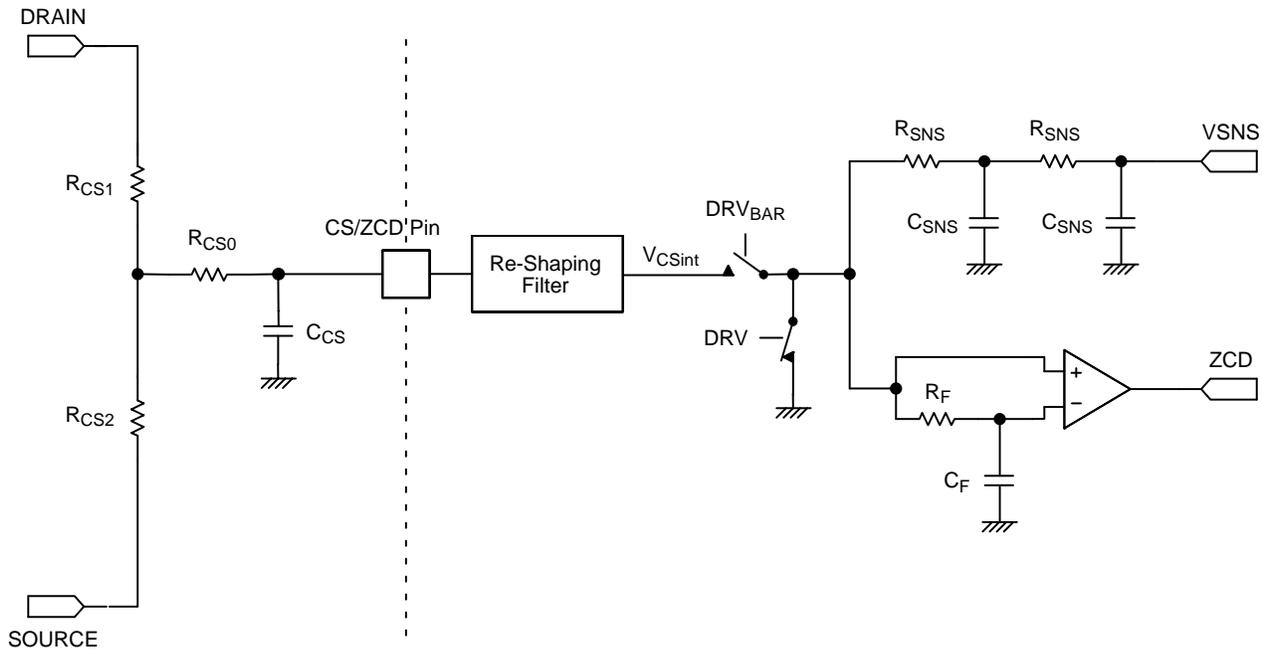


Figure 4. Brown-Out and Line Range Detection Block

[C**]および[D**]という製品コードではブラウンアウト機能を使用できます。上側および下側の2つのブラウンアウト・レベルがあります。

デフォルトおよび起動前はブラウンアウトが有効になっています。CS/ZCDピンを介して検知された V_{SNS} (V_{SNS} はローパス・フィルタされスケール・ダウンされた V_{line})が、内部基準電圧 $V_{BOH} = 819 \text{ mV}$ を上回ると、ブラウンアウトがリセットされ、コントローラがスイッチングを開始できるようになります。ブラウンアウトがリセットされた後、スイッチング動作が開始され、 V_{line} は引き続きCS/ZCDピンを介して検知されます。 V_{SNS} が50 msにわたってブラウンアウトの内部基準電圧 $V_{BOL} = 737 \text{ mV}$ 以下になると、ブラウンアウトが有効になります。ブラウンアウトが確認された後、ドライブ・パルスは直ちに無効になるわけではなく、 $30 \mu\text{A}$ の電流源がVCTRLピンに印加され、 V_{ctrl} は徐々に低下します。その結果、ICがパルス動作を停止するのは、静的OVP機能がアクティブになった(つまり、 V_{ctrl} がスキップ検出スレッシュホールドに達した)ときのみです。この時点でICはパルス動作を停止します。この方式により、トリップ誤発生のリスクが制限されます。以下の式は、ブラウンアウトの内部基準電圧を、ラインのrms電圧スレッシュホールドに変換する方法を示しています。

$$(V_{line,rms})_{BOH} = \frac{K_{CS} \cdot V_{BOH}}{\sqrt{2}} = \frac{143.1 \cdot 0.819}{\sqrt{2}} = 83 \text{ V} \quad (\text{eq. 34})$$

$$(V_{line,rms})_{BOL} = \frac{K_{CS} \cdot V_{BOL}}{\sqrt{2}} = \frac{143.1 \cdot 0.734}{\sqrt{2}} = 74 \text{ V} \quad (\text{eq. 35})$$

ここで、

V_{BOH} は819 mVのブラウンアウト上側内部スレッシュホールドです。

V_{BOL} は734 mVのブラウンアウト下側内部スレッシュホールドです。

高いライン電圧と低いライン電圧の検出

LLINEという内部デジタル・フラグを使用して、ライン電圧が低い(LLINE = 1)か高いか(LLINE = 0)を検出します。2レベルのライン・フィードフォワードを認識し、小信号のオープンループ・カットオフ周波数の拡散を低減するために、このフラグを使用してオンタイムを変更します。高いライン電圧から低いライン電圧、またはその逆に遷移するときは、VCTRLでも急激な変化が生じます。ブラウンアウト検出回路と同様、内部 V_{SNS} は高いライン電圧状態と低いライン電圧状態の間でヒステリシスを定義する2つのレベルと比較されます。 V_{SNS} が $V_{HL} = 1.801 \text{ V}$ を上回ると、コントローラは高いライン電圧状態に移行し、 V_{SNS} が $V_{LL} = 1.392 \text{ V}$ 以下になると、低いライン電圧状態にトグルされます。高いライン電圧から低いライン電圧、またはその逆に遷移するスレッシュホールドを、ラインrms電圧で表現する方法は、以下の式で与えられます。

低いライン電圧から高いライン電圧に遷移する場合のスレッシュホールド：

$$(V_{line,rms})_{HL} = \frac{K_{CS} \cdot V_{HL}}{\sqrt{2}} = \frac{143.1 \cdot 1.801}{\sqrt{2}} = 182 \text{ V} \quad (\text{eq. 36})$$

高いライン電圧から低いライン電圧に遷移する場合のスレッシュホールド:

$$(V_{\text{line,rms}})_{\text{LL}} = \frac{K_{\text{CS}} \cdot V_{\text{LL}}}{\sqrt{2}} = \frac{143.1 \cdot 1.392}{\sqrt{2}} = 141 \text{ V} \quad (\text{eq. 37})$$

X2コンデンサの放電:

R_{X1} と R_{X2} は、安全性を考慮して設計されています。一般に、($R_{X1} + R_{X2} = 2R_X$)の直列合成値を、X2のEMIコンデンサと組み合わせたときの時定数が3s未満になるように(通常は、規格は1sの時定数を課す)、

これらの抵抗の値を選択する必要があります。一般に、($R_{X1} + R_{X2} = 2R_X$)の直列合成値を、X2のEMIコンデンサと組み合わせたときの時定数が3s未満になるように(通常は、規格は1sの時定数を課す)、これらの抵抗の値を選択する必要があります。この例では、2個の1 M Ω 抵抗($R_{X1} = R_{X2} = R_X = 1 \text{ M}\Omega$)を実装し、選択したX2コンデンサとの組み合わせで1.8 sの放電時定数を導き、適切なマージンを確保しています。

ステップ5: 電流センス回路

電流センス回路は、電流センス抵抗 R_{sense} で形成されています。

=> R_{sense} の計算

この回路は、電流センス抵抗両端の電圧が0.5 Vを超える場合は過電流状況を検出します。したがって、次のようになります。

$$R_{\text{sense}} = \frac{0.5}{(I_{\text{L,pk}})_{\text{max}}} \quad (\text{eq. 38})$$

この式をEq. 8と組み合わせると、次のようになります。

$$R_{\text{sense}} = \frac{(V_{\text{line,rms}})_{\text{LL}}}{4\sqrt{2} \cdot (P_{\text{in,avg}})_{\text{max}}} \quad (\text{eq. 39})$$

この実用的なケースでは、次のようになります。

$$R_{\text{sense}} = \frac{90}{4\sqrt{2} \cdot 170} \cong 0.094 \Omega \quad (\text{eq. 40})$$

ある程度のマージンを確保するために、80 m Ω の抵抗を選択します。

R_{sense} の損失は、MOSFETの導通損失を求める式を使用し、 R_{sense} を $R_{\text{DS(on)}}$ に置き換えて計算できます。

$$(P_{R_{\text{CS}}})_{\text{max}} = \frac{4}{3} \cdot R_{\text{sense}} \cdot \left(\frac{(P_{\text{in,avg}})_{\text{max}}}{(V_{\text{line,rms}})_{\text{LL}}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{\text{line,rms}})_{\text{LL}}}{3\pi \cdot V_{\text{out,nom}}} \right) \quad (\text{eq. 41})$$

したがって、上記の80 m Ω の電流センス抵抗は、全負荷、低いライン電圧の状況で約278 mWを消費します。

=> ゼロ電流回路

Figure 5にZCD回路を示します。基本的な考え方は、 V_{in} 電圧と交差する V_{drain} 電圧からZCDの情報を

得ることで、 V_{drain} および V_{in} 電圧はコントローラの外部に存在しており、Figure 5の回路図ではこれらの電圧を内部に取り込みますが、 K_{CS} で縮小されています。

$$K_{\text{CS}} = \frac{R_{\text{CS1}} + R_{\text{CS2}}}{R_{\text{CS2}}} \quad (\text{eq. 42})$$

昇圧コンバータでは、昇圧インダクタの一方のピンで観測される平均ドレイン電圧は、昇圧インダクタのもう一方のピンで観測される V_{in} 電圧に等しくなります。これはインダクタの直列抵抗を無視すると、インダクタ両端での平均電圧降下が0 Vであるためです。

縮小されたドレイン電圧は、 R_{CS1} 、 R_{CS2} ブリッジ、および再整形フィルタによってコントローラ内部に取り込まれ、内部ノード電圧 V_{CSint} は次のようになります。

$$V_{\text{CSint}}(t) = \frac{1}{K_{\text{CS}}} \cdot V_{\text{drain}}(t) \quad (\text{eq. 43})$$

ローパス・フィルタのおかげで、ZCDコンパレータの2入力には、 $V_{\text{in}}(t)$ と $V_{\text{drain}}(t)$ を比較する動作に似ています。

$$V^-(t) = \frac{1}{K_{\text{CS}}} \cdot V_{\text{in}}(t) \quad (\text{eq. 44})$$

$$V^+(t) = \frac{1}{K_{\text{CS}}} \cdot V_{\text{drain}}(t)$$

$V_{\text{in}}(t)$ と $V_{\text{drain}}(t)$ を比較して得られるZCDデジタル信号は、パワーMOSFETのターンオンの同期に使用できます。パワーMOSFETのターンオン事象はZCD信号の立ち下がりがエッジに同期します。

K_{CS} 値について考慮する必要がある唯一の事項は、ZCDコンパレータが正しく動作するよう、138にできるだけ近い値にすることです。

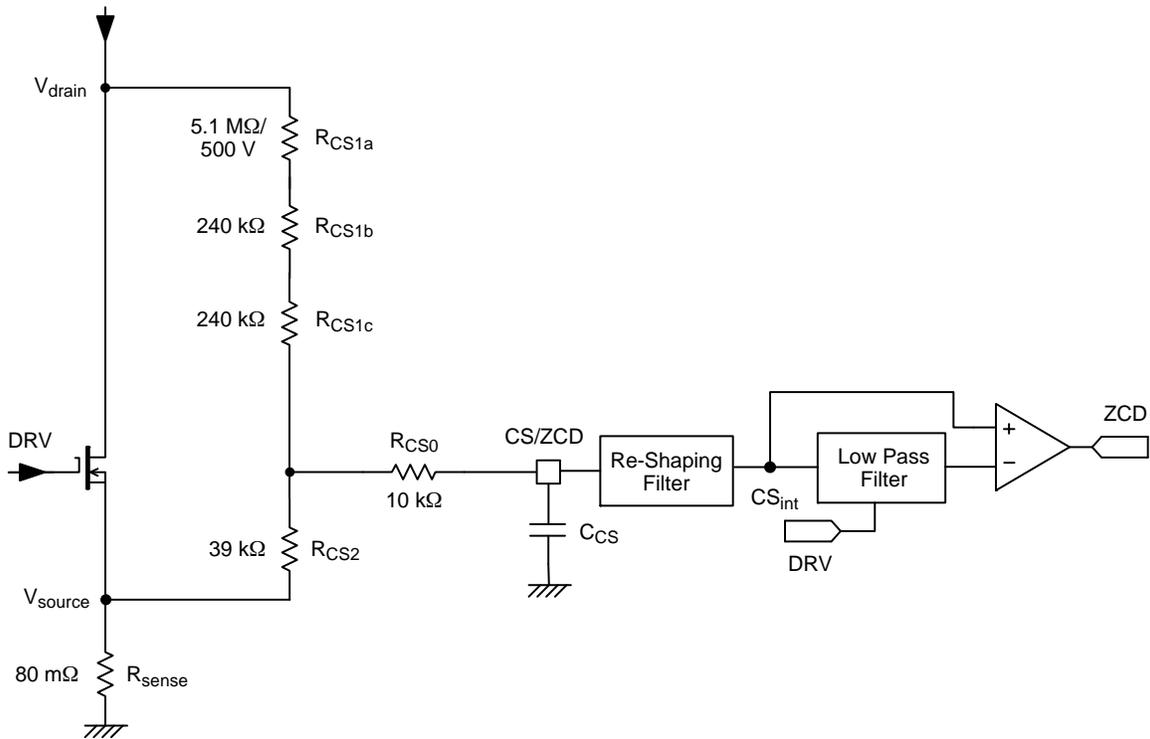


Figure 5. NCP1602 Zero Crossing Detection with Typical Component Values

NCP1602はCS/ZCDピンにリーディング・エッジ・ブランキングを統合しており、そのためフィルタ・コンデンサが不要になります。CS/ZCD信号が歪んでZCDが誤って検出されたり検出されないことになるため、CS/ZCD回路内に他のいかなるコンデンサも許容されません。オシロスコープ・プローブでCS/ZCD信号を計測するときは注意が必要です。オシロスコープ・プローブにより一般的に、パッケージの寄生容量 C_{CS} と並列に通常10 pFの静電容量が追加されるためです。この追加静電容量のために、CS/ZCD信号が歪んでZCD検出性能が低下します(減磁検出機能を失い、200 μ sのウォッチドッグ・タイマを開始し、バレー・ターンオン機能も失うおそれがある)。

CSZCD回路での補助巻線電圧 V_{aux} の使用

Figure 6に示した回路図を使用して、CS/ZCDピンの電圧を生成する必要があります。

補助巻線電圧コンデンサ C_{aux} 、抵抗 R_{aux} 、およびダイオード D_{aux1} のおかげで、 D_{aux1} ダイオードのカソードで、パワーMOSFETのドレイン電圧に、トランスの補助(N_{aux})と一次側(N_{prim})の巻線比を乗算した値に等しい電圧を生成可能です。すでに説明したパラメータ K_{CS} は、今度は次のように定義されます。

$$K_{CS} = \frac{N_{prim}}{N_{aux}} \cdot \frac{R_{CS1} + R_{CS2}}{R_{CS2}} \quad (\text{eq. 45})$$

$K_{CS} = 138$ を常にターゲット値にする必要があります。

この新しい K_{CS} に関する式により、1/10の R_{CS1} 値を使用できます。その結果、今回のEVBで使用するトランスには $N_{prim}/N_{aux} = 10$ という巻線比を採用しています。このアプローチにより、より低い電圧を使用し、またより低い R_{CS1} 値を採用すると、寄生容量に対する感度が低下します。

この回路を使用する利点は、待機時に電流が消費されないことです(スイッチング動作が発生しないので、 V_{aux} 電圧も生じない)。

ブラウンアウト機能をアクティブにした製品バージョンは、この回路では動作しないため、この V_{aux} 回路では、[C**]や[D**]の製品バージョンを使用してはならないことも、注目すべき点です。

補助電圧 V_{aux} の代わりにパワーMOSFETのドレイン電圧を使用すると、全般においてすでに説明したのとまったく同様に動作します。 K_{CS} の式はわずかに異なります。

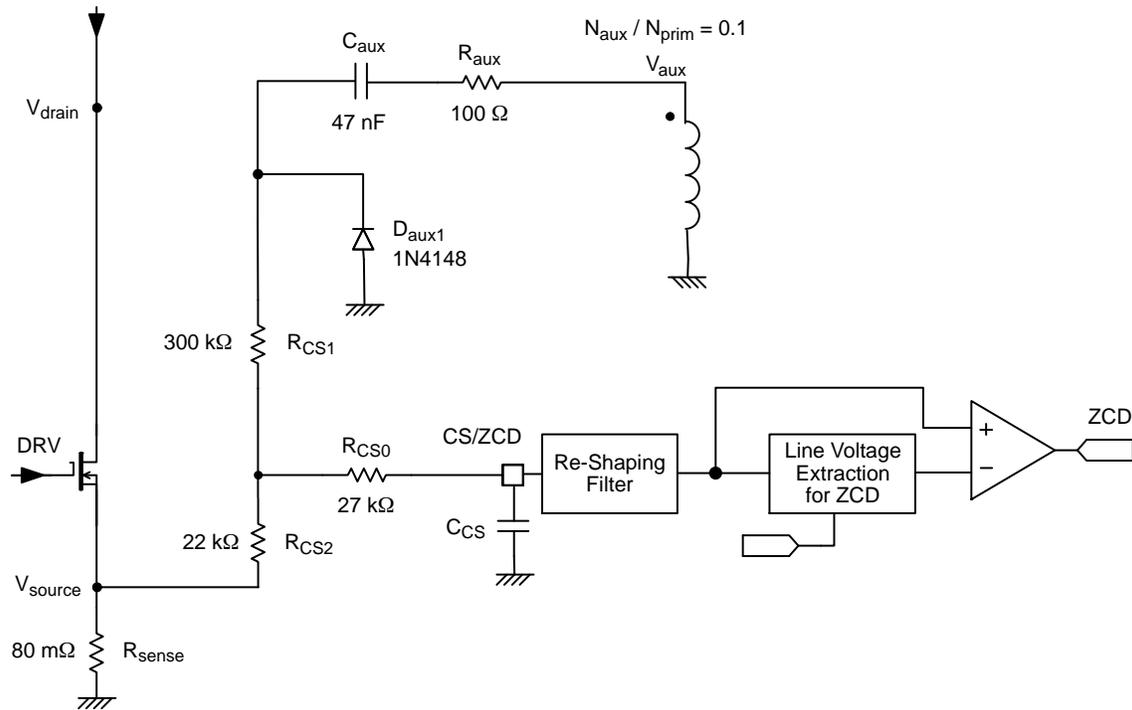


Figure 6. CS/ZCD Circuitry using Auxilliary Winding Voltage with Typical Components Values

レイアウトと雑音余裕度に関する考慮事項

NCP1602はノイズに特に敏感というわけではありません。ただし、電源設計に関する一般的なレイアウト規則が適用されます。その中でも以下の点に注意してください。

- パワー・トレインのループ領域は最小限に抑える必要があります。
- 電源グラウンドでスター構造を採用すると、電流帰線経路が確保されます。
- ICの信号グラウンドにはスター構造が適しています。
- ICの信号グラウンドと電源グラウンドは、単一信号経路で接続する必要があり、ループは許容されません。
- 可能な場合、この経路は電流センス抵抗(R_{sense})のグラウンド側端子に非常に近い場所で、ICの信号グ

ランドから電源グラウンドに接続するようにしてください。

- ICの V_{CC} ピンとGNDピンの間に、最小の接続長で100 nFまたは220 nFのコンデンサを1個配置する必要があります。
- R_{CSx} 抵抗は、CS/ZCDピンのできるだけ近くに配置する必要があります。また、GNDまたは他の信号との容量結合を回避する必要があります。
- FBピンにフィルタリング・コンデンサを接続し、発生する可能性がある周辺ノイズからこのピンを保護することが推奨されます。ただし、FBピンで検知される電圧が歪まないように、コンデンサを小容量にする必要があります。詳細については、対応する各セクションを参照してください。

主要な式の要約

Table 1. DESIGN STEPS TABLE

Step	Components	Formula	Comments
Step 1: Key Specifications			
	<ul style="list-style-type: none"> • f_{line}: Line frequency. It is often specified in a range of 47–63 Hz for 50 Hz/60 Hz applications. • $(V_{line,rms})_{LL}$: Lowest Level of the line voltage, e.g., 90 V. • $(V_{line,rms})_{HL}$: Highest Level for the line voltage (e.g., 264 V in many countries). • $(V_{line,rms})_{BOH}$: Brown-Output Line Upper Threshold. The circuit prevents operation until the line rms voltage exceeds this level. • $V_{out,nom}$: Nominal Output Voltage. • $(\delta V_{out})_{pk-pk}$: Peak-to-Peak output voltage low-frequency ripple. • $t_{HOLD-UP}$: Hold-up Time that is the amount of time the output will remain valid during line drop-out. • $V_{out,min}$: Minimum output voltage allowing for operation of the downstream converter. • $P_{out,max}$: Maximum output power consumed by the PFC load, that is, 160 W in our application. • $(P_{in,avg})_{max}$: Maximum power absorbed from the mains in normal operation. Generally obtained at full load, low line, it depends on the efficiency that, as a rule of a thumb, can be set to 95%. 		
Step 2: Power Components	Input Diodes Bridge Losses	$P_{bridge} = 2 \cdot V_f \cdot \frac{2 \sqrt{2} \cdot P_{out}}{\pi \cdot V_{line,rms}} \approx \frac{1.8 \cdot V_f}{V_{line,rms}} \cdot \frac{P_{out}}{\eta}$	V_f is the forward voltage of any diode of the bridge. It is generally in the range of 1 V or less.
	Inductor	$L \leq \frac{(V_{line,rms})_{LL}^2}{2 \cdot (P_{in,avg})_{max}} \cdot T_{on,max}$ $(I_{L,pk})_{max} = 2 \cdot \sqrt{2} \cdot \frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}}$ $(I_{L,rms})_{max} = \frac{(I_{L,pk})_{max}}{\sqrt{6}}$	<p>In our application</p> $L \leq \frac{90^2}{2 \cdot 170} \cdot 12.5 \mu = 295 \mu H$ $(I_{L,pk})_{max} = 2 \cdot \sqrt{2} \cdot \frac{170}{90} \approx 5.3 A$ $(I_{L,rms})_{max} = \frac{5.3}{\sqrt{6}} \approx 2.2 A$
	MOSFET Conduction Losses	$(P_{on})_{max} = \frac{4}{3} \cdot R_{DS(on)} \cdot \left(\frac{P_{out,max}}{\eta \cdot (V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8 \sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right)$	$R_{DS(on)}$ is the drain-source on-state resistance of the MOSFET
	Bulk Capacitor Constraints	$C_{bulk} \leq \frac{P_{out,max}}{(\delta V_{out})_{pk-pk} \cdot \omega \cdot V_{out,nom}}$ $C_{bulk} \geq \frac{2 \cdot P_{out,max} \cdot t_{HOLD-UP}}{V_{out,nom}^2 - V_{out,min}^2}$ $(I_{c,rms})_{max} \approx \sqrt{\left[\sqrt{\frac{32 \sqrt{2}}{9\pi}} \cdot \frac{(P_{in,avg})_{max}}{\sqrt{(V_{line,rms})_{LL}} \cdot V_{out,nom}} \right]^2 - \left(\frac{P_{out,max}}{V_{out,nom}} \right)^2}$	These 3 equations quantify the constraints resulting from the low-frequency ripple ($(\delta V_{out})_{pk-pk}$ that must be kept below 8%), the hold-up time requirement and the rms current to be sustained.

Table 1. DESIGN STEPS TABLE (continued)

Step	Components	Formula	Comments
Step 3: Bulk Voltage Monitoring and Regulation Loop	Resistor Divider	$R_{fb2} = \frac{2.5}{I_{FB}}$ $R_{fb1} = R_{fb2} \cdot \left(\frac{V_{out,nom}}{V_{REF}} - 1 \right)$ $C_{fb} \leq \frac{1}{150 \cdot (R_{fb1} \parallel R_{fb2}) \cdot f_{line}}$	I_{FB} is the bias current that is targeted within the resistor divider. Values in the range of 50 μ A to 100 μ A generally give a good trade-off between losses and noise immunity.
	Compensation	$G_0 = \frac{(V_{line,rms})_{LL}^2 \cdot R_{load,min}}{640000 \cdot L \cdot V_{out,nom}}$ $C_2 = \frac{G_0 \cdot \tan\left(\frac{\pi}{2} - \phi_m\right)}{2 \cdot \pi^2 \cdot f_c^2 \cdot R_{load,min} \cdot C_{bulk} \cdot R_0}$ $C_1 = \frac{G_0}{2 \cdot \pi \cdot f_c \cdot R_0} - C_2$ $R_1 = \frac{R_{load,min} \cdot C_{bulk}}{2 \cdot C_1}$	C_{FB} is the filtering capacitor that can be placed between the FB pin and ground to increase the noise immunity of this pin. (see Figure 3)
	OVP and UV OVP 2	<p>107% of $V_{out,nom}$ for OVP</p> $V_{out,UVPx} = K_{FB} \cdot V_{UVPx}$ $V_{out,OVP2x} = K_{CS} \cdot V_{OVP2x}$	OVP and UV are sensed by the feedback network (K_{FB}) as OVP2 is sensed by the CS/ZCD resistor network (K_{CS}).
Step 4: Input Voltage Sensing	Input Voltage Sensing	$K_{CS} = \frac{R_{CS1} + R_{CS2}}{R_{CS2}}$ $(V_{line,rms})_{BOH} = \frac{K_{CS} \cdot V_{BOH}}{\sqrt{2}}$ $(V_{line,rms})_{BOL} = \frac{K_{CS} \cdot V_{BOL}}{\sqrt{2}}$ $(V_{line,rms})_{HL} = \frac{K_{CS} \cdot V_{HL}}{\sqrt{2}}$ $(V_{line,rms})_{LL} = \frac{K_{CS} \cdot V_{LL}}{\sqrt{2}}$	<p>Input voltage is sensed through the CS/ZCD pin ($V_{line,rms}$)_{BOH} line rms level above which the circuit starts operating the circuit stops switching when line rms level falls under ($V_{line,rms}$)_{BOL}.</p> <p>When line rms voltage goes above ($V_{line,rms}$)_{HL} we enter High Line state and when line rms voltage below ($V_{line,rms}$)_{LL} we enter Low Line state</p>

AND9218/D

Table 1. DESIGN STEPS TABLE (continued)

Step	Components	Formula	Comments
Step 5: Current Sense Network	Input Voltage Sensing	$R_{CS} = \frac{(V_{line,rms})_{LL}}{4\sqrt{2} \cdot (P_{in,avg})_{max}}$ $(P_{Rcs})_{max} = \frac{4}{3} \cdot R_{CS} \cdot \left(\frac{(P_{in,avg})_{max}}{(V_{line,rms})_{LL}} \right)^2 \cdot \left(1 - \frac{8\sqrt{2} \cdot (V_{line,rms})_{LL}}{3\pi \cdot V_{out,nom}} \right)$	<p>$(V_{line,rms})_{LL}$ is the line rms voltage lowest level in normal condition (e.g., 90 V). $V_{out,nom}$ is the output nominal level (e.g., 390 V).</p> <p>$(P_{in,avg})_{max}$ is the maximum input power of your application.</p>
	Current Controlled Frequency Fold-Back	$R_{FF} = \frac{25\sqrt{2} \cdot (V_{line,rms})_{BOH}}{112 \cdot L \cdot (I_{line})_{th}}$ $C_{FF} \leq \frac{1}{150 \cdot I_{line} \cdot R_{FF}}$	<p>$(I_{line})_{th}$ is the line current level below which the NCP1612 starts reducing the frequency.</p>

AND9218/D

回路図

(ここで使用した160 W評価ボードの詳細な回路図と、ユニバーサル・ライン電圧アプリケーション)

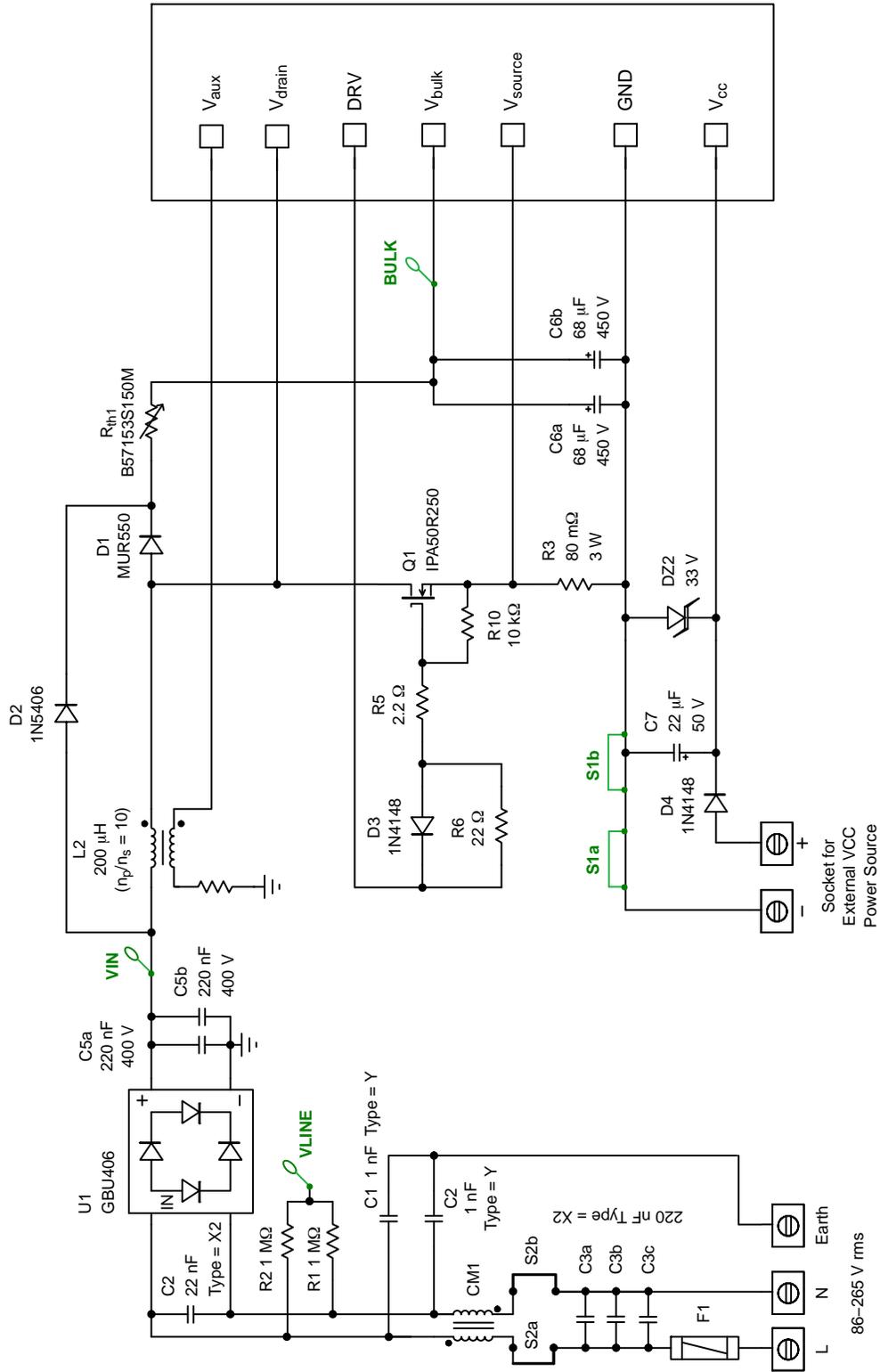


Figure 7. Application Schematic – Power Section

AND9218/D

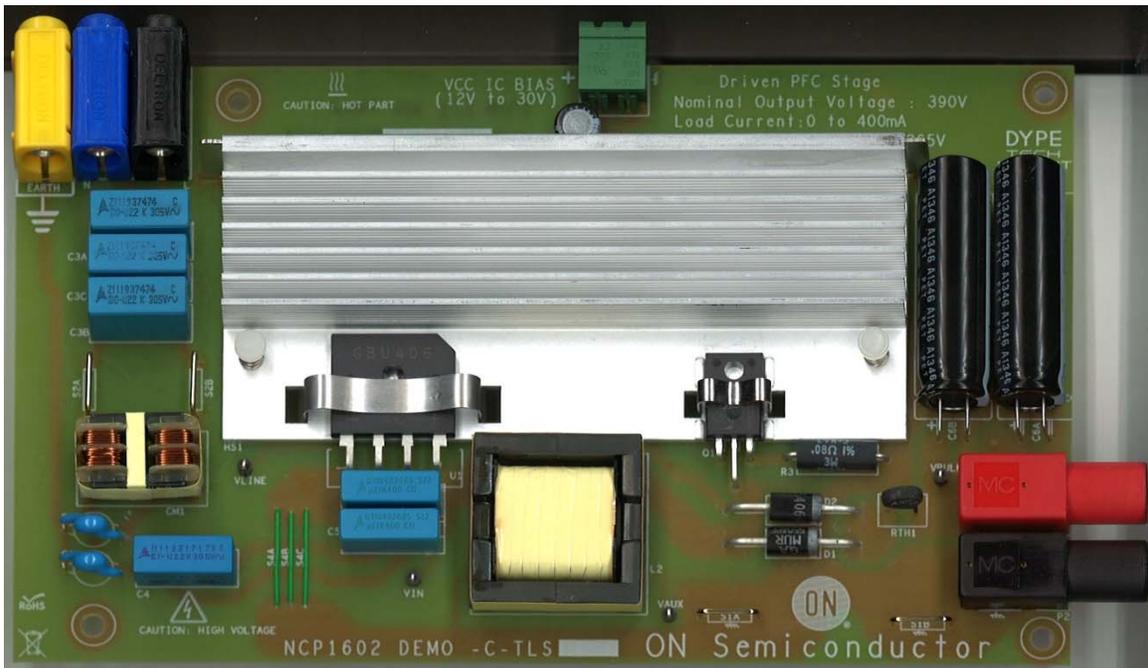


Figure 9. NCP1602 Low Profile Evaluation Board Top View Showing Power Circuitry



Figure 10. NCP1602 Low Profile Evaluation Board Bottom View Showing the Control Circuitry

結論

この資料では、NCP1602で駆動するPFCステージのパラメータを設計するときの主要ステップについて要約しました。提案したアプローチは体系的なも

のであり、他のアプリケーションにも容易に適用できます。

AND9218/D

参考資料

More details on the circuit operation can be found in its data sheet [4].

- [1] Joel Turchi, “Safety tests on a NCP1612-driven PFC stage”, Application note AND9064/D,
http://www.onsemi.com/pub_link/Collateral/AND9064-D.PDF.
- [2] Joel Turchi, “Compensation of a PFC stage driven by the NCP1654”, Application note AND8321/D,
http://www.onsemi.com/pub_link/Collateral/AND8321-D.PDF.

- [3] Joel Turchi, “Compensating a PFC stage”, Tutorial TND382/D available at:
http://www.onsemi.com/pub_link/Collateral/TND382-D.PDF.
- [4] NCP1602/D Data Sheet,
http://www.onsemi.com/pub_link/Collateral/NCP1602-D.PDF.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的財産権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local Sales Representative