



ON Semiconductor®

<http://onsemi.jp>

LV7109E

Bi-CMOS 集積回路

欧州 SCART 規格対応

AV スイッチ

概要

LV7109Eは、欧州SCART規格に対応したAVスイッチLV7108の合理化版ICである。

特長および機能

- Video/Audio cannal-SW
- 6dB-VideoAmp
- 6/12MHz/27MHz-LowPassFilter
- 9ch VideoDriver (AV1/AV2/Line/RGB/Component)
- V-Sync. Detection
- 3ch Stereo Audio Input
- 2ch Stereo Audio Output

最大定格/Ta=25°C

項目	記号	条件	定格値	unit
最大電源電圧1	V _{CC1} max		6.0	V
最大電源電圧2	V _{CC2} max		13.0	V
推奨電源電圧1	V _{CC1}		5.0	V
推奨電源電圧2	V _{CC2}		12.0	V
動作電源範囲1	V _{CC1} opg		4.5~5.3	V
動作電源範囲2	V _{CC2} opg		11.1~12.5	V
許容消費電力	P _d max	指定基板※	1070	mW
動作周囲温度	T _{opr}		-20~+75	°C
保存周囲温度	T _{stg}		-40~+150	°C

※指定基板付き: 76.1mm×114.3mm×1.6mm, ガラスエポキシ基板

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LV7109E

電気的特性/Ta=25℃, V_{CC}V=5. 0V, V_{CCA}=12V

項目	記号	入力	出力	測定条件	規格			単位
					min	typ	max	unit
消費電流1 (5V)	I _{CC} 1			無信号時	69.7	82.0	94.3	mA
消費電流2 (ALL5V)	I _{CC} 2			無信号時	11.1	13.0	15.0	mA
消費電流3 (12V)	I _{CC} 3			無信号時	7.7	9.0	10.4	mA
ビデオチャネルスイッチ部								
出力電圧1	VDCC	17 38	12	AV1, AV2-OUT (Sync tip)	0.5	0.7	0.9	V
電圧利得	VGC			V _{IN} =1Vp-p, f=100kHz, AV1, AV2-OUT	5.5	6.0	6.5	dB
周波数特性1	VFC1			V _{IN} =1Vp-p, f=10MHz/100kHz (P17, P19:Through)	-1.0	0.0	+1.0	dB
周波数特性2	VFC2	40		V _{IN} =1Vp-p, f=6MHz/100kHz (P38, P40:6MHz-LPF)	-1.5	0.0	+1.5	dB
微分利得	DGC	19	14	V _{IN} =Video:1Vp-p	-1	0	+1	%
微分位相	DPC	38		V _{IN} =Video:1Vp-p	-1.5	0	+1.5	℃
チャネル間 クロストーク	CTC	40		選択入力=GND 非選択入力=1Vp-p, f=4.43MHz		-60	-50	dB
映像S/N	VSNC			V _{IN} =Video (50%White)		-70	-65	dB
最大出力レベル1	V _O MAXC1	17 19	12 14	リニアリティが1%を超える出力レベル (Trough出力) V _{IN} =リニアリティ (ランプ) 信号 Output level at linearity 1%	2.8	3.0		Vp-p
最大出力レベル2	V _O MAXC2	38 40	12 14	リニアリティが1%を超える出力レベル (ENC出力) V _{IN} =リニアリティ (ランプ) 信号 Output level at linearity 1%	2.6	2.7		Vp-p
ビデオ入力スイッチ部								
出力電圧1	VDCI1	17, 19, 21	35	コンポジット (Sync-Tip)	0.8	1.0	1.2	V
出力電圧2	VDCI2	17, 19, 21	35	Y (Sync-Tip)	0.8	1.0	1.2	V
出力電圧3	VDCI3	3	33	クロマ (Center)	1.8	2.1	2.4	V
電圧利得1	VGI1	17, 19, 21 3	33 35	V _{IN} =1Vp-p, f=100kHz, 負荷=10kΩ	-0.5	0.0	+0.5	dB
周波数特性	VFI	17, 19, 21 3	33 35	V _{IN} =1Vp-p, f=10MHz/100kHz	-1.0	0.0	+1.0	dB
微分利得	DGSW	17, 19, 21	35	V _{IN} =Video:1Vp-p	-1	0	+1	%
微分位相	DPSW	17, 19, 21	35	V _{IN} =Video:1Vp-p	-1.5	0	+1.5	℃
チャネル間 クロストーク	CTAD	17, 19, 21 3	33 35	選択入力=GND 非選択入力=1Vp-p, f=4.43MHz		-60	-50	dB
映像S/N	VSNC	17, 19, 21	35	V _{IN} =Video (50%White)		-66	-60	dB
最大出力レベル	V _O MAXSW	17, 19, 21	35	リニアリティが1%を超える出力レベル (ENC出力) V _{IN} =リニアリティ (ランプ) 信号 Output level at linearity 1%	1.8	2.0		Vp-p

次ページへ続く。

LV7109E

前ページより続く。

項目	記号	入力	出力	測定条件	規格			単位
					min	typ	max	unit
ビデオドライバ部								
出力電圧1	VDCD1	64, 46 1, 44 3, 42	6 8 10	RGB(Pedestal)	0.6	0.8	1.0	V
出力電圧2	VDCD2	40	16 27	CVBS(Sync tip) Y(Sync tip)	0.5	0.7	0.9	V
出力電圧3	VDCD3	3 46 42	10 23 25	C, Pr, Pb(Center)	1.7	2.0	2.3	V
出力電圧4	VDCD4	40	27	Y(Sync tip)	0.8	1.0	1.2	V
電圧利得1	VGD1	64, 46 1, 44 3, 42 40, 38	6, 23 8, 27 10, 25 12, 14, 16	$V_{IN}=1V_{p-p}$, f=100kHz Line出力のみ: 2ドライブ その他出力:1ドライブ	5.5	6.0	6.5	dB
周波数特性1	VFD1	46, 44, 42 40, 38	6, 8, 10 23, 27, 25 12, 14, 16	6MHzLPF選択時 $V_{IN}=1V_{p-p}$, f=6MHz/100kHz	-1.5	0.0	+1.5	dB
周波数特性2	VFD2	46 44 42	6 8 10	6MHzLPF選択時、f=27MHz/100kHz		-35	-25	dB
周波数特性3	VFD3	46 44 42	23 27 25	12MHzLPF選択時、f=12MHz/100kHz	-1.5	0.0	+1.5	dB
周波数特性4	VFD4	46 44 42	23 27 25	12MHzLPF選択時、f=54MHz/100kHz		-40	-30	dB
周波数特性5	VFD5	46 42	23 25	13.5MHzLPF選択時、f=13.5MHz/100kHz	-1.5	0.0	+1.5	dB
周波数特性6	VFD6	46 42	23 25	13.5MHzLPF選択時、f=74MHz/100kHz		-40	-30	dB
周波数特性7	VFD7	44	27	27MHzLPF選択時、f=25MHz/100kHz	-1.5	0.0	+1.5	dB
周波数特性8	VFD8	44	27	27MHzLPF選択時、f=74MHz/100kHz		-40	-30	dB
群遅延特性1	VGDD1	46, 44, 42 40, 38	6, 8, 10 23, 27, 25 12, 14, 16	6MHzLPF選択時、f=6MHz/100kHz		20	35	ns
群遅延特性2	VGDD2	46 44 42	23 27 25	12MHzLPF選択時、f=12MHz/100kHz		14	25	ns
群遅延特性3	VGDD3	46 42	23 25	13.5MHzLPF選択時、f=27MHz/100kHz		10	18	ns
群遅延特性4	VGDD4	44	27	27MHzLPF選択時、f=27MHz/100kHz		10	18	ns
ミュート減衰量	VMUD		ALL	$V_{IN}=1V_{p-p}$, f=4.43MHz		-60	-50	dB
微分利得	DG1		ALL	$V_{IN}=Video:1V_{p-p}$	-1	0	+1	%
微分位相	DP1		ALL	$V_{IN}=Video:1V_{p-p}$	-1.5	0	+1.5	℃
チャンネル間 クロストーク	CTD		ALL	$V_{IN}=1V_{p-p}$, f=4.3MHz Driver output terminated with 75Ω.		-60	-50	dB

次ページへ続く。

LV7109E

前ページより続く。

項目	記号	入力	出力	測定条件	規格			単位
					min	typ	max	unit
映像S/N	VSND		ALL	V_{IN} =Video (50%White)		−70	−65	dB
最大出力レベル1	$V_{O\text{MAXD1}}$	64, 46 1, 44 3, 42	6 8 10	リニアリティが1%を超える出力レベル (RGB) V_{IN} =リニアリティ (ランプ) 信号 Output level at linearity 1%	2.5	2.7		Vp-p
最大出力レベル2	$V_{O\text{MAXD2}}$	40	16 27	リニアリティが1%を超える出力レベル (輝度、CVBS) V_{IN} =リニアリティ (ランプ) 信号 Output level at linearity 1%	2.6	2.8		Vp-p
最大出力レベル3	$V_{O\text{MAXD3}}$	46 42	23 25	リニアリティが1%を超える出力レベル (色差) V_{IN} =sin 10kHz Output level at linearity 1%	2.0	2.5		Vp-p
同期分離部								
V. SYNC出力 High電圧	VVSH	17, 19, 21	34		4.3	4.7	5.0	V
V. SYNC出力 Low電圧	VVSL	17, 19, 21	34		0.0	0.3	0.6	V
V. SYNC出力 ディレイ時間	TDVS	17, 19, 21	34	注2)	7	15	25	μs
V. SYNC出力パルス幅	TWVS	17, 19, 21	34	V_{IN} =PAL Video:1Vp-p 注2)	125	155	185	μs

注2) Pin32:open時

項目	記号	入力	出力	測定条件	規格			単位
					min	typ	max	unit
オーディオCanalスイッチ部								
最大出力レベル	V _Q MAXC	R-Ch. 49, 50, 51	R-Ch. 58, 61	AV1, AV2-OUT (L, R) f=1kHz, THD=1%時の出力レベル BW=400〜30kHz	2.2	2.5		Vrms
チャンネルバランス	CVSW			V _{IN} =2Vrms, f=1kHz LchGain-RchGain	−1.5	0.0	+1.5	dB
全高調波ひずみ率	THDAC			V _{IN} =2Vrms, f=1kHz, BW=400〜30kHz		0.003	0.01	%
出力雑音電圧	VNAC	L-Ch. 54, 55, 56	L-Ch. 59, 62	Rg=0Ω, BW=JIS-A		−100	−80	dBV
ミュート減衰量	VMUAC			V _{IN} =2Vrms, f=1kHz, BW=JIS-A 20log (V _{OUT} /V _{IN})		−90	−75	dB
入力インピーダンス	Z _{IN}				80	100	120	kΩ
チャンネル間/セクタ間 クロストーク	CTSW			V _{IN} =2Vrms, f=1kHz, Rg=0Ω, BW=JIS-A		−110	−80	dB
出力オフセット電圧	V _O FSET			SWが切換わった時のオフセット電圧	−20	0	+20	mV

次ページへ続く。

LV7109E

前ページより続く。

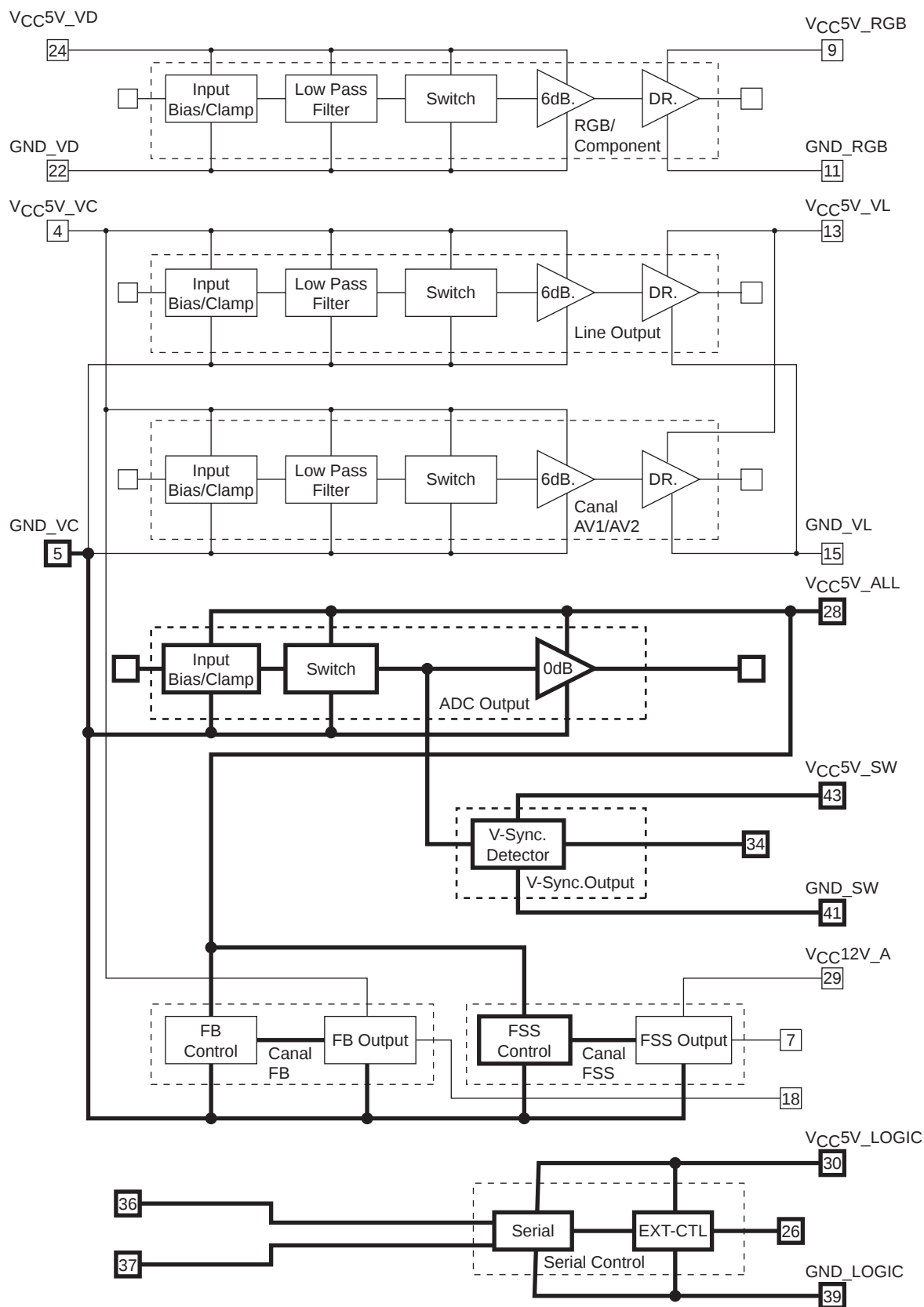
項目	記号	入力	出力	測定条件	規格			単位
					min	typ	max	unit
外部制御部								
I ² C-BUS入力H電圧	V _{IH}	36 37			2.5		V _{CC5}	V
I ² C-BUS入力L電圧	V _{IL}	36 37			GND		0.8	V
FSS出力H電圧	VHFSS		7	シリアル制御 FSS OUT H選択、 負荷=10kΩ 外付け出力抵抗470を推奨	10.6	11.1	11.6	V
FSS出力M電圧	VMFSS		7	シリアル制御 FSS OUT M選択、 負荷=10kΩ 外付け出力抵抗470を推奨	5.5	6.3	7.0	V
FSS出力L電圧	VLFS		7	シリアル制御 FSS OUT L選択、 負荷=10kΩ	0.0	0.1	0.5	V
FSS出力立上り時間	TFSSLH		7				1.0	ms
FB出力H電圧	VHFB		18	シリアル制御 FB OUT H選択、 負荷=150Ω	3.0	4.0	5.0	V
FB出力L電圧	VLFB		18	シリアル制御 FB OUT L選択、 負荷=150Ω	0.0	0.2	0.4	V
FB外部制御入力 L電圧範囲	VLFBIN	20	18	ピン18出力がLとなるピン20入力電圧 範囲	0.0		0.5	V
FB外部制御入力 H電圧範囲	VHFBIN	20	18	ピン18出力がHとなるピン20入力電圧 範囲	1.0		3.0	V
外部制御出力H電圧	V _{EXTH}		26	2kΩ負荷 データ1の時	4.0	4.5	5.0	V
外部制御出力L電圧	V _{EXTL}		26	2kΩ負荷 データ0の時	0.0	0.3	1.0	V
内蔵基準電源								
REG2.5V	VREG25		2 31		2.3	2.5	2.7	V
REG9.0V	VREG90		52 57		8.7	9.0	9.3	V
VRE4.5	VREG45		48		4.3	4.5	4.7	V

LV7109E

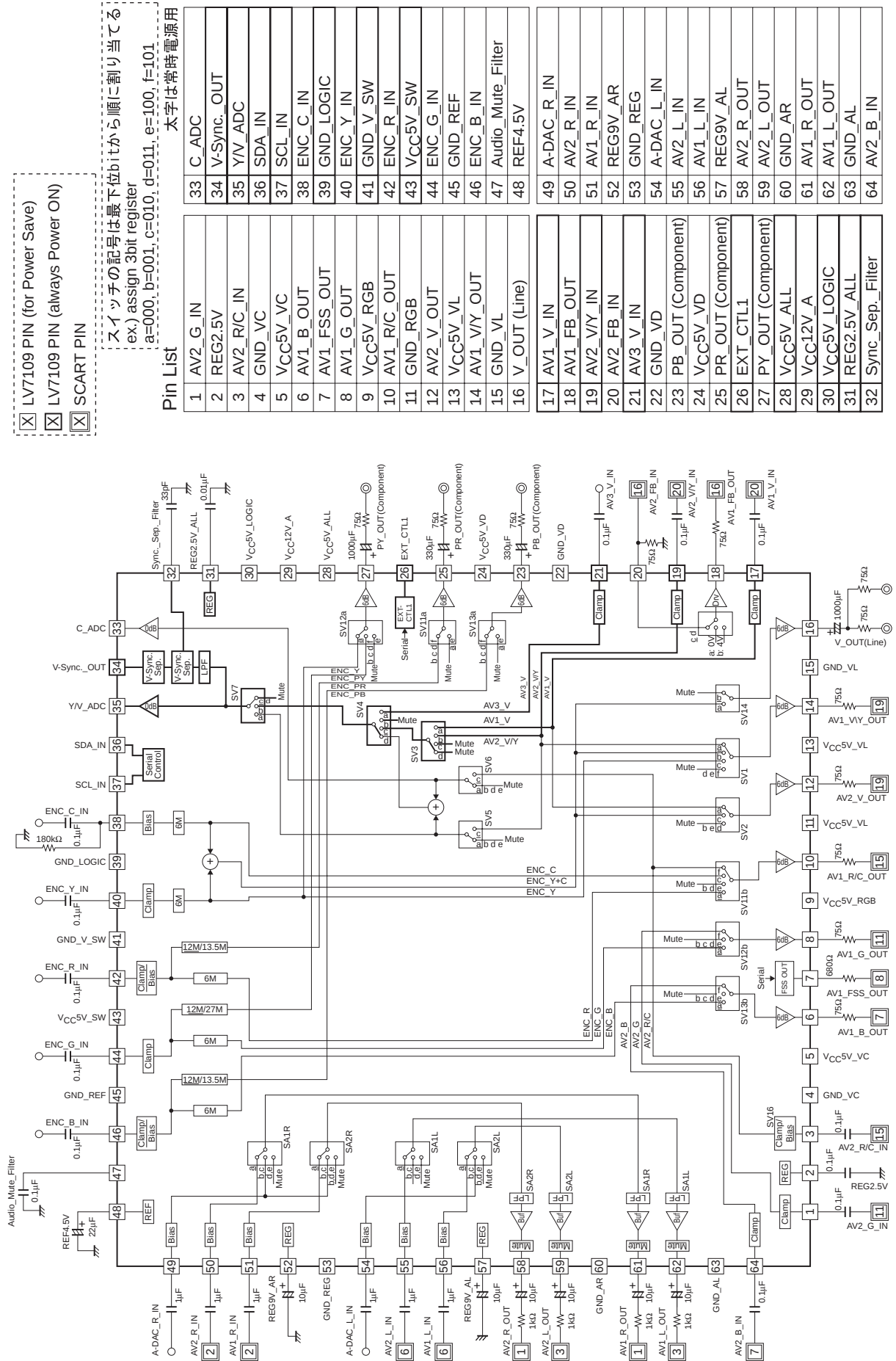
Video部電源模式図

太線部はPower Save時動作回路

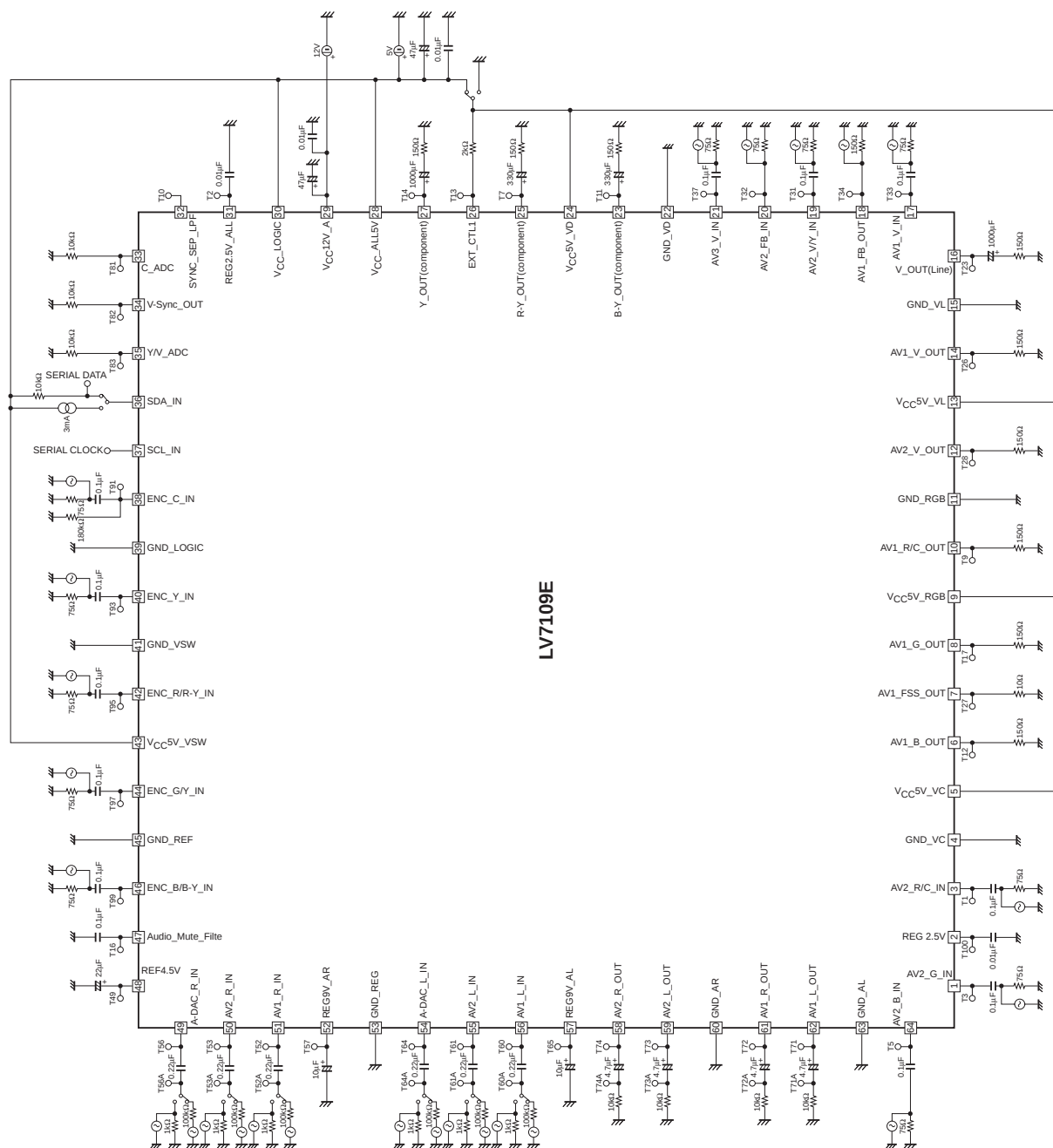
Power Save時にはVCC5V_ALL、VCC5V_SW、VCC_LOGICのみに電源を投入する



ブロック図



測定回路図



LV7109E

LV7109E シリアル制御表

*がイニシャル

ADDRESS		8	7	6	5	4	3	2	1	記号	入力				出力	備考	
Group 1 0000 0001 VIDEO CANAL-SW VIDEO	SV1						0	0	0	a	P19	AV2_V/Y_IN			P10:AV1_R/C_OUT		*
							0	0	1	b	-	ENC_Y+C_MIX					
							0	1	0	C	P40	ENC_Y					
							0	1	1	d	-	MUTE					
							1	0	0	e	-	MUTE					
							1	0	1	f	-	MUTE					
							1	1	X	-	-	PROHIBIT					
	SV2		0	0	0					a	P17	AV1_V_IN			P12:AV2_V_OUT		*
			0	0	1					b	-	MUTE					
			0	1	0					c	-	ENC_Y+C_MIX					
			0	1	1					d		MUTE					
			1	0	0					e		MUTE					
			1	0	1					-	-	PROHIBIT					
	SV3	0	0							a	P17	AV1_V_IN			SV4		
		0	1							b	P19	AV2_V/Y_IN					*
		1	0							c	-	N/A					
		1	1							d	-	N/A					

ADDRESS		8	7	6	5	4	3	2	1	記号	入力						出力	備考	
Group 2 0000 0010 VIDEO INPUT-SW	SV4							0	0	a	P21	AV3_V_IN					SV7		
								0	1	b	-	N/A							
								1	0	C	SV3の制御に従う								*
								1	1	d	-	SV5/6 MIX							
	SV2				0	0	0			a	-	MUTE	MUTE			Y+C MIX SV7 P33:C_ADC			
					0	0	1			b	-	MUTE	MUTE						
					0	1	0			c	P19	AV2_V/Y_IN	AV2_R/C_IN						
					0	1	1			d	-	MUTE	MUTE						
					1	0	0			e	-	MUTE	MUTE					*	
					1	0	1			以降	-	-	PROHIBIT	PROHIBIT					
	SV3		0	0						a	SV5	Y				P35:Y/V_ADC			
			0	1						b	SV4	Composit Video							
			1	0						c	-	MUTE						*	
			1	1						d	-	MUTE							
	SV16 注1)	0								-	-	THROUGH						*	
		1								-	-	CLAMP input							

ADDRESS		8	7	6	5	4	3	2	1	記号	入力						出力	備考	
Group 3 0000 0011 VIDEO OTHER-1	12/27MHz LPF SW								0	-							x=12MHz	*	
									1	-							x=27MHz		
	RGB output								0	-	G3D3-5の制御に従う								
									1	-	SV11 b-13bのスイッチがfの設定になる							f:AV2_RGB (EXTERNAL)	*
	SV11a SV12a SV13a				0	0	0			a	-	MUTE	P40	ENC_Y_IN	-	MUTE	P25:PR_OUT P27:PY_OUT P23:PB_OUT	a:ENC_Y	*
					0	0	1			b	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		b:コンポーネント(x MLPF)	
					0	1	0			c	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		c:コンポーネント(x MLPF)	
					0	1	1			d	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		d:コンポーネント(x MLPF)	
					1	0	0			e	-	MUTE	-	MUTE	-	MUTE		e:mute	
					1	0	1			f	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		f:コンポーネント(x MLPF)	
					1	1	X			-	-	PROHIBIT	-	PROHIBIT	-	PROHIBIT			
					0	0	0			a	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		a:ENC_RGB (6MLPF)	*
	SV11b SV12b SV13b *G3D2="0"時 のみ有効				0	0	1			b	-	MUTE	-	MUTE	-	MUTE	P10:AV1_R/C_OUT P8:AV1_G_OUT P6:AV1_B_OUT	b:mute	
					0	1	0			c	P38	ENC_C_IN	-	MUTE	-	MUTE		c:ENC_C	
					0	1	1			d	-	MUTE	-	MUTE	-	MUTE		d:mute	
					1	0	0			e	-	MUTE	-	MUTE	-	MUTE		e:mute	
					1	0	1			f	P3	AV2_R/C_IN	P1	AV2_G_IN	P64	AV2_B_IN		f:AV2_RGB (EXTERNAL)	
					1	1	X			-	-	PROHIBIT	-	PROHIBIT	-	PROHIBIT			
					0					a	-	ENC_Y+C						P16:V_OUT(Line)	
				1					b	-	MUTE					*			
	N/A	0								a	-	-	-	-					
		1								b	-	-	-	-					*
	SV16 注1)	0								-	-	THROUGH							
		1								-	-	BIAS input							*

注1) G2D8/G3D8="11"は禁止。THROUGH時はAV2 (16) FB_IN (Pin20) の制御に従う。

AV2_16pin SV16

H a:Clamp入力(RGB)

L b:Bias入力(Y+C)

LV7109E

*がイニシャル

ADDRESS		8	7	6	5	4	3	2	1	記号	入力					出力	備考	
Group 4 0000 0100 VIDEO & AUDIO OTHER-1	N/A								0	a	-	N/A	-	N/A				*
									1	b	-	N/A	-	N/A				
	N/A								0	a	-	N/A	-	N/A				*
									1	b	-	N/A	-	N/A				
	FB AV1 (16) 注2)					0	0			a	-	0V				P18:AV1_FB_OUT		
						0	1			b	-	5V						
						1	0			c	P20	THROUGH						*
						1	1			d	P20	THROUGH						
	FSS AV1 (8)			0	0					-	-	LOW (0.5V)				P7:AV1_FSS_OUT		*
				0	1					-	-	MID (6.0V)						
				1	0					-	-	HIGH (11.0V)						
				1	1					-	-	HIGH (11.0V)						
	N/A			0						-	-	-						*
				1						-	-	-						
	A-MUTE			0						-	-	THROUGH						
				1						-	-	MUTE					P58, 59, 61, 62 output MUTE	*

注2) THROUGH時はAV2(16)FB_IN(Pin20)の制御と同極性を出力する。

ADDRESS		8	7	6	5	4	3	2	1	記号	入力					出力	備考	
Group 5 0000 0101 AUDIO CANAL-SW	SA1L/R								0	a	P55	AV2_L_IN	P50	AV2_R_IN		P62:AV1_L_OUT P61:AV1_R_OUT		*
									1	b	P54	A-DAC_L_IN	P49	A-DAC_R_IN				
									0	c	P54	A-DAC_L_IN	P49	A-DAC_R_IN				
									1	d	-	MUTE	-	MUTE				
									1	e	-	MUTE	-	MUTE				
									1	f	-	PROHIBIT	-	PROHIBIT				
	SA2L/R					0	0			a	P56	AV1_L_IN	P51	AV1_R_IN		P59:AV2_L_OUT P58:AV2_R_OUT		*
						0	1			b	-	MUTE	-	MUTE				
						0	1			c	P54	A-DAC_L_IN	P49	A-DAC_R_IN				
						0	1			d	-	MUTE	-	MUTE				
						1	0			e	-	MUTE	-	MUTE				
						1	0			-	-	PROHIBIT	-	PROHIBIT				
	N/A			0	0					a	-	N/A	-	N/A				
				0	1					b	-	N/A	-	N/A				
				1	0					c	-	N/A	-	N/A				*
				1	1					d	-	N/A	-	N/A				

ADDRESS		8	7	6	5	4	3	2	1	記号	入力					出力	備考	
Group 6 0000 0110 N/A	N/A								0	a	-	N/A	-	N/A				
									1	b	-	N/A	-	N/A				*
									0	c	-	N/A	-	N/A				
									1	d	-	N/A	-	N/A				
									1	e	-	N/A	-	N/A				
									1	-	-	PROHIBIT	-	PROHIBIT				
	N/A					0				a	-	N/A						
						1				b	-	N/A						*
						0	0			a	-	N/A						
						0	1			b	-	N/A						*
	N/A					1	0			c	-	N/A						
						1	1			-	-	PROHIBIT						
						0	0			a	-	N/A						
						0	1			b	-	N/A						*
	N/A					1	0			c	-	N/A						
						1	1			-	-	PROHIBIT						

ADDRESS		8	7	6	5	4	3	2	1	記号	入力					出力	備考	
Group 7 0000 0111	N/A			0	0	0	0	0	0	-	-	N/A						
				0	0	1	1	0	0	-	-	N/A						
				1	1	1	1	1	1	-	-	N/A						*
				上記以外						-	-	PROHIBIT						
	EXT-CTL1			0						-	-	L				P26:EXT_CTL1	General purpose OUT1	*
				1						-	-	H						
	Video入力 Bias/Clamp 切換え			-	-	-	-	-	-	P42	ENC_R_IN	P44	ENC_G_IN	P46	ENC_B_IN		Input changeover	
				0						-	BIAS input		CLAMP input		BIAS input		Component	
				1						-	CLAMP input		CLAMP input		CLAMP input		RGB	*

LV7109E

*がイニシャル

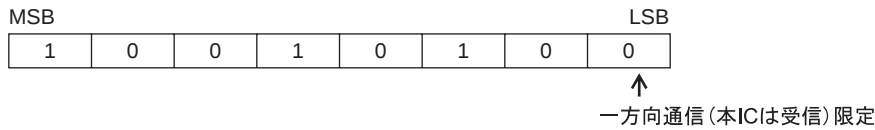
ADDRESS		8	7	6	5	4	3	2	1	記号	入力				出力	備考	
Group 8 0000 1000	N/A			0	0	0	0	0	0	-	-	N/A					
				0	0	1	1	0	0	-	-	N/A					
				1	1	1	1	1	1	-	-	N/A					*
				上記以外						-	-	PROHIBIT					
N/A	N/A		0							-	-	N/A					*
			1							-	-	N/A					
	N/A		0							-	-	N/A					*
			1							-	-	N/A					

使用上の注意

- Video Driverのドライブ能力について
Line出力は、容量結合で2系統のドライブが可能である。
コンポーネント出力は容量結合で1系統のドライブが可能である。
Scart出力はDC直結時1系統のみドライブ可能となっている。
- Audio Muteについて
本ICは電源オンオフ時のオーディオ出力のPOPノイズを軽減するためのミュートトランジスタを内蔵している。
ミュートの制御はシリアル制御で行なうことができる。
- Audio入力の制限抵抗について
電源オフ時に入力端子に大信号を入力した場合、保護ダイオードや寄生素子を通して入出力間クロストークが生じてしまう。これらのクロストークはLSIの構造上回避することは困難である。もしも電源オフ時のクロストークが問題となる場合には入力に制限抵抗を入れることによりクロストーク量を軽減することが可能である。その場合には抵抗値により入力信号レベルが変わってしまうので、クロストーク量と入力レベルの双方を考慮して定数を決定すること。
- 外部制御を使用しない場合の端子処理方法について
外部制御端子 (Pin26) を使用しない場合、GNDにpull downを推奨する。
- Audio 9V_REG端子の外付け容量について
Audio 9V_REG端子 (Pin52, 57) の外付け容量は10 μ F以上で等価直列抵抗成分7 Ω 以下のものを使用すること。
- 電源印加順序、切断順序について
本ICの電源印加順序はV_{CC}_ALL5V (Pin28) → V_{CC}5V (Pin5, 9, 13, 24, 30, 43)、V_{CC}12V (Pin29) の順序を推奨する (V_{CC}5VとV_{CC}12Vの順序は特に無し)。電源切断順序はその逆を推奨する。

シリアル制御仕様

1. スレーブアドレス



2. データの転送方法: [1] is High level. [0] is Low level.

本LSIはシリアルデータによる制御方式 (I²C-BUS) を採用しており、SCL (シリアルクロック) と SDA (シリアルデータ) の二つの端子によって制御を行う。はじめに二つの端子によってデータ転送開始条件^{*1}を設定した後、SDA端子に、SCL端子のクロックに同期させて8ビットのデータを入力すること。なお、転送するデータの順番はMSB (最大位ビット) より順に行うこと。9ビット目はACK (データ転送確認応答) 期間となり、SCL端子が「1」の間、SDA端子に本LSIより「0」を出力するので、その期間は転送側 (マイコン等) を解放にしておくこと。本LSIはオートインクリメント対応となっているので、ゾロープアドレスは、初めに転送をするグループのものを入れるだけで、その後は順番にデータを送ることが可能である。最後に二つの端子によってデータ転送終了条件^{*2}を設定した後、転送を終了する。

^{*1} SCLが「1」期間にSDAを立ち下げることによって定義する。

^{*2} SCLが「1」期間にSDAを立ち上げることによって定義する。

3. 転送データのフォーマット

開始条件の後、SDA端子に、スレーブアドレス (本LSIでは「10010100」) を転送し、続いてグループアドレス^{*1}、制御データ^{*2}の順に行うこと (図1参照)。

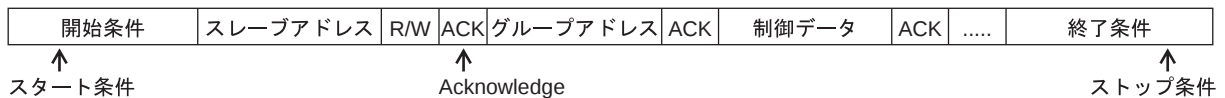
スレーブアドレスは7ビットで構成されており、8ビット目^{*3}は「0」とすること。

グループアドレスと制御データはそれぞれ8ビットで構成されており、必要に応じたグループ分の転送をすることができる。データは全ビットで意味を持つので、途中で転送を中断することはできない。ただし、オートインクリメント対応なため、グループ1, 2のあと3を送らずに終了条件を転送し、転送を終了することができる。

^{*1}/^{*2} グループは8グループあり、グループとデータが対になって制御を定義する。

^{*3} R/Wビットといい、データ転送方向を示し、「0」は送信 (本LSI側は受信)、「1」はデータ要求 (本LSI側は送信) の意味を持っているが、本LSIはデータ出力機能を持たないため、このビットは「0」とすること。

図1 データの構造



4. イニシャライズ、その他

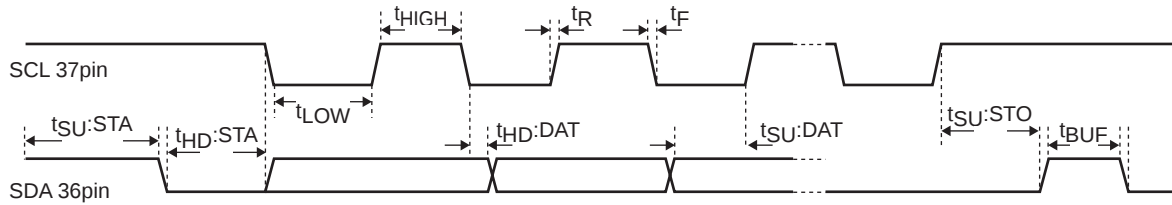
本LSIは回路動作保護のために、電源投入時には内部の機能を所定の状態に初期設定している。
詳細は制御表を参照すること。

本LSIは、3.3VマイコンのI²C制御が可能である。

表1 SDAおよびSCLの規格

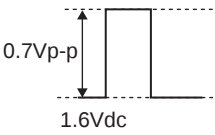
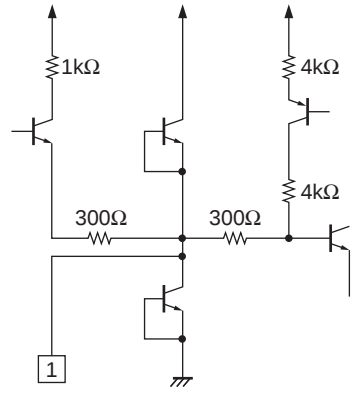
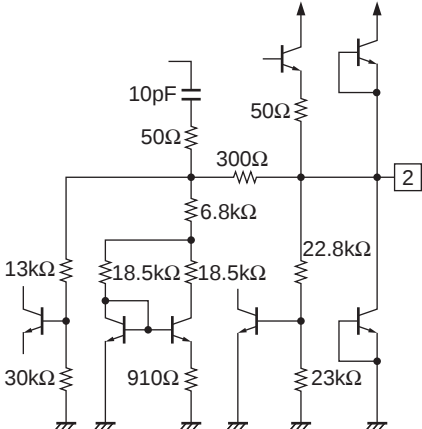
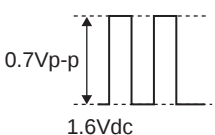
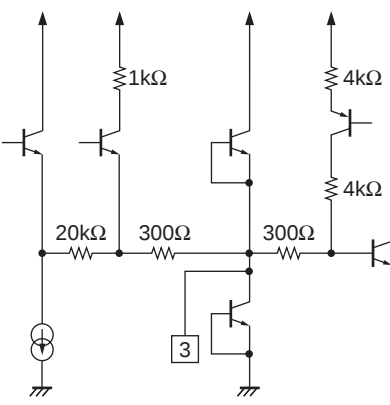
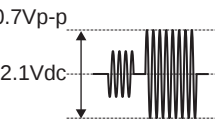
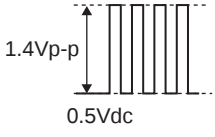
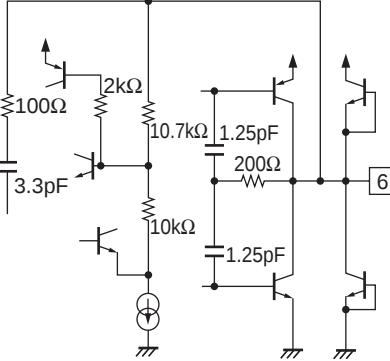
Parameter	Symbol	Min	Max	Unit
LOW level input voltage	V _{IL}	0	0.8	V
HIGH level input voltage	V _{IH}	3.0	5.0	V
LOW level output current	I _{OL}		3.0	mA
SCL clock frequency	f _{SCL}		400	kHz
Set-up time for a repeated START condition	t _{SU:STA}	0.6		μs
Hold time START condition. After this period, the first clock pulse is generated.	t _{HD:STA}	0.6		μs
LOW period of the SCL clock	t _{LOW}	1.3		μs
Rise time of both SDA and SDL signals	t _R	0	0.3	μs
HIGH period of the SCL clock	t _{HIGH}	0.6		μs
Fall time of both SDA and SDL signals	t _F	0	0.3	μs
Data hold time:	t _{HD:DAT}	0	0.9	μs
Data set-up time	t _{SU:DAT}	100		ns
Set-up time for STOP condition	t _{SU:STO}	0.6		μs
BUS fredd time between a STOP and START condition	t _{BUF}	1.3		μs

図2 Definition of timing



LV7109E

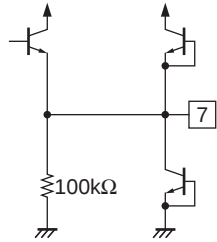
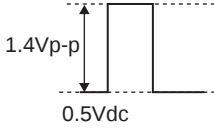
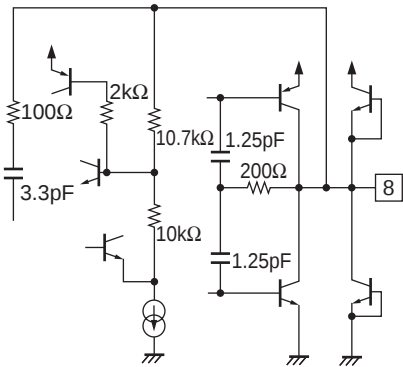
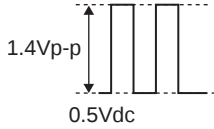
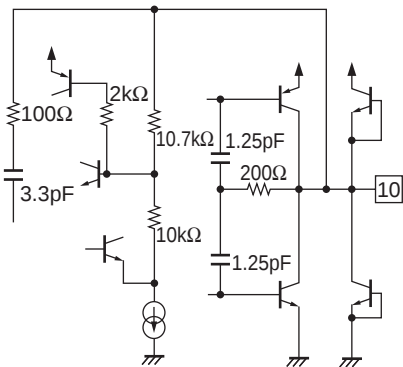
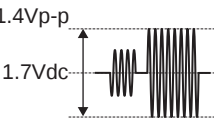
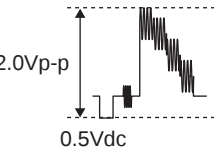
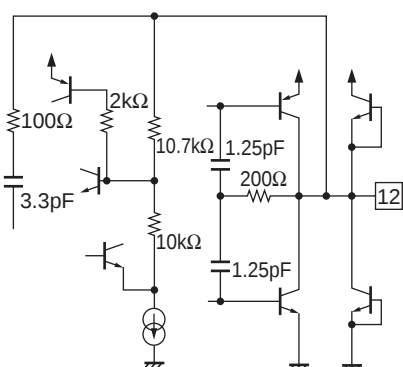
端子機能

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P1	AV2_G_IN	1.6Vdc +Green			
P2	REG 2.5V	2.5Vdc	DC		
P3	AV2_R/C_IN	1.6Vdc +Red			
		2.1Vdc +Chroma			
P4	GND_VC				
P5	V _{CC} 5V_VC				
P6	AV1_B_OUT	0.5V +Blue			

次ページへ続く。

LV7109E

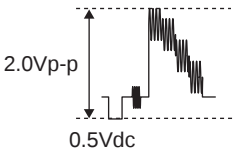
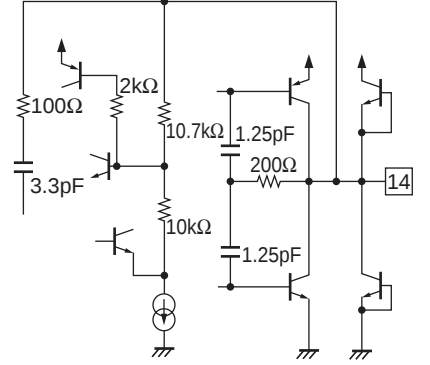
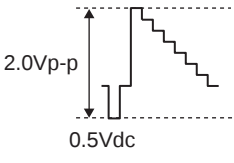
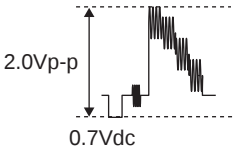
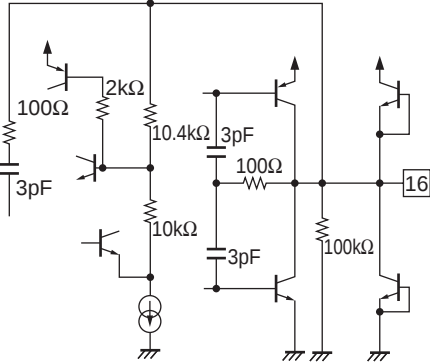
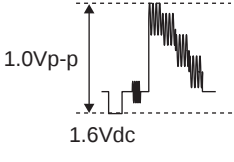
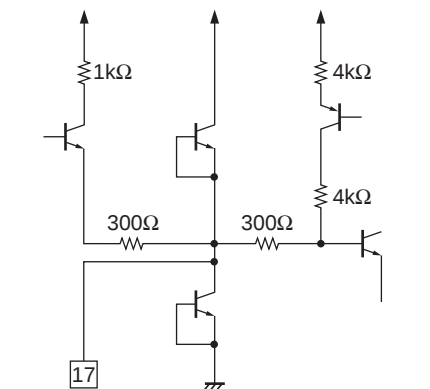
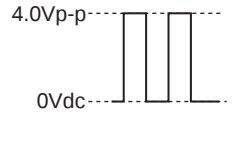
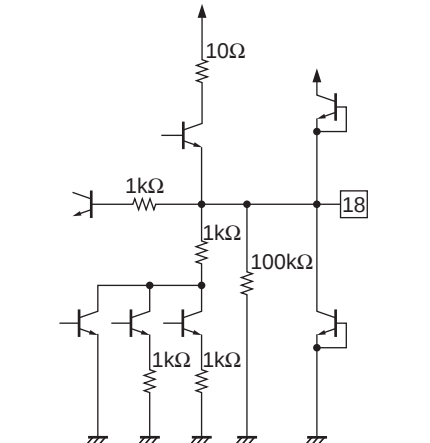
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P7	AV1_FSS_OUT	Low:0.5V Mid:6.0V High:11.1V	DC		
P8	AV1_G_OUT	0.5Vdc +Green			
P9	VCC_RGB				
P10	AV1_R/C_OUT	0.5V +Red			
		1.7Vdc +Chroma			
P11	GND_RGB				
P12	AV2_V_OUT	0.5Vdc +Video			
P13	VCC5V_VL				

次ページへ続く。

LV7109E

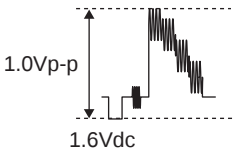
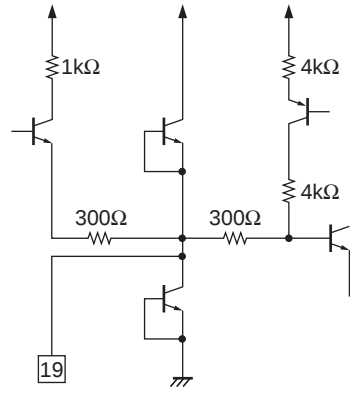
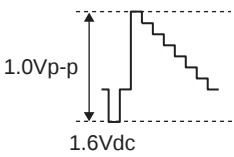
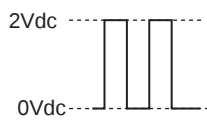
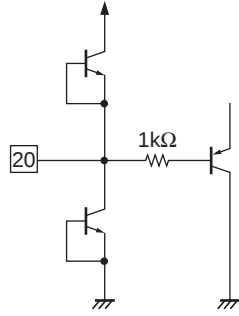
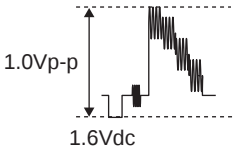
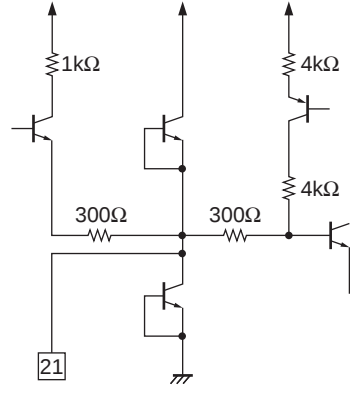
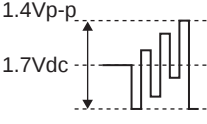
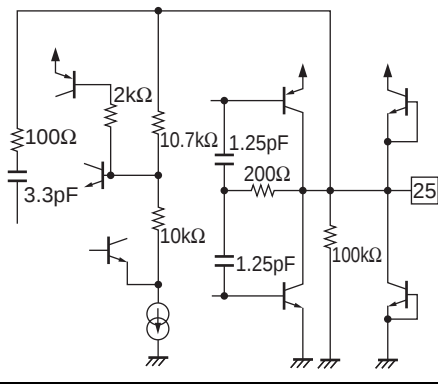
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P14	AV1_V/Y_OUT	0.5Vdc +Video			
		0.5Vdc +Y			
P15	GND_VL				
P16	V_OUT (Line_OUT)	1.7Vdc +CVBS			
P17	AV1_V_IN	1.6Vdc +CVBS			
P18	AV1_FB_OUT	Low: 0V High: 4.0V Through: 0/4.0V			

次ページへ続く。

LV7109E

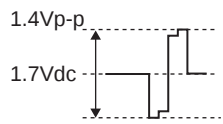
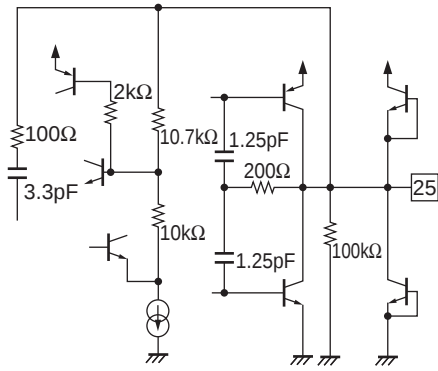
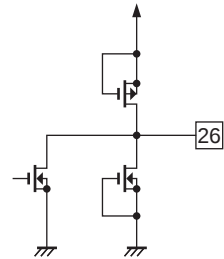
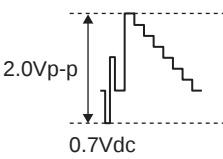
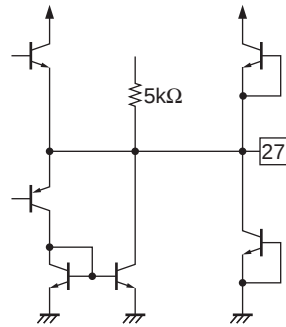
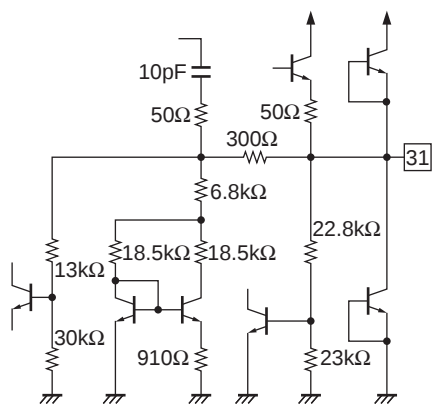
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P19	AV2_V/Y_IN	1.7Vdc +CVBS			
		1.6Vdc +Y			
P20	AV1_FB_IN	Low:0V High:2V			
P21	AV3_V_IN	1.6Vdc +CVBS			
P22	GND_VD				
P23	PB_OUT (Component)	1.7V +Pb			
P24	V _{CC} 5V_VD				

次ページへ続く。

LV7109E

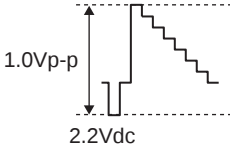
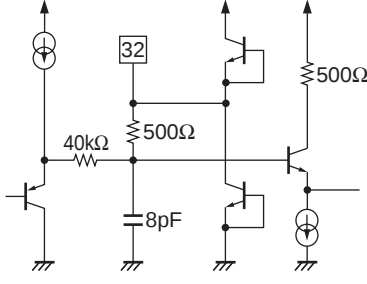
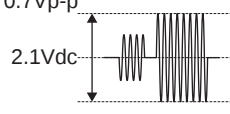
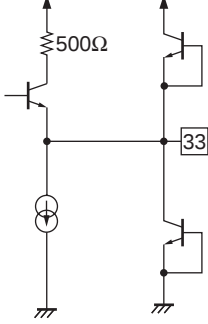
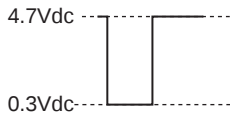
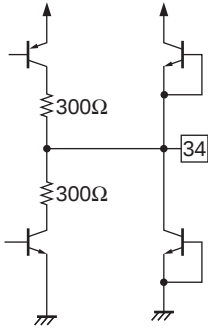
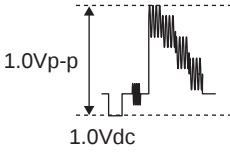
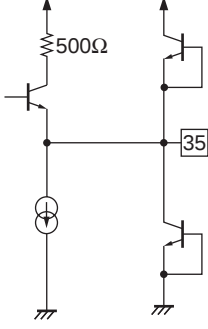
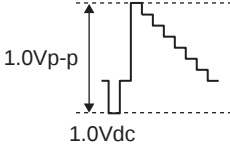
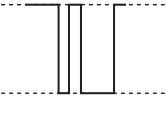
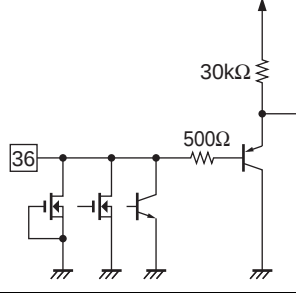
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P25	PB_OUT (Component)	1.7V +Pr			
P26	EXT-CTL1 (OUT)	Low:0V High:5V			
P27	PY_OUT (Component)	0.7Vdc +Py			
P28	V _{CC} 5V_ALL				
P29	V _{CC} 12V_A				
P30	V _{CC} 5V_LOGIC				
P31	REG2.5V_ALL	2.5Vdc	DC		

次ページへ続く。

LV7109E

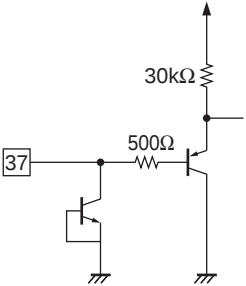
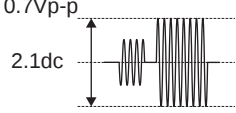
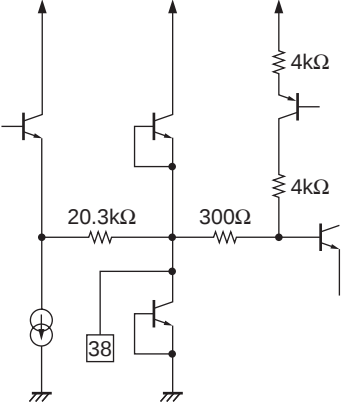
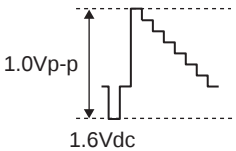
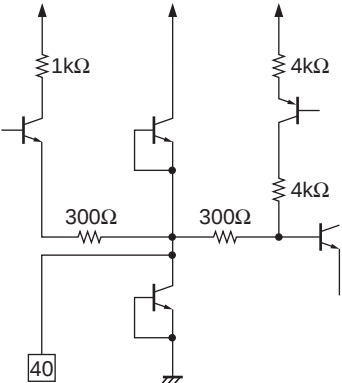
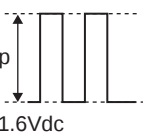
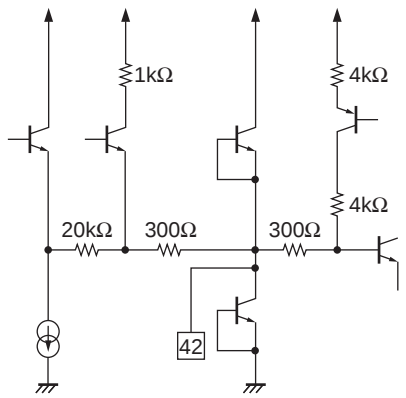
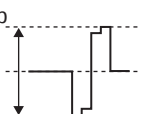
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P32	SYNC_SEP_FILTER	2.2Vdc +Y			
P33	ADC_C_OUT	2.1Vdc +Chroma			
P34	V_SYNC_OUT	Low: 0.3V High: 4.7V			
P35	ADC_V/Y_OUT	1.0Vdc +CVBS			
		1.0Vdc +Y			
P36	SDA_IN	I ² C DATA			ACK_OUT

次ページへ続く。

LV7109E

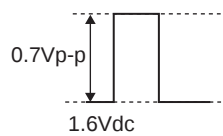
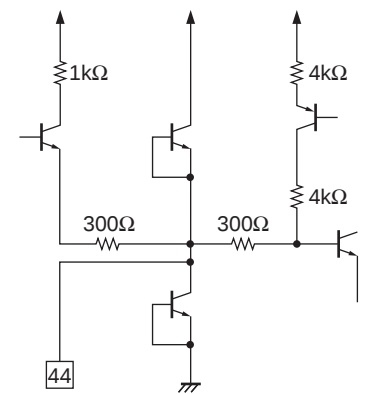
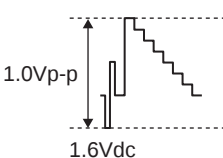
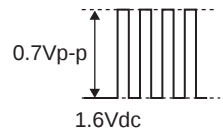
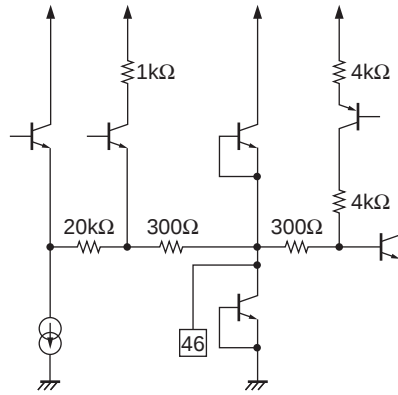
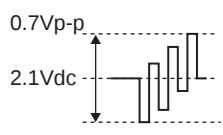
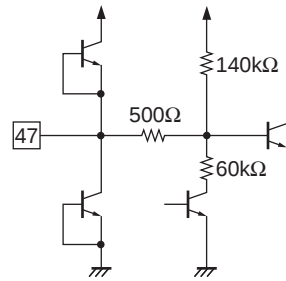
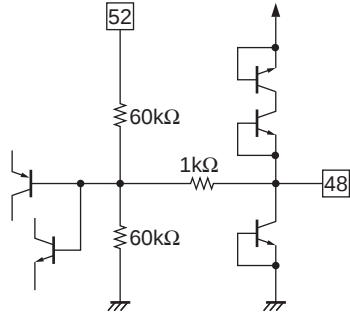
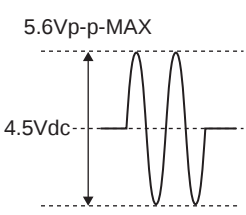
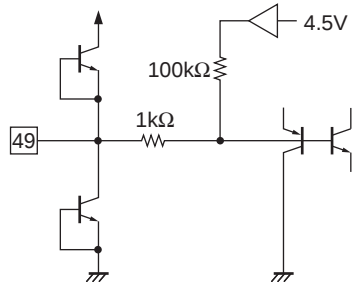
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P37	SCL_IN	I ² C CLOCK			
P38	ENC_C_IN	2.1Vdc +Chroma			
P39	GND_LOGIC				
P40	ENC_Y_IN	1.6Vdc +Y			
P41	GND_VSW				
P42	ENC_R/PR_IN	1.6Vdc +Red			
		2.1Vdc +Pr			
P43	V _{CC} 5V_SW				

次ページへ続く。

LV7109E

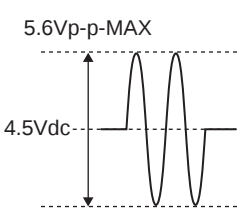
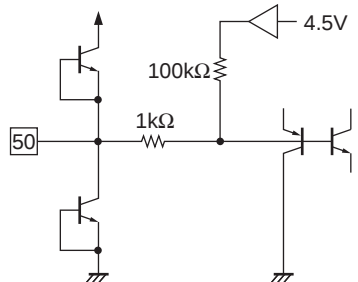
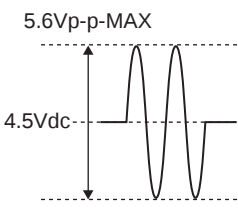
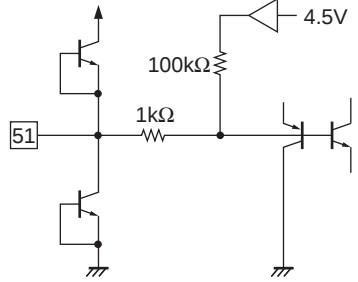
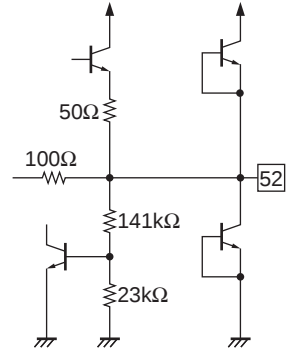
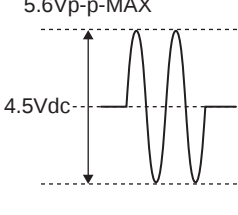
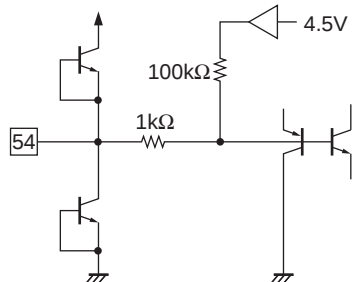
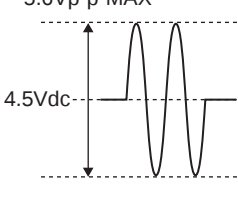
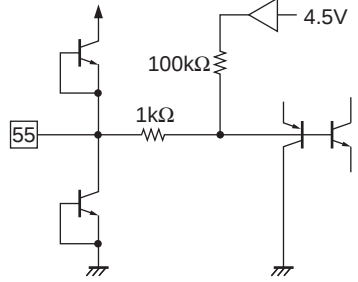
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P44	ENC_G/PY_IN	1.6Vdc +Green			
		1.6Vdc +Py			
P45	GND_REF				
P46	ENC_B/PB_IN	1.6Vdc +Blue			
		2.1Vdc +Pb			
P47	Audio_Mute_Filter				
P48	REF4.5V	4.5Vdc	DC		
P49	A-DAC_R_IN	4.5Vdc +Right			

次ページへ続く。

LV7109E

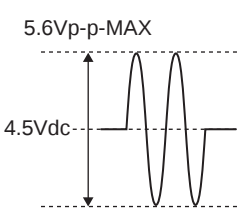
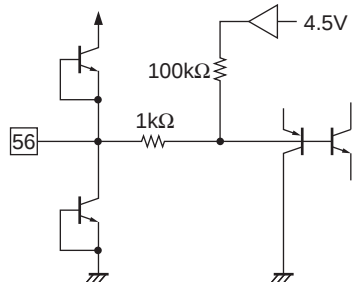
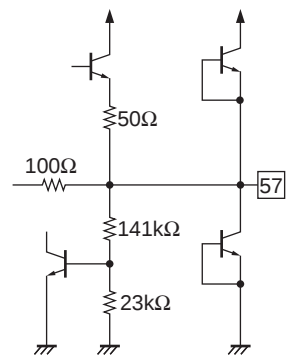
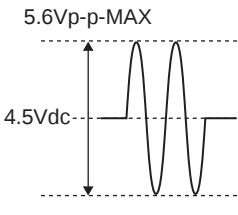
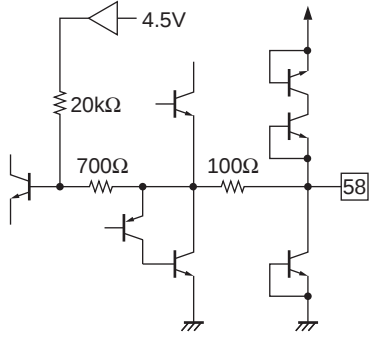
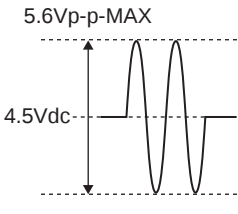
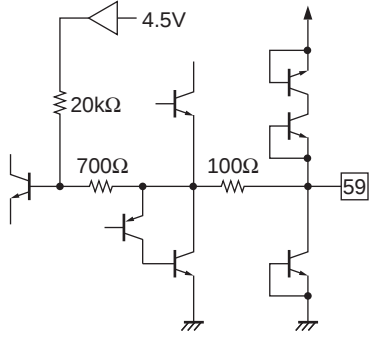
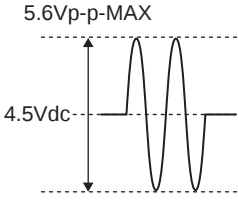
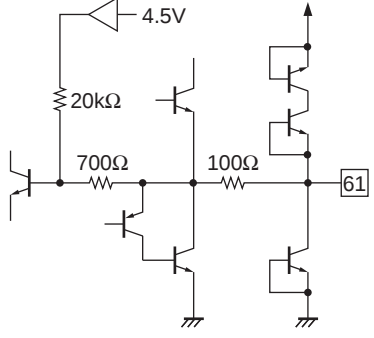
前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P50	AV2_R_IN	4.5Vdc +Right			
P51	AV1_R_IN	4.5Vdc +Right			
P52	REG9V_AR	9Vdc	DC		
P53	GND_REG				
P54	A-DAC_L_IN	4.5Vdc +Left			
P55	AV2_L_IN	4.5Vdc +Left			

次ページへ続く。

LV7109E

前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P56	AV1_L_IN	4.5Vdc +Left			
P57	REG9V_AL	9Vdc	DC		
P58	AV2_R_OUT	4.5Vdc +Right			
P59	AV2_L_OUT	4.5Vdc +Left			
P60	GND_AR				
P61	AV1_R_OUT	4.5Vdc +Right			

次ページへ続く。

LV7109E

前ページより続く。

端子番号	端子名	標準DC電圧	信号波形	入出力形態	備考
P62	AV1_L_OUT	4.5Vdc +Left			
P63	GND_AL				
P64	AV2_B_IN	1.6Vdc +Blue			

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考記)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえば、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。