



三洋半導体データシート

半導体データシート No. NA1335 をさしかえてください。

LC87F2708A — CMOS LSI FROM8Kバイト, RAM512バイト内蔵 8ビット1チップマイクロコンピュータ

概要

LC87F2708Aは、最小バスサイクル100nsで動作するCPU部を中心にして、8KバイトのフラッシュROM(オンボード書き換え可能)、512バイトRAM、オンチップデバッグ機能、16ビットタイマ/カウンタ(8ビットタイマに分割可)、16ビットタイマ/カウンタ(8ビット分割可、8ビットPWM可)、同期式SIO、高速12ビットPWM、高速パルス幅/周期測定カウンタ×2、12/8ビット分解能切換え機能付き7チャンネルADコンバータ、アナログコンパレータ、ウォッチドッグタイマ、内蔵リセット回路、システムクロック分周機能、16要因10ペクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータである。

特長

フラッシュROM

- ・電源電圧3.0～5.5Vのオンボード書込みが可能
- ・128バイト単位でのブロック消去可能
- ・8192×8ビット

RAM

- ・512×9ビット

最小バスサイクルタイム^{注1}

- ・100ns(10MHz) $V_{DD}=2.7V \sim 5.5V$ ^{注2}

最小命令サイクルタイム(tCYC)

- ・300ns(10MHz) $V_{DD}=2.7V \sim 5.5V$ ^{注2}

(注1)バスサイクルタイムはROMの読み出し速度を表す。

(注2)パワーオンリセット(POR)回路の最小解除電圧(PORRL)が $2.87V \pm 0.12V$ のため、3.0～5.5Vの電圧範囲で使用すること。

フラッシュ製品は米国 SST 社(Silicon Storage Technology, Inc)のライセンスを受け、三洋半導体株式会社で製造・販売するものです。

- 本書記載の製品は、一般的な電子機器(家電製品、AV機器、通信機器、事務機器、産業用機器など)に使用されることを「標準用途」として意図しております。極めて高度の信頼性を要され、その製品の故障や誤動作により直接人命を脅かしたり、人体に危害を及ぼす恐れのある「特定用途」(生命維持を目的として設計された医療機器、航空宇宙機器、原子力制御機器、燃焼機器、輸送機器、交通信号機器、各種安全装置など)に本書記載の製品を使用することは意図もされていませんし、また、保証もされていません。ご使用を検討されるお客様および弊社が意図した標準用途以外にご使用をお考えのお客様は、事前に弊社営業窓口までご相談願います。ご相談なく使用することは、お客様の責任でなされることとなります。
- 本書記載の製品は、定められた条件下において、記載部品単体の性能・特性・機能などを規定するものであり、お客様の製品(機器)での性能・特性・機能などを保証するものではありません。部品単体の評価では予測できない症状・事態を確認するためにも、お客様の製品で必要とされる評価・試験を必ず行って下さい。

LC87F2708A

ポート

- ・ 入出力ポート
1ビット単位で入出力指定可能 11 (P10 ~ P16, P30 ~ P33)
- ・ リセット端子 1 (RES)
- ・ 電源端子 2 (VSS1, VDD1)

タイマ

- ・ タイマ0 : キャプチャレジスタ付の16ビットのタイマ/カウンタ
 - モード0 : 8ビットプログラマブルプリスケアラ付8ビットタイマ (8ビットキャプチャレジスタ付) × 2チャンネル
 - モード1 : 8ビットプログラマブルプリスケアラ付8ビットタイマ (8ビットキャプチャレジスタ付) + 8ビットカウンタ (8ビットキャプチャレジスタ付)
 - モード2 : 8ビットプログラマブルプリスケアラ付16ビットタイマ (16ビットキャプチャレジスタ付)
 - モード3 : 16ビットカウンタ (16ビットキャプチャレジスタ付)
- ・ タイマ1 : PWM/トグル出力可能な16ビットタイマ/カウンタ
 - モード0 : 8ビットプリスケアラ付8ビットタイマ (トグル出力付) + 8ビットプリスケアラ付8ビットタイマ/カウンタ (トグル出力付)
 - モード1 : 8ビットプリスケアラ付8ビットPWM × 2チャンネル
 - モード2 : 8ビットプリスケアラ付16ビットタイマ/カウンタ (トグル出力付) (下位8ビットからもトグル出力可能)
 - モード3 : 8ビットプリスケアラ付16ビットタイマ (トグル出力付) (下位8ビットはPWMとして使用可能)

シリアルインタフェース

- ・ SI07 : 8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 8ビットボーレートジェネレータ内蔵 (最大転送クロック周期4/3tCYC)

高速12ビットPWM

- ・ システムクロック/高速RC発振クロック (20MHzまたは40MHz) による動作を選択可能
- ・ DUTY/周期をプログラマブルに可変可能
- ・ PWM連続出力/PWM設定数出力 (自動停止) を選択可能

高速パルス幅/周期測定カウンタ

- ・ HCT1 : 高速パルス幅/周期測定カウンタ1
 - システムクロック/高速RC発振クロック (20MHzまたは40MHz) による動作を選択可能
 - Hレベル幅/Lレベル幅/周期の測定を選択可能
 - 入力トリガ用ノイズフィルタ機能
- ・ HCT2 : 高速パルス幅/周期測定カウンタ2
 - システムクロック/高速RC発振クロック (20MHzまたは40MHz) による動作を選択可能
 - Lレベル幅と周期を一度に測定可能
 - 入力トリガ用ノイズフィルタ機能
 - 入力トリガ切換え可能
 - (P11/HCT2IN, P31/HCT2IN, アナログコンパレータ出力の3種類から選択)

ADコンバータ : 12ビット × 7チャンネル

- ・ 12/8ビットADコンバータ分解能切換え機能

LC87F2708A

アナログコンパレータ

- ・P32/CMP0ポートへの出力機能(出力極性切換え可能)
- ・エッジ検出機能(INTCと共用でノイズフィルタ機能も選択可能)

ウォッチドッグタイマ

- ・WDT専用低速RC発振クロック(30kHz)により動作するタイマのオーバフローで内部リセット発生可能
- ・HALT/HOLDモード突入によるカウント動作継続/停止/保持を選択可能

割り込み要因フラグ

- ・16要因10ベクタ

割り込みは低レベル(L),高レベル(H),最高レベル(X)の3レベルの多重割り込み制御。
割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INTA
2	0000BH	XまたはL	INTB
3	00013H	HまたはL	INTC/TOL/INTE
4	0001BH	HまたはL	INTD/INTF
5	00023H	HまたはL	T0H/S107
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	HCT1
8	0003BH	HまたはL	HCT2
9	00043H	HまたはL	ADC/HPWM自動停止/HPWM周期
10	0004BH	HまたはL	なし

- ・優先レベル X>H>L
- ・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大256レベル(スタックはRAMの中に設定)

高速乗除算命令

- ・16ビット×8ビット (実行時間：5tCYC)
- ・24ビット×16ビット (実行時間：12tCYC)
- ・16ビット÷8ビット (実行時間：8tCYC)
- ・24ビット÷16ビット (実行時間：12tCYC)

発振回路

- ・中速RC発振回路(内蔵)：システムクロック用(1MHz)
- ・低速RC発振回路(内蔵)：ウォッチドッグタイマ用(30kHz)
- ・高速RC発振回路(内蔵)：システムクロック用(20MHzまたは40MHz)
高速RC発振回路の源発振周波数を2種類(20MHz, 40MHz)オプションにて切換え可能

システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで300ns, 600ns, 1.2μs, 2.4μs, 4.8μs, 9.6μs, 19.2μs, 38.4μs, 76.8μsの選択可能(システムクロックに高速RC発振を選択時)

LC87F2708A

内蔵リセット回路

- ・パワーオンリセット(POR)機能
PORは電源投入時のみリセットがかかる。
PORの解除レベルを3レベル(2.87V, 3.86V, 4.35V)オプションにて切換え可能。
- ・低電圧検知リセット(LVD)機能
LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかる。
LVD機能を使用する/使用しないと低電圧検知レベルを3レベル(2.81V, 3.79V, 4.28V)オプションにて切換え可能。

スタンバイ機能

- ・HALTモード：命令実行停止, 周辺回路動作継続
発振の停止は自動的には行わない。
HALTモードを解除するには次の3つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)ウォッチドッグタイマまたは、低電圧検知によるリセット発生。
(3)割り込みの発生。
- ・HOLDモード：命令実行停止, 周辺回路動作停止
中速RC発振, 高速RC発振のいずれも自動的に停止する。
HOLDモードを解除するには次の4つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)ウォッチドッグタイマまたは、低電圧検知によるリセット発生。
(3)INTA, INTB, INTC, INTD, INTE, INTFの少なくとも1つの端子に指定されたレベルを入力する。(INTA, INTBはレベル検出設定に限る)
(4)アナログコンパレータの出力が指定されたレベルとなるようにIN+ / IN- 端子へ信号を入力する。(アナログコンパレータの出力をINTC入力に選択した場合)

オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能(LC87D2708A)
LC87F2708Aは機能が限定されるがデバッグ機能を有する。
- ・オンチップデバッグ端子は3チャンネル装備

データセキュリティ機能^{注3}

- ・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
(注3)データセキュリティ機能には絶対的なセキュリティはない。

出荷形態

- ・MFP14S(225mil) 『鉛フリー仕様品』

開発ツール

- ・オンチップデバッグ：(1)TCB87 TypeB + LC87D2708A
(2)TCB87 TypeB + LC87F2708A
(3)TCB87 TypeC (3線用ケーブル) + LC87D2708A
(4)TCB87 TypeC (3線用ケーブル) + LC87F2708A

書き込み基板

パッケージ	書き込み基板
MFP14S(225mil)	W87F27M-DBG

LC87F2708A

フラッシュROMライター

メーカー		モデル	対応バージョン	デバイス
フラッシュサポート グループ(FSG) + 三洋 (注4)	オンボード シングル/ ギャング	AF9101/AF9103(本体) (FSG製)	(注5)	LC87F2708A
		SIB87 (インタフェースドライバ) (三洋製)		
三洋	シングル/ ギャング オンボード シングル/ ギャング	SKK-DBG TypeB (SANYO FWS)	Application Version 1.04以降 Chip Data Version 2.10以降	LC87F2708A

(AFシリーズについてのお問い合わせ先)

フラッシュサポートグループ株式会社

TEL 053-459-1050

E-mail sales@j-fsg.co.jp

(注4)FSG製オンボードプログラマ【AF9101 / AF9103】と三洋から提供するシリアルインタフェースドライバ【SIB87】をペアで使用することにより、PC-lessのスタンドアローン・オンボード書き込みが可能。

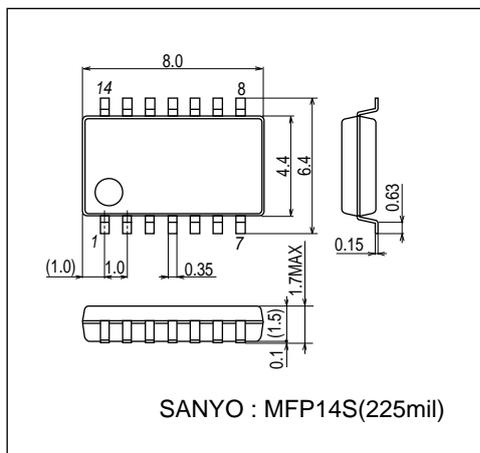
(注5)書き込み使用条件により専用の書き込み装置とプログラムが必要になりますので、三洋またはFSGへお問い合わせください。

LC87F2708A

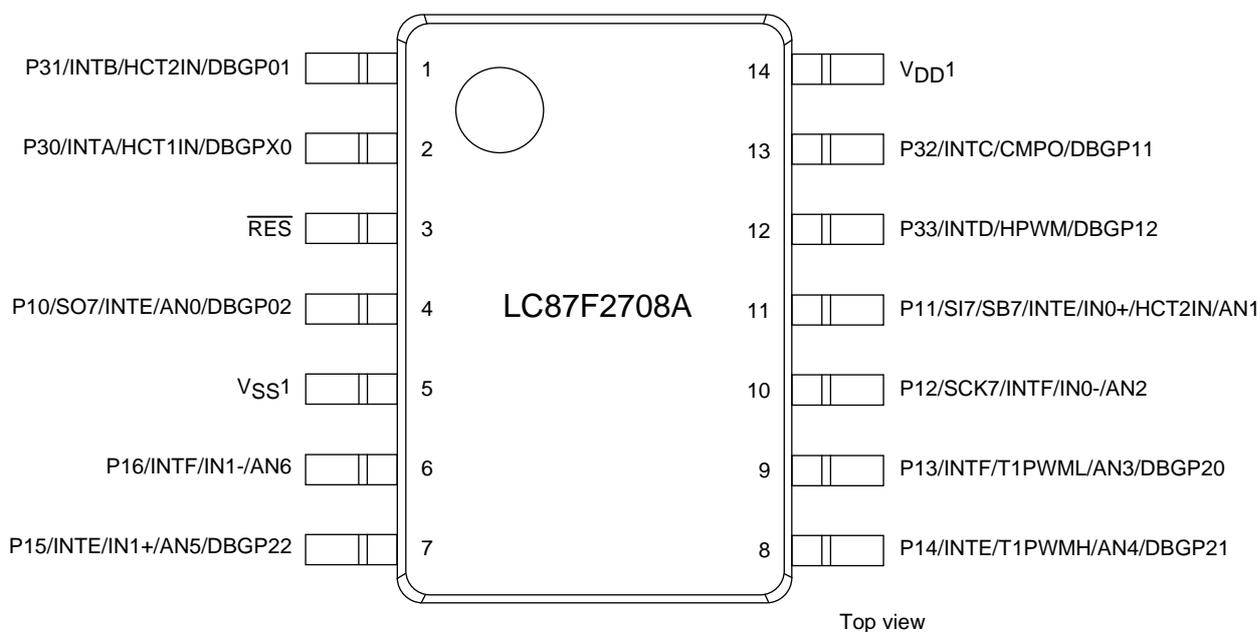
外形図

unit:mm (typ)

3111A



ピン配置図

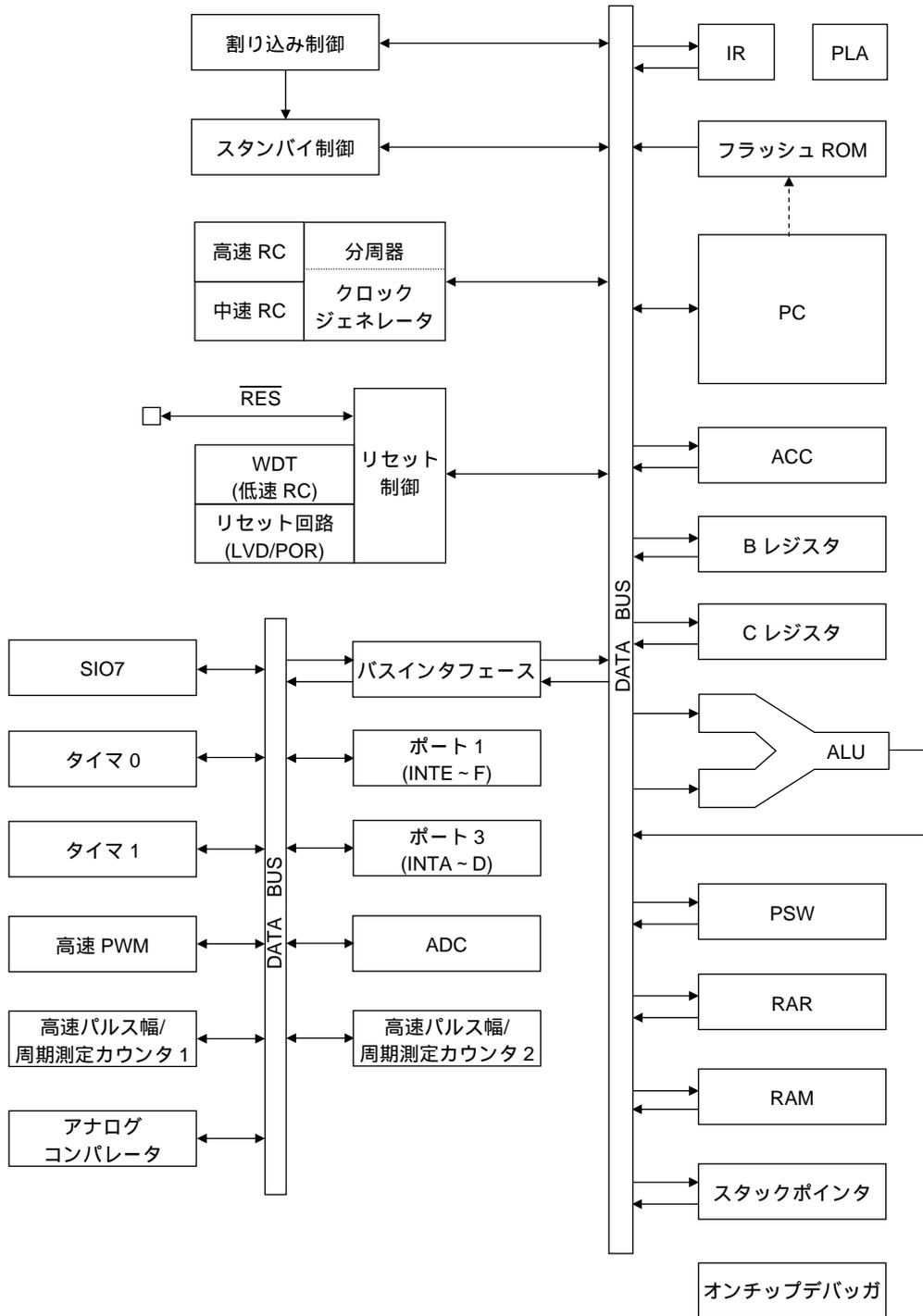


SANYO: MFP14S(225mil) 『鉛フリー仕様品』

MFP14S	NAME	MFP14S	NAME
1	P31/INTB/HCT2IN/DBGP01	8	P14/INTE/T1PWMH/AN4/DBGP21
2	P30/INTA/HCT1IN/DBGPX0	9	P13/INTF/T1PWML/AN3/DBGP20
3	$\overline{\text{RES}}$	10	P12/SCK7/INTF/INO-/AN2
4	P10/SO7/INTE/ANO/DBGP02	11	P11/SI7/SB7/INTE/INO+/HCT2IN/AN1
5	V _{SS1}	12	P33/INTD/HPWM/DBGP12
6	P16/INTF/IN1-/AN6	13	P32/INTC/CMPO/DBGP11
7	P15/INTE/IN1+/AN5/DBGP22	14	V _{DD1}

LC87F2708A

システムブロック図



LC87F2708A

端子機能表

端子名	I/O	機能説明	オプション																														
VSS1	-	電源の - 端子	なし																														
VDD1	-	電源の + 端子	なし																														
PORT1 P10 ~ P16	I/O	<ul style="list-style-type: none"> ・7ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF 可能 ・兼用機能 <ul style="list-style-type: none"> P10 : SI07データ出力 P11 : SI07データ入力/バス入出力/高速パルス幅・周期測定カウンタ2入力 P12 : SI07クロック入出力 P13 : タイマ1PWML出力 P14 : タイマ1PMMH出力 P10, P11, P14, P15 : INTE入力/HOLD解除入力/タイマ1イベント入力/タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P12, P13, P16 : INTF入力/HOLD解除入力/タイマ1イベント入力/タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 AD変換入力ポート : AN0 ~ AN6 (P10 ~ P16) アナログコンパレータ入力ポート0 : IN0 + , IN0 - (P11, P12) アナログコンパレータ入力ポート1 : IN1 + , IN1 - (P15, P16) オンチップデバッグ用端子1 : DBGPO2 (P10) オンチップデバッグ用端子3 : DBGP20 ~ DBGP22 (P13 ~ P15) ・インタラプト受付形式 <table border="1" style="margin-left: 20px; width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INTE</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INTF</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> 		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INTE				×	×	INTF				×	×	あり												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INTE				×	×																												
INTF				×	×																												
PORT3 P30 ~ P33	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF 可能 ・兼用機能 <ul style="list-style-type: none"> P30 : INTA入力/HOLD解除入力/タイマ0Lキャプチャ入力/高速パルス幅・周期測定カウンタ1入力 P31 : INTB入力/HOLD解除入力/タイマ0Hキャプチャ入力/高速パルス幅・周期測定カウンタ2入力 P32 : INTC入力/HOLD解除入力/タイマ0イベント入力/タイマ0Lキャプチャ入力/アナログコンパレータ出力 P33 : INTD入力/HOLD解除入力/タイマ0イベント入力/タイマ0Hキャプチャ入力/高速 PWM 出力 オンチップデバッグ用端子1 : DBGPX0 ~ DBGP01 (P30 ~ P31) オンチップデバッグ用端子2 : DBGPX0 ~ DBGP12 (P30, P32 ~ P33) ・インタラプト受付形式 <table border="1" style="margin-left: 20px; width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INTA</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INTB</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INTC</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INTD</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> 		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INTA			×			INTB			×			INTC				×	×	INTD				×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INTA			×																														
INTB			×																														
INTC				×	×																												
INTD				×	×																												
RES	I/O	外部リセット入力/内部リセット出力端子	なし																														

LC87F2708A

ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示す。

なお、入出力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P10～P16	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30～P33	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル

オンチップデバッグ端子処理

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC872000シリーズ 端子処理資料】を参照すること。

未使用端子の推奨処理

端子名	未使用端子の推奨処理	
	基板	ソフトウェア
P10～P16	OPEN	出力Low設定
P30～P33	OPEN	出力Low設定

ユーザオプション一覧表

オプション名	オプション種類	フラッシュ版	オプション 切換え単位	指定する内容
ポート出力形式	P10～P16		1ビット単位	CMOS
				Nch-オープンドレイン
	P30～P33		1ビット単位	CMOS
				Nch-オープンドレイン
プログラム スタート番地	-		-	0000H
				01E0H
低電圧検知 リセット機能	低電圧検知機能		-	許可:使用する
				禁止:使用しない
	低電圧検知レベル		-	3レベル
パワーオン リセット機能	パワーオンリセット レベル		-	3レベル
高速RC発振回路	発振周波数		-	20MHz
				40MHz

LC87F2708A

絶対最大定格/Ta=25 , VSS1=0V

項目	記号	適用端子・備考	条件	規格				unit
				V _{DD} [V]	min	typ	max	
最大電源電圧	V _{DD max}	V _{DD1}			- 0.3		+ 6.5	V
入力電圧	V _I	RES			- 0.3		V _{DD} + 0.3	
入出力電圧	V _{I/O}	・ポート1 ・ポート3			- 0.3		V _{DD} + 0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート1	CMOS出力選択時 適用1端子当り		- 7.5		mA
		IOPH(2)	ポート3	CMOS出力選択時 適用1端子当り		- 10		
	平均出力電流 (注1-1)	IOMH(1)	ポート1	CMOS出力選択時 適用1端子当り		- 5		
		IOMH(2)	ポート3	CMOS出力選択時 適用1端子当り		- 7.5		
	合計出力電流	ΣIOAH(1)	・ポート10, 15, 16 ・ポート30, 31	適用全端子合計		- 20		
		ΣIOAH(2)	・ポート11 ~ 14 ・ポート32, 33	適用全端子合計		- 20		
		ΣIOAH(3)	・ポート1 ・ポート3	適用全端子合計		- 35		
低レベル出力電流	ピーク出力電流	IOPL(1)	ポート1	適用1端子当り			15	
		IOPL(2)	ポート3	適用1端子当り			10	
	平均出力電流 (注1-1)	IOML(1)	ポート1	適用1端子当り			10	
		IOML(2)	ポート3	適用1端子当り			7.5	
	合計出力電流	ΣIOAL(1)	・ポート10 ・ポート30, 31	適用全端子合計			25	
		ΣIOAL(2)	・ポート11 ~ 16 ・ポート32, 33	適用全端子合計			35	
		ΣIOAL(3)	・ポート1 ・ポート3	適用全端子合計			55	
許容消費電力	Pd max(1)	MFP14S(225mil)	Ta= - 40 ~ + 85 パッケージ単体				113	mW
	Pd max(2)			Ta= - 40 ~ + 85 熱抵抗評価基板に 実装 (注1-2)				
動作周囲温度	Topr				- 40		+ 85	
保存周囲温度	Tstg				- 55		+ 125	

注1-1：平均出力電流は100ms期間の平均値を示す。

注1-2：熱抵抗評価基板はSEMI準拠(サイズ：76.1×114.3×1.6mm, ガラエポ基板実装)を使用。

LC87F2708A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子・備考	条件	規格					
				$V_{DD}[V]$	min	typ	max	unit	
動作電源電圧 (注2-1)	V_{DD}	V_{DD1}	$0.272\mu s$ tCYC $100\mu s$		2.7		5.5	V	
メモリ保持 電源電圧	VHD	V_{DD1}	HOLDモード時 RAM, レジスタ保持		2.0		5.5		
高レベル 入力電圧	$V_{IH}(1)$	・ポート1 ・ポート3	出力ディセーブル	2.7~5.5	$0.3V_{DD}$ +0.7		V_{DD}		
	$V_{IH}(2)$	\overline{RES}		2.7~5.5	$0.75V_{DD}$		V_{DD}		
低レベル 入力電圧	$V_{IL}(1)$	・ポート1 ・ポート3	出力ディセーブル	4.0~5.5	V_{SS}		$0.1V_{DD}$ +0.4		
				2.7~4.0	V_{SS}		$0.2V_{DD}$		
	$V_{IL}(2)$	\overline{RES}		2.7~5.5	V_{SS}		$0.25V_{DD}$		
命令サイクル タイム (注2-2)	tCYC			2.7~5.5	0.272		100		μs
発振周波数 範囲	FmHRC(1)		・高速RC発振時 ・オプションにて40MHz 選択時 ・ $T_a = -20 \sim +85$	4.5~5.5	38	40	42		MHz
	FmHRC(2)		・高速RC発振時 ・オプションにて40MHz 選択時	4.5~5.5	37.6	40	42.4		
	FmHRC(3)		・オプションにて40MHz 選択時	3.5~5.5	36.8	40	43.2		
	FmHRC(4)		・ $T_a = -40 \sim +85$	2.7~5.5	32	40	43.2		
	FmHRC(5)		・高速RC発振時 ・オプションにて20MHz 選択時 ・ $T_a = -20 \sim +85$	3.0~5.5	19	20	21		
	FmHRC(6)		・高速RC発振時 ・オプションにて20MHz 選択時 ・ $T_a = -40 \sim +85$	2.7~5.5	18.7	20	21.3		
	FmRC		中速RC発振時	2.7~5.5	0.5	1.0	2.0		
	FmSLRC		低速RC発振時	2.7~5.5	15	30	60	kHz	
発振安定 時間	tmsHRC		・高速RC発振が発振停 止状態から発振許可状 態となった時 ・図2参照	2.7~5.5			100	μs	

注2-1: パワーオンリセット(POR)回路の最小解除電圧(PORRL)が $2.87V \pm 0.12V$ のため、3.0~5.5Vの電圧範囲で使用すること。

注2-2: tCYCと発振周波数の関係式は、

- ・システムクロックを中速RC発振に設定した場合
1/1分周時: $3/FmRC$ 、1/2分周時: $6/FmRC$ 、1/4分周時: $12/FmRC$ 、...
- ・システムクロックを高速RC発振に設定した場合(オプションにて40MHz選択時)
1/1分周時: $12/FmHRC$ 、1/2分周時: $24/FmHRC$ 、1/4分周時: $48/FmHRC$ 、...
- ・システムクロックを高速RC発振に設定した場合(オプションにて20MHz選択時)
1/1分周時: $6/FmHRC$ 、1/2分周時: $12/FmHRC$ 、1/4分周時: $24/FmHRC$ 、...

LC87F2708A

電気的特性/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高レベル入力電流	$I_{IH}(1)$	・ポート1 ・ポート3	・出力ディセーブル ・プルアップ抵抗オフ ・ $V_{IN} = V_{DD}$ (出力 T_r .のオフリーク電流を含む)	2.7 ~ 5.5			1	μA
	$I_{IH}(2)$	\overline{RES}	$V_{IN} = V_{DD}$	2.7 ~ 5.5			1	
低レベル入力電流	I_{IL}	・ポート1 ・ポート3	・出力ディセーブル ・プルアップ抵抗オフ ・ $V_{IN} = V_{SS}$ (出力 T_r .のオフリーク電流を含む)	2.7 ~ 5.5	- 1			
高レベル出力電圧	$V_{OH}(1)$	CMOS出力の	$I_{OH} = -1mA$	4.5 ~ 5.5	$V_{DD} - 1$			V
	$V_{OH}(2)$	ポート1	$I_{OH} = -0.35mA$	2.7 ~ 5.5	$V_{DD} - 0.4$			
	$V_{OH}(3)$	CMOS出力の	$I_{OH} = -5mA$	4.5 ~ 5.5	$V_{DD} - 1.5$			
	$V_{OH}(4)$	ポート3	$I_{OH} = -0.7mA$	2.7 ~ 5.5	$V_{DD} - 0.4$			
低レベル出力電圧	$V_{OL}(1)$	ポート1	$I_{OL} = 10mA$	4.5 ~ 5.5			1.5	
	$V_{OL}(2)$		$I_{OL} = 1.4mA$	2.7 ~ 5.5			0.4	
	$V_{OL}(3)$	ポート3	$I_{OL} = 5mA$	4.5 ~ 5.5			1.5	
	$V_{OL}(4)$		$I_{OL} = 0.7mA$	2.7 ~ 5.5			0.4	
プルアップ抵抗	$R_{pu}(1)$	・ポート1	$V_{OH} = 0.9V_{DD}$	4.5 ~ 5.5	15	35	80	$k\Omega$
	$R_{pu}(2)$	・ポート3		2.7 ~ 4.5	18	50	150	
	$R_{pu}(3)$	\overline{RES}		2.7 ~ 5.5	216	360	504	
ヒステリシス電圧	V_{HYS}	・ポート1 ・ポート3 ・ \overline{RES}		2.7 ~ 5.5		0.1 V_{DD}		V
端子容量	CP	全端子	・被測定端子以外 $V_{IN} = V_{SS}$ ・ $f = 1MHz$ ・ $T_a = 25$	2.7 ~ 5.5		10		pF

LC87F2708A

シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

1. S107 シリアル入出力特性(注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格			
						min	typ	max	unit
シリアルクロック	入力クロック	周期	tSCK(1)	SCK7(P12) ・図4参照 ・(注4-1-2)	2.7~5.5	2			tCYC
		低レベルパルス幅	tSCKL(1)			1			
		高レベルパルス幅	tSCKH(1)			1			
	出力クロック	周期	tSCK(2)	SCK7(P12) ・CMOS出力選択時 ・図4参照	2.7~5.5	4/3			tSCK
		低レベルパルス幅	tSCKL(2)			1/2			
		高レベルパルス幅	tSCKH(2)			1/2			
シリアル入力	データセットアップ時間	tsDI(1)	SB7(P11), S17(P11)	・S10CLKの立ち上がりに対して規定する ・図4参照	2.7~5.5	0.03			
	データホールド時間	thDI(1)				0.03			
シリアル出力	出力遅延時間	tdD0(1)	S07(P10), SB7(P11)	・S10CLKの立ち上がりに対して規定する ・オープンドレイン出力時は出力変化開始までの時間として規定する ・図4参照	2.7~5.5			1tCYC +0.05	μs
		tdD0(2)						(1/3)tCYC +0.05	

注4-1-1: 本規格値は理論値であり、使用の状態に合わせて必ずマージンを確保すること。

注4-1-2: シリアルクロック入力を使用する時、データ送受信開始時にシリアルクロックが「H」の状態
でS17RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間を1tCYCより長
くすること。

LC87F2708A

パルス入力条件/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INTA(P30), INTB(P31), INTD(P33), INTE (P10,P11,P14,P15), INTF (P12,P13,P16)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	2.7~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が「無し」の 場合のINTC(P32)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.7~5.5	1			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が「1/16」の 場合のINTC(P32)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.7~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が「1/32」の 場合のINTC(P32)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.7~5.5	128			
	tPIH(5) tPIL(5)	ノイズ除去フィルタ の時定数が「1/64」の 場合のINTC(P32)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント入 力ができる。	2.7~5.5	256			
	tPIH(6) tPIL(6)	HCT1IN(P30)	高速パルス幅/周期測定カ ウンタ1で信号として認識 される。	2.7~5.5	3			H1CK (注5-1)
	tPIH(7) tPIL(7)	HCT2IN(P11,P31)	高速パルス幅/周期測定カ ウンタ2で信号として認識 される。	2.7~5.5	6			H2CK (注5-2)
	tPIL(8)	\overline{RES}	リセットできる。	2.7~5.5	200			μs

注 5-1: 高速パルス幅/周期測定カウンタ 1 の基準クロック (1~8×高速 RC 発振クロックまたはシステムクロック) の周期を指す。

注 5-2: 高速パルス幅/周期測定カウンタ 2 の基準クロック (2~16×高速 RC 発振クロックまたはシステムクロック) の周期を指す。

LC87F2708A

コンパレータ特性/ $T_a = -40 \sim +85$, $V_{SS1}=0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
同相入力電圧 範囲	VCMIN	IN0 + (P11), IN0 - (P12),		2.7~5.5	V_{SS}		V_{DD} -1.5	V
オフセット 電圧	VOFF	IN1 + (P15), IN1 - (P16)	同相入力電圧範囲内	2.7~5.5		± 10	± 30	mV
応答速度	tRT		・同相入力電圧範囲内 ・入力振幅=100mV ・オーバドライブ=50mV	2.7~5.5		200	600	ns
動作安定待ち 時間 (注6-1)	tCMW			2.7~5.5			1.0	μs

注6-1: CMPONをセットしてから動作が安定するまでの時間をいう。

AD変換特性/ $V_{SS1}=0V$

< 12ビットAD変換モード/ $T_a = -40 \sim +85$ >

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P10) ~ AN6(P16)		3.0~5.5		12		bit
絶対精度	ET		(注7-1)	3.0~5.5			± 16	LSB
変換時間	tCAD		・変換時間算出方法 参照 ・(注7-2)	4.0~5.5	38		104.3	μs
				3.0~5.5	75.8		104.3	
アナログ入力 電圧範囲	VAIN			3.0~5.5	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$VAIN=V_{DD}$	3.0~5.5			1	μA
	IAINL		$VAIN=V_{SS}$	3.0~5.5	-1			

< 8ビットAD変換モード/ $T_a = -40 \sim +85$ >

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P10) ~ AN6(P16)		3.0~5.5		8		bit
絶対精度	ET		(注7-1)	3.0~5.5			± 1.5	LSB
変換時間	tCAD		・変換時間算出方法 参照 ・(注7-2)	4.0~5.5	23.4		64.3	μs
				3.0~5.5	46.7		64.3	
アナログ入力 電圧範囲	VAIN			3.0~5.5	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$VAIN=V_{DD}$	3.0~5.5			1	μA
	IAINL		$VAIN=V_{SS}$	3.0~5.5	-1			

注7-1: 絶対精度は量子化誤差 ($\pm 1/2LSB$)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注7-2: 変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

LC87F2708A

< 変換時間算出方法 >

12ビットAD変換モード：tCAD(変換時間) = ((52/(分周比)) + 2) × (1/3) × tCYC

8ビットAD変換モード：tCAD(変換時間) = ((32/(分周比)) + 2) × (1/3) × tCYC

< 推奨動作条件 >

高速RC発振 (FmHRC)	電源電圧範囲 (V _{DD})	システム分周 (SYSDIV)	サイクルタイム (tCYC)	AD分周比 (ADDIV)	変換時間(tCAD)	
					12ビットAD	8ビットAD
40MHz/20MHz	4.0V ~ 5.5V	1/1	300ns	1/8	41.8μs	25.8μs
	3.0V ~ 5.5V	1/1	300ns	1/16	83.4μs	51.4μs

変換時間は下記の時、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切換え、最初のAD変換を行った時。

パワーオンリセット(POR)特性/Ta= - 40 ~ + 85 , V_{SS}1=0V

項目	記号	適用端子・備考	条件	オプション 選択電圧	規格			
					min	typ	max	unit
POR解除電圧	PORRL		・オプション選択 ・図6参照 ・(注8-1)	2.87V	2.75	2.87	2.99	V
				3.86V	3.73	3.86	3.99	
				4.35V	4.21	4.35	4.49	
検知電圧不定領域	POUKS		・図6参照 ・(注8-2)			0.7	0.95	
電源立上り時間	PORIS		V _{DD} =0V ~ 2.8Vまでの電源立上り時間				100	ms

注8-1：低電圧検知リセットを非選択時にPOR解除電圧を3つのレベルから選択することができる。

注8-2：パワーオンリセットはトランジスタが駆動を始めるまでの期間不定領域が存在する。

低電圧検知リセット(LVD)特性/Ta= - 40 ~ + 85 , V_{SS}1=0V

項目	記号	適用端子・備考	条件	オプション 選択電圧	規格			
					min	typ	max	unit
LVDリセット電圧 (注9-2)	LVDET		・オプション選択 ・図7参照 ・(注9-1) ・(注9-3)	2.81V	2.71	2.81	2.91	V
				3.79V	3.69	3.79	3.89	
				4.28V	4.18	4.28	4.38	
LVD検知電圧 ヒステリシス	LVHYS			2.81V		60		mV
				3.79V		65		
				4.28V		65		
検知電圧不定領域	LVUKS		・図7参照 ・(注9-4)			0.7	0.95	V
低電圧最小検知幅 (応答感度)	tLVDW		・LVDET - 0.5V ・図8参照		0.2			ms

注9-1：低電圧検知リセットを選択時にLVDリセット電圧を3つのレベルから選択することができる。

注9-2：ヒステリシス電圧はLVDリセット電圧の規格値には含まない。

注9-3：ポートに出力変化や大電流を流すとLVDリセット電圧の規格値を超える場合がある。

注9-4：低電圧検知リセットはトランジスタが駆動を始めるまでの期間不定領域が存在する。

LC87F2708A

消費電流特性/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
通常動作時 消費電流 (注10-1)	IDDOP(1)	V _{DD1}	・FmHRC=40MHz発振時 ・システムクロックは高速RC発振 で10MHz(40MHzの1/4分周)	4.5~5.5		7.8	14	mA
	IDDOP(2)		・中速RC発振は停止 ・システムクロックは1/1分周時	2.7~3.6		4.9	9.4	
	IDDOP(3)		・FmHRC=20MHz発振時 ・システムクロックは高速RC発振 で10MHz(20MHzの1/2分周)	4.5~5.5		7.1	12.8	
	IDDOP(4)		・中速RC発振は停止 ・システムクロックは1/1分周時	2.7~3.6		4.5	8.6	
	IDDOP(5)		・高速RC発振は停止 ・システムクロックは中速RC発振	4.5~5.5		0.60	1.9	
	IDDOP(6)		・システムクロックは1/2分周時	2.7~3.6		0.38	1.3	
HALTモード 消費電流 (注10-1)	IDDHALT(1)	V _{DD1}	HALTモード ・FmHRC=40MHz発振時 ・システムクロックは高速RC発振 で10MHz(40MHzの1/4分周)	4.5~5.5		3.2	5.0	mA
	IDDHALT(2)		・中速RC発振は停止 ・システムクロックは1/1分周時	2.7~3.6		2.0	3.1	
	IDDHALT(3)		HALTモード ・FmHRC=20MHz発振時 ・システムクロックは高速RC発振 で10MHz(20MHzの1/2分周)	4.5~5.5		2.5	3.9	
	IDDHALT(4)		・中速RC発振は停止 ・システムクロックは1/1分周時	2.7~3.6		1.6	2.5	
	IDDHALT(5)		HALTモード ・高速RC発振は停止	4.5~5.5		0.32	1.0	
	IDDHALT(6)		・システムクロックは中速RC発振 ・システムクロックは1/2分周時	2.7~3.6		0.16	0.55	
HALDモード 消費電流 (注10-1)	IDDHOLD(1)	V _{DD1}	HOLDモード	4.5~5.5		0.04	3.0	μA
	IDDHOLD(2)		・ $T_a = -10 \sim +50$	2.7~3.6		0.02	1.8	
	IDDHOLD(3)		HOLDモード	4.5~5.5		0.04	34	
	IDDHOLD(4)		・ $T_a = -40 \sim +85$	2.7~3.6		0.02	22	
	IDDHOLD(5)		HOLDモード	4.5~5.5		3.1	6.8	
	IDDHOLD(6)		・LVDオプション選択時 ・ $T_a = -10 \sim +50$	2.7~3.6		2.4	4.2	
	IDDHOLD(7)		HOLDモード	4.5~5.5		3.1	39	
	IDDHOLD(8)		・LVDオプション選択時 ・ $T_a = -40 \sim +85$	2.7~3.6		2.4	25	
	IDDHOLD(9)		HOLDモード	4.5~5.5		3.4	10	
	IDDHOLD(10)		・ウォッチドッグタイマ動作時 ・ $T_a = -10 \sim +50$	2.7~3.6		1.7	6.0	

注10-1：消費電流は出力 T_r および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC87F2708A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALDモード 消費電流 (注 10-1)	IDDHOLD(11)	V _{DD1}	HOLDモード ・ウォッチドッグタイマ動作時 ・T _a = -40 ~ +85	4.5 ~ 5.5		3.4	42	μA
	IDDHOLD(12)			2.7 ~ 3.6		1.7	27	
	IDDHOLD(13)		HOLDモード ・コンパレータ動作時 (I _{N+} =V _{DD} , I _{N-} =V _{SS})	4.5 ~ 5.5		110	160	
	IDDHOLD(14)			2.7 ~ 3.6		65	100	

注10-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

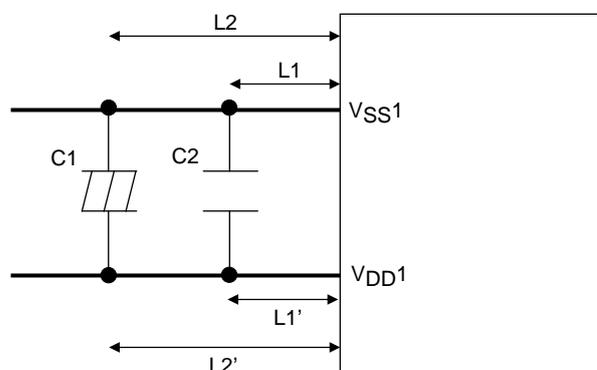
F-ROM 書き込み特性/T_a= +10 ~ +55 , V_{SS1}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	IDDFW	V _{DD1}	・マイコン部の消費電流を 除く	3.0 ~ 5.5		5	10	mA
書き込み時間	t _{FW} (1)		・消去動作	3.0 ~ 5.5		20	30	ms
	t _{FW} (2)		・書き込み動作			40	60	μs

電源端子推奨条件(V_{DD1}, V_{SS1})

V_{DD1} ~ V_{SS1} 端子間には、以下の条件を満たすようなバイパスコンデンサを接続すること。

- ・V_{DD1}, V_{SS1} 端子とバイパスコンデンサ C1, C2 間には太い配線により最短で接続し、かつ両端子からバイパスコンデンサまでのインピーダンスが極力等しく(L1=L1', L2=L2')なるように接続すること。
- ・コンデンサは大容量のもの C1 と小容量のもの C2 を並列に挿入すること。
C2 については 0.1μF 程度のコンデンサを接続すること。



LC87F2708A

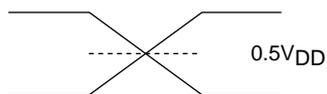
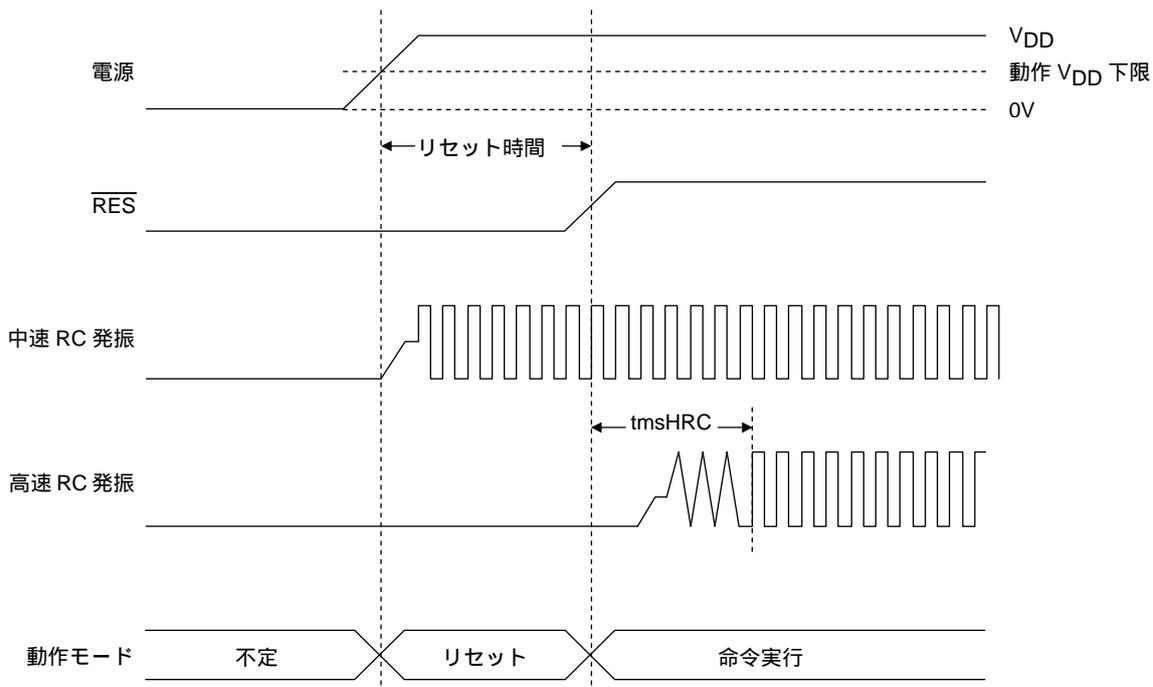
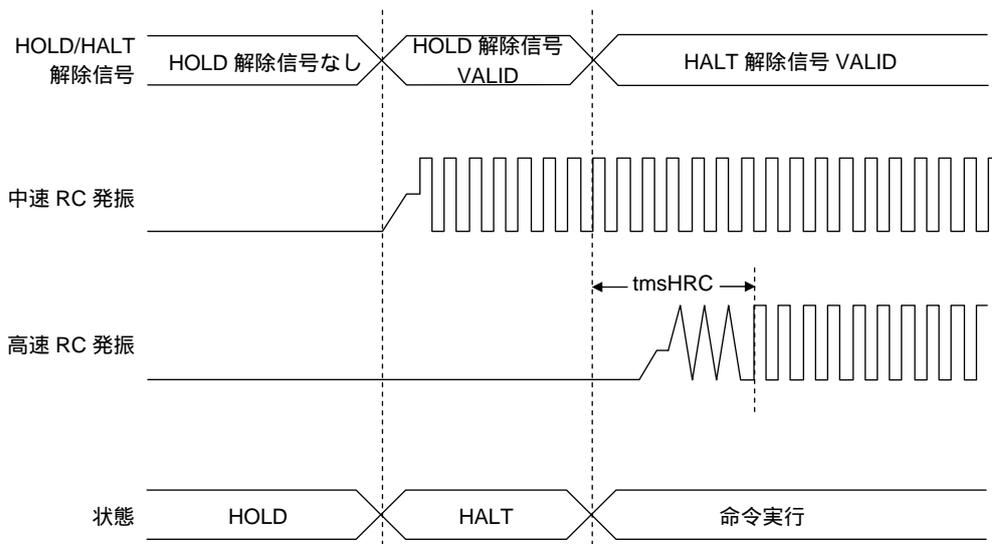


図1 ACタイミング測定点



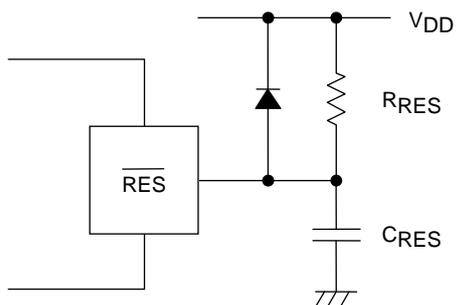
リセット時間と発振安定時間



HOLD解除信号と発振安定時間

図2 発振安定時間

LC87F2708A



(注意)
パワーオンリセットと低電圧検知リセット機能の使用方法により外付け回路が異なるため、ユーザーズマニュアルリセット機能を参照すること。

図3 リセット回路例

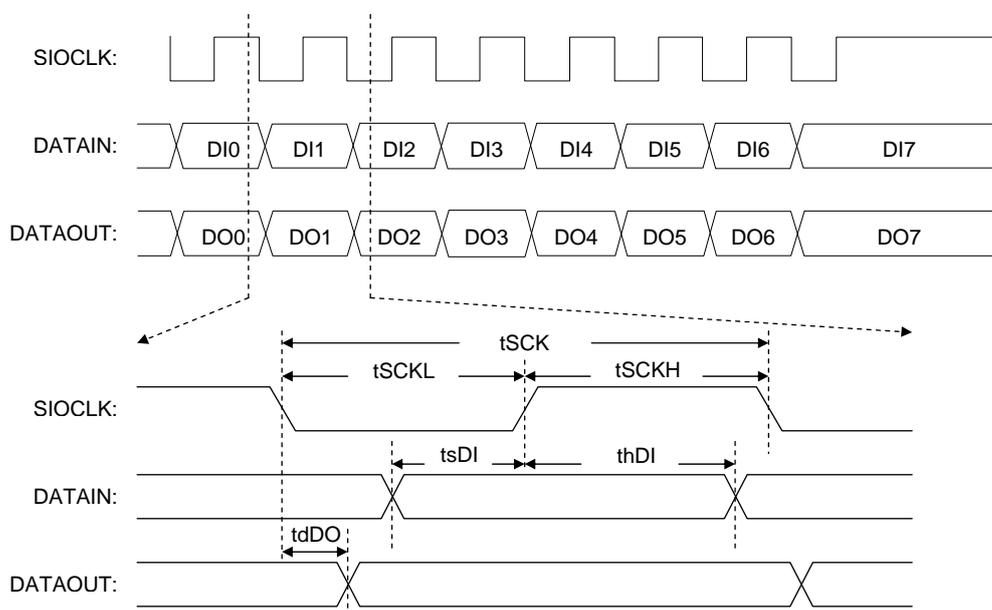


図4 シリアル入出力波形

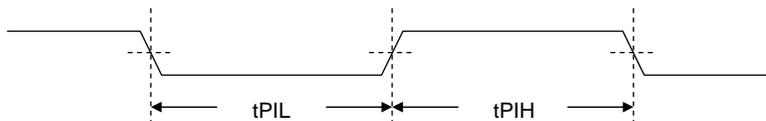


図5 パルス入力タイミング波形

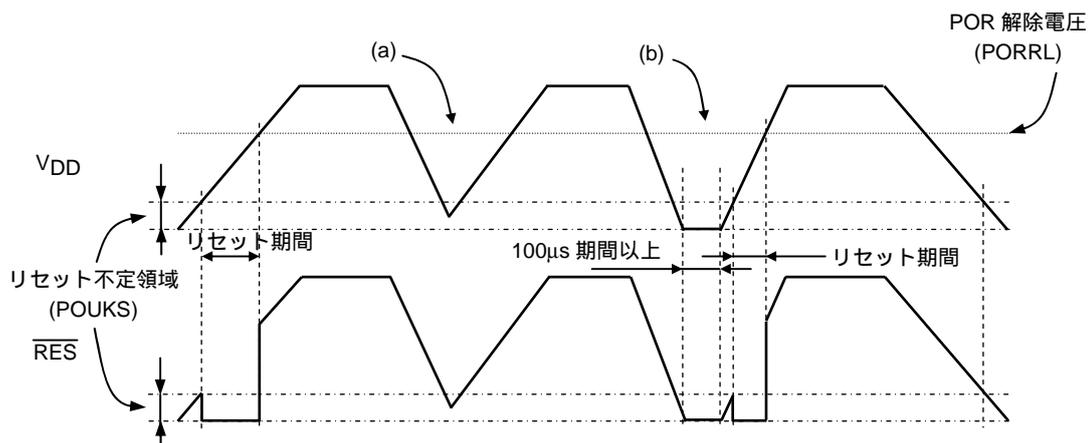


図6 PORのみ(LVD非選択)の動作波形例(リセット端子：プルアップ抵抗 R_{RES} のみ)

- ・PORは V_{SS} レベルから電源を立ち上げた時のみリセットが発生する。
- ・(a)のように電源が V_{SS} レベルまで下らない状態で電源が再投入された場合には、安定したリセットはかからない。このケースが想定される場合には、下記のようにLVD機能を併用するか外付けにリセット回路を構成すること。
- ・(b)のように電源が V_{SS} レベルまで十分下がり、その状態が $100\mu s$ 以上保持されてから電源が再投入された場合のみリセットがかかる。

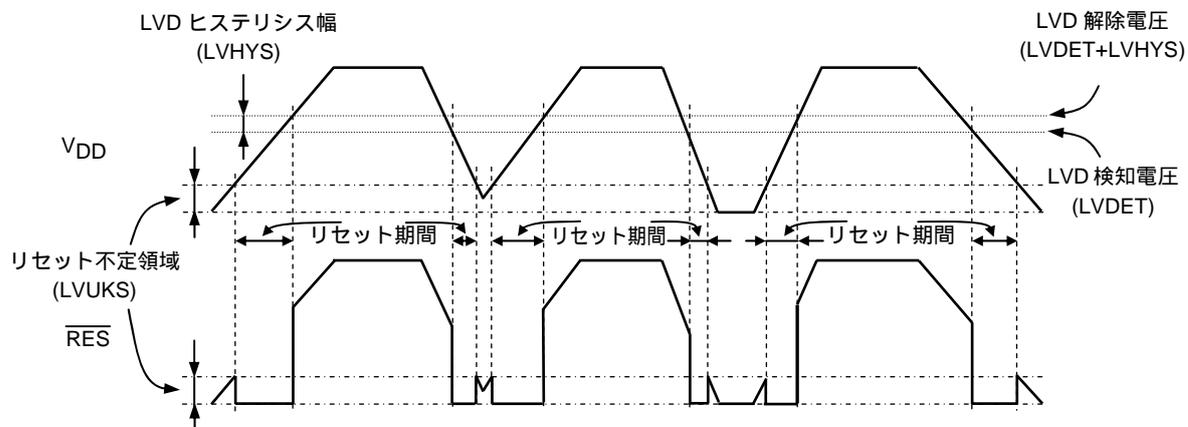


図7 POR + LVD選択時の動作波形例(リセット端子：プルアップ抵抗 R_{RES} のみ)

- ・電源投入時と電源低下時ともにリセットがかかる。
- ・LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)がある。

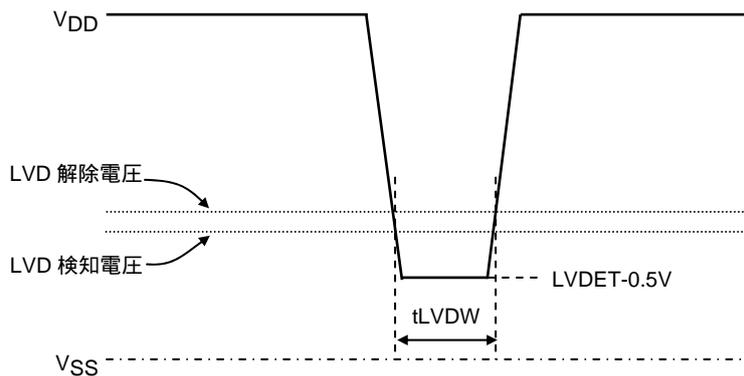


図8 低電圧最小検知幅(電源瞬停・電源変動波形例)

- 本書記載の規格値（最大定格、動作条件範囲等）を瞬時たりとも越えて使用し、その結果発生した機器の欠陥について、弊社は責任を負いません。
- 弊社は、高品質・高信頼性の製品を供給することに努めておりますが、一般的に半導体製品はある確率で誤動作や故障が生じてしまいます。この誤動作や故障が原因となり、人命にかかわる事故、発煙・発火事故、他の物品に損害を与えてしまう事故などを引き起こす可能性があります。
機器設計時には、このような事故を起こさないような、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を行って下さい。
- 本書記載の製品が、外国為替及び外国貿易法に定める規制貨物に該当する場合、輸出する際に同法に基づく輸出許可を要する場合があります。
- 弊社の文書による承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。
- 本書記載の情報（掲載回路および回路定数を含む）は一例を示すもので、量産セットとしての設計を保証するものではありません。
- 本書に記載された技術情報の使用もしくは本書に記載された製品の使用にあたって、弊社もしくは第三者の知的財産権その他の権利の実施に対する保証または実施権の許諾を行なうものではありません。上記技術情報及び製品の使用に起因する第三者所有の権利にかかわる問題が発生した場合に、弊社はその責任を負うものではありません。