



ON Semiconductor®

<http://onsemi.jp>

LB11872H

モノリシックデジタル集積回路

ポリゴンミラーモータ用 3相ブラシレスモータドライバ

概要

LB11872HはLBP等のポリゴンミラーモータ駆動用に開発された3相ブラシレスモータドライバであり、ポリゴンミラーモータの駆動に必要な回路(速度制御+ドライバ)が1チップで構成できる。電流リニア駆動により、駆動音の小さい駆動が可能である。

特長

- ・ 3相バイポーラ電流リニア駆動 + 中点制御。
- ・ PLL速度制御回路。
- ・ 外部クロックによる速度制御。
- ・ ホールFG対応。
- ・ 出力飽和防止回路内蔵。
- ・ 位相ロック検知出力(マスク機能付き)。
- ・ 電流制限回路, 過熱保護回路, 拘束保護回路, 低電圧保護回路内蔵。
- ・ 出力ダイオード内蔵。

絶対最大定格/Ta=25

項目	記号	条件	定格値	unit
最大電源電圧	V _{CC} max		30	V
最大出力電流	I _O max	T 500ms	1.2	A
許容消費電力	Pd max1	IC単体	0.8	W
	Pd max2	基板実装	2.0	W
動作周囲温度	Topr		- 20 ~ + 80	
保存周囲温度	Tstg		- 55 ~ + 150	

指定基板: 114.3mm × 76.1mm × 1.6mm, ガラスエポキシ基板

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LB11872H

許容動作範囲/Ta=25

項目	記号	条件	定格値	unit
電源電圧範囲	V _{CC}		10 ~ 28	V
6.3V定電圧出力電流	I _{REG}		0 ~ - 20	mA
LD端子印加電圧	V _{LD}		0 ~ 28	V
LD端子出力電流	I _{LD}		0 ~ 15	mA
FG端子印加電圧	V _{FG}		0 ~ 28	V
FG端子出力電流	I _{FG}		0 ~ 10	mA

電気的特性/Ta=25 ,V_{CC}=24V

項目	記号	条件	min	typ	max	unit
電源電流1	I _{CC1}	ストップモード		5	7	mA
電源電流2	I _{CC2}	スタートモード		17	22	mA
出力飽和電圧 V _{AGC} =3.5V						
SOURCE(1)	VSAT1-1	I _O =0.5A, R _F =0Ω		1.7	2.2	V
SOURCE(2)	VSAT1-2	I _O =1.0A, R _F =0Ω		2.0	2.7	V
SINK(1)	VSAT2-1	I _O =0.5A, R _F =0Ω		0.4	0.9	V
SINK(2)	VSAT2-2	I _O =1.0A, R _F =0Ω		1.0	1.7	V
出力リーク電流	I _O (LEAK)	V _{CC} =28V			100	μA
6.3V定電圧出力						
出力電圧	V _{REG}		5.90	6.25	6.60	V
電圧変動	ΔV _{REG1}	V _{CC} =9.5 ~ 28V		50	100	mV
負荷変動	ΔV _{REG2}	I _{load} = - 5 ~ - 20mA		10	60	mV
温度係数	ΔV _{REG3}	設計目標値		0		mV/
ホール入力部						
入力バイアス電流	I _B (H _A)	差動入力50mVp-p		2	10	μA
差動入力範囲	V _{HIN}	SIN波入力	50		*600	mVp-p
同相入力範囲	V _{ICM}	差動入力50mVp-p	2.0		V _{CC} -2.5	V
入力オフセット電圧	V _{IOH}	設計目標値	- 20		20	mV
FGアンプ・シュミット部(IN1)						
入力アンプゲイン	G _{FG}			5		倍
入力ヒステリシス(H L)	V _{SHL}			0		mV
入力ヒステリシス(L H)	V _{SLH}			- 10		mV
ヒステリシス幅	V _{FGL}	入力換算	4	7	12	mV
低電圧保護						
動作電圧	V _{SD}		8.4	8.8	9.2	V
ヒステリシス幅	ΔV _{SD}		0.2	0.4	0.6	V
過熱保護						
熱しゃ断動作温度	T _{SD}	設計目標値 (接合温度)	150	180		
ヒステリシス幅	ΔT _{SD}	設計目標値 (接合温度)		40		
電流制限動作						
加速リミッタ電圧	V _{RF1}		0.53	0.59	0.65	V
減速リミッタ電圧	V _{RF2}		0.32	0.37	0.42	V

*ホール入力が大きくなると出力波形にキックバックを生ずることがあるので、350mVp-p以下が望ましい。

設計目標値であり、測定は行なわない。

次ページへ続く。

LB11872H

前ページより続く。

項目	記号	条件	min	typ	max	unit
Errアンプ						
入力オフセット電圧	VIO(ER)	設計目標値	- 10		10	mV
入力バイアス電流	IB(ER)		- 1		1	μA
出力「H」レベル電圧	V _{OH} (ER)	I _{OH} = - 500μA	VREG-1.2	VREG-0.9		V
出力「L」レベル電圧	V _{OL} (ER)	I _{OL} =500μA		0.9	1.2	V
DCバイアスレベル	VB(ER)		- 5%	1/2VREG	5%	V
位相比較出力						
出力「H」レベル電圧	VPDH	I _{OH} = - 100μA	VREG-0.2	VREG-0.1		V
出力「L」レベル電圧	VPDL	I _{OL} =100μA		0.2	0.3	V
出力ソース電流	IPD+	VPD=VREG/2			- 500	μA
出力シンク電流	IPD-	VPD=VREG/2	1.5			mA
ロック検知出力						
出力飽和電圧	VLD(SAT)	I _{LD} =10mA		0.15	0.5	V
出力リーク電流	I _{LD} (LEAK)	VLD=28V			10	μA
FG出力						
出力飽和電圧	VFG(SAT)	I _{FG} =5mA		0.15	0.5	V
出力リーク電流	I _{FG} (LEAK)	VFG=28V			10	μA
駆動部						
デッドゾーン幅	VDZ	位相ロック時	50	100	300	mV
出力アイドル電圧	VID				6	mV
正転ゲイン1	GDF + 1	位相ロック時	0.4	0.5	0.6	倍
正転ゲイン2	GDF + 2	アンロック時	0.8	1.0	1.2	倍
逆転ゲイン1	GDF - 1	位相ロック時	- 0.6	- 0.5	- 0.4	倍
逆転ゲイン2	GDF - 2	アンロック時	- 0.8	- 1.0	- 1.2	倍
加速指令電圧	VSTA		5.0	5.6		V
減速指令電圧	VST0			0.8	1.5	V
正転リミッタ電圧	VL1	R _f =22Ω	0.53	0.59	0.65	V
逆転リミッタ電圧	VL2	R _f =22Ω	0.32	0.37	0.42	V
CSD発振回路						
発振周波数	f _{OSC}	C=0.022μF		31		Hz
「H」レベル端子電圧	V _{CSDH}		4.3	4.8	5.3	V
「L」レベル端子電圧	V _{CSDL}		0.75	1.15	1.55	V
外付けC充放電電流	I _{CHG}		3	5	7	μA
ロック検知遅延カウント数	CSDCT1			7		
クロック断線保護動作 カウント数	CSDCT2			2		
拘束保護動作カウント数	CSDCT3			31		
初期リセット電圧	V _{RES}			0.60	0.80	V

設計目標値であり、測定は行なわない。

LB11872H

前ページより続く。

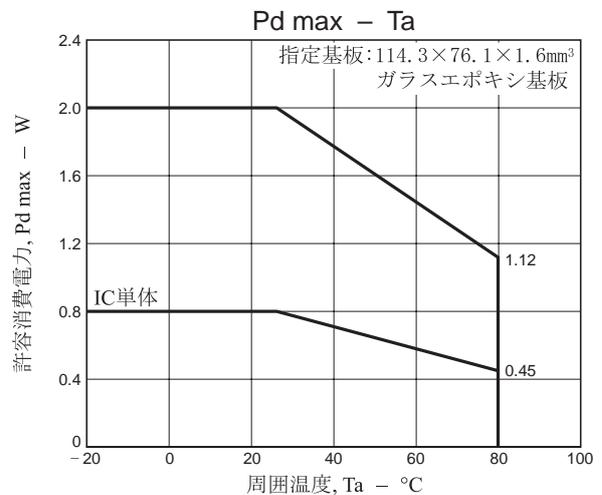
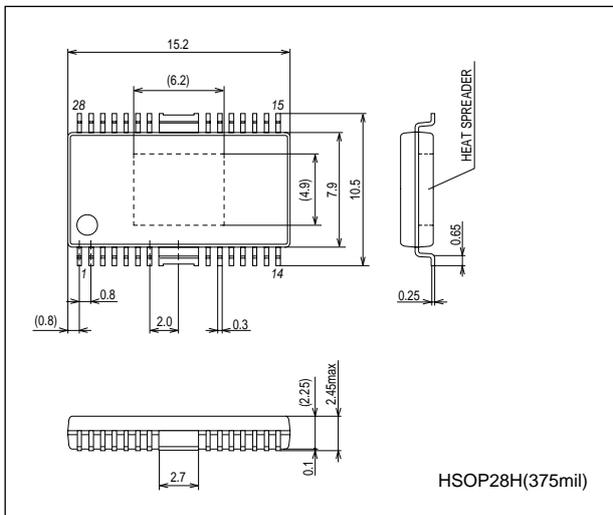
項目	記号	条件	min	typ	max	unit
クロック入力部						
外部入力周波数	f_{CLK}		400		10000	Hz
「H」レベル入力電圧	$V_{IH}(CLK)$	設計目標値	2.0		VREG	V
「L」レベル入力電圧	$V_{IL}(CLK)$	設計目標値	0		1.0	V
入力オープン電圧	$V_{IO}(CLK)$		2.7	3.0	3.3	V
ヒステリシス幅	$V_{IS}(CLK)$	設計目標値	0.1	0.2	0.3	V
「H」レベル入力電流	$I_{IH}(CLK)$	$V(CLK)=VREG$		140	185	μA
「L」レベル入力電流	$I_{IL}(CLK)$	$V(CLK)=0V$	- 185	- 140		μA
S/S端子						
「H」レベル入力電圧	$V_{IH}(S/S)$		2.0		VREG	V
「L」レベル入力電圧	$V_{IL}(S/S)$		0		1.0	V
入力オープン電圧	$V_{IO}(S/S)$		2.7	3.0	3.3	V
ヒステリシス幅	$V_{IS}(S/S)$		0.1	0.2	0.3	V
「H」レベル入力電流	$I_{IH}(S/S)$	$V(S/S)=VREG$		140	185	μA
「L」レベル入力電流	$I_{IL}(S/S)$	$V(S/S)=0V$	- 185	- 140		μA

設計目標値であり、測定は行わない。

外形図

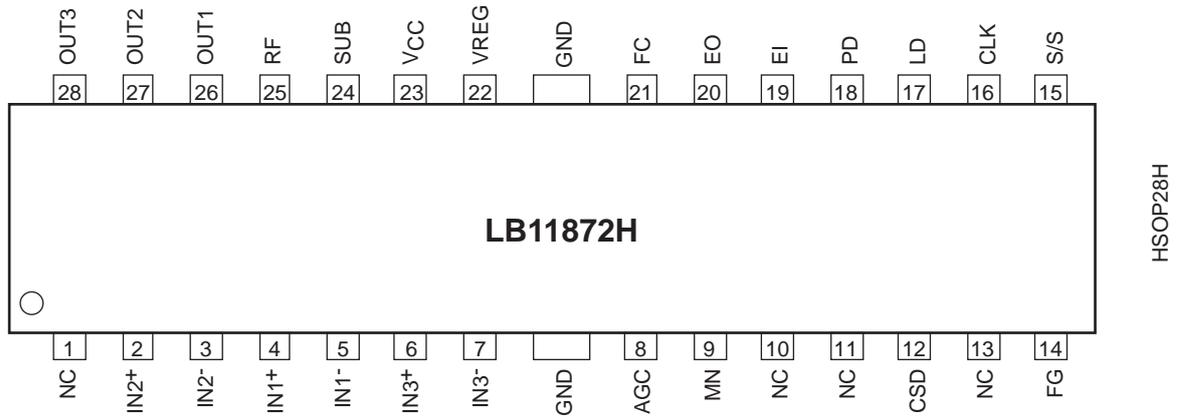
unit:mm (typ)

3233B



LB11872H

ピン配置図



Top view

3相ロジック真理値表

OUT1 ~ 3 (H: SOURCE, L: SINK)

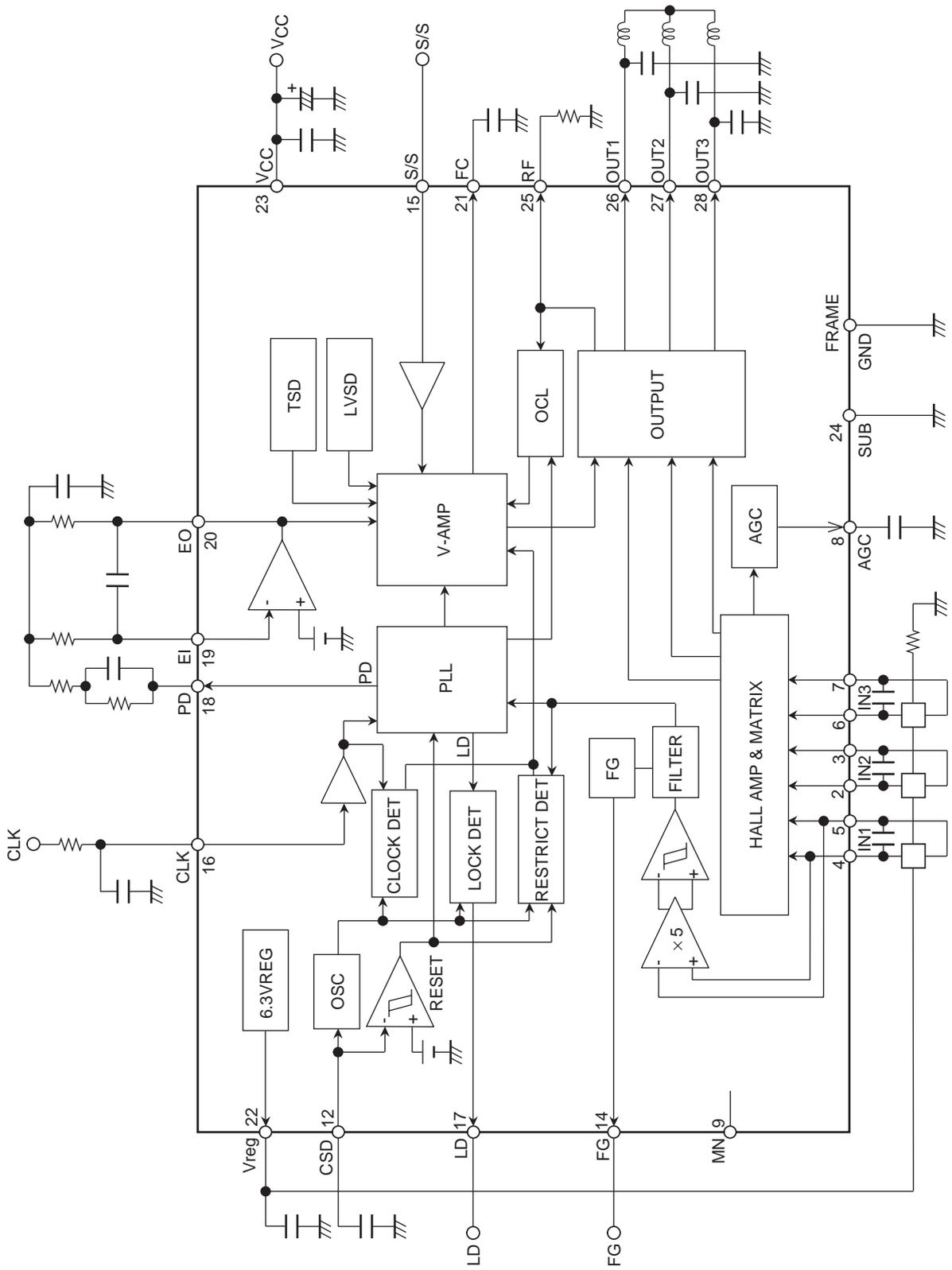
IN1	IN2	IN3	OUT1	OUT2	OUT3
H	L	H	L	H	M
H	L	L	L	M	H
H	H	L	M	L	H
L	H	L	H	L	M
L	H	H	H	M	L
L	L	H	M	H	L

IN1 ~ IN3で、HとはIN+ > IN-であり、Lはその逆の状態をいう。

OUT1 ~ OUT3で、HはSOURCE, LはSINKの状態をいう。

LB11872H

ブロック図



LB11872H

端子説明

端子番号	端子名	端子説明	等価回路図
2 3 4 5 6 7	IN2+ IN2- IN1+ IN1- IN3+ IN3-	ホール入力端子。 IN+ > IN- で「H」、逆は「L」とする。 ノイズ対策のため、IN+、IN-間にコンデンサを接続する。 ホール信号は50mVp-p以上、350mVp-p以下の振幅(差動)が望ましい。 350mVp-p以上の入力が入ると、出力にキックバックが発生してくる。	
8	AGC	AGCアンプ周波数特性補正端子。 GND間にコンデンサを接続する(約0.022μF程度)。	
9	MN	モニタ端子。 通常、オープンで使用する。	
12	CSD	初期リセットパルス発生端子兼保護回路等の基準発振端子。 GND間にコンデンサを接続する。	
14	FG	FGパルス化出力端子。 オープンコレクタ出力。	
15	S/S	スタート/ストップ端子。 「L」: スタート 0V ~ 1.0V 「H」: ストップ 2.0V ~ VREG オープン時、「H」レベルとなる。	

次ページへ続く。

LB11872H

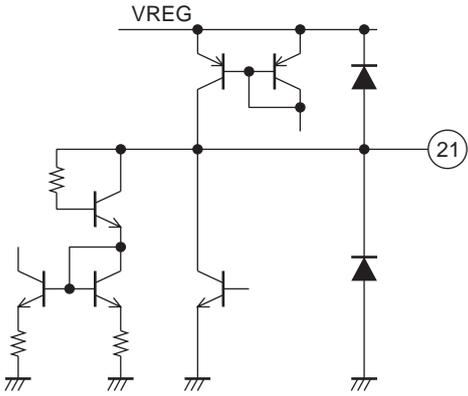
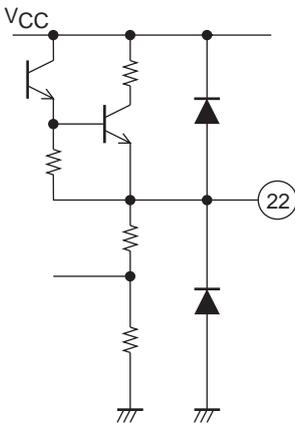
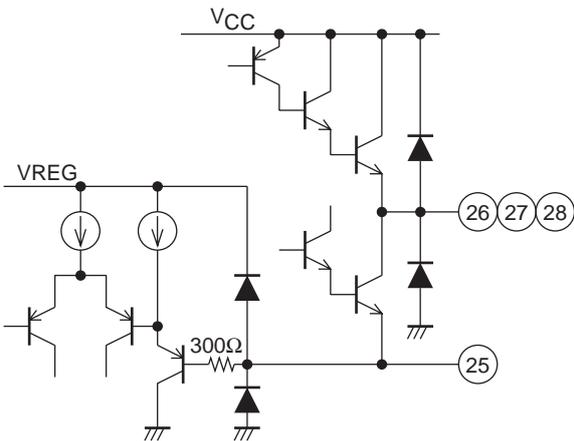
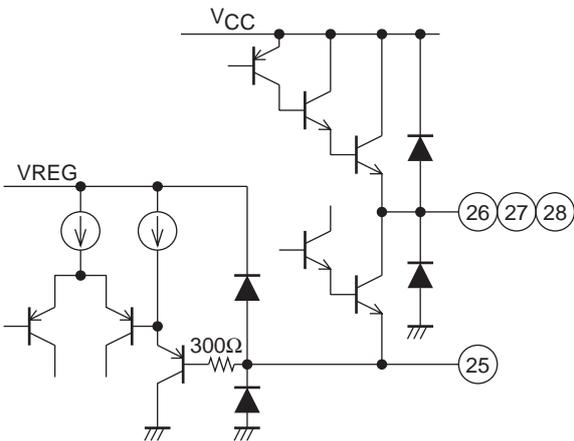
前ページより続く。

端子番号	端子名	端子説明	等価回路図
16	CLK	クロック入力端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG オープン時、「H」レベルとなる。	
17	LD	位相ロック検知出力端子。 PLL位相ロック時、オンになる。 オープンコレクタ出力。	
18	PD	位相比較出力端子(PLL出力)。 位相誤差をパルスのデューティ変化で出力する。デューティが小さくなると、出力電流は増加する方向。	
19	EI	誤差アンプ入力端子。	
20	E0	誤差アンプ出力端子。 「H」で出力電流増加。	

次ページへ続く。

LB11872H

前ページより続く。

端子番号	端子名	端子説明	等価回路図
21	FC	制御アンプ周波数補正端子。 GND間にコンデンサを接続することにより、電流制御系閉ループの発振を止める(約5600pF程度)。コンデンサ容量が大きすぎると、出力電流の応答性が悪くなる。	
22	VREG	安定化電源出力端子(6.3V出力)。 安定化のため、GND間にコンデンサを接続する(約0.1μF程度)。	
23	VCC	電源端子。	
24	SUB	SUB端子。 GNDと接続する。	
25	RF	出力電流検出端子。 GND間に低抵抗(Rf)を接続する。 $I_{OUT} = V_L / R_f$ で設定した電流値に出力電流が制限される。	
26	OUT1	モータ駆動出力端子。	
27	OUT2	出力が発振する場合は、GND間にコンデンサを接続する(約0.1μF程度)。	
28	OUT3	出力が発振する場合は、GND間にコンデンサを接続する(約0.1μF程度)。	
1 10 11 13	NC	NC端子。 配線として使用可能。	
フレーム	GND	GND端子。	

LB11872Hの説明

1. 速度制御回路

本ICは、PLL速度制御方式を採用しているため、高精度でジッタの少ない、安定した回転を実現できる。このPLL回路はCLK信号(立ち下がリエッジ)とFG信号(IN1入力“L” “H”に変化するエッジ)のエッジの位相差を比較し、その誤差出力で制御している。

制御時のFGサーボ周波数はCLK周波数と同一となる。

$$f_{FG(\text{サーボ})} = f_{CLK}$$

2. 出力駆動回路

本ICは、モータの回転音を抑えるために、三相全波電流リニア駆動方式を採用している。また、出力TrのASO破壊を防ぐために、中点制御方式を採用している。

速度切り替えやロック引き込み時のモータ減速時には、逆トルクブレーキによる減速を行う。ストップ時は、駆動が切れ、フリーランとなる。

使用するモータによっては、出力部が発振する恐れがあるので、OUT-GND間にはコンデンサ(0.1μF程度)を接続すること。

3. ホール入力信号

ホール入力は、モータにより入力振幅が変わってもAGC回路により、出力への影響は抑えられる。しかし、三相の入力振幅にずれがある場合は、出力の相切り替わりタイミングにずれが生じる。ホール入力は、50mVp-p以上の振幅(差動)の信号入力が必要である。入力振幅が350mVp-p以上となると、AGC回路の制御範囲を超え、出力にキックバックが発生することがある。

ホール入力周波数は、1kHz以上(ホール1相分での周波数)で使用すると、起動時等(出力Trの飽和時)の発熱が増加する可能性がある。よって、発熱が問題となる場合は、マグネットの極数を少なくし、周波数を下げた方が有利となる。

IN1のホール信号をIC内部で速度制御のFG信号としている。ノイズが問題となりやすいため、入力間にはコンデンサを入れること。三相の信号振幅に差が出る可能性があるため、コンデンサは全ての入力に同一のコンデンサを付けること。

ホール素子のバイアス電源は、VCCとすることもできるが、VREGとしたほうがノイズ試験等で問題となりにくい。VREGとした場合、ホールアンプ同相入力範囲の上限を気にする必要がなくなるため、バイアス設定抵抗は下側のみとできる。

4. パワーセーブ回路

本ICは、ストップ状態では消費電流を減少させるパワーセーブ状態となる。パワーセーブ状態では、大部分の回路のバイアス電流をカットすることにより行っている。パワーセーブ状態においても、6.3Vレギュレータ出力は出力される。

5. 基準クロック信号

外部から入力するクロック信号は、チャタリング等のノイズがないように注意する必要がある。入力回路にはヒステリシスを持たせてあるが、問題となる場合は、コンデンサ等によりノイズを除去してから入力すること。

クロック断線保護回路を内蔵している。下式で求める周波数以下の信号が入力された場合、正常な制御は行われず、間欠駆動となる。

$$f(\text{Hz}) = 0.64 \div C_{CSD} \quad C_{CSD}(\mu\text{F}) : \text{CSD端子-GND間コンデンサ}$$

0.022μFのコンデンサを使用した場合、約29Hzとなる。

完全にクロック無入力状態でスタート状態とされた場合、モータが多少回転した後に駆動はオフされる。モータの回転が停止して、拘束保護時間以上経過した後に、クロックが再入力されても駆動を再開しない。しかし、拘束保護回路が動作する前に、クロックが再入力されると駆動は再開される。

6. 拘束保護回路

モータ拘束時のICおよびモータの保護を行うため、拘束保護回路を内蔵している。スタート状態でFG信号(IN1の片側エッジ)が一定時間切り替わらないと、出力の駆動をオフする。設定時間は、CSD端子に接続するコンデンサ容量により決まる。

$$\text{設定時間(sec)} = 30.5 \times 1.57 \times C_{\text{CSD}}(\mu\text{F})$$

0.022 μF のコンデンサを使用した場合、保護動作時間は約1.05秒となる。

拘束保護状態を解除するには、ストップ状態(100 μs 以上保持)とするか、電源の再投入が必要である。拘束時におけるFG信号にノイズがあると、拘束保護回路が正常に動作しない場合がある。

7. 位相ロック信号

位相ロックの範囲

本ICは、速度系のカウンタ等を持っていないため、位相ロック状態における速度誤差範囲は、IC特性のみでは決めることができない(FG周波数変化の加速度が影響するため)。モータとして規定する必要がある場合は、実際にモータ状態で測定して決めてもらう必要がある。FGの加速度が大きい状態で速度誤差は生じやすいため、起動時のロック引き込み時やクロック切り替えによるアンロック時が一番速度誤差としては大きくなると思われる。

位相ロック信号のマスク機能

ロック引き込み時のハンチングによる短時間の“L”信号をマスクすることにより、安定した状態でロック信号を出すことができる。しかし、マスク時間分はロック信号出力が遅れることになる。マスク時間は、CSD端子に接続するコンデンサ容量により設定する。

$$\text{マスク時間(sec)} = 6.5 \times 1.57 \times C_{\text{CSD}}(\mu\text{F})$$

0.022 μF のコンデンサを使用した場合、約225msのマスク時間となる。完全にマスクする必要がある場合は、マスク時間は十分に余裕を持って設定すること。

8. 初期リセット

スタート時にロジック回路を初期リセットするため、CSD端子電圧が0 約0.63Vとなるまでリセット状態となる。リセットが解除された後、出力の駆動が開始される。リセット時間は、ほぼ次の式で算出できる。

$$\text{リセット時間(sec)} = 0.13 \times C_{\text{CSD}}(\mu\text{F})$$

リセット時間は、100 μs 以上が必要である。

9. 電流制限回路

電流制限値は、RF端子-GND間に接続するRf抵抗によって決まる。

$$I_{\text{LIM}} = V_{\text{L}} / R_{\text{f}} \quad V_{\text{L}} = 0.59\text{V typ(加速時)}, 0.37\text{V typ(減速時)}$$

10. 電源安定化

電源電圧安定化のためにVCC端子-GND間には十分な容量のコンデンサを接続すること。電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

高周波のノイズが問題となる場合は、約0.1 μF 程度のセラミックコンデンサを並列に付けること。

11. VREG安定化

制御回路の電源であるVREG電圧を安定化するために、0.1 μF 以上のコンデンサをできるだけピン近傍に接続すること。

12. 誤差アンプ周辺定数

誤差アンプ部の外付け部品は、ノイズの影響を受けにくいようにできるだけIC近傍に配置すること。

13. FRAMEピンおよびヒートシンク部

FRAMEピンおよびヒートシンク部(IC裏面)は制御回路のGND端子となっている。このGNDラインとRF抵抗のGNDラインは、電解コンデンサのGND部で一点アースとすることが望ましい。

IC裏面の金属部は、熱伝導の良いはんだ等で基板と密着させると、放熱が非常に良くなる。

14. CSD端子

CSD端子に付けるコンデンサは、拘束保護動作時間、位相ロック信号マスク時間等の様々な動作に影響する。設定においては、次のように決めることが目安となる。

位相ロック信号のチャタリングを無くすことを優先する場合

十分なマスク時間を確保できる容量を選択する。

チャタリングを無くすより、起動時間を優先する場合

起動時において拘束保護が動作しない容量を選択し、クロック断線保護および初期リセット時間に問題がないか確認する。

無制御時におけるモータの特性等を検討する場合、保護回路等の動作が邪魔となる場合がある。この場合は、CSD端子-GND間のコンデンサと並列に約390kΩの抵抗を接続することにより、初期リセットのみ動作し、保護回路等を動作させない状態とできる。

15. FC端子

FC端子に接続するコンデンサは、電流制限ループの位相補償用として必要である。容量値が小さすぎると、出力が発振する。容量値が大きすぎると、出力が飽和した状態の電流制限時に制限値以上の電流が流れやすくなる(制御の応答性が悪くなるため)。

16. AGC端子

AGC端子に接続するコンデンサは、使用する回転数領域においてAGC端子電圧が、ある程度平滑できる容量値を選択すること。また、初期リセットが解除するまでにAGC電圧がほぼ安定する電圧に達することができる容量値であることが望ましい(容量値が大きすぎると、AGC電圧の変化が遅くなる)。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。