



ON Semiconductor®

<http://onsemi.jp>

# LB11873

モノリシックデジタル集積回路

## ポリゴンミラーモータ用三相 ブラシレスモータドライバIC

### 概要

LB11873 は LBP、PPC 等のポリゴンミラーモータ駆動用に開発された 3 相ブラシレスモータブリドドライバであり、ポリゴンミラーモータの駆動に必要な回路(速度制御 + ドライバ)が 1 チップで構成できる。

静音化 PWM 駆動により、通電切換わり時の電流に傾きを持たせ、モータ駆動音を低減している。

### 機能

- ・三相バイポーラ駆動(静音化ダイレクト PWM)
- ・PLL 速度制御回路
- ・ホール FG 対応
- ・外部クロック専用
- ・ブレーキモード切換え回路(フリーラン、逆転ブレーキ)
- ・位相ロック検知出力(マスク機能付き)
- ・電流制限、拘束保護、低電圧保護、過熱保護回路、CLK 断線保護回路等内蔵
- ・入力端子は 3V 系マイコン対応

### 絶対最大定格/Ta=25

項目	記号	条件	定格値	unit
電源電圧	V <sub>CC max</sub>		30	V
出力電流	I <sub>O max</sub>	T 500ms	1.8	A
許容消費電力 1	P <sub>d max1</sub>	IC 単体	0.9	W
許容消費電力 2	P <sub>d max2</sub>	実装基板	2.1	W
動作周囲温度	T <sub>opr</sub>		- 20 ~ + 80	
保存周囲温度	T <sub>stg</sub>		- 55 ~ + 150	

実装基板: 114.3mm × 76.1mm × 1.6mm ガラスエポキシ基板実装

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

# LB11873

## 許容動作範囲/Ta=25

項目	記号	条件	定格値	unit
電源電圧範囲	V <sub>CC</sub>		9.5 ~ 28	V
5V 定電圧出力電流	I <sub>REG</sub>		0 ~ - 30	mA
LD 端子印加電圧	V <sub>LD</sub>		0 ~ 28	V
LD 端子出力電流	I <sub>LD</sub>		0 ~ 15	mA
FGS 端子印加電圧	V <sub>FGS</sub>		0 ~ 28	V
FGS 端子出力電流	I <sub>FGS</sub>		0 ~ 10	mA
HB 端子印加電圧	V <sub>HBS</sub>		0 ~ 28	V
HB 端子出力電流	I <sub>HBS</sub>		0 ~ 30	mA

## 電気的特性/Ta=25 , V<sub>CC</sub>=V<sub>M</sub>=24V

項目	記号	条件	min	typ	max	unit
電源電流 1	I <sub>CC1</sub>			22	28	mA
電源電流 2	I <sub>CC2</sub>	STOP 時		4.0	6.0	mA
5V定電圧出力						
出力電圧	V <sub>REG</sub>		4.65	5.0	5.35	V
電圧変動	ΔV <sub>REG1</sub>	V <sub>CC</sub> =9.5 ~ 28V		80	130	mV
負荷変動	ΔV <sub>REG2</sub>	I <sub>O</sub> = - 5 ~ - 20mA		10	60	mV
温度係数	ΔV <sub>REG3</sub>	設計目標値		0		mV/
出力部						
出力飽和電圧 1	V <sub>Osat1</sub>	I <sub>O</sub> =0.5A, V <sub>O</sub> (SINK) + V <sub>O</sub> (SOURCE)		1.4	1.9	V
出力飽和電圧 2	V <sub>Osat2</sub>	I <sub>O</sub> =1.2A, V <sub>O</sub> (SINK) + V <sub>O</sub> (SOURCE)		2.0	2.6	V
出力リーク電流	I <sub>Oleak</sub>				100	μA
上側ダイオード順電圧 1	VD2-1	I <sub>D</sub> =0.5A		1.0	1.5	V
上側ダイオード順電圧 2	VD2-2	I <sub>D</sub> =1.2A		1.5	2.0	V
ホールアンプ部						
入力バイアス電流	I <sub>HB</sub>			2	10	μA
差動入力範囲	V <sub>HIN</sub>	SIN 波入力	50		350	
同相入力電圧範囲	V <sub>ICM</sub>		1.5		V <sub>REG</sub> - 1.0	V
入力オフセット電圧	V <sub>IOH</sub>	設計目標値	- 20		20	mV
ホールバイアス						
出力飽和電圧	V <sub>OL</sub> (HB)	I <sub>HB</sub> =10mA	1.5		2.0	V
出力リーク電流	I <sub>L</sub> (HB)	V <sub>O</sub> =V <sub>CC</sub> STOP 時			10	μA
FGアンプ・シュミット部 (IN1)						
入力アンプゲイン	G <sub>FG</sub>	設計目標値		5		倍
入力ヒステリシス (H L)	V <sub>SHL</sub>	設計目標値		0		mV
入力ヒステリシス (L H)	V <sub>SLH</sub>	設計目標値		- 10		mV
ヒステリシス幅	V <sub>FGL</sub>	入力換算 設計目標値	4	7	12	mV
PWM 発振器						
出力 H レベル電圧	V <sub>OH</sub> (PWM)		2.65	2.95	3.25	V
出力 L レベル電圧	V <sub>OL</sub> (PWM)		0.9	1.2	1.5	V
外付け C 充電電流	I <sub>CHG</sub>	V <sub>PWM</sub> =2V	- 60	- 45	- 30	μA
発振周波数	f (PWM)	C=680pF		34		kHz
振幅	V (PWM)		1.45	1.75	2.05	V <sub>p-p</sub>

設計目標値であり、測定は行わない。

次ページへ続く。

# LB11873

前ページより続く。

項目	記号	条件	min	typ	max	unit
FGS出力						
出力飽和電圧	$V_{OL}(FGS)$	$I_{FGS}=7mA$		0.15	0.5	V
出力リーク電流	$I_L(FGS)$	$V_0=V_{CC}$			10	$\mu A$
CSD 発振回路						
発振周波数	$f(CSD)$	$C=0.033\mu F$		31		Hz
出力Hレベル電圧	$V_{OH}(CSD)$		3.50	3.75	4.00	V
出力Lレベル電圧	$V_{OL}(CSD)$		1.00	1.30	1.60	V
振幅	$V(CSD)$		2.20	2.45	2.80	Vp-p
外付けC充電電流	$I_{CHG1}$	$V_{CSD}=2V$	-7	-5	-3	$\mu A$
外付けC放電電流	$I_{CHG2}$	$V_{CSD}=2V$	3	5	7	$\mu A$
ロック検知遅延 カウント数	CSDCT1			7		
クロック断線保護 カウント数	CSDCT2			2		
拘束保護動作 カウント数	CSDCT3			31		
初期リセット電圧	VRES			0.6	0.8	V
位相比較出力						
出力Hレベル電圧	VPDH	$I_{OH} = -100\mu A$	VREG -0.2	VREG -0.1		V
出力Lレベル電圧	VPDL	$I_{OL}=100\mu A$		0.2	0.3	V
出力ソース電流	IPD +	$VPD=V_{REG}/2$			-0.5	mA
出力シンク電流	IPD -	$VPD=V_{REG}/2$	1.5			mA
位相ロック検知出力						
出力飽和電圧	$V_{OL}(LD)$	$I_{LD}=10mA$		0.15	0.5	V
出力リーク電流	$I_L(LD)$	$V_0=V_{CC}$			10	$\mu A$
ERRアンブ部						
入力オフセット電圧	$V_{IO}(ER)$	設計目標値	-10		10	mV
入力バイアス電流	$I_B(ER)$		-1		1	$\mu A$
出力Hレベル電圧	$V_{OH}(ER)$	$I_{EI} = -0.1mA, 無負荷$	3.7	4.0	4.3	V
出力Lレベル電圧	$V_{OL}(ER)$	$I_{EI}=0.1mA, 無負荷$	0.7	1.0	1.3	V
DC バイアスレベル	$V_B(ER)$		-5%	$V_{REG}/2$	5%	V
電流制限回路						
駆動ゲイン 1	GDF1	位相ロック時	0.4	0.5	0.6	倍
駆動ゲイン 2	GDF2	アンロック時	0.8	1.0	1.2	倍
リミッタ電圧 1	VRF1	$V_{CC} - VM, 正転時$	0.45	0.5	0.55	V
リミッタ電圧 2	VRF2	$V_{CC} - VM, 逆転時$	0.225	0.25	0.275	V
熱しゃ断動作						
熱しゃ断動作温度	TSD	設計目標値 (接合温度)	150	170		
ヒステリシス幅	$\Delta TSD$	設計目標値 (接合温度)		40		
低電圧保護						
動作電圧	VSD		8.1	8.45	8.9	V
ヒステリシス幅	$\Delta VSD$		0.2	0.35	0.5	V

設計目標値であり、測定は行わない。

次ページへ続く。

# LB11873

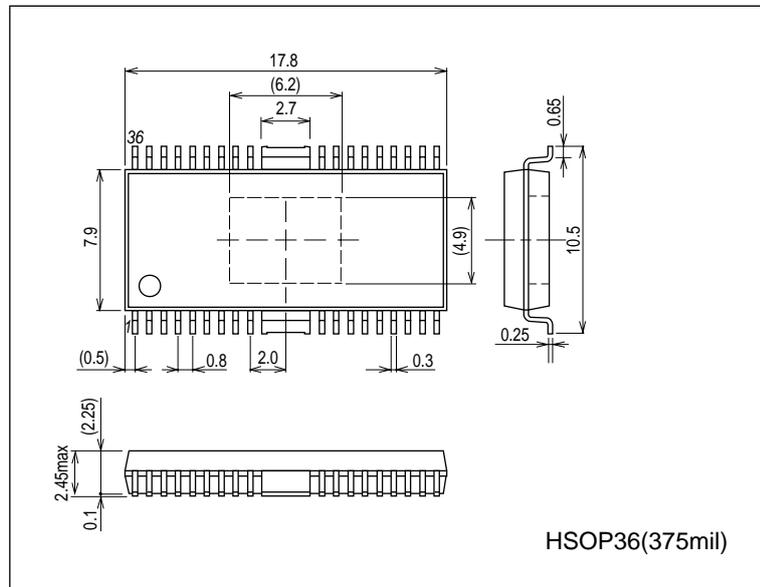
前ページより続く。

項目	記号	条件	min	typ	max	unit
CLK端子						
外部入力周波数	f I (CLK)		0.1		10	kHz
H レベル入力電圧	V <sub>IH</sub> (CLK)		2.0		VREG	V
L レベル入力電圧	V <sub>IL</sub> (CLK)		0		1.0	V
入力オープン電圧	V <sub>IO</sub> (CLK)			3.0		V
ヒステリシス幅	V <sub>IS</sub> (CLK)			0.25		V
H レベル入力電流	I <sub>IH</sub> (CLK)	VCLK=VREG		115	150	μA
L レベル入力電流	I <sub>IL</sub> (CLK)	VCLK=0V	- 220	- 175		μA
S/S端子						
H レベル入力電圧	V <sub>IH</sub> (SS)		2.0		VREG	V
L レベル入力電圧	V <sub>IL</sub> (SS)		0		1.0	V
入力オープン電圧	V <sub>IO</sub> (SS)			3.0		V
ヒステリシス幅	V <sub>IS</sub> (SS)		0.21	0.25	0.29	V
H レベル入力電流	I <sub>IH</sub> (SS)	VS/S=VREG		115	150	μA
L レベル入力電流	I <sub>IL</sub> (SS)	VS/S=0V	- 220	- 175		μA
BRSEL 端子						
H レベル入力電圧	V <sub>IH</sub> (BRSEL)		2.0		VREG	V
L レベル入力電圧	V <sub>IL</sub> (BRSEL)		0		1.0	V
入力オープン電圧	V <sub>IO</sub> (BRSEL)			3.0		V
ヒステリシス幅	V <sub>IS</sub> (BRSEL)		0.21	0.25	0.29	V
H レベル入力電流	I <sub>IH</sub> (BRSEL)	VBRSEL=VREG		115	150	μA
L レベル入力電流	I <sub>IL</sub> (BRSEL)	VBRSEL=0V	- 220	- 175		μA

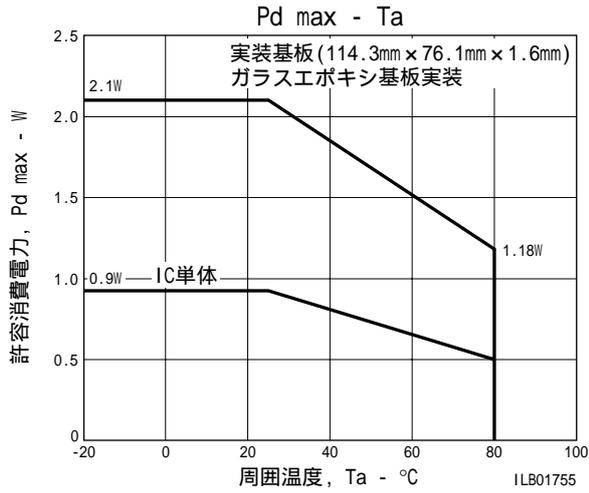
## 外形図

unit:mm (typ)

3235A



# LB11873



## 3相ロジック真理値表 (IN=「H」とは、IN+ > IN- の状態を示す)

IN1	IN2	IN3	OUT1	OUT2	OUT3
H	L	H	L	H	M
H	L	L	L	M	H
H	H	L	M	L	H
L	H	L	H	L	M
L	H	H	H	M	L
L	L	H	M	H	L

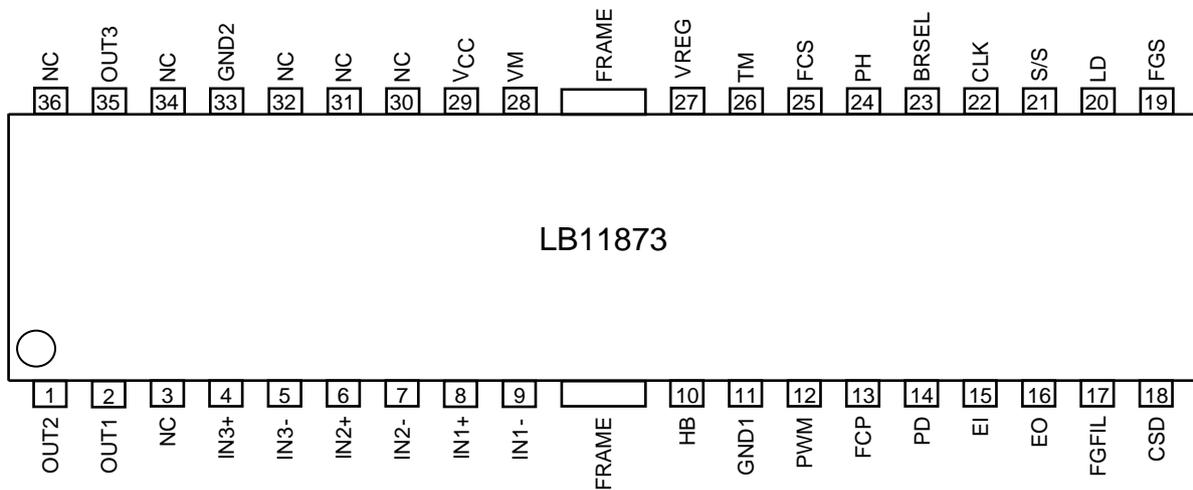
## S/S端子

入力状態	状態
Hまたはオープン	ストップ
L	スタート

## BRESEL 端子

入力状態	減速時
Hまたはオープン	フリーラン
L	逆転ブレーキ

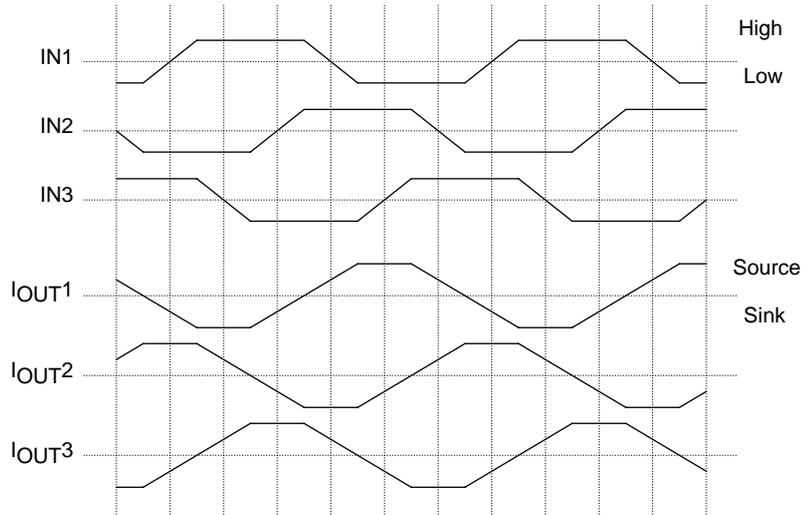
## ピン配置図



Top view

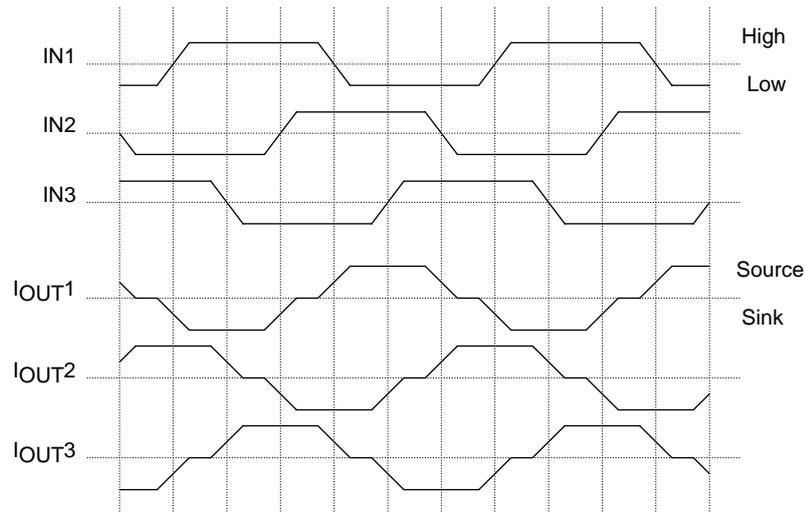
## ホール入力波形と出力電流波形

(1)ホール入力の振幅が小さい場合あるいは入力波形の傾斜が小さい場合



180 全ての区間で電流が流れており、オフ区間がない(180 通電)。

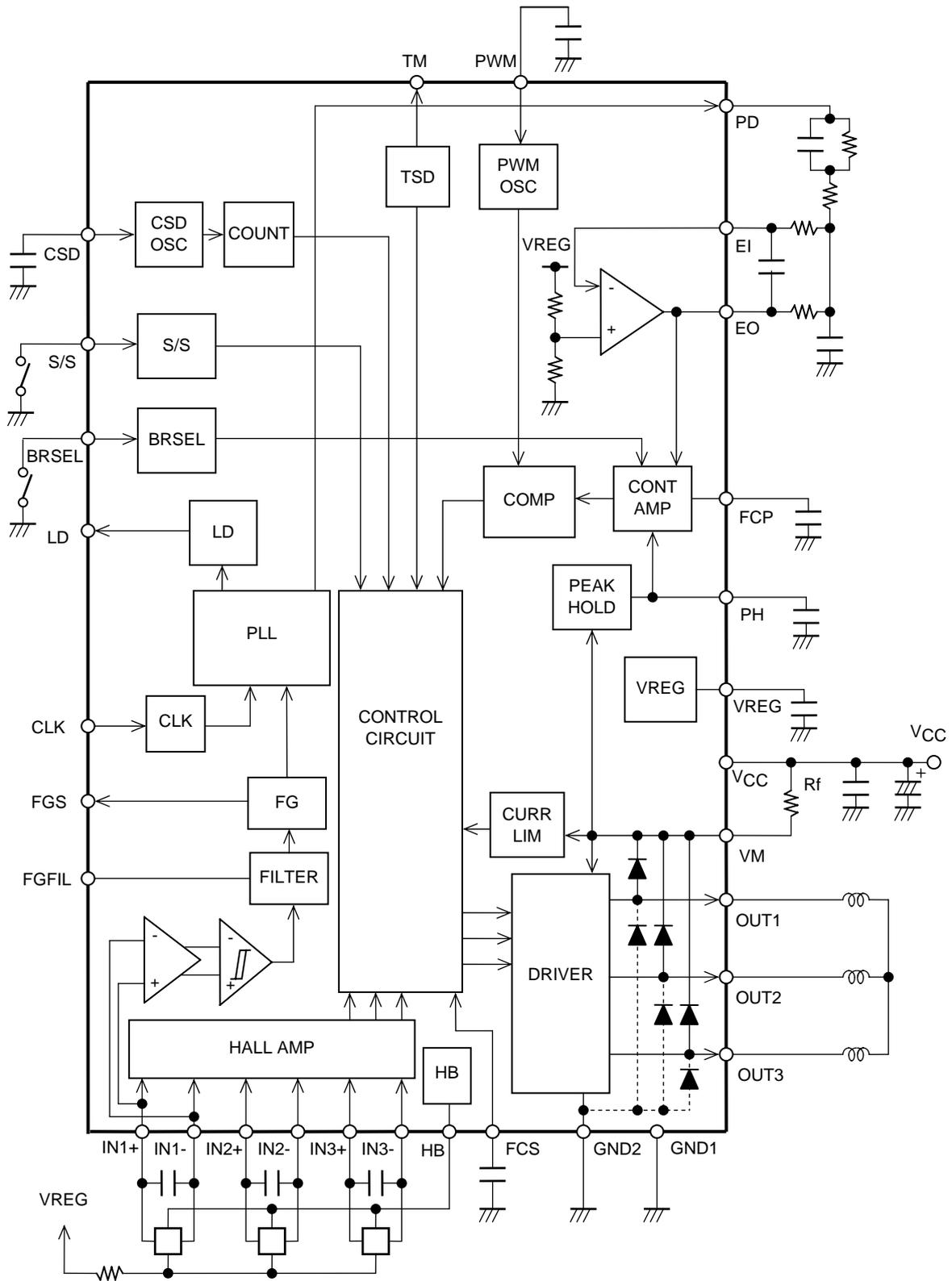
(2)ホール入力の振幅が大きい場合あるいは入力波形の傾斜が大きい場合



オフ区間が発生する(オフ区間はホール入力波形により変化します)。

# LB11873

## 内部等価ブロック図及び外付け参考回路



# LB11873

## 端子説明

端子番号	端子記号	等価回路図	端子説明
2 1 35	OUT1 OUT2 OUT3		モータ駆動 出力端子。
33	GND2		出力部の GND 端子。
28	VM		モータ駆動出力の電源端子および出力電流検出端子。 VCC 間に低抵抗 (Rf) を接続する。 $I_{OUT} = V_{RF} / R_f$ で設定した電流値に出力電流が制限される。
8 9 6 7 4 5	IN1 + IN1 - IN2 + IN2 - IN3 + IN3 -		ホール入力端子。 IN+ > IN- で「H」、逆は「L」とする。 ホール信号は 50mVp-p(差動)以上の振幅が望ましい。ホール信号のノイズが問題となる場合は、IN+, IN- 間にコンデンサを接続する。
10	HB		ホール素子バイアス電流端子。 ストップ時はオフとなる。
11	GND1		制御回路部の GND 端子。
12	PWM		PWM 発振周波数を設定する端子。 GND 間にコンデンサを接続する。 C=680pF で約 34kHz に設定できる。

次ページへ続く。

# LB11873

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
13	FCP		<p>電流制御回路の周波数特性補正端子。 GND 間にコンデンサを接続する (約 0.01<math>\mu</math> ~ 0.1<math>\mu</math>F 程度)。 この端子電圧と PWM 発振波形の比較により、出力デューティが決まる。</p>
14	PD		<p>位相比較出力端子。 位相誤差をパルスのデューティ変化で出力する。</p>
15	EI		<p>誤差アンプ入力端子。</p>
16	E0		<p>誤差アンプ出力端子。</p>
17	FGFIL		<p>FG フィルタ端子。 通常はオープンで使用する。FG 信号のノイズが問題となる場合は、GND 間にコンデンサを接続する(約 20pF 以下)。</p>

次ページへ続く。

# LB11873

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
18	CSD		<p>初期リセットパルス発生端子兼保護回路等の基準発振端子。 GND 間にコンデンサを接続する。</p>
19	FGS		<p>FG シュミット出力端子。</p>
20	LD		<p>位相ロック検知出力端子。 位相ロック時にオンする(“L”となる)。</p>
21	S/S		<p>スタート/ストップ制御端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG ヒステリシス幅 約 0.25V。 「L」でスタート、オープン時「H」レベルとなる。</p>
22	CLK		<p>クロック入力端子。 「L」: 0V ~ 1.0V 「H」: 2.0V ~ VREG ヒステリシス幅 約 0.25V。 fCLK=10kHzmax。 ノイズがある場合は、コンデンサ等で除去して入力する。</p>

次ページへ続く。

# LB11873

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
23	BRSEL		<p>減速制御切換え端子。                      「L」：0V ~ 1.0V                      「H」：2.0V ~ VREG                      オープン時、「H」レベルとなる。                      「L」で逆トルク制御、「H」でフリーランとなる。逆トルク制御の場合、出力下側に外付け SBD が必要となる。</p>
24	PH		<p>RF 波形の平滑用端子。                      GND 間にコンデンサを接続する。</p>
25	FCS		<p>制御ループの周波数特性補正端子。                      GND 間にコンデンサを接続する。</p>
26	TM		<p>モニタ端子。                      通常、オープンで使用する。</p>

次ページへ続く。

前ページより続く。

端子番号	端子記号	等価回路図	端子説明
27	VREG		<p>安定化電源出力端子(5V 出力) 安定化のため、GND 間にコンデンサを接続する(約 0.1μF 程度)。</p>
29	VCC		<p>電源端子。 ノイズ等が入らないように GND 間にコンデンサを接続する (数 10μF 程度以上)。</p>
3,30 31,32 34,36	NC		<p>内部とは接続されていないため、配線として使用可能。</p>
	FRAME		<p>GND に接続する。</p>

LB11873 の概要

1. 速度制御回路

本 IC は、PLL 速度制御方式を採用しているため、高精度でジッタの少ない、安定した回転を実現できる。この PLL 回路は CLK 信号(立ち下がりエッジ)と FG 信号(IN1 入力)が“L” “H”に変化するエッジ、FGS 出力の立ち上がりエッジのエッジの位相差を比較し、その誤差出力で制御している。制御時の FG サーボ周波数は CLK 周波数と同一となる。

$$FFG(\text{サーボ})=f_{CLK}$$

2. 出力駆動回路

本 IC は、相切り時出力電流を滑らかに切り替えることにより、モータの振動・騒音を低減している。相切り時出力電流の変化(傾き)は、ホール入力波形の傾斜を利用しているため、ホール入力波形の傾斜が急峻であると、相切り時出力電流の変化も急峻となり、低振動・低騒音化の効果が小さくなる。したがって、ホール入力波形の傾斜については注意が必要である。

モータの速度制御については、下側出力 Tr を PWM スwitchングし、デューティを変化させることにより駆動力を調整する。PWM オフ時の回生電流用の OUT - VM 間ダイオードは内蔵されている。

OUT - GND 間は寄生ダイオードのため、減速時に逆転制御モードを選択した時は、ショットキーダイオードを付ける。また、出力電流が大きいときに問題がある場合(誤動作や下側キックバック時の波形乱れ等)も、OUT - GND 間にショットキーダイオードを付ける。

なお、定常回転時の IC 発熱を低減する必要がある場合、OUT - VM 間にショットキーダイオードを付けると効果がある場合がある(PWM スwitchングの回生電流を内部ダイオードではなく、外部ダイオードに負担させることによる効果)。

### 3. 電流制限回路

電流制限回路は、 $I=V_{RF}/R_f$  ( $V_{RF}=0.5V_{typ}$ ,  $R_f$ : 電流検出抵抗) で決まる電流で制限(ピーク電流を制限)する。制限動作としては、出力のオンデューティが小さくなり、電流を抑える。

電流制限回路は、PWM 動作によるダイオードの逆回復電流を検出して電流制限動作が誤動作しないようにするため、動作に遅延(約  $2\mu s$ )がある。モータのコイル抵抗が小さかったり、インダクタンスが小さいと、起動時(モータの逆起電力がない状態)の電流変化が速いため、この遅延により設定電流以上で電流制限動作をする場合がある。この場合は、遅延による電流増加分を考慮して電流制限値を設定する必要がある。

### 4. パワーセーブ回路

本 IC は、ストップ状態では消費電流を減少させるパワーセーブ状態となる。パワーセーブ状態では、大部分の回路のバイアス電流をカットすることにより行っている。パワーセーブ状態においても、5V レギュレータ出力は出力される。

### 5. 基準クロック

外部から入力するクロック信号は、チャタリング等のノイズがないように注意する必要がある。入力回路にはヒステリシスを持たせてあるが、問題となる場合は、コンデンサ等によりノイズを除去してから入力すること。

クロック断線保護回路を内蔵している。下式で求める周波数以下の信号が入力された場合、正常な制御は行われず、間欠駆動となる。

$f(\text{Hz}) = 1.02 \div \text{CCSD} \times \text{CCSD}(\mu\text{F})$  : CSD 端子 - GND 間コンデンサ  
0.033 $\mu\text{F}$  のコンデンサを使用した場合、約 31Hz となる。

完全にクロック無入力状態でスタート状態とされた場合、モータが多少回転した後に駆動はオフされる。

モータの回転が停止して、拘束保護時間以上経過した後に、クロックが再入力されても駆動を再開しない。しかし、拘束保護回路が動作する前に、クロックが再入力されると駆動は再開される。

### 6. PWM 周波数に関して

PWM 周波数は PWM 端子に接続するコンデンサ容量 C(F) により決まる。

$f_{\text{PWM}} = 1 / (43000 \times C)$

680pF のコンデンサを付けると、約 34kHz の発振となる。PWM 周波数は低すぎるとスイッチング音がモータから聞こえ、高すぎると出力でのパワーロスが増加するため、15k ~ 50kHz 程度が望ましい。出力の影響を受けにくいようにコンデンサの GND は、できるだけ IC の制御部 GND(GND1 端子)近傍に配線すること。

### 7. ホール入力信号

ホール入力は、50mVp-p 以上の振幅(差動)の信号入力が必要である。ノイズの影響により、出力波形に乱れが生じる場合は、ホール入力ピン間(+, - 間)にコンデンサを付けること。

### 8. FCS 端子

FC 端子に接続するコンデンサは、制御ループの周波数特性補正用として必要である(約 0.1 $\mu\text{F}$  程度)。

### 9. 拘束保護回路

モータ拘束時の IC およびモータの保護を行うため、拘束保護回路を内蔵している。スタート状態で FG 信号(IN1 の片側エッジ)が一定時間切換わらないと、出力の駆動をオフする。設定時間は、CSD 端子に接続するコンデンサ容量により決まる。

設定時間(s)  $30.5 \times 0.98 \times \text{CCSD}(\mu\text{F})$

0.033 $\mu\text{F}$  のコンデンサを使用した場合、保護動作時間は約 0.99 秒となる。

拘束保護状態を解除するには、ストップ状態(100 $\mu\text{s}$  以上保持)とするか、電源の再投入が必要である。拘束時における FG 信号にノイズがあると、拘束保護回路が正常に動作しない場合がある。

## 10. 位相ロック信号

### 位相ロックの範囲

本 IC は、速度系のカウンタ等を持っていないため、位相ロック状態における速度誤差範囲は、IC 特性のみでは決めることができない (FG 周波数変化の加速度が影響するため)。モータとして規定する必要がある場合は、実際にモータ状態で測定して決めてもらう必要がある。FG の加速度が大きい状態で速度誤差は生じやすいため、起動時のロック引き込み時やクロック切換えによるアンロック時が一番速度誤差としては大きくなると思われる。

### 位相ロック信号のマスク機能

ロック引き込み時のハンチングによる短時間の“L”信号をマスクすることにより、安定した状態でロック信号を出すことができる。しかし、マスク時間分はロック信号出力が遅れることになる。

マスク時間は、CSD 端子に接続するコンデンサ容量により設定する。

$$\text{マスク時間(s)} = 6.5 \times 0.98 \times \text{CCSD}(\mu\text{F})$$

0.033 $\mu$ F のコンデンサを使用した場合、約 210ms のマスク時間となる。完全にマスクする必要がある場合は、マスク時間は十分に余裕を持って設定すること。

## 11. 初期リセット

スタート時にロジック回路を初期リセットするため、CSD 端子電圧が 0 約 0.63V となるまでリセット状態となる。リセットが解除された後、出力の駆動が開始される。リセット時間は、ほぼ次の式で算出できる。

$$\text{リセット時間(s)} = 0.13 \times \text{CCSD}(\mu\text{F})$$

リセット時間は、100 $\mu$ s 以上が必要である。

## 12. 電源安定化

本 IC は出力電流が大きく、スイッチングによる駆動方式であるため、電源ラインが振られやすい。

よって、V<sub>CC</sub> 端子 - GVD 間には、安定化のために十分な容量のコンデンサを接続する必要がある。コンデンサの GND 側はパワー GND である GND2 端子に付け、できるだけピン近傍に付ける。

コンデンサ (電解コンデンサ) がピン近傍に付けられない場合は、ピン近傍には約 0.1 $\mu$ F 程度のセラミックコンデンサを付けること。

減速時に逆転制御モードを選択した場合、電源に電流が戻る状態があるため、電源ラインが特に振られやすくなる。高速回転時のロック引き込み時において、電源ラインが一番振られやすくなるので、特に注意して検討し、十分な容量のコンデンサを選択する必要がある。

電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

## 13. VREG 安定化

制御回路の電源である VREG 電圧を安定化するために 0.1 $\mu$ F 以上のコンデンサを接続する。そのコンデンサの GND は、できるだけ IC の制御部 GND (GVD1 端子) 近傍に配線すること。

## 14. 誤差アンプ周辺定数

誤差アンプ部の外付け部品は、ノイズの影響を受けにくいようにできるだけ IC 近傍に配置すること。モータからできるだけ離れた配置とすること。

## 15. FRAME ピン

FRAME ピンは電解コンデンサの GND 部分で GND2 と接続すること。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。