

FPGA per la prototipazione, ASIC per la produzione

Terry Danzer
Digital ASICs product marketing

Cale Entzel
Systems architect

ON Semiconductor

La migrazione di un progetto basato su FPGA in un progetto basato su ASIC può sembrare a prima vista troppo impegnativo per un team di progettazione, ma un'attenta pianificazione e la collaborazione con un fornitore di ASIC esperto possono facilitare notevolmente questo processo

Gli FPGA (Field-Programmable Gate Array) si propongono come una tecnologia molto efficace per progettare e realizzare i prototipi della logica digitale presente nelle moderne applicazioni elettroniche, ma l'elevato costo di questi dispositivi programmabili potrebbe renderne proibitivo il suo utilizzo nella produzione in grande serie. Esistono in realtà diverse alternative per trasformare un progetto digitale realizzato tramite FPGA in un equivalente progetto adatto alla produzione di massa. Soluzioni a basso costo economico come i circuiti ASIC (Application-Specific Integrated Circuit) strutturati, i circuiti integrati basati su celle standard e gate array di gate offrono prestazioni più elevate, un minore consumo energetico, una migliore integrazione e una maggiore immunità ai disturbi elettromagnetici. La migrazione di un progetto basato su FPGA in un progetto basato su ASIC può sembrare a prima vista troppo impegnativo per un team di progettazione, ma un'attenta pianificazione e la collaborazione con un fornitore di ASIC esperto possono facilitare notevolmente questo processo.

Progettare un nuovo prodotto sfruttando la tecnologia FPGA permette di introdurre rapidamente eventuali modifiche di progetto direttamente a livello hardware. Quando il codice del progetto è stabile e il dispositivo è pronto per la produzione, la migrazione da un FPGA a un ASIC può comportare una riduzione fino al 50% il costo unitario di produzione. I bassi costi di NRE (non-recurring engineering) in un progetto ASIC di media grandezza e la conseguente riduzione del prezzo unitario di vendita rendono questa strategia un mezzo efficace per abbattere le spese complessive e garantire agli utenti concreti vantaggi economici.

Per agevolare il processo di migrazione sin dall'inizio, i progettisti devono considerare diversi aspetti:

- i sistemi odierni sono più grandi e complessi e contengono

blocchi funzionali IP (proprietà intellettuale) più specializzati rispetto al passato. Un'attenta scelta della proprietà intellettuale nella prima fase di progetto è di fondamentale importanza;

- sviluppare i due progetti FPGA e ASIC sfruttando un flusso di progettazione in parallelo contribuirà ad accelerare il processo di migrazione;

- pianificare sin dall'inizio la portabilità verso l'ASIC aiuterà ad abbreviare il time-to-market e a ridurre i costi di sviluppo (Fig. 1);

- una buona codifica, come l'uso di tecniche di progettazione sincrona, consentirà di trasportare l'architettura su differenti piattaforme tecnologiche;

- la documentazione è fondamentale. Se si dedica un po' di tempo e qualche sforzo nelle prime fasi di progetto, la migrazione richiederà pochissime risorse supplementari.

La migrazione può permettere di ottenere un componente alternativo geometricamente compatibile con l'FPGA originale. Se il sistema è flessibile per quanto riguarda la scelta del package e footprint, i progettisti possono ottenere un'ulteriore riduzione in termini di costi.

I sistemi più complessi potrebbero richiedere diversi circuiti FPGA per realizzare un prototipo di un intero progetto SoC (System-on-a-Chip). Gli ASIC offrono una maggiore densità di gate e prestazioni di base maggiori rispetto agli FPGA. Ciò consente di combinare più FPGA in un unico SoC ASIC, risparmiando spazio prezioso sulla scheda.

Se l'architettura non permette una piena integrazione, è possibile realizzare una sostituzione funzionale diretta e veloce, producendo un ASIC multifunzionale in grado di emulare i diversi circuiti FPGA.

Questa soluzione ottimizza i risparmi riducendo i costi per la trasformazione ASIC.

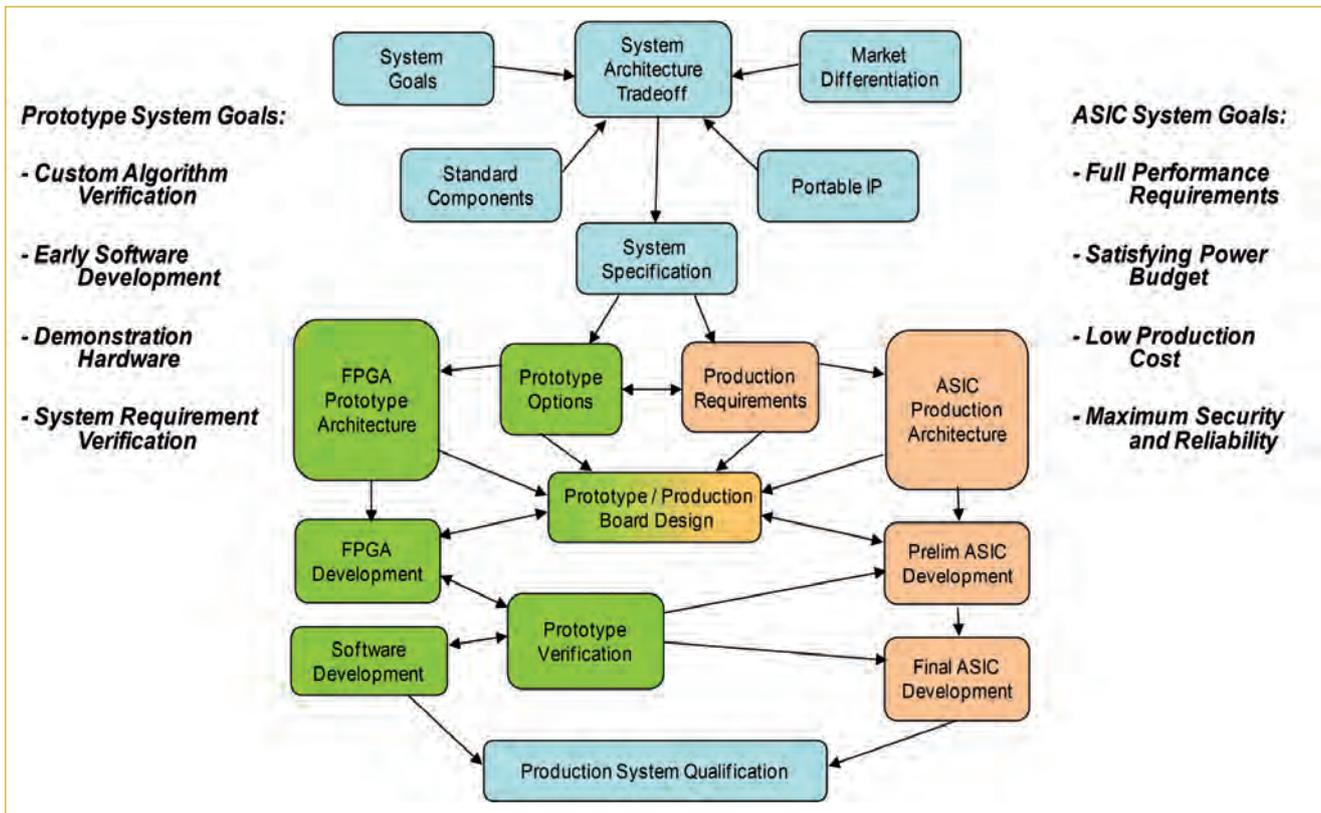


Fig. 1 - Modello di progettazione parallela di sistema

Flussi di progettazione parallela

I flussi di progettazione parallela permettono di abbreviare i tempi di sviluppo dell'ASIC. La prototipazione FPGA permette ai team tecnici di verificare la funzionalità prima della realizzazione fisica del circuito ASIC e dà inoltre la possibilità di collaudare in maniera tempestiva l'hardware e il software utilizzati. In questo flusso di progettazione, il codice RTL (Register Transfer Level) viene sviluppato e adattato all'FPGA e contestualmente dato al fornitore di ASIC per essere analizzato e rivisto. Ciò permette al fornitore di ASIC di fornire raccomandazioni ed effettuare modifiche al codice al fine di aumentarne la robustezza. Gli script di temporizzazione e le architetture di clock vengono sviluppate sia per l'FPGA che per l'ASIC. Il package dell'ASIC viene scelto valutando anche le problematiche di integrità del segnale e della dissipazione di potenza. Il circuito stampato può essere progettato in questa fase tenendo conto sia della presenza degli FPGA, che assorbono più potenza, sia della successiva migrazione più circuiti ASIC fisicamente più piccoli e più efficienti sotto l'aspetto energetico.

Una possibilità è mettere il progetto dell'ASIC in attesa della verifica finale dell'FPGA oppure avviare immediatamente la produzione in serie. Più comunemente, il team ASIC inizia

le attività di progettazione logica non appena l'architettura di base è fissata, i requisiti della proprietà intellettuale sono definiti e la piedinatura è stabilita. Uno sviluppo preventivo dell'ASIC può anche includere lo sviluppo di strutture per facilitare il collaudo (Design For Test, DFT), lo sviluppo di script per un'analisi statica della temporizzazione (Static Timing Analysis, STA), la pianificazione delle aree del chip da destinare ai vari blocchi funzionali e il posizionamento delle celle. Eventuali modifiche importanti al progetto possono essere rapidamente valutate nel flusso ASIC per far sì che gli script DFT e di temporizzazione non debbano poi essere modificati. La convergenza finale della temporizzazione e il flusso di progettazione fisica restano in attesa finché il progetto è pronto per la migrazione ASIC.

Progetto per la portabilità

Le decisioni prese durante la fase di progettazione FPGA possono complicare in maniera significativa il processo di migrazione verso una soluzione ASIC a basso costo per una produzione di massa. È quindi importante comprendere durante la fase di progetto dell'FPGA quali saranno i rischi di questa conversione. Ciò consentirà di realizzare l'ASIC nei tempi previsti e con il minimo sforzo.

Proprietà intellettuale (IP)

Se la migrazione da FPGA ad ASIC rappresenta una possibilità, il progettista FPGA deve attentamente valutare tutte le specifiche della proprietà intellettuale. Una scelta allettante è quella di utilizzare il software proprietario fornito dall'FPGA, spesso senza ulteriori costi o licenze. Sebbene questo software possa semplificare il processo di realizzazione fisica, l'impiego di questo tipo di proprietà intellettuale potrebbe limitare la possibilità di migrazione in ASIC per via di complicazioni nel mantenere la compatibilità con le funzioni e con il ciclo di progettazione. Progettare utilizzando blocchi funzionali indipendenti da tecnologie e piattaforme, può aiutare a prevenire questa eventualità. Le licenze delle proprietà intellettuali andrebbero concordate, ove possibile, per consentirne una realizzazione tramite FPGA oppure ASIC. Ciò faciliterà la migrazione verso una qualunque tecnologia. La scelta dei blocchi funzionali di proprietà intellettuale dovrebbe inoltre essere presa sulla base dell'utilizzo di interfacce standard. Per progetti SoC avanzati, sono disponibili pile di protocolli che si indirizzano al livello fisico sia FPGA che ASIC, utilizzando una stessa interfaccia applicativa.

Piano per un potenziale cambiamento di tensione

La scheda di sistema dovrà essere progettata in modo da permettere un cambiamento di tensione tra FPGA e ASIC. I dispositivi FPGA sono realizzati con le tecnologie più avanzate al fine di soddisfare i requisiti relativi alle prestazioni e al numero di gate da utilizzare. Spesso, la stessa funzione e le stesse prestazioni possono essere ottenute con un ASIC, utilizzando un processo tecnologico più tradizionale e meno costoso. Il cambio di tecnologia potrebbe richiedere una diversa tensione di lavoro del nucleo. Se si passa a un ASIC utilizzando la stessa tensione dell'FPGA, si hanno meno margini per migliorare le prestazioni e risparmiare sui costi. Si dovrà progettare il circuito stampato con un'alimentazione separata per il nucleo dell'FPGA. Ciò permetterà di effettuare una semplice regolazione di tensione o cambiare una resistenza per ottenere la tensione di alimentazione richiesta dall'ASIC.

Piano per la realizzazione di un ASIC secondo lo standard JTAG

I requisiti JTAG (Joint Test Action Group) rappresentano un altro problema da considerare a livello di circuito stampato. Spesso un FPGA non utilizza tutti gli ingressi e le uscite disponibili, ma tutti gli ingressi e le uscite sono comunque incluse nella specifica JTAG a livello di scheda. Se una risorsa non è utilizzata, essa deve essere tenuta libera nell'ASIC per adattarsi all'architettura FPGA; in questo modo, il chip

ASIC potrebbe aumentare di dimensioni e potrebbero essere compromessi ulteriori risparmi. La soluzione ottimale è di adattare le specifiche JTAG all'ASIC utilizzando unicamente gli ingressi/uscite richiesti dal progetto. È disponibile un file BSDL (Boundary-Scan Description Language) descrittivo del circuito ASIC che può essere utilizzato per il collaudo del circuito stampato.

Fornire una documentazione completa del progetto

La quantità e la precisione della documentazione di progetto può avere un grande impatto sugli sforzi richiesti per convertire un FPGA in un ASIC. Durante lo sviluppo dell'FPGA, i progettisti dovrebbero fornire la seguente documentazione dettagliata: piano temporale di sistema, percorsi di temporizzazione multiciclo e asincroni, margini temporali di sistema, frequenze di clock, diagrammi di clock e di reset, standard di I/O, specifiche IP e qualunque altro elenco di parametri importanti di progetto. Fornendo questa documentazione al team di sviluppo ASIC, si riduce enormemente il carico

di lavoro richiesto per ricreare il sistema nel dettaglio e permette di agevolare notevolmente il processo di conversione. Specificare la temporizzazione del sistema in base alla capacità di temporizzazione dell'FPGA

Nel progettare un FPGA, occorre considerare la differenza tra la capacità di temporizzazione I/O specifica dell'FPGA e il piano temporale richiesto per garantire il funzionamento del sistema. Molti FPGA possono presentare tempi di propagazione dal clock all'uscita (clock-to-out) più veloci di quelli richiesti dall'applicazione. Se il progettista fornisce i requisiti di propagazione del sistema anziché la capacità di propagazione dal clock alle uscite dell'FPGA, il processo di conversione può essere più agevole e si può utilizzare un processo tecnologico ASIC più vecchio risparmiando sui costi. In aggiunta, il progettista può ridurre la potenza dei circuiti di pilotaggio di ingresso/uscita migliorando quindi l'integrità dei segnali a livello di circuito stampato.

Sviluppare robuste suite per la verifica dei progetti

Grazie alla natura riprogrammabile di un FPGA, i progettisti possono rimediare facilmente alla mancanza di un parametro di temporizzazione o alla comparsa di un bug funzionale, riprogrammando e ricollaudando velocemente l'FPGA stesso. In un ambiente ASIC, i costi e i tempi richiesti per rimediare a questi errori sono molto maggiori. È quindi estremamente importante avere a disposizione suite di verifica pienamente funzionali, includendo banchi di simulazione e vincoli STA, in particolare per i blocchi IP che saranno sostituiti nella

È importante avere a disposizione suite di verifica pienamente funzionali

realizzazione dell'ASIC. Queste suite di verifica possono essere trasportate nell'ambiente ASIC per garantire la correttezza della conversione prima che il dispositivo in silicio venga realizzato.

Rispettare gli standard di codifica RTL

Lo stile di codifica RTL determina in grande misura diversi aspetti chiave del progetto tra cui l'architettura, i limiti di collaudabilità, l'ingombro superficiale, le prestazioni temporali e la dissipazione di potenza. Lo stile di codifica RTL può anche generare un disadattamento tra codifica RTL e simulazione a livello di gate, dal momento che i simulatori logici e i sintetizzatori logici potrebbero interpretare in maniera diversa il codice RTL. In questo senso è preferibile codificare il progetto RTL secondo gli standard riconosciuti. Il team di progetto dovrebbe inoltre verificare il codice RTL utilizzando gli analizzatori di sintassi RTL disponibili sul mercato.

Tecniche di progettazione sincrona

Un progetto sincrono può essere trasportato in qualsiasi processo tecnologico purché rispetti i requisiti prestazionali del sistema. Un progetto interamente sincrono è un progetto che possiede un unico clock principale e un unico set/reset principale che controlla tutti gli elementi sequenziali del progetto. Tutti i segnali di ingresso vengono sincronizzati al clock, pertanto non violano mai i tempi di setup e tempi di hold. Non sono molti i progetti che rispettano questa definizione alla lettera, anzi, spesso nei progetti vengono richiesti più domini di clock. Occorre prestare molta attenzione a sincronizzare la trasmissione dei dati tra questi domini utilizzando un protocollo di handshaking o tecniche FIFO (first-in-first-out). Andrebbero evitati gated-clock a meno che non siano richiesti per motivi di efficienza energetica. Se occorre utilizzare dei gated-clock, i progettisti dovrebbero lavorare a stretto contatto con il fornitore di ASIC al fine di impedire potenziali glitch che si possono generare sulle linee del clock. Un altro fattore importante è la collaudabilità del progetto. Evitare di utilizzare latch e anelli di retroazione combinatori e dare la possibilità di resettare tutti gli elementi sequenziali.

Packaging

Nel progettare un FPGA è importante per il team di progetto esaminare i requisiti del package e il layout circuitale della scheda. Gli FPGA consumano molta più potenza degli ASIC e possono richiedere un package più sofisticato. L'FPGA è inoltre meno efficiente nella logica di base. Se il progetto è inserito in una famiglia FPGA più grande per rispettare i

Gli FPGA consumano molta più potenza degli ASIC e possono richiedere un package più sofisticato

requisiti logici del nucleo, il progetto può adattarsi a una piedinatura più piccola quando migra in un ASIC. I costi del package dipendono dal numero di contatti e dalle prestazioni del substrato. Se il progetto può utilizzare un package standard di qualità inferiore e con un numero minore di contatti, il costo del dispositivo può essere notevolmente ridotto. In genere è disponibile un package sostitutivo in grado di

ridurre al minimo la rielaborazione del circuito e di richiedere pochi cambiamenti o nessun cambiamento al sistema, a livello sia software sia hardware.

Informazioni richieste per la conversione

Le informazioni richieste dal fornitore ASIC variano a seconda dei requisiti tecnici di progetto. In generale, più sono le informazioni fornite, più accurato sarà il progetto ASIC. Ad ogni modo, le informazioni minime richieste sono:

- Temperatura ambiente di lavoro prevista
- Tensione di alimentazione del nucleo desiderata
- Tensione(i) sulle piazzole di contatto
- Specifiche relative a ingressi, uscite e segnali bidirezionali
- Tipo di ricetrasmittitore (LVDS, HSTL, SSTL, LVPECL), velocità e versione
- Requisiti di memoria (RAM, ROM)
- Requisiti proprietari (tutte le informazioni proprietarie rilevanti come nome, descrizione breve, quantità, velocità e compatibilità con gli standard esistenti, fornitore e requisiti di licenza)
- Utilizzo e scopo di blocchi funzionali proprietari di temporizzazione come DLL e PLL
- Tipo di contenitore
- Codice di progettazione (RTL, Verilog, VHDL, FPGA)
- Requisiti di temporizzazione
- Budget di potenza

Gli FPGA permettono di commercializzare rapidamente un prodotto e costituiscono un efficiente strumento di prototipazione, ma l'elevato costo degli FPGA di fascia medio-alta può essere proibitivo per passare a una produzione di massa. Con una corretta pianificazione durante la fase di sviluppo, la migrazione da FPGA ad ASIC può essere perfezionata rapidamente senza ulteriori sforzi. ■

Riferimenti

Michael Keating & Pierre Bricaud, Reuse Methodology Manual [Manuale delle metodologie di riciclo], Kluwer Academic Publishers (1999).