

# Celle standard ad alta tensione per i SoC di nuova generazione

**Joe Howell**  
ON Semiconductor

La migrazione dei dispositivi a semiconduttore verso geometrie sempre inferiori è un fattore chiave nella progettazione di System-on-Chip (SoC).

La progressione verso nodi tecnologici sempre più avanzati non accenna a diminuire da oltre quarant'anni e con molta probabilità questo trend continuerà nel prossimo futuro. Tutto ciò ha permesso la diffusione di un numero sempre maggiore di contenuti digitali e lo sviluppo di memorie contraddistinte da capacità sempre maggiori, consentendo inoltre l'interazione dei sistemi con il mondo reale attraverso la conversione analogo/digitale dei segnali (sensori e così via).

Le tecnologie HV (High Voltage, alta tensione) per geometrie sempre più ridotte consentono un'elaborazione più sofisticata dei segnali (tramite DSP) e l'utilizzo di microcontrollori contraddistinti da prestazioni molto elevate, nonché il supporto di interfacce ad alta velocità (come Ethernet 10/100, CAN 2.0, USB 2.0 e I2C). Grazie alle tecnologie di processo ad alta tensione, i progettisti di sistemi possono integrare circuiti logici ad alta densità e circuiti a segnale misto con driver a elevate prestazioni all'interno di un unico circuito integrato. Tuttavia, vi è tutta una serie di ostacoli da superare prima di arrivare al risultato desiderato.

## I problemi dell'alta tensione

Sebbene l'alta tensione possa garantire evidenti vantaggi per quel che concerne le prestazioni del sistema, vi sono alcuni aspetti da prendere in considerazione prima di fare questa scelta. I team di progettazione che propendono per circuiti ASIC (Application Specific Integrated Circuits) basati su processi HV caratterizzati da geometrie di processo ridotte dovrebbero tener conto dell'impatto che questi circuiti avranno sulle prestazioni del sistema. Di seguito le principali considerazioni.

**1. Affidabilità del sistema e vita operativa.** È indispensabile che i progettisti conoscano con certezza il tempo in cui il loro sistema rimarrà nel dominio dell'alta tensione. Questo elemen-

**Una descrizione delle metodologie a celle standard HV, che consentono ai progettisti di mitigare i rischi connessi allo sviluppo di design che prevedono l'uso di tensioni elevate**

to permette di verificare la fattibilità dell'uso di circuiti ad alta tensione, oppure se sul lungo termine il loro impatto sulle prestazioni del sistema non è accettabile.

**2. Costi della tecnologia.** I processi BCD (Bipolar CMOS-DMOS) sono molto costosi da realizzare e di conseguenza non dovrebbero essere utilizzati prima di attente valutazioni. È infatti opportuno effettuare una corretta analisi preventiva del sistema proposto, visto che potrebbero anche esserci soluzioni meno costose e più adatte al caso specifico. Ad esempio un approccio multichip potrebbe risultare più idoneo rispetto a una soluzione che preveda l'integrazione su un unico chip di silicio.

**3. Scariche elettrostatiche (ESD).** A causa delle elevate tensioni coinvolte, esiste un rischio intrinseco di esposizione alle scariche elettrostatiche. Inoltre è probabile che venga richiesta una qualificazione dell'IP in condizioni di utilizzo in presenza di scariche elettrostatiche, per assicurare che non esistano possibilità di provocare eventuali danni allo stesso.

**4. Dissipazione di calore.** Per comprendere e mitigare gli effetti legati alla produzione di calore nel chip, è necessario procedere a una modellazione termica sia del die sia del relativo package, nonché adottare tecniche di incapsulamento avanzate ed efficienti dal punto di vista termico.

**5. Suddivisione delle sezioni LV/HV del chip.** A seconda delle diverse tensioni presenti su uno stesso substrato di silicio, l'isolamento dell'alta tensione può essere penalizzante dal punto di vista degli ingombri. Una corretta disposizione dei circuiti in base ai differenti domini di tensione è indispensabile se si desidera minimizzare l'occupazione di spazio.

**6. Problemi di latch-up.** La presenza di circuiti di pilotaggio di

grandi dimensioni possono facilmente generare fenomeni transitori con sovraelongazioni e oscillazioni, che variano a seconda del carico utilizzato. Risulta quindi indispensabile proteggere i sottili strati di ossido di gate del chip, in modo da non ridurre la durata operativa.

**7. Modellazione della zona di funzionamento sicuro (Safe Operating Areas, SOA).** Nel progetto di circuiti analogici ad alta tensione, il progettista deve conoscere quali sono le circostanze che possono portare i transistor al punto di rottura. Per questo motivo è indispensabile che i modelli di simulazione dei transistor prevedano opportuni flag che avvertono il progettista durante la simulazione, non modo di consentire di limitare i rischi.

**8. Problemi di banda.** A causa degli elevati carichi capacitivi elevati e del fatto che nella progettazione di chip HV operanti a più elevata frequenza sono richiesti strati di ossido di gate necessariamente più sottili, vi potrebbero essere limitazioni di velocità a livello di sistema. Pertanto è necessario accertarsi che tali limitazioni non abbiano effetti negativi sulle prestazioni del sistema in generale.

**9. Problemi di temperatura.** Se il sistema deve operare in ambienti difficili (come un autoveicolo, uno stabilimento industriale e così via), occorre considerare attentamente anche l'effetto della temperatura sulle prestazioni del sistema.

**10. Comprensione dei requisiti di progetto relativamente all'alta tensione.** A volte la soluzione migliore non è quella completamente integrata e la sezione ad alta tensione dovrebbe in effetti trovarsi all'esterno del chip. La comprensione dei requisiti di progetto relativi all'alta tensione permette all'architetto di sistema e al team di progetto di prendere le decisioni più idonee capaci di offrire al consumatore la soluzione migliore.

Da quanto appena detto appare chiaro che chiunque voglia intraprendere un progetto di questo tipo dovrebbe affidarsi a un produttore di semiconduttori che abbia maturato una significativa esperienza sui sistemi ad alta tensione e sia in grado di mettere a disposizione tecnologie di processo innovative e ottimizzate per questo scopo. Diversamente, il sistema realizzato potrebbe non risultare all'altezza delle aspettative in termini sia di prestazioni sia di durata operativa.

### Piattaforme tecnologiche modulari

La tecnologia smart-power di terza generazione I3TXX sviluppati da ON Semiconductor è una piattaforma ad alta tensione che utilizza processi BCD da 0,35  $\mu\text{m}$ . Essa è ideale per lo sviluppo di progetti di sistemi a segnale misto ad alta tensione in applicazioni automobilistiche, militari, medicali e industriali. La piattaforma prevede ossidi di gate a 3,3 V e la possibilità di avere un doppio gate a 18 V per alcune varianti tecnologiche. Sono anche disponibili diversi schemi di isolamento tra cui P-sinker, deep-well, e deep-trench con funzionamento fino a 62

V. Questa famiglia di tecnologie è pienamente compatibile con una vasta gamma di blocchi IP funzionali già disponibili. Possiede un intervallo di temperature di giunzione da -40 °C a 150 °C con una temperatura operativa massima di 175 °C.

Il processo ONC18 di ON Semiconductor è una tecnologia CMOS da 0,18  $\mu\text{m}$  a basso costo, compatibile con le applicazioni industriali e a breve utilizzabile anche fino a 100 V. Il processo completo comprende ingressi/uscite a doppio gate a 1,8 V / 3,3 V, condensatori MIM standard e ad alto k, resistori e una struttura con sei strati metallici. Ha un range termico alla giunzione che va da -55 °C a 125 °C con una temperatura operativa massima di 150 °C. Il processo ONC18 è particolarmente adatto allo sviluppo di circuiti a bassa potenza ad alto grado di integrazione che combinano funzioni digitali e a segnale misto, consentendo la creazione di dispositivi ASIC che comprendono fino a 10 milioni di porte logiche. Può supportare fino a 1,1 Mbit di SRAM sincrona a porta singola e 512 kbit di SRAM a porta doppia, oppure 1,1 Mbit di ROM ad alta densità

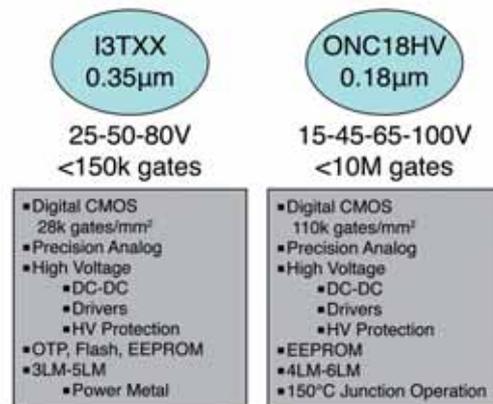


Fig. 1 - Esempi di processi ad alta tensione offerti da ON Semiconductor

e basse perdite con VIA programmabili. La EEPROM è disponibile per trim analogici o con capacità di memorizzazione (dati e programmi) fino a 8 kbyte.

Impiegando un approccio basato su piattaforme tecnologiche modulari come quelle appena descritte, è stato possibile sfruttare gli IP esistenti ideati in origine per processi a bassa tensione, minimizzando i costi fissi di progettazione. Questo significa che, se opportuno, sia le funzioni HV sia le funzioni a bassa potenza possono essere realizzate sullo stesso chip.

Le metodologie a celle standard ad alta tensione descritte in questo articolo consentono ai team di progettazione di ridurre i rischi associati allo sviluppo di dispositivi che utilizzano l'alta tensione. L'affidabilità, le prestazioni nominali e la portata del progetto proposto soddisferanno quindi le aspettative e giustificheranno l'investimento fatto. >