

ローサイド用自己保護型MOSFET



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

はじめに

自動車および産業用制御エレクトロニクスでは絶えず密度と複雑さが増大しており、可能な場合は部品の集積化を進め、スペース節約、コスト削減、信頼性向上を図る必要があります。電力スイッチへの保護機能の統合も継続的な新製品の開発を促進しています。自動車および産業用エレクトロニクスは、屋外など開放的な環境で使用されることが多く、大きな電圧過渡、高電力および高誘導性負荷、多数の外部接続、人的介入などにより、障害保護回路が必要となっています。パワーMOSFETのプロセス技術の進歩により、電流制限などの保護機能と標準的なMOSFETパワー・トランジスタ・スイッチを経済的に統合できるようになりました。本資料では、オン・セミコンダクターのHDPlusモノリシック・ローサイド小型MOSFETファミリのテクノロジーと動作について説明します。

プロセス・テクノロジー

経済的なモノリシック・プロセスを実現するための鍵は、多数の層にわたるBi-CMOSプロセス・フローを回避することです。このようなフローでは、複雑で高精度の制御回路を実現できますが、コスト

が非常に高くなります。さらに、これらのフローでは通常、出力ドライブ段にラテラル・パワーMOSFETを利用しますが、出力トランジスタのサイズが大きいため、負荷のドライブ能力が大幅に制限されます。効率に優れた垂直DMOS出力トランジスタを採用できますが、さらに複雑で高価なプロセス・フローが必要で、標準的なMOSFETフローに比べて最大3倍のコストを要する可能性があります。

オン・セミコンダクターのHDPlusローサイド製品は、標準的な垂直DMOSトランジスタ・プロセス・フローを利用し、追加プロセス・ステップなしで大部分の保護素子を統合しています。1つのプロセス・ステップを追加するだけで、より複雑な保護回路を実現できます。このプロセス構造は、電源側グラウンドの電位を基準とする制御素子を採用していますが、制御信号(ゲート)電圧の供給はフィルタされ安定化された電源から得られる場合が多いため、それらの素子は負荷の電源電圧から絶縁できます。

一般的なトポロジ

Figure 1に、ローサイドHDPlus製品に適した3つの一般的な回路トポロジを示します。

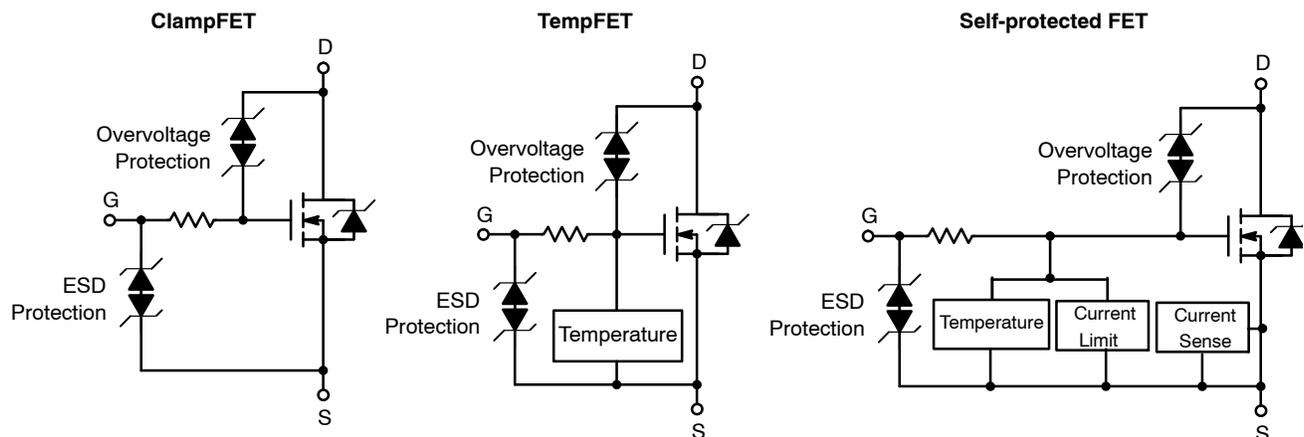


Figure 1. Block Diagrams of ClampFET, TempFET, and Self-Protected Topologies

ClampFETトポロジは、ゲート入力のESD保護機能とゲート・ドレイン間のアクティブ・クランプ(後述)を活用し、誘導性負荷の切り替え時に役立ちます。熱的に保護されているClampFETトポロジは、過熱シ

ャットダウン保護機能を追加しますが、この機能はオン・セミコンダクターのNCV7513ローサイドMOSFETプリドライバ・デバイスと組み合わせて使用するために特別に設計されたものです。完全に保

AND8202/D

護されたローサイド・トポロジは、ClampFETのすべての機能を搭載しているほか、電流制限回路と過熱シャットダウン回路も追加しています。どのトポロジも、ソレノイド、ヒータ・コイル、フィラメント電球など、あらゆる種類の抵抗性負荷や誘導性負荷

をドライブします。デバイスの電流能力や熱性能によってのみ動作が制限されます。Table 1に、HDPlus ローサイド・デバイス・ファミリーと、関連する回路トポロジを示します。

Table 1. HDPLUS LOW-SIDE PRODUCT FAMILY AND FEATURES

Device	Package	Topology	T_{lim}	I_{lim}	Clamp Voltage (V) Typ.
NCV8401	DPAK	Self-protected	X	X	46
NCV8402	SOT-223	Self-protected	X	X	46
NCV8403	DPAK/SOT-223	Self-protected	X	X	46
NCV8405	SOT-223	Self-protected	X	X	46
NCV8406	SOT-223	Self-protected	X	X	65
NCV8440	SOT-223	ClampFET			55
NIMD6001	SO-8	DiagnosticFET			
NID9N05CL	DPAK	ClampFET			55
NIF9N05CL	SOT-223	ClampFET			55
NID5001N	DPAK	Self-protected	X	X	46
NIF5002N	SOT-223	Self-protected	X	X	46
NID5003N	DPAK	Self-protected	X	X	46
NIF5003N	SOT-223	Self-protected	X	X	46
NIF62514	SOT-223	Self-protected	X	X	46
NID6002N	DPAK	Self-protected	X	X	67

通常動作

通常動作時は、HDPlusローサイド製品ファミリーは標準的なパワーMOSFETデバイスと同様に動作します。HDPlusローサイド製品データシートの多くのパラメータと曲線は、標準的なMOSFETのデータシートに掲載されているものと同じです。多くのアプリケーション・ノートで、ゲート・ドライブの制御、ゲート電荷、スイッチング特性、熱管理などの標準的なパワーMOSFETの動作に関するトピックが扱わ

れているので、本書では障害発生時の動作と、障害保護回路によって影響を受ける通常動作モードに注目しています。

障害の種類

おそらく最も一般的かつ面倒な障害は短絡です。この種の障害は、以下に詳述するように複数の形態を取る可能性があります。

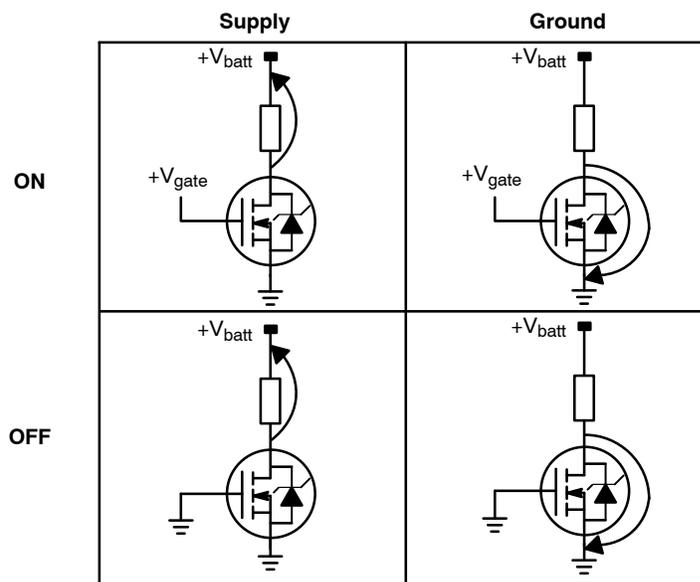


Figure 2. Short Circuit Modes

短絡は断続的に発生する現象で、非常に短い期間でも多くの形態をとる可能性が高いので、このような短絡状態はさらに悪化する傾向があります。例えば、MOSFETがオフのときにグラウンドへの短絡が発生した場合、電流は短絡箇所を通じて迂回するので、通常はFETについて心配することはありません。しかし、短絡が断続的で負荷が誘導性の場合、電流フローが中断されるとFETのドレイン・ノードにフライバック電圧が現れます。短絡の持続時間が短いために、また短絡部分の抵抗値がMOSFETの動作抵抗より小さいときに、負荷インダクタンスを流れるピーク電流が通常動作時の値を上回る可能性があります。したがって、デバイスは予期されるより多くのエネルギーを吸収する可能性があり、多数の断続的な短絡現象が短時間で連続して発生すると、ピーク接合部温度が上昇してデバイスの破壊につながる恐れがあります。

他の障害として、デバイス・ピンでの静電気放電(ESD)、ライン過渡や誘導性負荷のスイッチングに起因する過電圧、過熱などがあります。過熱障害は、通常デバイスの消費電力を大幅に増加させる短絡などの別の障害の結果生じますが、極端な周囲条件やデバイスのヒートシンクと基板の間にある半田ボイドなどの熱経路の異常から生じることもあります。ローサイドHDPlus製品の制御回路は、安全モードで動作することにより、このような障害モードの多くでデバイスの動作を検出および制御でき、障害が修復されるとデバイスは通常機能に復帰できます。

ゲート入力動作

HDPlusローサイド製品ファミリのゲート入力ピンは、標準的なMOSFETのゲート・ピンに非常によく似た動作をします。その上、この製品ファミリのデ

ータシートは実際のところ、入力ピンをゲート入力ピンとして記載しています。ゲート入力ピンの電圧から、パワーMOSFET出力トランジスタのゲートまで直接経路が存在しており、その意味でもこの電圧の大きさがMOSFETスイッチの動作モードが決まることとなります。電圧がデバイスの閾値以下の場合、デバイスはオフ状態のままで負荷への供給電圧をブロックします。ゲート電圧が閾値を超えて上昇すると、デバイス・チャンネルは徐々に拡大し、MOSFETはオン状態に移行します。ゲート入力ピンが定格電圧を上回ると、デバイスのゲート酸化物が破壊され、デバイスが使用不能になる可能性があります。この挙動は標準的なMOSFETデバイスと同じです。したがって、標準的なMOSFETをドライブするのに使用しているどのドライブ回路も、HDPlusローサイドMOSFETデバイスのドライブに使用できます。ただし、ゲート入力ピンがHDPlusローサイド・デバイスの制御回路と直列ゲート抵抗もドライブするので、入力ドライブ回路の電流ソース/シンク能力に特別な考慮を払う必要があります。

簡略化した入力回路をFigure 3に示します。MOSFETのゲート酸化物インタフェース以外のアクティブ・コンポーネントがゲート入力ピンに接続されているので、ドレインがソースに短絡した場合のこのピンの漏れ電流(I_{gssf})は通常、標準的なMOSFETで測定される同じ漏れ電流測定値(< 50 nA)に比べて3桁大きい値(50~100 μ A)に達します。通常動作時、ゲート入力での電圧供給は、過熱保護または電流制限と過熱保護機能の両方を備えたデバイス上の T_{lim} 基準電圧および制御回路をドライブできなければなりません。もっと重要なことは、ゲートへの電圧供給は、電流制限条件またはサーマル・シャットダウン障害条件の下で、十分な電流をドライブする能力が求められることです。

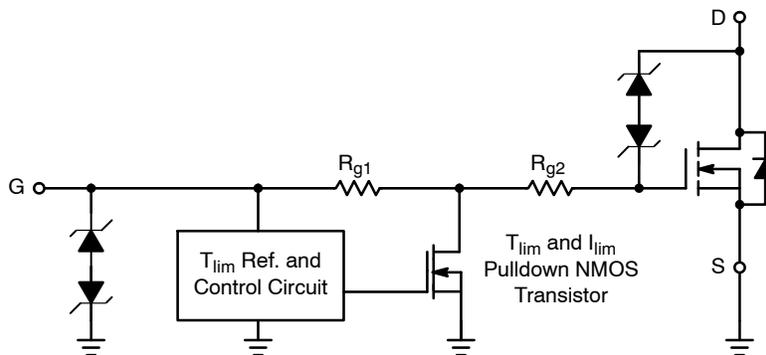


Figure 3. Simplified Input Circuit

デバイスが電流制限動作モードのとき、電流制限プルダウン・トランジスタのゲートへの帰還ループは、メイン・パワーMOSFETのゲートを、グラウンドから約2~3 V高い閾値電圧付近までドライブします。ゲート入力への電力供給は、 $(V_{in} - gate)/R_{g1}$ に等しい電流値に、追加バイアス電流を加えた電流を供給することが求められます。ここで、 V_{gate} は閾値電圧付近の値です。サーマル・シャットダウンの間、 T_{lim} プルダウン・トランジスタは、ゲート電圧をグラウン

ド電位までプルダウンします。したがって、ゲート入力への電力供給は、 V_{in}/R_{g1} に追加バイアス電流を加えた値にほぼ等しい電流を供給する必要があります。さらに、 R_{g1} (および R_{g2})は温度係数が負のデバイスなので、ゲート・ドライブのソース電流とシンク電流の最小要件を決定するうえで、温度シャットダウン・モードに移行した状態が最悪ケースになります。過温障害が発生している間も、この最小ソース電流を供給できる能力が必要です。そうでない場

合、プルダウン・トランジスタはパワーFETのオフ状態を維持できない可能性があります、おそらくパワーFETの接合部温度が破壊レベルに到達することになります。下表に、 R_{g1} と R_{g2} の公称室温値、および通常条件とデバイスの発熱による温度上昇時の T_{lim} 障害条件での代表的なゲート入力電流を示します。

Figure 4に、 T_{lim} 障害が発生している状態で、NIF62514デバイスに各種ゲート電圧を印加した場合のゲート入力電流の状況を示します。Figure 4の曲線の非線形性は、制御回路に必要な追加バイアス電流が、ゲート電圧の関数として非線形挙動を行うことを示しています。

Table 2. TYPICAL GATE INPUT PARAMETERS

Device	R_{g1} (k Ω)	R_{g2} (k Ω)	I_g @ 5.0 V (μ A), $T_j = 125^\circ\text{C}$	I_g @ 5.0 V (μ A), $T_j > T_{lim}$
NCV8401	9.9	5.0	38	600
NCV8402	60	40	37	150
NCV8403	13.5	9.0	43	450
NCV8405	30	20	38	220
NCV8406	1.0	0.5	41	5900
NIF62514	30	20	59	242
NIF5002N	60	40	53	146
NID5001N	10	5.0	58	634
NIF5003N	14	5.0	66	507
NID5003N	14	5.0	66	507
NID6002N	1.0	0.5	70	5170

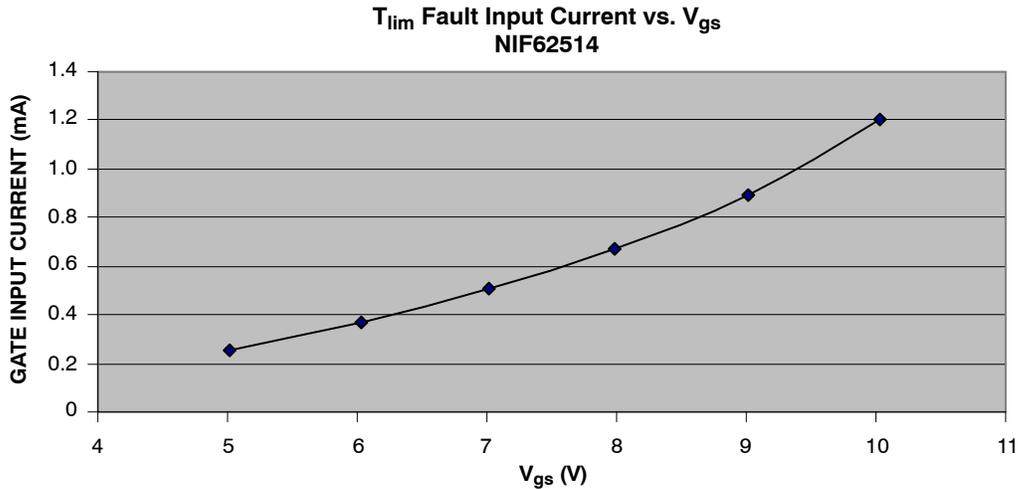


Figure 4. Gate Input Current as a Function of V_{in} During T_{lim} Fault for the NIF62514 Device

ゲート入力からパワーMOSFETのゲートまでの経路で直列に存在する抵抗 R_{g1} と R_{g2} は、入力ソース電流の最小要件に影響することに加え、ゲート・ドライブを設計する際のスイッチング速度とEMI/RFI要件にも影響します。パワーMOSFETのゲートは本質的に、ゲート・ドライブ出力に対する容量性負荷なので、ゲート入力に対して直列に存在する抵抗は、負荷電流と負荷電圧の立ち上がりおよび立ち下りのスイッチング遷移を低速化させます。多くのMOSFET回路の設計では、特に厳密なEMI/RFI制限が課されるアプリケーションにおいて、通常ナノ秒単位の立ち上がり/立ち下り時間を低速化するために、1.0 k Ω またはそれ以上の外部直列ゲート抵抗を追加

します。どのHDPlusローサイドMOSFETデバイスにも直列ゲート抵抗があるので、外部直列ゲート抵抗を追加する必要がない場合があります。

最後に、MOSFETデバイスのゲート入力ピンは、回路基板の組み立て、テスト、設置、サービス中にESDに晒される可能性があります。すべてのHDPlusローサイド設計はゲート入力ピンに背向型ESDダイオードを内蔵しています(Figure 3)。これらのダイオードは通常、約13Vのツェナ電圧を設定し、内部の直列ゲート抵抗との組み合わせにより、人体モデルで最小4,000 VのESD対処能力、またマシン・モデルで最小400 VのESD対処能力を実現します。

電流制限動作

Figure 5に、HDPlusローサイド・デバイスで使用されている簡略化した電流制限回路を示します。電流制限機能は、SENSEFET[®]テクノロジーを活用した負荷電流検知手法に基づいています。垂直DMOSパワーMOSFETテクノロジーは、ゲート構造がトレンチとプレーナのどちらをベースにしているか、またストライプとセル・アクティブ領域のどちらをベースにしているかに関係なく、デバイスの合計アクティブ領域は、並列接続されている小規模トランジスタ数の形でモデル化できます。SENSEFETテクノロジーは、ソース金属化部分を絶縁し、この絶縁領域に個別の接続を行う方法でこの原理を活用します。これによって、本質的に並列接続された2個のパワー・トランジスタが作成され、それぞれのアクティブ領域に

比例して電流を共有します。サイズの小さいトランジスタのソース接続を「ミラー接続」と呼びます。サイズの大きいデバイスを流れる電流とサイズの小さいデバイスを流れる電流の比を「電流ミラー比」と呼び、記号 n で表します。電流ミラー比は通常 $n = 200 \sim n = 1000$ の範囲になりますが、それ以上になることもあります。これは検知電流が、電流ミラーMOSFETを流れる負荷電流のわずか $1/200 \sim 1/1000$ であることを意味します。この結果、アンペア単位の電流が負荷に流れる場合でも、センス抵抗の消費電力は mW またはそれ以下にとどまるため、検知抵抗を制御回路に統合できます。SENSEFETテクノロジーの詳細は、オン・セミコンダクターのアプリケーション・ノート [AND8093JP/D](#)に記載されています。

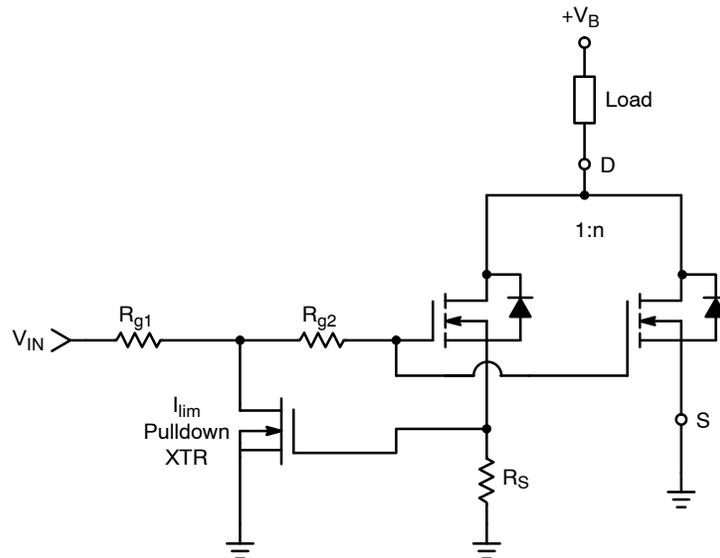


Figure 5. Simplified Current Limit Circuit

R_{sense} の両端に現れる電圧は、NMOSプルダウン・トランジスタのゲートに供給されます。NMOSトランジスタのドレインは、直列抵抗 R_{g2} を経由して、出力パワーMOSFETのゲートに接続されます。負荷電流が増加すると、プルダウン・トランジスタのゲート電圧がプルダウン・トランジスタの閾値に達するまで上昇します。これが負荷電流制限設定ポイントです。設定ポイント値で負荷電流を維持するためにプルダウン・トランジスタが十分なゲート電圧を維持する場所で、プルダウン・トランジスタによりパワーMOSFETのゲート電圧が低下し始めて帰還ループが確立されます。

この動作モードでは、パワーMOSFETは飽和領域で動作しています。つまり、デバイスは閾値電圧付近でバイアスされるので、デバイスのチャネルがオン状態まで完全にエンハンスされることはありません。デバイスが導通して大電流を流すだけでなく、

ドレイン-ソース間電圧が高い状態でこの電流を流します。負荷がほぼ短絡状態になっている場合、パワーMOSFETのドレイン-ソース間に、負荷への供給電圧に近い電圧が現れます。したがって、電流制限動作モードでは、パワーMOSFETはかなり大きな電力を消費します。このように消費電力が大きい場合、過温シャットダウン機能が有効にならない状況では、すぐにデバイス破壊に至ることがあります。次のセクションでこの点について説明します。

ただし、電流制限動作中に出力パワーMOSFETの温度が上昇した場合、プルダウンNMOSトランジスタを含む制御セクションも同様に温度が上昇します。NMOSトランジスタの閾値は温度上昇に対して負に変化するので、プルダウン・トランジスタをアクティブにするのに必要なセンス電圧は低くなります。したがって、パワーMOSFETの温度上昇が続くと、電流制限の設定ポイントは低下します。

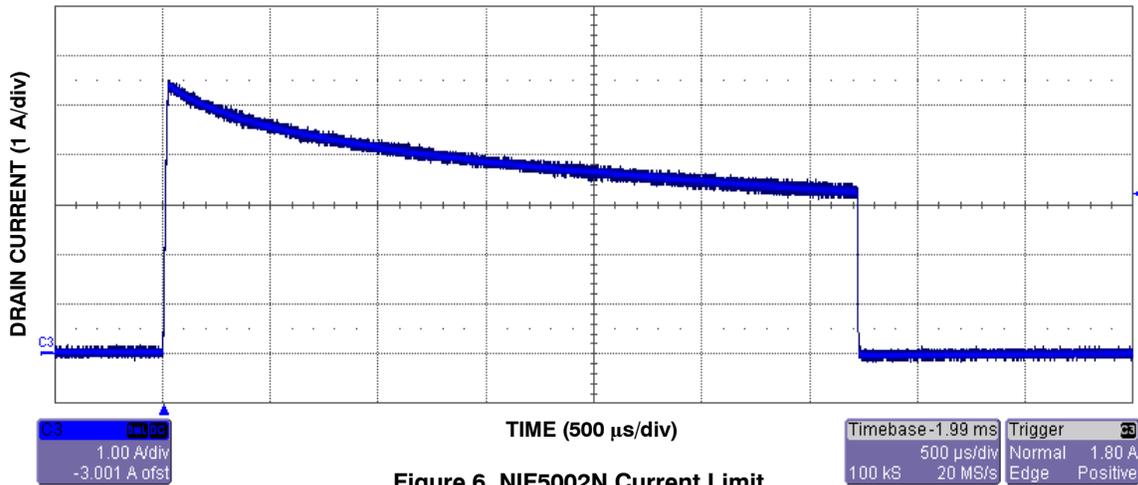


Figure 6. NIF5002N Current Limit

上記のオシロスコープ・キャプチャ画像では、テスト中のNIF5002Nデバイスはターンオンして直接ショート状態になり、電流は最初に制限された時点で約5.5 Aになっています。デバイスの温度が上昇するにつれて、電流制限値は徐々に低下し、約3.3 Aになった時点でデバイス温度が過温設定ポイントに達してシャットオフされます。

前述のとおり、電流制限値は温度だけでなく印加されたゲート電圧によっても変化します。Figure 7は、異なる2つの接合部温度(T_{lim} 閾値以下)におけるNIF62514デバイスの電流制限値とゲート電圧の関係

をプロットしたものです。デバイスに印加されるゲート電圧が高くなると、ゲート・プルダウン・トランジスタのゲートに印加される電圧も実質的に上昇します。その結果、プルダウン・トランジスタでの電流制限に必要なドレイン電流が大きくなり、プルダウン・トランジスタのゲート・ドライブも大きくする必要があります。これは検知抵抗により大きい検知電流を流す必要があることを意味し、メイン・パワーMOSFETにより大きいドレイン電流を流す必要があります。

I_{lim} Peak vs. V_{gs} and Temperature
NIF62514

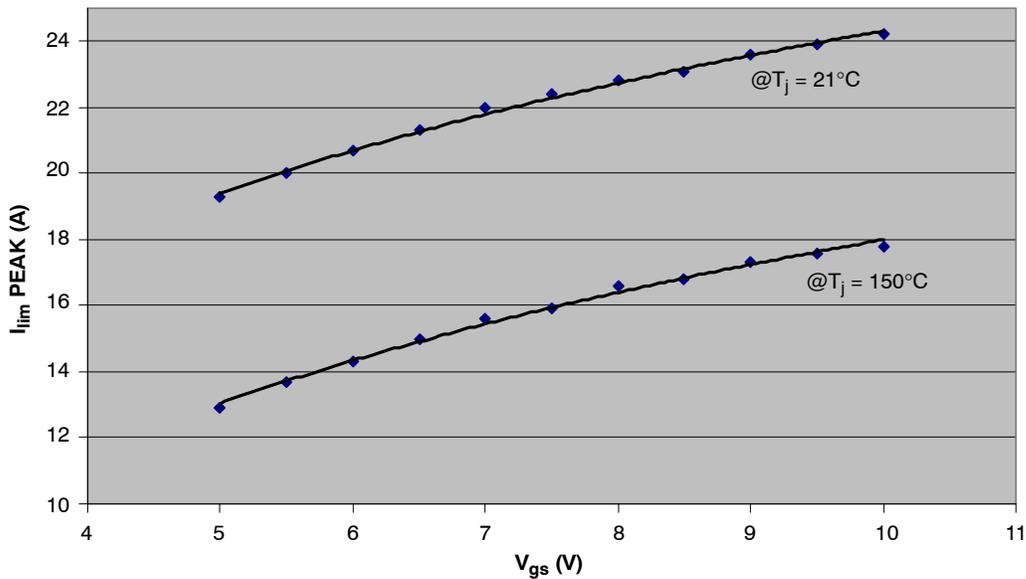


Figure 7. Peak Current Limit as a Function of Temperature and Gate Voltage

直列抵抗 R_{g2} は、負荷電流が電流制限設定ポイントを超えたときに、電流制限回路がどれほど速く応答するかを制限します。メイン・パワーMOSFETの静電容量を R_{g2} 経路で放電して、プルダウン・トランジスタに流れる電流を制限します。これにより、線形動作領域でドレイン電圧がオン状態の抵抗値から高抵抗値に移行するときに、パワーMOSFETのドレインで観察される dv/dt を制限できます。 dv/dt の変化量が大きい場合、特に高い電源電圧と組み合わせる状況では、1つまたは複数のNMOS制御レジスタのラッチアップが生じる可能性があるため、このような制限は重要です。通常はシャットされるP-N接合部の寄生成分が順方向バイアスされるような方法で、十

分大きい電流がNMOS構造に流入される場合は、ラッチアップが発生する可能性があります。ドレインとPタブ・ソース間の空乏領域によって形成される静電容量から到着する流入電流は、 $i = CdV/dt$ の関係で表現できます。HDPlusプロセスでは、流入電流に対する感受性を低減するように各NMOSトランジスタのレイアウトが最適化されており、デバイスのラッチアップを防止するもう1つの対策として R_{g2} が追加されています。

過温シャットダウンの動作

Figure 8に、簡略化した過温検出/シャットダウン回路を図示します。

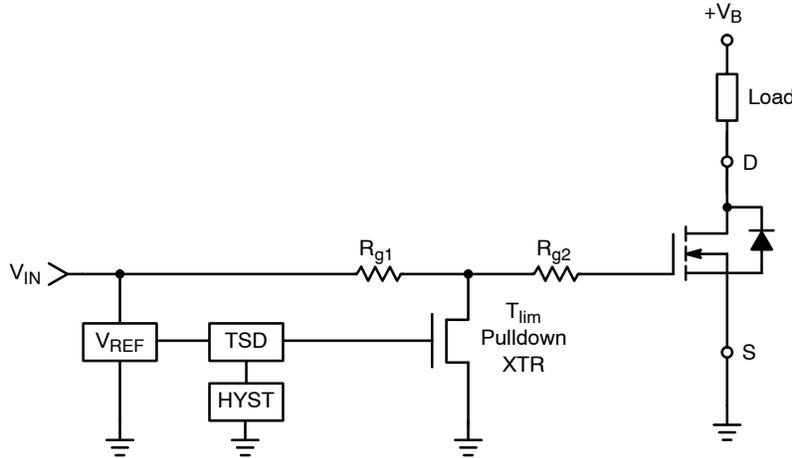


Figure 8. Simplified Temperature Limit Shutdown Circuit

ゲート入力供給電圧によってバイアスされる基準電圧は、温度感知デバイス(TSD)素子に対して基準を提供します。これらの素子(ダイオード構造)は、メイン・パワーMOSFETのアクティブ領域の中央付近に配置されています。アクティブ領域は、熱過渡イベント時に最も急速に温度が上昇する可能性が高い部分です。TSD素子が、ダイの接合部温度が過温設定ポイント T_{lim} を超えたことを示す場合、プルダ

ウンNMOSトランジスタはメイン・パワーMOSFETのゲート電圧をグラウンド・レベルにプルダウンして、デバイスをターンオフします。ヒステリシス回路により、ダイの接合部温度が約 $15^{\circ}C$ 低下するとデバイスはオン状態に復帰することができます。次のオシロスコープ波形(Figure 6の時間を拡張)が示すように、デバイスはアプリケーションの熱管理機能が決定した周波数でオン/オフを繰り返します。

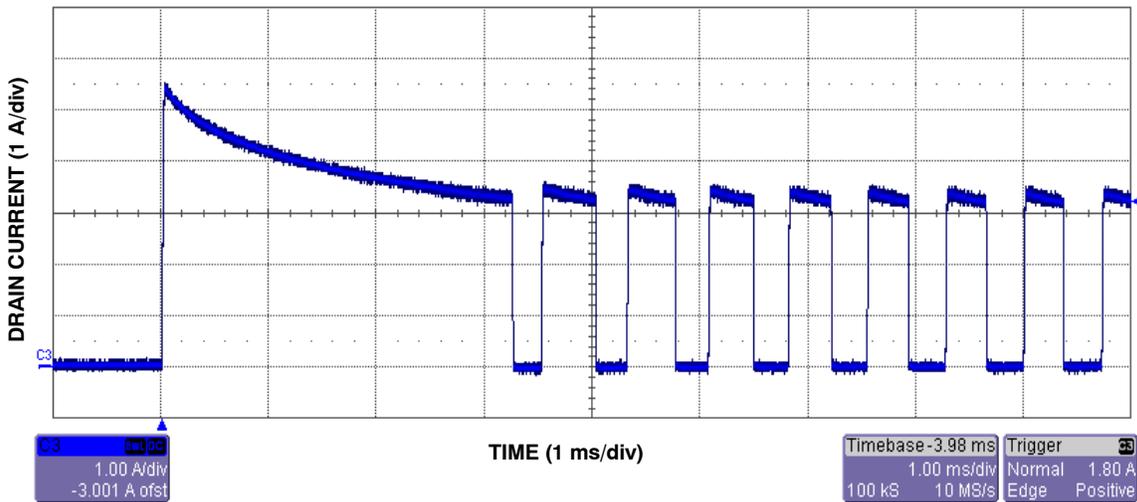


Figure 9. NIF5002N Current Limit Expanded, Showing Thermal Cycling

現在のHDPlus TempFETと自己保護型MOSFET製品は、 T_{lim} 障害条件が持続している間にヒステリシス形式で自動再起動を行うように設計されていますが、実証済みHDPlusテスト回路は、 T_{lim} 障害時にパワーMOSFETをラッチオフして、ゲート入力ピンがトグルされたときのみ再起動を許可するように設計されています。

TSD素子の基準電圧は、特にゲート電圧が低い場合に、ゲート入力供給電圧の大きさによってわずかに影響されます。ゲート入力電圧が最大で約5.0 Vま

で上昇すると、過温設定ポイントは低下します。印加されているゲート電圧が5.0 Vを超えて上昇すると、ゲート電圧の上昇に伴って、温度シャットダウン制限がわずかに上昇します。これをFigure 10に示します。ゲート電圧が5.0 Vを超えると温度シャットダウン制限がわずかに上昇するのは、NMOSドレイン電圧が上昇すると、NMOSプルダウン・トランジスタがより大きいゲート・ドライブを必要とするためです。

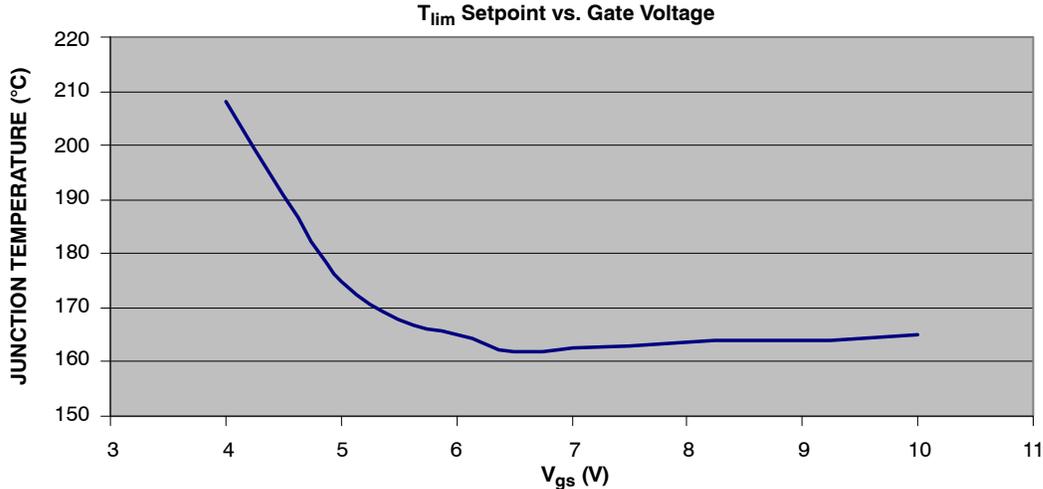


Figure 10. Typical Temperature Limit Shutdown as a Function of Gate Voltage

HDPlusの過熱保護回路により、デバイスは短絡などの障害条件に耐えることができます。HDPlusファミリの信頼性研究の一環として、このデバイスを短絡負荷を接続した状態で1,000時間にわたり連続で動作させました。これにより3,600万回以上のオン/オフ・サイクルが発生しましたが、デバイスの障害や電氣的パラメータの劣化は観察されませんでした。この場合、接合部温度は約15°Cの熱ヒステリシスを示し、160~175°Cの範囲にありました。デルタ接合部温度を100°Cに広げるために、追加テストを実施しました。各温度サイクル後に長時間にわたってパーツをオフにして、接合部温度を100°C低下させ、その後、短絡負荷の状態をデバイス再度ターンオンしました。この状況で、36万回の熱サイクル後にテストを終了しましたが、デバイスの障害や電氣的パラメータの劣化は観察されませんでした。ただし、デバイスの寿命はデルタ接合部温度と印加電力の関数です。したがって、保護されたデバイスでも永続的に耐えることはできません。高い印加電圧、高い電流制限値、大きなデルタ接合部温度を許容する動作条件の下では、デバイス寿命が数千回の短絡サイクルに制限される可能性があります。システム設計の段階で、障害発生時のデルタ接合部温度の最小化または障害サイクル数の制限(あるいはその両方)を行って、期待デバイス寿命を確保することが推奨されます。

非障害動作モードが存在します。このモードでは、過温保護機能がアクティブではなく、デバイス障害が発生する可能性があります。誘導性負荷をオ

フに切り替えるとき、デバイスは負荷インダクタに蓄積されているエネルギー $1/2 (Li^2)$ を吸収する必要があります。標準的なMOSFETでは、この動作モードをUIS(非クランプ誘導性スイッチング)と呼びます。UISイベント時に、デバイスのドレイン-ソース間シリコン接合部はアバランシェ状態にあり、アバランシェ電圧とピーク電流値によっては、デバイスが大きな電力を放散する必要があります。シリコン構造体の固有温度は通常は300°Cを上回る値ですが、MOSFETが吸収するエネルギーが原因で接合部温度がこの固有温度を上回る場合、UISイベントに対応する通常の障害モードが有効になります。接合部温度が固有温度を超えると、デバイスは半導体のような挙動を停止し、ゲート制御機能が失われ、ドレインへの電力供給がすぐに除去されない限りデバイス破壊が急激に進行します。

この障害モードはHDPlusローサイド製品ファミリでも同様ですが、これらの製品はゲートからドレインの間でアクティブ自己クランプ手法を使用して、デバイスのアバランシェ・ブレークダウン電圧を下回るドレイン電圧をクランプすることを目的としています。アクティブ・クランプについては次のセクションで説明しますが、基本的に誘導性負荷をオフにするときにこの手法を使用することをSCIS(自己クランプ誘導性スイッチング)と呼んでいます。SCIS手法により、ゲート-ドレイン間にアクティブ・クランプがない同等デバイスに比べて、より多くのエネルギーを吸収できます。ただし、パーツが吸収できるエネルギー量には制限があり、ここでも接合部温

度がシリコンの固有温度を超えると制限が適用されます。認識すべきポイントは、SCISイベント時にはゲート電圧が定義上グランド電位にあることです。それにより、デバイスの制御回路がバイアスされず、過温制限回路が機能しなくなります。誘導性負荷を切り替えるときには、各デバイスの最大エネルギー定格を順守する必要があります。そうしないと、ダイ接合部温度が固有温度を超えてデバイス障

害が発生する可能性があります。さらに、最大エネルギー定格が順守される場合でも、SCISパルス間に十分な時間を確保する必要があります。そうすれば、接合部温度が冷却され初期の開始接合部温度に戻ることができます。十分な時間が確保されない場合、SCISサイクルごとに接合部温度が徐々に上昇し、最終的には本質的な障害温度に達します。

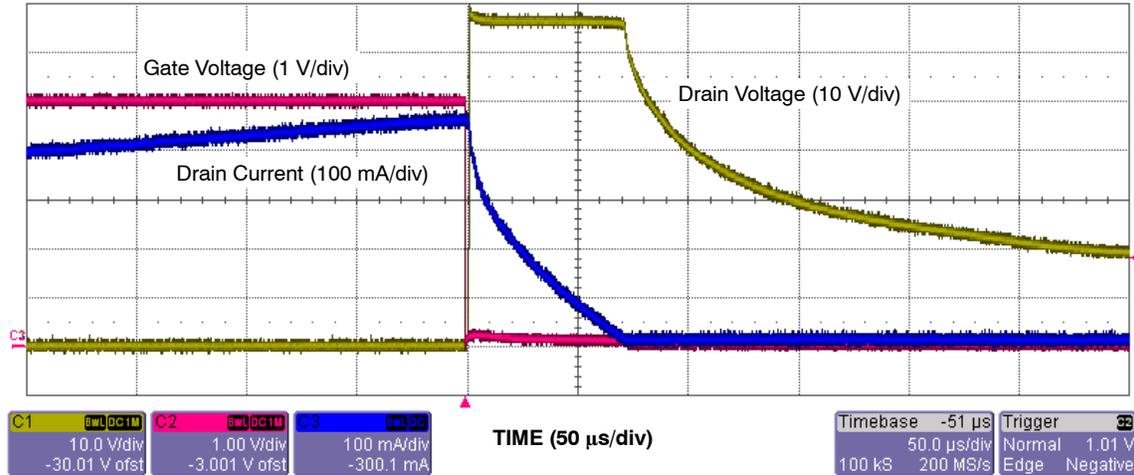


Figure 11. NID6002 Driving 30 mH Fuel Injector, $V_{supply} = 12\text{ V}$, Showing 67 V Active Clamp of Drain Voltage

誘導性負荷のアクティブ・クランプ

Figure 12に、HDPlusローサイド・アクティブ・クランプ部品の簡略化モデルを示します。主要コンポーネントは、メイン・パワーMOSFETのゲート端子とドレイン端子間に配置された背向型ツェナ・ダイオード・スタックです。このスタックのツェナ電圧は、メイン・パワーMOSFETのドレイン-ソース間接合部のアバランシェ電圧以下になるように設計されています。ドレイン電圧が上昇して、ゲート-ドレイン間のツェナ・スタック電圧を超えると、ゲートがオフに切り替わるので、電流がスタックに流れ、 R_{g1} 経路でグランドに到達します。したがって、メイン・パワーMOSFETのゲートに電圧が現れます。ツェナ電流は、パワーMOSFETのゲート電圧を

R_{g1} で除算した値にほぼ等しくなります。このゲート電圧が閾値付近になると、MOSFETは順方向に負荷電流の導通を開始し、線形動作モードに入ります。アバランシェ動作モードでエネルギーを消費する場合は対照的に、デバイスがターンオンするため、誘導エネルギーはアクティブ領域において一様性の高い電流密度で消費されます。また、クランプ電圧がアバランシェ電圧より低いので、アクティブ・クランプ・モードではアバランシェ・モードよりも、デバイスが消費する瞬時電力は小さくなります。これらの挙動により、アクティブ・クランプ動作モードで誘導性負荷を切り替えるときに、デバイスにより大きなエネルギー処理能力を持たせることができます。

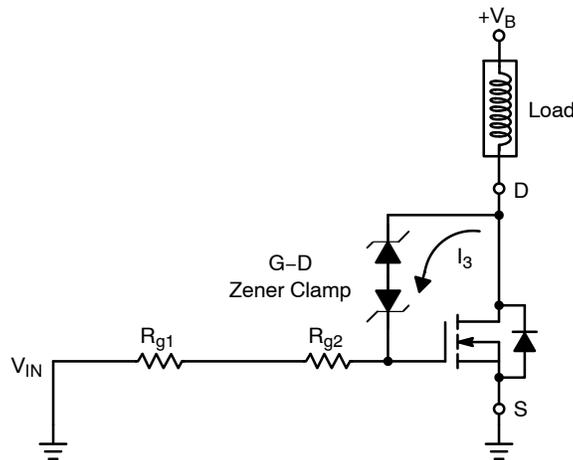


Figure 12. Simplified Active Clamp Circuit

スイッチング動作

本アプリケーション・ノートで前述したように、HDPlusローサイドMOSFETの抵抗性スイッチング性能は、内部の直列ゲート抵抗が遷移時間に影響する分だけ、標準的なMOSFETとは異なります。次に示すオシロスコープのキャプチャ画像で、完全に保護されたHDPlusローサイドMOSFETのターンオン波形

を、外部直列ゲート抵抗ありの場合となしの場合で、同等の標準的なMOSFETと比較しています。これらの波形で、ゲート電圧はターンオンして5.0 Vになり、12 V電源から電力供給される状態で3.4 Ωの負荷を切り替えています。以下の波形で時間スケールに注目すると、直列ゲート抵抗がスイッチング遷移に及ぼす影響は明らかです。

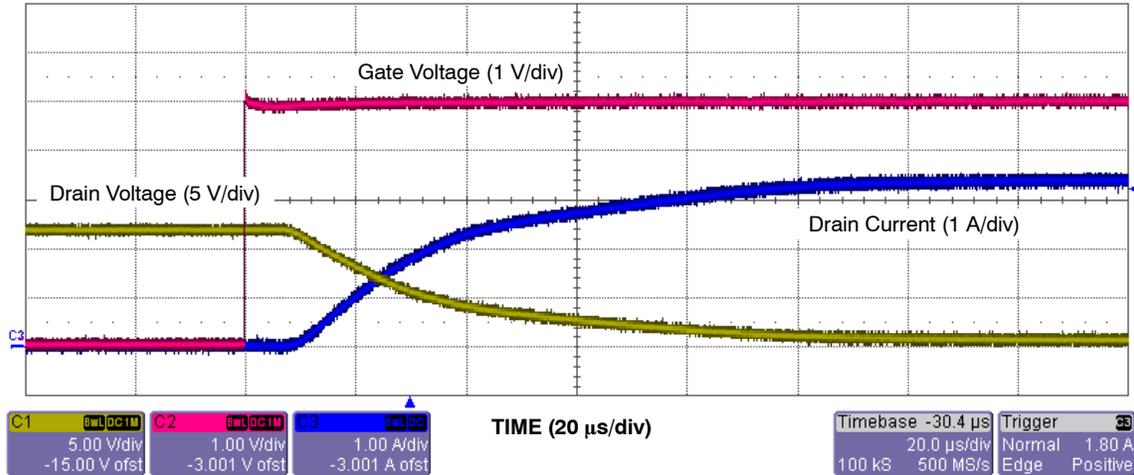


Figure 13. NIF5002N Rise Time, Zero Ω External Gate Resistance

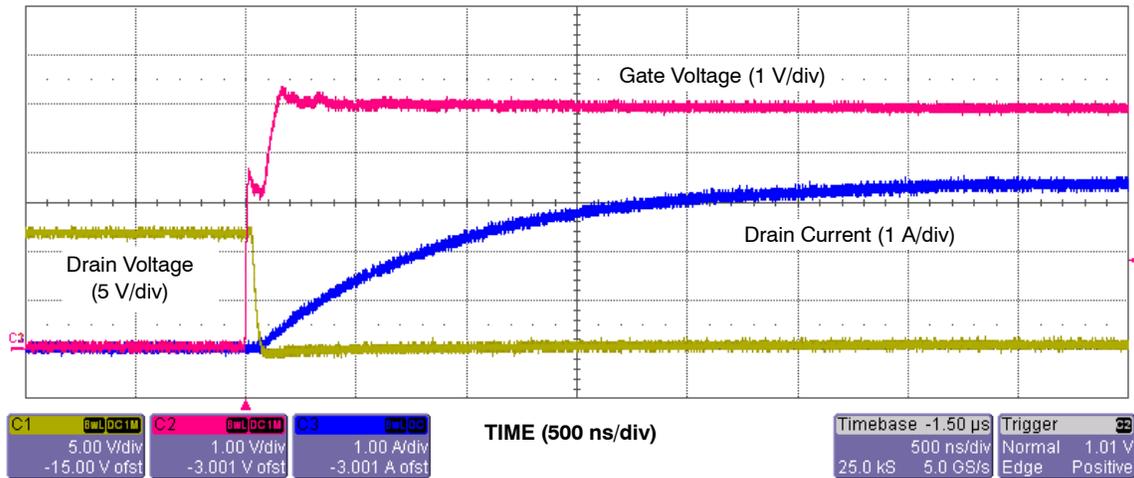


Figure 14. NTD3055L170 Standard MOSFET Rise Time, Zero Ω Ext. Gate Resistance

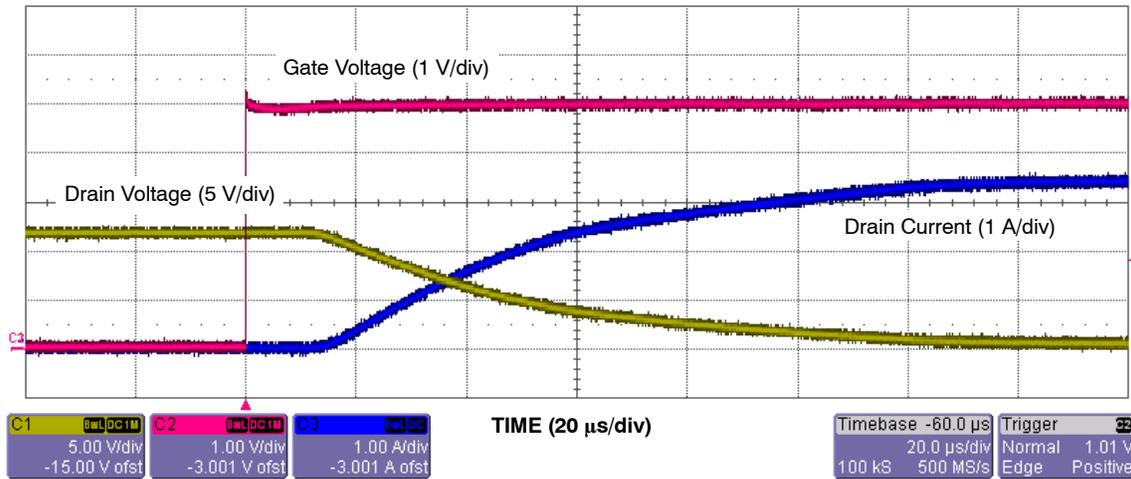


Figure 15. NTD3055L170 Standard MOSFET Rise Time, 100 kΩ Ext. Gate Resistance

電圧過渡

標準的なMOSFETと同様、HDPlusローサイド・デバイス・ファミリはISO7637車載向け過渡仕様に準拠するように設計されています。考慮する必要がある最悪ケース条件は、デバイスのターンオフ時に、ドレインの電源電圧ラインがクランプ電圧を超えるときです。この結果、 $(V_{pk(transient)} - V_{clamp}) / R_{load}$ にほぼ等しいピーク電流フローが生じます。この状況ではゲートがオフなので保護制御回路は非アクティブです。したがって、アプリケーション回路の設計時に、特にピークの持続時間が比較的長い状況では、予期されるピーク過渡を考慮し、デバイスに1つまたは複数の過渡パルスによって生成される電力を消費するだけの熱処理能力があることを確認する必要があります。

Figure 17、Figure 18、およびFigure 19は、Figure 15に示す回路を使用して生成された波形です。コンデンサは希望のピーク過渡まで充電され、リレー・スイッチを経由し、 R_L を通してテスト・デバイスのドレインから放電されます。Figure 17では、NIF5002Nは $R_L = 3.4 \Omega$ の状態ですべて52 Vのピーク電圧に耐えています。ピーク・ドレイン電流は、画像に示すように、 $(52 V - 47 V) / 3.4 \Omega = 1.5 A$ に等しくなります。

ピーク電圧が53 Vに上昇すると、Figure 18に示すように、同じデバイスで障害が発生しています。この状況で、デバイスが消費した電力は、 $((V_{transient}(t) - V_{clamp}(t)) / R_i) * V_{clamp}(t)$ となり、パルス持続時間が約14msecに達した後、接合部温度を $T_{intrinsic}$ まで上昇させるのに十分な値でした。電流波形が不連続になっている時点が障害ポイントであることに注意してください。この例では、ロード・ダンプや電源ラインの他の電圧過渡に耐える能力が、アプリケーションの熱設計の関数であり、デバイスの負荷抵抗や過渡的な熱抵抗に依存することを示しています。Figure 19に、NID5001Nデバイスが100 Vのピーク過渡パルスに耐えた状況を示します。この状況では、負荷抵抗 R_L が15.1 Ω に増加し、それによってドレイン電流が減少し、消費電力が減少しています。さらに、NID5001Nダイのアクティブ領域は、NIF5002Nデバイスよりも約8倍広いので、過渡的な熱応答は大幅に改善されます。一般的に、クランプ電圧が高くなるほど、負荷抵抗が大きくなるほど、またダイのアクティブ領域が広がるほど、デバイスが耐え得るピーク過渡ドレイン電圧が高くなります。

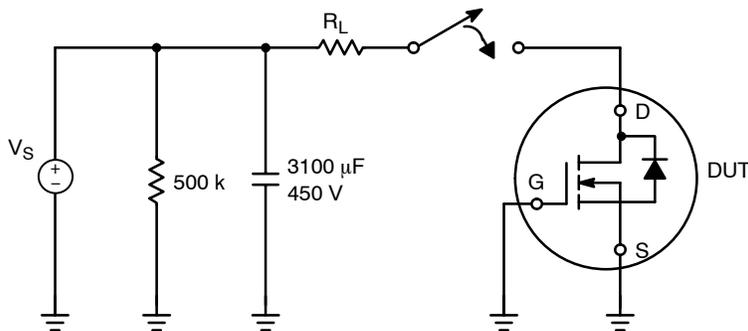


Figure 16. Load Dump Test Circuit

AND8202/D

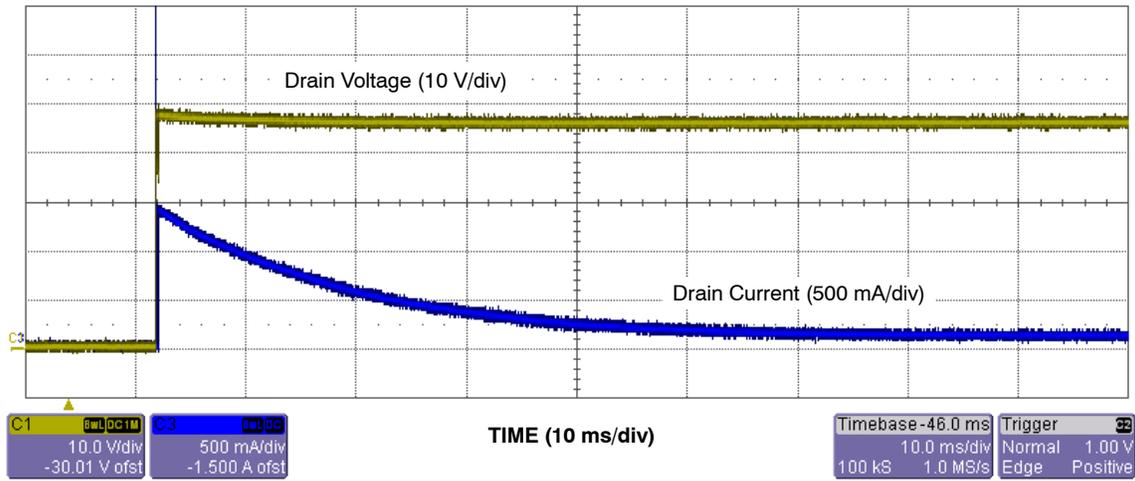


Figure 17. NIF5002N Load Dump Transient, $V_{pk} = 52$ V, Pass, $R_i = 3.4 \Omega$

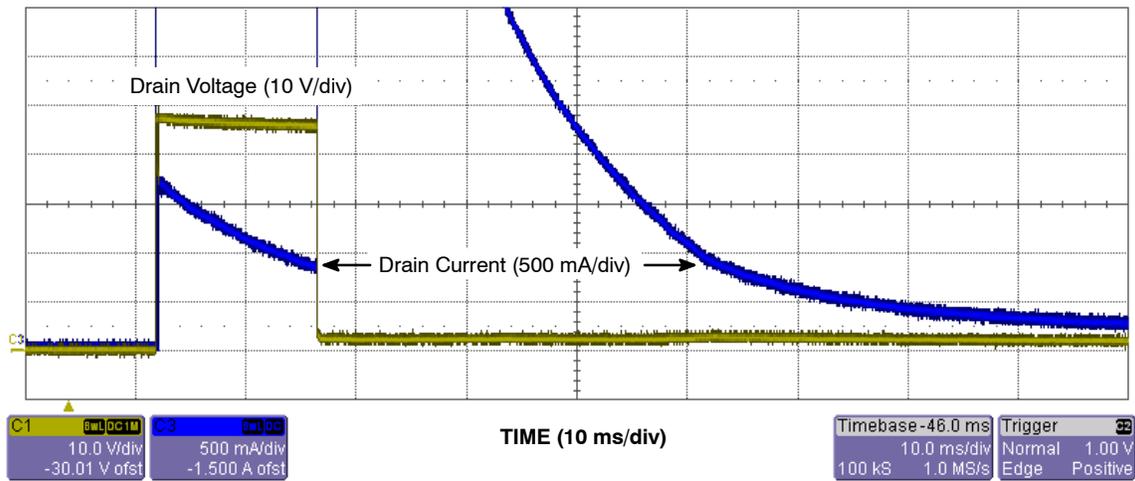


Figure 18. NIF5002N Load Dump Transient, $V_{pk} = 53$ V, Fail, $R_i = 3.4 \Omega$

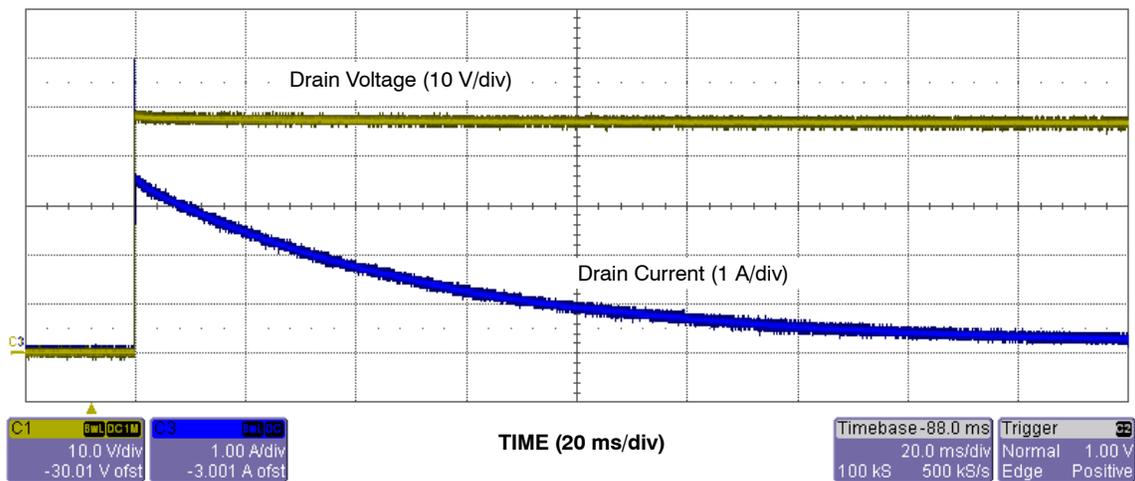


Figure 19. NID5001N Load Dump, $V_{pk} = 100$ V, Pass, $R_i = 15.1 \Omega$

障害モードの概要

いくつかのHDPlus ローサイド・デバイスは、「完全に保護されたMOSFET」に分類されていますが、特定の動作条件下では保護回路がデバイスを破

壊から保護できない、という事実を認識することが重要です。可能性のあるデバイス障害モードと、それらを緩和するための方針を要約した表を以下に示します。

Table 3. POTENTIAL DEVICE FAILURE MODES AND MITIGATION STRATEGIES

Potential Failure Mode	Mitigation
Insufficient gate drive during fault condition	<ul style="list-style-type: none"> - Increase current source/sink capability of gate drive circuit - Increase gate drive voltage
Excessive dV/dt at drain	<ul style="list-style-type: none"> - Increase series gate resistance - Filter or snubber circuits to eliminate fast edge transients - Reduce supply voltage
Excessive die temperature during SCIS operation	<ul style="list-style-type: none"> - Reduce load inductance - Reduce circuit parasitic inductance - Use lower clamp voltage device - Use device with proper energy rating - Decrease device duty cycle or frequency or both - Use parallel devices
Excessive die temperature during load dump or other transient event	<ul style="list-style-type: none"> - Increase load resistance - Improve transient thermal response via better thermal pathway or larger silicon active area - Use parallel devices

まとめ

HDPlus ローサイド・デバイス・ファミリは、垂直パワーMOSFET技術により保護機能を統合するための効率的なモノリシック・ソリューションを提供します。本アプリケーション・ノートで説明したとおり、ゲート・ドライブ回路が複数の障害モードに耐えるように設計されていると仮定すると、これらの

デバイスの動作およびアプリケーションは、標準的なMOSFETと同じです。さらに、ローサイド・デバイスの統合保護機能は、あらゆる障害モードに対して保護が可能なのわけではない点に注意することが重要です。アプリケーション回路と環境に配慮した注意深い設計により、この問題を緩和できます。

SENSEFET is a registered trademark of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries.

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marketing.pdf。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA (米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local Sales Representative