

# 高電圧ゲートドライバの電力消費分析と熱的考察

## AND90004/D

MOSFETやIGBTを高周波でスイッチングするため使用されるゲートドライバは、動作条件によっては、かなりの量の電力を消費する可能性があります。ドライバを確実に許容温度範囲内で動作させるには、アプリケーションでのドライバ消費電力とそれによる接合部温度を見極めることが重要です。高電圧ゲートドライバIC(HVIC)は、ハーフブリッジスイッチングアプリケーション向け高電圧、高速駆動MOSFET用に設計されたハイサイド/ローサイドゲートドライバICです。Figure 1に標準的なHVIC内部のブロック図を示します。主な機能ブロックは、入力段、UVLO保護、レベルシフタ、出力ドライブ段です。ゲートドライバの損失には以下のものがあります。

- ドライバがバイアスされスイッチングしていない場合のハイサイドおよびローサイド回路ブロックの静的電流に関連する静的損失
- スwitchング周波数に連動するスイッチング信号印加時の動的電流に関連する動的損失
- 負荷スイッチ電荷に関連し、スイッチング周波数にも直接依存しているゲート駆動損失

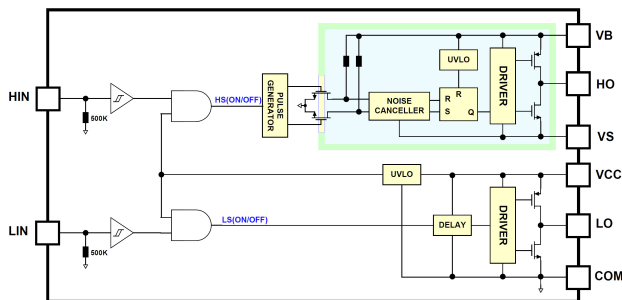


Figure 1. Block Diagram of HVIC

ブートストラップダイオード損失は、ダイオードに流れる電流が動的損失に含まれるため、本書では説明しません。しかし、見落してはならないことは、起動時にブートストラップコンデンサを充電するための瞬間的な電力損失です。この期間、ブートストラップコンデンサを急速に充電するために大きな電流がダイオードに流れ、数周期のスイッチング期間に比較的高い損失が生じる可能性があります。ブートストラップダイオードは、この電流および電力損失に耐える必要があり、ダイオードが存在する場合はこの損失がドライバの内部電力損失に加わります。

### 静的電力損失の分析

Figure 2は、静的損失を説明するために、ハイサイドおよびローサイドドライバに関連するハーフブリッジスイッチネットワークを簡略化した回路図を示しています。

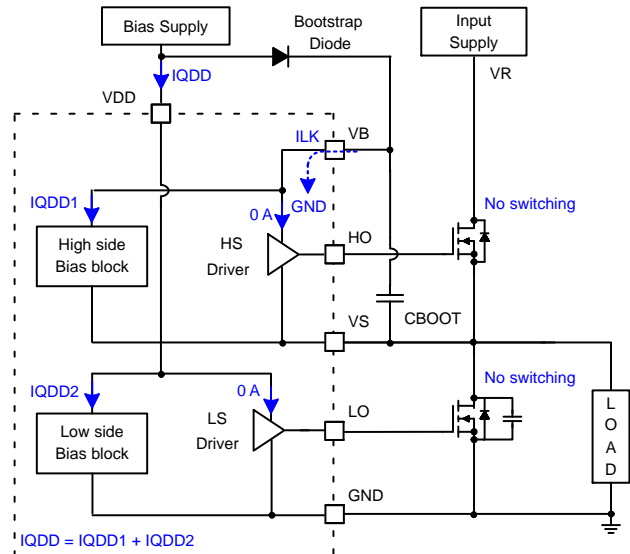


Figure 2. Simplified Circuit Diagram of Driver and Half-bridge Configuration for Static Power Losses

静的損失は、次式で示すように、ローサイドドライバのDC電源V<sub>DD</sub>からグラウンドに流れる静止電流とハイサイドドライバのレベルシフタのリーク電流によるものです。

$$P_{\text{Static}} = P_{\text{Quiescent}} + P_{\text{Leakage}} \quad (\text{eq. 1})$$

$$P_{\text{Quiescent}} = V_{\text{DD}} \times I_{\text{QDD}} \quad (\text{eq. 2})$$

$$P_{\text{Leakage}} = (V_{\text{R}} + V_{\text{BOOT}}) \times I_{\text{LK}} \quad (\text{eq. 3})$$

$$= (V_{\text{R}} + V_{\text{DD}} - V_{\text{DBBOOT}}) \times I_{\text{LK}}$$

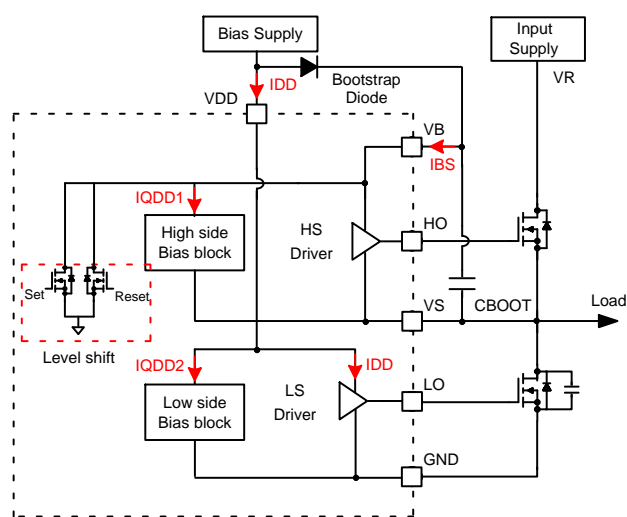
ここで、I<sub>QDD</sub>は入力スイッチング信号がない場合のV<sub>DD</sub>電源の静止電流、V<sub>BOOT</sub>はC<sub>BOOT</sub>のチャージ電圧、V<sub>DBBOOT</sub>はブートストラップダイオードの順方向電圧降下、V<sub>R</sub>は入力電源からのレール電圧、I<sub>LK</sub>はブート品(Figure 2のVBピン)のリーク電流です。静的電力損失はドライバに電源が供給されるとすぐに永続的に発生し、入力信号の周波数には無関係です。

しかし、電力損失の大部分はドライバがパワースイッチをオン／オフするときに発生します。そのため、 $I_{QDD}$ はスイッチングモード時の動作電流に含まれており、この場合には $P_{Quiescent}$ は考慮する必要はありません。 $P_{Leakage}$ は、 $I_{LK}$ が無視できるほど小さい場合や、1,200 Vドライバのように $V_{BOOT}$ レベルが非常に高い場合は考慮する必要があります。 $I_{LK}$ がドライバのデータシートに記載されていない場合、他の損失と比較して一般的に小さいため、この損失は無視できます

### 動的電力損失の分析

ここで主な損失源について考えてみましょう。Figure 3に動的損失を検討するためのドライバICの回路図を示します。最初の動的損失は、ハイサイド駆動におけるレベルシフト(LS)での損失 $P_{LS}$ として、次式のように定義されます。

$$P_{LS} = (V_R + V_{DD} - V_{DBOOT}) \times Q_{internal} \times f_{SW} \quad (\text{eq. 4})$$



**Figure 3. Simplified Circuit Diagram of Driver and Half-bridge Configuration for Dynamic and Power Losses**

$Q_{internal}$ はレベルシフト回路に使用されている内部LDMOSの総ゲート電荷です。 $Q_{internal}$ の仕様は通常メーカーから提供されておらず、データシートには記載されていません。この場合、経験則として $Q_{internal}$ の値は600 Vのハイサイドドライバの場合は約0.6~1.5 nC、100~200 Vドライバの場合は約0.4~1 nCと推定できます。古い技術を使用しているドラ

イバ製品には、 $Q_{internal}$ が比較的高いものもあるため、高周波動作では $P_{LS}$ を考慮に入れる必要がありますが、最近の最先端ドライバでは、この値が低くなってきているため、 $Q_{internal}$ の実際値が得られない場合は、この損失を無視できます。

2番目の動的損失は、 $V_{DD}$ および $V_{BOOT}$ 電源から電力を供給される出力段の動作電流に関連しています。出力段が外部パワーデバイスを駆動している間、動的損失( $P_{OP}$ )は次の式で与えられます。

$$P_{OP} = V_{DD} \times I_{DD} + (V_{DD} - V_{DBOOT}) \times I_{BS} \quad (\text{eq. 5})$$

$I_{DD}$ は $V_{DD}$ の動作電流で、 $I_{BS}$ はハイサイドドライバピンVBの動作電流です。この電力損失は、動的動作条件下での内部の電流消費によるものです。内部電流 $I_{DD}$ および $I_{BS}$ は、データシートのパラメータを参照し、スイッチング周波数を考慮しながら、実際の動作条件下で決定する必要があります。

データシートに $I_{DD}$ および $I_{BS}$ 曲線とスイッチング周波数が記載されていない場合は、特定の動作条件で $I_{DD}$ および $I_{BS}$ を計算するために次の方法をお勧めします。

$I_{DD}$  (または $I_{BS}$ )が無負荷で20 kHz ( $F_{SW\_DS}$ )で定義されている場合、100 kHz ( $F_{SW}$ )での $I_{DD}$  (または $I_{BS}$ )は、スイッチング周波数に比例するため、20 kHzの約5倍になります。

より正確に計算するには、5を掛ける前に $I_{DD}$ または $I_{BS}$ から静止電流を引きます。

たとえば、データシートでは、20 kHzでの動作電流( $I_{PDD}$ )は0.5 mA、静止電流( $I_{QDD}$ )は0.05 mAであり、100 kHzでの $I_{DD}$ は次の式で計算されます。

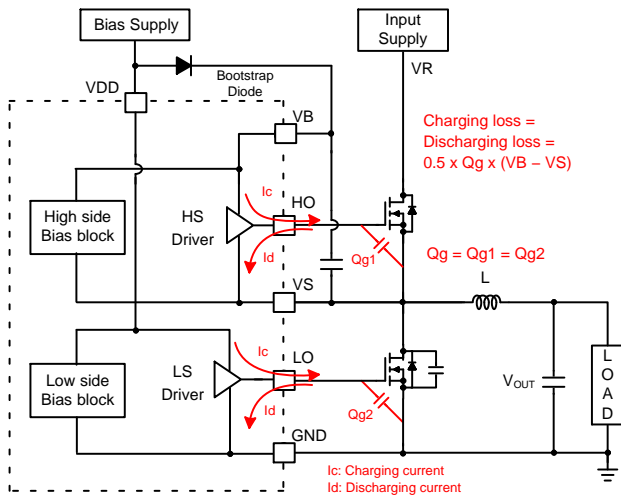
$$\begin{aligned} I_{DD} &= (I_{PDD} - I_{QDD}) \times (F_{SW}/F_{SW\_DS}) + I_{QDD} = \\ &= 0.45 \text{ mA} \times 5 + 0.05 \text{ mA} = \\ &= 2.25 \text{ mA} + 0.05 \text{ mA} = 2.3 \text{ mA} \end{aligned} \quad (\text{eq. 6})$$

$F_{SW}$ はターゲット周波数であり、 $F_{SW\_DS}$ はデータシートで指定された周波数です。

$I_{DD}$  (または $I_{BS}$ )が1 nFの静電容量などの負荷条件でデータシートに指定されている場合、次の式を使用して1 nFの静電容量の電流効果を排除できます。

$$\begin{aligned} I_{DD} &= (I_{PDD} - (C_{LOAD} \times V_{DD} \times F_{SW\_DS}) - I_{QDD}) \times \\ &\times \left( \frac{F_{SW}}{F_{SW\_DS}} \right) + I_{QDD} \end{aligned} \quad (\text{eq. 7})$$

$C_{LOAD}$ は、データシートで指定されている負荷の静電容量です。



**Figure 4. Simplified Circuit Diagram of Driver and Half-bridge Configuration for Gate Driving Power Losses**

### ゲート駆動損失の分析

ドライバのゲート駆動損失は、スイッチング周波数で負荷MOSFETをオン/オフするためのゲート電流の供給に起因する最も大きな電力損失です。ゲート駆動損失は、負荷容量(MOSFETの場合、負荷容量はMOSFETの入力容量)の充放電によって生じ、次式で表されます。

$$P_{\text{charging}} = P_{\text{discharging}} = 0.5 \times V_{DD} \times Q_g \times f_{sw} \quad (\text{eq. 8})$$

ここで、 $Q_g$ は外付けMOSFETの総ゲート電荷で、 $f_{sw}$ はスイッチング周波数です。ソフトスイッチングトポロジでは、 $Q_g$ はFETまたはIGBTのゲートソース間電荷( $Q_{gs}$ )に相当します。ハイサイドおよびローサイドドライバの合計ゲート駆動損失は、 $P_{\text{charging}}$ の4倍になります。

$$P_{\text{gate\_driving}} = 2 \times V_{DD} \times Q_g \times f_{sw} \quad (\text{eq. 9})$$

主要な電力損失はゲート駆動損失であるため、ドライバの損失を計算する最も簡単で速い方法は、ゲート駆動損失( $P_{\text{gate\_driving}}$ )と $V_{DD}$ の動的損失を合計することです。

最近の中電圧クラスのハイサイド、ローサイドドライバ製品では、これらの損失が90%以上を占めています。

### 熱解析

ドライバ内部で消費される電力が計算できると、ドライバの接合部温度を推定できます。これは同様の熱設計(ヒートシンクや空気流)に対して熱抵抗

り又は熱特性が決定されたと仮定して評価できます。熱方程式は次のとおりです。

$$T_J = P_{\text{TOTAL}} \times R_{jx} + T_x \quad (\text{eq. 10})$$

ここで、

$T_J$  = ドライバのダイ接合部温度

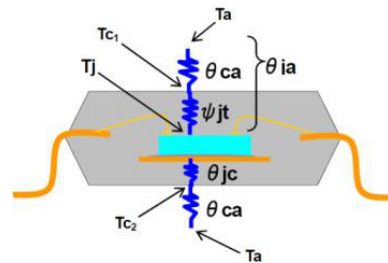
$R_{jx}$  = 熱抵抗( $\theta$ )または総消費電力に対する温度上昇に関する特性パラメータ ( $\Psi$ )

$T_x$  = データシートの熱特性表に定義された測定ポイントxの温度

熱に関する情報をFigure 5とTable 1に示します。パッケージの熱特性は、形状、境界条件、試験条件など、いくつかのパラメータの関数です。このため、一般には操作が面倒な数値解析ツールまたはモデリング手法が必要です。データシートの熱的情報により接合部温度を正確に見積もるのは難しい場合があります。

そのため、熱的情報の定義を見直すと参考になります。

1.  $\theta_{ja}$ は接合部と空気間の熱抵抗で、ダイの接合部と空気間の熱の流れを測定します。主に外付けヒートシンクがないパッケージに関連しています。
2.  $\theta_{jc}$ は接合部とパッケージ間の熱抵抗で、ダイの接合部とパッケージ表面間の熱の流れを測定します。主に外付けヒートシンクを使用するパッケージに関連しています。
3.  $\Psi_{jt}$ は接合部とパッケージ上面間の熱特性パラメータで、ダイ温度とパッケージ上面の温度間の関係を示しています。これはアプリケーションでのダイ温度の見積もりに使用できます。
4.  $\Psi_{jb}$ は接合部とボード間の熱特性パラメータで、ダイ温度とボードの温度間の関係を示しています。これはアプリケーションでのダイ温度の見積もりに使用できます。



$$\theta_{ja} = \frac{T_j - T_a}{P_d}$$

$$\psi_{jt} = \frac{T_j - T_{c1}}{P_d}$$

$$\theta_{jc} = \frac{T_j - T_{c2}}{P_d}$$

**Figure 5. Thermal Resistance and Characterization Parameters with Package**

**Table 1. DEFINITION OF THERMAL RESISTANCE AND CHARACTERIZATION PARAMETERS**

Item	Definitions
$\theta_{ja}$	Thermal resistance between $T_j$ and $T_a$
$\Psi_{jt}$	Thermal characterization parameter between $T_j$ and $T_{C1}$
$\theta_{jc}$	Thermal resistance between $T_j$ and $T_{C2}$
$\theta_{ca}$	Thermal resistance between $T_c$ and $T_a$
$T_j$	Junction temperature
$T_a$	Ambient temperature
$T_{C1}$	Temperature of the top surface of IC package
$T_{C2}$	Temperature of the bottom surface of IC package
$P_d$	Maximum permissible power

一般に、半導体のデータシートに記載されている熱に関する情報は、全てのアプリケーションに対応できるわけではありません。以下の例では、 $T_j$ の計算に $\theta_{ja}$ のみを使用しています。

データシートに記載されている熱的データの適切な使用方法に関する詳細については、次の詳細なアプリケーションノートを参照してください。

[www.onsemi.com/pub/Collateral/AND8220-D.PDF](http://www.onsemi.com/pub/Collateral/AND8220-D.PDF)

#### $T_j$ を下げるための推奨事項

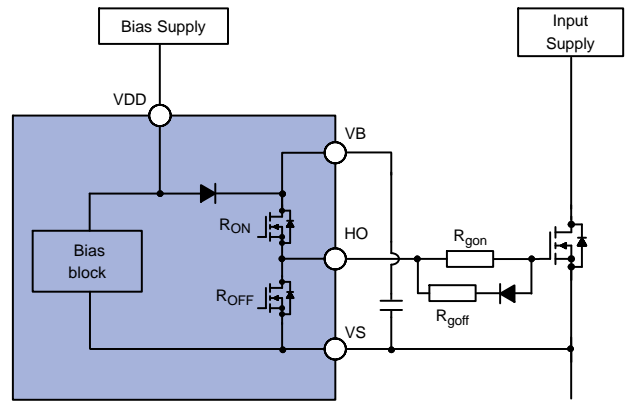
$T_j$ が推奨動作温度に近すぎる場合、下記事項を考慮する必要があります。

1. 電力損失を分散させるための外付けゲート抵抗の追加。外付けゲート抵抗をドライバとMOSFETの間に挿入していない場合、電力はすべてドライバパッケージ内で消費されます。外付けゲート抵抗を使用すると、電力損失をドライバの内部ゲート抵抗と挿入した外付け抵抗に分配できます。分配割合は2つの抵抗の比になります。外付け抵抗値が高いほどドライバ内部で発生する消費電力は少なくなります。
2. スイッチング周波数の低減。スイッチング周波数は電力損失の大部分に影響を与えているため、アプリケーションが許す限りスイッチング周波数を下げると効果があります。
3. ヒートシンクの使用。PCB面積を拡大しドライバ周囲の銅箔面積を増やします。
4. 可能な場合は電源電圧VDDの低減。最新世代のドライバとMOSFETではこの選択肢が提供されています。

スイッチング周波数や電源電圧の低減は必ずしも可能ではなく、多くの場合はPCBを大きくし放熱を増やすには制約があります。ほとんどの場合、寄生素子や高い $dV/dt$ によるリングングを制限したり、EMI低減のためにゲート駆動の強さを調整するなど、様々な理由で外付けゲート抵抗が使用されます。これも電力損失の分配に影響を与えます。外付けゲート抵抗を追加することによるゲート駆動の電力損失は次式で計算されます。

$$P_{sw} = Q_g \times V_{DD} \times f_{sw} \times \left( \frac{R_{ON}}{R_{ON} + R_{gon}} + \frac{R_{OFF}}{R_{OFF} + R_{goff}} \right) \quad (\text{eq. 11})$$

ここで、 $R_{ON}$ と $R_{OFF}$ は内部プルアップおよびプルダウン抵抗値であり、 $R_{gon}$ と $R_{goff}$ は外付けゲート抵抗値です。単純に、 $R_{ON} = R_{OFF} = R_g$ とすると、 $P_{sw}$ は外付けゲート抵抗がない場合に比べ総消費電力の半になります。



**Figure 6. Internal Pull Up and Down Resistance**

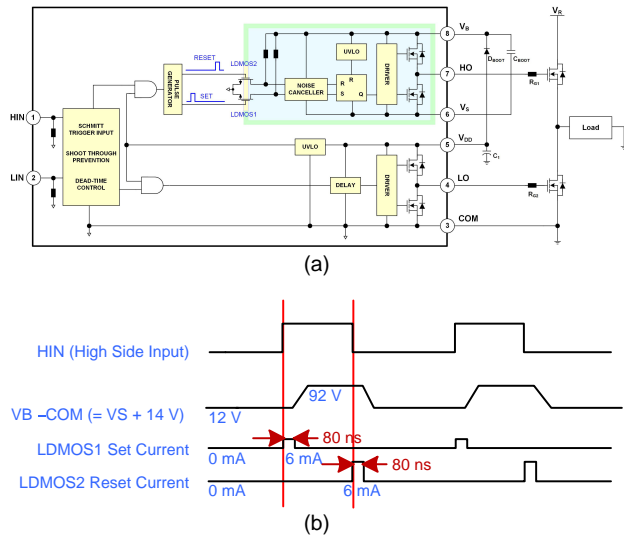
NCV51511の例として、 $V_{dd}/\text{peak}$ のプルアップ(またはプルダウン)電流の計算から、 $R_{ON}$ は $2\ \Omega$ で $R_{OFF}$ は $1\ \Omega$ になります。 $1\ \Omega$ を出力ピンとMOSFETゲート間に挿入すると、ゲート駆動損失は83%まで低下します。

#### レベルシフト回路の消費電力

Figure 7はレベルシフトに関する標準的な内部ブロック図とタイミング図です。高効率動作と管理可能な消費電力を維持するには、メインスイッチのオン期間にレベルシフタが電流を流さないようにする必要があります。Figure 7(a)に示すレベルシフトはパ



ルスラッチレベルトランジスタと呼ばれ、広く使用されている方式です。



**Figure 7. (a) Typical Internal Block Diagram of HVIC. (b) Associated Waveform of Level Shift**

レベルシフタの消費電力を計算するために、試験条件はNCV51511の事例研究と同一と仮定します。すなわち、レベルシフト回路について、温度 = 25°C、 $V_{DD} = 12\text{ V}$ 、 $V_{DBOOT} = 1\text{ V}$ 、 $V_R = 80\text{ V}$ 、周波数 = 100 kHz、 $T_{on} = 80\text{ ns}$ 、 $I_d = 6\text{ mA}$ とします。

セットおよびリセットの $Q_p$ は次式で見積もることができます。

$$\text{Set}Q_p = I_d \times T_{ON} = 6\text{ mA} \times 80\text{ ns} = 0.48\text{ nC} \quad (\text{eq. 12})$$

$$\text{Reset}Q_p = I_d \times T_{ON} = 6\text{ mA} \times 80\text{ ns} = 0.48\text{ nC} \quad (\text{eq. 13})$$

$Q_p$ から、この事例のセットとリセット期間の消費電力は次のとおりです。

$$P_{D,\text{set}} = (V_{DD} - V_{DBOOT}) \times Q_p \times \text{Freq} = 11\text{ V} \times 0.48\text{ nC} \times 100\text{ kHz} = 0.57\text{ mW} \quad (\text{eq. 14})$$

$$P_{D,\text{reset}} = (V_R + V_{DD} - V_{DBOOT}) \times Q_p \times \text{Freq} = 91\text{ V} \times 0.48\text{ nC} \times 100\text{ kHz} = 4.37\text{ mW} \quad (\text{eq. 15})$$

レベルシフトの総消費電力は $P_{D,\text{set}}$ と $P_{D,\text{reset}}$ の合計です。ここで、 $P_{D,\text{set}}$ は $P_{D,\text{reset}}$ よりもかなり小さいため、 $P_{D,\text{set}}$ を無視して、単に $P_{D,\text{reset}}$ だけを考慮することができます。

## NCV51511への適用

NCV51511の電力損失の計算と温度見積もりについて、このセクションで順を追って説明します。総消費電力は以下の条件で計算します。

- 周囲温度：25°C

- $V_{DD} = 12\text{ V}$ および $V_R = 80\text{ V}$
- スイッチング周波数 = 100 kHz
- ゲート抵抗 $R_g = 0\text{ }\Omega$
- 外付けMOSFETの $Q_G$ は80 nC
- $Q_{\text{internal}} = 0.48\text{ nC}$
- $V_{DBOOT} = 1\text{ V}$
- $I_{LK} = 10\text{ }\mu\text{A}$

回路の実装をFigure 8に示します。

1. 静的損失はレベルシフト段のVBピンでのリーク電流から計算されます。

$$P_{\text{Leakage}} = (80\text{ V} + 12\text{ V} - 1\text{ V}) \times 10\text{ }\mu\text{A} = 0.1\text{ mW}$$

このドライバではリーク電流が小さく $V_{BOOT}$ が低いので、ハイサイド部でのこの静的損失は無視できます。

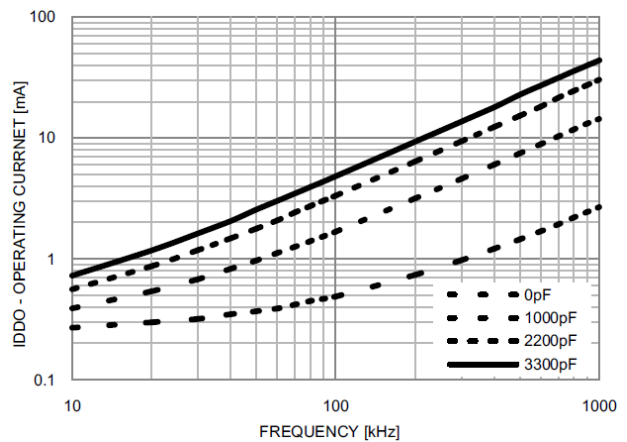
2. 動的損失はレベルシフト回路と、内部CMOS回路に関連する動作電流から見積もることができます。

$$P_{LS} = (80\text{ V} + 12\text{ V} - 1\text{ V}) \times 0.48\text{ nC} \times 100\text{ kHz} = 4.368\text{ mW}$$

レベルシフトの動的損失については、付録で詳細に説明しています。この電力損失を正確に計算するには、レベルシフト用高電圧MOSFETのゲート電荷( $Q_{\text{internal}}$ )など、通常はデータシートに記載されていない重要な情報が必要です。この電力損失は完全に無視できるわけではありませんが、その電力量はまだわずかです。

$$P_{OP} = 12\text{ V} \times 0.5\text{ mA} + 11\text{ V} \times 0.5\text{ mA} = 11.5\text{ mW}$$

動作電流は周波数と負荷容量を考慮してFigure 8のようなデータシートの特性曲線に記載されているとおり取得する必要があります。



**Figure 8.  $I_{DD}$  Operating Current vs. Frequency**

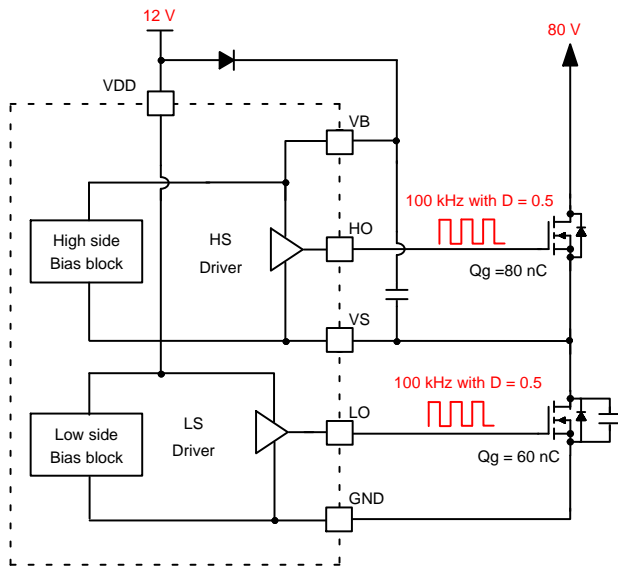


Figure 9. Half-bridge Configuration for the Case Study

3. ゲート駆動損失は次式で計算できます。

$$P_{\text{gate\_driving}} = 2 \times 12 \text{ V} \times 80 \text{ nC} \times 100 \text{ kHz} = 192 \text{ mW}$$

4. 総電力損失は1、2、3の合計で次式のようになります。

$$P_{\text{total}} = P_{\text{Leakage}} + P_{\text{LS}} + P_{\text{OP}} + P_{\text{gate driving}} = 0.9 \text{ mW} + 4.4 \text{ mW} + 11.5 \text{ mW} + 192 \text{ mW} = 208.8 \text{ mW}$$

この動作条件でのNCV51511の総消費電力は209 mWです。電力損失の大部分はゲート駆動損失によるもので、電力損失の92%に相当し、5.5%はVDDとVBピンでの動的損失によって発生します。したがって、電力損失の97.5%は次式から得られます。

$$P_{(97\% \text{ of total})} = 2 \times V_{\text{DD}} \times Q_g \times f_{\text{sw}} + V_{\text{DD}} \times (I_{\text{DDO}} + I_{\text{BSO}}) \quad (\text{eq. 16})$$

約97%の消費電力を計算するパラメータはすべて、データシートとアプリケーションの条件からすぐに知ることができます。そのため、経験則として、ICの総消費電力は静的損失と中電圧ゲートドライバでのレベルシフトによる損失を無視したゲート駆動損失とすることができます。

消費電力を見積もると、データシートに記載されている熱抵抗を使用して接合部温度を予測できます。Table 2に、エクスポーズドパッド(EP)付きのSOIC-8パッケージに実装されているNCV51511の熱的特性を示します。EPによって確実に熱性能を向上させることができるため、標準のSOIC-8に比べて熱抵抗ははるかに小さくなります。NCV51511の接合部と空気間の熱抵抗( $\theta_{JA}$ )は39°C/Wですが、一般的なSOIC-8は150~200°C/Wです。

Table 2. THERMAL INFORMATION OF NCV51511

Symbol	Parameter	Value	Unit
$\theta_{JA}$	Thermal Resistance Junction–Air*	39	°C/W
$\Psi_{JL}$	Thermal characterization parameter Junction–Lead	15	°C/W
$\Psi_{JT}$	Thermal characterization parameter Junction–Case (TOP)	6	°C/W

\*As mounted on a 76.2 x 114.3 x 1.6 mm FR4 substrate with a Multi-layer of 1 oz copper traces and heat spreading area. As specified for a JEDEC 51–7 conductivity test PCB. Test conditions were under natural convection or zero air flow

これらの熱的情報によって、周囲温度、パッケージのリードの温度、パッケージ上面の温度が測定されているか既知であれば、以下の式を用いて接合部温度を見積もるために様々な手法が使えます。接合部温度の計算値と実際の値の間には、わずかな差があるかもしれません。データシート(JEDEC)の情報に基づいた測定セットアップでは、PCBの材料、銅箔パターンの厚みや面積、PCBの全層数などが実際のアプリケーションと同一ではありませんが、設計者が熱的マージンを知るのに役立つ見積もりとしては、十分に近い推定値を得ることができます。

- 総消費電力 = 209 mW

- $\theta_{JA}$ と $T_a$ が与えられると

$$T_J = 0.21 \times 39 + T_a = 8.19 + T_a \text{ (°C)}$$

- $\Psi_{JL}$ が既知でリード温度( $T_{\text{Lead}}$ )が測定可能な場合

$$T_J = 0.21 \times 15 + T_{\text{Lead}} \text{ °C} = 3.15 + T_{\text{Lead}} \text{ (°C)}$$

- $\Psi_{JT}$ が既知でパッケージ上面温度( $T_{\text{Top}}$ )が測定可能な場合

$$T_J = 0.21 \times 6 + T_{\text{Top}} \text{ °C} = 1.26 + T_{\text{Top}} \text{ (°C)}$$

この接合部温度( $T_J$ )の見積もりは、 $T_J$ がデータシートに記載されている最大推奨動作温度範囲に近づき過ぎている場合に、何らかの措置を講じる上で有用な指針となります。

#### FAN73912への適用

最後の例はFAN73912で、動作条件は次のとおりです。

- $V_{\text{DD}} = 20 \text{ V}$ および $V_B = 800 \text{ V}$
- スイッチング周波数 = 20 kHz
- ゲート抵抗 $R_g = 0 \Omega$
- 外付けMOSFETの $Q_G$ は10 nC
- $Q_{\text{internal}} = 2 \text{ nC}$
- $V_{\text{DBOOT}} = 1 \text{ V}$
- $I_{\text{LK}} = 50 \mu\text{A}$

## AND90004/D

### 1. 静的損失

$$P_{\text{Leakage}} = (800 \text{ V} + 20 \text{ V} - 1 \text{ V}) \times 50 \text{ } \mu\text{A} = 40.95 \text{ mW}$$

リーク電流はデータシートに $I_{\text{SD}}$ として規定されています。

### 2. 動的損失

$$P_{\text{LS}} = (800 \text{ V} + 20 \text{ V} - 1 \text{ V}) \times 2 \text{ nC} \times 20 \text{ kHz} = 32.8 \text{ mW}$$

$$P_{\text{OP}} = 20 \text{ V} \times 0.1 \text{ mA} + 19 \text{ V} \times 2 \text{ mA} = 40 \text{ mW}$$

### 3. ゲート駆動損失

$$P_{\text{gate\_driving}} = 2 \times 20 \text{ V} \times 10 \text{ nC} \times 20 \text{ kHz} = 8 \text{ mW}$$

### 4. 総電力損失

$$\begin{aligned} P_{\text{total}} &= P_{\text{Leakage}} + P_{\text{LS}} + P_{\text{OP}} + P_{\text{gate driving}} = \\ &= 40.95 \text{ mW} + 32.8 \text{ mW} + 40 \text{ mW} + 8 \text{ mW} = \\ &= 121.75 \text{ mW} \end{aligned}$$

総消費電力は104.8 mWで、 $\theta_{\text{JA}}$ は14SOICの場合は95°C/Wです。

$$T_{\text{J}} = 0.122 \times 95 + T_{\text{a}} = 11.6 + T_{\text{a}} (\text{°C})$$

**onsemi, Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "onsemi" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marketing.pdf](http://www.onsemi.com/site/pdf/Patent-Marketing.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## ADDITIONAL INFORMATION

### TECHNICAL PUBLICATIONS:

Technical Library: [www.onsemi.com/design/resources/technical-documentation](http://www.onsemi.com/design/resources/technical-documentation)  
onsemi Website: [www.onsemi.com](http://www.onsemi.com)

### ONLINE SUPPORT: [www.onsemi.com/support](http://www.onsemi.com/support)

For additional information, please contact your local Sales Representative at [www.onsemi.com/support/sales](http://www.onsemi.com/support/sales)