

PLCモデムとメイン電源との同期



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

はじめに

通信レシーバの感度は、トランスミッタとの正確で確実な同期に依存します。電力線通信(PLC)では、この同期にメイン電源のゼロクロスを使用するのが一般的です。このアプリケーション・ノートでは、同期の目的と同期の不整合の影響(「問題」セクション参照)、オン・セミコンダクター製PLCモデムで使用する同期(「オン・セミコンダクター製PLCモデムでの同期」セクション参照)について解説します。また、5種類のゼロクロス検出回路について、その解説と比較を示します(「ゼロクロス検出回路」セクション参照)。

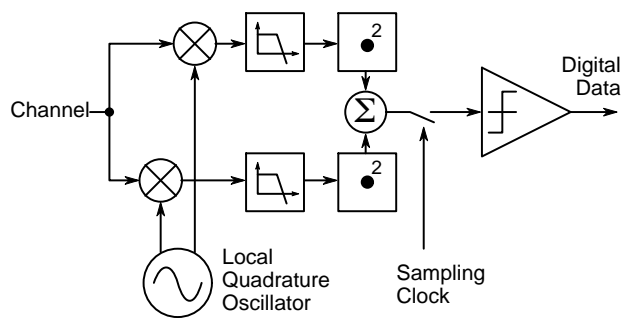


Figure 1. Simple ASK Demodulator

結論

5種類のゼロクロス検出器回路について説明しました。ガルバニック絶縁が不要の場合は、非絶縁型検出器(「非絶縁回路」セクション参照)を使用できます。従来の回路構成(「従来の検出方法」セクション参照)はPLCモデム・アプリケーションには不向きです。他の3つの回路(「低電圧電荷蓄積」「高電圧電荷蓄積回路」「短縮出力パルス回路」の各セクション参照)では、消費電力は低下しますが、より複雑になります。Table 2には、230 V_{RMS}で測定した消費電力と部品点数、従来型回路を基準とした場合の大まかなコスト見積もりを示しています。

ゼロクロス検出器での遅延によって、物理ビット・ストリームとビット・サンプリング・クロックにスキューが生じるため、この遅延を補正することが重要です。

遅延の補正は、まずZC_ADJUSTパラメータにより、ボー・レートに関係なく13 μs刻みで調整できます。

次にファームウェアがタイミングを自動的に微調整します。

問題

ビット同期

Figure 1に示すコヒーレントなASK(振幅偏移変調)復調器を考えてみましょう。単純化した図ですが正確なタイミングの重要性を示しています。

Figure 2にこの復調器の波形を示します。元のビット・ストリーム波形と生成されたASK信号(Channelの波形)がトランスミッタによってチャネルに乗せられます。ノイズフリー・チャネルの場合は、フィルタを通過した信号もノイズフリーです。ただし実際には、フィルタを通過したあとも、チャネルによって付加されるノイズが存在しています。

タイミングの最適なサンプリング・クロックを使用した場合は、ノイズもシンボル間干渉(ISI)も許容できます。しかしレシーバのサンプリングが遅すぎる(最下部の波形)と、検出器での取りこぼしが多発します。同様に、サンプリング・クロックのタイミングが早すぎる場合も、余分なビット・エラーが発生します。

同じ問題はFSK復調にも見受けられます。Figure 3に、NCN49597およびNCN49599モデムのレシーバのデジタル部を示します。

電力線で通信を行うときは、クロック信号とデータを一緒に送信することはできません。ビット・サンプリング・クロックを同期させるには、送信クロックの同期点としてメイン電源のゼロクロスを使用するのが一般的なので、ボー・レートはメイン電源周波数の倍数になるように選択されます。

送信クロックと実際のメイン電源のゼロクロスとのリンク方法は、通信規格によって規定されます。PL110規格(KNX電力線通信)は、遅延時間ゼロでメイン電源のゼロクロスと各ビットが同期することを要求していますが、オン・セミコンダクター製ファームウェアON-PL110はこの要件に準拠しています¹。

¹For completeness' sake we add other standards have different requirement. For instance, the IEC 61334 standard requires a delay of $120 \pm 20 \mu\text{s}$ from the mains zero crossing to the start of the first bit of physical frame. Refer to [1] for details. Please note ON Semiconductor does not provide support the IEC 61334 protocol.

AND9282/D

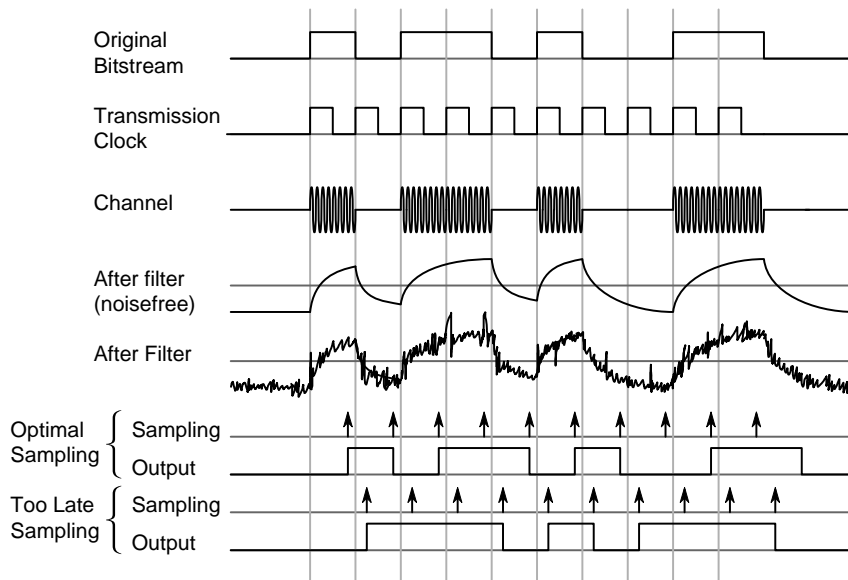


Figure 2. The Coherent Demodulator of Figure 1: Waveforms and the Resulting Data when Sampling Optimally and too Late

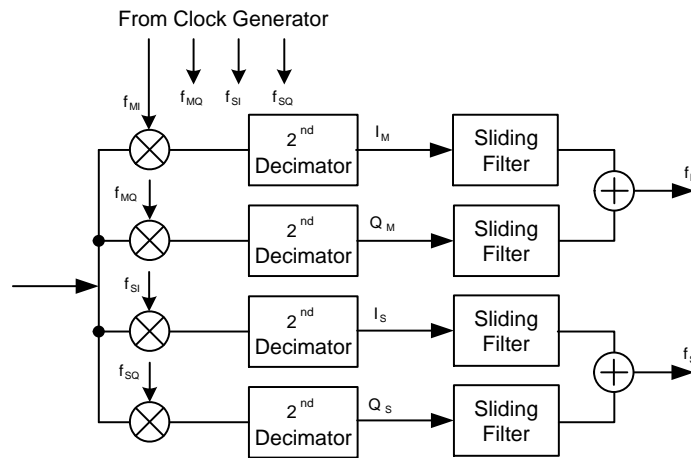


Figure 3. Digital Part of the Receiver of the NCN49597/9

フレーム同期

ビット同期のほかに、レシーバは物理フレームの始点を知る必要もあります。当然ですが、フレームは物理的なビット境界でしか開始できません。

PL110プロトコルの場合、フレーム同期の規定がないので、どのビット・スロットの始点でもフレームを開始できます²。

オン・セミコンダクター製PLCモデムでの同期

Figure 4は、オン・セミコンダクターが設計したNCN49597とNCN49592の2つのPLCモデムにおける同期の流れを示したブロック図です。外部のゼロクロス検出器がメイン電源を利用して低電圧同期クロ

ック(50 Hzまたは60 Hz)を駆動しており、そのクロックがZC_INピンを通じてモデムにつながっています。モデムの内部では、デジタルPLLがメイン電源周波数の倍数の周波数を持つ「ビット・クロック」を生成します。さらに、そのビット・クロックの8倍のレート「チップ・クロック」も生成されます。

このブロック図と同じことを信号レベルで表現したのがFigure 5です。

²For completeness' sake, we note the IEC standard also requires that a frame starts on the frame clock, a signal with a period of multiple mains periods. The exact period depends on the baud rate, but a frame clock start is always aligned on a mains zero crossing.

AND9282/D

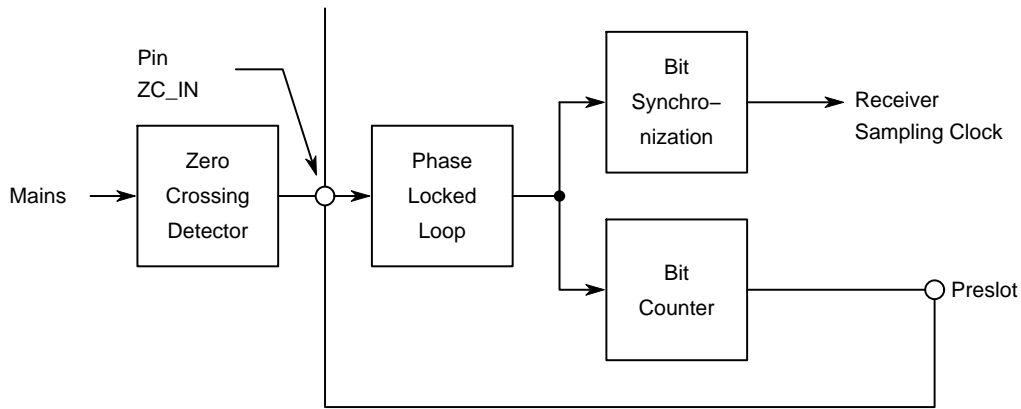


Figure 4. NCN49597 and NCN49599 Bit and Frame Synchronization

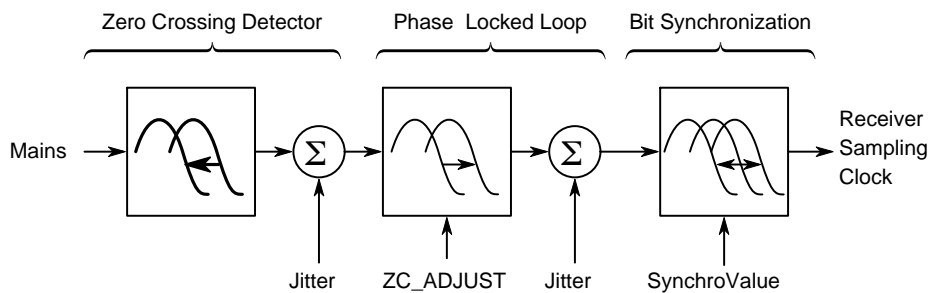


Figure 5. NCN49597/9 Synchronization Signal Diagram. Note the Direction of Delay Arrows

ゼロクロス検出器には、どうしても遅延(通常50~500 ms)とジッタ(通常2~100 ms)が発生してしまいます。

フェーズ・ロック・ループは、ゼロクロス信号を「前方へ」(すなわち遅延と逆方向)シフトすることができます。このシフト量はZC_ADJUSTレジスタで制御され、制御範囲は0~3.3 msです。調整の刻み幅は13 μsです。さらに、25 μs pk-pkのジッタが付加されます。

ほかに、SynchroValue設定でも時間シフトを制御できます。この調整によって、サンプリング・クロックを-3~+4チップ・クロック期間の範囲で1チップ

期間ずつシフトすることができます。トランスミッタ・クロックを左右するのはビット・クロックだけで、レシーバの挙動を変更するのはSynchroValueだけです。最適な同期ビット値はファームウェアによって自動的に推定されるので、ユーザによる操作は不要であり、そもそも不可能です。

オン・セミコンダクターのPL110ソフトウェア・ソリューションは、ゼロクロス情報を使用できますが、その情報は不要です。ソフトウェアが自動的に他のノードと同期できるからです。この機能は特にDCラインでの通信のために使用されます。

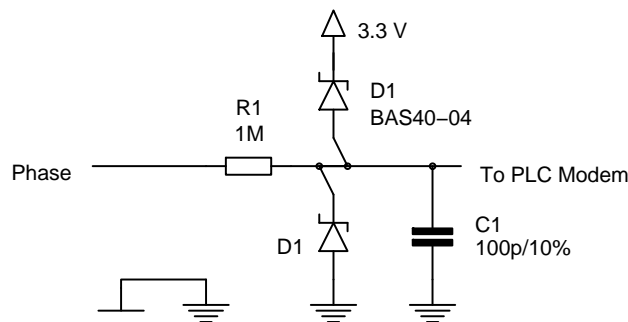


Figure 6. Non-Isolated Zero Crossing Detector

遅延の調整

メイン電源のゼロクロスからビット・クロックまでの遅延として望ましい値 (IDISの場合は $120\ \mu\text{s}$ 、PL110の場合は $0\ \mu\text{s}$)を得るには、ZC_ADJUSTレジスタを使用してください。

例えば、全体の遅延が $95\ \mu\text{s}$ であるゼロクロス検出器をON-PL110ファームウェアと併用した場合、ZC_ADJUSTの値7 ($7 \times 13 = 91\ \mu\text{s}$)が最良です。

ゼロクロス検出回路

ゼロクロス検出器はモデム用のメイン電源同期信号を生成します。入力がメイン電源、出力が $3.3\ \text{V}$ のTTL信号です。

モデムとメイン電源との間に絶縁が必要ない場合、この回路は非常に単純にできます(「非絶縁回路」セクション参照)。

しかしほとんどのアプリケーションではガルバニック絶縁が必要です。絶縁にはオプトカプラが当然の選択であり、PLCでの従来型応用回路を以下に示

します。ただし、この回路には大きな欠点があります(「従来の検出方法」セクション参照)。改良した回路については、「低電圧電荷蓄積」「高電圧電荷蓄積回路」「短縮出力パルス回路」セクションで示します。

以降の説明では、メイン電源電圧が $230\ \text{V}$ で変動範囲が $-30\% \sim +20\%$ と想定しています。ただし「付録」には、メイン電源電圧 $120\ \text{V}$ の部品表を示します。

非絶縁回路

メイン電源とモデムの間にはガルバニック絶縁が必要なければ、非常に単純なゼロクロス回路が使用できます(Figure 6参照)。

この回路では、モデム・ピンのESD保護セルを保護するために、ショットキ・ダイオードでメイン電源電圧を $0 \sim 3.3\ \text{V}$ レベルまで落としています。 $1\ \text{M}\Omega$ の抵抗は電流を制限しています。ノイズと干渉の影響を抑えるため、小さなコンデンサを追加することをお勧めします。

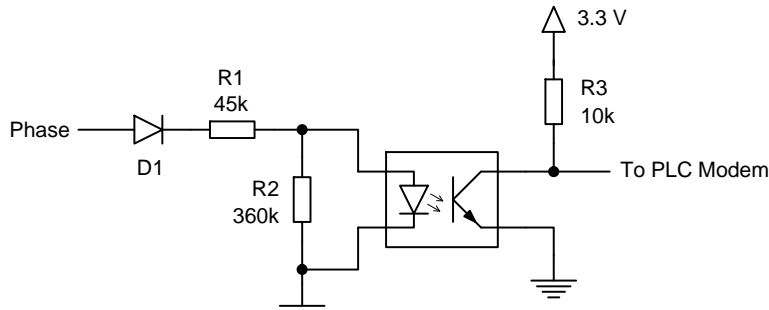


Figure 7. Conventional Isolated ZC Schematic (Variant 1)

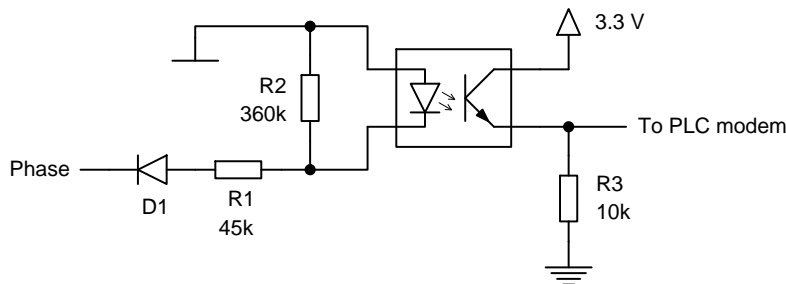


Figure 8. Conventional Isolated ZC Schematic (Variant 2)

従来の検出方法

2つの従来型ゼロクロス検出回路例を、Figure 7と8に示します。

ダイオードD1は逆電圧からLEDを保護するとともに電力損失を半分に低減します。ゼロクロスのタイミングではLEDに電流が流れないため、検出が大幅に遅れます。例えば、LED電流のピーク振幅を $5\ \text{mA}$ に設定し、オプトカプラをトグルするのに $0.5\ \text{mA}$ が必要な場合、時間のずれは $300\ \mu\text{s}$ 程度になるでしょう。電流が不要になった後、はるかに大きな電流が引き込まれます。

部品の選択

決定的に重要な部品はありません。 $330\ \text{k}\Omega$ の抵抗は、多くの場合は小さな抵抗をいくつか直列接続して構成すると便利です。そうすれば、小型で安価なパッケージを使用しても電圧定格を超えることはありません。

コンデンサによって生じる遅延は、PLCモデムのZC_ADJUSTレジスタで補正できます。

エッジ部の挙動

オン・セミコンダクター製PLCモデムのPLLは、検出器出力の立ち上がりエッジに同期します。この

モデムは、検出器にとって不可避の遅延をチップの設定で補正することができます。しかし、この機能は常に一定の遅延でのみ有効です。

立ち上がりエッジはLED電流が非常に少ないときに発生するため、遅延はオプトカプラの電流伝達比(CTR)とLEDのV-I曲線に大きく左右されます。これらの特性は、オプトカプラの種類によって大きく異なるうえ、同じ種類でも個体差が大きい。また、経年変化や温度によっても違ってきます。

ほとんどのオプトカプラは、LED電流が1 mA未満のときの仕様はまったく定められておらず、特にターンオフ時間とそのばらつき(温度変化、個体差、経年変化)に関する仕様はありません。PLCモデム量産時の第1候補になりがちな安価なオプトカプラの場合は特にそうです。

立ち上がりエッジのタイミングもメイン電源の実際の電圧に依存します。測定によって-0.17 μs/Vの係数が求まりました(電圧が高いほど遅延が少くない)。

立ち上がりエッジの品質とタイミングは、図に示した2つの回路で大きく異なることに注意しなければなりません。

1つ目の回路では、オプトカプラのターンオフ時に立ち上がりエッジが発生します。オプトカプラはターンオフがターンオンより遅くばらつきも大きくなります。そのためモデムに使用したときに相当な遅延が生じるだけでなく、その遅延が大きくばらつきます。また、半波がほぼ終了しLEDの駆動電流が減

少すると、実際の遷移が起こるので、実際のゼロクロスよりも先にPLCモデムに信号が入力されます。この現象は、オン・セミコンダクター製のモデムでは補正できません。

この点では2番目の回路のほうが優れています。立ち上がりエッジはフォトトランジスタのターンオン特性の影響を受けるため、実際のゼロクロスの後に発生します。

要するに従来のゼロクロス検出器は、遅延が大きいうえにそれを制御できないということです。2番目の回路のほうが優れていますがその差はごくわずかです。

部品の選択

D1の降伏電圧は十分高く、漏れ電流は小さくしなければなりません。その他のパラメータは重要ではありません。

R1の合成値は、任意に選択した最悪条件におけるピーク電流で計算します。メイン電源の公称電圧が230 V_{AC}、望ましいピーク電流が5 mAの場合は、次式のように計算されます。

$$R_1 = \frac{\sqrt{2} \cdot V_{\text{mains,RMS}}(1 - 30\%) - V_{D1} - V_{LED}}{I_{\text{Peak}}} \quad (\text{eq. 1})$$

$$\approx \frac{228 \text{ V} - 0.6 \text{ V} - 3 \text{ V}}{5 \text{ mA}} = 45 \text{ k}\Omega$$

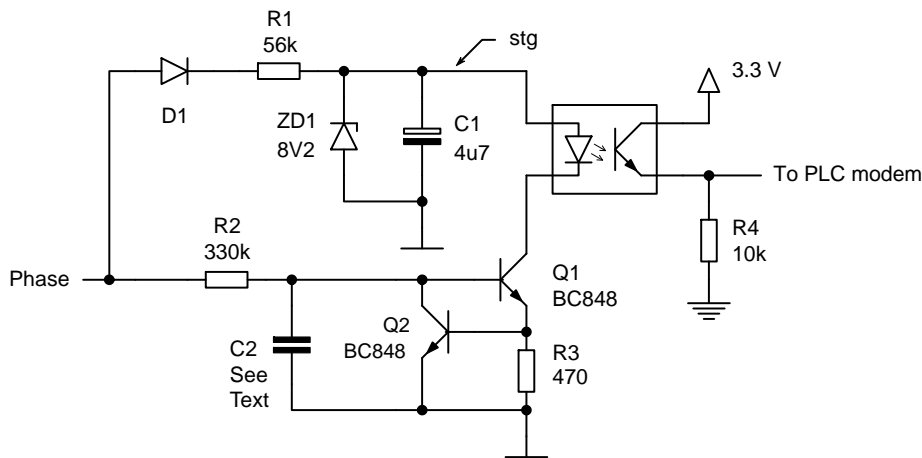


Figure 9. Improved Isolated ZC Schematic

電力損失の計算では、メイン電源電圧として考えられる最大値を考慮しなければなりません。次式で計算されます。

$$P = 50\% \cdot \frac{(V_{\text{Mains}} \cdot 120\%)^2}{R_1} = 850 \text{ mW} \quad (\text{eq. 2})$$

R1は全動作温度範囲にわたって確実な動作が保証できるよう電力損失定格を選択し、冷却を考慮した部品配置にする必要があります。

R1は電力線の最大電圧にも耐える必要があるため、最大電圧要件に適合しながら表面実装の利点を維持するには、表面実装抵抗を直列接続して構成したほうが有利です。

オプトカプラLEDの降伏を避けるにはR2が必要です。R2を流れる電流が無視できる程度の値になるように設定します。

低電圧電荷蓄積

改良したZC回路(Figure 9)を使用すれば、過度な電力損失が発生することなく、また高性能オプトカプラを使用しなくても確実な動作を実現できます。

D_1 、 R_1 、 C_1 、 ZD_1 は単純な電源を構成しています。ゼロクロス時には、 C_1 に蓄積された電荷によってLEDの駆動電流が引き込まれます。従来方式ではゼロクロス時に電流を流す能力はほとんどありません。

Q_1 と Q_2 の2個のNPNトランジスタが定電流シンクを構成しています。局所的に負帰還がかかることによって、 R_3 の両端に定電圧(Q_2 のベース・エミッタ

間電圧。設計動作点では約650 mV)が発生し、その結果 R_3 に定電流が流れます。

この電流値は、両方のトランジスタの電流利得が十分に高ければ、 Q_1 のコレクタ電流およびLED電流とほぼ等しくなります。

正の半波の期間中は、 R_2 を流れる電流が Q_1 のベース電圧を駆動するだけ大きくなるため、電源ラインによってCSSがターンオンします。負の半波の期間中は、 Q_2 のベース・コレクタ接合部が順方向バイアスされ、 Q_1 のベース電圧が約-0.65 Vに強制されるため、メイン電源電圧がクランプされます。

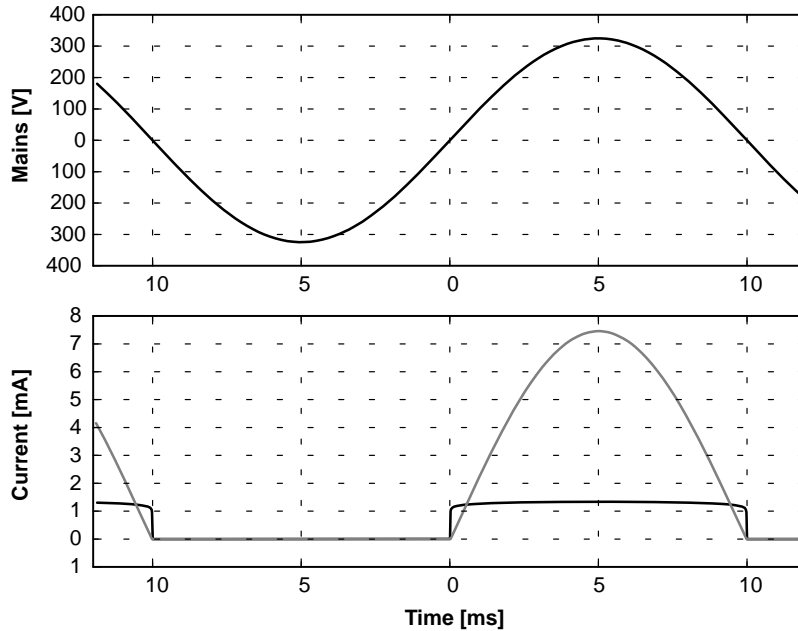


Figure 10. Current Waveforms through the LED for the Conventional (Grey) and the Improved Detector (Black).

Figure 10は、従来のZC回路(灰色)と改良したZC回路(黒)の電流の違いをシミュレートした図です。改良した回路のLED駆動電流は、理想方形波により近く、ゼロクロス検出の不確実ゾーンがかなり狭くなります。

従来の回路では、実際にゼロクロスしている付近の電流が非常に小さく、実際にゼロクロスした300 μ s後の電流値は160 μ Aです。改良したZC回路では、40 μ s以内に1 mAに達していますが、この遅延についても R_2 を少し小さくすればさらに短くできます。

従来の回路と改良した回路の両方について、電源ラインの実際のゼロクロスと6個のHCPL-817オプト

カプラの絶縁側との間の遅延(実測値)をTable 1に示します。

全デバイス間ばらつきは、93 μ sから24 μ sに改善されています。低LED電流時にCRTが劣化するオプトカプラでは、さらに大きな効果が期待されます。

また、TCET-1109、SFH615A-3、NEC2501オプトカプラの測定では、品種間ばらつきはわずか10 μ sでした。

これらの測定は室温で行い、エージングを実施していないことに注意してください。改良したZC回路で用いる駆動方法によっても、この用途でのばらつきがさらに減少します。

Table 1. MEASURED DELAY OF THE CONVENTIONAL AND THE IMPROVED ZERO CROSSING DETECTOR
(6 HCPL-817 Optocoupler Samples)

Sample	Conventional Circuit	Improved Circuit
1	374 μ s	70 μ s
2	281 μ s	52 μ s
3	298 μ s	46 μ s
4	298 μ s	61 μ s
5	298 μ s	62 μ s
6	290 μ s	55 μ s

部品の選択

逆極性保護用ダイオード D_1 は、メイン電源で予想されるピーク逆電圧に耐えなければなりません。このダイオードには、漏れ電流（全動作温度範囲で100 μ A未満であること）以外は特別な要件はありません。

提案した回路のLED駆動電流は約1.3 mAで、この値は R_3 (470 Ω)の両端の電圧降下650 mVによって定義されます。この電流を増やすことは可能ですが、すべての電流が比例して変化するので、他の部品も比例して変化させる必要が生じます。

Figure 2に示した電荷蓄積用コンデンサ C_1 の値(4.7 μ F)は、電圧リップルとスタートアップ時間のバランスをとった値です。このコンデンサから取り出せる電荷電流は、 R_1 の電力損失と高効率を維持する必要性から制限されます。Figure 2に示した値では、ゼロクロスを正常に検出するためのスタートアップ時間は50 ms、 C_1 がフル充電されるまでの時間は250 msです。

電圧リップルは500 mV未満であり、CCS性能としては何の問題もありません。 C_1 を流れる電流リップルは小さい(1 mA未満)ため、部品の選択は簡単です。 C_1 の定格電圧は8.2 Vのツェナ電圧より高くなければなりません。

R_1 の値は、平均電流のバランスによって決定されます。 R_1 が小さすぎると、ツェナ・ダイオードで余分な電力損失が生じます。 R_1 が大きすぎると、電流源ではなく R_1 によってLED電流が制限されるため、この回路は従来方式と同様に動作します。

正の半波のときに引き込まれる電流のほうが支配的です。この期間中は、1.3 mAの定電流がLEDに引き込まれます。ツェナ・ダイオードで十分に電圧を安定化させるには、これとほぼ同じ電流がツェナ・ダイオードに流れなければなりません。同じ期間に R_1 を流れる平均電流は、メイン電源電圧の実効値を R_1 で割って概算できます。

この電流は、以下に示す最悪条件での負荷電流よりも十分大きくなければならないということです。

- メイン電源電圧の予想最低値、今回の例では
230 V_{RMS} \cdot 30%
- LEDの最大電流：
 - ◆ 室温での代表値650 mV V_{BE} が、
-55°Cでは800 mVまで上昇する
 - ◆ R_3 の予想最低値：5%の抵抗公差など

以上を勘案すると、この電流は1.8 mA (30%増)となります。

今回の設計例では、63 k Ω です。E12値として56 k Ω を選択します。この値を決めてしまえば、最悪時の電力損失を計算できます。 R_1 を流れる電流は、ここでも同じように、時間の半分を対象にメイン電源電圧の実効値(ここでは、考えられる最大値)を最悪時の R_1 で割って概算します。(230 V_{RMS} + 20%) $2 / (56 \text{ k}\Omega \cdot 5\% \text{ tolerance}) / 2 = 715 \text{ mW}$ のように計算されます。

先に述べたように、コストによっては値の低い複数の抵抗を直列接続して、 R_1 を構成することがあります。

電力損失の増加を犠牲にしてもさらに遅延を改善したい場合は、 R_2 の値を1/2~1/3にすることもできます。ただし、小さい遅延よりも一定の遅延のほうが重要です。

Q_1 および Q_2 は、 $V_{CE} < 10 \text{ V}$ 、 $I_C \approx 1 \text{ mA}$ で動作します。高い電流利得が必要です。Figure 9に示したBC848は妥当な選択ですが、ほかにも多数の選択肢があります。

R_4 の値は妥協値です。値を小さくすれば遅延時間が短くなり、値を大きくすればオプトカプラのCTRに対する回路感度が低下します。10 k Ω にすればほとんどの設計に対応できるでしょう。しかし、常に量産開始前にいくつかの値(3.3 k Ω や33 k Ω など)で確認することが大切です。確実な動作のために、ZCピンでのフル電圧振幅をお勧めします。電圧振幅が3.3 V未満の場合は、設計した電流値でオプトカプラのCTRが十分かどうかを検証する必要があります。

上記の設計例の場合、CTRが100%であればフォトトランジスタには1.3 mAの電流が流れ、この値はZCピンを電圧幅いっぱいまで振幅させるのに十分です。

LEDの順方向電流が小さいときのCTR(電流伝達比)のばらつきが大きいオプトカプラを使用する必要がある場合は、それに応じて R_1 、 R_2 、 R_3 の各値を小さくしなければならないことがあります。例えば、別のシリーズのオプトカプラでは2.5 mAの駆動電流で十分なことが判明した場合は、これらの値を1/2にする必要があるでしょう。これにより必然的にメイン電源の消費電力が増加し、部品コストが高くなり

ます。これはまったく望ましいことではなく、オプトカプラの選択肢が狭まります。

しかし従来の回路でもオプトカプラに対する要求度が高いため、低グレードのオプトカプラを利用してコスト低減を目指す場合でも、改良したZC回路のほうが有利です。

オプトカプラは絶縁型ZC回路でも重要な部品です。しかし、全温度範囲かつ全耐用期間にわたって、駆動電流が1 mAのときターンオン時間がすべて規定値どおりで、しかも安価なデバイスを見つけるのはそう簡単ではありません。一般則として、LEDの順方向電流が最小のときにCTRが最も高いデバイスを極力選択するようにしてください。改良した設計では、特性のばらつきに対するトリガ・ポイントの感度が低くなっているため、オプトカプラの要件が緩和されます。

上記の設計例を従来の検出器と比べると、電力損失はそれほど小さくなりませんが、タイミングの信頼性は向上します。部品コストもわずかしこ増えませんでした。

高電圧電荷蓄積回路

さらに電力消費を低減する必要がある場合は、Figure 11に示す回路を採用してください。基本的な動作原理は同じですが、安定化電圧がメイン電源から直接得られるようになるため、電圧値はより高く(8.2 V_{DC}ではなく約300 V_{DC})なります。

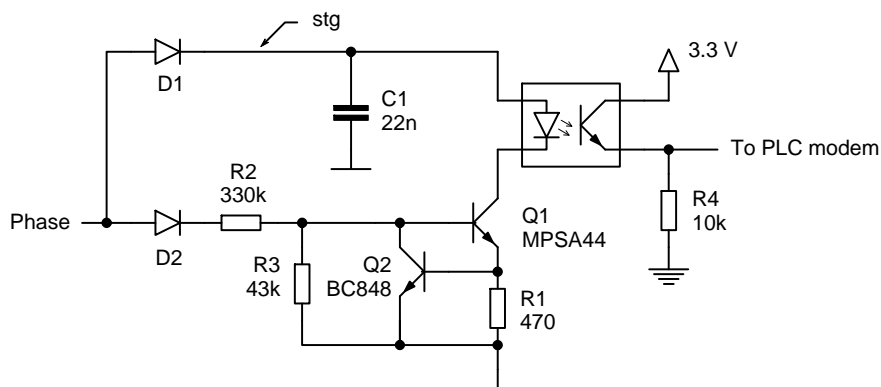


Figure 11. Schematic of the Detector with High-Voltage Charge Storage

また、Figure 9のベース抵抗 R_2 をダイオードと抵抗の組み合わせに置き換えたため、 R_2 での電力損失は半分です。負の半サイクル時に Q_1 のベース電圧を十分制御できるよう、 R_3 を追加しました。

これによって、Figure 9の回路に比べ、コストは若干上昇しますが消費電力は半分になります。詳しい比較については「付録」を参照してください。

測定した波形(黒い実線)をFigure 12に示します。上のグラフは、メイン電源の入力波形と C_1 のトップ・プレート電圧を示します。中央のグラフは出力信号です。下のグラフは、オプトカプラのダイオードを流れる電流(方形波電流)³と回路に流れ込む合計電流を示しています。

C_1 のトップ・プレート電圧と両方の電流については、シミュレートした波形(灰色の点線)も示しています。

シミュレートしたLED電流と測定したLED電流の差は小さなものですが、この差が最も重要なパラメータ(C_1 の最小電圧)により大きな違いをもたらします。このことから、回路動作を慎重に検証することの重要性が明らかになります。

³After capture, both signals were low-pass filtered with a bandwidth of 30 kHz to reduce displayed noise. It was verified this filtering does not hide significant signal features.

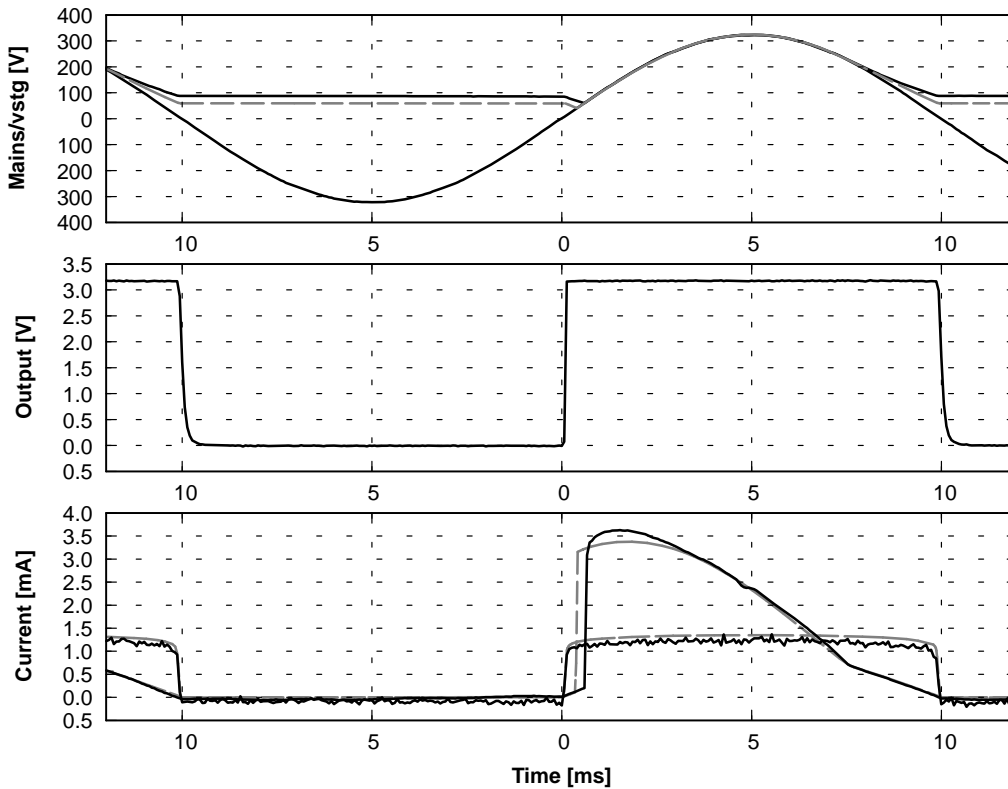


Figure 12. Measured (Solid Black) and Simulated Signals for the High-Voltage Charge Storage Pulse Detector
(Refer to the text for details)

部品の選択

まず、 C_1 の最小許容電圧($V_{C1,min}$)を選択します。電流源が適切に機能するには、いくらかの電圧降下が必要です。これにはLEDの両端の電圧降下を加味しなければなりません。 $V_{C1,min} = 10\text{ V}$ が安全な開始点です。これより値を低くしても大きなコスト効果は得られません。

C_1 はメイン電源電圧の正の半波の上昇期間中に再充電されます。 C_1 に蓄積された電荷は、次式に示したように $t = t_{start}$ から使用されます。

$$\left. \frac{d}{dt} V_{Mains}(t) \right|_{t = t_{Start}} = \frac{I_{LED}}{C_1} \quad (\text{eq. 3})$$

ここから直ちに次式が導かれます。

$$\sqrt{2} \cdot V_{Mains} \cdot 2\pi \cdot f_{Mains} \cdot \cos(2\pi \cdot f_{Mains} \cdot t_{Start}) = \frac{I_{LED}}{C_1} \quad (\text{eq. 4})$$

下降ゼロクロスするとき電流源がオフに切り換わります。電荷は、上昇ゼロクロスから再度使用され、メイン電源電圧が $V_{C1}(t) + V_D$ に上昇するまで使用されます。設計要件により、この時点で $V_{C1}(t = t_{min}) = V_{C1,min}$ です。次のように表現することも可能です。

$$t_{min} = \frac{1}{2\pi \cdot f_{Mains}} \arcsin \frac{V_{C1,min}}{\sqrt{2} \cdot V_{Mains,RMS}} \quad (\text{eq. 5})$$

最悪ケース条件はメイン電源電圧が低いときです。例えば、公称値よりも30%低い値が見込まれます。

$$C_1 > I_{LED} \cdot \frac{\frac{1}{2} \cdot t_{Mains} - t_{Start} + t_{min}}{\sqrt{2} \cdot \min V_{Mains,RMS} - V_{Q1,min}} \quad (\text{eq. 6})$$

$$= \frac{V_T}{R_1} \cdot \frac{\frac{1}{2} \cdot t_{Mains} - t_{Start} + t_{min}}{\text{nom } V_{Mains,RMS}(1 - 30\%) - V_{Q1,min}}$$

式6の右辺は C_1 によって決まりますが、 C_1 を表現する解析式は簡単には推測できません。しかし与えられた条件に対しては18 nFという値を計算できます。これはシミュレーションで確認できます。

これらのダイオードに対する要件は降伏電圧が十分高いこと、および漏れ電流が少ないことだけです。 D_2 のピーク電圧定格については、予期されるメイン電源電圧の最大ピーク電圧を考慮する必要があります。メイン電源の負の半波の間中は、 C_1 の電圧によって D_1 の電圧が倍になるため、 D_1 のピーク電圧定格は、メイン電源のピーク電圧の「2倍」を超える必要があります。

C_1 と Q_1 は高電圧タイプでなければなりません。トランジスタMPSA44 (Q_1 に推奨)は、コレクタ・エミッタ間降伏電圧が400 Vです。 Q_2 は低電圧トランジスタでかまいません(BC848を推奨)。 R_1 は上記説明どおり設計できますが、 C_1 は必要なLED電流(式4と6)に従って加減しなければならないことに留意してください。

AND9282/D

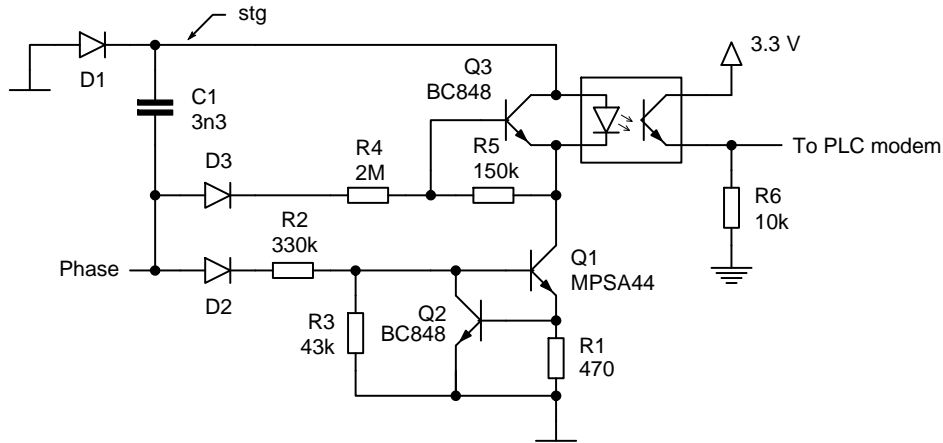


Figure 13. Schematic of the Detector with Reduced Output Pulse Length

短縮出力パルス回路

回路は複雑になりますが(Figure 11)、消費電力はさらに低下します。

負の半サイクルの前半に、 C_1 は D_1 を通じて充電されます。その後半には D_1 が導通しなくなり、 C_1 のトップ・プレートの電圧 (Figure 13に stg と表記した箇所)がメイン電源電圧と共に上昇します。

ゼロクロスの少し後に、電流源(Q_1 、 Q_2 、&c.)がオンに切り換わって、 C_1 の電荷が消費されます。そのため、正の半サイクル全体にわたってLEDは導通しなくなります。正確な導通時間は、 C_1 に蓄積された電荷によって決まります。したがってLEDの平均消費電流は非常に低い値に低減できます。

上記の回路とは異なり、出力パルスのデューティ・サイクルが50%を大きく下回ります。しかし、オン・セミコンダクター製のモデムはすべて、ゼロクロス検出器出力の立ち上がりエッジに同期するので、正しいタイミングが維持されます。

立ち上がりエッジのタイミングは電流源のターンオンによって明確に決定されますが、立ち下がりエ

ッジは出力デューティ・サイクルが25%未満の場合はほとんど制御されません。この動作モードでは、 C_1 の電荷が空になった後でも、メイン電源電圧は上昇し続けます。これにより、オプトカプラのLEDを流れる電流は少ないがばらつきが大きいため、立ち下がりエッジは明確に定義されません。

ロジック・ゲートで出力をバッファすれば正しい動作を維持できますが、Figure 13に示した方法のほうが確実です。 stg の電圧がメイン電源電圧よりも低くなると、 Q_3 がオプトカプラLED全体をバイパスするため、きれいな立ち下がりエッジが得られます。

測定した波形をいくつかFigure 14に示します。上のグラフは C_1 のトップ・プレート電圧です。中央のグラフは出力信号です。下のグラフは、オプトカプラのダイオードを流れる電流(方形波電流)⁴と回路の合計消費電流を示しています。 C_1 のトップ・プレート電圧と両電流のシミュレートした波形(灰色の点線)も示しています。

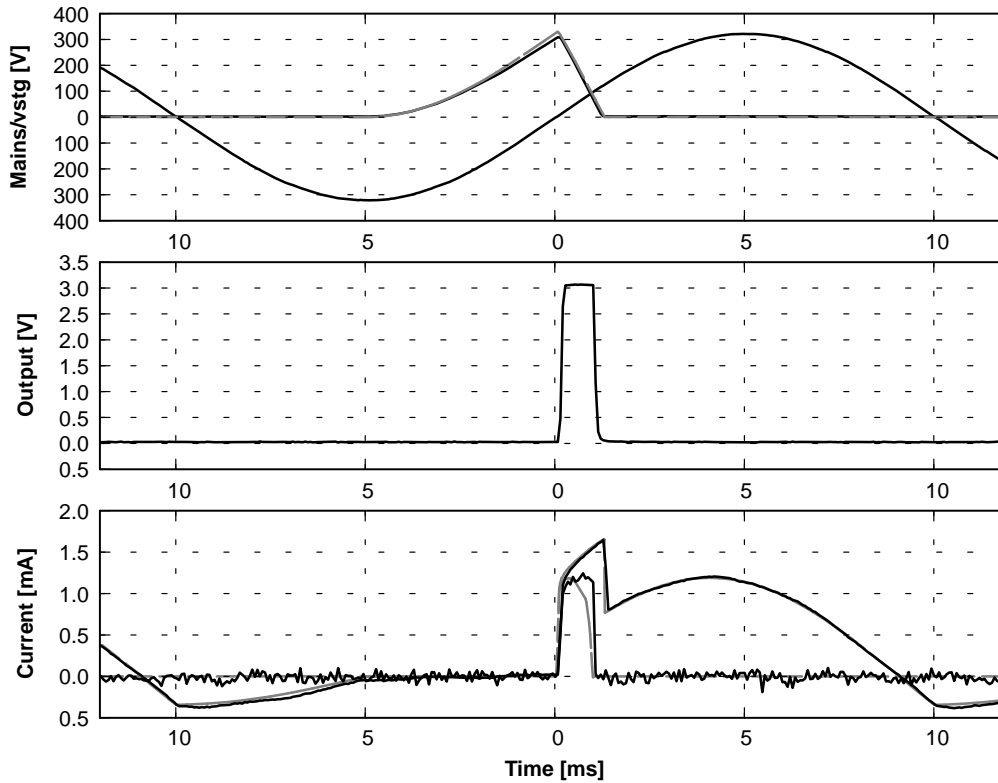


Figure 14. Measured (Solid Black) and Simulated Signals for the Reduced-Length Output Pulse Detector
(Refer to the text for details)

Figure 11の回路と比べると、部品コストはやや高くなりますが、やはり消費電力は半分です。詳しい比較は「結論」を参照してください(「付録」参照)。

パルス時間が短い場合、値は簡単に計算できます。この条件では、ゼロクロス前後のメイン電源電圧の1次近似を採用できます。コンデンサにかかる電圧 V_C は、電流が引き込まれると低下します。回路に stg で示した箇所の電圧は、次式で与えられます(正のゼロクロスをも $t=0$ とする)。

$$V_{stg}(t) = V_{Mains}(t) + V_C(t) \quad (\text{eq. 7})$$

$$\approx t \frac{dV_{Mains}(t)}{dt} \Big|_{t=0} + \left(V_C(t=0) - \frac{t \cdot I_{LED}}{C_1} \right)$$

コンデンサの電荷が尽きると $V_{stg}(t) \approx 0$ なので、 t について解けば、LED電流、メイン電源電圧、パルス時間 t の3つが与えられたときの C_1 の値を決定できます。実際のパルスは、 Q_3 のために若干短くなります。図示した3.3 nFにすれば、メイン電源電圧が公称値から30%低下した場合でも800 msのパルスが維持されます。

ダイオード、 C_1 、 Q_1 は高電圧タイプでなければなりません。 Q_2 と Q_3 は低電圧トランジスタでかまいません。 R_1 は上記説明どおり変更できますが、 C_1 は必

要なLED電流に従って加減しなければならないことに留意してください。

部品の電力損失が問題にならないようにすべきですが、 R_2 と R_4 の電圧定格はメイン電源電圧に十分耐えられるものでなければなりません。

部品の選択

この回路でも C_1 の値は、最悪ケース条件(メイン電源電圧が低い)のときに信頼性の高い動作が可能なのでなければなりません。

すべてのダイオードのピーク電圧定格が、メイン電源の予想最大ピーク電圧よりも高くなければなりません。

安全性

測定には安全性を慎重に検討する必要があります。30 mAの低電流でも心臓に流れれば死亡するおそれがあります。ゼロクロス検出器など、死の危険を伴う電圧が印加されている回路を、安全に測定するための推奨事項は、本書の範囲を超えていますので、[2]および[3, Safetyセクション]を参照してください。

⁴As in Figure 12, the currents are band-limited to 30 kHz.

Table 2. ZERO CROSSING CIRCUITS COMPARED

(Measurement power consumption, component count and cost relative to the conventional solution.)

Circuit	Components	230 V _{AC} Variant		120 V _{AC} Variant	Figure
		Cost	Dissipation	Dissipation	
Non-Isolated	3	0.2	50 mW	30 mW	6
Conventional	5	1.0	590 mW	290 mW	7
Low-Voltage Charge Storage	10	1.5	610 mW	400 mW	9
High-Voltage Charge Storage	10	1.9	230 mW	120 mW	11
Reduced-Length Output Pulse	15	2.3	110 mW	50 mW	13

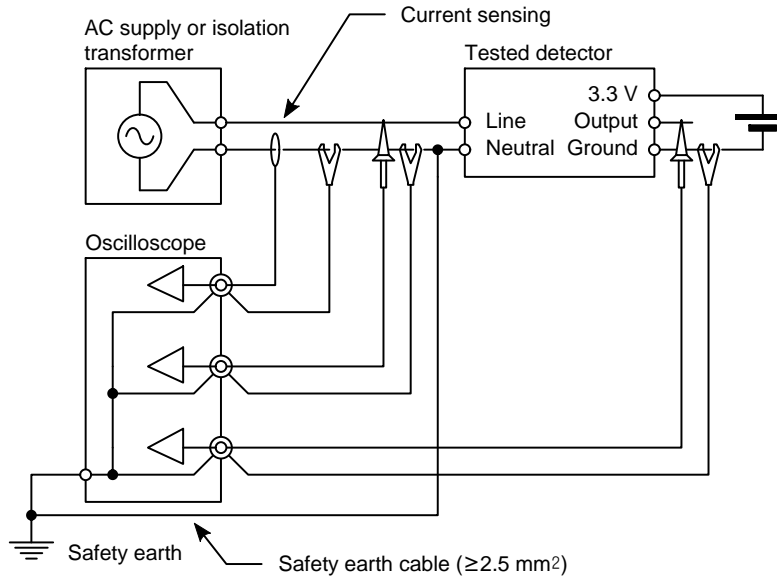


Figure 15. Measuring the Power Consumption, Delay and Jitter of a Zero Crossing Detector

回路の評価

上記セクションで何回か述べましたが、設計した回路を徹底的に試験しなければならないことは強調してもしすぎることはありません。市販のオプトカプラはばらつきが大きいので、全温度範囲およびメイン電源電圧の全範囲にわたって徹底した評価が必要です。部品間のばらつきについても慎重に検討しなければなりません。

幸いゼロクロス検出器の試験は非常に簡単です。設計電圧範囲内で正しく動作することを確認するには、可変AC電源(実験用AC電源または単巻トランス)が必要です。

電流の測定には、十分感度の高い電流プローブも使用できます。

あるいは、中性線に接続した小さな抵抗(約100 Ω)を使用し、抵抗の両端に現れる信号をオシロスコープで観測します。高電圧差動プローブが最も安全な測定方法ですが(Figure 16、右)、安全性に配慮すれば一般的なプローブも使用できます(Figure 16、左)。

スイッチモードAC電源では、特にノイズが問題になることがあります。この抵抗に流れる電流は小さいため、両端に現れる電圧も低くなります。ノイズとトーンが測定に干渉する場合はフィルタを使用し

てください。Figure 16に示すフィルタは3 dB帯域幅が10 kHzを超えています。

消費電力は、電流波形と測定したメイン電源電圧波形から求められます⁵。観測したオシロスコープのデータをローパス・フィルタして、測定した消費電力値の精度を改善できます。これには、Numerical Python、Matlab、Octaveなどのソフトウェアが便利です。

ジッタは、メイン電源の真のゼロクロス点でオシロスコープをトリガし、持続トレースが表示されるようにディスプレイを設定すれば推定できます⁶。例えば、Figure 17のスクリーン画像は、メイン電源電圧(左トレース)と検出器出力を示しています。オシロスコープのカーソルからジッタが約6.8 μsであることがわかります。平均遅延は約93 μsです。

⁵Multiplying the current with the RMS voltage of course overestimates the dissipation as it includes reactive power. This power is especially significant for the reduced-length output pulse circuit.

Care must be taken to deskew the current and voltage measurements. Skew between both is especially significant when using a split-core current probe.

⁶Tektronix, who introduced this feature, calls this “digital phosphor”.

あるいは、スクリプトで繰り返し遅延を測定できます。この方法には統計データを取得できる利点があります。

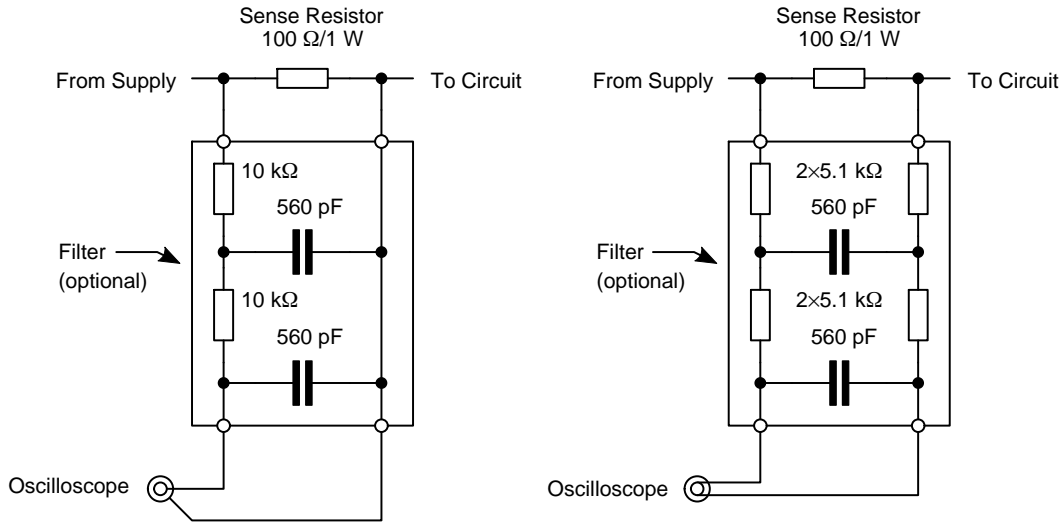


Figure 16. Measuring the Current with a Single-Ended (Left) or Differential Oscilloscope Probe (Detail of Figure 15)

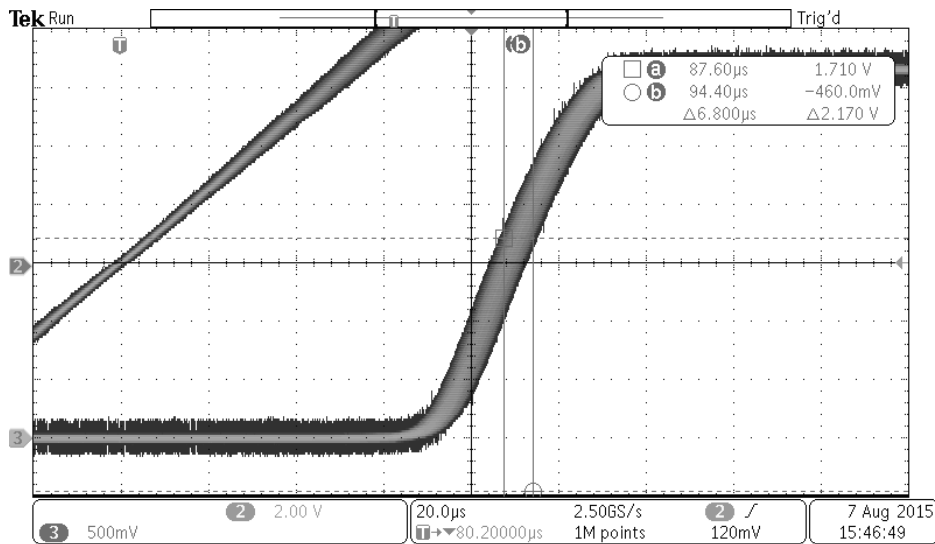


Figure 17. Measuring the Output Jitter Current with an Oscilloscope Configured to Show Persistent Traces. Mains (Left) and Detector Output are Shown

量産

オプトカップラの特性は、生産ロットごとに変動する可能性があり、特に低駆動電流のときにその傾向が顕著です。

そのため、量産における出荷試験の一環として遅延を測定することを推奨します。

まとめ

Table 2に上記のゼロクロス検出器回路の電力損失の比較を示します。230 V_{AC}タイプについて、従来型回路を基準にしたコストの見積もりも示していません。

付録

部品リスト

以下の部品表は一例にすぎません。実際には、オプトカプラの選択によって設計が決まります。

オプトカプラとプルアップ抵抗は含まれていません。

非絶縁型検出

Table 3. NON-ISOLATED DETECTION

Component	230 V _{AC} Variant	120 V _{AC} Variant
C1	100 pF	150 pF
D1	BAS40-04	BAS40-04
R1	1 M Ω	510 k Ω

従来型検出

各値はピーク電流が5mAの場合であり、選択したオプトカプラについて検証が必要です。

Table 4. CONVENTIONAL DETECTION

Component	230 V _{AC} Variant	120 V _{AC} Variant
D1	S1FLJ	BAS21LT1G
R1	43 k Ω	24 k Ω
R2	300 k Ω	300 k Ω
R3	10 k Ω	10 k Ω

低電圧電荷蓄積

各値はピーク電流が1.3 mAの場合であり、選択したオプトカプラについて検証が必要です。BC848トランジスタをNTJD4401NT2Gのようなデュアル・トランジスタに置き換えると都合がよい場合があります。

Table 5. LOW-VOLTAGE CHARGE STORAGE

Component	230 V _{AC} Variant	120 V _{AC} Variant
C1	4.7 μ F/16 V	4.7 μ F/16 V
C2	See Text	See Text
D1	S1FLJ	BAS21LT1G
Q1, Q2	BC848BWT1G	BC848BWT1G
R1	56 k Ω	22 k Ω
R2	330 k Ω	160 k Ω
R3	470 Ω	470 Ω
R4	10 k Ω	10 k Ω
ZD1	MM3Z8V2ST1G	MM3Z8V2ST1G

高電圧電荷蓄積

Table 6. HIGH-VOLTAGE CHARGE STORAGE

Component	230 V _{AC} Variant	120 V _{AC} Variant
C1	22 nF/450 V	33 nF/450 V
D1	S1FLK	S1FLJ
D2	S1FLJ	BAS21LT1G
Q1	MPSA44	MMBTA42LT1G
Q2	BC848BWT1G	BC848BWT1G
R1	470 Ω	470 Ω
R2	330 k Ω	160 k Ω
R3	43 k Ω	43 k Ω
R4	10 k Ω	10 k Ω

短縮出力パルス

Table 7. REDUCED-LENGTH OUTPUT PULSE

Component	230 V _{AC} Variant	120 V _{AC} Variant
C1	3.3 nF/450 V	6.8 nF/250 V
D1, D2, D3	S1FLK	BAS21LT1G
Q1	MPSA44	MMBTA42LT1G
Q2, Q3	BC848BWT1G	BC848BWT1G
R1	470 Ω	470 Ω
R2	330 k Ω	160 k Ω
R3	43 k Ω	43 k Ω
R4	2 M Ω	2 M Ω
R5	150 k Ω	150 k Ω
R6	10 k Ω	10 k Ω

参考資料

- [1] IEC. Automatisation de la distribution à par l'aide de systèmes de communication à courants porteurs – partie 4: Protocoles de communication de données – Section 32: Couche liaison de données – Contrôle de liaison logique (LLC), September 1996.
- [2] Tektronix. Fundamentals of floating measurements and isolated input oscilloscopes, February 2005. Application note, online at <http://info.tek.com/www-fundamentals-of-floating-measurements-and-isolated-input-oscilloscopes.html>
- [3] Pierre Woestyn, Peter Cox, et al. *Evaluation kit for power-line communication user manual*. ON Semiconductor, July 2015.

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA (米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合は、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative