



LC87FC096A

CMOS LSI

8-bit Microcontroller

98K-byte Flash ROM / 4096-byte RAM / 64-pin

ON Semiconductor®

<http://onsemi.jp>

概要

LC87FC096Aは、98KバイトのフラッシュROM, 4096バイトRAM, オンチップデバッガ機能, 16ビットタイマ/カウンタ, 8ビットタイマ×4, 16ビットタイマ, 時計用ベースタイマ, 高速クロックカウンタ, 自動転送機能付き同期式SIO×1, 非同期/同期式SIO×1, UART×2, シングルマスタI²C/同期式SIO, 11チャンネルADコンバータ, PWM×4, システムクロック分周機能, 割り込み機能内蔵8ビットマイクロコントローラである。

特長

フラッシュROM

- 100352×8ビット
(アドレス: 00000H ~ 17FFFH, 1F800H ~ 1FFFFH)
- 電源電圧2.7~3.6Vのオンボード書き込みが可能
- 2Kバイト単位でのブロック消去可能

RAM

- 4096×9ビット(LC87FC096A)

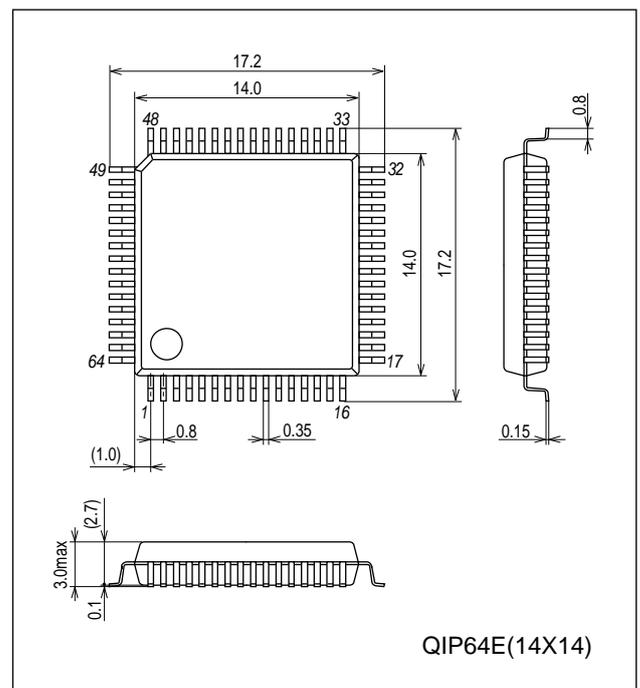
出荷形態

- QIP64E (14×14)
『鉛フリー・ハロゲンフリー仕様品』

外形図

unit:mm (typ)

3159A



この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

最小バスサイクルタイム

- 83.3ns(12MHz) $V_{DD}=2.7 \sim 3.6V$
 - 125ns(8MHz) $V_{DD}=2.5 \sim 3.6V$
- (注)バスサイクルタイムはROMの読み出し速度を表す。

最小命令サイクルタイム(tCYC)

- 250ns(12MHz) $V_{DD}=2.7 \sim 3.6V$
- 375ns(8MHz) $V_{DD}=2.5 \sim 3.6V$

ポート

- ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 46(P1n, P2n, P3n, P70 ~ P73, P80 ~ P86, PCn, PWM2, PWM3, XT2)
4ビット単位で入出力指定可能 8(P0n)
- ノーマル耐圧入力ポート 1(XT1)
- 発振専用ポート 2(CF1, CF2)
- リセット端子 1(RES)
- 電源端子 6($V_{SS1} \sim 3, V_{DD1} \sim 3$)

タイマ

- タイマ0: キャプチャレジスタ付きの16ビットのタイマ/カウンタ
モード0: 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付) × 2チャンネル
モード1: 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付) + 8ビットカウンタ(8ビットキャプチャレジスタ付)
モード2: 8ビットプログラマブルプリスケアラ付16ビットタイマ
(16ビットキャプチャレジスタ付)
モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)
- タイマ1: PWM/トグル出力可能な16ビットのタイマ/カウンタ
モード0: 8ビットプリスケアラ付8ビットタイマ(トグル出力付)
+ 8ビットプリスケアラ付8ビットタイマ/カウンタ(トグル出力付)
モード1: 8ビットプリスケアラ付8ビットPWM × 2チャンネル
モード2: 8ビットプリスケアラ付16ビットタイマ/カウンタ(トグル出力付)
(下位8ビットからもトグル出力可能)
モード3: 8ビットプリスケアラ付16ビットタイマ(トグル出力付)
(下位8ビットはPWMとして使用可能)
- タイマ4: 6ビットプリスケアラ付8ビットタイマ
- タイマ5: 6ビットプリスケアラ付8ビットタイマ
- タイマ6: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- タイマ7: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- タイマA: 16ビットのタイマ
モード0: 8ビットプログラマブルプリスケアラ付8ビットタイマ × 2チャンネル
モード1: 8ビットプログラマブルプリスケアラ付16ビットタイマ
- ベースタイマ
クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
5種類の時間での割り込み発生が可能。

高速クロックカウンタ

- 最高24MHzのクロックをカウントできる(メインクロック12MHz使用時)
- リアルタイム出力

LC87FC096A

シリアルインタフェース

- ・ SIO0 : 8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)
 - 連続自動データ通信(1~256ビットまでビット単位で切換え可能、バイト単位で転送途中停止・再開が可能)
- ・ SIO1 : 8ビット非同期/同期式シリアルインタフェース
 - モード0 : 同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2~512tCYC)
 - モード1 : 非同期シリアルI/O(半二重, データ8ビット, ストップビット1, ボーレート8~2048tCYC)
 - モード2 : バスマード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)
 - モード3 : バスマード2(スタート検出, データ8ビット, ストップ検出)
- ・ SMIIC0 : シングルマスタI²C/8ビット同期式SIO
 - モード0 : Single-masterのマスタモードによる通信
 - モード1 : 同期式8ビットシリアルI/O(データMSB先頭)

UART : 2チャンネル

- ・ 全二重
- ・ 7/8/9ビット切換え
- ・ ストップビット1ビット(連続送信時は2ビット)
- ・ ビットボーレートジェネレータ内蔵(ボーレート{16/3~8192/3}tCYC)

ADコンバータ : 12ビット×11チャンネル

PWM : 周期可変12ビットPWM×4チャンネル

リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128tCYC)
- ・ ノイズ除去機能はP73のINT3信号及びT0IN信号, T0HCP信号に対して有効です。P73を命令で読み込むとノイズ除去機能に関係なく端子レベルを読み込みます。

赤外線リモコン受信回路

- ・ ノイズ除去機能(ノイズ除去フィルタの時定数: 基準クロックに32.768kHzの水晶発振を選択した場合、約120μs)
- ・ PPM(Pulse Position Modulation), マンチェスター方式などのデータ符号化方式に対応
- ・ X'tal HOLDモード解除機能

ウォッチドッグタイマ

- ・ RC外付けによるウォッチドッグタイマ
- ・ 割り込み, リセットの選択可能

クロック出力機能

- ・ システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能
- ・ サブクロックの源発振クロックを出力可能

割り込み

・31要因10ベクタ

割り込みは低レベル(L),高レベル(H),最高レベル(X)の3レベルの多重割り込み制御。
 割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4/TAL/赤外線リモコン受信
4	0001BH	HまたはL	INT3/INT5/ベースタイム0/ベースタイム1
5	00023H	HまたはL	T0H/INT6/TAH
6	0002BH	HまたはL	T1L/T1H/INT7/SMI I C0
7	00033H	HまたはL	SI00/UART1受信/UART2受信
8	0003BH	HまたはL	SI01/UART1送信/UART2送信
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート0/T4/T5/PWM2,3/RMPWM

- ・優先レベル X>H>L
- ・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大2048レベル(スタックはRAMの中に設定)

高速乗除算命令

- ・16ビット×8ビット (実行時間 5tCYC)
- ・24ビット×16ビット (実行時間12tCYC)
- ・16ビット÷8ビット (実行時間 8tCYC)
- ・24ビット÷16ビット (実行時間12tCYC)

発振回路

- ・RC発振回路(内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用,Rf内蔵
- ・水晶発振回路 : 低速システムクロック用,Rf内蔵
- ・周波数可変RC発振回路(内蔵) : システムクロック用

システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで250ns,500ns,1.0μs,2.0μs,4.0μs,8.0μs,16.0μs,32.0μs,64.0μsの選択が可能(メインクロック12MHz使用時)

LC87FC096A

スタンバイ機能

- ・ HALTモード：命令実行停止,周辺回路動作継続
発振の停止は自動的には行わない。
システムリセットまたは割り込みの発生により解除。
- ・ HOLDモード：命令実行停止,周辺回路動作停止
CF発振,RC発振,水晶発振のいずれも自動的に停止する。
HOLDモードを解除するには、次の3つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
- ・ X'tal HOLDモード：命令実行停止,ベースタイマ以外の周辺回路動作停止
CF発振,RC発振は自動的に停止する。
水晶発振は突入時の状態を維持する。
X'tal HOLDモードを解除するには、次の4つの方法がある。
(1)リセット端子に、「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
(4)ベースタイマ回路で割り込み要因が成立する。
(5)赤外線リモコン受信回路で割り込みが成立する。

オンチップデバッグ機能

- ・ ターゲット基板に実装状態でソフトデバッグ可能

開発ツール

- ・ オンチップデバッグ：TCB87-TypeC(3 wire version) + LC87FC096A

書き込み基板

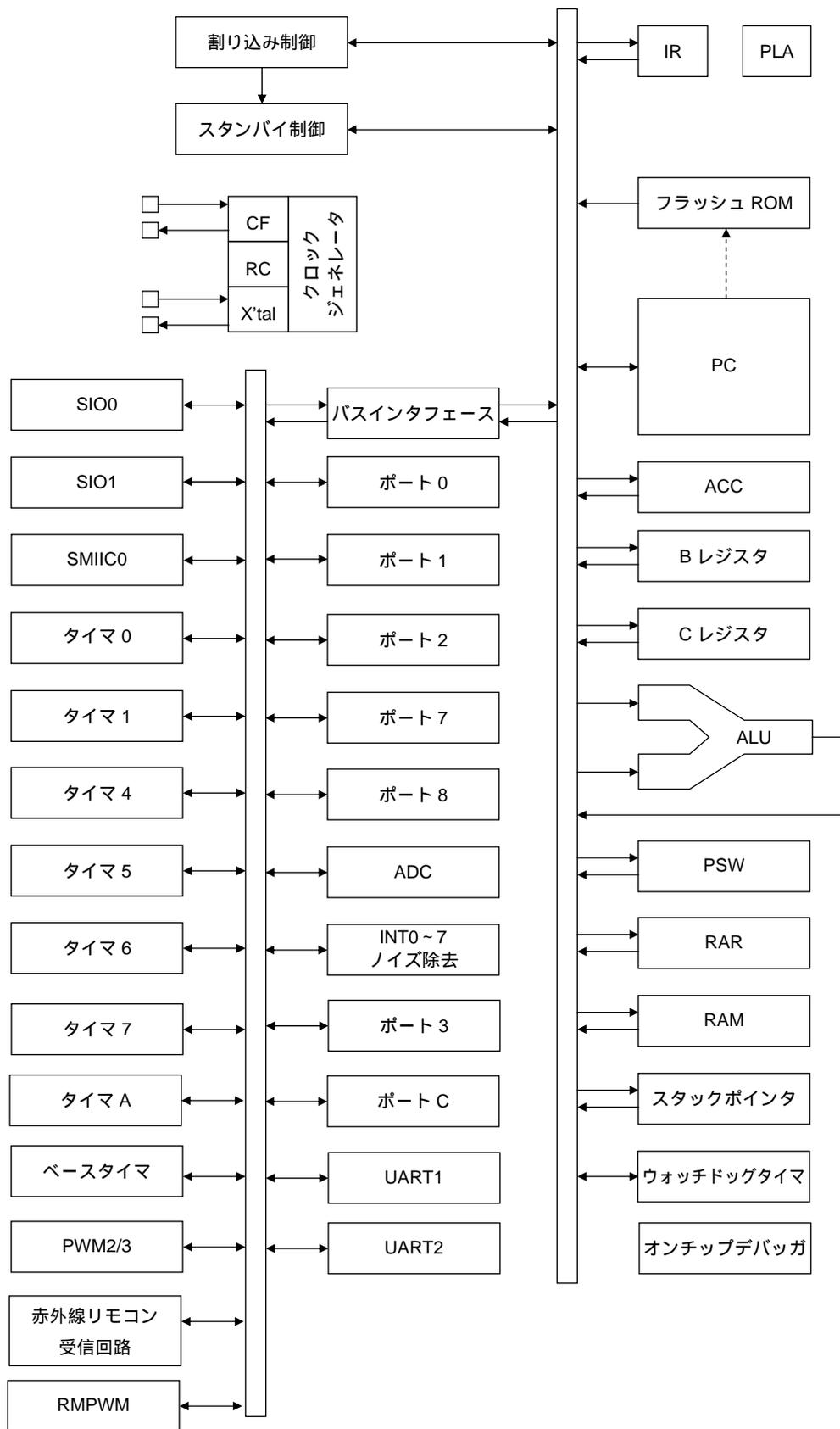
パッケージ	書き込み基板
QIP64E(14×14)	W87F50256Q

フラッシュライタ

メーカー	モデル	対応バージョン	デバイス
当社	SKK/SKK Type-B/ SKK DBG Type-B (SANYO FWS)	Application Version:1.08以降 Chip DataVersion:2.42以降	LC87FC096

LC87FC096A

システムブロック図



LC87FC096A

端子機能表

端子名	入出力	機能説明	オプション																														
VSS1, VSS2, VSS3	-	電源の - 端子	なし																														
VDD1, VDD2, VDD3	-	電源の + 端子	なし																														
ポート0 P00 ~ P07	入出力	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 ・ 兼用機能 <ul style="list-style-type: none"> P05 : システムクロック出力 (システムクロック/サブクロック選択可能) P06 : タイマ 6 トグル出力 P07 : タイマ 7 トグル出力 	あり																														
ポート1 P10 ~ P17	入出力	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P10 : SI00 データ出力 P11 : SI00 データ入力/バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力/バス入出力 P15 : SI01 クロック入出力 P16 : タイマ 1PWML 出力 P17 : タイマ 1PWML 出力/ブザー出力 	あり																														
ポート2 P20 ~ P27	入出力	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P20 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力/ INT6 入力/タイマ 0L キャプチャ 1 入力 P21 ~ P23 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 P24 : INT5 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力/ INT7 入力/タイマ 0H キャプチャ 1 入力 P25 ~ P27 : INT5 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 <p style="margin-left: 20px;">インタラプト受付形式</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <thead> <tr> <th></th> <th style="width: 15%;">立ち上がり</th> <th style="width: 15%;">立ち下がり</th> <th style="width: 15%;">立ち上がり 立ち下がり</th> <th style="width: 15%;">Hレベル</th> <th style="width: 15%;">Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT5</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT6</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT7</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4				×	×	INT5				×	×	INT6				×	×	INT7				×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT4				×	×																												
INT5				×	×																												
INT6				×	×																												
INT7				×	×																												

次ページへ続く。

LC87FC096A

前ページより続く。

端子名	入出力	機能説明	オプション																														
ポート 7 P70 ~ P73	入出力	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 兼用機能 <li style="padding-left: 20px;">P70 : INT0 入力/HOLD 解除入力/タイマ 0L キャプチャ入力/ ウォッチドッグタイマ用出力 <li style="padding-left: 20px;">P71 : INT1 入力/HOLD 解除入力/タイマ 0H キャプチャ入力 <li style="padding-left: 20px;">P72 : INT2 入力/HOLD 解除入力/タイマ 0 イベント入力/ タイマ 0L キャプチャ入力/高速クロックカウンタ入力 <li style="padding-left: 20px;">P73 : INT3 入力(ノイズフィルタ付入力)/タイマ 0 イベント入力/ タイマ 0H キャプチャ入力 AD変換入力ポート : AN8(P70)、AN9(P71) インタラプト受付形式 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 100%;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			×			INT1			×			INT2				×	×	INT3				×	×	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			×																														
INT1			×																														
INT2				×	×																												
INT3				×	×																												
ポート 8 P80 ~ P86	入出力	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 <li style="padding-left: 20px;">AD 変換入力ポート : AN0(P80) ~ AN6(P86) 	なし																														
PWM2 PWM3	入出力	<ul style="list-style-type: none"> ・ PWM2、PWM3 出力ポート ・ 汎用入出力可能 	なし																														
ポート 3 P30 ~ P37	入出力	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 <li style="padding-left: 20px;">P32 : UART1 送信 <li style="padding-left: 20px;">P33 : UART1 受信 <li style="padding-left: 20px;">P34 : UART2 送信 <li style="padding-left: 20px;">P35 : UART2 受信 	あり																														
ポート C PC0 ~ PC7	入出力	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 兼用機能 <li style="padding-left: 20px;">PC0 : SMIIIC0 クロック入出力 <li style="padding-left: 20px;">PC1 : SMIIIC0 データ入出力 <li style="padding-left: 20px;">PC2 : SMIIIC0 データ出力(3線式 SIO モード時に使用) <li style="padding-left: 20px;">PC3 : RMPWM0 出力 <li style="padding-left: 20px;">PC4 : RMPWM1 出力 <li style="padding-left: 20px;">PC5 : DBGPO <li style="padding-left: 20px;">PC6 : DBGP1 <li style="padding-left: 20px;">PC7 : DBGP2 <li style="padding-left: 20px;">オンチップデバッグ用端子 : DBGPO ~ DBGP2 	あり																														

次ページへ続く。

LC87FC096A

前ページより続く。

端子名	入出力	機能説明	オプション
RES	入力	リセット端子	なし
XT1	入力	・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 汎用入力ポート AD 変換入力ポート : AN10 使用しない場合はV _{DD1} に接続すること。	なし
XT2	入出力	・ 32.768kHz 水晶発振子用出力端子 ・ 兼用機能 汎用入出力ポート AD 変換入力ポート : AN11 使用しない場合は発振仕様にして、オープンにすること。	なし
CF1	入力	セラミック発振子用入力端子	なし
CF2	出力	セラミック発振子用出力端子	なし

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P20 ~ P27	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30 ~ P37	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P86	-	なし	Nch-オープンドレイン	なし
PWM2, PWM3	-	なし	CMOS	なし
PC0 ~ PC7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
XT1	-	なし	32.768kHz水晶発振子用入力 (入力専用ポート)	なし
XT2	-	なし	32.768kHz水晶発振子用出力 (汎用出力ポート選択時は Nch-オープンドレイン)	なし

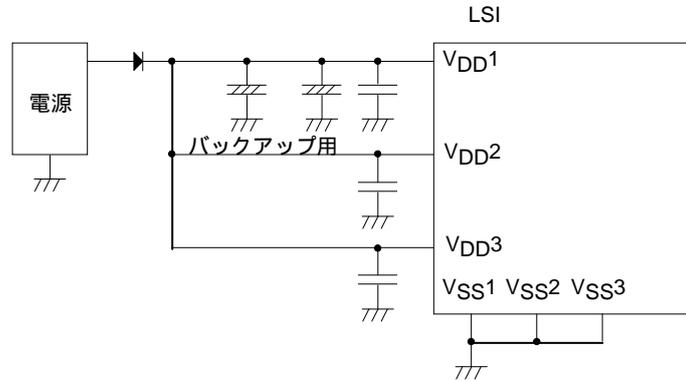
注1：ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00 ~ 03, P04 ~ 07)の制御になる。

LC87FC096A

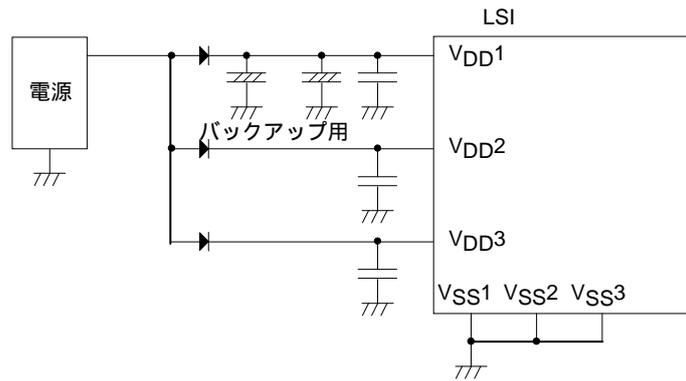
VDD1端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。

VSS1端子とVSS2端子とVSS3端子は必ず電氣的にショートすること。

(例1)HOLDモードでバックアップ時、ポート出力の「H」レベルはバックアップ用コンデンサより供給される。



(例2)HOLDモードバックアップ時、ポートの「H」レベル出力は保持されず不定となる。



LC87FC096A

絶対最大定格/Ta=25 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	VDD[V]	規格			
					min	typ	max	unit
最大電源電圧	VDD max	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		- 0.3		+ 4.6	V
入力電圧	V _I (1)	XT1, CF1			- 0.3		VDD + 0.3	
入出力電圧	V _{IO} (1)	ポート0, 1, 2 ポート7, 8 ポート3, C PWM2, PWM3, XT2			- 0.3		VDD + 0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート0, 1, 2 ポート3, C	CMOS出力選択 適用1端子当り		- 7.5		mA
		IOPH(2)	PWM2, PWM3	適用1端子当り		- 15		
		IOPH(3)	P71 ~ P73	適用1端子当り		- 3		
	平均出力電流 (注1-1)	IOMH(1)	ポート0, 1, 2 ポート3, C	CMOS出力選択 適用1端子当り		- 5		
		IOMH(2)	PWM2, PWM3	適用1端子当り		- 7.5		
		IOMH(3)	P71 ~ P73	適用1端子当り		- 2		
	合計出力電流	ΣIOAH(1)	P71 ~ P73	適用全端子合計		- 10		
		ΣIOAH(2)	ポート1 PWM2, PWM3	適用全端子合計		- 40		
		ΣIOAH(3)	ポート0, 2	適用全端子合計		- 25		
		ΣIOAH(4)	ポート0, 1, 2 PWM2, PWM3	適用全端子合計		- 65		
ΣIOAH(5)		ポート3	適用全端子合計		- 25			
ΣIOAH(6)		ポートC	適用全端子合計		- 25			
ΣIOAH(7)		ポート3, C	適用全端子合計		- 50			
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ポート1, 2 ポート3, C PWM2, PWM3	適用1端子当り			15	
		IOPL(2)	P00, P01	適用1端子当り			25	
		IOPL(3)	ポート7, 8, XT2	適用1端子当り			10	
	平均出力電流 (注1-1)	IOML(1)	P02 ~ P07 ポート1, 2 ポート3, C PWM2, PWM3	適用1端子当り			12	
		IOML(2)	P00, P01	適用1端子当り			15	
		IOML(3)	ポート7, 8, XT2	適用1端子当り			7.5	

注1-1：平均出力電流は100ms期間の平均値を示す。

次ページへ続く。

LC87FC096A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				unit
				V _{DD} [V]	min	typ	Max	
低レベル出力電流	合計出力電流	Σ10AL(1)	ポート7 P83 ~ P86, XT2	適用全端子合計			25	mA
		Σ10AL(2)	P80 ~ P82	適用全端子合計			15	
		Σ10AL(3)	ポート7, 8, XT2	適用全端子合計			40	
		Σ10AL(4)	ポート1 PWM2, PWM3	適用全端子合計			40	
		Σ10AL(5)	ポート0, 2	適用全端子合計			55	
		Σ10AL(6)	ポート0, 1, 2 PWM2, PWM3	適用全端子合計			95	
		Σ10AL(7)	ポート3	適用全端子合計			40	
		Σ10AL(8)	ポートC	適用全端子合計			40	
		Σ10AL(9)	ポート3, C	適用全端子合計			80	
許容消費電力	Pd max	Q1P64E(14 × 14)	Ta = - 40 ~ + 85				300	mW
動作周囲温度	Topr				- 40		85	
保存周囲温度	Tstg				- 55		125	

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LC87FC096A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
動作電源電圧 (注2-1)	$V_{DD}(1)$	$V_{DD1} = V_{DD2} = V_{DD3}$	0.245 μ s tCYC 200 μ s		2.7		3.6	V
			0.367 μ s tCYC 200 μ s		2.5		3.6	
メモリ保持 電源電圧	VHD	$V_{DD1} = V_{DD2} = V_{DD3}$	HOLDモード時 RAM, レジスタ保持		2.0		3.6	
高レベル 入力電圧	$V_{IH}(1)$	ポート1,2 P71~P73 P70のポート入力/ 割り込み側		2.5~3.6	0.3 V_{DD} +0.7		V_{DD}	
	$V_{IH}(2)$	ポート0,8,3,C PWM2, PWM3		2.5~3.6	0.3 V_{DD} +0.7		V_{DD}	
	$V_{IH}(3)$	ポート70の ウォッチドッグ タイマ側		2.5~3.6	0.9 V_{DD}		V_{DD}	
	$V_{IH}(4)$	XT1, XT2, CF1, \overline{RES}		2.5~3.6	0.75 V_{DD}		V_{DD}	
低レベル 入力電圧	$V_{IL}(1)$	ポート1,2 P71~P73 P70のポート入力/ 割り込み側		2.5~3.6	V_{SS}		0.2 V_{DD}	
	$V_{IL}(2)$	ポート0,8,3,C PWM2, PWM3		2.5~3.6	V_{SS}		0.2 V_{DD}	
	$V_{IL}(3)$	ポート70の ウォッチドッグ タイマ側		2.5~3.6	V_{SS}		0.8 V_{DD} -1.0	
	$V_{IL}(4)$	XT1, XT2, CF1, \overline{RES}		2.5~3.6	V_{SS}		0.25 V_{DD}	
命令サイクル タイム (注2-2)	tCYC			2.7~3.6	0.245		200	μ s
				2.5~3.6	0.367		200	
外部システム クロック 周波数	FEXCF(1)	CF1	・CF2端子オープン	2.7~3.6	0.1		12	MHz
			・システムクロック分周1/1	2.5~3.6	0.1		8	
			・CF2端子オープン	2.7~3.6	0.2		24	
			・システムクロック分周1/2	2.5~3.6	0.2		16	
発振周波数 範囲 (注2-3)	FmCF(1)	CF1, CF2	12MHzセラミック発振時 図1参照	2.7~3.6		12		
	FmCF(2)	CF1, CF2	8MHzセラミック発振時 図1参照	2.5~3.6		8		
	FmRC		内蔵RC発振	2.7~3.6	0.3	1.0	2.0	
	FsX*taI	XT1, XT2	32.768kHz水晶発振時 図2参照	2.7~3.6		32.768	kHz	

注2-1: フラッシュROMへのオンボード書き込みは、 $V_{DD} = 2.7V$ とすること。

注2-2: tCYCと発振周波数の関係式は、1/1分周時: $3/FmCF$ 、1/2分周時: $6/FmCF$ 。

注2-3: 発振定数は表1,2参照のこと。

LC87FC096A

電気的特性/Ta= - 40 ~ + 85 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート0,1,2 ポート7,8 ポート3,C $\overline{\text{RES}}$ PWM2, PWM3	出力ディセーブル ブルアップ抵抗オフ V _{IN} =V _{DD} (出力Tr. のオフリーク 電流を含む)	2.5 ~ 3.6			1	μA
	I _{IH} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{DD}	2.5 ~ 3.6			1	
	I _{IH} (3)	CF1	V _{IN} =V _{DD}	2.5 ~ 3.6			15	
低レベル入力電流	I _{IL} (1)	ポート0,1,2 ポート7,8 ポート3,C $\overline{\text{RES}}$ PWM2, PWM3	出力ディセーブル ブルアップ抵抗オフ V _{IN} =V _{SS} (出力Tr. のオフリーク 電流を含む)	2.5 ~ 3.6	- 1			μA
	I _{IL} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{SS}	2.5 ~ 3.6	- 1			
	I _{IL} (3)	CF1	V _{IN} =V _{SS}	2.5 ~ 3.6	- 15			
高レベル出力電圧	V _{OH} (1)	ポート0,1,2 ポート3,C	I _{OH} = - 0.4mA	3.0 ~ 3.6	V _{DD} - 0.4			V
	V _{OH} (2)		I _{OH} = - 0.2mA	2.5 ~ 3.6	V _{DD} - 0.4			
	V _{OH} (3)	P71 ~ P73	I _{OH} = - 0.4mA	3.0 ~ 3.6	V _{DD} - 0.4			
	V _{OH} (4)		I _{OH} = - 0.2mA	2.5 ~ 3.6	V _{DD} - 0.4			
	V _{OH} (5)	PWM2, PWM3	I _{OH} = - 1.6mA	3.0 ~ 3.6	V _{DD} - 0.4			
	V _{OH} (6)		I _{OH} = - 1mA	2.5 ~ 3.6	V _{DD} - 0.4			
低レベル出力電圧	V _{OL} (1)	ポート0,1,2	I _{OL} =1.6mA	3.0 ~ 3.6			0.4	V
	V _{OL} (2)	ポート3,C PWM2, PWM3	I _{OL} =1mA	2.5 ~ 3.6			0.4	
	V _{OL} (3)	ポート7,8	I _{OL} =1.6mA	3.0 ~ 3.6			0.4	
	V _{OL} (4)	XT2	I _{OL} =1mA	2.5 ~ 3.6			0.4	
	V _{OL} (5)	P00, P01	I _{OL} =5mA	3.0 ~ 3.6			0.4	
	V _{OL} (6)		I _{OL} =2.5mA	2.5 ~ 2.6			0.4	
ブルアップ抵抗	R _{pu} (1)	ポート0,1,2,7	V _{OH} =0.9V _{DD}	3.0 ~ 3.6	15	35	80	kΩ
	R _{pu} (2)	ポート3,C		2.5 ~ 3.6	15	35	100	
ヒステリシス電圧	V _{HYS}	$\overline{\text{RES}}$ ポート1,2,7		2.5 ~ 3.6		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.5 ~ 3.6		10		pF

LC87FC096A

シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

1. S100 シリアル入出力特性(注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(1)	SCK0(P12)	図6参照	2.5 ~ 3.6	2			tCYC
		低レベルパルス幅	tSCKL(1)				1			
		高レベルパルス幅	tSCKH(1)				1			
			tSCKHA(1)					4		
	出力クロック	周期	tSCK(2)	SCK0(P12)	・CMOS出力選択時 ・図6参照	2.5 ~ 3.6	4/3			tSCK
		低レベルパルス幅	tSCKL(2)				1/2			
		高レベルパルス幅	tSCKH(2)				1/2			
tSCKHA(2)							tSCKH(2) +	tSCKH(2) +	tCYC	
					2tCYC	(10/3)tCYC				
シリアル入力	データセットアップ時間	tsDI(1)	S10(P11) SB0(P11)	・S10CLKの立ち上がり に対して規定する ・図6参照	2.5 ~ 3.6	0.03				
	データホールド時間	thDI(1)				0.03				
シリアル出力	入力クロック	出力遅延時間	tdDO(1)	S00(P10) SB0(P11)	・連続データ送受信 モード (注4-1-3)	2.5 ~ 3.6			(1/3)tCYC + 0.05	μs
			tdDO(2)				・同期式8ビットモード (注4-1-3)			
	出力クロック	tdDO(3)	(注4-1-3)				(1/3)tCYC + 0.05			

注4-1-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-1-2：連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態でS10RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間をtSCKHAより長くすること。

注4-1-3：S10CLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図6参照。

LC87FC096A

2.SI01 シリアル入出力特性(注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1(P15)	図6参照	2.5~3.6	2			tCYC
		低レベルパルス幅	tSCKL(3)				1			
		高レベルパルス幅	tSCKH(3)				1			
	出力クロック	周期	tSCK(4)	SCK1(P15)	・CMOS出力選択時 ・図6参照	2.5~3.6	2			tSCK
		低レベルパルス幅	tSCKL(4)				1/2			
		高レベルパルス幅	tSCKH(4)				1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SI1(P14) SB1(P14)	・SI0CLKの立ち上がり に対して規定する ・図6参照	2.5~3.6	0.03			μs	
	データホールド時間	thDI(2)				0.03				
シリアル出力	出力遅延時間	tdDO(4)	S01(P13) SB1(P14)	・SI0CLKの立ち下がり に対して規定する。 ・オープンドレイン出力 時は出力変化開始ま での時間として規定 する。 ・図6参照。	2.5~3.6			(1/3)tCYC +0.05	μs	

注4-2-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87FC096A

3-1. SMI1CO単純SIOモード時入出力特性

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(4)	SMOCK(PC0)	図6参照	2.5~3.6	4			tCYC
		低レベルパルス幅	tSCKL(4)				2			
		高レベルパルス幅	tSCKH(4)				2			
	出力クロック	周期	tSCK(5)	SMOCK(PC0)	・CMOS出力選択時 ・図6参照	2.5~3.6	4			tSCK
		低レベルパルス幅	tSCKL(5)				1/2			
		高レベルパルス幅	tSCKH(5)				1/2			
シリアル入力	データセットアップ時間	tsDI(3)	SMODA(PC1)	・SIOCLKの立ち上がり に対して規定する ・図6参照	2.5~3.6	0.03			μs	
	データホールド時間	thDI(3)				0.03				
シリアル出力	出力遅延時間	tdD0(5)	SMOD0(PC2) SMODA(PC1)	・SIOCLKの立ち下がり に対して規定する ・出力変化開始までの 時間として規定する。 ・図6参照	2.5~3.6			1tCYC +0.05		

注4-3-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87FC096A

3-2. SMIIC0 I2Cモード時入出力特性

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			Unit
						Min	typ	max	
クロック	入力クロック	周期	tSCL	SMOCK(PC0)	・図8参照	2.5~3.6	5		Tfilt
		低レベルパルス幅	tSCLL				2.5		
		高レベルパルス幅	tSCLH				2		
	出力クロック	周期	tSCLx	SMOCK(PC0)	・出力変化開始までの時間として規定する。	2.5~3.6	10		tSCL
		低レベルパルス幅	tSCLLx				1/2		
		高レベルパルス幅	tSCLHx				1/2		
SMOC, SMODA 端子入カスパイク抑圧時間		tsp	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6			1	Tfilt
スタート、ストップ間のバス開放時間	入力	tBUF	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6	2.5			Tfilt
	出力	tBUFx	SMOCK(PC0) SMODA(PC1)	・標準クロックモード時 ・出力変化開始までの時間として規定する。 ・高速クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs
スタート、リスタートコンディションのホールド時間	入力	tHD;STA	SMOCK(PC0) SMODA(PC1)	・SMIICレジスタ制御ビットSHDS=0 のとき ・図8参照	2.5~3.6	2.0			Tfilt
				・SMIICレジスタ制御ビットSHDS=1 のとき ・図8参照		2.5			
	出力	tHD;STAx	SMOCK(PC0) SMODA(PC1)	・標準クロックモード時 ・出力変化開始までの時間として規定する。	4.1			μs	
				・高速クロックモード時 ・出力変化開始までの時間として規定する。	1.0				
リスタートコンディションのセットアップ時間	入力	tSU;STA	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6	1.0			Tfilt
	出力	tSU;STAx	SMOCK(PC0) SMODA(PC1)	・標準クロックモード時 ・出力変化開始までの時間として規定する。		5.5			μs
				・高速クロックモード時 ・出力変化開始までの時間として規定する。		1.6			

次ページへ続く。

LC87FC096A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	Min	typ	max	Unit	
ストップ コンディション のセットアップ 時間	入 力	tSU;STO	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6	1.0			Tfilt
	出 力	tSU;STOx	SMOCK(PC0) SMODA(PC1)	・標準クロックモード時 ・出力変化開始までの 時間として規定する。		4.9			μs
				・高速クロックモード時 ・出力変化開始までの 時間として規定する。		1.1			
データホールド 時間	入 力	tHD;DAT	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6	0			Tfilt
	出 力	tHD;DATx	SMOCK(PC0) SMODA(PC1)	・出力変化開始までの 時間として規定する。		1		1.5	
データ セットアップ 時間	入 力	tSU;DAT	SMOCK(PC0) SMODA(PC1)	・図8参照	2.5~3.6	1			Tfilt
	出 力	tSU;DATx	SMOCK(PC0) SMODA(PC1)	・出力変化開始までの 時間として規定する。		1tSCL-1. 5Tfilt			

注4-3-2：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-3-3：Tfiltは、レジスタSMICOB_{RG}のbit7,6(BRP1,BRP0)の設定値と、システムロック周波数により決定される値

BRP1	BRP0	Tfilt
0	0	(1/3)tCYC×1
0	1	(1/3)tCYC×2
1	0	(1/3)tCYC×3
1	1	(1/3)tCYC×4

Tfilt は以下の範囲になるように、(BRP1,BRP0)を設定してください。

$$250\text{ns} < \text{Tfilt} < 140\text{ns}$$

注4-3-4：標準クロックモードはSMICOB_{RG}の設定を、以下の条件の範囲内とした場合

$$250\text{ns} < \text{Tfilt} < 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 1$$

$$\text{SCL周波数設定} \quad 100\text{KHz}$$

高速クロックモードはSMICOB_{RG}の設定を、以下の条件の範囲内とした場合

$$250\text{ns} < \text{Tfilt} < 140\text{ns}$$

$$\text{BRDQ}(\text{bit}5) = 0$$

$$\text{SCL周波数設定} \quad 400\text{KHz}$$

LC87FC096A

パルス入力条件/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20~P23), INT5(P24~P27) INT6(P20) INT7(P24)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	2.5~3.6	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~3.6	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~3.6	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~3.6	256			
	tPIL(5)	\overline{RES}	・リセットできる。	2.5~3.6	200			

LC87FC096A

AD変換特性/ Ta= -40 ~ +85 , VSS1= VSS2= VSS3=0V

< 12ビットAD変換モード >

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	N	AN0(P80) ~ AN6(P86), AN8(P70), AN9(P71), AN10(XT1), AN11(XT2)		2.5 ~ 3.6		12		bit
絶対精度	ET		(注6-1)	2.5 ~ 3.6			± 16	LSB
変換時間	TCAD		変換時間算出方法参照 (注6-2)	3.0 ~ 3.6	64		115	μs
				2.7 ~ 3.6	128		230	
				2.5 ~ 3.6	256		460	
アナログ入力 電圧範囲	VAIN			2.5 ~ 3.6	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	VAIN=V _{DD}	2.5 ~ 3.6			1	μA	
	I _{AINL}	VAIN=V _{SS}	2.5 ~ 3.6	-1				

< 8ビットAD変換モード >

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	N	AN0(P80) ~ AN6(P86), AN8(P70), AN9(P71), AN10(XT1), AN11(XT2)		2.5 ~ 3.6		8		bit
絶対精度	ET		(注6-1)	2.5 ~ 3.6			± 1.5	LSB
変換時間	TCAD		変換時間算出方法参照 (注6-2)	3.0 ~ 3.6	39		71	μs
				2.7 ~ 3.6	79		140	
				2.5 ~ 3.6	157		280	
アナログ入力 電圧範囲	VAIN			2.5 ~ 3.6	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	VAIN=V _{DD}	2.5 ~ 3.6			1	μA	
	I _{AINL}	VAIN=V _{SS}	2.5 ~ 3.6	-1				

< 変換時間算出方法 >

12ビットAD変換モード : TCAD(変換時間) = ((52/(AD分周比))+2) × (1/3) × tCYC

8ビットAD変換モード : TCAD(変換時間) = ((32/(AD分周比))+2) × (1/3) × tCYC

(注6-1)絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

(注6-2)変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

変換時間は下記の時、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切り換え、最初のAD変換を行った時。

LC87FC096A

消費電流特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
通常動作時 消費電流 (注7-1)	IDDOP(1)	V_{DD1} = V_{DD2} = V_{DD3}	<ul style="list-style-type: none"> ・FmCF=12MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	2.7~3.6		3.6	9.5	mA
	IDDOP(2)		<ul style="list-style-type: none"> ・FmCF=8MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは8MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	2.5~3.6		2.9	7.1	
	IDDOP(3)		<ul style="list-style-type: none"> ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・周波数可変RC発振は停止 ・1/2分周時 	2.5~3.6		0.186	0.96	
	IDDOP(4)		<ul style="list-style-type: none"> ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 	2.5~3.6		11.5	58	μA

注7-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC87FC096A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALTモード 消費電流 (注7-1)	IDDHALT(1)	V _{DD1} =V _{DD2} =V _{DD3}	<ul style="list-style-type: none"> ・HALTモード ・FmCF=12MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	2.5 ~ 3.6		1.5	2.9	mA
	IDDHALT(2)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=8MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは8MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 	2.5 ~ 3.6		1	1.8	
	IDDHALT(3)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・周波数可変RC発振は停止 ・1/2分周時 	2.5 ~ 3.6		0.067	0.28	
	IDDHALT(4)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 	2.5 ~ 3.6		7.4	49	μA
HOLDモード 消費電流	IDDHOLD(1)	V _{DD1}	<ul style="list-style-type: none"> ・HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) 	2.5 ~ 3.6		0.04	20	μA
時計HOLD モード 消費電流	IDDHOLD(2)		<ul style="list-style-type: none"> ・時計HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) ・FmX'tal=32.768kHz水晶発振時 	2.5 ~ 3.6		5.9	35	

注7-1：消費電流は出力Tr.および内蔵ブルアップ抵抗に流れる電流を含まない。

F-ROM 書き込み特性 / Ta = +10 ~ +55 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	I _{DDFW} (1)	V _{DD1}	・マイコン部の消費電流を除く	2.7 ~ 3.6		7	11	mA
書き込み時間	t _{FW} (1)		・2Kバイト消去動作	2.7 ~ 3.6		12	15	ms
	t _{FW} (2)		・2バイト書き込み動作	2.7 ~ 3.6		35	45	μs

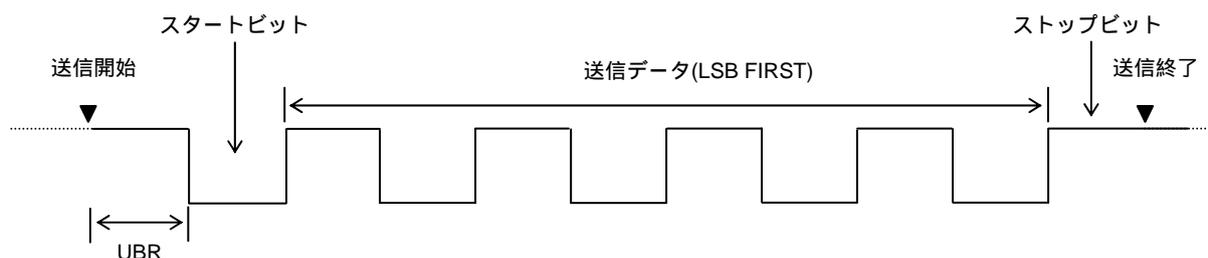
LC87FC096A

UART(全二重)動作条件/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

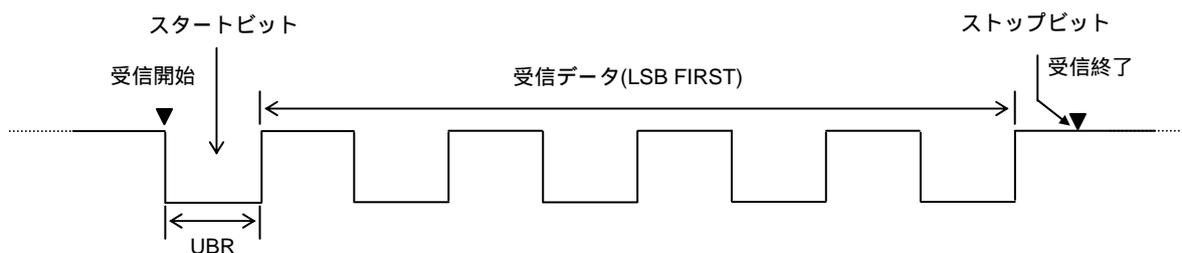
項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
転送レート	UBR	UTX1(P32), URX1(P33), UTX2(P34), URX2(P35)		2.5 ~ 3.6	16/3		8192/3	tCYC

データ長 : 7/8/9ビット(LSB FIRST)
 ストップビット長 : 1ビット(連続送信時は2ビット)
 パリティビット : なし

連続8ビットデータ送信モードの例(最初の送信データ=55H)



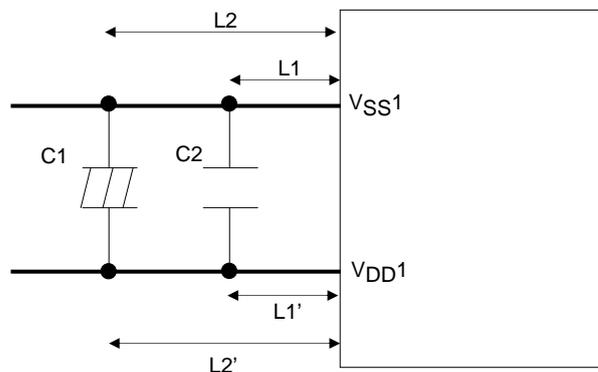
連続8ビットデータ受信モードの例(最初の受信データ=55H)



電源端子条件 1(V_{DD1}, V_{SS1})

$V_{DD1} \sim V_{SS1}$ 端子間には、以下の条件を満たすようなコンデンザを挿入すること。

- V_{DD1}, V_{SS1} 端子から各コンデンサ $C1, C2$ 間までの配線長は、できるだけ等しく($L1=L1', L2=L2'$)かつ最短にすること。
- コンデンサは大容量のもの $C1$ と小容量のもの $C2$ を並列に挿入すること。
 $C2$ については $0.1\mu F$ 以上のコンデンサを実装すること。
- V_{DD1}, V_{SS1} の各パターンは、他のものより太くすること。



LC87FC096A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf1 [Ω]	Rd1 [Ω]		Typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12M0G52-R0	(10)	(10)	OPEN	330	2.2~3.6	0.02	0.2	C1,C2 内蔵品
8MHz		CSTCE8M0G52-R0	(10)	(10)	OPEN	680	2.2~3.6	0.02	0.2	C1,C2 内蔵品
		CSTLS8M0G53-B0	(15)	(15)	OPEN	680	2.2~3.6	0.02	0.2	C1,C2 内蔵品
4MHz		CSTCR4M0G53-R0	(15)	(15)	OPEN	1.5K	2.2~3.6	0.02	0.2	C1,C2 内蔵品
		CSTLS4M0G53-B0	(15)	(15)	OPEN	1.5K	2.2~3.6	0.01	0.1	C1,C2 内蔵品

発振安定時間は、V_{DD}が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [Ω]	Rd2 [Ω]		Typ [s]	max [s]	
32.768kHz	EPSON TOYOCOM	MC-306	9	9	OPEN	330K	2.2~3.6	1.0	3.0	CL=7.0pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間である。(図4参照)

(注意)・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

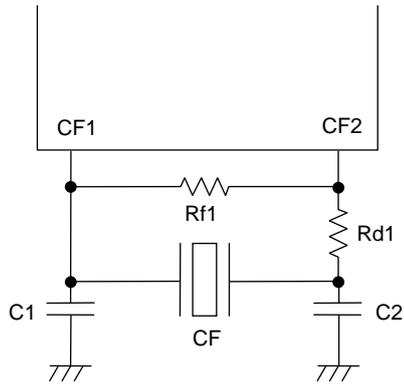


図 1 CF 発振回路

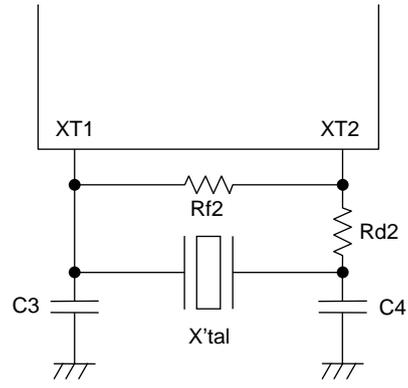


図 2 XT 発振回路

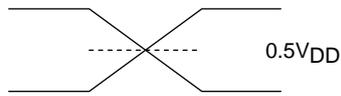
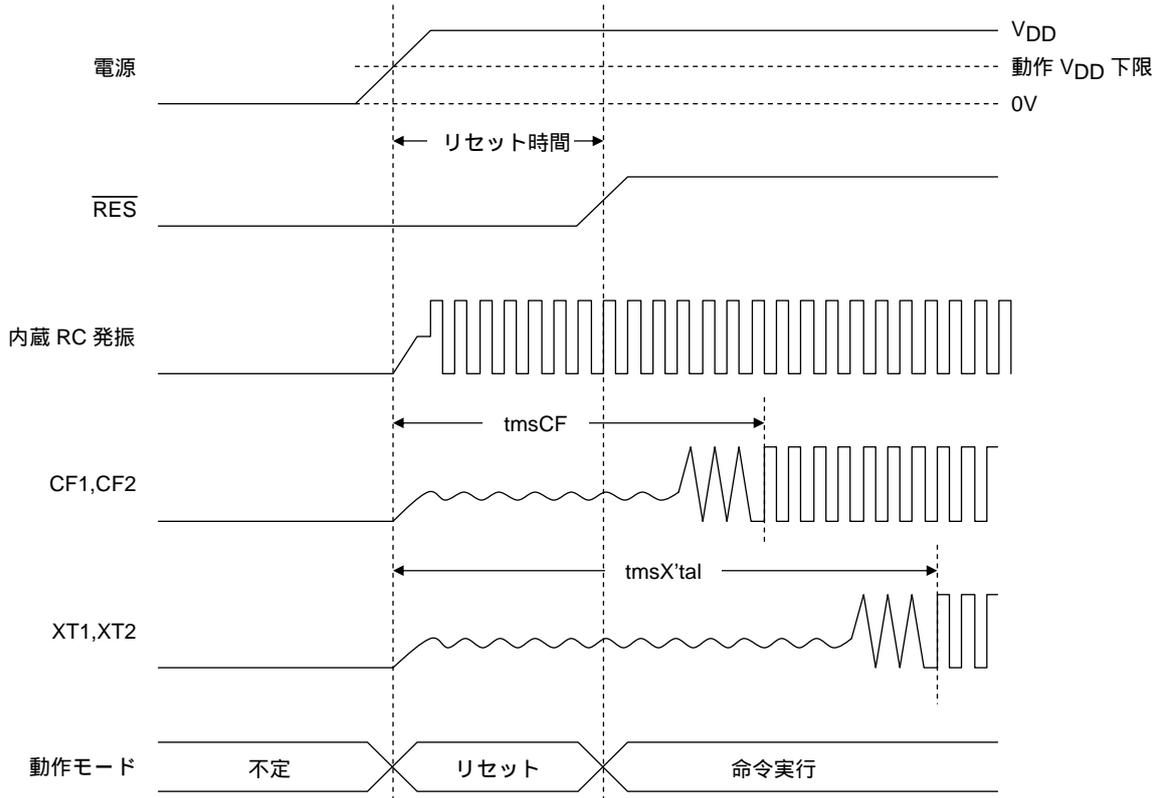
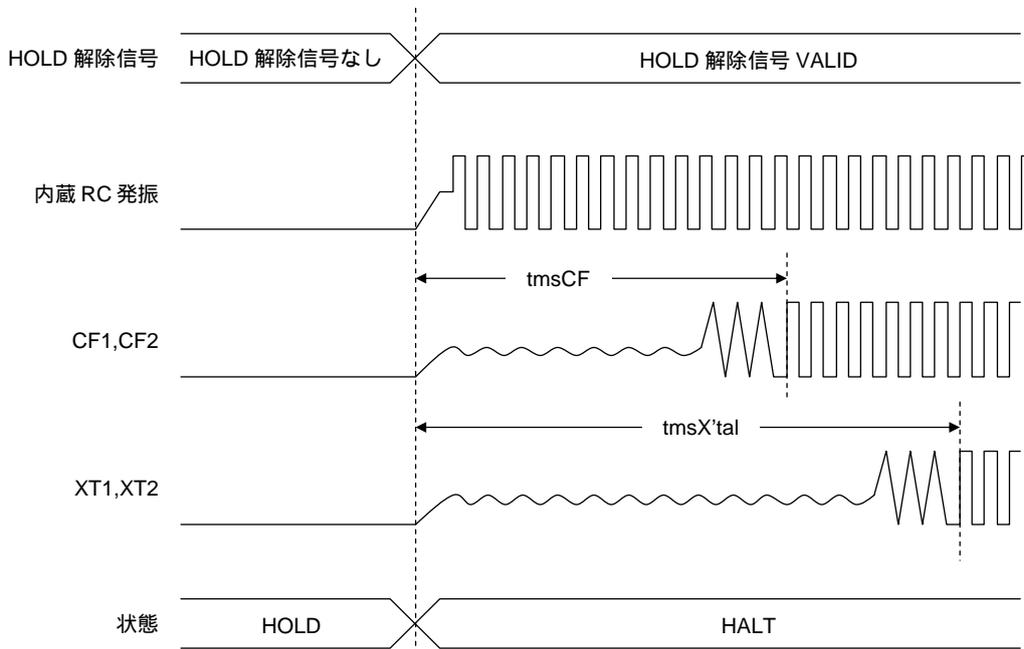


図3 ACタイミング測定点

LC87FC096A



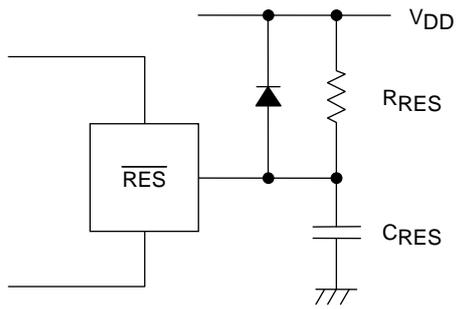
リセット時間と発振安定時間



HOLD解除信号と発振安定時間

図4 発振安定時間

LC87FC096A



(注意)
電源が動作電圧の下限を上回ってから
200 μ sの期間リセットがかかるように
 C_{RES} , R_{RES} の値を決めること。

図5 リセット回路

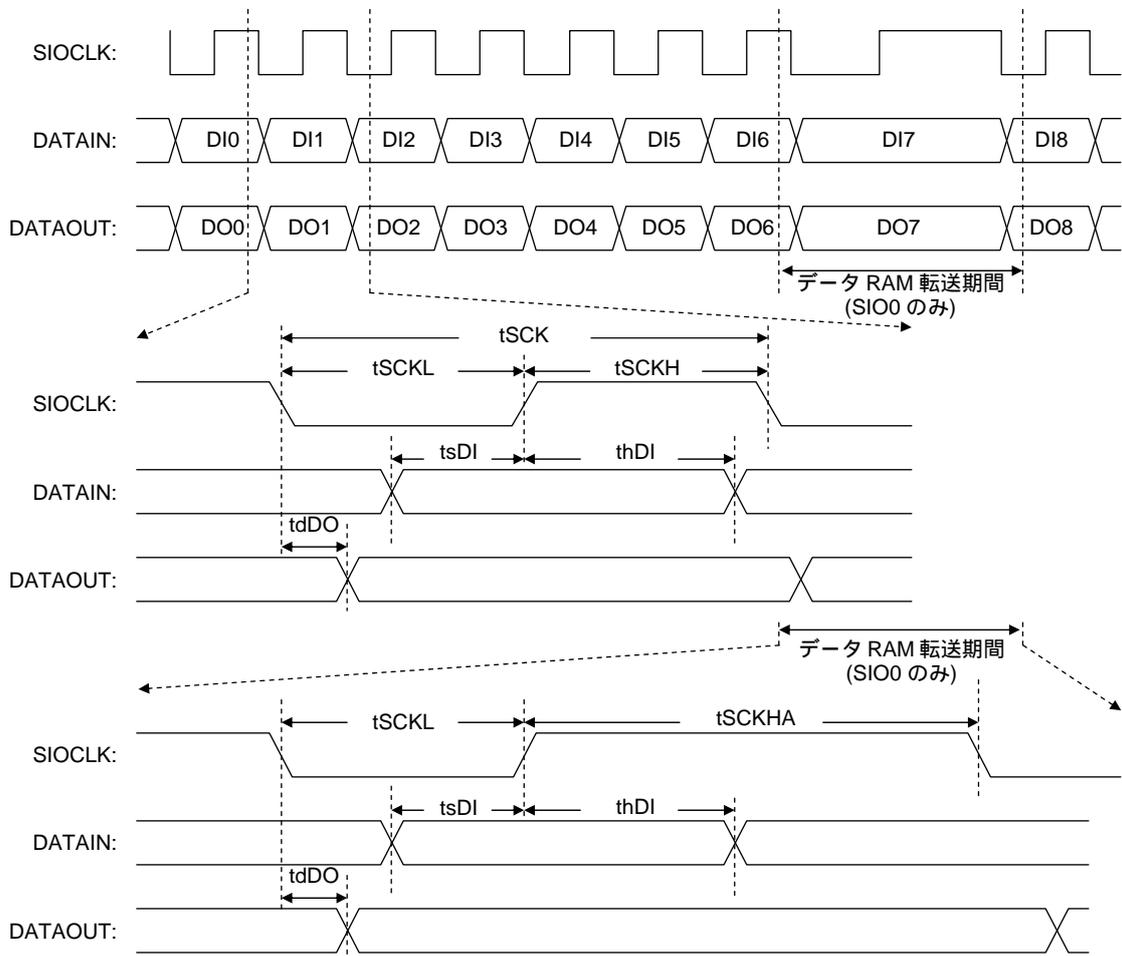


図6 シリアル入出力波形

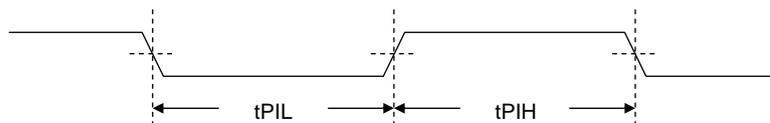
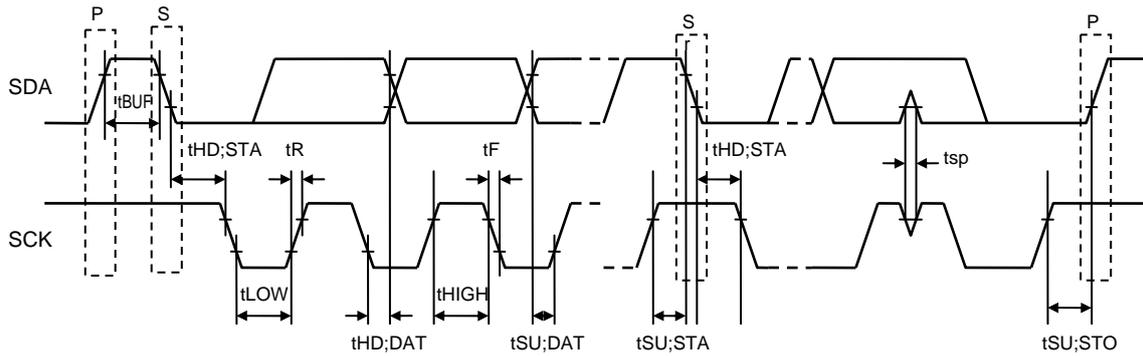


図7 パルス入力タイミング波形

LC87FC096A



- S : スタートコンディション
- P : ストップコンディション
- Sr : リスタートコンディション

図8 I²C タイミング

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。