



ON Semiconductor®

<http://onsemi.jp>

LC75055PE

CMOS LSI

カーオーディオDSP

概要

本LSIはカーオーディオ分野で必要とされる主要なオーディオ信号処理と、A/D, D/A, ボリューム等を1チップに内蔵したカーオーディオDSPで、最小限の外付け部品でシステムが構築可能なLSIである。なお、本LSIは、内蔵Flash ROMからのダウンロード動作対応品である。

(注意)

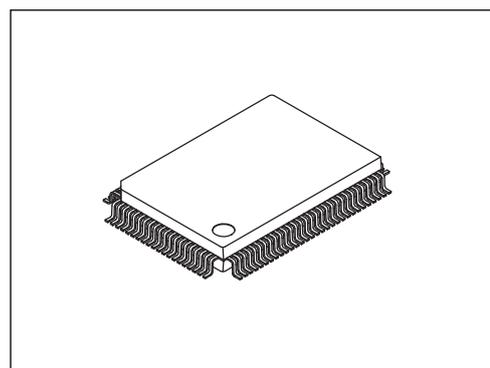
本LSI使用製品上での、内蔵Flash ROMへの書込みは非対応である。
(弊社書込み出荷対応であり、出荷後の書込みに関しては対応しない。)
但し、製品開発時は、開発用LSIと弊社ツールにて、書込み対応する。

ハードウェア概略仕様

項目	内容
Analog Input (stereo)	Balanced-2系統、Single-1系統 or Balanced-1系統、Single-3系統
Analog Input (monaural)	Balanced-2系統、Single-1系統 or Balanced-1系統、Single-3系統
ADC 24bit	2 stereo ch, 2 monaural ch
DAC 24bit+EVR	3 stereo ch
Digital input (IIS)	最大5 stereo ch(slave)
Digital output (IIS)	最大4 stereo ch(master) 入力スルー出力 最大1 stereo ch
Sampling Rate Convertor (SRC)	最大4 stereo ch(同期入力 : 3ch or 4ch対応)
Main Mi-con Serial interface	シリアルインタフェース 1系統(I ² C or SPI format select)
DSP(24bit)	220MIPS (DSP 2Core : 110MHz動作時)

電源電圧

- Logic (DSP) : 1.5V
- PLL回路 : 3.3V
- 水晶発振、デジタルI/O電源 : 3.3V
- CODECアナログ電源 : 3.3V



QIP100E(14X20)

* : I²C バスはフィリップス社の商標です。

※この製品は米国SST社 (Silicon Storage Technology, Inc.) のライセンスを受けています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 31 of this data sheet.

LC75055PE

絶対最大定格/ $T_a=25^\circ\text{C}$, $DV_{SS_1\sim 3}=COAV_{SS1\sim 6}=AVB=XV_{SS}=AVCOV_{SS}=0V$

項目	記号	適用端子(暫定表記)	定格値	unit
最大電源電圧	$V_{DD\ max1}$	CODEC系電源端子	-0.3~+3.9	V
	$V_{DD\ max2}$	発振回路用電源端子	-0.3~+3.9	V
		デジタル3.3V電源端子	-0.3~+3.9	V
	$V_{DD\ max3}$	Logic関係	-0.3~+1.8	V
最大入力電圧	V_{IN1}	CODEC Analog Input pin	-0.3~ $V_{DD\ max1}+0.3$	V
	V_{IN2}	発振回路 Input Pin, TEST 設定 Input Pin	-0.3~ $V_{DD\ max2}+0.3$	V
	V_{IN3}	Digital Input pin	-0.3~+6.0	V
最大出力電流	I_O	全出力端子	6.0	mA
許容消費電力	$P_d\ max$	$T_a=85^\circ\text{C}$ (*1)	900	mW
動作周囲温度	$T_{opr}\ *2$		-40~+85	$^\circ\text{C}$
保存周囲温度	T_{stg}		-55~+125	$^\circ\text{C}$

*1 基板実装時(基板サイズ: 105×75×1.6mm, 4層)

*2 内蔵Flash ROMを書き換え時は、 0°C ~ $+70^\circ\text{C}$ とする。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

許容動作範囲/ $T_a=-40\sim+85^\circ\text{C}$, $DV_{SS_1\sim 3}=COAV_{SS1\sim 6}=AVB=XV_{SS}=AVCOV_{SS}=0V$

項目	記号	適用端子(暫定表記)	min	typ	max	unit
電源電圧CODEC ANALOG	AV_{DD}	CODEC系電源端子	3.14	3.3	3.47	V
電源電圧 DSP_IO, XTAL	DV_{DD33}	発振回路用電源端子 デジタル3.3V電源端子	3.14	3.3	3.47	V
電源電圧 PLL	$AVCOV_{DD}$	PLL用電源端子	3.14	3.3	3.47	V
電源電圧 Logic	DV_{DD}	DV_{DD_1} , DV_{DD_2}	1.43	1.5	1.58	V
入力「H」レベル電圧	V_{IH1}	XINを除く 全デジタル入力端子	2.0		5.5 *3	V
入力「H」レベル電圧	V_{IH2}	XIN	2.0		DV_{DD33}	V
入力「L」レベル電圧	V_{IL1}	全デジタル入力端子	0		0.8	V
水晶発振周波数(256fs)		XIN, XOUT (fs=44.1kHz)*4		11.2896		MHz
		XIN, XOUT (fs=48kHz) *4		12.288		MHz

*3 入力端子に5.5Vまでの電圧が印可できるのは、全電源に電圧が入っているときである。

電源OFF時は3.6Vまでしか電圧を印可してはいけない。

*4 水晶振動子の水晶 CI値: $CI \leq 150\Omega$

水晶発振回路は、水晶振動子や基板パターンによって回路定数が増えるので、水晶メーカーへの評価依頼を推奨する。

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

LC75055PE

電气的特性/ $T_a = -40 \sim +85^\circ\text{C}$, $DV_{SS_1 \sim 3} = COAV_{SS1 \sim 6} = AVB = XV_{SS} = AVCOV_{SS} = 0V$

項目	記号	条件および適用端子	min	typ	max	unit
入力「H」レベル電流	I_{IH}	全デジタル入力端子			10	μA
入力「L」レベル電流	I_{IL}	全デジタル入力端子	-10			μA
出力「H」レベル電圧	V_{OH}	$I_{OH} = -2\text{mA}$: デジタル出力端子 (*)DSPIO4, SDAS端子を除く	2.4			V
		$I_{OH} = -4\text{mA}$: DSPIO4, SDAS	2.4			V
出力「L」レベル電圧	V_{OL}	$I_{OL} = 2\text{mA}$: デジタル出力端子 (*)DSPIO4, SDAS端子を除く			0.4	V
		$I_{OL} = 4\text{mA}$: DSPIO4, SDAS			0.4	V
出力OFFリーク電流	I_{OFF}	無負荷: 全デジタル出力端子	-10		10	μA
水晶発振器帰還抵抗	R_f	XIN, XOUT		1.0		$\text{M}\Omega$
CODEC基準電圧	V_{REF}	ADC_REF, ADC_REF		$0.5 \cdot AV_{DD}$		V
動作時 消費電流	I_{a33}	$COAV_{DD1, 2, 3, 4, 5, 6}$ $AVCOAV_{DD}$		110	157	mA
	I_{d33}	DV_{DD33}, XV_{DD}		10	12.5	mA
	I_{d15}	$DV_{DD_1, 2}$		120	173	mA

AC電气的特性/ $AV_{DD} = DV_{DD33} = AVCOV_{DD} = 3.3V$, $DV_{SS_1 \sim 3} = COAV_{SS1 \sim 6} = AVB = XV_{SS} = AVCOV_{SS} = 0V$
 $T_a = 25^\circ\text{C}$, $f_s = 44.1\text{kHz}$, 信号周波数1kHz, 測定帯域=10Hz~20kHz

項目	記号	条件および適用端子	min	typ	max	unit
(入力セレクタ+ADC)						
フルスケールアナログ 入力レベル					$0.85 \cdot AV_{DD}$	V_{p-p}
アナログ部 入力インピーダンス			20	30		$\text{k}\Omega$
ゲイン設定レベル			-12		+19	dB
ゲイン設定ステップ				1		dB
ゲイン設定ステップ間 誤差			-0.5		+0.5	dB
S/N		A-weighted付き	90	95		dB
		A-weighted無し	87	92		dB
ダイナミックレンジ		A-weighted付き	90	95		dB
		A-weighted無し	87	92		dB
THD+N		入力条件: -3dBFS		-90	-80	dB
クロストーク1		入力条件: -3dBFS, 1kHz AIN3差動入力使用時の LchとRchのクロストーク		-75	-65	dB
クロストーク2		入力条件: -3dBFS, 1kHz クロストーク1以外		-90	-80	dB
(ADC Digital Filter)						
Pass Band Frequency			0		0.4535	fs
Stop Band Frequency			0.5465			fs
Pass Band ripple					± 0.04	dB
Stop Band Attenuation			-69			dB
DC Offsetキャンセル用 HPFカットオフ周波数		$f_s: 44.1\text{kHz}$		0.86		Hz

次ページへ続く。

LC75055PE

前ページより続く。

項目	記号	条件および適用端子	min	typ	max	unit
(オーディオ DAC)						
フルスケールアナログ出力レベル					0.85*AV _{DD}	V _{p-p}
S/N		A-weighted付き	94	100		dB
		A-weighted無し	91	97		dB
ダイナミックレンジ		A-weighted付き	94	100		dB
		A-weighted無し	91	97		dB
THD+N		-3dBFS		-91	-80	dB
クロストーク		入力条件:フルスケール,1KHz		-100	-85	dB
Muteレベル		A-weighted付き	94	100		dB
(DAC Digital Filter)						
Pass Band Frequency			0		0.4535	f _s
Stop Band Frequency			0.5465			f _s
Pass Band ripple					±0.015	dB
Stop Band Attenuation			-62			dB
DC Offsetキャンセル用HPFカットオフ周波数		f _s :44.1kHz		1.7		Hz
(EVR)						
入力インピーダンス	ZEVRI		20	25		kΩ
ボリューム設定範囲			-70		0	dB
ミュートレベル			85	95		dB
ボリュームステップ				1		dB
ボリューム設定ステップ誤差			-0.5		0.5	dB

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

LC75055PE

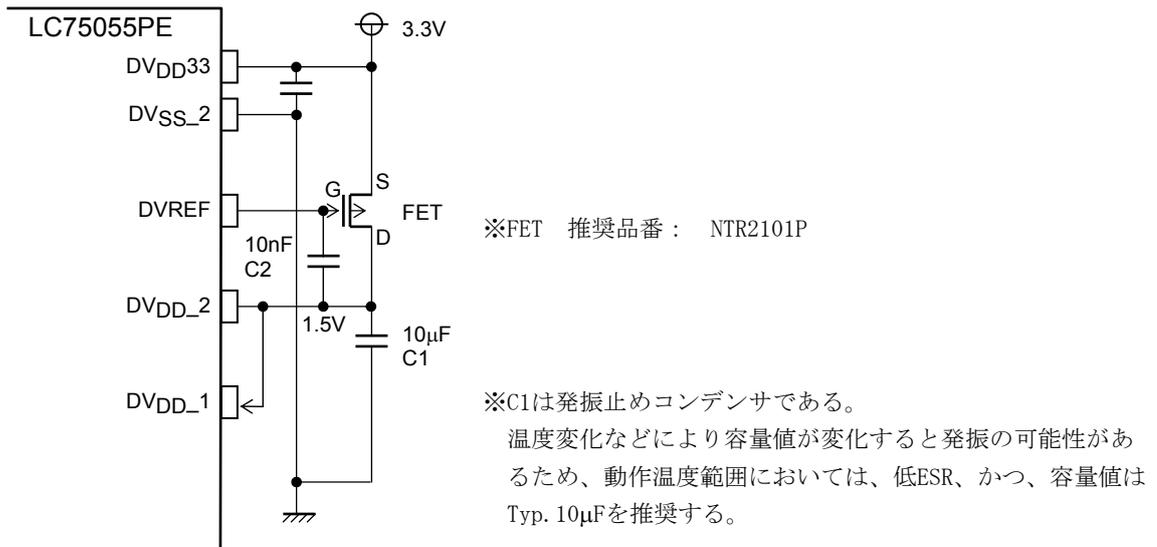
1.5V基準レベル特性/ $T_a = -40 \sim +85^\circ\text{C}$, $DV_{DD33} = 3.3\text{V}$, $DV_{SS_1 \sim 3} = COAV_{SS1 \sim 6} = AVB = XV_{SS} = AVCOV_{SS} = 0\text{V}$

項目	記号	条件	min	typ	max	unit
FET制御出力電圧	DVREF	$DV_{DD33} = 3.3\text{V}$	0		3.3	V

<補足>

- 1.5V基準レベル回路は、本LSIで必要となる1.5V電源電圧を容易に生成できるよう用意した回路である。
- 図5-1に示す推奨FETの使用により、1.5Vの電源供給を可能とする。

<図5-1>1.5V基準レベル回路周辺部参考回路



<図5-1>で示す回路を構成する上での注意点を説明する。

LC75055PEの DV_{DD33} 端子への3.3V電源に対して、FETのソース端子への3.3V電源が先に立ち上がると、電頭投入直後に1.5V電源の電圧値が3.3Vまで上昇する可能性がある。

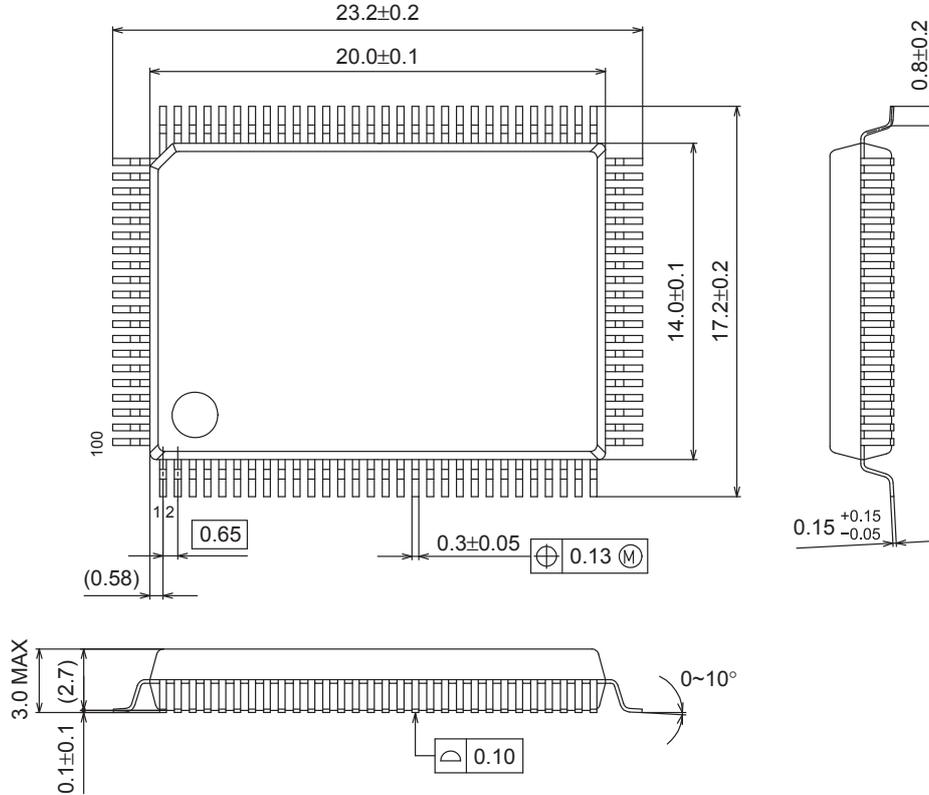
FETによる1.5V基準レベル回路を使用する場合、 DV_{DD33} 端子への電源投入に対して、FETのソース端子への3.3V電源投入タイミングが一致、もしくは遅くなるよう電源を構成すること。

LC75055PE

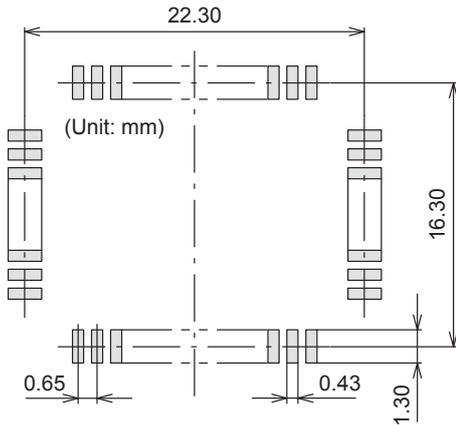
外形図

unit:mm

PQFP100 14x20 / QIP100E
CASE 122BV
ISSUE A



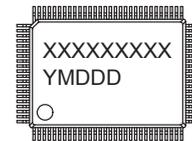
SOLDERING FOOTPRINT*



NOTE: The measurements are not to guarantee but for reference only.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*

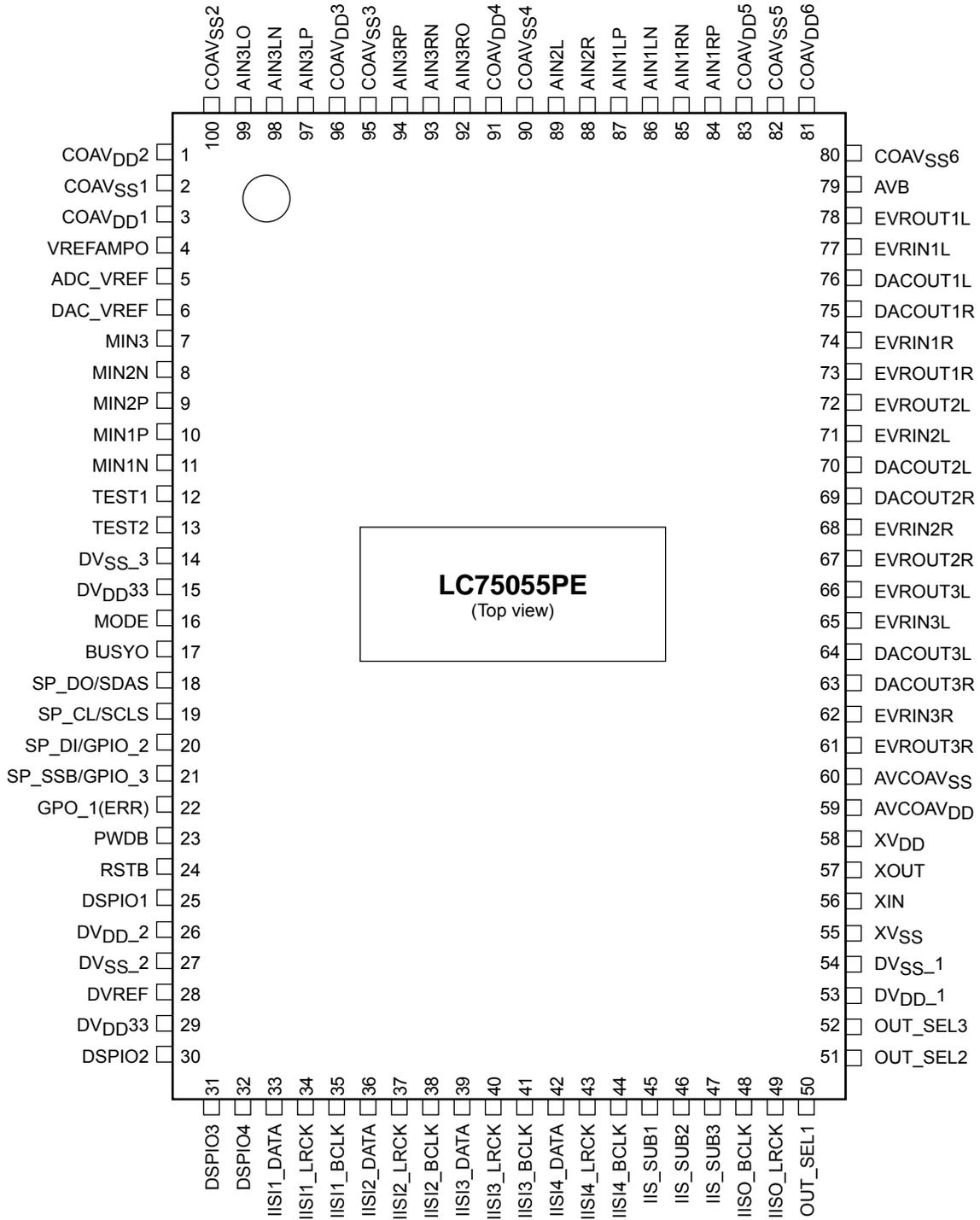


XXXXX = Specific Device Code
 Y = Year
 M = Month
 DDD = Additional Traceability Data

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

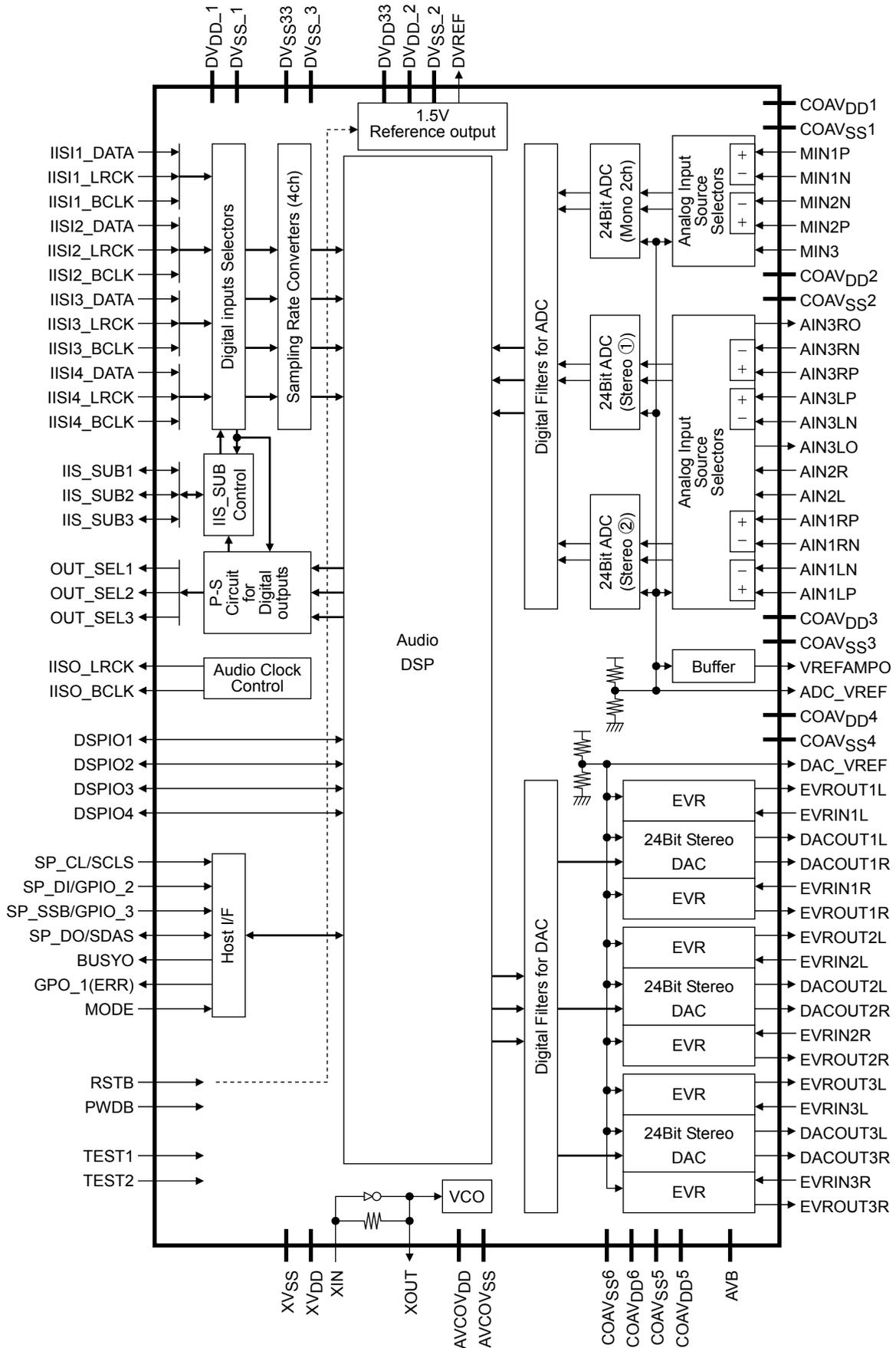
LC75055PE

端子配置图



LC75055PE

ブロック図



LC75055PE

端子説明

端子番号	端子名	入出力	RSTB=L時 入出力	機能
1	COAV _{DD2}			CODECアナログ用電源。(3.3V)
2	COAV _{SS1}			CODECアナログ用電源。(GND)
3	COAV _{DD1}			CODECアナログ用電源。(3.3V)
4	VREFAMPO	AO	AO	リファレンス電圧バッファ出力端子。外部リファレンス電圧として使用。
5	ADC_VREF	AO	AO	CODEC ADC用リファレンス電圧出力端子。 外部にてGNDとの間にカップリングコンデンサが必要。
6	DAC_VREF	AO	AO	CODEC DAC用リファレンス電圧出力端子。 外部にてGNDとの間にカップリングコンデンサが必要。
7	MIN3	AI	AI	モノラル3用アナログシングルエンド入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
8	MIN2N	AI	AI	モノラル2用Negativeアナログ入力端子 or モノラル5用アナログシングルエンド入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
9	MIN2P	AI	AI	モノラル2用Positiveアナログ入力端子 or モノラル4用アナログシングルエンド入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
10	MIN1P	AI	AI	モノラル1用Positiveアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
11	MIN1N	AI	AI	モノラル1用Negativeアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
12	TEST1	I	I	テストモード設定入力端子1。GNDに接続すること。
13	TEST2	I	I	テストモード設定入力端子2。GNDに接続すること。
14	DV _{SS_3}			デジタル用電源。(GND)
15	DV _{DD33}			デジタル用電源。(3.3V)
16	MODE	I		シリアル通信モード選択端子。(“0”：I ² C, “1”：SPI)
17	BUSY0	0	0(H)	HOST I/F通信用のシステムビジー信号出力端子 (“H”：システムビジー状態)
18	SP_DO/SDAS	I/O	I	SPI (Slave) 通信用データ出力端子 or IIC (Slave) 通信用データ入出力端子
19	SP_CL/SCLS	I	I	SPI (Slave) 通信用データ転送クロック入力端子 or IIC (Slave) 通信用データ転送クロック入力端子
20	SP_DI/GPIO_2	I/O	I	SPI (Slave) 通信用のデータ入力端子 or Audio DSP用汎用入出力端子2
21	SP_SSB/GPIO_3	I/O	I	SPI (Slave) 通信用のイネーブル信号入力端子。(Active:“L”)or Audio DSP用汎用入出力端子3
22	GPO_1(ERR)	0	0(L)	内蔵DSP用汎用出力端子1(通信エラー信号出力に対応予定)
23	PWDB	I	I	Power Down Mode設定端子。通常“H”を入力すること。
24	RSTB	I	I	システムリセット端子。電源投入時に一旦“L”にすること。
25	DSPI01	I/O	I	Audio DSP 汎用入出力端子1
26	DV _{DD_2}			内部ロジック用電源。(1.5V)
27	DV _{SS_2}			デジタル用電源。(GND)
28	DVREF	0		1.5V生成用制御出力端子
29	DV _{DD33}			デジタル用電源。(3.3V)
30	DSPI02	I/O	I	Audio DSP 汎用入出力端子2

次ページへ続く。

LC75055PE

前ページより続く。

端子番号	端子名	入出力	RSTB=L時 入出力	機能
31	DSPI03	I/O	I	Audio DSP 汎用入出力端子3
32	DSPI04	I/O	I	Audio DSP 汎用入出力端子4 or 256FSクロック出力
33	IISI1_DATA	I	I	IIS データ入力端子1
34	IISI1_LRCK	I	I	IIS ワードクロック入力端子1
35	IISI1_BCLK	I	I	IIS ビットクロック入力端子1
36	IISI2_DATA	I	I	IIS データ入力端子2
37	IISI2_LRCK	I	I	IIS ワードクロック入力端子2
38	IISI2_BCLK	I	I	IIS ビットクロック入力端子2
39	IISI3_DATA	I	I	IIS データ入力端子3
40	IISI3_LRCK	I	I	IIS ワードクロック入力端子3
41	IISI3_BCLK	I	I	IIS ビットクロック入力端子3
42	IISI4_DATA	I	I	IIS データ入力端子4
43	IISI4_LRCK	I	I	IIS ワードクロック入力端子4
44	IISI4_BCLK	I	I	IIS ビットクロック入力端子4
45	IIS_SUB1	I/O	I	IIS データ入力端子5 or IIS データ出力端子1 or IIS データ出力端子4 (設定にて使用用途を変更可能)
46	IIS_SUB2	I/O	I	IIS データ入力端子6 or IIS ワードクロック入力端子5 or IIS データ出力端子2 or IIS ワードクロック出力端子4 (設定にて使用用途を変更可能)
47	IIS_SUB3	I/O	I	IIS ビットクロック入力端子5 or IIS データ出力端子3 or IIS ビットクロック出力端子4 (設定にて仕様用途を変更可能)
48	IISO_BCLK	0	0(L)	IIS ビットクロック出力端子 (IIS データ出力1~3用)
49	IISO_LRCK	0	0(L)	IIS ワードクロック出力端子 (IIS データ出力1~3用)
50	OUT_SEL1	0	0(L)	IIS データ出力端子1 or IIS データ出力端子4 or 内部信号出力端子1 (設定にて使用用途を変更可能。リセット時は、L固定出力)
51	OUT_SEL2	0	0(L)	IIS データ出力端子2 or IIS ワードクロック出力端子4 or 内部信号出力端子2 (設定にて使用用途を変更可能。リセット時は、L固定出力)
52	OUT_SEL3	0	0(L)	IIS データ出力端子3 or IISビットクロック出力端子4 or 内部信号出力端子3 (設定にて使用用途を変更可能。リセット時は、L固定出力)
53	DVDD_1			内部ロジック用電源。(1.5V)
54	DVSS_1			デジタル用電源。(GND)
55	XVSS			水晶発振回路用電源。(GND)
56	XIN		発振	水晶発振回路入力。(11.2896MHz or 12.288MHz)
57	XOUT		発振	水晶発振回路出力。
58	XVDD			水晶発振回路用電源。(3.3V)
59	AVCOAVDD			CODECメインクロック発生用VCOアナログ電源。(3.3V)
60	AVCOAVSS			CODECメインクロック発生用VCOアナログ電源。(GND)

次ページへ続く。

LC75055PE

前ページより続く。

端子番号	端子名	入出力	RSTB=L時 入出力	機能
61	EVRROUT3R	AO	AO	電子ボリューム出力端子。 EVR3の出力設定がOFFの場合、EVRIN3Rへの入力信号が、50kΩ抵抗を介して出力される。
62	EVRIN3R	AI	AI	電子ボリューム入力端子。DACOUT3R(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
63	DACOUT3R	AO	AO	DACアナログ出力端子。(Rチャンネル出力) DAC3の出力設定がOFFの場合、端子出力はGNDとなる。
64	DACOUT3L	AO	AO	DACアナログ出力端子。(Lチャンネル出力) DAC3の出力設定がOFFの場合、端子出力はGNDとなる。
65	EVRIN3L	AI	AI	電子ボリューム入力端子。DACOUT3L(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
66	EVRROUT3L	AO	AO	電子ボリューム出力端子。 EVR3の出力設定がOFFの場合、EVRIN3Lへの入力信号が、50kΩ抵抗を介して出力される。
67	EVRROUT2R	AO	AO	電子ボリューム出力端子。 EVR2の出力設定がOFFの場合、EVRIN2Rへの入力信号が、50kΩ抵抗を介して出力される。
68	EVRIN2R	AI	AI	電子ボリューム入力端子。DACOUT2R(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
69	DACOUT2R	AO	AO	DACアナログ出力端子。(Rチャンネル出力) DAC2の出力設定がOFFの場合、端子出力はGNDとなる。
70	DACOUT2L	AO	AO	DACアナログ出力端子。(Lチャンネル出力) DAC2の出力設定がOFFの場合、端子出力はGNDとなる。
71	EVRIN2L	AI	AI	電子ボリューム入力端子。DACOUT2L(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
72	EVRROUT2L	AO	AO	電子ボリューム出力端子。 EVR2の出力設定がOFFの場合、EVRIN2Lへの入力信号が、50kΩ抵抗を介して出力される。
73	EVRROUT1R	AO	AO	電子ボリューム出力端子。 EVR2の出力設定がOFFの場合、EVRIN1Rへの入力信号が、50kΩ抵抗を介して出力される。
74	EVRIN1R	AI	AI	電子ボリューム入力端子。DACOUT1R(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
75	DACOUT1R	AO	AO	DACアナログ出力端子。(Rチャンネル出力) DAC1の出力設定がOFFの場合、端子出力はGNDとなる。
76	DACOUT1L	AO	AO	DACアナログ出力端子。(Lチャンネル出力) DAC1の出力設定がOFFの場合、端子出力はGNDとなる。
77	EVRIN1L	AI	AI	電子ボリューム入力端子。DACOUT1L(DAC出力)との間にカップリングコンデンサを用いて接続する。使用しないときにはオープン、もしくは、コンデンサを通してGNDに接地すること。
78	EVRROUT1L	AO	AO	電子ボリューム出力端子。 EVR2の出力設定がOFFの場合、EVRIN1Lへの入力信号が、50kΩ抵抗を介して出力される。

次ページへ続く。

LC75055PE

前ページより続く。

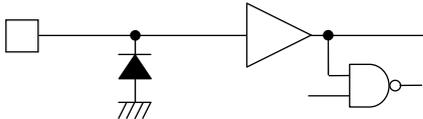
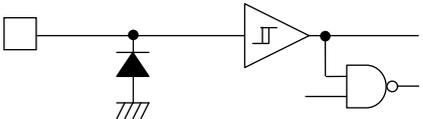
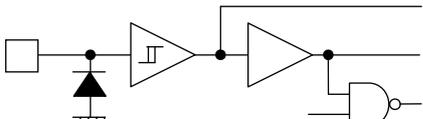
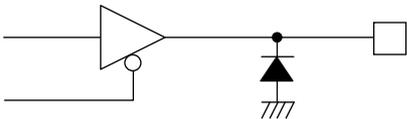
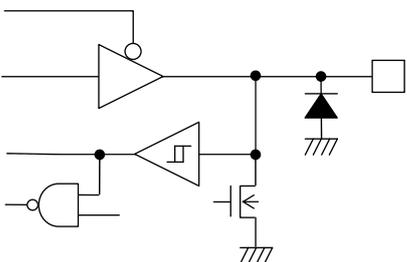
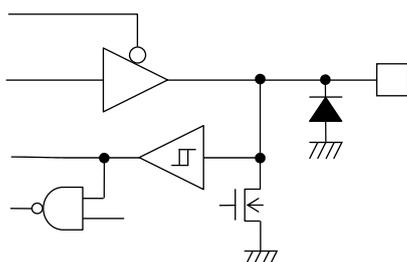
端子番号	端子名	入出力	RSTB=L時 入出力	機能
79	AVB			CODEC基板電圧固定用端子。 GNDに接続する。
80	COAV _{SS} 6			CODECアナログ用電源。(GND)
81	COAV _{DD} 6			CODECアナログ用電源。(3.3V)
82	COAV _{SS} 5			CODECアナログ用電源。(GND)
83	COAV _{DD} 5			CODECアナログ用電源。(3.3V)
84	AIN1RP	AI	AI	ステレオ1用Rチャンネル Positiveアナログ入力端子 or ステレオ4用Rチャンネルアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
85	AIN1RN	AI	AI	ステレオ1用Rチャンネル Negativeアナログ入力端子 or ステレオ4用Lチャンネルアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
86	AIN1LN	AI	AI	ステレオ1用Lチャンネル Negativeアナログ入力端子 or ステレオ5用Rチャンネルアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
87	AIN1LP	AI	AI	ステレオ1用Lチャンネル Positiveアナログ入力端子 or ステレオ5用Lチャンネルアナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
88	AIN2R	AI	AI	ステレオ2用Rチャンネル アナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
89	AIN2L	AI	AI	ステレオ2用Lチャンネル アナログ入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
90	COAV _{SS} 4			CODECアナログ用電源。(GND)
91	COAV _{DD} 4			CODECアナログ用電源。(3.3V)
92	AIN3RO	AO	AO	ステレオ3用Rチャンネル オペアンプ出力端子。
93	AIN3RN	AI	AI	ステレオ3用Rチャンネル オペアンプ反転入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
94	AIN3RP	AI	AI	ステレオ3用Rチャンネル オペアンプ非反転入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
95	COAV _{SS} 3			CODECアナログ用電源。(GND)
96	COAV _{DD} 3			CODECアナログ用電源。(3.3V)
97	AIN3LP	AI	AI	ステレオ3用Lチャンネル オペアンプ非反転入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
98	AIN3LN	AI	AI	ステレオ3用Lチャンネル オペアンプ反転入力端子。 使用しないときにはコンデンサを通してGNDに接地すること。
99	AIN3LO	AO	AO	ステレオ3用Lチャンネル オペアンプ出力端子。
100	COAV _{SS} 2			CODECアナログ用電源。(GND)

(注意)

- ・デカップリングコンデンサを各V_{DD}-V_{SS}間に挿入すること。
- ・未使用入力端子は、上記リストに対処指定の無いものについては、必ずGNDに接地すること。
- ・未使用出力端子は、上記リストに対処指定の無いものについては、オープン処理(何も接続しない)を行うこと。
- ・AVB端子は、GNDに接続すること。
端子オープンの場合は、ラッチアップなどの可能性があるので注意すること。

LC75055PE

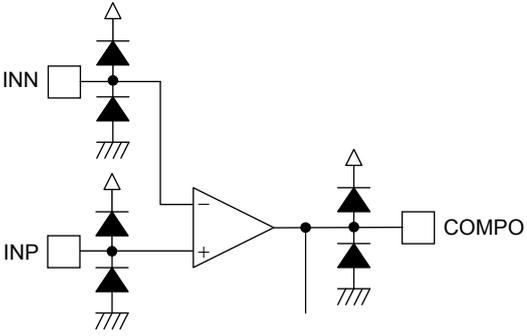
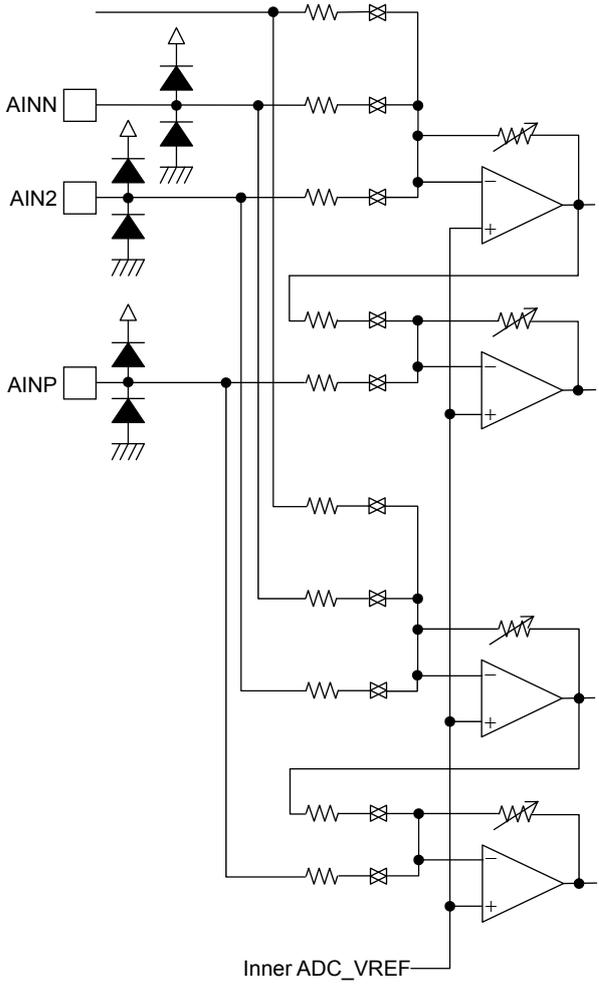
入出力端子等価回路

I/O	端子形式	適用端子	備考
デジタル入力		TEST1 : 12 TEST2 : 13 MODE : 16	5V-Tolerant
デジタル入力		SP_CL/SCLS : 19 PWDB : 23 IISI1_DATA : 33 IISI1_LRCK : 34 IISI1_BCLK : 35 IISI2_DATA : 36 IISI2_LRCK : 37 IISI2_BCLK : 38 IISI3_DATA : 39 IISI3_LRCK : 40 IISI3_BCLK : 41 IISI4_DATA : 42 IISI4_LRCK : 43 IISI4_BCLK : 44	5V-Tolerant
デジタル入力		RSTB : 24	5V-Tolerant 3. 3V反転出力
デジタル出力		BUSY0 : 17 GPO_1(ERR) : 22 IISO_BCLK : 48 IISO_LRCK : 49 OUT_SEL1 : 50 OUT_SEL2 : 51 OUT_SEL3 : 52	5V-Tolerant
デジタル 入出力		SP_DI/GPIO_2 : 20 SP_SSB/GPIO_3 : 21 DSPIO1 : 25 DSPIO2 : 30 DSPIO3 : 31 IIS_SUB1 : 45 IIS_SUB2 : 46 IIS_SUB3 : 47	5V-Tolerant
デジタル 入出力		SP_DO/SDAS : 18 DSPIO4 : 32	5V-Tolerant

LC75055PE

I/O	端子形式	適用端子備考
発振回路		XIN : 56 XOUT : 57
DAC出力		DACOUT3R : 63 DACOUT3L : 64 DACOUT2R : 69 DACOUT2L : 70 DACOUT1R : 75 DACOUT1L : 76
EVR入出力		VINDA EVRIN3R : 62 EVRIN3L : 65 EVRIN2R : 68 EVRIN2L : 71 EVRIN1R : 74 EVRIN1L : 77 VOUT EVROUT3R : 61 EVROUT3L : 66 EVROUT2R : 67 EVROUT2L : 72 EVROUT1R : 73 EVROUT1L : 78
VREF AMP 出力		VREFAMPO : 4
VREF出力		ADC_VREF : 5 DAC_VREF : 6

LC75055PE

I/O	端子形式	適用端子
アナログ入力 (差動1)		INN AIN3RN : 93 AIN3LN : 98 INP AIN3RP : 94 AIN3LP : 97 COMPO AIN3RO : 92 AIN3LO : 99
アナログ セクタ入力 (ステレオ)		AINN AIN1RN : 85 AIN1LN : 86 AIN2 AIN2R : 88 AIN2L : 89 AINP AIN1RP : 84 AIN1LP : 87

LC75055PE

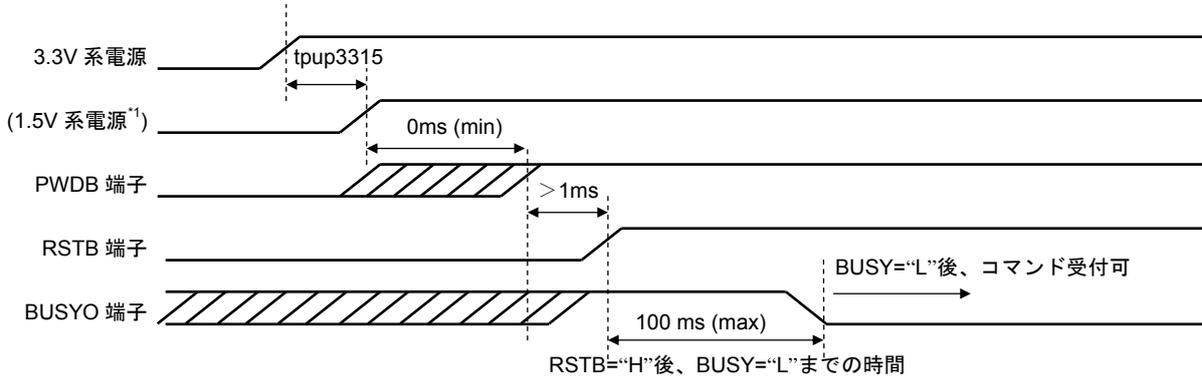
I/O	端子形式	適用端子
アナログ セクタ入力 (モノラル)	<p style="text-align: center;">Inner ADC_VREF</p>	MIN3 : 7 MIN2P : 9 MIN1P : 10 MIN1N : 11 MIN2N : 8

LC75055PE

電源投入順序について

本LSIに投入する電源は下記の順番にて投入・切断すること。

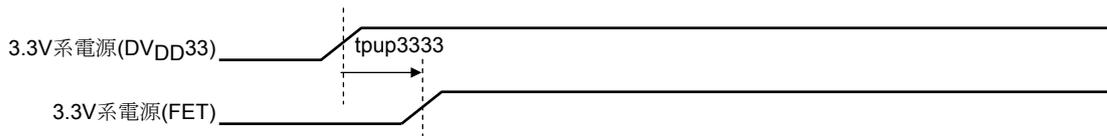
① 投入順序



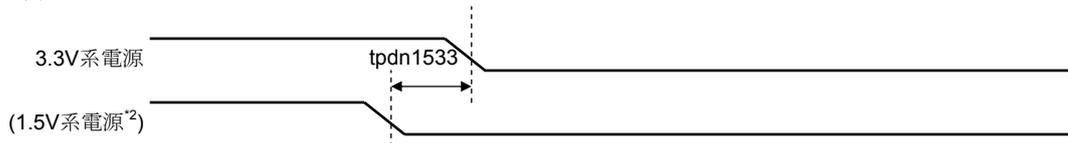
*1) 1.5V電源を外部電源にて直接印加する場合は、この順序を参考に投入すること。

RSTB端子は、1.5V系電源の立ち上がり後もしくはPWDB端子の立ち上がりのどちらか遅い方から1msec以上“L”にすること。また、リセット時間については、100msec以下とすること。

1.5V基準レベル回路を用いて1.5V電源を生成する場合、本LSIへの3.3V電源供給とFETのソース端子への3.3V電源供給タイミングについては、以下の順番を厳守すること。



② 切断順序



*2) 1.5V電源を外部電源にて直接印加する場合は、この順序を参考に切断すること。

Parameter	Symbol	Conditions	min	typ	max	unit
電源投入時間 (3.3V→1.5V)	t _{pup3315}		0		100	msec
電源投入時間 (3.3V→3.3V)	t _{pup3333}		0			
電源切断時間 (1.5V→3.3V)	t _{pdn1533}		0		100	

なお、本LSIのデジタル端子(5V-Tolerant系)は、電源がOFFしている状態であっても3.6Vまでは入力して問題ない。5Vまで入力する場合は、全ての電源が所定の電圧になるまでは印加しないこと。また、1.5V系電源が入力されるまでの時間については端子のI/Oが決定されないため注意すること。

各電源端子への印加については、必ず電圧関係が、3.3V系電源 > 1.5V系電源 の状態が守られるようにすること。この状態が守られれば、電源立ち上がり、立ち下がり時間がMAX 100msecの範囲内であれば電圧の低い電源から先に立ち上がっても問題ない。

オーディオ 入力機能について

① デジタルオーディオ入力について

本LSIは、デジタルオーディオ入力として、4chのサンプリングレートコンバータを持つ。
また、各チャンネルごとに独立したセレクト回路を実装する。

② IIS入力フォーマットについて

1)適用端子 IISI1_DATA, IISI1_LRCK, IISI1_BCLK, IISI2_DATA, IISI2_LRCK, IISI2_BCLK,
IISI3_DATA, IISI3_LRCK, IISI3_BCLK, IISI4_DATA, IISI4_LRCK, IISI4_BCLK,
IIS_SUB1, IIS_SUB2, IIS_SUB3

(* IIS_SUB1/2/3は、入力/出力機能のどちらかを選択する

2)適用モード IIS MODE, LEFT JUSTIFIED MODE, RIGHT JUSTIFIED MODE(設定が必要)

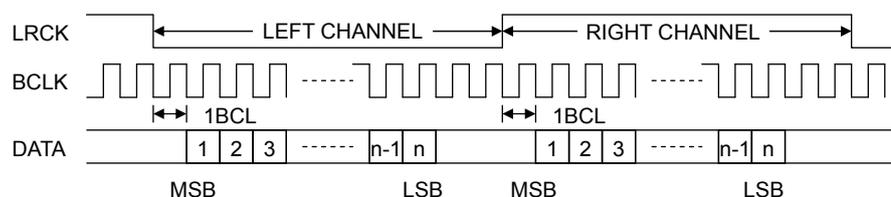
3)適用ビット長 16bit, 20bit, 24bit(設定が必要)

4)適用BCLK fs max 64fs (32fs, 48fs, 64fsの3種類から選択)

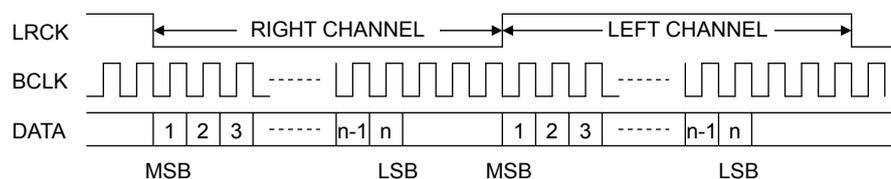
5)入力対応fs 8kHz~96kHz(内部自動判別)

※これらの設定は、それぞれの組み合わせ毎に独自に行うことができる。設定方法については、別途ソフトウェア仕様書にて指定する。

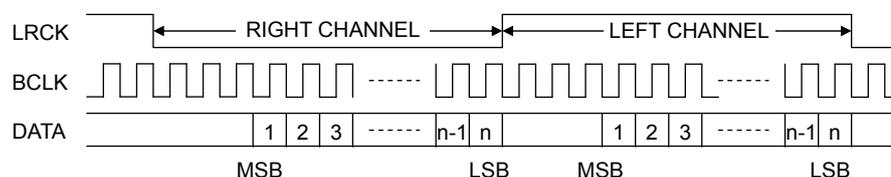
③ IIS MODE タイミングチャート



④ LEFT JUSTIFIED MODE タイミングチャート



⑤ RIGHT JUSTIFIED MODE タイミングチャート



⑥ デジタル入出力の組合せ

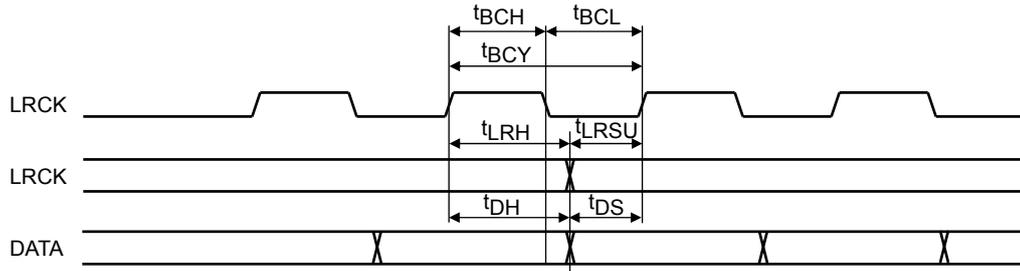
IIS適用端子について、デジタルソースの数、種類により、下記の組合せを可能とする。

- ・ 4系統独立入力 + 4系統出力
- ・ 5系統独立入力 + 3系統出力
- ・ 3系統独立入力 + 3系統マルチチャンネル入力 + 3系統出力

これらの設定方法については、別途ソフトウェア仕様書にて指定する。

LC75055PE

⑦ 詳細入力タイミングチャート



項目	記号	条件および適用端子	min	typ	max	unit
LRCK Cycle Time	-		8		96	kHz
BCLK Cycle Time	tBCY	BCLK : 64FS選択時	512		6144	kHz
		BCLK : 32FS選択時	256		3072	
BCLK pulse width "H"	tBCH		60			nsec
BCLK pulse width "L"	tBCL		60			nsec
LRCK setup time to BCLK rising edge	tLRSU		30			nsec
LRCK hold time to BCLK rising edge	tLRH		30			nsec
DATA setup time to BCLK rising edge	tDS		30			nsec
DATA hold time to BCLK rising edge	tDH		30			nsec

⑧ サンプリングレートコンバータ (SRC) について

サンプリングレートコンバータは、デジタル入力に対して44.1kHzもしくは48kHzにレートを変換する。どちらのfsに変化されるかは、使用する水晶発振子で決まる。

- ・ 44.1kHzにて動作させる場合 : 使用水晶発振子は11.2896MHz (44.1kHz×256)
- ・ 48kHzにて動作させる場合 : 使用水晶発振子は12.288MHz (48kHz×256)

ただし、どの状態で動作させるのかという情報をソフトに反映させるため、制御情報の設定が必要になる。

別途ソフトウェア仕様書にて指定する。

- 1) 入力サンプリング周波数範囲 : 8kHz～96kHz
- 2) 出力サンプリング周波数 : 44.1kHz or 48kHz
- 3) 搭載チャンネル数 : 4ステレオチャンネル (8チャンネル)

注1) デジタルオーディオの入力/出力を開始してから、SRCの出力安定 (THD+Nが安定) するまでに、2782fs (入力もしくは出力の遅いfs基準にて) かかる。

この間については異音等の発生の可能性があるのでミュート処理等を行うこと。

⑨ アナログオーディオ入力について

本LSIは、アナログオーディオ入力として、ステレオ音声用ADC2系統(メイン/サブ)と割込みモノラル音声用ADC2系統(INTA/INTB)を持つ。また各ADCにはゲイン設定付セレクト回路が実装される。

ステレオ音声入力として、シングルエンド入力/オペアンプ入力および差動入力の3通りから選択できる。

モノラル音声入力として、シングルエンド入力および差動入力の2通りから選択できる。

1) メインおよびサブ用オーディオADCに対する入力について

メイン/サブ用オーディオADCには、シングルエンド入力/オペアンプ入力/差動入力のソースセレクトと、それぞれの入力に対して個別にゲイン設定できるアンプがある。

メイン/サブのゲイン設定値は、それぞれの各入力ソース毎に設定可能である。ゲイン設定範囲は-12~+19dB(1dBステップ)であり、外部より設定する。

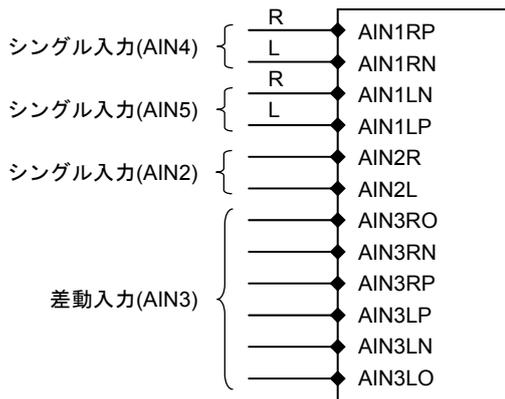
なお、ゲイン設定変更時にはノイズ発生の可能性があるので、必ずミュート処理等を行うこと。ゲイン設定の方法については、別途ソフトウェア仕様書にて指定する。

入力ソースの数、種類により、以下のとおりの組合せを可能とする。

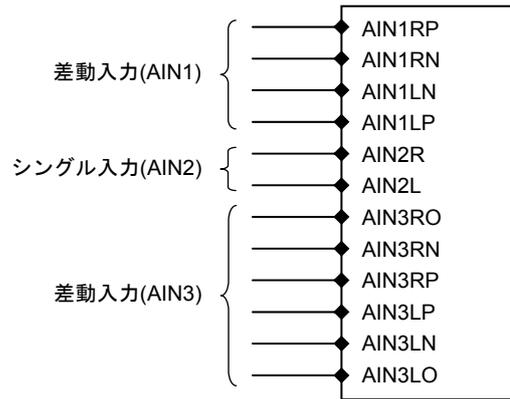
組合せ	シングル入力		差動入力	
	Lch	Rch	Lch	Rch
シングル入力：3系統 差動入力：1系統	AIN1LP AIN1RN AIN2L	AIN1LN AIN1RP AIN2R	AIN3LP, AIN3LN	AIN3RP, AIN3RN
シングル入力：1系統 差動入力：2系統	AIN2L	AIN2R	AIN1LP, AIN1LN AIN3LP, AIN3LN	AIN1RP, AIN1RN AIN3RP, AIN3RN

これらの設定方法については、別途ソフトウェア仕様書にて指定する。

(i) シングル入力3系統, 差動入力1系統組合せ



(ii) シングル入力1系統, 差動入力2系統組合せ



2) 割り込み音声MONO入力について

割り込み音声 (INTA/INTB) 用オーディオADCには、シングルエンド入力/差動入力のソースセレクトと、それぞれの入力に対して個別にゲイン設定できるアンプがある。

INTA/INTBのゲイン設定値は、それぞれの各入力ソース毎に設定可能である。ゲイン設定範囲は-12~+19dB(1dBステップ)であり、外部より設定する。

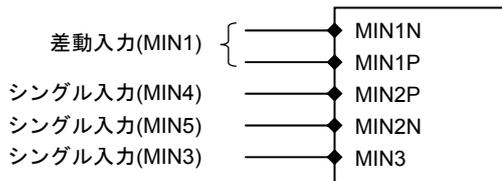
なお、ゲイン設定変更時にはノイズ発生の可能性があるため、必ずミュート処理等を行うこと。ゲイン設定変更の方法については、別途ソフトウェア仕様書にて指定する。

割り込みの数、種類により、以下のとおりの組合せを可能とする。

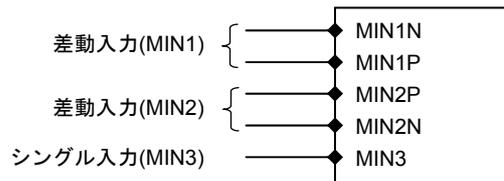
組合せ	シングル入力	差動入力
シングル入力：3系統 差動入力：1系統	MIN2N	MIN1P, MIN1N
	MIN2P	
	MIN3	
シングル入力：1系統 差動入力：2系統	MIN3	MIN1P, MIN1N
		MIN2P, MIN2N

これらの設定方法については、別途ソフトウェア仕様書にて指定する。

(i) シングル入力3系統, 差動入力1系統組合せ

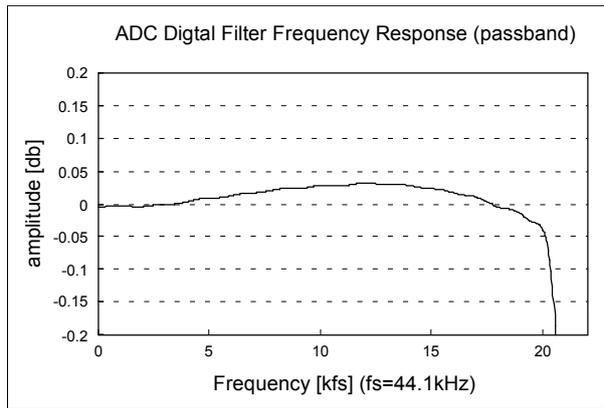
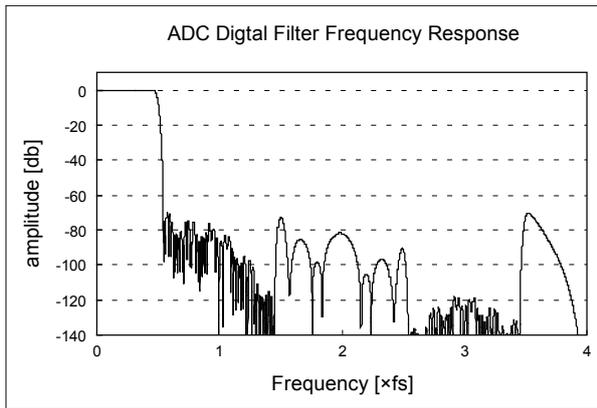


(ii) シングル入力1系統, 差動入力2系統組合せ

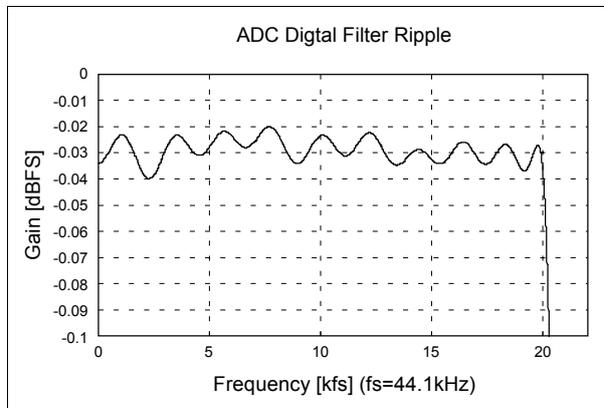
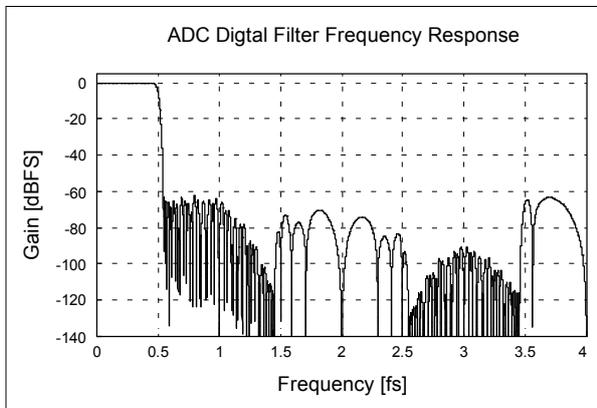


⑩ 内蔵デジタルフィルタ特性

1) Audio-ADC デジタルフィルタ



2) Audio-DAC デジタルフィルタ (8倍オーバーサンプリング)



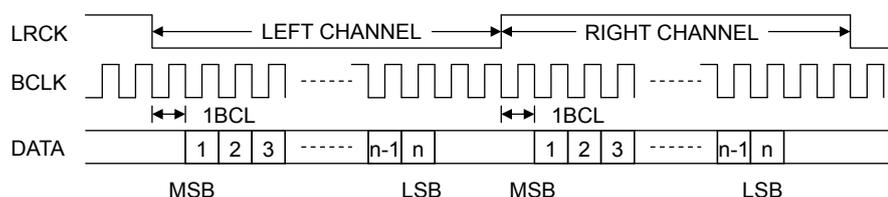
オーディオ デジタル出力機能について

本LSIは、最大4系統のデジタル出力機能を持つ。デジタル出力はIIS24bit/64fsフォーマットで固定である。

① DSP 処理 IIS出力フォーマット

- 1) 適用端子 IISO_BCLK, IISO_LRCK, OUT_SEL1, OUT_SEL2, OUT_SEL3
 IIS_SUB1, IIS_SUB2, IIS_SUB3
 (*) IIS_SUB1/2/3は、入力/出力機能のどちらかを選択する
- 2) 適用モード IISのみ
- 3) 適用ビット長 24ビットのみ
- 4) 適用BCLK 64fsのみ

※IIS MODE タイミングチャート



② スルー出力フォーマットについて

本LSIは4系統のデジタル出力の他に、デジタルスルー出力機能をもつ。これはDSP処理に関係なく、入力データをそのままOUT_SEL1/2/3端子より出力できるように割付けるモードである。どのデータを出力させるかについては外部より設定する。設定方法については、別途ソフトウェア仕様書にて指定する。

- 1) 選択できる内容 IISI1_DATA, IISI1_LRCK, IISI1_BCLK, IISI2_DATA, IISI2_LRCK, IISI2_BCLK,
 IISI3_DATA, IISI3_LRCK, IISI3_BCLK, IISI4_DATA, IISI4_LRCK, IISI4_BCLK,
 IIS_SUB1, IIS_SUB2, IIS_SUB3
 (*) IIS_SUB1/2/3を入力として使用する場合に限り
- 2) 適用端子 OUT_SEL1 : DATA割付
 OUT_SEL2 : LRCK割付
 OUT_SEL3 : BCLK割付

3) 出力形態

IIS出力端子は入力信号がそのまま出力される。スルー出力にて使用する場合特にフォーマット等の規定はない。

マイコンI/Fについて

ホストマイコンと本LSIの通信インタフェースとして、IIC方式、または、SPI方式のいずれかが選択可能である。通信モードの選択は、MODE端子によって決定する。

MODE端子状態： “0”：IIC方式
 “1”：SPI方式

① IICインタフェース

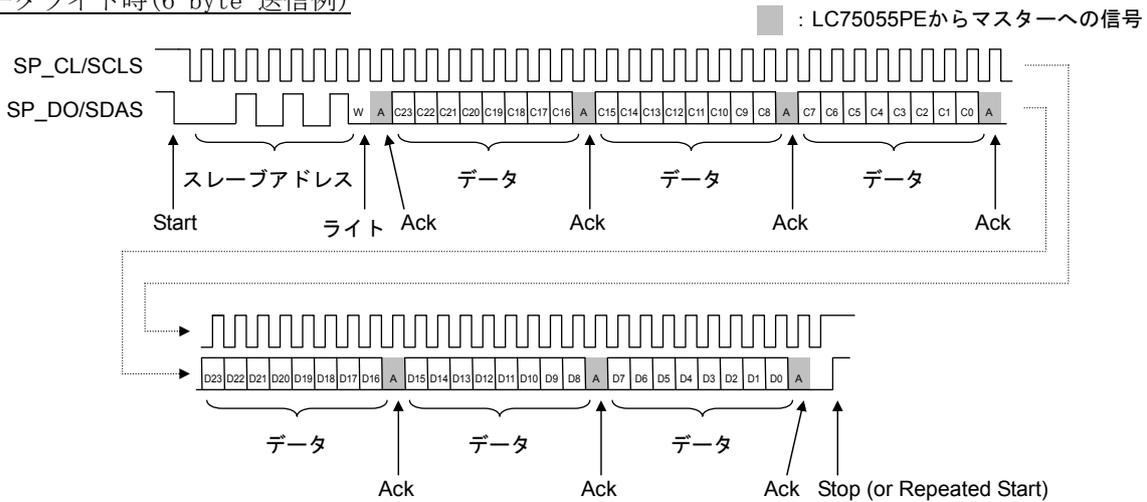
本LSIのIICスレーブ送受信インタフェースは、ver. 2.1に準拠している。

(標準モード100kbps, ファストモード400kbps対応)

本LSIにコマンド転送を行う場合、スレーブアドレスは0x15(上位7ビット値)であり、データは8ビットを1単位とする。データ転送のフォーマットは以下に従って行われる。

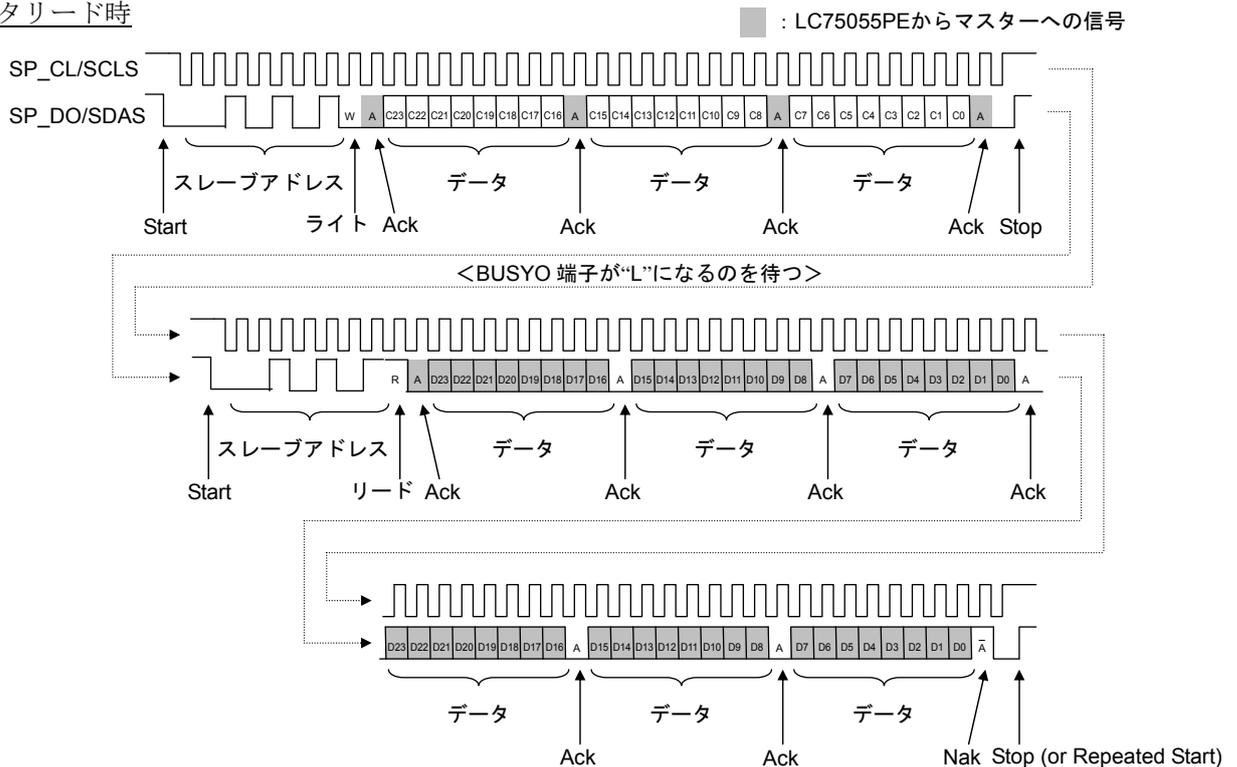
- ・各バイトデータはMSBファースト

データライト時(6 byte 送信例)



データの書き込みは必ずBUSY0端子が“L”の時に行うこと。BUSY0端子が“H”の状態データ送信を行った場合には、最終に送信したデータもしくはコマンドおよびBUSY0が“H”の時に送信したデータおよびコマンドに対して動作を保証しないので注意すること。

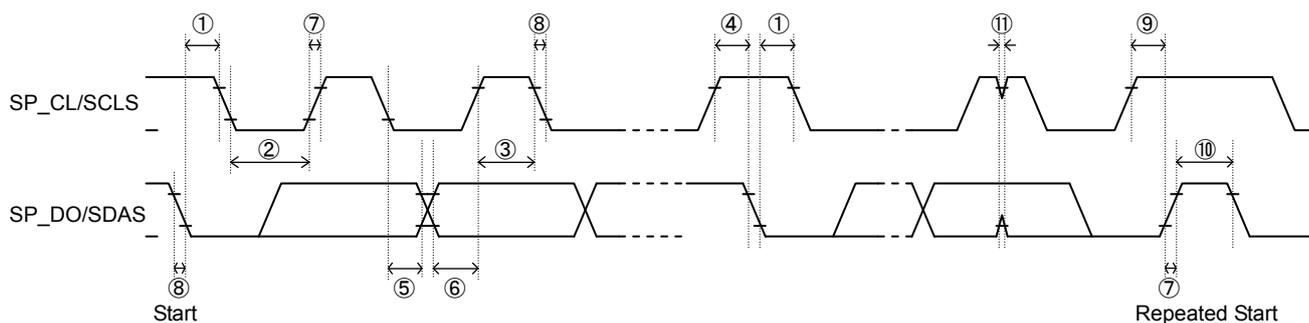
データリード時



リード時・ライト時の各データについての内容は全てソフトウェア仕様書にて決定する。

LC75055PE

データアクセスタイミング



単位：nsec

記号	タイミングパラメータ	標準モード (100kbps)		高速モード (400kbps)	
		Min	Max	Min	Max
①	Start (Repeated-Start) 条件ホールド時間	4000		600	-
②	SP_CL/SCLS“L”レベルパルス幅	4700		1300	-
③	SP_CL/SCLS“H”レベルパルス幅	4000		600	-
④	Start (Repeated-Start) 条件セットアップ時間	4700		600	-
⑤	SP_DO/SDASホールド時間	0	3450	0	900
⑥	SP_DO/SDASセットアップ時間	250		100	-
⑦	SP_CL/SCLS, SP_DO/SDAS立ち上がり時間	-	1000	20+0.1Cb	300
⑧	SP_CL/SCLS, SP_DO/SDAS立ち下がり時間	-	300	20+0.1Cb	300
⑨	Stop条件セットアップ時間	4000		600	-
⑩	バス開放時間	4700		1300	-
⑪	許容スパイクパルス幅	-		0	-

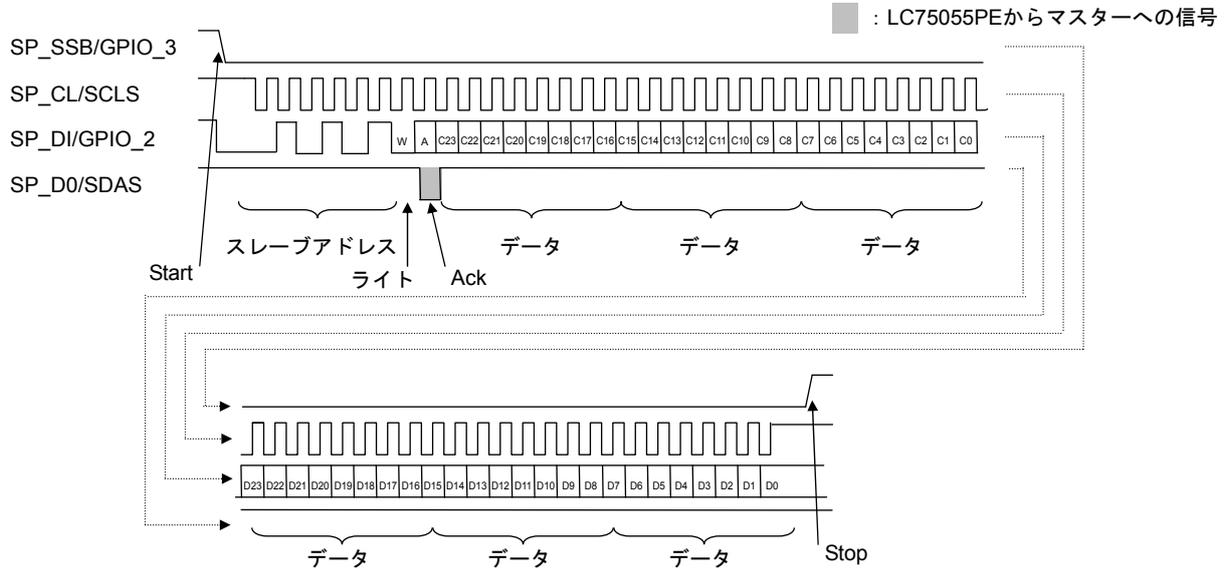
注：⑦⑧の「Cb」はバスライン(SP_CL/SCLS, SP_DO/SDAS)のそれぞれのトータル容量(単位：pF)

② SPIインタフェース

本LSIのSPIスレーブ送受信インタフェースは、SP_SSB/GPIO_3, SP_CL/SCLS, SP_DI/GPIO_2, SP_DO/SDASの4端子を用いて通信を行う。IIC方式との相違として、転送レートが最大2Mbpsでの高速転送を可能とすることである。

本LSIにコマンド転送を行う場合、スレーブアドレスは0x15(6ビット値)であり、データは8ビットを1単位とする。データ転送のフォーマットは以下に従って行われる。

データライト時(6 byte 送信例)

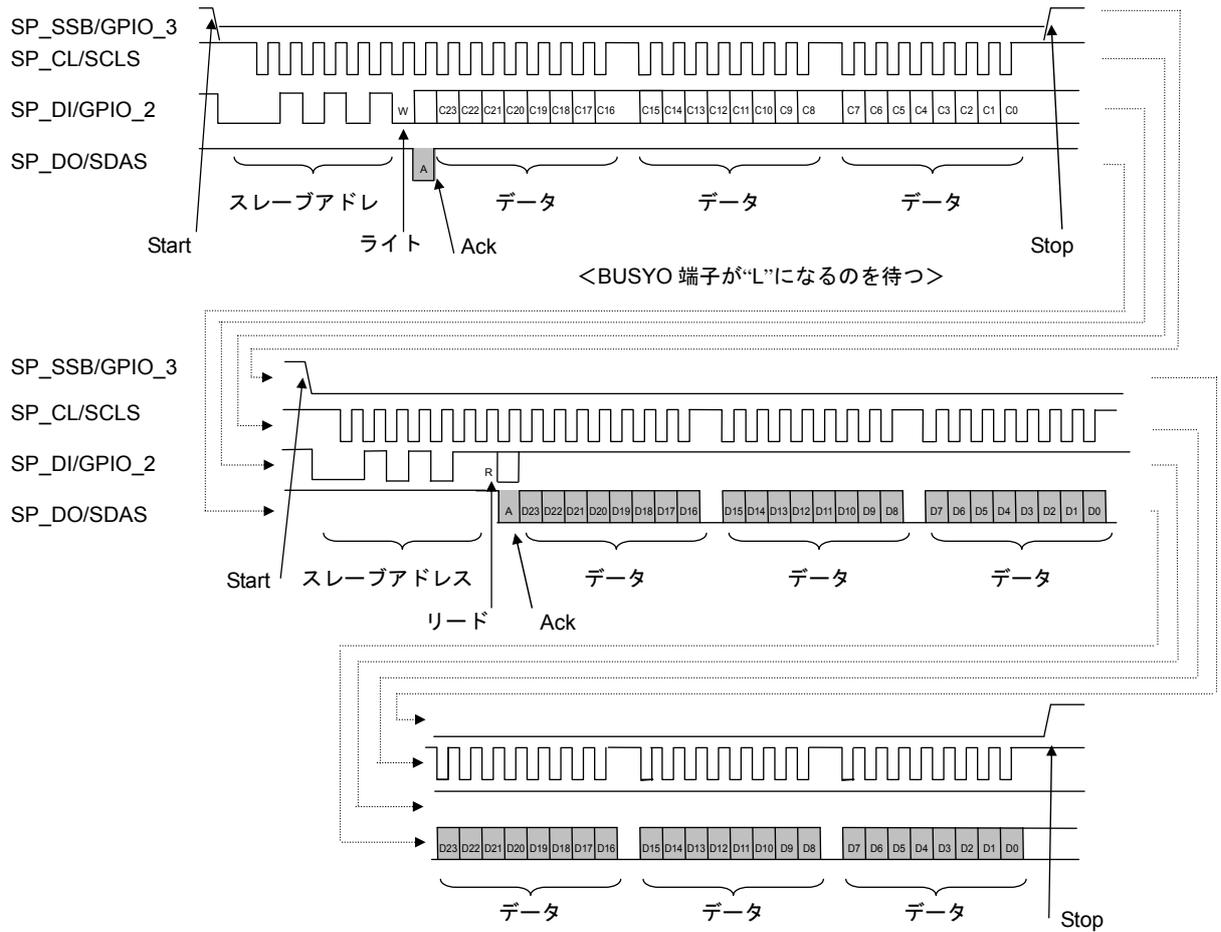


データの書き込みは必ずBUSY0端子が“L”の時に行うこと。BUSY0端子が“H”の状態データ送信を行った場合には、最終に送信したデータもしくはコマンドおよびBUSY0が“H”の時に送信したデータおよびコマンドに対して動作を保証しないので注意すること。

LC75055PE

データリード時

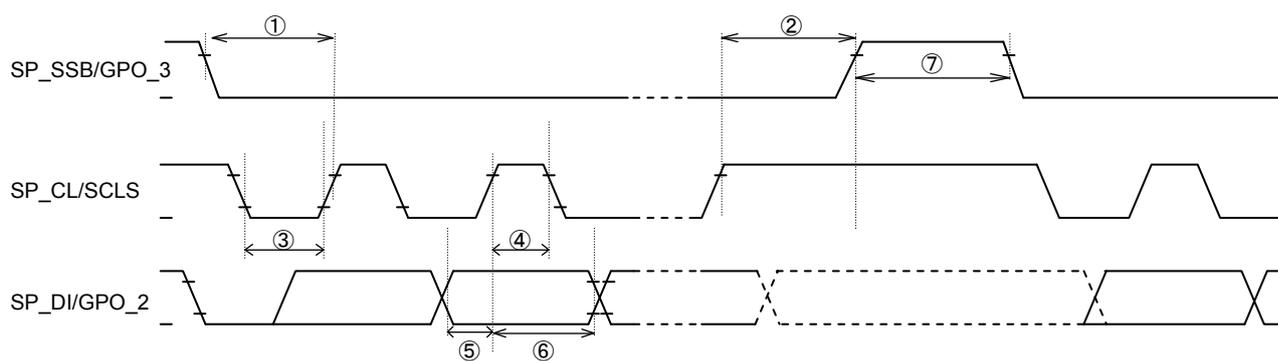
■ : LC75055PEからマスターへの信号



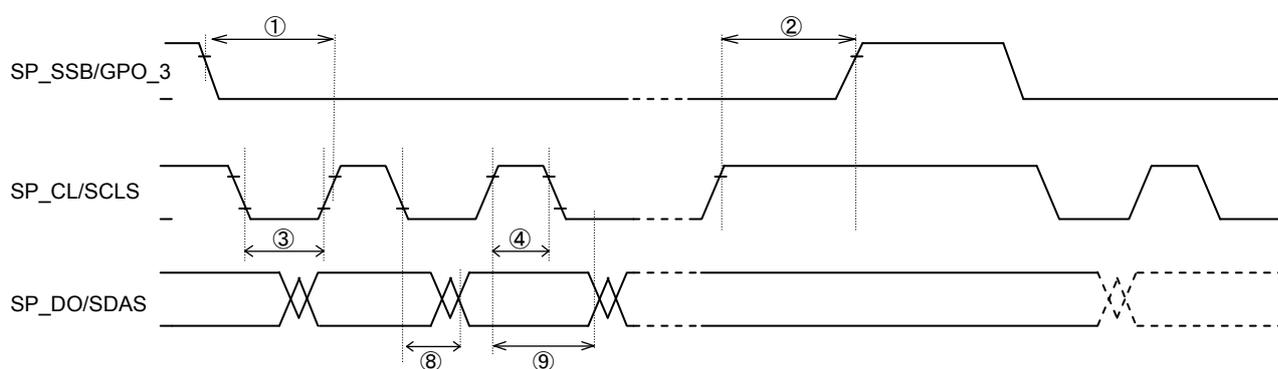
リード時・ライト時の各データについての内容は全てソフトウェア仕様書にて決定する。

LC75055PE

データライト時アクセスタイミング



データリード時アクセスタイミング

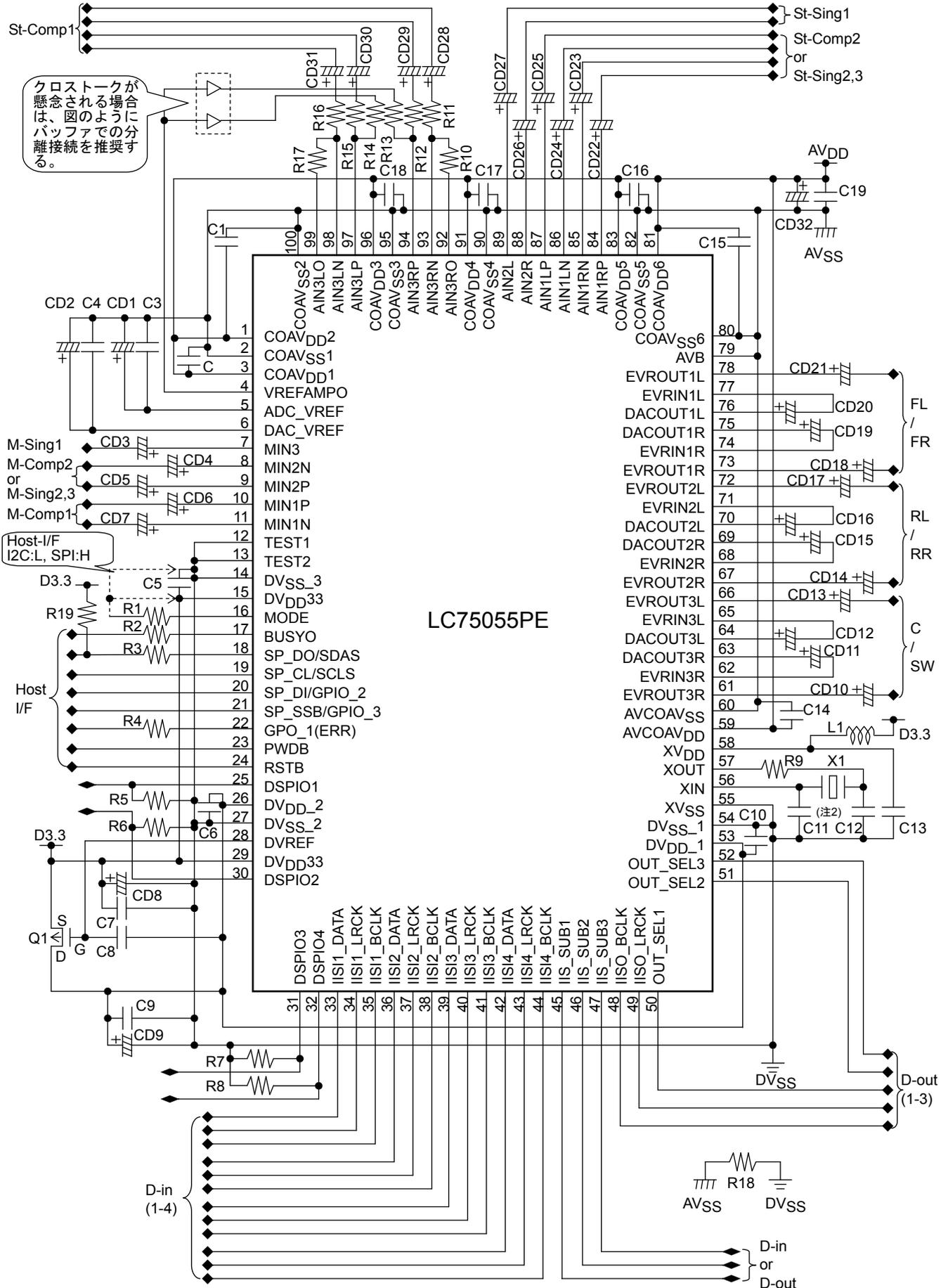


単位：nsec

記号	タイミングパラメータ	Min	Typ	Max
①	SP_SSBセットアップ時間	500		
②	SP_SSBホールド時間	250		
③	SP_CL“L”レベルパルス幅	250		
④	SP_CL“H”レベルパルス幅	250		
⑤	SP_DIセットアップ時間	100		
⑥	SP_DIホールド時間	100		
⑦	コマンド転送間隔	500		
⑧	SP_D0アクセス時間	0		100
⑨	SP_D0ホールド時間	120		

LC75055PE

応用回路例について



注1) 本応用回路例は、参考回路であり、特性を保証するものではない。

注2) 発振定数については、使用される水晶発振子メーカーへの評価依頼、確認をしてください。

LC75055PE

○参考部品リスト

名称	定数	規格	型式	ロケーション	備考
セラミック コンデンサ	0.1 μ F		1608	C1, C2, C3, C4, C5, C6, C7, C10, C13, C14, C15, C16, C17, C18, C19	
セラミック コンデンサ	10 μ F		3216	C9	
セラミック コンデンサ	18pF		1608	C11, C12	使用する 水晶発振子 メーカーへの 評価依頼、 確認をして ください。
セラミック コンデンサ	10nF		1608	C8	
電解コンデンサ	47 μ F	DC50V \pm 20%		CD1, CD2, CD8, CD9, CD32	
電解コンデンサ	4.7 μ F	DC50V \pm 20%		CD10, CD11, CD12, CD13, CD14, CD15, CD16, CD17, CD18, CD19, CD20, CD21	極性は、接 続する周辺 回路によ り、応用回 路例とは異 なることが ある。
電解コンデンサ	2.2 μ F	DC50V \pm 20%		CD3, CD4, CD5, CD6, CD7, CD22, CD23, CD24, CD25, CD26, CD27, CD28, CD29, CD30, CD31	極性は、接 続する周辺 回路によ り、応用回 路例とは異 なることが ある。
チップ抵抗	10k Ω		1608	R1, R5, R6, R7, R8, R19	
チップ抵抗	30k Ω		1608	R11, R16	
チップ抵抗	30k Ω		1608	R12, R15	
チップ抵抗	15k Ω		1608	R13, R14	
チップ抵抗	15k Ω		1608	R10, R17	
チップ抵抗	0		1608	R9, R18	
チップ抵抗	100 Ω		1608	R2, R4	
チップ抵抗	33 Ω		1608	R3	
チップビーズ	MPZ1608R391A		1608	L1	
FET			NTR2101P	Q1	
水晶発振子	11.2896MHz 12.288MHz		CX8045GA	X1	2種類から 1つ選択

○部品配置・配線の注意項目

- ・パコン(C1, C2, C5, C6, C10, C14, C15, C16, C17, C18)は、LC75055PEと同一面の端子直近に配置すること。
- ・Q1(FET)は、LSIに近い位置に配置すること。
- ・C7, CD8, C9, CD9は、Q1(FET)直近に配置すること。
- ・音声入力信号および出力信号は、ペアとなる信号の配線長をできるかぎり同等にすること。
(ステレオ信号の場合、LとR。差動信号の場合、+と-そしてLとR)

LC75055PE

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC75055PE-6158-H	QIP100E(14X20) (Pb-Free / Halogen Free)	50 / Tray Foam

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。