



LV25810PEB

Bi-CMOS 集積回路

カーラジオ用DSPチューナ

ON Semiconductor®

http://onsemi.jp

概要

本LSIは、Low-IFを採用したDSPチューナLSIです。従来の外付け部品をLSI内部に取り込み、従来のアナログチューナから外付け部品を大幅に減らすだけでなく、定数等をプログラマブルにすることで、様々な仕向け先に向けた仕様変更をコントロールマイコンのソフトウェアで設定・制御できます。これによって、トータルコストを抑えオンボードに対応したチューナを実現できます。

本LSIはシリアルバス (I²C) I/Fを実装しており、マイコンとの通信ラインが少なく、セット生産におけるライン引き回しのトラブルを回避でき、かつセットのメイン基板面積を小さく出来ます。

ラジオの基本機能のほか、マルチパスノイズ除去特性改善のために独自の新型CMA回路を内蔵しています。また、HDラジオ対応のインタフェースを有しています。

機能

- LOW-IF (AM=57.5/58.33/58.5/58.75/59.75/60.5kHz, FM=300kHz)
- 部品点数削減による実装面積低減
- AM・FM全世界対応 [AM(LW・MW・SW)、FM(JAPAN・US・EU・E-EU・WB)]標準
- HDラジオ対応 (HDラジオデコーダ用I2S出力対応)
- 新型CMAによる高マルチパスノイズ除去性能

基本機能

FM/AM FE、PLL、IF、FM/AM検波、FM/AMノイズキャンセラ、FM-マルチパスノイズキャンセラ、FM-MPX、スイッチングダイバーシティー、RDSデモジュレータ/デコーダ、HDラジオインタフェース機能内蔵 (HDブレンド処理)。

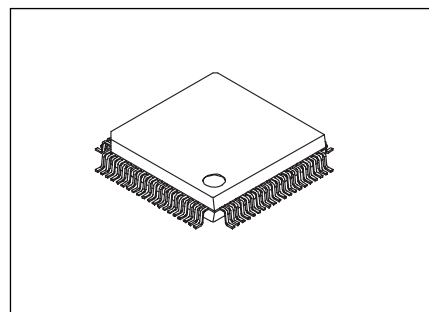
機能概略

- | | |
|----------------|-----------------------------|
| ① FM用RF-LNA | ⑪ IF段マルチパスノイズ除去(CMA) |
| ② FM用I/Qミキサ | ⑫ FM/AMパルス・ノイズキャンセラ |
| ③ FM用RF-AGC | ⑬ FMステレオデコーダ |
| ④ AM用RF-LNA | ⑭ オーディオ段マルチパスノイズ除去(MRC) |
| ⑤ AM用I/Qミキサ | ⑮ RDSデモジュレータ&デコーダ |
| ⑥ AM用RF-AGC | ⑯ HDデコーダ用IFデータ出力 |
| ⑦ FM/AM用IF-AGC | ⑰ HDブレンド機能用デジタル I2S入力 |
| ⑧ IF用ADC | ⑱ ステレオ出力(アナログ DAC/デジタル I2S) |
| ⑨ IF用帯域可変フィルタ | ⑲ PLLシンセサイザ |
| ⑩ イメージキャンセル | ⑳ スwitchingダイバーシティー |

パッケージ

QFP80J (14*14) 0.65mm ピッチ

※Exposed-Die-PadのGNDへの半田付け必要



QFP80(14X14)

* : I²C バスはフィリップス社の商標です。

ORDERING INFORMATION

See detailed ordering and shipping information on page 29 of this data sheet.

LV25810PEB

最大定格/Ta=25°C, VSS=0V

項目	記号	端子名	条件	定格値	unit
電源電圧	Vcc1 max	VCC_OSC, VCC_IF, VCC_AM, VCC_FM	FE_Analog 用 電源	-0.3 ~ 5.8	V
電源電圧	Vcc2 max	VDD33, PLLVDD, XVDD, AVDD33, DACVDD	FE_Logic 用 電源 BE_ADC, DAC 用 電源	-0.3 ~ 3.9	V
電源電圧	Vcc3 max	VDD15	BE_Logic 用 電源 内蔵レギュレータと外 付け FET により供給し 外部供給は不要	-0.3 ~ 1.8	V
入力電圧	VIN1max	*1		-0.3 ~ VDD+0.3	V
	VIN2max	*2		-0.3 ~ 5.5	V
動作周囲温度	Topr			-40 ~ +85	°C
保存周囲温度	Tstg			-50 ~ +125	°C

*1 VDD と端子名については、P. 5~P. 6 の端子説明表を参照して下さい。

*2 TEST, RSTB, BL_SEL, BL_LRCK, BL_BCLK, BL_DATA, I2C_SCL, I2C_SDA, TESTI1, TESTI2

入力端子に 5.5V までの電圧が印加できるのは、全電源に電圧が入っているときです。電源 OFF 時は 3.6V ま
でしか電圧を印加してはいけません。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが
生じたり、信頼性に影響を及ぼす危険性があります。

許容動作範囲/Ta=-40~+85°C, VSS=0V

項目	記号	端子名	条件	min	typ	max	unit
電源電圧	Vcc1	VCC_OSC, VCC_IF, VCC_AM, VCC_FM		4.75	5.0	5.25	V
電源電圧	Vcc21	VDD33, PLLVDD, XVDD		3.15	3.3	3.45	V
電源電圧	Vcc22	AVDD33, DACVDD		3.15	3.3	3.45	V
電源電圧	Vcc3	VDD15		1.42	1.5	1.58	V
入力”H” レベル電圧	VIH	*4		2.0	---	---	V
入力”L” レベル電圧	VIL	*4		---	---	0.8	V
*3 許容消費電力	Pdmax		78×106×1.7t ガラエポ両面基板 Ta=85°C Exposed Die-Pad 接地	---	---	1250	mW
AM 受信周波数			LW MW SW	146k 520k 2.28M	---	281k 1710k 26.1M	Hz
FM 受信周波数			E-EU, EU, US, Japan	65	---	108	MHz
WB 受信周波数			WB	162.4	---	162.5 5	MHz
水晶発振周波数	Freq_Xtal	XIN, XOUT	*5		62.4		MHz

*3 Exposed-Die-PAD の領域の 90%以上が基板上の GND 面とはんだ付けされている状態での値です。

*4 TEST, RSTB, BL_SEL, BL_LRCK, BL_BCLK, BL_DATA, I2C_SCL, I2C_SDA, TESTI1, TESTI2

*5 水晶振動子の水晶 CI 値 ≤40 Ω

水晶発振回路は水晶振動子や基板パターンによって回路定数に変化するので、水晶振動子メーカーへの評価依
頼を推奨します。

LV25810PEB

推奨動作条件/Ta=25°C

項目	記号	端子名	min	typ	max	unit
電源電圧	Vcc1	VCC_OSC / VCC_IF / VCC_AM / VCC_FM		5.0		V
電源電圧	Vcc2	VDD33 / PLLVDD / XVDD / AVDD33 / DACVDD		3.3		V
電源電圧	Vcc3	VDD15		1.5		V

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

電気的特性/Ta=25°C, FM fr=98.1MHz

項目	記号	端子名	条件	min	typ	max	unit
消費電流 5V_FM	I5V_FM		無入力 FM mode	85	100	115	mA
消費電流 3.3V_FM	I33V_FM		無入力 FM mode	68	80	92	mA
消費電流 1.5V_FM	I15V_FM		無入力 FM mode	153	180	207	mA
局発周波数3次 スプリアス除去 率	FM_HRR3		90MHz 受信設定 271.2MHz 入力時の RF 信号除去 比 90MHz 20dB μ V 入力基準	70	80	---	dB
入力 インピーダンス	Zi	FM_IN+ FM_IN-	69-70 ピン間インピーダンス	---	300	---	Ω
RF AGC 開始点	F_RFAGC		RFAGC_ATT2 \Rightarrow 3 に切替る 際の入力レベル	67	73	79	dB μ V
IF AGC 開始 点	F_IFAGC		IFAGC_ATT0 \Rightarrow 1 に切替る 際の入力レベル	53	59	65	dB μ V
S メータ DC1	SMDC_F1		30dB μ V, non-dev. 入力時 SMDC=100 に調整後の SMDC 値	98	100	102	--
S メータ DC2	SMDC_F2		10dB μ V, non-dev. 入力時の SMDC 値 SMDC_F1 にて SMDC 値調整後	43	48	53	--
S メータ DC3	SMDC_F3		50dB μ V, non-dev. 入力時の SMDC 値 SMDC_F1 にて SMDC 値調整後	147	152	157	--
実用感度(FM)	US	DACLOUT DACROUT	fm=1kHz, 22.5kHz dev. S/N=30dB ANT 入力レベル IF BW=60kHz HCC ON	---	3	6	dB μ V
出力レベル(FM)	VoFM	DACLOUT DACROUT	60dB μ V, fm=1kHz, 75kHz dev.	---	200	---	mVrms
THD (MONO)	THD _{MONO}	DACLOUT DACROUT	60dB μ V, fm=1kHz, 75kHz dev.	---	0.1	0.7	%
S/N (MONO)	S/N MONO	DACLOUT DACROUT	60dB μ V, fm=1kHz, 75kHz dev.	66	72	---	dB
THD (STEREO)	THD ST	DACLOUT DACROUT	60dB μ V, fm=1kHz, L=R 90% mod., Pilot 10% mod.	---	0.4	1	%
S/N (STEREO)	S/N ST	DACLOUT DACROUT	60dB μ V, fm=1kHz, L=R 90% mod., Pilot 10% mod.	61	67	---	dB
AMR	AMR	DACLOUT DACROUT	60dB μ V, fm=1kHz, 75kHz dev., fm= 1kHz 30%AM, CMA=OFF	60	67	---	dB
分離度	SEP	DACLOUT DACROUT	60dB μ V, fm=1kHz, 30%mod, L-only	35	45	---	dB

次ページへ続く。

LV25810PEB

前ページより続く。

項目	記号	端子名	条件	min	typ	max	unit
イメージ除去比	IRR	DACLOUT DACROUT	f _r =98.7MHz, f _m =400Hz, 22.5kHz dev. (IQ 補正 Bit 調整後)	65	80	---	dB
妨害特性(2信号)	2SIG	DACLOUT DACROUT	f _{ud} =98.5MHz, f _m =400Hz, 110dB μ V, 22.5kHz dev. f _d =98.1MHz, f _m =1kHz, 22.5kHz dev. S/N=30dB ANT 入力レベル	---	35	41	dB μ V

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

AM fr=1000kHz , AM RF同調調整後

項目	記号	端子名	条件	min	typ	max	unit
消費電流 5V_AM	I5V_AM		無入力 AM mode	72.25	85	97.75	mA
消費電流 3.3V_AM	I33V_AM		無入力 AM mode	68	80	92	mA
消費電流 1.5V_AM	I15V_AM		無入力 AM mode	93.5	110	126.5	mA
局発周波数スプリアス除去率 (3次、5次)	AM_HRR3 AM_HRR5		1000kHz 受信設定 AM_HRR3 : 3230kHz RF 信号入力時 AM_HRR5 : 5230kHz RF 信号入力時の RF 信号除去比	70	80	---	dB
RF AGC 開始点	RF AGC		RFAGC_ATT0 \Rightarrow 1 に切替る際の入力レベル	78	84	90	dB μ V
IF AGC 開始点	IF AGC		IFAGC_ATT0 \Rightarrow 1 に切替る際の入力レベル	67	73	79	dB μ V
S メータ DC1	SMDC_A1		40dB μ V, non-dev. 入力時 SMDC=140 に調整後の SMDC 値	138	140	142	--
S メータ DC2	SMDC_A2		20dB μ V, non-dev. 入力時の SMDC 値 SMDC_A1 にて SMDC 値調整後	83	88	93	--
S メータ DC3	SMDC_A3		60dB μ V, non-dev. 入力時の SMDC 値 SMDC_A1 にて SMDC 値調整後	187	192	197	--
実用感度 (AM)	US	DACLOUT DACROUT	f _m =400Hz30%, HCC=ON, Speech_Enhancer=ON S/N=20dB となる ANT 入力レベル	---	22	25	dB μ V
出力レベル (AM)	V _o AM	DACLOUT DACROUT)	74dB μ V, f _m =400Hz30% (with LPF)	---	70	---	mVrms
S/N (AM)	S/N	DACLOUT DACROUT	74dB μ V f _m =400Hz 30%mod.	56	62	---	dB
THD (AM)	THD	DACLOUT DACROUT	74dB μ V f _m =400Hz 80%mod.	---	0.1	1.0	%
イメージ除去比	IRR	DACLOUT DACROUT	f _r =1115kHz, f _m =400Hz, 30%mod (IQ 補正 Bit 調整後)	70	80	---	dB
妨害特性	CROSS	DACLOUT DACROUT	f _{ud} =1.08MHz 100dB μ V, f _m =1kHz, 80%mod, f _d =1MHz 65dB μ V, f _m =400Hz, 30%mod.	32	38	---	dB

LV25810PEB

DC特性

項目	記号	端子名	条件	min	typ	max	unit
出力”H”レベル 電圧	VOH	*8	IOH=1mA	V _{cc} -0.4			V
		*6	IOH=2mA	V _{cc} -0.4			V
		*7	IOH=4mA	V _{cc} -0.4			V
出力”L”レベル 電圧	VOL	*8	IOL=1mA			0.4	V
		*6	IOL=2mA			0.4	V
		*7	IOL=4mA			0.4	V
入力リーク電流	IL	*9		-10	10	μA	
ヒステリシス電 圧	VHYS	*9			0.25	V	

*6 ANT1, ANT2, BUSY, SP_ERR, IB_BCLK

*7 I2C_SDA

*8 IB_WS, IB_IDATA, IB_QDATA, RDSC, RSD, RDSID, AO_BCLK, AO_LRCK, AO_DATA

*9 TEST, RSTB, BL_SEL, BL_LRCK, BL_BCLK, BL_DATA, I2C_SCL, I2C_SDA, TESTI1, TESTI2

機能補足説明

①デジタルオーディオ出力(I2S) Fs=54.167kHz

②HDデコーダ用出力 (I2S) Fs=650kHz

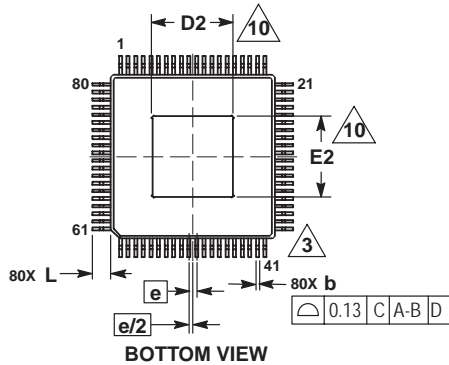
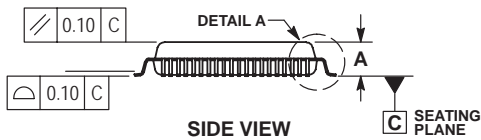
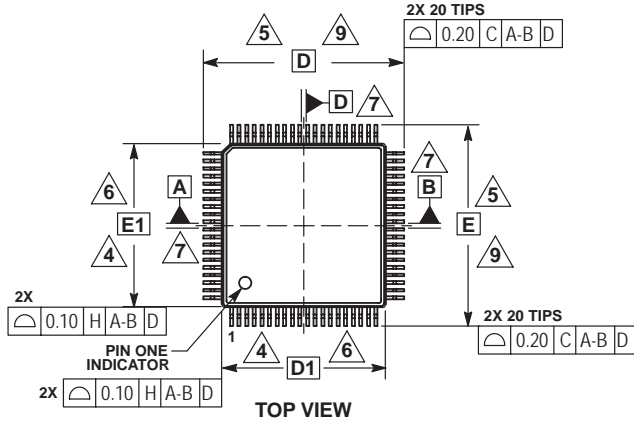
③DAC出力 S/N=87dB typ. (-3dBFS入力)

LV25810PEB

外形图

unit:mm

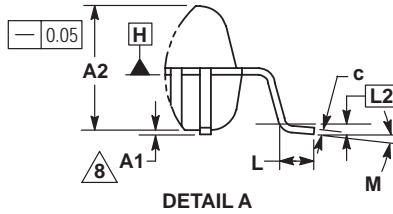
PQFP80 14x14, 0.65P
CASE 122CG
ISSUE O



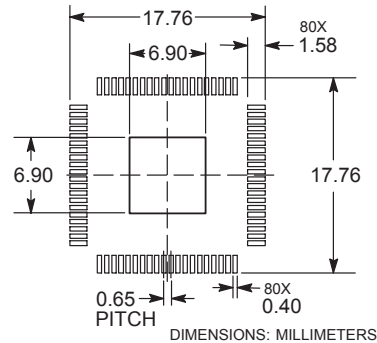
NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSIONS: MILLIMETERS.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. DAMBAR PROTRUSION SHALL BE 0.08 MAX. AT MMC. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07.
4. DIMENSIONS $D1$ AND $E1$ DO NOT INCLUDE MOLD FLASH, GATE BURRS, OR PROTRUSIONS. MOLD FLASH, GATE BURRS, OR PROTRUSIONS SHALL NOT EXCEED 0.25 PER SIDE. DIMENSIONS $D1$ AND $E1$ ARE MAXIMUM PLASTIC BODY SIZE INCLUDING MOLD MISMATCH.
5. THE TOP PACKAGE BODY SIZE MAY BE SMALLER THAN THE BOTTOM PACKAGE SIZE BY AS MUCH AS 0.15.
6. DIMENSIONS $D1$ AND $E1$ TO BE DETERMINED AT DATUM PLANE H.
7. DATUMS A-B AND D ARE DETERMINED AT DATUM PLANE H.
8. A1 IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY.
9. DIMENSIONS D AND E TO BE DETERMINED AT DATUM PLANE C.
10. EXPOSED PAD TO BE COPLANAR WITH THE BOTTOM OF THE PACKAGE.

DIM	MILLIMETERS	
	MIN	MAX
A	---	2.95
A1	0.05	0.15
A2	2.70 REF	
b	0.20	0.30
c	0.10	0.30
D	17.20 BSC	
D1	14.00 BSC	
D2	6.70	7.10
E	17.20 BSC	
E1	14.00 BSC	
E2	6.70	7.10
e	0.65 BSC	
L	0.60	1.00
L2	0.25 BSC	
M	0°	10°



RECOMMENDED SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

LV25810PEB

LV25810PEB端子説明

I/O I: 入力ピン O: 出力ピン B: 双方向ピン A: アナログピン P: 電源ピン

状態A: 初期状態(リセット解除後)、状態B: リセット期間中状態

L: L出力、H: H出力、Z: Hiz出力/入力

ピン番号	端子名	I/O	状態 A	状態 B	説明	VDD/VCC	VSS/GND	未使用 時処理
1	GND_OSC	P			LoOSC 用 GND			
2	VT_out	A			チューニング電圧出力	VCC_OSC	GND_OSC	
3	CP_SW	A			PLL AM/FM 時定数切替			
4	VCC_OSC	P			LoOSC 用電源 (5V)			
5	GND_PLL	P			PLL 用 GND			
6	VDD33_FE	P			FE デジタル電源 (3.3V)			
7	VDD33	P			BE デジタル電源 (3.3V)			
8	DVSS	P			デジタル GND			
9	VDD15	P			BE デジタル電源 (1.5V)			
10	ANT1	O	H	L	アンテナ切替 1	VDD33	DVSS	オープン
11	ANT2	O	H	L	アンテナ切替 2			オープン
12	TEST	I			テスト端子 L: 通常動作 H: テストモード 通常動作時は GND に接続すること。			GND 接続
13	BL_SEL	I			IBOC ブレンド入力 セレクト			GND 接続
14	BL_LRCK	I			IBOC ブレンド入力 LR クロック			GND 接続
15	BL_BCLK	I			IBOC ブレンド入力 ビットクロック			GND 接続
16	BL_DATA	I			IBOC ブレンド入力 データ			GND 接続
17	IB_WS	O	L	L	IBOC 信号出力 ワードシンク			オープン
18	IB_BCLK	O	L	L	IBOC 信号出力 ビットクロック			オープン
19	IB_IDATA	O	L	L	IBOC 信号出力 I データ			オープン
20	IB_QDATA	O	L	L	IBOC 信号出力 Q データ			オープン
21	RDSC	O	L	L	RDS 出力 クロック			オープン
22	RDS D	O	L	L	RDS 出力 データ			オープン
23	RDSID	O	L	L	RDS 出力 データ判定			オープン
24	RSTB	I			リセット入力			
25	BUSY	O	L	H	CPU I/F ビジー信号出力 H: ビジー			
26	SP_ERR	O	L	L	CPU I/F エラー出力 H: エラー			
27	I2C_SDA	B	Z	Z	CPU インタフェース I2C データ 入出力			
28	TESTI1	I			テスト端子 (通常使用時は GND に接続)			GND 接続

次ページへ続く。

LV25810PEB

前ページより続く。

ピン番号	端子名	I/O	状態 A	状態 B	説明	VDD/VCC	VSS/GND	未使用 時処理	
29	I2C_SCL	I			CPU インタフェース I2C クロック入力				
30	TESTI2	I			テスト端子 (通常使用時は GND に接続)			GND 接続	
31	AO_BCLK	O	L	L	オーディオデジタル出力 ビット クロック			オープン	
32	AO_LRCK	O	L	L	オーディオデジタル出力 LR ク ロック			オープン	
33	AO_DATA	O	L	L	オーディオデジタル出力 データ			オープン	
34	VDD33	P			デジタル電源 (3.3V)				
35	REFV	O			1.5V 基準電圧出力	DVDD33	DVSS	オープン	
36	DVSS	P			デジタル GND				
37	VDD15	P			デジタル電源 (1.5V)				
38	PLLVDD	P			PLL 用電源 (3.3V)	PLLVDD	PLLVSS		
39	PLLVSS	P			PLL 用 GND				
40	DACVSS	P			オーディオ DAC 用 GND	DACVDD	DACVSS		
41	DACROUT	A			オーディオ DAC R チャネル出力			オープン	
42	DACREF	A			オーディオ DAC リファレンス電 圧			オープン	
43	DACLOUT	A			オーディオ DAC L チャネル出力			オープン	
44	DACVDD	P			オーディオ DAC 用電源 (3.3V)				
45	XIN	I			水晶発振アンプ入力	XVDD	XVSS		
46	XOUT	O			水晶発振アンプ出力				
47	XVDD	P			水晶発振用電源 (3.3V)				
48	XVSS	P			水晶発振用 GND				
49	AVSSVREF	P			IF ADC リファレンス用 GND	AVDD33	AVSS33		
50	AVREFI	A			IF ADC リファレンス電圧(I)				
51	AVREFQ	A			IF ADC リファレンス電圧(Q)				
52	AVDDVREF	P			IF ADC リファレンス用電源 (3.3V)				
53	TEST-	A	Z	Z	テスト端子 通常状態はオープン				オープン
54	TEST+	A	Z	Z	テスト端子 通常状態はオープン				オープン
55	AVDD33	P			IF ADC 用電源 (3.3V)				
56	AVSS33	P			IF ADC 用 GND/FE-IF 用 GND				
57	Vref	A			FE 用リファレンス電圧	VCC_IF	AVSS33		

次ページへ続く。

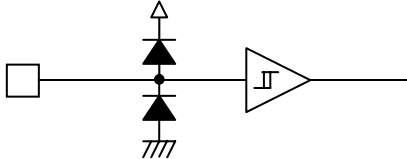
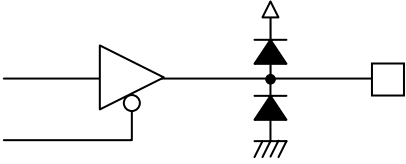
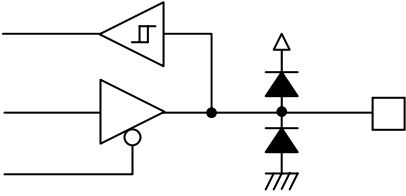
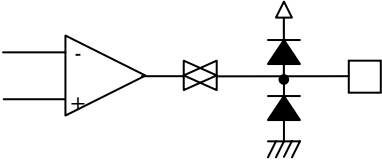
LV25810PEB

前ページより続く。

ピン番号	端子名	I/O	状態 A	状態 B	説明	VDD/VCC	VSS/GND	未使用 時処理
58	VCC_IF	P			IF 用電源 (5V)			
59	FE TEST	A			FE TEST pin			オープン
60	AM_RF_AGC	A			AM RF AGC の整流端子	VCC_AM	GND_AM	
61	AM_IN+	A			AM LNA 入力+			
62	AM_IN-	A			AM LNA 入力-			
63	VCC_AM	P			AM 用電源 (5V)			
64	AM_LNA_out+	A			AM LNA 出力+	VCC_AM	GND_AM	
65	AM_LNA_out-	A			AM LNA 出力-			
66	GND_AM	P			AM 用 GND			
67	AM_CB_IN-	A			AM CapBank 入力-	VCC_AM	GND_AM	
68	AM_CB_IN+	A			AM CapBank 入力+			
69	FM_IN+	A			FM LNA 入力+	VCC_FM	GND_FM	
70	FM_IN-	A			FM LNA 入力-			
71	VCC_FM	P			FM 用電源 (5V)			
72	WB_IN+	A			ウェザーバンド用 LNA 入力+ /FM ANT バッファ出力+	VCC_FM	GND_FM	
73	WB_IN-	A			ウェザーバンド用 LNA 入力- /FM ANT バッファ出力-			
74	GND_FM	P			FM 用 GND			
75	PIN_DIODE	A			Pin ダイオード ドライブ端子	VCC_FM	GND_FM	
76	FM_RF_AGC0	A			FM RF AGC の整流端子 0			
77	FM_RF_AGC1	A			FM RF AGC の整流端子 1			
78	VCO1	A			VCO 発振端子 1	VCC_OSC	GND_OSC	
79	VCO_BIAS	A			VCO バイアス			
80	VCO2	A			VCO 発振端子 2			

LV25810PEB

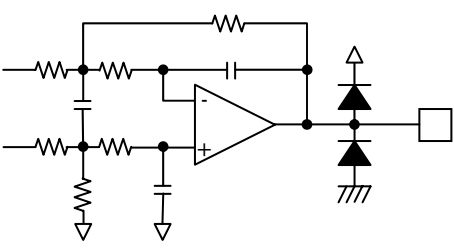
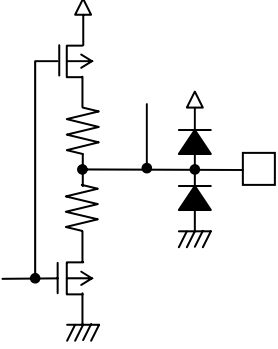
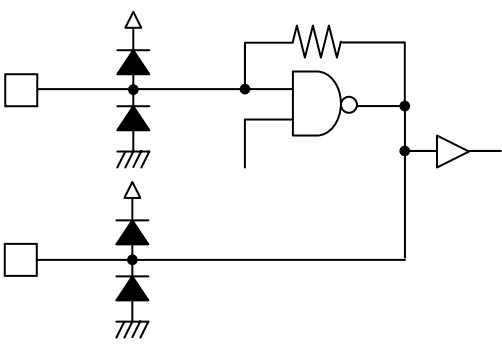
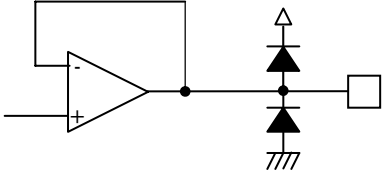
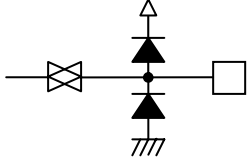
端子等価回路

端子	機能	内部等価回路	備考
12 13 14 15 16 24 27 28 30	TEST BL_SEL BL_LRCK BL_BCLK, BL_DATA RSTB I2C_SCL, TESTI1 TESTI2		デジタル入力端子 5V トレラント
10 11 17 18 19 20 21 22 23 25 26 31 32 33	ANT1 ANT2 IB_WS IB_BCLK IB_IDATA IB_QDATA RDSC RDSD RDSID BUSY SP_ERR AO_BCLK AO_LRCK AO_DATA		デジタル出力端子
27	I2C_SDA		デジタル入出力端子 5V トレラント
34	VDD33	—	デジタル電源 (3.3V)
35	REFV		基準電圧出力端子
36	DVSS	—	デジタル GND
37	VDD15	—	デジタル電源 (1.5V)
38	PLLVD	—	PLL 用電源 (3.3V)
39	PLLVSS	—	PLL 用 GND
40	DACVSS	—	オーディオ DAC 用 GND

次ページへ続く。

LV25810PEB

前ページより続く。

端子	機能	内部等価回路	備考
41 43	DACROUT DACLOUT		DAC 出力
42	DACREF		オーディオ DAC リファレンス 電圧
44	DACVDD	—	オーディオ DAC 用電源 (3.3V)
45 46	XIN XOUT		発振回路
47	XVDD	—	水晶発振用電源 (3.3V)
48	XVSS	—	水晶発振用 GND
49	AVSSVREF	—	IF ADC リファレンス用 GND
50 51	AVREFI AVREFQ		ADC REF 出力
52	AVDDVREF	—	IF ADC リファレンス用電源 (3.3V)
53 54	TEST+ TEST-		TEST

次ページへ続く。

LV25810PEB

前ページより続く。

端子	機能	内部等価回路	備考
1	GND_OSC	—	LO_OSC 用 GND
2	VT out		<ul style="list-style-type: none"> • PLL チャージポンプ出力端子 • 内蔵バラクタ制御入力 <p>外部接続する LPF で、チャージポンプ出力を DC に変換する。</p>
3	CP SW		外部接続 LPF の定数切換スイッチ
4	VCC_OSC	—	LO_OSC 用 5V 電源
5	GND_PLL	—	PLL 用デジタル GND
6	VDD33_FE	—	FE 用 3.3V 電源
57	Vref		内部電源容量接続端子 容量を外付けすることで内部電圧を安定化させる。
58	VCC_IF	—	FE IF 用 5V 電源
59 60	FE_TEST AM RF AGC1		AM RF AGC 出力端子

次ページへ続く。

LV25810PEB

前ページより続く。

端子	機能	内部等価回路	備考
61 62	AM_IN- AM_IN+		AM LNA 入力端子 RF 信号を入力する。
63	VCC_AM	—	AM 用 5V 電源
64 65	AM LNA out+ AM LNA out-		AM LNA 出力端子
66	GND_AM	—	AM 用 GND
67 68	AM_CB_IN- AM_CB_IN+		AM キャパシタバンク入力端子

次ページへ続く。

LV25810PEB

前ページより続く。

端子	機能	内部等価回路	備考
69 70	FM_IN+ FM_IN-		FM LNA 入力端子 RF 信号を入力する。
71	VCC_FM	—	FM 用 5V 電源
72 73	WB_IN+ WB_IN-		<ul style="list-style-type: none"> ウェザーバンド (WB) 専用 LNA 入力端子 サブチューナ用バッファ出力 RF 信号を出力する。 WB 入力とサブチューナバッファ出力の機能を切り換えて使用する。
74	GND_FM	—	FM 用 GND
75	PIN_DIODE		PIN ダイオード駆動端子
76	FM_RF_AGCO		FM RFAGCO 整流端子

次ページへ続く。

LV25810PEB

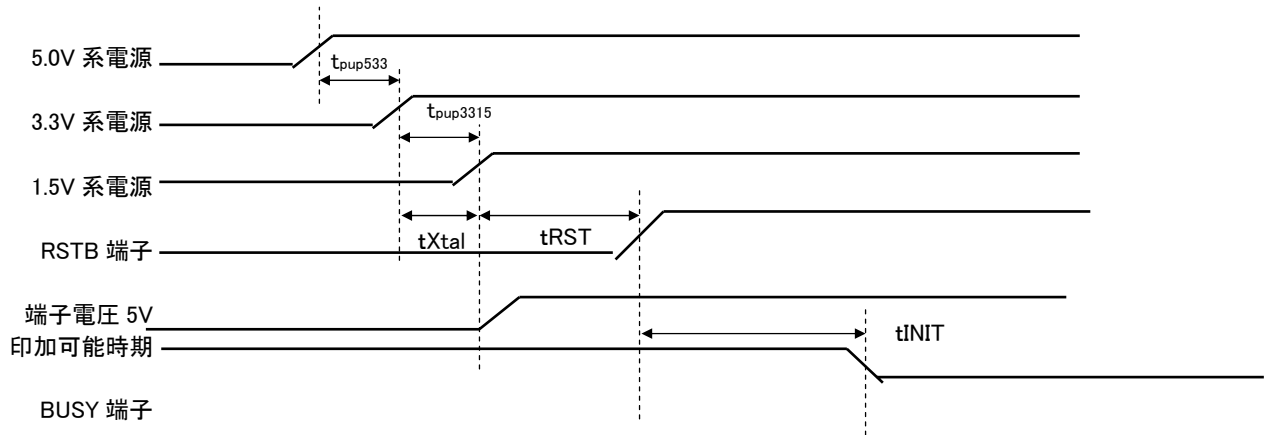
前ページより続く。

端子	機能	内部等価回路	備考
77	FM_RF_AGC1		FM RFAGC1 整流端子
78 80	VC01 VC02		VC0 発振端子 オープンで使用すること。
79	VC0_BIAS		VC0 バイアス端子 容量を外付けすることでバイアス電圧を安定化させる。

電源投入順序

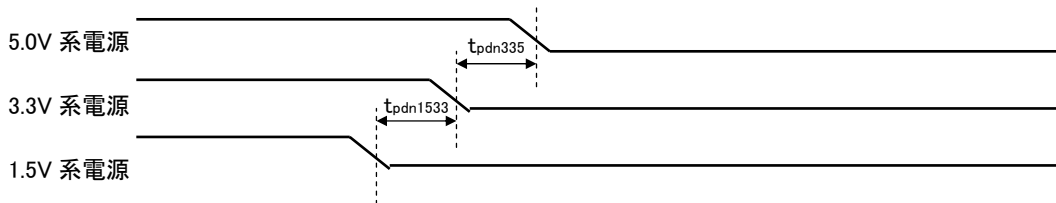
LSI に投入する電源は下記の順番にて投入・切断すること。

① 投入順序



RSTB 端子は、『発振安定待ち時間』又は、『1.5V 系電源の立上がり』のどちらか遅い方から後、5ms 以上“L”にすること。

② 切断順序



パラメータ	記号	条件	Min.	Typ.	Max.	Unit
電源投入時間 (5.0V→3.3V)	t_{pup533}		0		100	ms
電源投入時間 (3.3V→1.5V)	$t_{pup3315}$		0		100	
発振安定待ち時間	t_{Xtal}		5			
リセットパルス幅	t_{RST}		5			
LSI初期化時間 *1	t_{INIT}			9		
電源切断時間 (1.5V→3.3V)	$t_{pdn1533}$		0		100	
電源切断時間 (3.3V→5.0V)	t_{pdn335}		0		100	

LSI のデジタル端子 (5V-Tolerant 系) については、全ての電源が所定の電圧になるまでは 5V 印加しないこと。また、1.5V 系電源が入力されるまでの時間については端子の I/O が決定されない為注意すること。

各電源端子への電源印加開始順は 5V 系電源→3.3V 系電源→1.5V 系電源の順番を厳守すること。この条件が満たされ、且つ全体の電源が立ち上がるまでの時間 (t_{pup533} と $t_{pup3315}$ の合算時間) が最大 100ms 以下であれば、各電源系の電源電圧が規定の電圧に達するまでの順番は無視しても問題ありません。

ホスト IF

I2C インタフェース

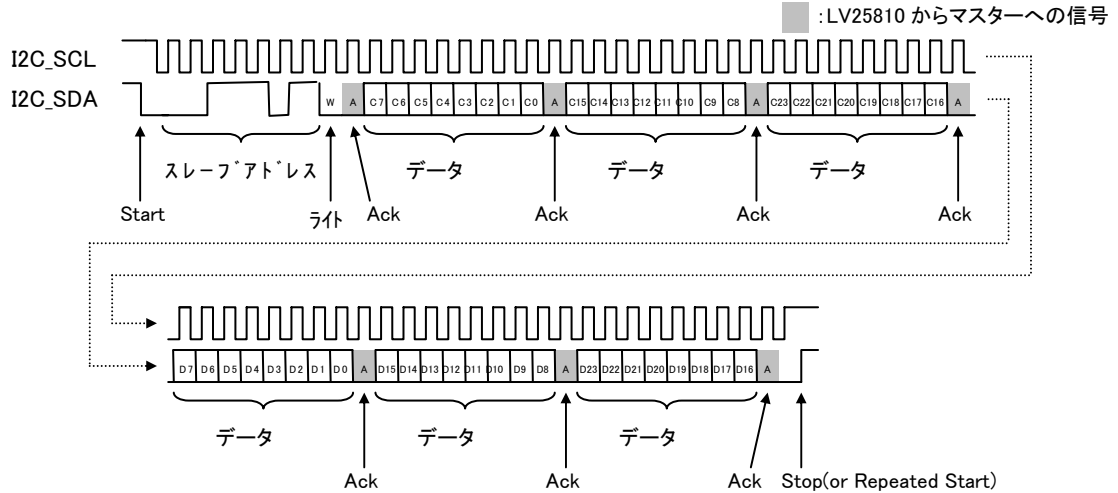
I2C インタフェース（100kbps 標準モード、400kbps ファーストモード）で、8 ビット単位でデータ転送を行います。

リード時・ライト時の各データについての内容はソフトウェア制御仕様書に記載しています。

I2C スレーブアドレスは 0x1D です。

データライト

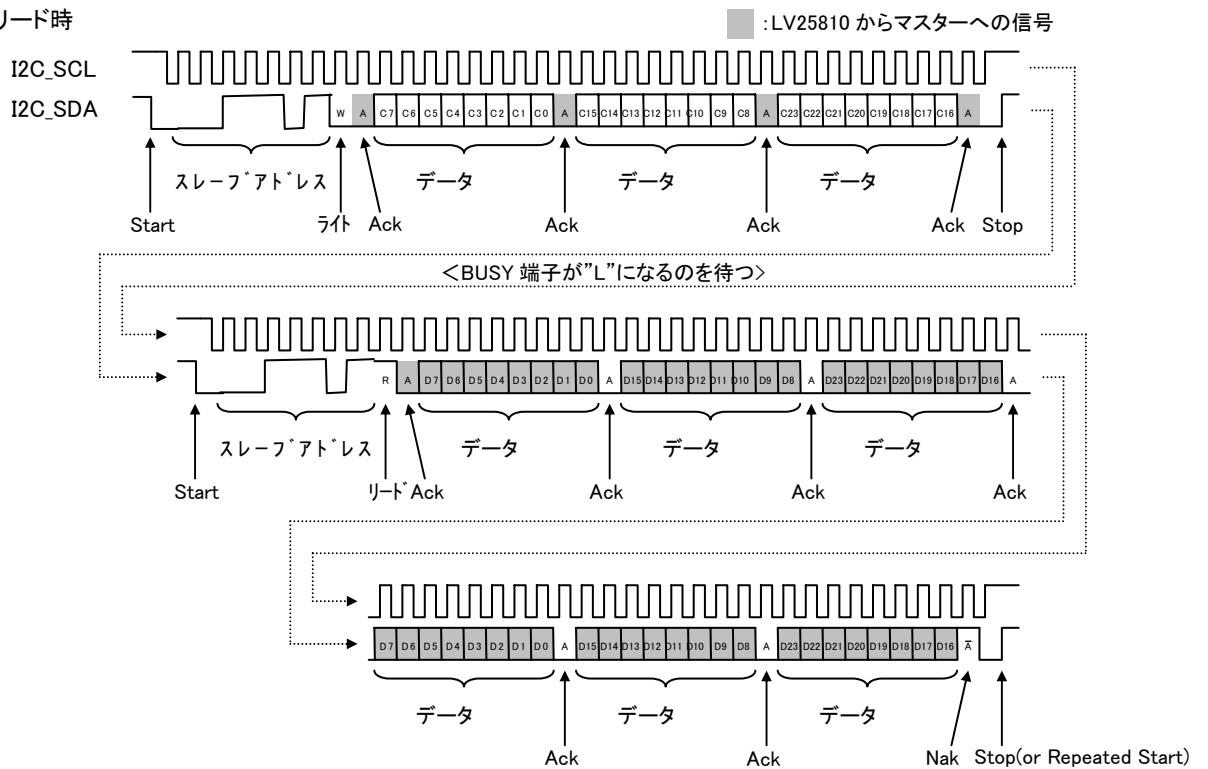
データライト時(6バイト 送信例)



データの書き込みは BUSY 端子が ” L ” の時に行うこと。BUSY が ” H ” の時に送信したデータ及びコマンドに対しては、動作が保証されないので注意すること。

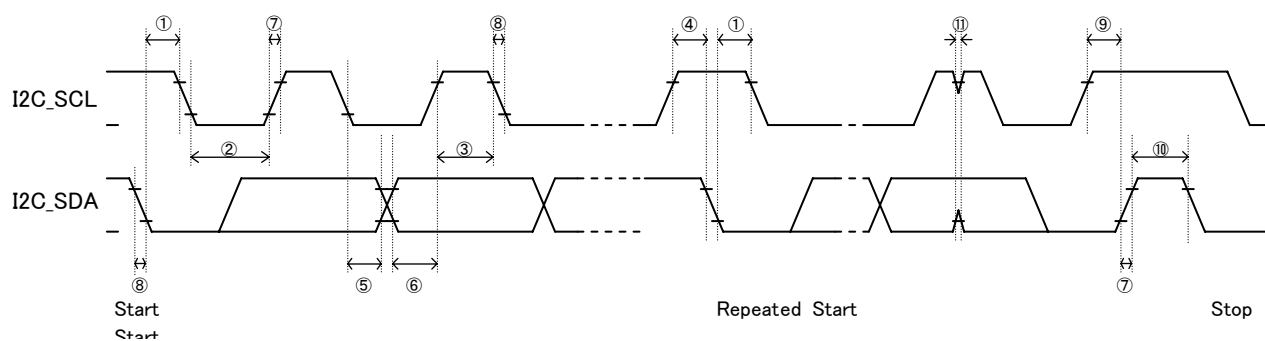
データリード

データリード時



LV25810PEB

タイミングスペック



	タイミングパラメータ	標準モード (100kbps)		高速モード (400kbps)		Unit
		Min.	Max.	Min.	Max.	
①	Start (Repeated-Start) 条件ホールド時間	4000		600		ns
②	SCL “L” レベルパルス幅	4700		1300		ns
③	SCL “H” レベルパルス幅	4000		600		ns
④	Start (Repeated-Start) 条件セットアップ時間	4700		600		ns
⑤	SDA ホールド時間	0	3450	0	900	ns
⑥	SDA セットアップ時間	250		100		ns
⑦	SCL, SDA 立ち上がり時間		1000	20 + 0.1Cb	300	ns
⑧	SCL, SDA 立ち下がり時間		300	20 + 0.1Cb	300	ns
⑨	Stop 条件セットアップ時間	4000		600		ns
⑩	バス開放時間	4700		1300		ns
⑪	許容スパイクパルス幅			0		ns

⑦⑧の「Cb」はバスライン (I2C_SCL, I2C_SDA) のそれぞれのトータル容量(pF)

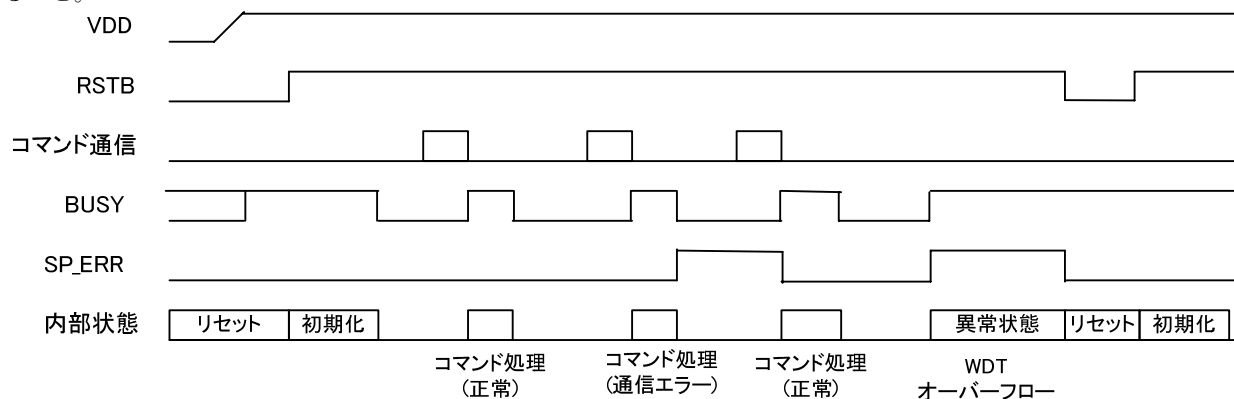
各制御内容に関しては、ソフトウェア制御仕様書参照。

ウォッチドッグタイマ

内蔵 DSP の暴走を監視するためのウォッチドッグタイマ(WDT)出力を用意しています。DSP が暴走した場合、ウォッチドッグタイマのオーバーフローが発生し、その状態をホスト I/F の端子に出力します。

端子		状態
BUSY	SP_ERR	
0	0	待機状態
1	0	コマンド送受信完了
0	1	通信エラー
1	1	異常状態 (WDT オーバーフロー)

BUSY=1, SP_ERR=1 で DSP の異常状態を示す。異常状態を検出したら、ホスト CPU は LSI をリセットして再起動すること。



LV25810PEB

IBOC I/F

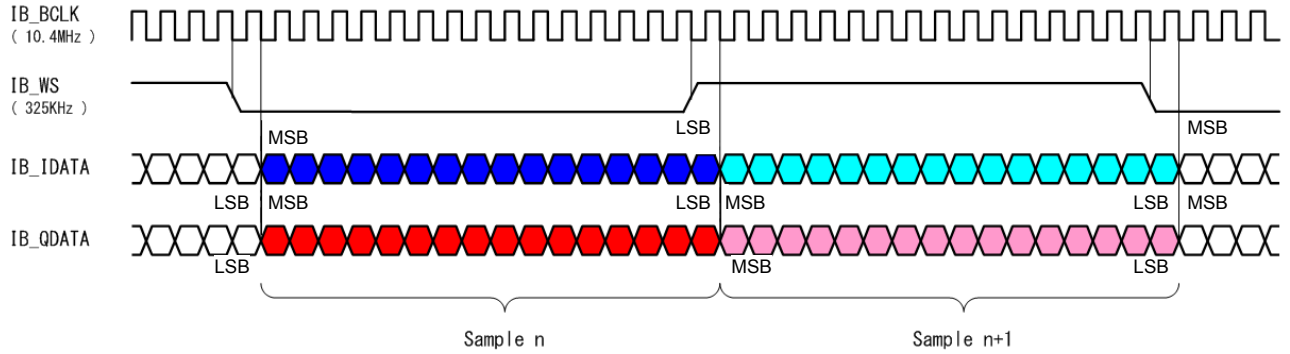
IBOC デコーダ用出力を用意しています。

f_s : 650kHz

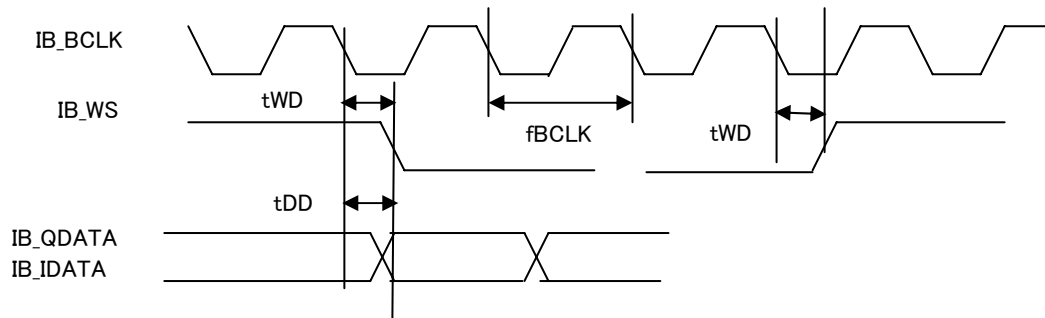
BCLK : 10.4MHz

データ長 : 16 ビット

タイミングチャート



タイミングスペック



項目	記号	Min.	Typ.	Max.	Unit
IB_BCLK 周波数	f BCLK		10.4		MHz
IB_WS 出力遅延時間	tWD	0		10	ns
IB_QDATA, IB_IDATA 出力遅延時間	tDD	0		15	ns

LV25810PEB

オーディオ出力

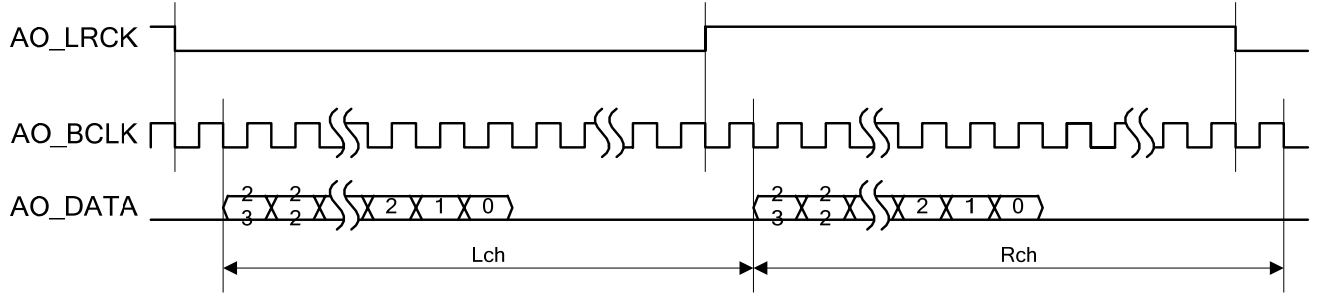
I2S フォーマットのオーディオ出力を用意しています。

fs : 54.167kHz

BCLK : 64fs

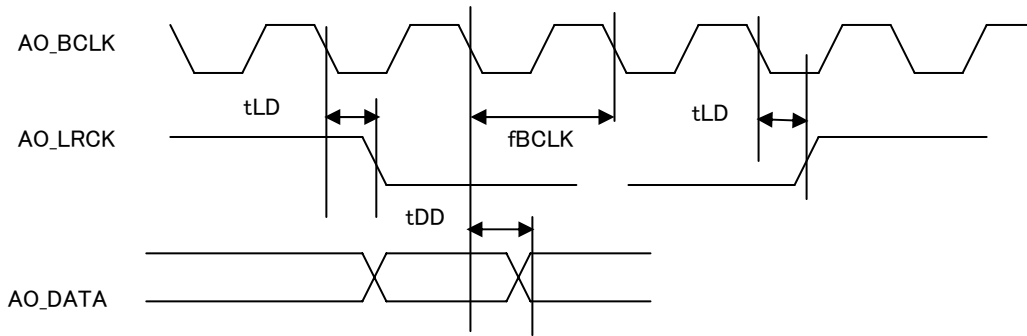
データ長 : 24ビット

タイミングチャート



23:MSB, 0:LSB

タイミングスペック



項目	記号	Min.	Typ.	Max.	Unit
AO_BCLK 周波数	fBCLK		3.467		MHz
AO_LRCK 出力遅延時間	tLD	-1		10	ns
AO_DATA 出力遅延時間	tDD	0		50	ns

LV25810PEB

IBOC ブレンド入力

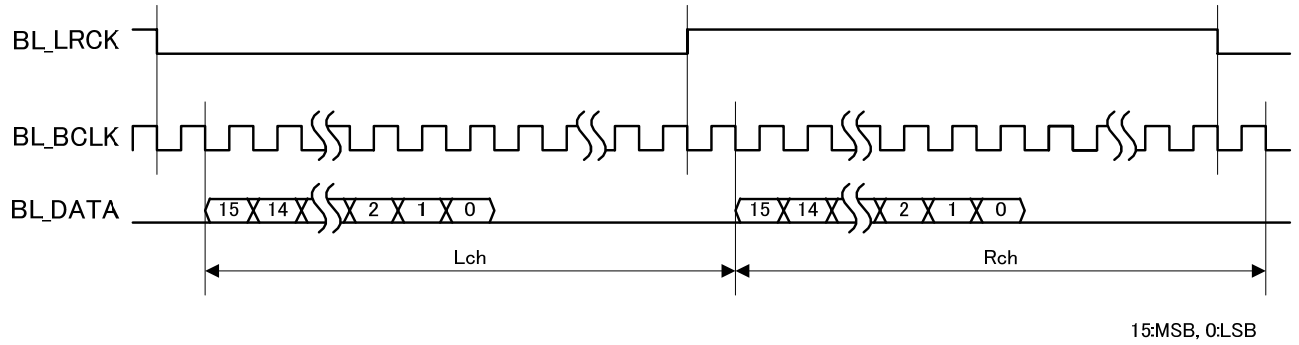
IBOCブレンド用に I2S フォーマットのオーディオ入力を用意しています。

fs : 44.1kHz

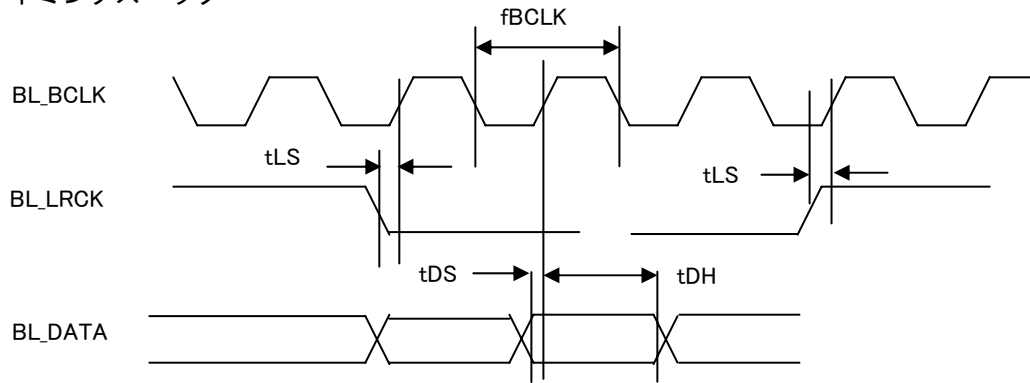
BCLK : 32fs~64fs

データ長 : 16ビット

タイミングチャート



タイミングスペック



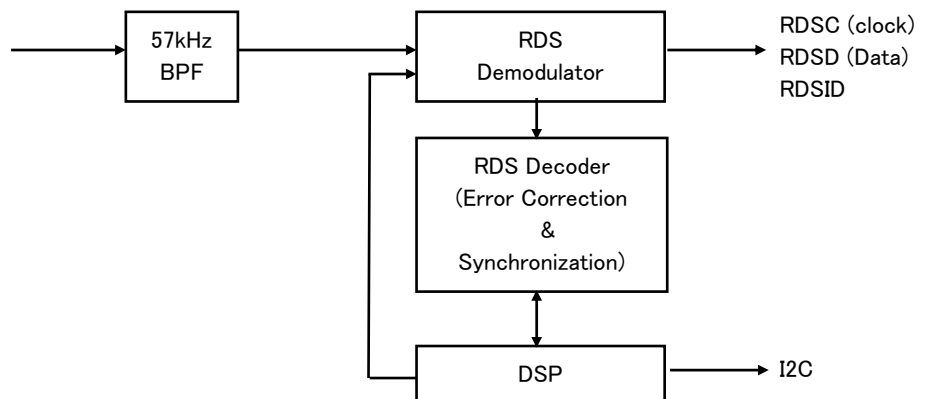
項目	記号	Min.	Typ.	Max.	Unit
BL_BCLK 周波数	fBCLK	1411.2		2822.4	kHz
BL_LRCK セットアップ時間	tLS	10		100	ns
BL_DATA セットアップ時間	tDS	10			ns
BL_DATA ホールド時間	tDH	100			ns

RDS 復調機能

ヨーロッパ放送連盟 EBU (European Broadcasting Union) の RDS (Radio Data System) 及び米国 NRSC (National Radio System Committee) の RBDS (Radio Broadcast Data System) 信号復調処理回路を内蔵しています。また、端子よりデータを直接出力するデモジュレータと、エラー訂正を行いメインマイコンにデータ転送するデコーダ機能を併せ持ちます。どの設定で動作させるかについては、別途ソフトウェア仕様書に記載しています。

(1) RDS 復調機能ブロック図

RDS 復調ブロックは次の 4 ブロックにより構成されています。RDS 用の RDS キャリア用 57kHz BPF, RDS のパイフェーズ復調を行う RDS デモジュレータ, エラー訂正や同期を行う RDS デコーダ, RDS システムとしての動作を司る内蔵 DSP で構成されています。それぞれの接続ブロックについては以下に示します。



① 57kHz BPF ブロック

RDS 用サブキャリアである 19kHz の 3 次高調波、57kHz 信号を得るためのバンドパスフィルタです。その特性については RDS 復調を行う上で必要十分な性能をデジタルフィルタにて実現しています。

② RDS Demodulator ブロック

RDS 復調を行う回路であり、復調を行う上で必要なコンパレータブロックとパイフェーズクロック再生回路、データ信頼性判定回路で構成されています。コンパレータブロックはゼロクロス線形補完 (Zero Cross Linear Complement) とゼロクロス検出 (Zero Cross Detection) に分けられます。BPF ブロックから出力されるキャリア信号に対して、線形補完をしながら最適なコンパレートする位置を確定させます。また、パイフェーズクロック再生回路はデジタル PLL, DATA モジュール, ARI 検出回路に分かれています。デジタル PLL でキャリア再生を行い、キャリア再生後 ARI の有無の検出を行います。ARI の有無によってデータをラッチするタイミングを確定し、DATA モジュールにてデコード処理が行われます。DATA モジュールでは、LPF で平滑処理を行いキャリア再生信号からハーフピットのデータタイミング・RDS クロックの生成を行い RDS データのデコードを行います。

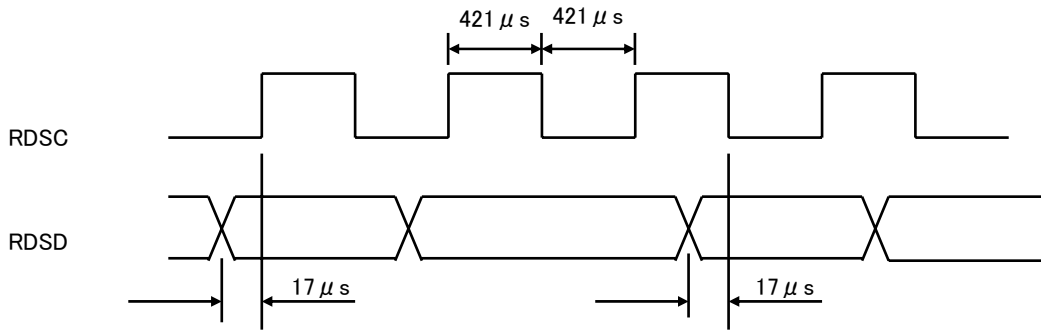
③ RDS デコーダブロック (エラー訂正ブロック)

RDS デコーダブロックは、シンドロームレジスタ、オフセットワード検出、同期検出、エラー訂正に分けられます。RDS データをシンドロームレジスタに入力し、その出力からオフセットワードを検出します。オフセットワードの内容から同期検出部で同期引き込み処理を行います。RDS か RBDS の選択は、内蔵 DSP 経由で行います。同期引き込み後、エラー訂正部で誤っている疑いのある RDS データに関して符号間距離を測定し、軟判定誤り訂正を行います。

④ 内蔵 DSP ブロック

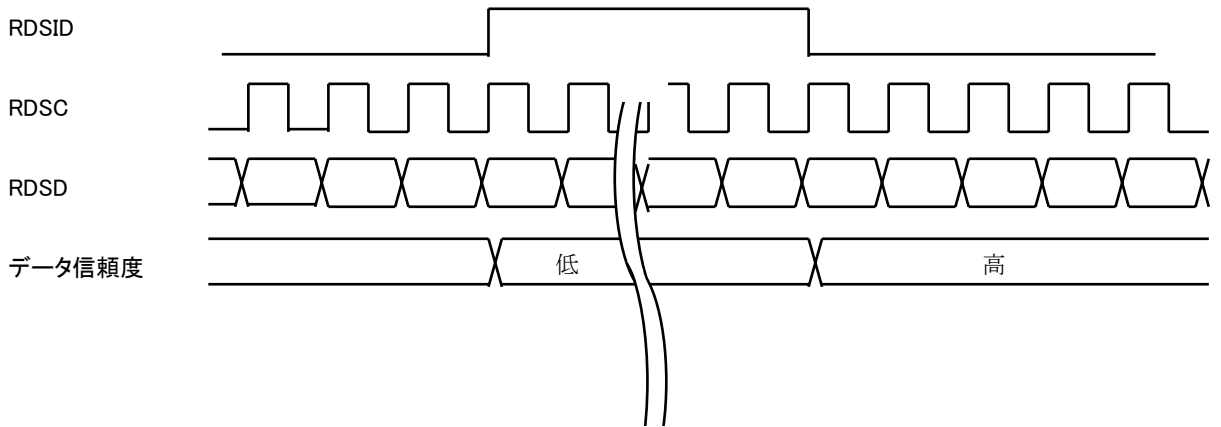
内蔵 DSP ブロックでは、メインマイコンからの指示により各種 RDS に対する制御を行います。復調データや誤り訂正データは内蔵 DSP を経由してメインマイコンに転送されます。RDS デコーダに対する各種設定は、ソフトウェア仕様書に明記しています。

(2) RDSC, RSDS 出力タイミング



(3) RDSID 出力タイミング

RDSID は BPSK の振幅の大きい部分のデータを一定期間監視し、各符号のデータレベルの検出と、ハーフビット同士のデータレベル差を計算し、信頼度の高い RDS データかどうかを判定しています。RDSID は信頼度が高いと判断されると”L”になります。



ばらつき調整項目

下記調整が可能、詳細に関しては、ソフトウェア制御仕様書参照。

- IF-BPF (バンドパスフィルタ)
- LOCAL OSC
- AM RF 同調 (AM CAP BANK のばらつきを補正)
- イメージ (IQ 信号の振幅誤差、位相差誤差を調整)
- IF Offset (IF 信号の周波数ずれを調整)
- S-meterDC
- セパレーション

LV25810PEB

FM LNA+ RF AGC、WB LNA+ RF AGC (IF-AFC 含)

ANT 入力の FM (WB) RF 信号を約 25dB 増幅し、ミキサに出力する。

LNA を切り換え、RF 信号の減衰量を 3dB ステップ 22 段階で変化させる。

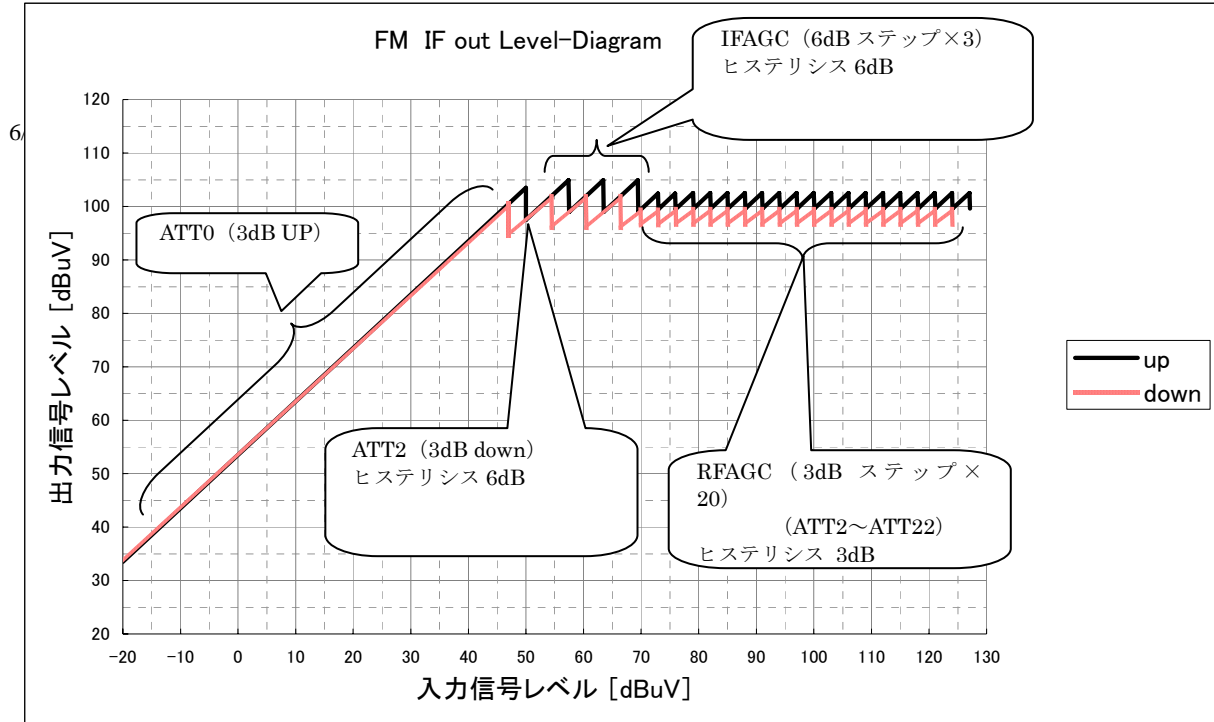
RF AGC1 はアンテナ入力 が 75dB μ V 程度で動作を開始する。

RFAGC0 は、感度改善用 LNA の AGC である。アンテナ入力 が 60dB μ V 程度で AGC 動作を開始する。

入力の LC アンテナ回路は、65MHz~108MHz のバンドパスフィルターを形成している。

(RF AGC 開始点等調整可能な項目に関しては、ソフトウェア制御仕様書参照)

動作イメージ図



LV25810PEB

AM LNA+RF AGC (IF-AGC 含む)

アンテナ入力 AM RF 信号を約 23dB 増幅する。

LNA を切り換え、RF 信号の減衰量を 3dB ステップ 21 段階で変化させる。

RF AGC は、アンテナ入力 80dB μ V 程度で動作を開始する。

LW 144kHz \sim 281kHz 受信時、RF 信号は LNA 出力後 SW 切り換えによって、LPF を通りミキサに出力される。

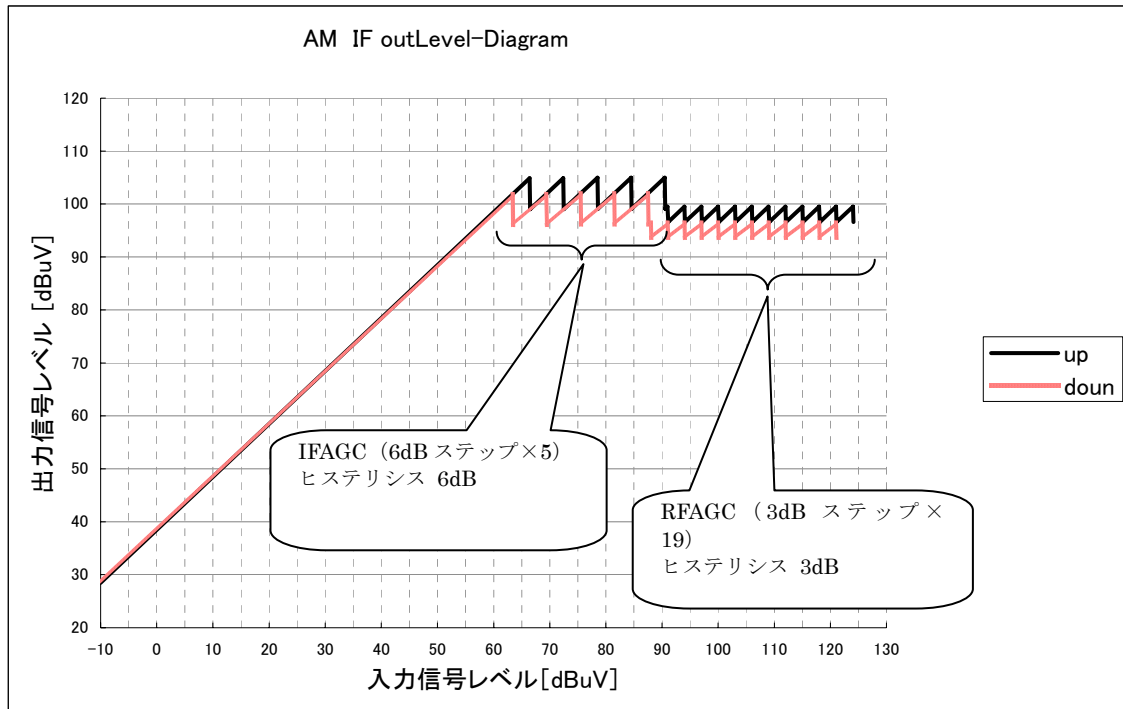
MW520kHz \sim 1710kHz 受信時、RF 信号は LNA 出力後キャパシタバンクによって同調され、ミキサに出力される。

SW 2MHz \sim 30MHz 受信時、RF 信号は LNA 出力後 SW 切替えにより HPF を通りミキサに出力される。

入力の LC アンテナ回路は 144kHz \sim 30MHz のバンドパスフィルターを形成する。

(RF AGC 開始点等調整可能な項目に関しては、ソフトウェア制御仕様書参照)

動作イメージ図



PLL

基準周波数 (R_CTR) と LO_OSC 分周 (P_CTR) を比較し、位相差がゼロになるように VT 電圧を出力する。

局部発振回路

内蔵バラクタ、内蔵インダクタによって LO 発振を形成しており、発振周波数範囲は 261.2MHz~433.6MHz である。

IF BPF +IF AGC アンプブロック

[Phase-Shift-Control、Level-Mismatch-Control]

I/Q のレベル差及び位相差のバラつき調整 (イメージ調整) が可能。
(調整方法に関しては、ソフトウェア制御仕様書参照)

[BPF、IF-AGC-Amp]

IF-BPF にゲイン及び帯域切替え機能を含む。
FM の場合、+18dB (FULL Gain) から 0dB まで 6dB ステップで切り換える。
AM の場合、+18dB (FULL Gain) から-12dB まで 6dB ステップで切り換える。
(制御方法に関しては、ソフトウェア制御仕様書参照)

AM IQ MIX

AM RF 信号 (144kHz~26.1MHz) を約 60kHz の I/Q 信号に変換する。
I 信号と Q 信号それぞれに $\pm 45^\circ$ の信号を生成し MIX 後に合成することで、矩形波成分 (3 次、5 次) によりダウンコンバージョンされた不要信号を除去する。

FM IQ MIX

FM RF 信号 (65MHz~108MHz) を 300kHz の I/Q 信号に変換する。
I 信号と Q 信号それぞれに $\pm 45^\circ$ の信号を生成し MIX 後に合成することで、矩形波成分 (3 次、5 次) によりダウンコンバージョンされた不要信号を除去する。

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LV25810PEB-6156H	QFP80 (14 × 14) (Pb-Free / Halogen Free)	60 / Tray Foam

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。