

1000 V SenseFET

統合型パワースイッチ

FSL4110LR

概要

FSL4110LRは統合型パルス幅変調(PWM)コントローラーと、最小限の外部部品で構成される高入力電圧のオフラインスイッチングモード電源(SMPS)向けに設計された、高アバランシェ耐量の1000 VのセンスFETです。V_{CC}は、補助バイアス巻線無しで、統合型高電圧電源レギュレータを通しての供給が可能です。

統合型PWMコントローラーには、固定周波数発振器、低電圧誤動作防止回路(UVLO)、リーディングエッジブランキング(LEB)、最適化されたゲートドライバー、内部ソフトスタート、ループ補償用の温度補償精密電流源、および可変保護回路が含まれています。

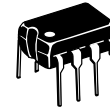
ディスクリートMOSFETおよびPWMコントローラーソリューションと比較して、FSL4110LRは、総コスト、部品点数、PCBサイズ、および重量を削減します。同時に、効率性、生産性、およびシステムの信頼性を向上させます。このデバイスは、フライバックコンバーターの費用効果の高い設計用の基本プラットフォームを提供します。

特長

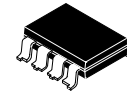
- 高アバランシェ耐量1000 V SenseFET
- 高精度固定動作周波数: 50 kHz
- V_{CC}は、バイアス巻線または自己バイアス回路のいずれかからの供給が可能です。
- 可聴雑音を最小化するソフトバーストモード動作
- 低EMIのためのランダム周波数変動
- パルスバイパルス電流制限
- さまざまな保護機能: 過負荷保護(OLP)、過電圧保護(OVP)、異常過電流保護(AOCP)、ヒステリシスのある内部過熱シャットダウン(TSD)。低電圧誤動作防止回路(UVLO)とヒステリシスのあるライン過電圧保護(LOVP)。
- 内蔵型内部スタートアップとソフトスタート回路
- すべての保護に対する安全な自動再起動モードのための固定1.6 sの再起動時間
- These are Pb-Free Devices

アプリケーション

- 電気メータリング用SMPS
- 3相入力産業システム用補助電源装置

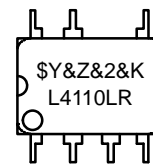


PDIP-7 (PDIP-8 LESS PIN 6)
(7-DIP)
CASE 626A

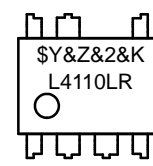


PDIP7 MINUS PIN 6 GW
(7-LSOP)
CASE 707AA

MARKING DIAGRAM



FSL4110LRN



FSL4110LRLX

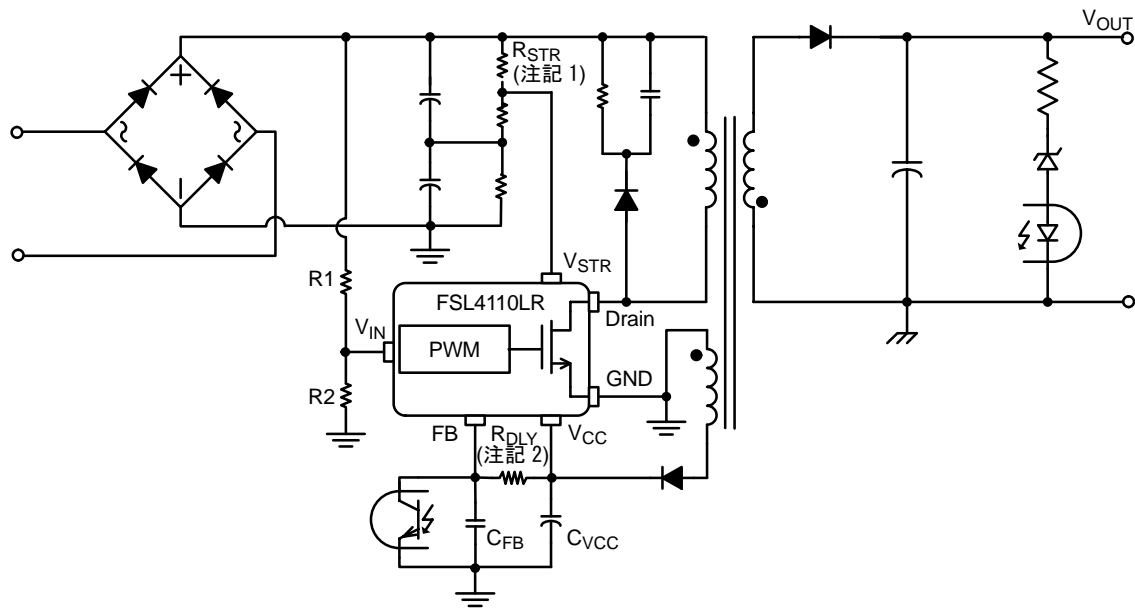
\$Y	= Logo
&Z	= Assembly Plant Code
&2	= 2-Digit Date Code
&K	= 2-Digits Lot Run Traceability Code
L4110LR	= Specific Device Code

ORDERING INFORMATION

See detailed ordering and shipping information on page 13 of this data sheet.

FSL4110LR

典型的なアプリケーション回路



注記:

1. RSTR: 機能概要 [スタートアップと高電圧レギュレータ](#) をご覧ください。
2. RDLY: 機能概要 [過負荷保護 \(OLP\)](#) をご覧ください。

図 1. 典型的なアプリケーション回路

内部ブロック図

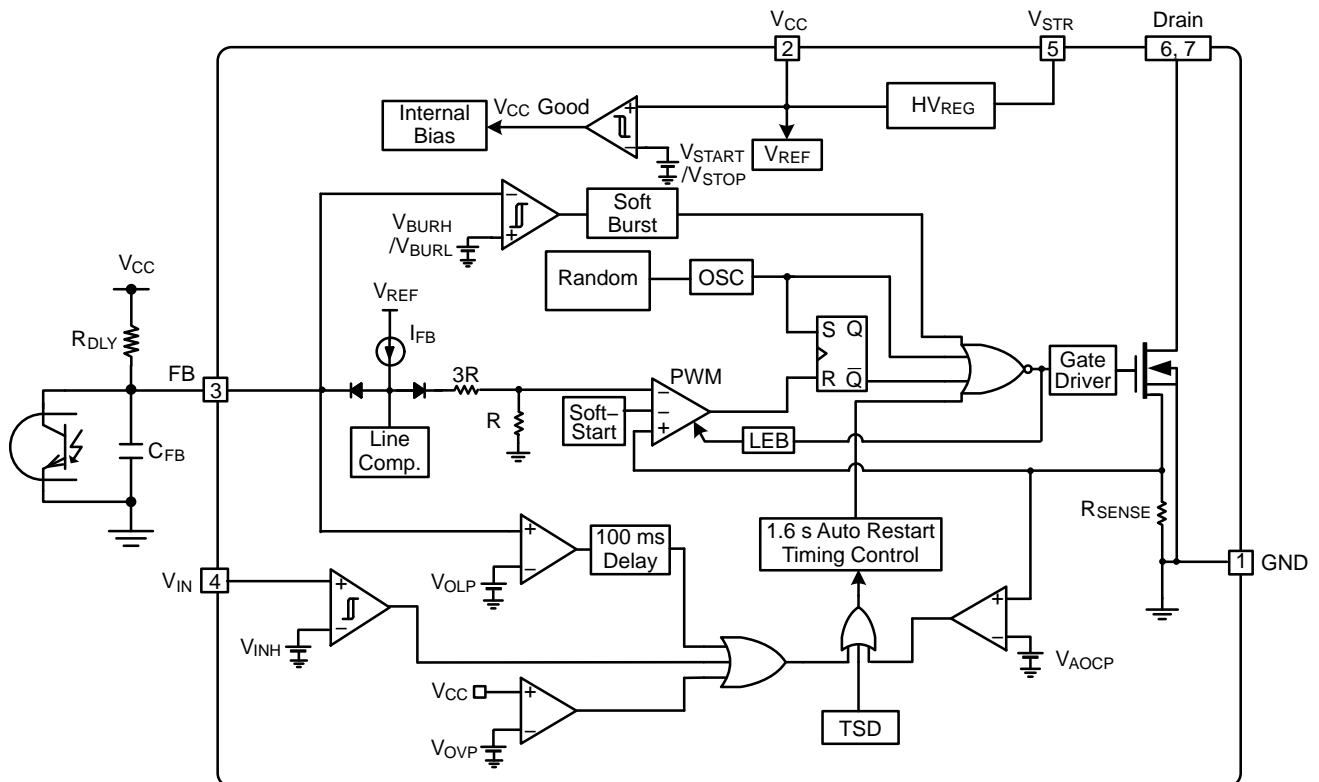


図 2. 内部ブロック図

FSL4110LR

ピン配置

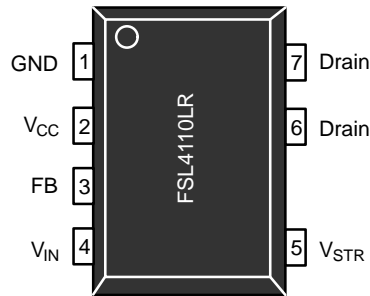


図 3. ピン配置(上面図)

ピン定義

ピン#	名前	概要
1	GND	グラウンド。一次側SenseFET電源端子と内部PWM制御グラウンド。
2	VCC	電源電圧入力。このピンは、スタートアップまたは定常動作時に内部動作電流を提供する正電源入力です。この電圧は、スタートアップの際にピン5 (VSTR)経由で内部高電圧レギュレータから供給されます(図2を参照)。外部バイアス電圧が10 V以上の時、内部高電圧レギュレータは停止します。このピンとピン1(GND)の間に可能な限り近接して、セラミックコンデンサを設置する必要があります。推奨間隔は3 mm以下です。
3	FB	フィードバック。このピンは、内部でPWMコンパレータへの反転入力に接続されています。このピンには、内部に100 μ Aの電流源があります。オプトカプラのコレクタは通常このピンに接続されます。コンデンサはこのピンとGNDの間に設置する必要があります。過電流保護遅延時間用に遅延電流(I _{DELAY})を生成するため、抵抗をこのピンとピン2 (VCC)の間に接続する必要があります。抵抗値は自己バイアス時に5 M Ω を超えないでください。
4	V _{IN}	ライン過電圧入力。このピンは、分圧ライン電圧の入力です。電圧は、抵抗によって分圧されます。この電圧が2 V以上の時、FSL4110LRは動作しません。このピンを使用しない場合、グラウンドに接続してください。
5	V _{STR}	スタートアップ。このピンは整流ACライン電圧源に接続されます。スタートアップ時、内部スイッチは内部バイアスを供給し、VCCピンとグラウンドの間に設置された外部蓄積コンデンサを充電します。VCCが12 Vに達すると、全ての内部ブロックが作動します。内部高電圧レギュレータは、補助バイアス巻線なしでVcc 10 Vを維持するためターンオン、オフを行います。
6, 7	Drain	ドレイン。変圧器のプライマリーリードに直接接続する設計で最大1000 Vのスイッチングに対応。これらのピンと変圧器に接続しているトレースの長さを最小化することで漏洩インダクタンスを減少させます。

FSL4110LR

絶対最大定格

記号	パラメーター	最小	最大	単位	
V_{STR}	V_{STR} ピン電圧	-	700	V	
V_{DS}	ドレインピン電圧	-	1000	V	
V_{CC}	V_{CC} ピン電圧	-	27	V	
V_{FB}	フィードバックピン電圧(注記3)	-0.3	12.0	V	
V_{IN}	V_{IN} ピン電圧(注記3)	-0.3	12.0	V	
I_{DM}	パルスドレイン電流	-	4	A	
I_{DS}	連続スイッチングドレイン電流(注記4)	$T_C = 25^\circ\text{C}$	-	1	A
		$T_C = 100^\circ\text{C}$	-	0.6	A
E_{AS}	単一パルスアバランシェエネルギー(注記5)	-	51	mJ	
P_D	全損失($T_C = 25^\circ\text{C}$) (注記6)	-	1.5	W	
T_J	最大接合温度	-	150	$^\circ\text{C}$	
	動作接合温度(注記7)	-40	+125	$^\circ\text{C}$	
TSTG	保存温度	-55	+150	$^\circ\text{C}$	

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

3. V_{FB} と V_{IN} は、内部クランピングダイオード(11 V, $I_{CLAMP_MAX} < 100 \mu\text{A}$)によって固定されます。

4. 誘導負荷が仮定される際の繰り返しピークスイッチング電流最大デューティ($D_{MAX} = 0.73$)と接合温度で制限(図4を参照)。

5. $I_{AS} = 3.2 \text{ A}$, $L = 10 \text{ mH}$, 開始 $T_J = 25^\circ\text{C}$ 。

6. 無限の冷却条件(SEMI G30-88を参照)。

7. このパラメータはIC動作を保証しますが、全ての電気特性を保証するものではありません。

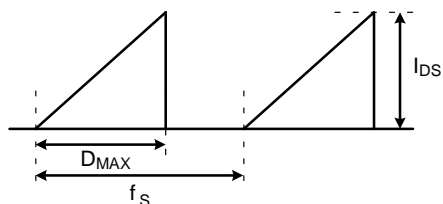


図 4. 繰り返しピークスイッチング電流

熱インピーダンス

記号	パラメーター	値	単位
θ_{JA}	接合部-周囲間の熱インピーダンス(注記8)	85	$^\circ\text{C}/\text{W}$

8. JEDEC推奨環境、JESD51-2とテストボードJESD51-3、そして最小ランドパターン。

ESD耐量

記号	パラメーター	値	単位
ESD	ヒューマンボディーモデル, ANSI/ESDA/JEDEC JS-001-2012	5.0	KV
	帯電モデル, JESD22-C101	2.0	

FSL4110LR

電気特性 (電気特性 $T_J = -40^{\circ}\text{C}$ to 125°C)

記号	パラメーター	条件	最小	通常	最大	単位
----	--------	----	----	----	----	----

SenseFET セクション

BV_{DSS}	ドレイン・ソースブレイクダウン電圧(注記9)	$V_{GS} = 0\text{ V}, I_D = 250\ \mu\text{A}$	1000	-	-	V	
I_{DSS}	ドレイン遮断電流(注記9)	$V_{DS} = 1000\text{ V}, V_{GS} = 0\text{ V}$	-	-	250	μA	
$R_{DS(ON)}$	ドレイン・ソース間オン抵抗(注記9)	$V_{GS} = 10\text{ V}, I_D = 1.0\text{ A}$	-	-	10	Ω	
C_{ISS}	入力容量(注記9) (注記10)	$V_{DS} = 25\text{ V}, V_{GS} = 0\text{ V},$ $f = 1\text{ MHz}$	-	367	477	pF	
C_{OSS}	出力容量(注記9) (注記10)		-	37.5	48.8	pF	
$t_{d(on)}$	ターン・オン遅延時間(注記9)		$V_{DD} = 500\text{ V}, I_D = 1.0\text{ A},$ $V_{GS} = 10\text{ V}, R_g = 25\ \Omega$	-	13.7	-	ns
t_r	立上り時間(注記9)			-	14	-	ns
$t_{d(off)}$	ターン・オフ遅延時間(注記9)			-	33	-	ns
t_f	立下り時間(注記9)			-	45	-	ns

制御部

f_S	スイッチング周波数(注記9)	$V_{CC} = 14\text{ V}, V_{FB} = 4\text{ V}$	46.5	50.0	53.5	kHz
f_M	周波数変調(注記10)		-	± 1.5	-	kHz
D_{MAX}	最大デューティ比	$V_{CC} = 14\text{ V}, V_{FB} = 4\text{ V}$	61	67	73	%
I_{FB}	フィードバックソース電流(注記9)	$V_{FB} = 0\text{ V}$	70	100	130	μA
V_{START}	UVLOしきい値電圧	$V_{FB} = 0\text{ V}, V_{CC}$ スロープ	11	12	13	V
V_{STOP}		ターン・オン後、 $V_{FB} = 0\text{ V}$	7	8	9	
$t_{S/S}$	内部ソフト・スタート時間	$V_{STR} = 40\text{ V}, V_{CC}$ スロープ	-	20	-	ms

バースト・モードセクション

V_{BURH}	バースト・モード電圧(注記9)	$V_{CC} = 14\text{ V}, V_{FB}$ スロープ	0.45	0.50	0.55	V
V_{BURL}			0.35	0.40	0.45	V
V_{HYS}			-	100	-	mV

保護セクション

I_{LIM}	ピークドレイン電流制限(注記9)	$di/dt = 240\text{ mA}/\mu\text{s}$	0.45	0.52	0.59	A
V_{OLP}	過負荷保護(注記9)	$V_{CC} = 14\text{ V}, V_{FB}$ スロープ	4.0	4.4	4.8	V
V_{AOCP}	異常過電流保護(注記10)		-	1.0	-	V
t_{LEB}	リーディングエッジブランキング時間(注記10) (注記11)		-	250	-	ns
t_{CLD}	電流制限遅延時間(注記10)		-	-	200	ns
V_{OVP}	過電圧保護	V_{CC} スロープ	23.0	24.5	26.0	V
V_{INH}	ライン過電圧保護しきい電圧	$V_{CC} = 14\text{ V}, V_{IN}$ スロープ	1.9	2.0	2.1	V
V_{INHYS}	ライン過電圧保護ヒステリシス(注記9)	$V_{CC} = 14\text{ V}, V_{IN}$ スロープ	-	100	-	mV
t_{DELAY}	過負荷保護遅延		-	100	-	ms
$t_{RESTART}$	保護後の再起動時間(注記10)		-	1.6	-	s
TSD	サーマルシャットダウン温度(注記10)	シャットダウン温度	130	140	150	$^{\circ}\text{C}$
T_{HYS}		ヒステリシス(FSL4110LRN)	-	60	-	
		ヒステリシス(FSL4110LRLX)	-	30	-	

高電圧レギュレータセクション

V_{HVREG}	HVレギュレータ電圧	$V_{FB} = 0\text{ V}, V_{STR} = 40\text{ V}$	9	10	11	V
-------------	------------	--	---	----	----	---

FSL4110LR

電気特性 (電気特性 $T_J = -40^{\circ}\text{C}$ to 125°C) (続く)

記号	パラメーター	条件	最小	通常	最大	単位
トータルデバイスセクション						
I_{OP}	動作供給電流、(バースト・モードの制御パート) (注記9)	$V_{CC} = 14\text{ V}, V_{FB} = 0\text{ V}$	–	0.40	0.50	mA
I_{OPS}	動作スイッチング電流、(制御パートとSenseFET パート) (注記9)	$V_{CC} = 14\text{ V}, V_{FB} = 2\text{ V}$	–	1.00	1.35	mA
I_{START}	開始電流(注記9)	$V_{CC} = 11\text{ V}$ (V_{CC} が V_{START} に到達する前に)	–	160	240	μA
I_{CH}	スタートアップ充電電流(注記9)	$V_{CC} = V_{FB} = 0\text{ V}, V_{STR} = 40\text{ V}$	1.5	2.0	–	mA
V_{STR}	最小 V_{STR} 供給電圧	$C_{VCC} = 0.1\ \mu\text{F}, V_{STR}$ スweep	–	–	26	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

9. $T_J = 25^{\circ}\text{C}$ 。

10. これらのパラメータは保証されていますが、製造時に全数検査はされておられません。

11. t_{LEB} はゲートのターン・オン時間を含みます。

FSL4110LR

標準 パフォーマンス 特性

(特性グラフは $T_A = 25^\circ\text{C}$ で正規化されています。)

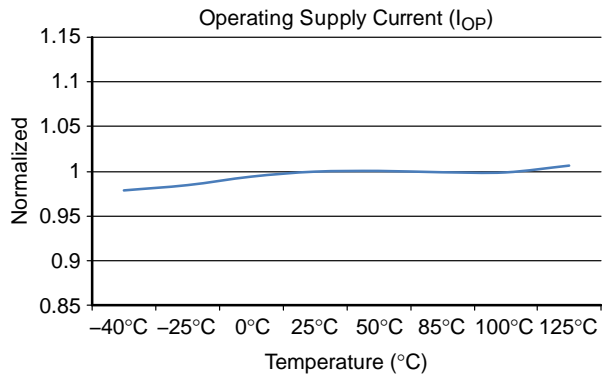


図 5. 動作電流(I_{OP}) vs. T_A

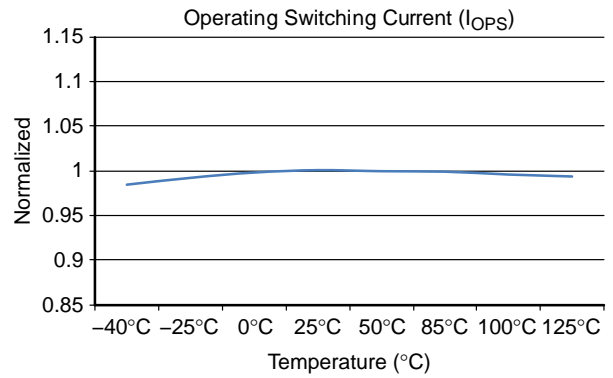


図 6. 動作スイッチング電流(I_{OPS}) vs. T_A

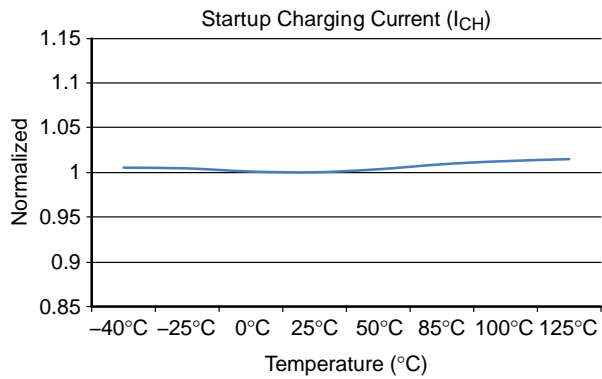


図 7. スタートアップ充電電流(I_{CH}) vs. T_A

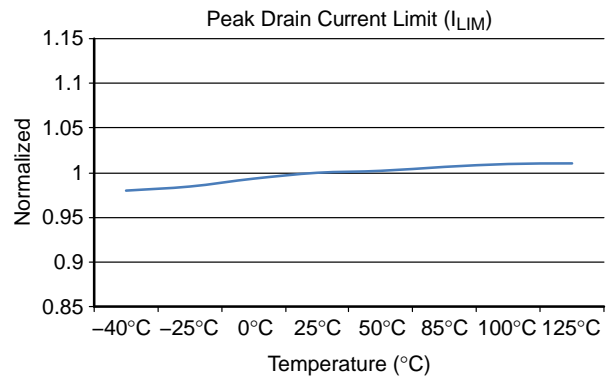


図 8. ピークドレイン電流制限(I_{LIM}) vs. T_A

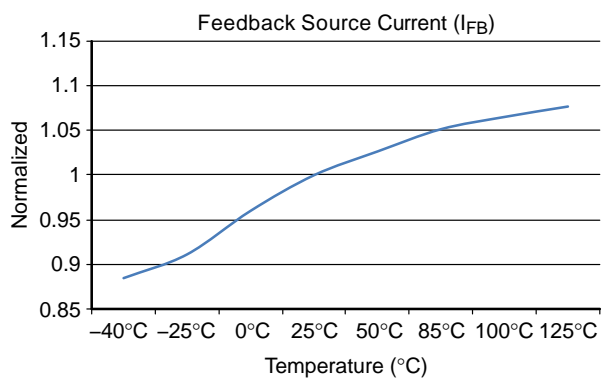


図 9. フィードバックソース電流(I_{FB}) vs. T_A

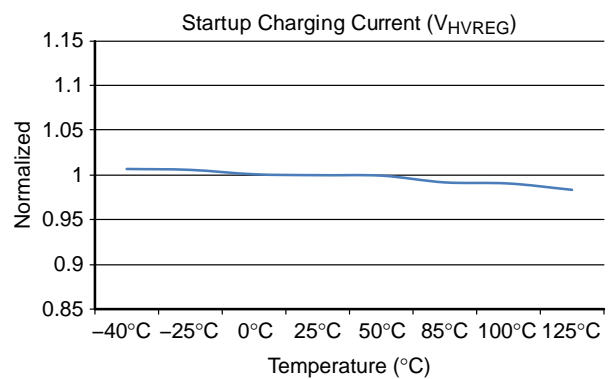


図 10. HVレギュレータ電圧(V_{HVREG}) vs. T_A

FSL4110LR

標準 パフォーマンス 特性 (続く)
(特性グラフは $T_A = 25^\circ\text{C}$ で正規化されています。)

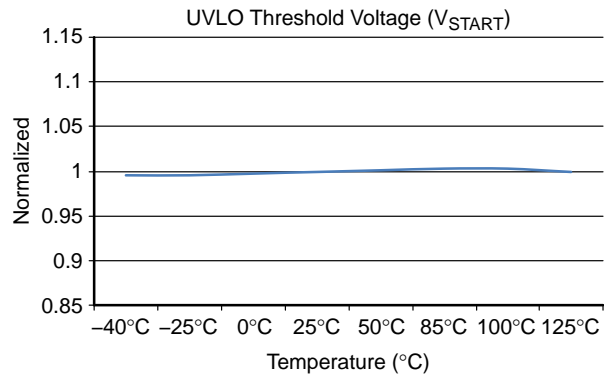


図 11. UVLO しきい値電圧(V_{START}) vs. T_A

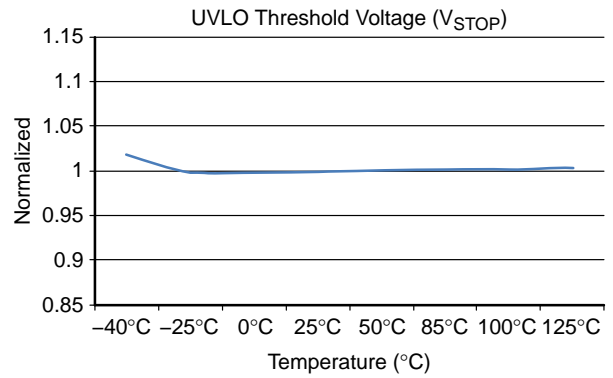


図 12. UVLO しきい値電圧(V_{STOP}) vs. T_A

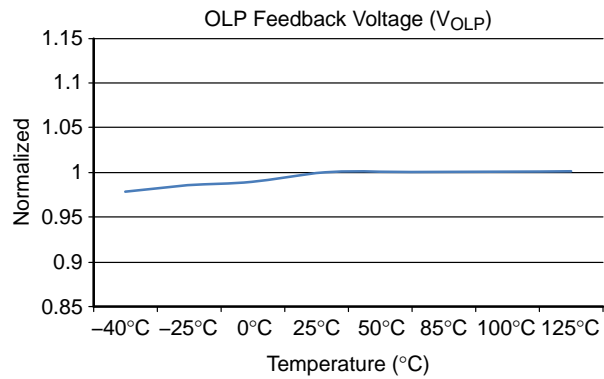


図 13. OLPフィードバック電圧(V_{OLP}) vs. T_A

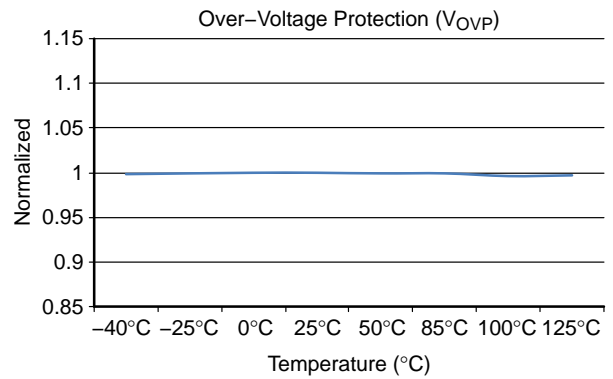


図 14. 過電圧保護(V_{OVP}) vs. T_A

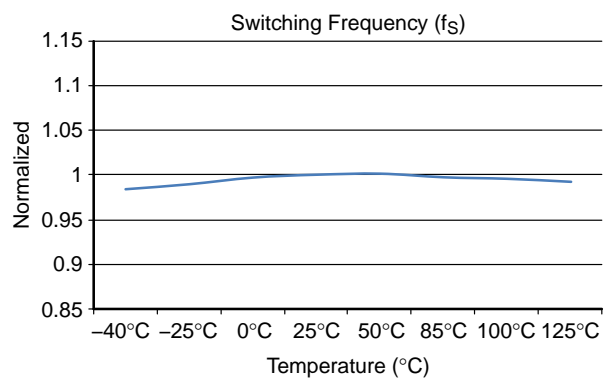


図 15. スイッチング周波数(f_S) vs. T_A

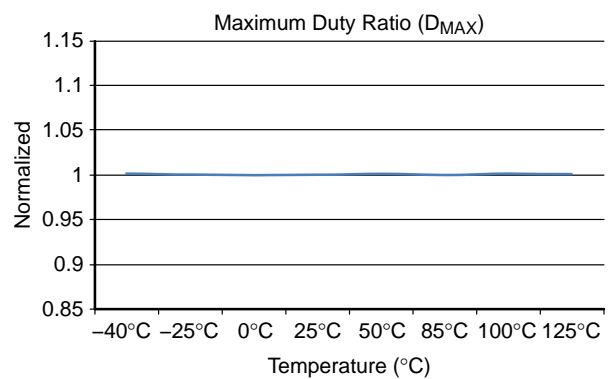


図 16. 最大デューティ比(D_{MAX}) vs. T_A

機能概要

スタートアップと高電圧レギュレータ

スタートアップ中、高電圧レギュレータ(HVREG)の内部高電圧電流源(I_{CH})は、図17にあるように、内部バイアス電流(I_{START})を供給し、V_{CC}ピンに接続された外部コンデンサ(C_{VCC})を充電します。この内部高電圧電流源は、V_{CC}がV_{START}(12 V)に到達するまで有効です。定常運転中、この内部高電圧レギュレータ(HVREG)は10 VでV_{CC}を維持し、全ての内部回路に動作スイッチング電流(I_{OPS})を供給します。従って、FSL4110LRには外部バイアス回路は不要です。外部バイアスから供給されるV_{CC}が10 V以上の時、高電圧レギュレータは停止します。しかし、自己バイアスの場合、電力消費が増加します。

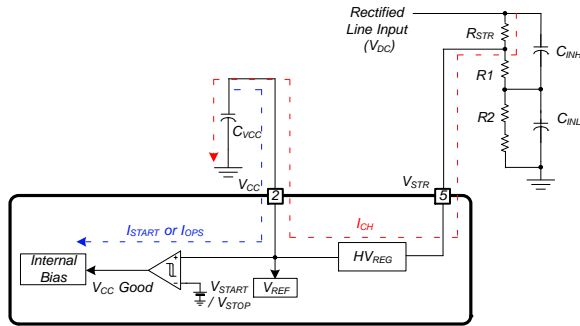


図 17. スタートアップとHVREGブロック

スタートアップ抵抗(R_{STR})は、次の方程式(1)で計算できます。

$$R_{STR} \leq \frac{V_{DC_MIN} - V_{START}}{I_{CH}} \quad (\text{eq. 1})$$

$$I_{OPS} < I_{CH} < 2 \text{ mA}, R_{STR} + R1 = R2 + R3$$

フィードバック制御

FSL4110LRは、電流モード制御スキームを採用しています。オプトカプラ(例えばFOD817など)と2次側シャントレギュレータ(例えばKA431など)は、一般的にフィードバックネットワークの実行のために使用されます。フィードバック電圧とR_{SENSE}抵抗の電圧を比較することでスイッチングデューティサイクルの制御が可能になります。入力電圧が増加もしくは出力負荷が減少するとき、シャントレギュレータのリファレンス入力電圧は増加します。この電圧がシャントレギュレータの内部リファレンス電圧を超過した場合、フィードバック電圧を引き下げ、ドレイン電流を削減しながら、オプトカプラのオプトダイオードの電流は増加します。

パルスバイパルス電流制限

電流モード制御が採用されているため、図18にあるようにSenseFETを流れるピーク電流はPWMコンパレータの反転入力によって制限されます。100 μAの電流源(I_{FB})が内部抵抗器(3R + R = 24 kΩ)のみを通じて流れていると仮定すると、ダイオードD2のカソード電圧は約2.4 Vです。フィードバック電圧(V_{FB})

が2.4 Vを超過するとD1はブロックされるため、D2のカソードの最大電圧はこの電圧で維持されます。従って、SenseFETの電流のピーク値は以下の様に制限されます。

$$\frac{2.4 \text{ V}}{R_{SENSE}} \times \text{Sense Ratio} \quad (\text{eq. 2})$$

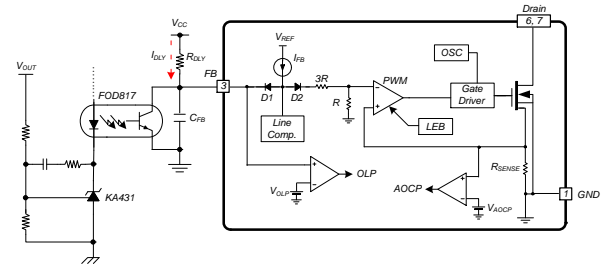


図 18. パルス幅変調回路

リーディングエッジブランキング(LEB)

内部SenseFETが起動すると同時に、通常一次側容量と二次側整流器の逆回復によって、SenseFETを通して高電流スパイクが発生します。R_{SENSE}抵抗にかかる過電圧は、電流モードのPWM制御において、フィードバック動作の誤作動を引き起こします。この影響に対応するため、FSL4110LRは立上りエッジブランキング(LEB)回路を採用しています。この回路は、SenseFETの起動後、PWMコンパレータをt_{LEB}(250 ns)抑制します。

保護入力ピン

保護機能には、過負荷保護(OLP)、過電圧保護(OVP)、低電圧ロックアウト(UVLO)、異常過電流保護(AOCP)、過熱シャットダウン(TSD)が含まれます。図19にあるように、全ての保護機能は自動再起動モードで働きます。これらの保護回路は、外付け部品を使用せずIC内に完全統合されているため、費用とPCBのスペースを増加させることなく信頼性が向上します。故障が発生した場合、スイッチングは停止し、SenseFETはオフのままになります。同時に、自動再起動の間、電力消費と能動および受動部品へのストレスを低減するため、内部保護タイミング制御が作動します。内部保護タイミング制御が作動するとき、スイッチングは停るとともに内部高電圧レギュレータを通してV_{CC}は10 Vに制御されます。この内部保護タイミング制御は、再起動時間(1.6 s)が終了するまで継続されます。1.6 s経過後、内部の高電圧レギュレータは停止しV_{CC}は減少します。V_{CC}がUVLOの停止電圧のV_{STOP}(8 V)に達すると、保護はリセットされ、内部高電圧電流源は再度高電圧スタートアップピン(V_{STR})経由でV_{CC}コンデンサを充電します。V_{CC}がUVLO開始電圧のV_{START}(12 V)に達すると、FSL4110LRは通常動作を再開します。この方法で、自動再起動機能は、故障が解消するまで、PowerSenseFETのスイッチングの作動・停止を交互に行います。

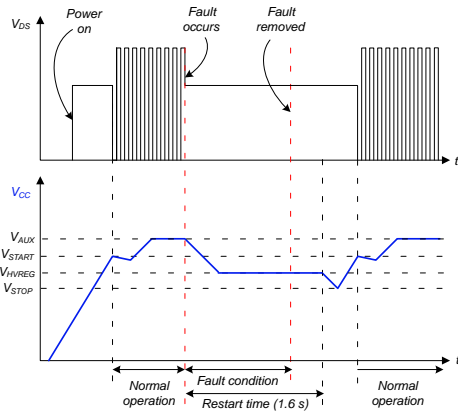


図 19. 自動再起動保護波形

過負荷保護 (OLP)

過負荷は、予期しない異常事態による通常レベルを超過した負荷電流として定義されます。この状況では、保護回路はSMPS保護を誘発します。しかしながら、SMPSが通常動作の場合でも、負荷変化中に過負荷保護回路が誘発される場合があります。こういった不要な動作を防止するため、過負荷保護回路は、一時的な状況か本当の過負荷状況かを判断するために、一定時間経過した後のみ作動するように設計されています。パルス・バイ・パルスの電流制限機能によって、SenseFETを流れる最大ピーク電流は制限されます。出力がこの最大電力を超えて消費した場合、出力電圧はセット電圧以下に減少します。これはオプト・ダイオードに流れる電流を削減し、オプトカプラのトランジスタ電流も削減、そしてフィードバック電圧(V_{FB})を増加させます。V_{FB}が2.4 Vを超過した場合、内部ダイオードD1はブロックされ、R_{DLY}による電流(I_{DLY})がC_{FB}の充電を開始します。フィードバック電圧が4.4 Vに達した場合、内部の固定遅延時間(t_{DELAY})がカウントを開始します。フィードバック電圧がt_{DELAY} (100 ms)後も4.4 Vを超えていた場合、スイッチング動作が停止します (図20を参照)。内部OLP回路は図21に表示されています。

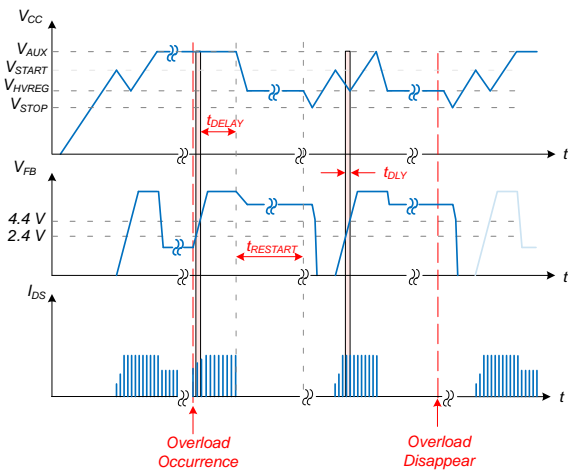


図 20. OLP波形

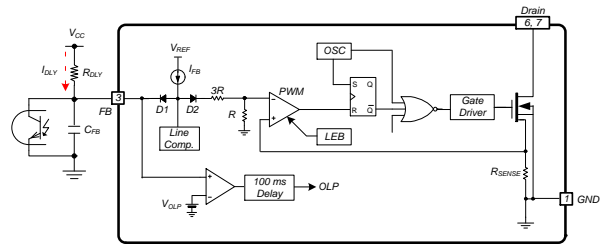


図 21. OLP回路

自己バイアス時ではR_{DLY}の値を5 MΩ以下にするよう推奨されています。遅延時間(t_{DLY})は、方程式(3)で計算できます。

$$t_{DLY} = -R_{DLY} \times C_{FB} \times \ln\left(1 - \frac{2}{V_{CC} - 2.4}\right) \quad (\text{eq. 3})$$

例:

R_{DLY} = 3 MΩ、C_{FB} = 68 nF、V_{CC} = 15 V、の時

t_{DLY} = 35 ms

∴ OLPの合計遅延時間: 135 ms

異常過電流保護 (AOCP)

二次側整流ダイオードまたは変圧器ピンがショートした際、最小ターン・オン時間中、極度に高いdi/dtの急峻な電流がSenseFETに流れます。OLPが誘発されるまでSenseFETに激しい電流ストレスがかかるため、過負荷保護は、そういった異常事態(図22を参照)にはFSL4110LRを十分に保護できません。内部AOCP回路は図23に表示されています。ゲートのターン・オン信号がPowerSenseFETに印加された時、AOCPブロックが起動し検出抵抗を通じて電流をモニターします。抵抗にかかる電圧は、プリセットのAOCPレベルと比較されます。検出抵抗の電圧がAOCPレベル以上の場合、NORゲートの出力にHigh信号が印加され、結果としてSMPSのシャットダウンにつながります。

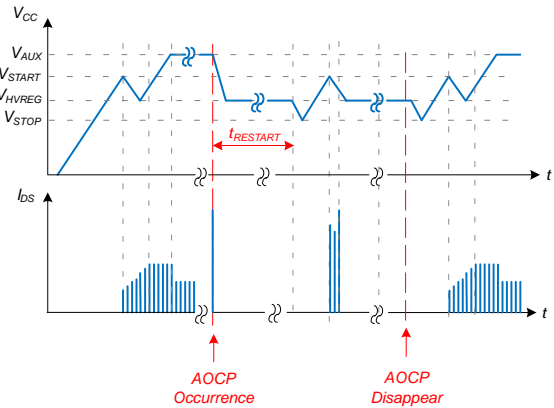


図 22. AOCP波形

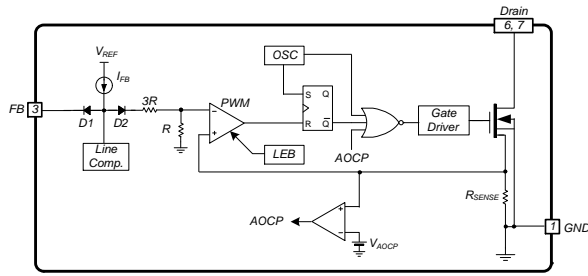


図 23. AOC回路

過電圧保護 (OVP)

二次側のフィードバック回路が誤動作、またはフィードバック経路の開放を引き起こすはんだ不良があった場合、オプトカプラトランジスタに流れる電流はほぼゼロになります。次にV_{FB}が過負荷状態と類似した形で増加し、過負荷保護が作動するまでプリセットされた最大ドレイン電流が強制的に流れます。出力に要求以上のエネルギーが供給されるため、過負荷保護が作動する前に出力電圧が定格電圧を超過する可能性があり、結果として二次側のデバイスの故障につながります。このような状況为了避免するため、OVP回路が採用されています。一般的に、バイアス巻線が使用されている場合、V_{CC}は出力電圧に比例し、FSL4110LRは、直接出力電圧をモニターする代わりに、V_{CC}を使用します。V_{CC}が24.5 Vを超過する場合、OVP回路が誘発され、結果としてスイッチング動作が停止します。正常動作中の不要なOVPの作動を避けるため、通常はV_{CC}を24.5 V以下で設計する必要があります。内部OVP回路は図24に表示されています。

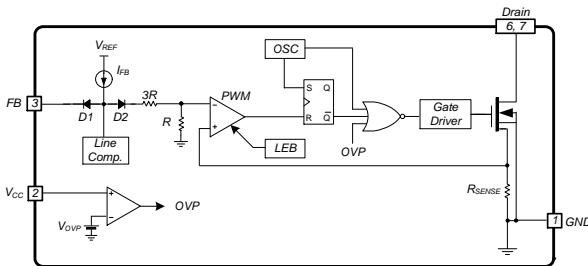


図 24. OVP回路

過熱シャットダウン (TSD)

同じパッケージにSenseFETと制御ICを統合することで、SenseFETの温度の検出が容易になります。接合温度が140°Cを超えたとき、過熱シャットダウンが作動します。t_{RESTART} (1.6 s)以内に温度が60°Cまで下がったとき、FSL4110LRは再起動します。

ライン過電圧保護 (LOVP)

ライン入力電圧が望ましくないレベルまで増加した場合、高ライン入力電圧はシステム全体に高電圧ストレスを発生させます。この異常状態からSMPSを保護するため、LOVPが搭載されています。これは分圧抵抗によってV_{IN}電圧を検出することで構成されています。V_{IN}電圧が2.0 V以上の時、この状態は異常エラーとして認識され、V_{IN}電圧がt_{RESTART}以

内に(図25を参照)1.9 V程度にまで下がるまでPWMスイッチングは停止します。内部LOVP回路は図26に表示されています。

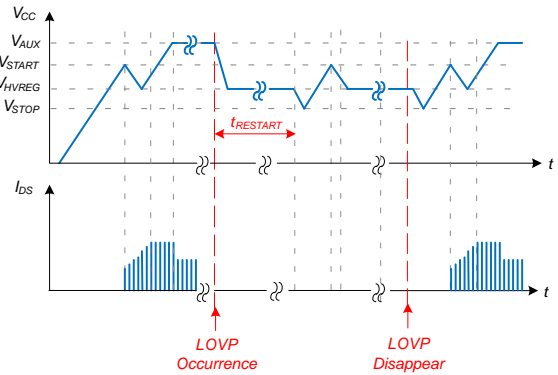


図 25. LOVP波形

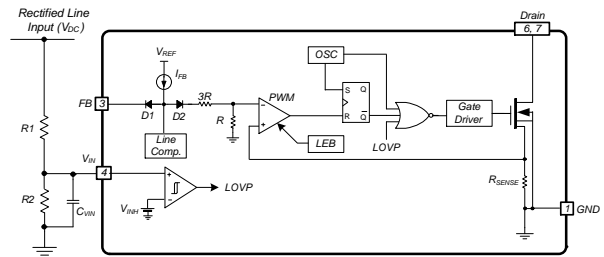


図 26. LOVP回路

方程式(4)は、入力過電圧のRMS値に対するレベルを計算します。

$$R2 = \frac{V_{INH} \times R1}{V_{DC} - V_{INH}} \quad (eq. 4)$$

分圧抵抗の抵抗値は、必要に応じて調整可能です。低抵抗は、軽負荷状態で比較的大きな待機電力の消費につながります。このような状況をさけるため、数MΩの抵抗が推奨されています。安定動作のために数MΩの抵抗には、V_{IN}ピンとGNDの間に数百pFの静電容量のコンデンサ(C_{VIN})をつける必要があります。

オシレータブロック

オシレータの周波数は内部で設定され、FSL4110LRは図27にあるようにランダムな周波数変動機能を備えています。スイッチング周波数の変動によって、EMIのテスト装置で測定された帯域幅よりも広い周波数の範囲にエネルギーを拡散させることでEMIを削減できます。周波数の変動範囲は内部で固定されています。しかし、その選択は、外部フィードバック電圧と内部フリーランニングオシレータの組み合わせによってランダムに選ばれます。ランダムに選択されたスイッチング周波数は、国際的なEMI要件を満たすため、スイッチング周波数近辺のEMIノイズを効率的に拡散し、AC入力ラインフィルタの代わりに費用対効果の高いインダクタの使用を可能にします。

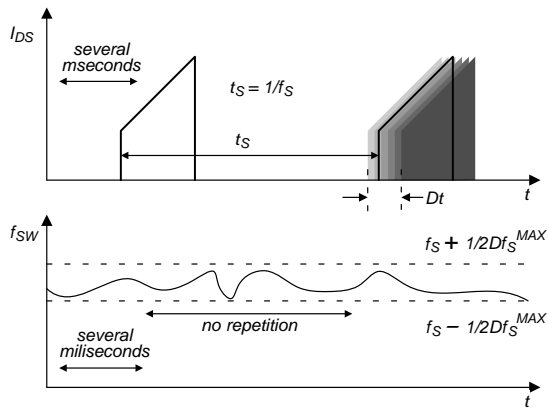


図 27. 周波数変動波形

ソフトスタート

内部のソフトスタート回路は、起動後にSenseFET電流を徐々に増加させます。標準的なソフトスタート時間は図28で示される通り20 msで、スタートアップ中SenseFET電流は継続的に増加します。このパワースイッチングデバイスのパルス幅は、変圧器、インダクタ、コンデンサのための適した動作状況を確認するため継続的に増加します。出力コンデンサの電圧は、必要な出力電圧をスムーズに確立するため徐々に増加します。ソフトスタートはまた、変圧器の飽和の防止と二次側ダイオードへのストレス削減に役立ちます。

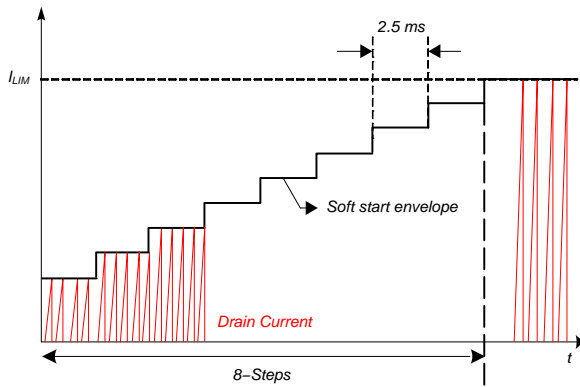


図 28. 内部ソフトスタート

バーストモード操作

待機モードでの電力消費を最小化するため、FSL4110LRはバースト・モードに入ります。負荷が減少するにつれて、フィードバック電圧も減少します。図29にあるように、フィードバック電圧がV_{BURL} (400 mV)以下になったとき、デバイスは自動的にバースト・モードに入ります。この時点で、スイッチングは停止し、出力電圧は待機電流の負荷に依存し低下し始めます。これによって、フィードバック電圧は上昇します。V_{BURH} (500 mV)を超えると、スイッチングが再開します。その後、フィードバック電圧は低下し、プロセスが繰り返されます。バースト・モードは、SenseFETのスイッチングの作

動・停止を交互に行い、待機モードでのスイッチング損を削減します。加えて、可聴ノイズの削減のため、ソフトバーストが実行されます。

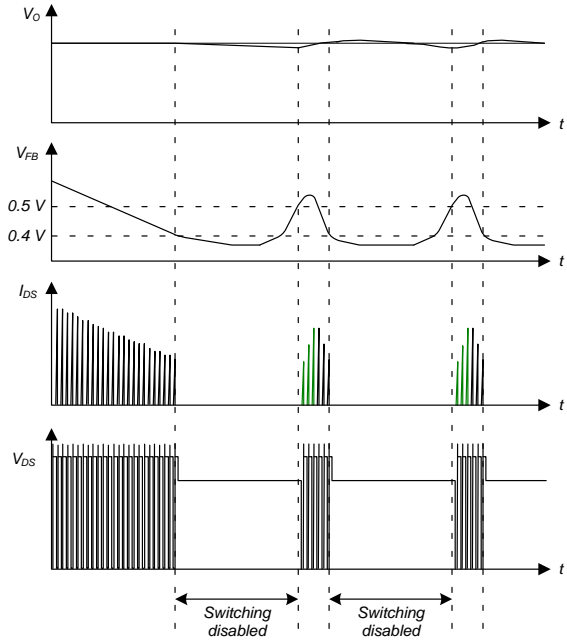


図 29. バーストモード操作

ライン補償

全てのスイッチングデバイスには、それぞれに固有の伝搬遅延があります。この伝播遅延は、t_{CLD}に定義されている通り電流制限の遅延の原因になります。電流制限の遅延t_{CLD}があるため、低入力力と高入力力電圧の間で電流ピークに誤差が生じます。電流ピークの相違は、入力電圧値の違いに関連しており、入力電圧値の違いが広がるほどより大きな電流ピークの差異をもたらします。

入力電圧に関わらず、一定の電流ピークを維持するために、ライン補償が必要となります。FSL4110LRにはライン補償があるため、高入力電圧の実際のピーク値は低入力電圧のものと類似しており、t_{CLD}の影響は図30にあるように無視することができます。

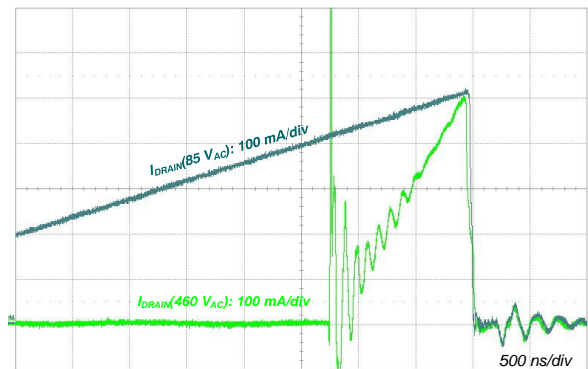


図 30. I_{LIMIT} 波形(85 V_{AC} vs. 460 V_{AC})

FSL4110LR

注文情報

部品番号	パッケージ	接合部温度	電流制限	R _{DS(オン)} (最大)	出力電源テーブル (注記 12)		Shipping [†]
					45~460 V _{AC} (注記 13)	85~460 V _{AC} (注記 13)	
FSL4110LRN	PDIP-7 (PDIP-8 LESS PIN 6) (7-DIP) (Pb-Free)	-40°C~125°C	0.52 A	10 Ω	4 W (注記 14)	9 W (注記 14)	3000 Units / Tube
FSL4110LRLX	PDIP7 MINUS PIN 6 GW (7-LSOP) (Pb-Free)						1000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

- 12. 接合部温度により最大出力が制限される場合があります。
- 13. 周囲温度50°Cのオープンプレーム設計における実質的連続最大出力。
- 14. バイアス巻線の状態。

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

ON Semiconductor®



PDIP-7 (PDIP-8 LESS PIN 6) CASE 626A ISSUE C

DATE 22 APR 2015

SCALE 1:1



NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: INCHES.
3. DIMENSIONS A, A1 AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. DIMENSIONS D, D1 AND E1 DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS ARE NOT TO EXCEED 0.10 INCH.
5. DIMENSION E IS MEASURED AT A POINT 0.015 BELOW DATUM PLANE H WITH THE LEADS CONSTRAINED PERPENDICULAR TO DATUM C.
6. DIMENSION eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. DATUM PLANE H IS COINCIDENT WITH THE BOTTOM OF THE LEADS, WHERE THE LEADS EXIT THE BODY.
8. PACKAGE CONTOUR IS OPTIONAL (ROUNDED OR SQUARE CORNERS).

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	----	0.210	----	5.33
A1	0.015	----	0.38	----
A2	0.115	0.195	2.92	4.95
b	0.014	0.022	0.35	0.56
b2	0.060 TYP		1.52 TYP	
C	0.008	0.014	0.20	0.36
D	0.355	0.400	9.02	10.16
D1	0.005	----	0.13	----
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eB	----	0.430	----	10.92
L	0.115	0.150	2.92	3.81
M	----	10°	----	10°

GENERIC MARKING DIAGRAM*



- XXXX = Specific Device Code
- A = Assembly Location
- WL = Wafer Lot
- YY = Year
- WW = Work Week
- G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

DOCUMENT NUMBER:	98AON11774D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PDIP-7 (PDIP-8 LESS PIN 6)	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

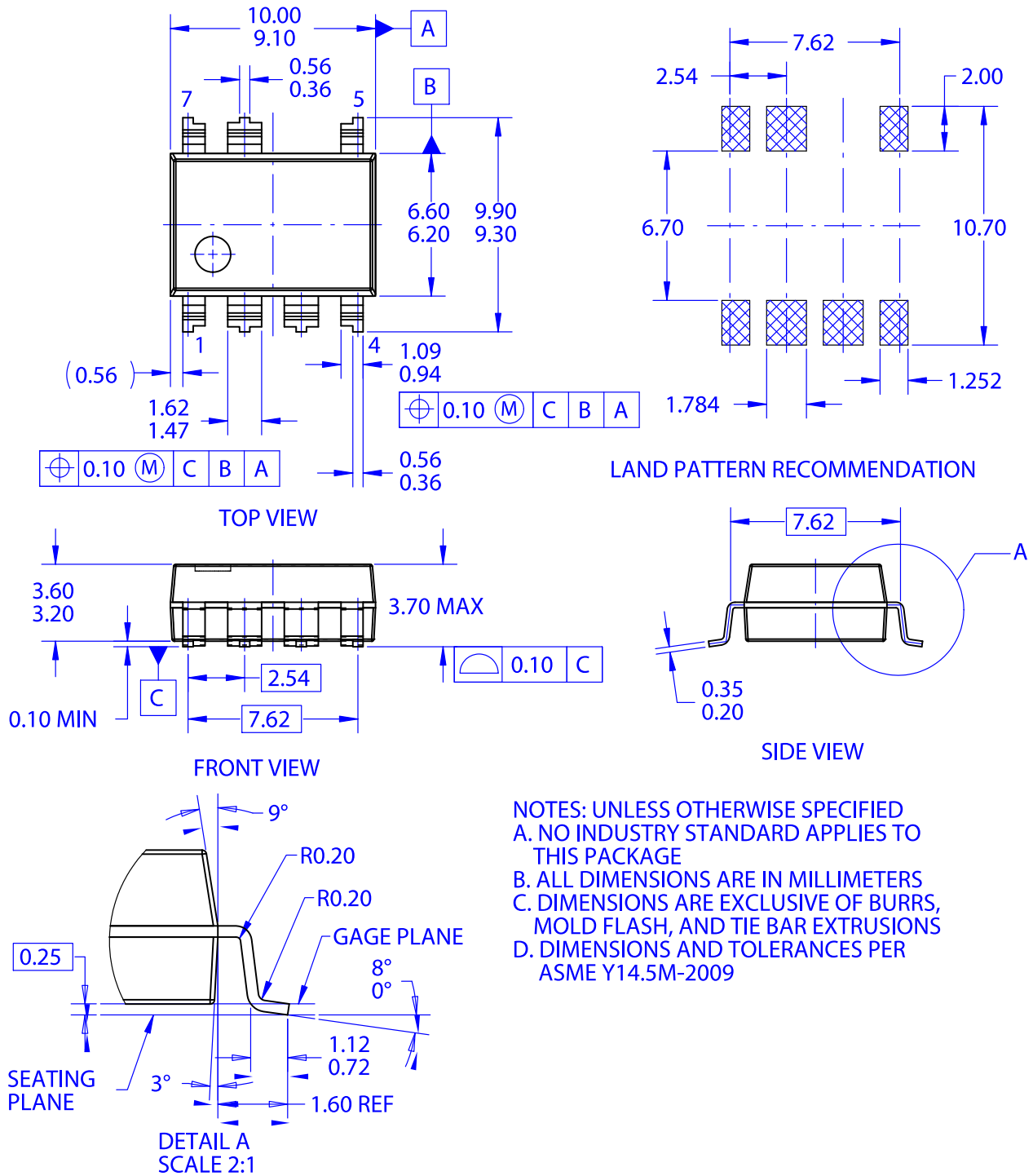
MECHANICAL CASE OUTLINE
PACKAGE DIMENSIONS

ON Semiconductor®



PDIP7 MINUS PIN 6 GW
CASE 707AA
ISSUE O

DATE 31 JAN 2017



- NOTES: UNLESS OTHERWISE SPECIFIED
 A. NO INDUSTRY STANDARD APPLIES TO THIS PACKAGE
 B. ALL DIMENSIONS ARE IN MILLIMETERS
 C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS
 D. DIMENSIONS AND TOLERANCES PER ASME Y14.5M-2009

DOCUMENT NUMBER:	98AON13755G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PDIP7 MINUS PIN 6 GW	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Email Requests to: orderlit@onsemi.com

onsemi Website: www.onsemi.com

TECHNICAL SUPPORT

North American Technical Support:

Voice Mail: 1 800-282-9855 Toll Free USA/Canada

Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative