

LC72722PM

RDS / RBDS 信号処理1チップLSI



ON Semiconductor®

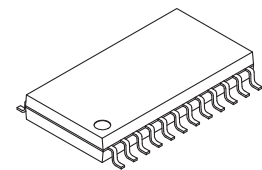
www.onsemi.jp

概要

LC72722PMはヨーロッパ放送連盟EBU (European Broadcasting Union)のRDS (Radio Data System)、および米国NRSC (National Radio System Committee)のRBDS (Radio Broadcast Data System)の信号処理用1チップLSIである。本LSIはBPF・復調・同期・誤り訂正回路及びデータバッファRAMを内蔵しており、軟判定誤り訂正により効果的な誤り訂正を行うことができる。

機能

- ・ BPF : スイッチド・キャパシタ・フィルタ (SCF)
- ・ 復調 : RDSデータ・クロック再生および復調データ信頼度情報
- ・ 同期 : ブロック同期検出 (後方/前方保護条件可変)
- ・ 誤り訂正 : 軟判定/硬判定誤り訂正
- ・ バッファRAM : 24ブロック(約500 ms)分のデータおよびフラグメモリ
- ・ データ入出力 : CCB* インターフェース (パワーオン・リセット)



SOIC24 W / MFP24 (375 mil)

特長

- ・ 軟判定誤り訂正により訂正能力が向上。
- ・ データバッファRAMに復号データの保存が可能でマイコンの負担が軽減できる。
- ・ 同期検出回路を2つ持ち、常に安定して同期タイミングを検出できる。
- ・ 同期リセット後、後方保護ブロックデータから読み出し可能。
- ・ ビットスリップ検出補正。
- ・ 低ラジエーション。
- ・ 完全無調整。

規格

- ・ 動作電源電圧 : 4.5~5.5 V
- ・ 動作温度 : -40~+85°C
- ・ パッケージ : MFP24 (375 mil)

* Computer Control Bus (CCB) は、ON Semiconductor のオリジナル・バス・フォーマットであり、バスのアドレスは全て ON Semiconductor が管理しています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 18 of this data sheet.

LC72722PM

絶対最大定格 / Ta = 25°C, Vssd = Vssa = 0 V

項目	記号	端子	定格値	unit
最大電源電圧	V _{DD} max	V _{ddd} , V _{dda} : V _{dda} ≤ V _{ddd} +0.3 V	-0.3 ~ +7.0	V
最大入力電圧	V _{IN1} max	CL, DI, CE, SYR, T1, T2, T3, T4, T5, T6, T7, SYNC	-0.3 ~ +7.0	V
	V _{IN2} max	XIN	-0.3 ~ V _{ddd} +0.3	V
	V _{IN3} max	MPXIN, CIN	-0.3 ~ V _{dda} +0.3	V
最大出力電圧	V _{O1} max	DO, SYNC, RDS-ID, T3, T4, T5, T6, T7	-0.3 ~ +7.0	V
	V _{O2} max	XOUT	-0.3 ~ V _{ddd} +0.3	V
	V _{O3} max	FLOUT	-0.3 ~ V _{dda} +0.3	V
最大出力電流	I _{O1} max	DO, T3, T4, T5, T6, T7	+6.0	mA
	I _{O2} max	XOUT, FLOUT	+3.0	mA
	I _{O3} max	SYNC, RDS-ID	+20.0	mA
許容消費電力	P _d max	(Ta ≤ 85°C)	175	mW
動作周囲温度	T _{opr}		-40 ~ +85	°C
保存周囲温度	T _{stg}		-55 ~ +125	°C

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

許容動作範囲 / Ta = -40 ~ +85°C, Vssd = Vssa = 0 V

項目	記号	端子	条件	min	typ	max	unit
電源電圧	V _{DD1}	V _{ddd} , V _{dda}	V _{ddd} = V _{dda}	4.5	5.5	5.5	V
	V _{DD2}	V _{ddd}	シリアルデータ保持電圧	2.0			V
入力「H」レベル電圧	V _{IH}	CL, DI, CE, SYR, T1, T2		0.7V _{ddd}		6.5	V
入力「L」レベル電圧	V _{IL}	CL, DI, CE, SYR, T1, T2		0		0.3V _{ddd}	V
出力電圧	V _O	DO, SYNC, RDS-ID, T3, T4, T5, T6, T7				6.5	V
入力振幅	V _{IN1}	MPXIN	f = 57 ± 2 kHz			50	mV _{rms}
	V _{IN2}		100%変調 コンポジット	100			mV _{rms}
	V _{XIN}	XIN		400		1500	mV _{rms}
発振保証水晶振動子	Xtal	XIN, XOUT	CI ≤ 120 Ω (XS=0)		4.332		MHz
			CI ≤ 70 Ω (XS=1)		8.664		MHz
水晶発振周波数偏差	TXtal	XIN, XOUT	f _o = 4.332 MHz, 8.664 MHz			±100	ppm
データセットアップ時間	t _{SU}	DI, CL		0.75			μs
データホールド時間	t _{HD}	DI, CL		0.75			μs
クロック「L」レベル時間	t _{CL}	CL		0.75			μs
クロック「H」レベル時間	t _{CH}	CL		0.75			μs
CEウェイト時間	t _{EL}	CE, CL		0.75			μs
CEセットアップ時間	t _{ES}	CE, CL		0.75			μs
CEホールド時間	t _{EH}	CE, CL		0.75			μs
CE「H」レベル時間	t _{CE}	CE				20	ms
データラッチ変化時間	t _{LC}					1.15	μs
データ出力時間	t _{DC}	DO, CL	プルアップ抵抗の値 によって異なる。			0.46	μs
	t _{DH}	DO, CE				0.46	μs

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

LC72722PM

電気的特性 / Ta = -40~+85°C, Vssd = Vssa = 0 V

項目	記号	端子	条件	min	typ	max	unit
入力抵抗値	Rmpxin	MPXIN-Vssa	f = 57 kHz		43.0		kΩ
	Rcin	CIN-Vssa	f = 57 kHz		100.0		kΩ
内蔵帰還抵抗	Rf	XIN			1.0		MΩ
中心周波数	fc	FLOUT		56.5	57.0	57.5	kHz
-3 dB帯域幅	BW-3dB	FLOUT		2.5	3.0	3.5	kHz
増幅度	Gain	MPXIN-FLOUT	f = 57 kHz	28	31	34	dB
阻止域減衰量	Att1	FLOUT	$\Delta f = \pm 7$ kHz	30			dB
	Att2	FLOUT	f < 45 kHz, f > 70 kHz	40			dB
	Att3	FLOUT	f < 20 kHz	50			dB
基準電圧出力	Vref	Vref	Vdda = 5.0 V		2.5		V
ヒステリシス幅	VHIS	CL, DI, CE, SYR, T1, T2			0.1Vddd		V
出力「L」レベル電圧	VOL1	DO, T3, T4, T5, T6, T7	I = 2 mA			0.4	V
	VOL2	SYNC, RDS-ID	I = 8 mA			0.4	V
入力「H」レベル電流	I _{IH1}	CL, DI, CE, SYR, T1, T2	V _I = 6.5 V			5.0	μA
	I _{IH2}	XIN	V _I = Vddd	2.0		11.0	μA
入力「L」レベル電流	I _{IL1}	CL, DI, CE, SYR, T1, T2	V _I = 0 V			5.0	μA
	I _{IL2}	XIN	V _I = 0 V	2.0		11.0	μA
出力オフリーク電流	I _{OFF}	DO, SYNC, RDS-ID, T3, T4, T5, T6, T7	V _O = 6.5 V			5.0	μA
消費電流	I _{DD}	Vddd, Vdda			9		mA

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

LC72722PM

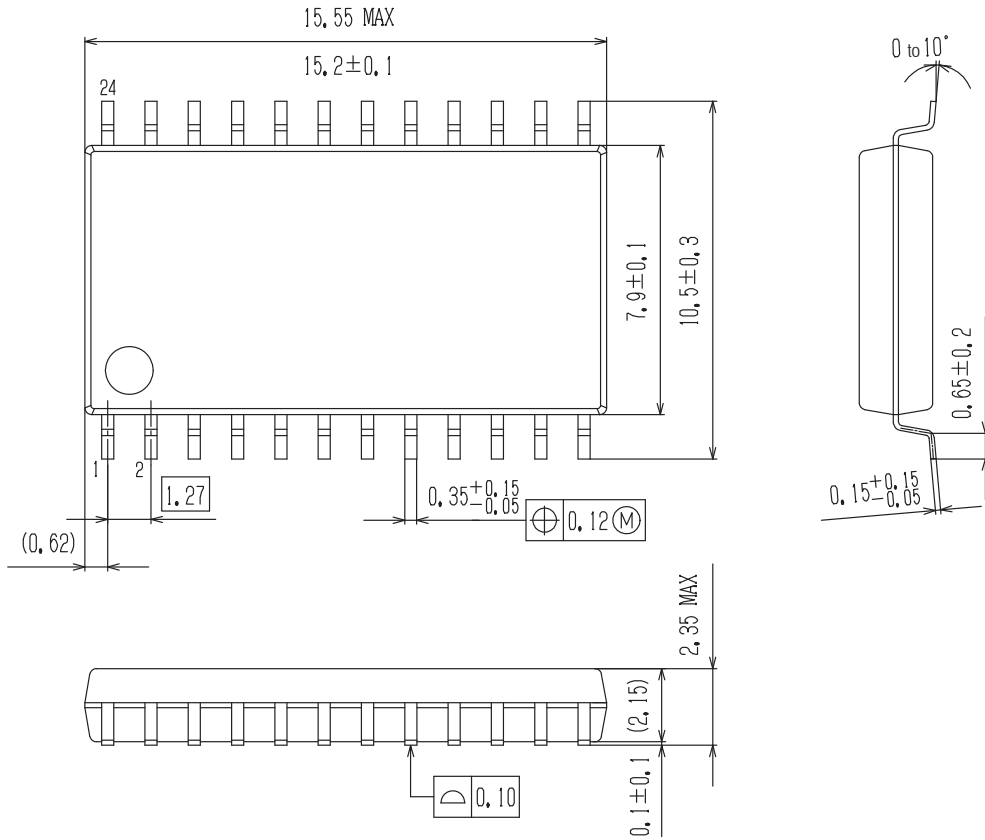
外形図

unit : mm

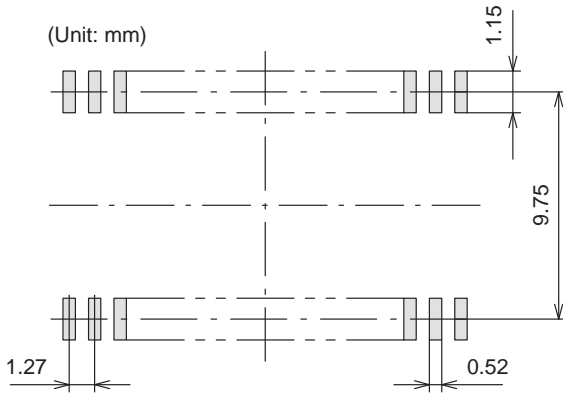
SOIC24 W / MFP24 (375 mil)

CASE 751CF

ISSUE A



SOLDERING FOOTPRINT*



NOTE: The measurements are not to guarantee but for reference only.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*

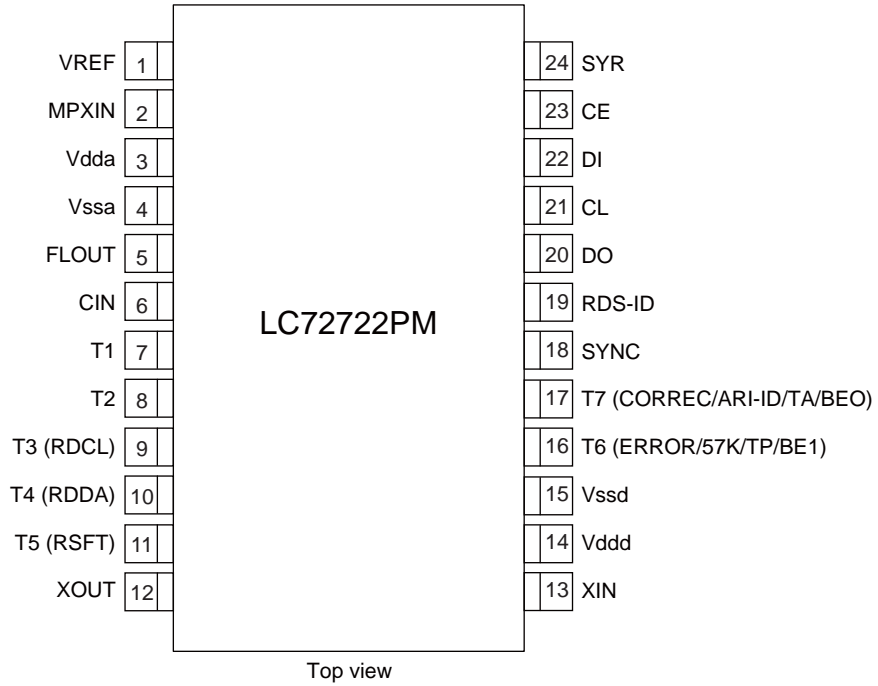


XXXXX = Specific Device Code
 Y = Year
 M = Month
 DDD = Additional Traceability Data

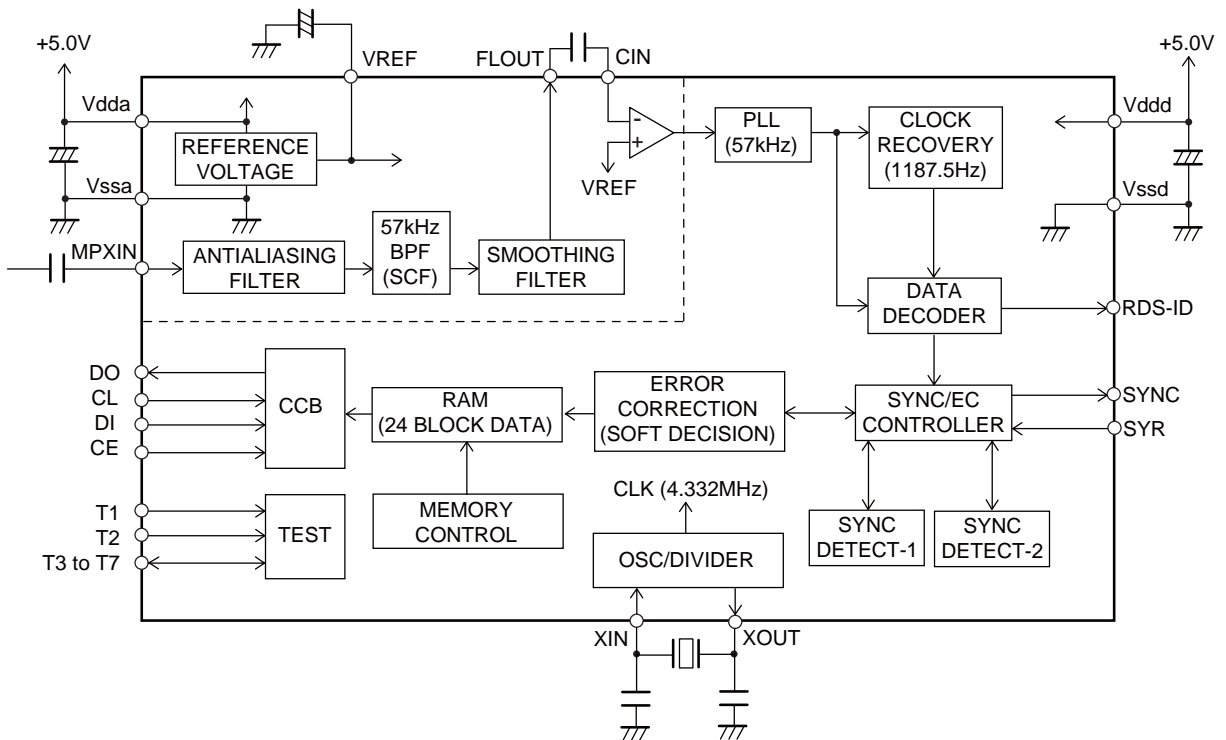
*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

LC72722PM

ピン配置図

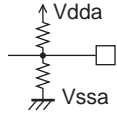


ブロック図



LC72722PM

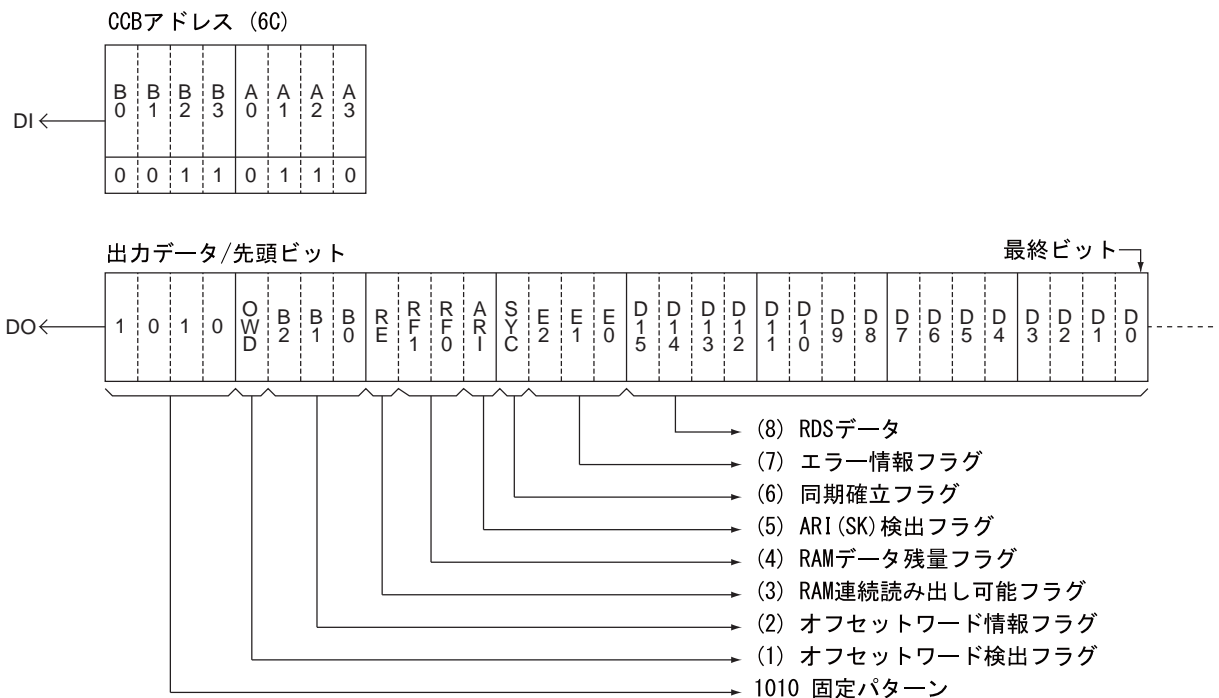
端子説明

ピン番号	端子名	機能	I/O	端子形式
1	VREF	基準電圧出力 (Vdda/2)	出力	
2	MPXIN	ベースバンド (マルチプレックス) 信号入力	入力	
5	FLOUT	サブキャリア出力 (フィルタ出力)	出力	
6	CIN	サブキャリア入力 (コンパレータ入力)	入力	
3	Vdda	アナログ系電源	—	—
4	Vssa	アナログ系グラウンド	—	—
12	XOUT	水晶発振出力 (4.332/8.664MHz)	出力	
13	XIN	水晶発振入力 (外部基準信号入力)	入力	
7	T1	テスト入力 (常時グラウンドに接続すること)	入力	
8	T2	テスト入力 (スタンバイ制御) 0:通常動作 / 1:スタンバイ状態(水晶発振停止)	入力	
9	T3 (RDCL)	テスト I/O (RDS クロック出力)	入出力 (※)	
10	T4 (RDDA)	テスト I/O (RDS データ出力)		
11	T5 (RSFT)	テスト I/O (軟判定制御データ出力)		
16	T6 (ERROR/57K/BE1)	テスト I/O (誤り有無出力/再生キャリア出力 /誤りブロック数出力)		
17	T7 (CORREC/ARI-ID/BE0)	テスト I/O (誤り訂正有無出力/SK 検出出力 /誤りブロック数出力)		
18	SYNC	ブロック同期検出出力	出力	
19	RDS-ID	RDS 検出出力	出力	
20	DO	データ出力	入力	
21	CL	クロック入力		
22	DI	データ入力		
23	CE	チップイネーブル		
24	SYR	同期 & RAM アドレス・リセット(正論理)	出力	
14	Vddd	デジタル系電源	—	—
15	Vssd	デジタル系グラウンド	—	—

※ 通常出力端子。テスト時(ユーザー設定不可)入出力端子として使用。

CCB 出力データフォーマット

1. 各ブロックのデータは 32 ビット(4 バイト)で出力される。
(RDS データ 2 バイト、フラグ 2 バイト)
2. 出力データ 32 ビットは何ブロックでも連続して読み出すことができる。
3. 内蔵メモリに読み出し可能なデータがないとき、出力データは 0 が連続する。
4. 途中で読み出しを止めたとき、次回読み出しは読み出し途中のブロックデータ(32 ビット)を初めから読み出す。但し最終ビットを読み残した場合は、再度そのブロックデータを読み直すことはできない。
5. チェックビット(10 ビット)は出力されない。
6. データ有効/無効判定はエラー情報フラグ(E0~E2)を参照し、オフセットワード検出フラグ(OWD)は参照しないこと。
7. 先頭ビットが '1010' にならないとき、読み込みデータは無効であり、読み込み動作を中止すること。



(1) オフセットワード検出フラグ (1 ビット) : OWD

OWD	オフセットワード検出
1	検出
0	未検出(保護中)

(2) オフセットワード情報フラグ (3 ビット) : B0~B2

B2	B1	B0	オフセットワード
0	0	0	A
0	0	1	B
0	1	0	C
0	1	1	C'
1	0	0	D
1	0	1	E
1	1	0	設定無し
1	1	1	設定無し

LC72722PM

- (3) RAM 連続読み出し可能フラグ (1 ビット) : RE

RE	RAM データ情報
1	RAM に、次に読み出せるデータが存在する
0	RAM の最終データであり、次のデータは存在しない

- (4) RAM データ残量情報フラグ (2 ビット) : RF0, RF1

RF1	RF0	RAM データ残量 (ブロック数)
0	0	1 ~ 7
0	1	8 ~ 15
1	0	16 ~ 23
1	1	24

(注意) RE=1 の時のみ意味を持つ。RE=0 の時は RF=0 でも RAM にデータはない。
SYR により同期リセットをかけた場合、メモリ上に書き込まれた後方保護ブロックデータもカウントに入る。

- (5) ARI (SK) 検出フラグ (1 ビット) : ARI

ARI	SK 信号
1	有り
0	無し

- (6) 同期確立フラグ (1 ビット) : SYNC

SYNC	同期検出
1	同期
0	非同期

(注意) 出力中のブロックデータを受信した時点における回路の同期状態を示す。一方 SYNC ピン(18pin)出力は現在の回路の同期状態を示す。

- (7) エラー情報フラグ (3 ビット) : E0~E2

E2	E1	E0	訂正ビット数
0	0	0	0 (誤り無し)
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	訂正不可能
1	1	1	設定無し

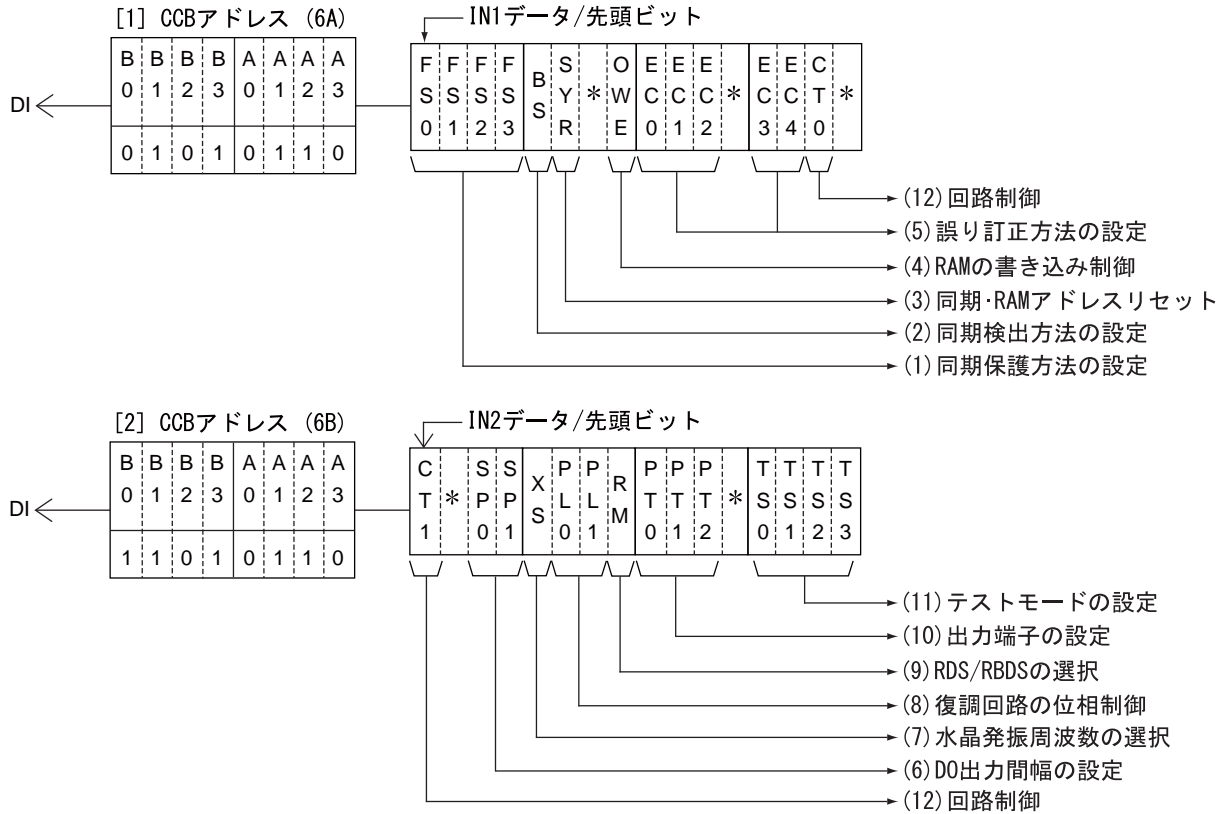
(注意) EC0-EC2 (CCB 入力フォーマット参照) の設定値を超える誤りが生じたとき、エラー情報フラグは「訂正不可能」となる。
EC0-EC2=011 (訂正不可能) のとき、データは無効データとして処理すること。

- (8) RDS データ (16 ビット) : D0~D15

MSB ビット先頭で LSB ビットが最後に出力される。

(注意) 訂正不可能時の出力データは入力データがそのまま出力される。

CCB 入力データフォーマット



(注意) *には必ず0を設定すること

(1) 同期保護（前方保護）方法の設定（4ビット）：FS0～FS3

FS3=0：正しい順序のオフセットワードを FS0～FS2 で設定するブロック数の間連続して検出できなかった場合、同期はずれとなる。

FS3=1：誤り訂正 NG のブロックが FS0～FS2 で設定するブロック数の間連続した場合、同期はずれとなる。

F	S	S	S	同期外れ条件
0	1	2		
0	0	0		3ブロック連続して[“FS3”の条件]の場合
1	0	0		4ブロック連続して[“FS3”の条件]の場合
0	1	0		5ブロック連続して[“FS3”の条件]の場合
1	1	0		6ブロック連続して[“FS3”の条件]の場合
0	0	1		8ブロック連続して[“FS3”の条件]の場合
1	0	1		10ブロック連続して[“FS3”の条件]の場合
0	1	1		12ブロック連続して[“FS3”の条件]の場合
1	1	1		16ブロック連続して[“FS3”の条件]の場合

初期値：FS0=0 FS1=1 FS2=0 FS3=0

(2) 同期検出（後方保護）方法の設定（1ビット）：BS

BS	同期検出条件
0	3ブロック中、正しい順序で2ブロックのオフセットワードを検出した場合
1	2ブロック連続して、正しい順序のオフセットワードを検出した場合

初期値：BS=0

LC72722PM

(3) 同期・RAM アドレス・リセット (1 ビット) : SYR

SYR	同期検出回路	RAM
0	通常動作(リセット解除)	通常書き込み (OWE 参照)
1	強制同期外れ (同期リセット)	リセット解除後、同期確立前のデータ (後方保護中のデータ) から書き込む

初期値 : SYR=0

- (注意) 1. 同期リセットをかけるには、SYR を一旦 CCB により 1 に設定し、その後再び CCB により 0 に設定する。0 に設定された時点から同期捕獲動作に入る。
2. SYR 端子 (24 ピン) からの入力により同様にリセット制御ができる。どちらか一方の制御のみでよい。ただし制御しない他方の信号は 0 としていること。パルス幅は 250ns 以上あれば良い。
3. 受信チャンネルを変えた場合には直後に必ずリセット入力すること。そうでないと、メモリ上に前チャンネルの受信データが残ったままとなる。
4. 同期リセット後に読み出されるデータは、同期確立前の後方保護ブロックデータから読み出される。

(4) RAM の書き込み制御 (1 ビット) : OWE

OWE	RAM 書き込み条件
0	同期確立しているデータのみを書き込む
1	同期の確立していない (非同期) データも書き込む (但し SYR=0 の時)

初期値 : OWE=0

(5) 誤り訂正方法の設定 (5 ビット) : EC0~EC4

E C 0	E C 1	E C 2	誤り訂正ビット数
0	0	0	0(誤り検出のみ)
1	0	0	1 ビット以下
0	1	0	2 ビット以下
1	1	0	3 ビット以下
0	0	1	4 ビット以下
1	0	1	5 ビット以下
0	1	1	設定禁止
1	1	1	設定禁止

E C 3	E C 4	軟判定設定
0	0	モード 0 硬判定
1	0	モード 1 軟判定 A
0	1	モード 2 軟判定 B
1	1	設定禁止

初期値 : EC0=0 EC1=1 EC2=0 EC3=0 EC4=1

- (注意) 1. 誤り訂正ビット数が 0(誤り検出のみ)の時でも、軟判定 A もしくは B が設定されていれば、軟判定制御が行われる。この時エラーなしのブロックがあればそのデータが出力される。
2. 軟判定 A は軟判定 B に比べて軟判定誤り訂正が抑制される。

(6) D0 出力間隔の設定

SP0	SP1	D0 出力状態
0	0	メモリに 1 ブロック以上のデータが書込まれたとき、LOW となる。
1	0	メモリに 4 ブロック以上のデータが書込まれたとき、LOW となる。
0	1	メモリに 8 ブロック以上のデータが書込まれたとき、LOW となる。
1	1	メモリに 12 ブロック以上のデータが書込まれたとき、LOW となる。

初期値 : SP0=0 SP1=1

(7) 水晶発振周波数の選択 (1 ビット) : XS

XS=0 : 4.332MHz

XS=1 : 8.664MHz

初期値 : XS=0

(8) 復調回路の位相制御 (2 ビット) : PL0, PL1

PL0	PL1	復調回路の位相制御
0	0/1	ARI の有無が不明の場合 <通常動作>
1	0	ARI 無しと判明している場合(90 度位相)
	1	ARI 有りと判明している場合(0 度位相)

初期値 : PL0=0 PL1=1

(注意) 1. PL0=0(通常動作)の時、LSI は ARI の有無を検出し、再生キャリアに対する復調位相を自動制御して RDS データ再生を行う。但し、同期リセット解除後の初期位相は PL1 に従う。

2. PL0=1 とすると、PL1 にしたがって復調回路の位相を 90 度(PL1=0)または 0 度(PL1=1)に固定して、RDS データを再生することができる。ARI 無しの場合、RDS データは再生キャリアに対して 90 度位相で検波して再生するため、PL1=0 とする。ARI がある場合は、0 度位相で検波するため、PL1=1 とする。ARI の存在があらかじめ判明しているような場合、このように復調位相を固定することでより安定した再生が可能となる。

(9) RDS/RBDS (MMBS) の選択 (1 ビット) : RM

RM	RBDS 対応	復号方法
0	不可	RDS データのみ正しく復号する (オフセットワード E は検出しない)
1	可能	RDS 及び MMBS データを正しく復号する (オフセットワード E も検出する)

初期値 : RM=0

(10) 出力端子の設定 (3 ビット) : PT0~PT2

T3, T4, T5, T6, T7, SYNC, および RDS-ID 端子の制御を行う

MODE	P	P	P	T3	T4	T5	T6				T7				
	T	T	T				RDCL	RDDA	RSFT	ERROR	57K	TP	BE1	CORREC	ARI-ID
	0	1	2												
0	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—
1	1	0	0	—	—	—	—	—	○	—	—	—	—	○	—
2	0	1	0	○	○	○	—	○	—	—	—	—	○	—	—
3	1	1	0	○	○	○	○	—	—	—	—	○	—	—	—
4	0	0	1	—	—	—	—	—	—	○	—	—	—	—	○
5	1	0	1	—	—	—	—	—	●	—	—	—	—	●	—
6	0	1	1	○	○	○	—	●	—	—	—	—	●	—	—
7	1	1	1	○	○	○	●	—	—	—	—	●	—	—	—

— : オープン ○, ● : 出力可能 (●=逆極性)

初期値 : PT0=1 PT1=1 PT2=0 (Mode3)

(注意) 1. PT2=1 の場合、T6 (ERROR/57K/TP), T7 (CORREC/ARI-ID/TA), SYNC, RDS-ID 端子の極性が変わる。(active high)

2. これらの出力端子(T3~T7, SYNC, RDS-ID)は全て Nch オープンドレイン端子となっており、プルアップ抵抗を接続することによりデータが出力される。

Mode1 (PT2=0) の場合	T6 端子 (TP)
TP=0 検出	High (1)
TP=1 検出	Low (0)

TP : Traffic Program code

LC72722PM

Mode1 (PT2=0) の場合	T7 端子 (TA)
TA=0 検出	High (1)
TA=1 検出	Low (0)

TA : Traffic Announcement code

Mode2 (PT2=0) の場合	T7 端子 (ARI-ID)
SK 無し	High (1)
SK 有り	Low (0)

Mode3 (PT2=0) の場合	T6 端子 (ERROR)	T7 端子 (CORREC)
訂正不可能	Low (0)	Low (0)
訂正 済み	High (1)	Low (0)
誤り 無し	High (1)	High (1)

Mode4 の場合	T6 端子 (BE1)	T7 端子 (BE0)
誤りブロック数(B)		
B = 0	Low (0)	Low (0)
1 ≤ B ≤ 20	Low (0)	High (1)
20 < B ≤ 40	High (1)	Low (0)
40 < B ≤ 48	High (1)	High (1)

48 ブロック中、訂正前において誤りのあったブロック数を示す(出力極性は上記に固定)。

Mode (PT2=0 の場合)	SYNC 端子
0~2	同期時 : Low (0), 非同期時 : High (1)
3	同期時 : ブロックの先頭で一定期間(421μs) High (1) となりその後 Low (0) になる。 非同期時 : High (1)

(注意) 出力は 1 ブロック前の同期状態を示す。

PT2=0 の場合	RDS-ID 端子
RDS 無し	High (1)
RDS 有り	Low (0)

(11) テストモードの設定 (4 ビット) : TS0~TS3

初期値 : TS=0 TS1=0 PS2=0 TS3=0
(必ず上記を設定すること)

(注意) T1 (7pin), T2 (8pin) 端子とテストモード

T1 端子	T2 端子	LSI の動作	備考
0	0	通常動作モード	ユーザ設定可能
0	1	スタンバイモード(水晶発振停止)	
1	0/1	LSI テストモード	ユーザ設定不可

T1 端子は必ず V_{SS} (=0V) にしておくこと。

(12) 回路制御 (2 ビット) : CT0~1

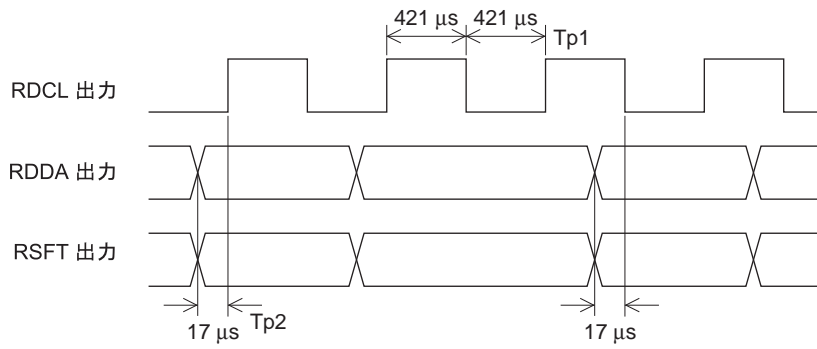
	項目	制御内容
CT0	RSFT 制御	1 の時、軟判定制御データ (RSFT) が生じやすくなる。
CT1	RDS-ID 検出条件	1 の時、RDS-ID 検出条件が厳しくなる。

初期値 : CT0=0 CT1=0

LC72722PM

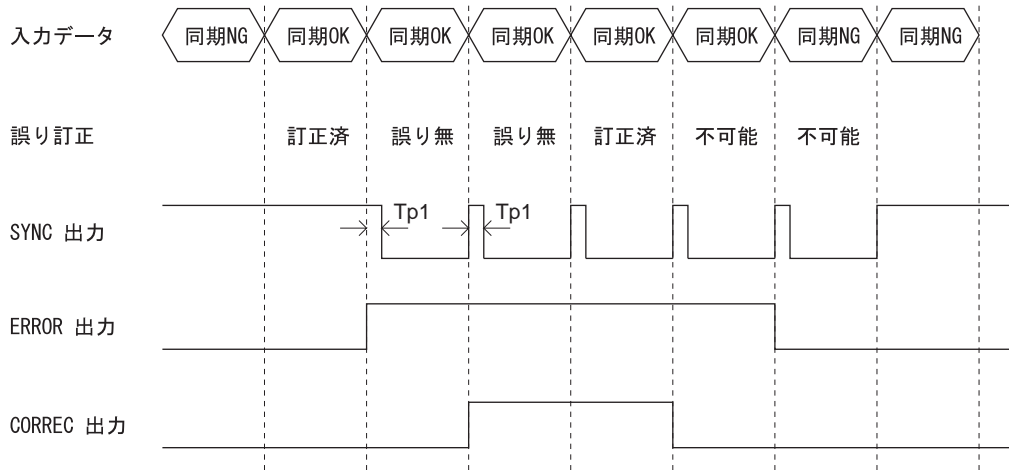
RDCL/RDDA/RSFT, ERROR/CORREC/SYNC 出力タイミング

(1) タイミング 1



(注意) PT2=0 の時、RDDA, RSFT は RDCL の立ち下がりで取り込むこと

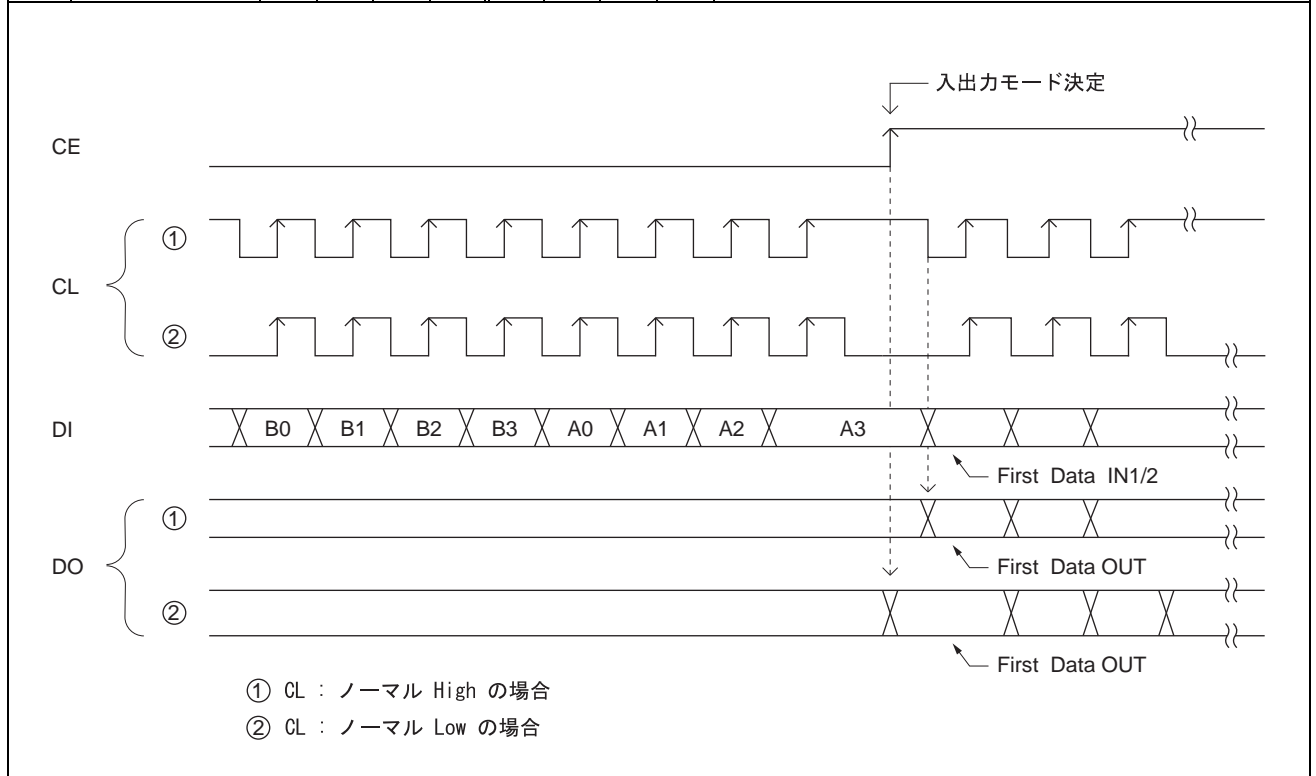
(2) タイミング 2 (Mode 3/PT2=0)



シリアルデータの入出力方法

当社オリジナルのシリアルバスフォーマットである、CCB(Computer Control Bus)により、データの入出力を行う。本 LSI は、8 ビットアドレス方式の CCB である。

	入出力モード	アドレス								Comment
		(LSB)				(MSB)				
		B0	B1	B2	B3	A0	A1	A2	A3	
[1]	IN1 (6A)	0	1	0	1	0	1	1	0	・制御データ入力(シリアルデータ入力)モードである。 ・16bits データ入力。
[2]	IN2 (6B)	1	1	0	1	0	1	1	0	・制御データ入力(シリアルデータ入力)モードである。 ・16bits データ入力。
[3]	OUT (6C)	0	0	1	1	0	1	1	0	・データ出力(シリアルデータ出力)モードである。 ・クロック分 bits データ出力。

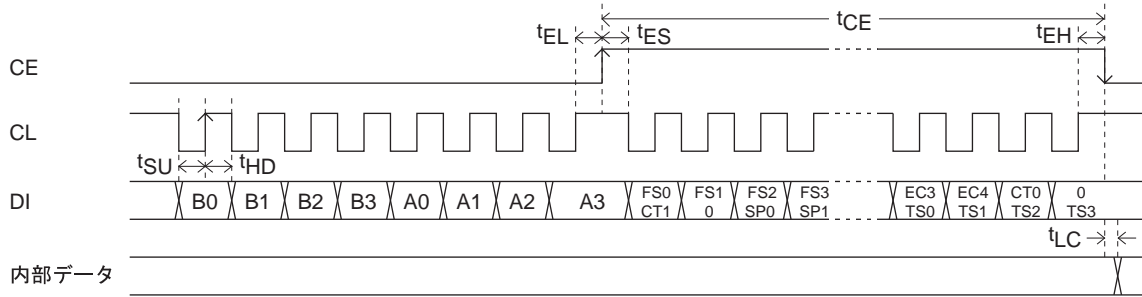


LC72722PM

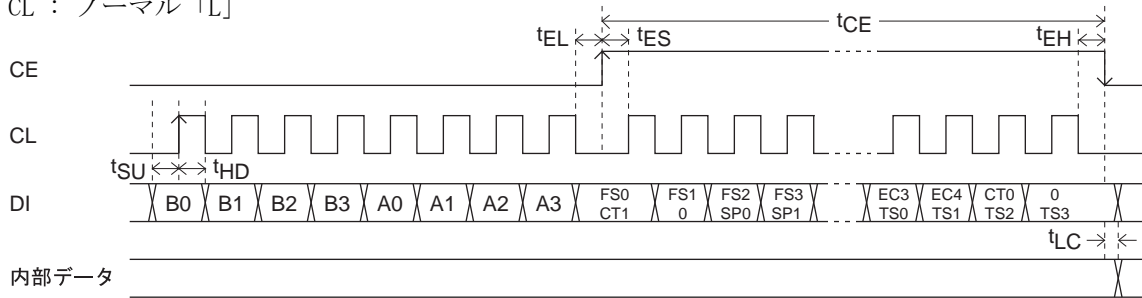
(1) シリアルデータ入力 (IN1/INS)

$$t_{SU}, t_{HD}, t_{EL}, t_{ES}, t_{EH} \geq 0.75\mu s \quad t_{LC} < 1.15\mu s \quad t_{CE} < 20ms$$

① CL : ノーマル「H」



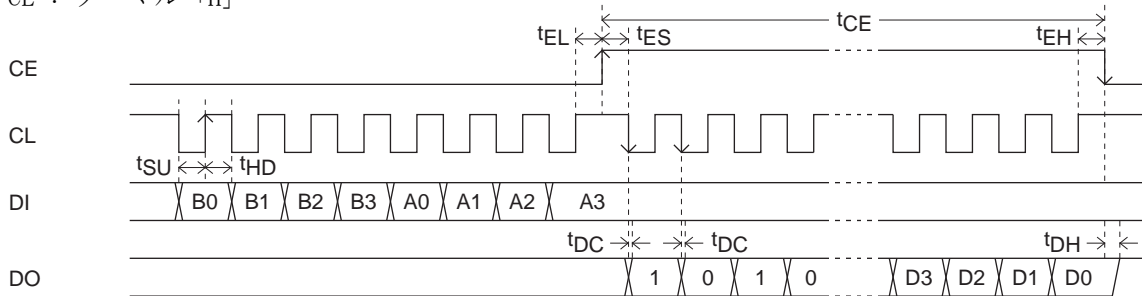
② CL : ノーマル「L」



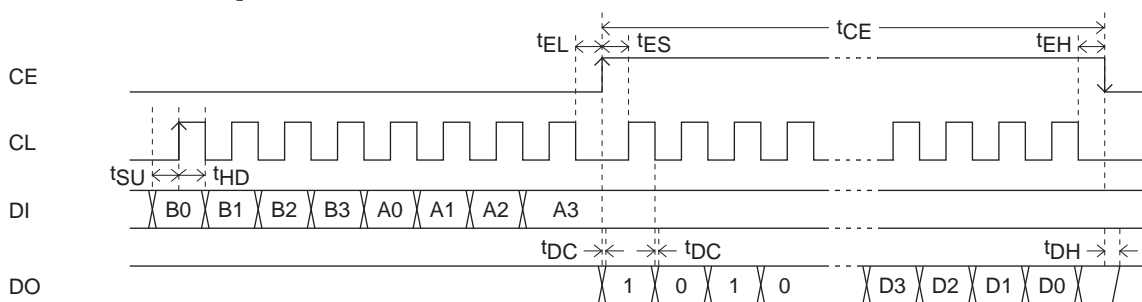
(2) シリアルデータ出力 (OUT)

$$t_{SU}, t_{HD}, t_{EL}, t_{ES}, t_{EH} \geq 0.75\mu s \quad t_{DC}, t_{DH} < 0.46\mu s \quad t_{CE} < 20ms$$

① CL : ノーマル「H」



② CL : ノーマル「L」

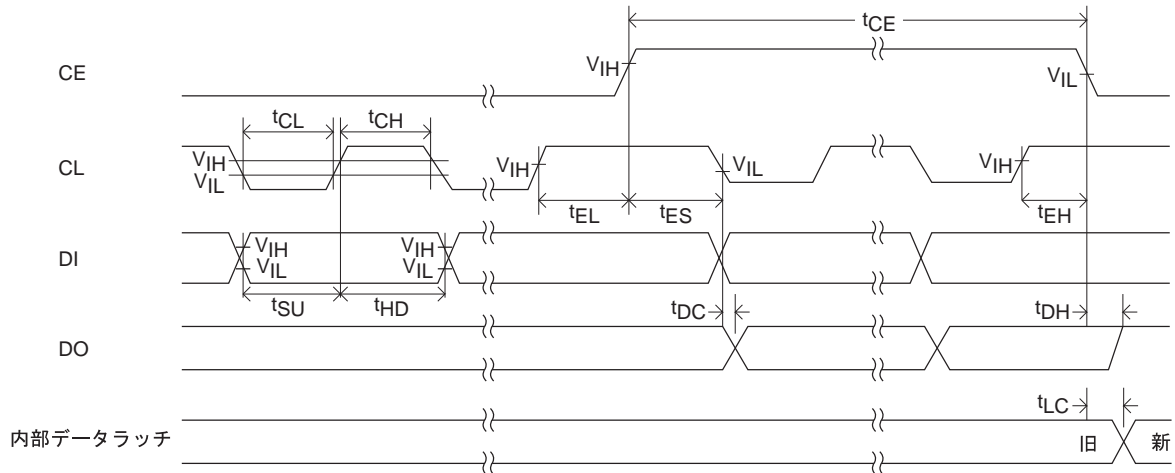


- (注意) 1. DO 端子は Nch オープンドレイン端子のため、プルアップ抵抗の値によってデータ変化時間 (t_{DC} , t_{DH}) は異なる。
2. CE, CL, DI, DO 端子は他の CCB インターフェースを持つ LSI と共通に接続利用ができる (マイコンのポートが許すならば DO, CE 端子は別接続とする方が好ましい)。
3. シリアルデータの入出力は水晶発振回路が発振してからアクセス可能となる。

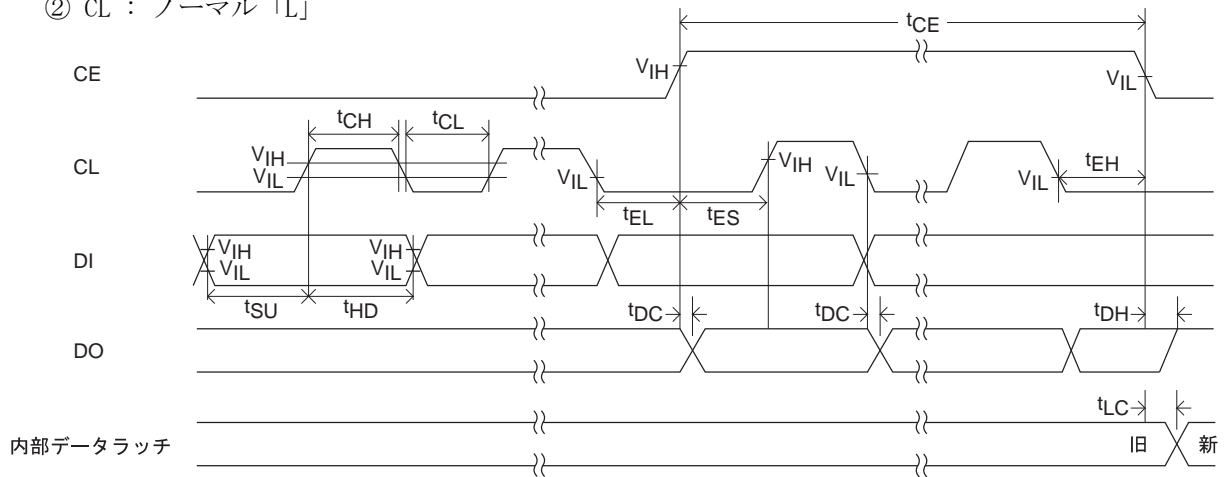
LC72722PM

(3) シリアルデータのタイミング

① CL : ノーマル「H」



② CL : ノーマル「L」



項目	記号	端子	条件	Min	Typ	Max	単位
データセットアップ時間	t_{SU}	DI, CL		0.75			μs
データホールド時間	t_{HD}	DI, CL		0.75			μs
クロック「L」レベル時間	t_{CL}	CL		0.75			μs
クロック「H」レベル時間	t_{CH}	CL		0.75			μs
CE ウェイト時間	t_{EL}	CE, CL		0.75			μs
CE セットアップ時間	t_{ES}	CE, CL		0.75			μs
CE ホールド時間	t_{EH}	CE, CL		0.75			μs
CE「H」レベル時間	t_{CE}	CE				20	ms
データラッチ変化時間	t_{LC}					1.15	μs
データラッチ出力時間	t_{DC}	DO, CL	プルアップ抵抗の値によって異なる。			0.46	μs
	t_{DH}	DO, CE				0.46	μs

DO 端子の動作

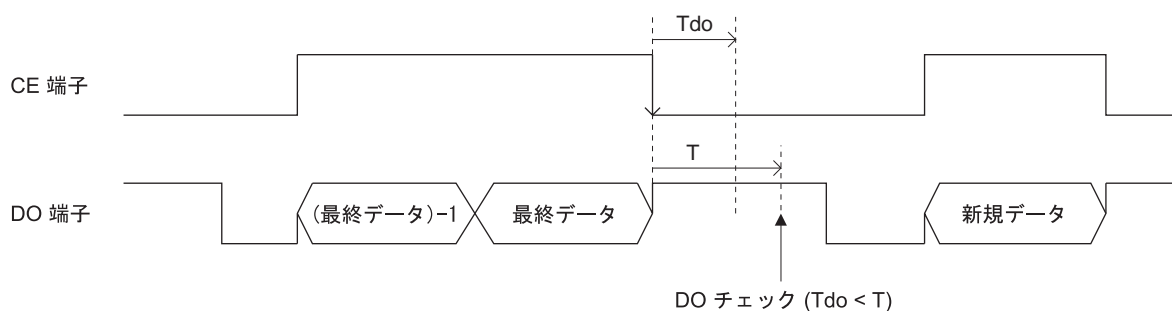
本 LSI は、24 ブロック分のデータバッファ (RAM) を内蔵しており、新規にデータが 1 ブロック分 RAM に書き込まれた時点で読み出しリクエスト (DO 端子 : High→Low) が出力される。

DO 端子は、一旦読み出しが実行され、CE が Low となった後一定期間 ($T_{do}=265\mu\text{s}$) 必ず High 状態になる。データバッファの内容を全て読み出した場合は、DO 端子は新規にデータが 1 ブロック分 RAM に書き込まれるまで High 状態を保持する。データバッファに読み出されていないデータが残っている場合は、 T_{do} 時間後 Low 状態となる。

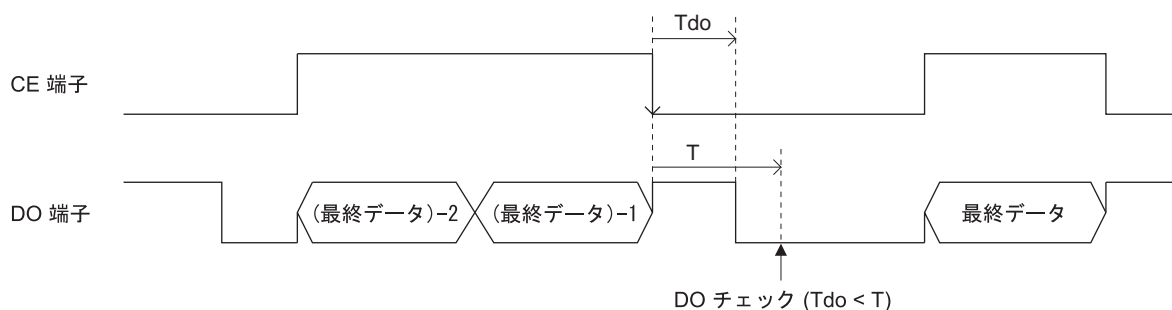
同期リセットした場合は、DO 端子は High になり同期確立するまで High 状態を保持する。その後同期した時点で Low となる。

① DO 端子がデータ読み出し後、 $265\mu\text{s}$ (T_{do}) 以降で High の場合

データバッファは新規データが書き込まれていない空状態である。この後 DO 端子が Low になった場合は 480ms 以内にデータ読み出しを開始すれば、データバッファに新規データがオーバーライトされることはない。

② DO 端子がデータ読み出し後、 $265\mu\text{s}$ (T_{do}) 以降で Low の場合

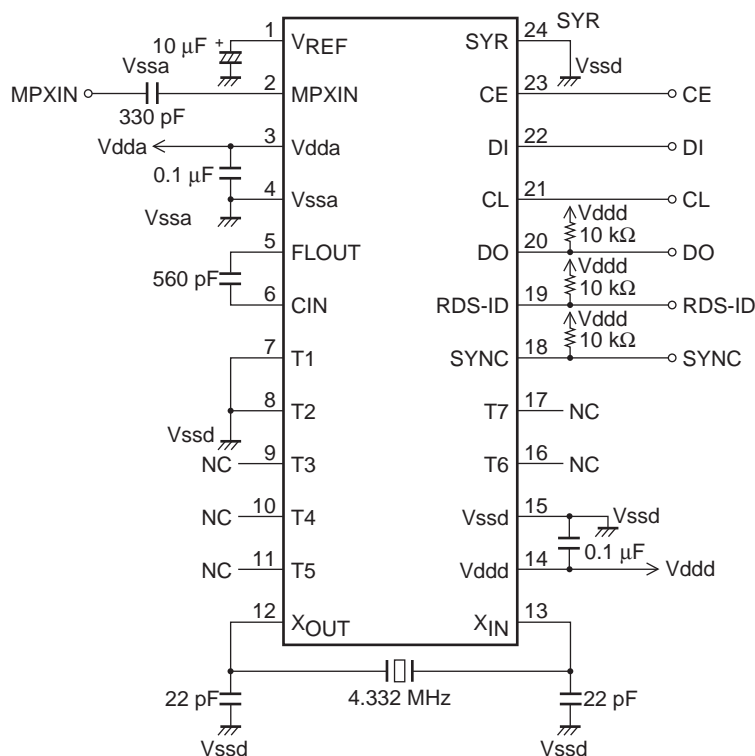
データバッファには読み出されていないデータが残っている。この場合 20ms 以内 (ワーストケース) にデータ読み出しを開始すれば、データバッファに新規データがオーバーライトされることはない。



- (注意) 1. 上記タイミングで DO レベルを判定することでバッファ内にデータが残っているかどうか判断することもできるが、シリアルデータ内の RE, RF フラグを参照して判断する方が容易である。
2. 1 ブロックずつデータを読み出すのではなく、上記のように連続して複数ブロックのデータを読み出す事が可能である。この場合はデータ中のフラグ (RE, RF) を参照しながら読み出しを行えば、RAM の残量が判定できる。但し 1 回のデータ読み出し時間 (CE 端子 High 期間) は 20ms 以内とすること。
3. CCB インターフェースを持つ他の LSI の DO と共通に接続して用いる場合、どの LSI が読み出しリクエストを出しているのか識別する必要がある。ひとつの方法として、一旦 LC72722PM のデータを読み出して、意味のあるデータが出力されているか否か (LC72722PM がリクエストしていない場合読み出しデータはゼロが連続する)、もしくは、読み出し終了後 $265\mu\text{s}$ 内に DO レベルが Low となっているか否か (Low であれば他の LSI のリクエスト) の確認によって識別することができる。

LC72722PM

応用回路例



- 注意事項 1. DO 端子のプル UP 抵抗値はシリアルデータ転送速度を考慮して決定すること。
 2. SYR 端子を未使用の場合、グランドに接続すること。

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC72722PM-MPB-E	SOIC24 W / MFP24 (375mil) (Pb-Free)	25 / Fan-Fold
LC72722PM-TLM-E	SOIC24 W / MFP24 (375mil) (Pb-Free)	1000 / Tape & Reel

† テープ&リール仕様(製品配置方向、テープサイズ含む)に関する情報については、Tape and Reel Packaging Specificationsパンフレット(BRD8011/D)をご参照ください。http://www.onsemi.com/pub_link/Collateral/BRD8011-D.PDF

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor 及び ON Semiconductor のロゴは ON Semiconductor という商号を使う Semiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductor は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的所有権に対する権利を保有します。ON Semiconductor の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。 www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductor は、本書記載の製品の変更を行うことがあります。ON Semiconductor は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductor によって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor 製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductor データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductor は、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor 製品は、生命維持装置や、いかなる FDA (米国食品医薬品局) クラス3の医療機器、FDA が管轄しない地域において同一もしくは類似のものと同様に分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に ON Semiconductor 製品を購入または使用した場合、たとえ、ON Semiconductor がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductor とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductor は雇用機会均等 / 差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。