

LE25S40MB

Serial Flash Memory 4 Mb (512K x 8)

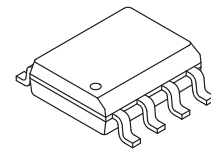


ON Semiconductor®

www.onsemi.jp

概要

LE25S40MB は、512K×8 ビット構成の SPI バス対応のフラッシュメモリで、1.8 V 単一電源対応となっている。シリアルフラッシュメモリの特長を生かし、8 pin パッケージに収納されている。この特長から、携帯電話機器などの小型化が要求されるアプリケーションのプログラム格納に最適である。また、小セクタイレーズ機能により、比較的書き換え回数が少なく、EEPROM では容量不足となるパラメータやデータ格納に適している。



SOIC-8 / SOP8K (200 mil)

特長

- 1.8 V 単一電源によるリード/ライト動作が可能 :
電源電圧範囲 1.65 V ~ 1.95 V
- 動作周波数 : 40 MHz
- 温度範囲 : -40 ~ +85°C
- シリアルインタフェース : SPI Mode0, Mode3 対応
- セクタサイズ : 4K バイト/小セクタ, 64K バイト/セクタ
- 小セクタイレーズ, セクタイレーズ, チップイレーズ機能
- ページプログラム機能 : 256 バイト/ページ
- ブロックプロテクト機能
- 高信頼性リード/ライト
 - 書換え回数 : 100,000 回
 - 小セクタイレーズ時間 : 40 ms (typ), 150 ms (max)
 - セクタイレーズ時間 : 80 ms (typ), 250 ms (max)
 - チップイレーズ時間 : 300 ms (typ), 3.0 s (max)
 - ページプログラム時間 : 6.0 ms / 256 バイト (typ), 8.0 ms / 256 バイト (max)
- ステータス機能 : レディー/ビジー情報、プロテクト情報
- データ保持期間 : 20 年
- パッケージ : SOP8K (200mil)

この製品は米国 SST 社 (Silicon Storage Technology, Inc.) のライセンスを受けています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 22 of this data sheet.

LE25S40MB

外形図

unit : mm

SOIC-8 / SOP8K (200 mil)

CASE 751CV

ISSUE 0

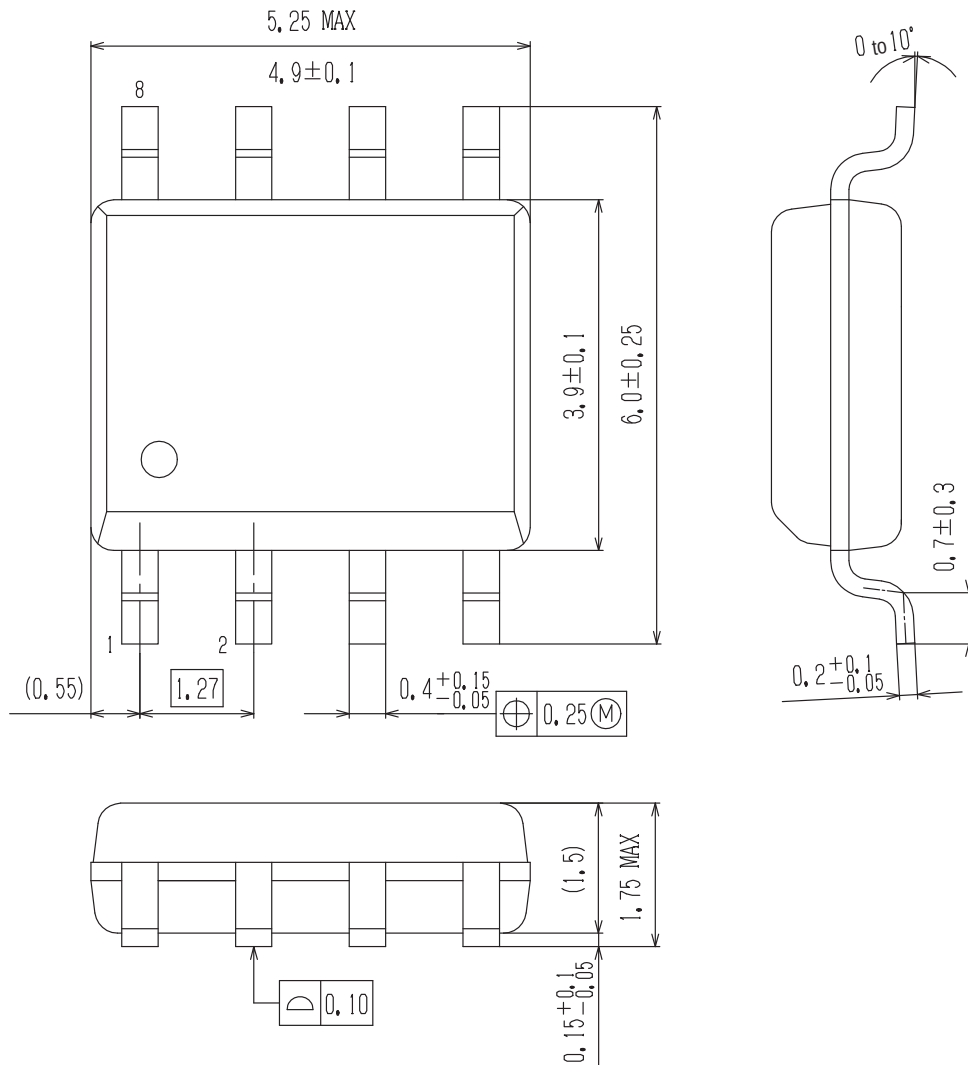
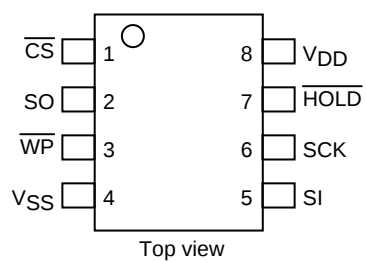


図 1 : ピン配置図



LE25S40MB

図 2：ブロック図

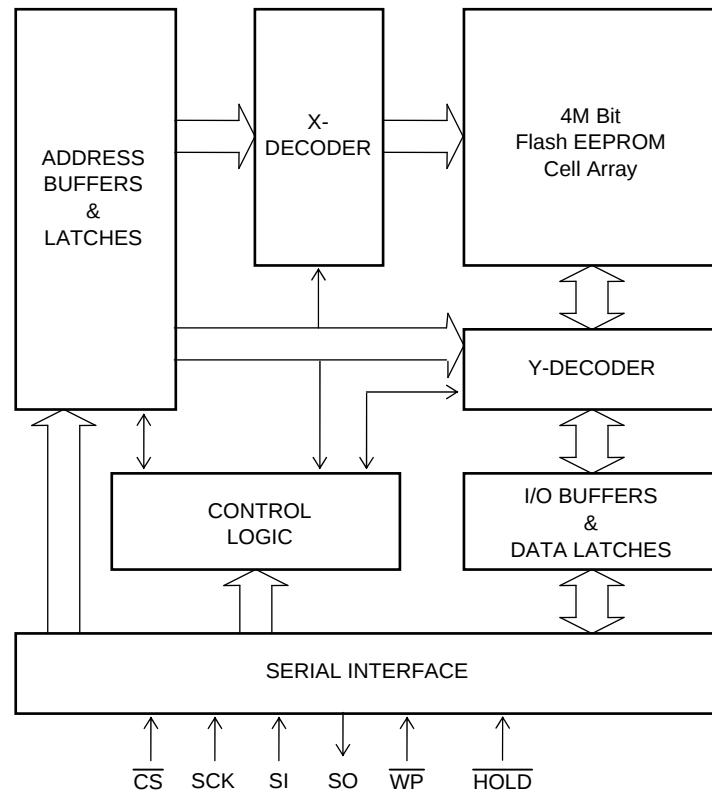


表 1：端子説明

記号	端子名	機能
SCK	シリアルクロック	データの入出力タイミングを制御するピン。 立ち上がりに同期して入力データやアドレスをラッチし、立ち下がりに同期してデータを出力する。
SI	シリアルデータ入力	このピンからデータやアドレスが入力され、シリアルクロックの立ち上がりに同期して内部にラッチされる。
SO	シリアルデータ出力	シリアルクロックの立ち下がりに同期して、このピンからデバイス内部に格納されたデータが出力される。
$\overline{\text{CS}}$	チップセレクト	このピンが論理低レベルの時、デバイスはアクティブとなる。 このピンが論理高レベルの時、デバイスは非選択となりスタンバイ状態となる。
$\overline{\text{WP}}$	ライトプロテクト	このピンが論理低レベルの時、ステータスレジスタライトプロテクト SRWP が有効となる。
HOLD	ホールド	このピンが論理低レベルの時、シリアルコミュニケーションが中断される。
V _{DD}	電源	電源電圧 1.65 V～1.95 V を供給する。
V _{SS}	接地	電源電圧 0 V を供給する。

LE25S40MB

デバイス動作

リード、イレーズ、プログラムおよびその他必要な動作は、シリアル入力コマンドを入力することで制御する。図3にシリアル入出力波形と表2にコマンド一覧を示す。

CSが立ち下がるとデバイスが選択され、コマンドやアドレス等がシリアルに入力可能となる。これらの入力は8bit単位で格納され、SCKの立ち上がりにより同期し順次内部に取り込まれ、入力されたコマンドに従った動作が実行される。LE25S40MBはシリアルインタフェース SPI mode0 と SPI mode3の双方に対応している。CSが立ち下がる際に、SCKが論理低レベル状態にあれば SPI mode0、高レベル状態にあれば SPI mode3 が自動的に選択される。

図3：入出力波形

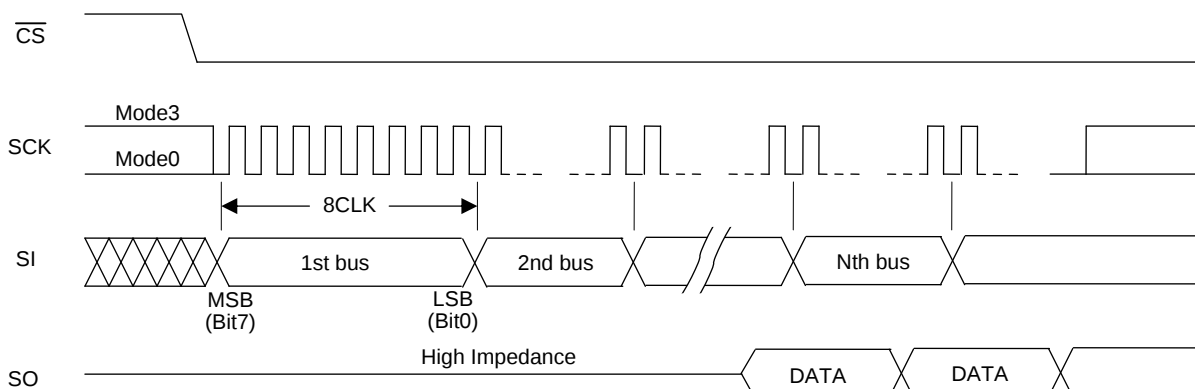


表2：コマンド一覧

コマンド	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第nバス サイクル
リード	03h	A23-A16	A15-A8	A7-A0	RD *1	RD *1	RD *1
	0Bh	A23-A16	A15-A8	A7-A0	X	RD *1	RD *1
小セクタイレーズ	20h/D7h	A23-A16	A15-A8	A7-A0			
セクタイレーズ	D8h	A23-A16	A15-A8	A7-A0			
チップイレーズ	60h/C7h						
ページプログラム	02h	A23-A16	A15-A8	A7-A0	PD *2	PD *2	PD *2
ライトイネーブル	06h						
ライトディセーブル	04h						
パワーダウン	B9h						
ステータス レジスタリード	05h						
ステータス レジスタライト	01h	DATA					
JEDEC ID リード	9Fh						
ID リード	ABh	X	X	X			
パワーダウン	B9h						
パワーダウン からの抜け出し	ABh						

表2の説明:

Xは don't care つまり、いずれの値を入力してもかまわないという意味である。

各コードの後ろの h は 16 進の数値を表記していることを意味する。

すべてのコマンドについて A23-A19 は don't care となる。

*1. RD : リードデータ。

*2. PD : ページプログラムデータ。

LE25S40MB

表 3 : アドレスマップ
4MBit

セクタ (64KB)	小セクタ (4KB)	アドレス空間 (A23-A0)	
7	127	07F000h	07FFFFh
	112	070000h	070FFFh
6	111	06F000h	06FFFFh
	96	060000h	060FFFh
5	95	05F000h	05FFFFh
	80	050000h	050FFFh
4	79	04F000h	04FFFFh
	64	040000h	040FFFh
3	63	03F000h	03FFFFh
	48	030000h	030FFFh
2	47	02F000h	02FFFFh
	32	020000h	020FFFh
1	31	01F000h	01FFFFh
	16	010000h	010FFFh
0	15	00F000h	00FFFFh
	2	002000h	002FFFh
	1	001000h	001FFFh
	0	000000h	000FFFh

コマンドと動作説明

コマンドに対応する機能と動作の詳細な説明を次に示す。

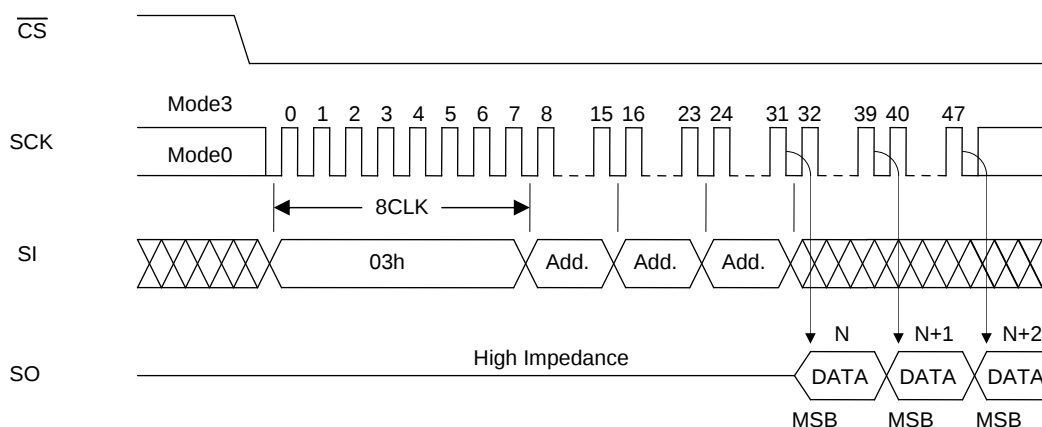
1. 標準 SPI リード

標準 SPI リードには、リードコマンドと高速リードコマンドの 2 種類がある。

1-1. リードコマンド

リードコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(03h)に続けて 24 ビットのアドレスを入力する。データの出力は、第 4 バスサイクル Bit0 の立ち上がりクロックを基準に S0 から出力される。図 4-a：リードのタイミング波形を示す。

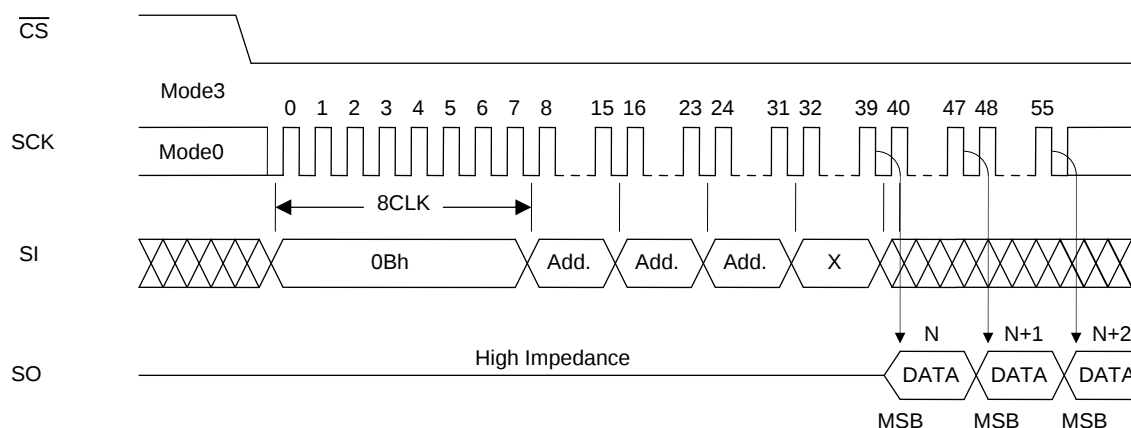
図 4-a：リード



1-2. 高速リードコマンド

高速リードコマンドは、第 1 バスサイクルから第 5 バスサイクルで構成され、(0Bh)に続けて 24 ビットのアドレスと 8 ビットのダミービットを入力する。データ出力は、第 5 バスサイクル Bit0 の立ち上がりクロックを基準に S0 から出力される。図 4-b：高速リードのタイミング波形を示す。

図 4-b：高速リード



リードコマンドを入力し、指定したアドレスのデータを出力した後に SCK を入力し続けると、SCK を入力している期間中デバイス内部でアドレスを自動的にインクリメントして、それに対応したデータを順に出力する。クロックの入力を続け、内部のアドレスが最上位アドレス (7FFFh) に達しデータが出力された後、なおも SCK の入力が続く場合、内部のアドレスは最下位アドレス (0000h) に戻ってデータの出力が続く。 $\overline{CS}$ を論理高レベルにすることで、デバイスは非選択になり、リードサイクルは終了する。デバイスの非選択時は、出力端子 S0 は高インピーダンスの状態となる。

2. ステータスレジスタ

ステータスレジスタとは、デバイスの内部の動作状態や設定状態を保持しており、その情報の読み出し(ステータスレジスタリード)や、プロテクト情報の書き換え(ステータスレジスタライト)が可能である。レジスタは全部で8ビットあり、それぞれのビットの意味を表4：ステータスレジスタに示す。

表4：ステータスレジスタ

ビット	名称	論理	機能	電源投入時
Bit0	$\overline{\text{RDY}}$	0	レディー状態	0
		1	イレーズ/プログラム状態	
Bit1	WEN	0	ライト禁止状態	0
		1	ライト可能状態	
Bit2	BP0	0	ブロックプロテクト情報 ステータスレジスタ BP0, BP1, BP2 の項、 参照	不揮発情報
		1		
Bit3	BP1	0		不揮発情報
		1		
Bit4	BP2	0		不揮発情報
		1		
Bit5	TB	0	ブロックプロテクト 上位側/下位側切り替え	不揮発情報
		1		
Bit6			リザーブビット	0
Bit7	SRWP	0	ステータスレジスタライト可能状態	不揮発情報
		1	ステータスレジスタライト禁止状態	

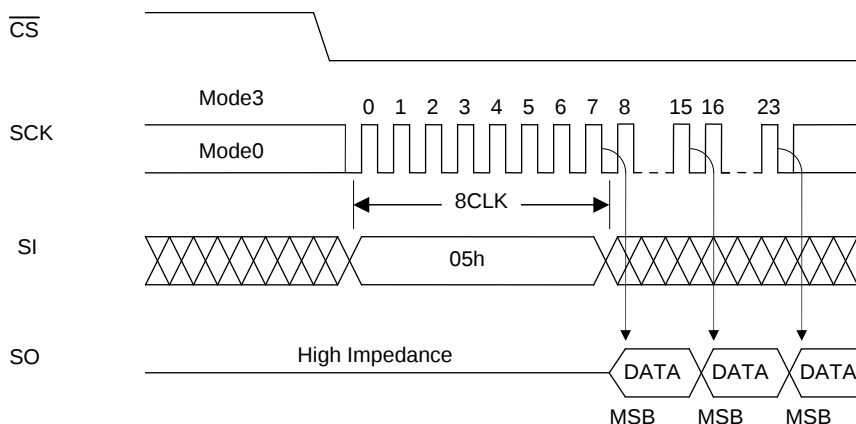
2-1. ステータスレジスタリード

ステータスレジスタリードにより、ステータスレジスタの内容を読み出すことができる。ステータスレジスタリードは、下記の動作中にも行うことが可能である。

- ・小セクタイレーズ、セクタイレーズ、チップイレーズ
- ・ページプログラム
- ・ステータスレジスタライト

図5：ステータスレジスタリードにステータスレジスタリードのタイミング波形を示す。ステータスレジスタコマンドは、第1バスサイクルのみで構成され、(05h)の8ビット目を入力したクロック(SCK)の立ち下りに同期して、ステータスレジスタの内容が出力される。出力される順序はSRWP(Bit7)が最初で、1クロックが入力されるたびにその立ち下がりに同期してRDY(Bit0)までのデータが順に出力される。RDY(Bit0)が出力された後、なおもクロックの入力が続く場合、最初に出力されたビット(SRWP)に戻って、データ出力が出力され、以後クロック入力が続く限り出力が繰り返される。ステータスレジスタリードは、いつでも(プログラム、イレーズサイクル中も)読出すことが可能である。

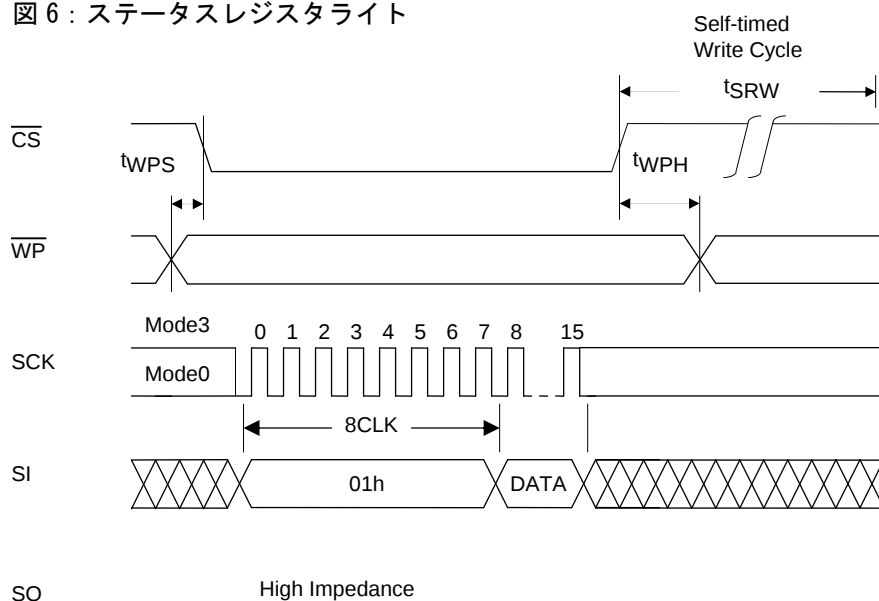
図5：ステータスレジスタリード



2-2. ステータスレジスタライト

ステータスレジスタライトにより、ステータスレジスタの BP0、BP1、BP2、TB、SRWP を書換えることができる。RDY、WEN と Bit6 はリードオンリーであり書換えることはできない。BP0、BP1、BP2、TB、SRWP は不揮発メモリに記憶しており、書き込みを行うと電源を切断してもその内容は保持される。図 6：ステータスレジスタライトに動作波形を、また、図 19 にステータスレジスタライトのフローチャートを示す。ステータスレジスタライトコマンドは、第 1 バスサイクルと第 2 バスサイクルで構成され、(01h)に続けて DATA を入力した後、CSを立ち上げることで内部のライト動作が始まる。ステータスレジスタライトは、デバイス内部で自動的にイレーズ、プログラムが行われるので、あらかじめ消去などの処理を行う必要はない。この操作で BP0、BP1、BP2、TB、SRWP の書換えを行うことができる。ステータスレジスタライト時に、書換えを行うことのできないビット、つまり、RDY (Bit0)、WEN (Bit1)、Bit6 にデータを設定しても書き込みは行われないので、いずれの値に設定しても不具合は発生しない。ステータスレジスタライトの終了は、ステータスレジスタリードのRDYにより検知することができる。ステータスレジスタライトを行うには、WPピンを論理高レベル、ステータスレジスタの WEN を “1” 状態にしておく必要がある。

図 6：ステータスレジスタライト



2-3. 各ステータスレジスタの内容

RDY (Bit0)

RDYは、ライト(プログラム、イレーズ、およびステータスレジスタライト)の終了を検知するためのレジスタである。RDYが “1” 状態の場合、デバイスはビジー状態であり、“0” 状態であればライトが終了していることを示す。

WEN (Bit1)

WEN は、デバイスがライト可能であるかどうかを検知するためのレジスタである。WEN が “0” 状態であれば、ライトコマンドを入力しても、デバイスはライト動作を行わない。WEN が “1” 状態であれば、ブロックプロテクトされていない領域にライトを行うことが可能である。

WEN は、ライトイネーブルコマンドおよびライトディセーブルコマンドにより、コントロールできる。ライトイネーブルコマンド(06h)を入力することにより、WEN は “1” 状態に、また、ライトディセーブルコマンド(04h)を入力することにより “0” 状態にすることができる。また、下記の状態の時は、不要な書き込みを防止するため自動的に WEN が “0” 状態となる。

- ・電源投入時
- ・小セクタイレーズ、セクタイレーズ、チップイレーズの終了後
- ・ページプログラムの終了後
- ・ステータスレジスタライトの終了後

LE25S40MB

*各ライト動作(小セクタイレーズ、セクタイレーズ、チップイレーズ、ページプログラム、ステータスレジスタライト)への入力コマンドが不成立、プロテクトされたアドレスへのライト動作等、LE25S40MB 内部でライト動作が行われなかった場合、WEN は、そのコマンド発行前の状態を維持する。また、リード動作によって WEN の状態が変わることはない。

BP0、BP1、BP2、TB(Bit2、3、4、5)

ブロックプロテクト BP0、BP1、BP2、TB は書き込みを行うことが可能なステータスレジスタビットで、その内容によりプロテクトするメモリ空間を設定することができる。設定条件は表 5：プロテクトレベル設定条件を参照すること。BP0、BP1、BP2 はプロテクト領域を切替え、TB はプロテクト領域を上位アドレス側か下位アドレス側に切替える。

表 5：プロテクトレベル設定条件

プロテクトレベル	ステータスレジスタビット				プロテクト領域
	TB	BP2	BP1	BP0	
0(全領域アンプロテクト)	X	0	0	0	無し
T1(上位 1/8 プロテクト)	0	0	0	1	07FFFFh～070000h
T2(上位 1/4 プロテクト)	0	0	1	0	07FFFFh～060000h
T3(上位 1/2 プロテクト)	0	0	1	1	07FFFFh～040000h
B1(下位 1/8 プロテクト)	1	0	0	1	00FFFFh～000000h
B2(下位 1/4 プロテクト)	1	0	1	0	01FFFFh～000000h
B3(下位 1/2 プロテクト)	1	0	1	1	03FFFFh～000000h
4(全領域プロテクト)	X	1	X	X	07FFFFh～000000h

*プロテクトレベルが 0 の時のみ、チップイレーズ可能

SRWP (Bit7)

ステータスレジスタライトプロテクト SRWP は、ステータスレジスタのプロテクトを行うためのビットで書換えを行うことが可能である。SRWP が“1”状態、かつ、 $\overline{\text{WP}}$ ピンが論理低レベルである時、ステータスレジスタライトコマンドは無視され、ステータスレジスタの BP0、BP1、BP2、TB、SRWP は保護される。 $\overline{\text{WP}}$ ピンが論理高レベルである時は、SRWP の状態にかかわらず、ステータスレジスタはプロテクトされない。SRWP 設定条件を表 6：SRWP 設定条件に示す。

表 6：SRWP 設定条件

$\overline{\text{WP}}$ ピン	SRWP	ステータスレジスタ プロテクト状態
0	0	アンプロテクト
	1	プロテクト
1	0	アンプロテクト
	1	アンプロテクト

Bit6 はリザーブビットとなっており意味を持っていない。

3. ライトイネーブル

下記の動作を行う前には、あらかじめデバイスをライトイネーブル状態にしておく必要がある。これは、ステータスレジスタの WEN を“1”状態にする操作と同じで、ライトイネーブルコマンドの入力を行うことで可能になる。図7：ライトイネーブルに、ライトイネーブル動作を行う場合のタイミング波形を示す。ライトイネーブルコマンドは、第1バスサイクルのみで構成され、(06h)を入力することにより行われる。

- ・小セクタイレズ、セクタイレズ、チップイレズ
- ・ページプログラム
- ・ステータスレジスタライト

4. ライトディセーブル

ライトディセーブルは、ステータスレジスタの WEN を“0”状態にセットし、不用意なライトを禁止するコマンドである。図8：ライトディセーブルにタイミング波形を示す。ライトディセーブルコマンドは、第1バスサイクルのみで構成され、(04h)を入力する。ライトディセーブル状態(WEN “0”)からの抜け出しは、ライトイネーブルコマンド(06h)で WEN “1”にすることにより行われる。

図7：ライトイネーブル

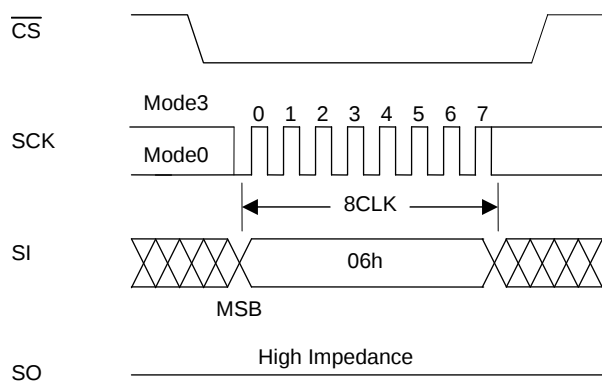
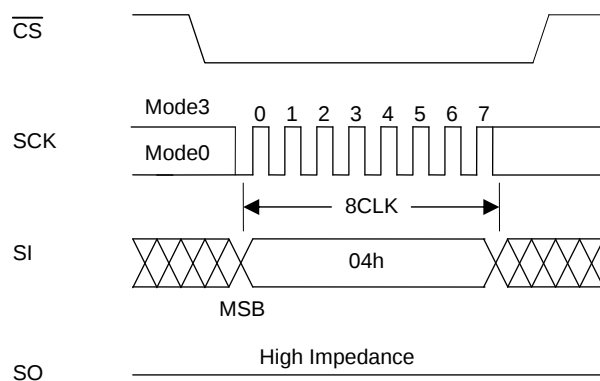


図8：ライトディセーブル



5. パワーダウン

パワーダウンは、シリコン ID リードとパワーダウンからの抜け出しコマンド以外の、全てのコマンドを受け付け禁止状態(パワーダウン)にするコマンドである。図9：パワーダウンにタイミング波形を示す。パワーダウンコマンドは、第1バスサイクルのみで構成され、(B9h)を入力する。ただし、内部ライト動作実行中のパワーダウンコマンドは無視される。一方、パワーダウンからの抜け出しは、パワーダウンからの抜け出しコマンドで行う(シリコン ID リードコマンド(ABh)の1バスサイクル以上が入力された場合も、パワーダウンから抜け出す)。図10：パワーダウンからの抜け出しに、パワーダウンからの抜け出しコマンドのタイミング波形を示す。

図9：パワーダウン

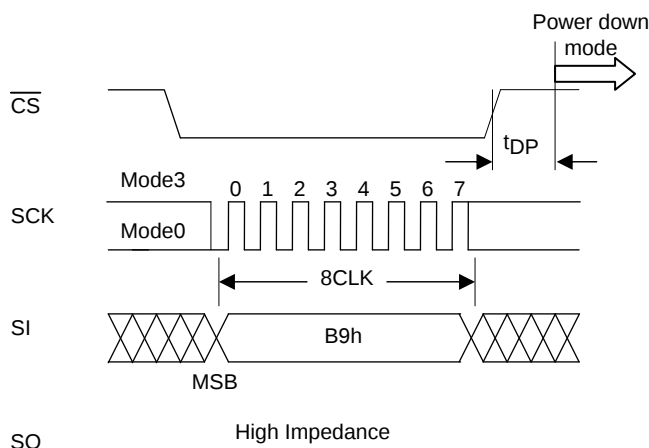
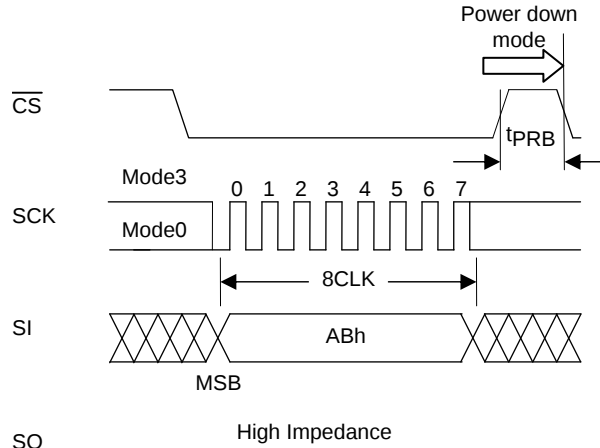


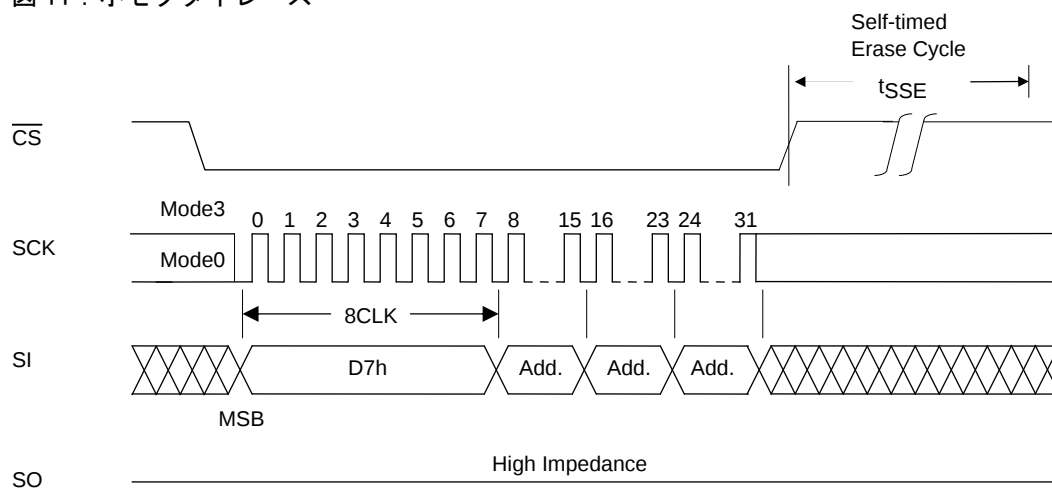
図10：パワーダウンからの抜け出し



6. 小セクタイレーズ

小セクタイレーズは、任意の小セクタのメモリセルデータを“1”状態にする操作である。小セクタは 4Kbyte で構成される。図 11：小セクタイレーズにタイミング波形を、図 20 にフローチャートを示す。小セクタイレーズコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(20h) 又は (D7h) に続けて 24 ビットのアドレスを入力する。アドレスは、A18～A12 が有効で、A23～A19 は、don't care となっている。コマンドの入力終了後、 $\overline{\text{CS}}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ ($\overline{\text{RDY}}$) を用いて検知することができる。

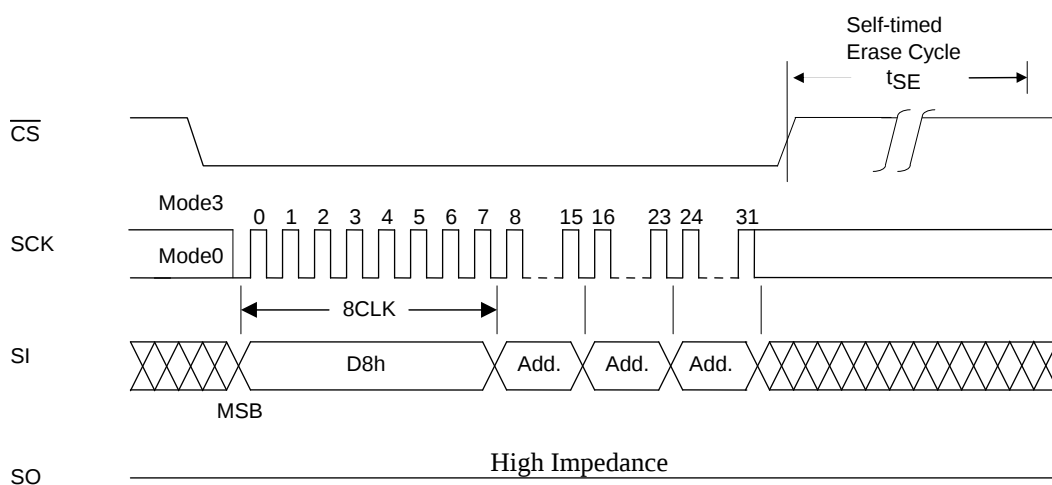
図 11：小セクタイレーズ



7. セクタイレーズ

セクタイレーズは、任意のセクタのメモリセルデータを“1”状態にする操作である。セクタは 64Kbyte で構成される。図 12：セクタイレーズにタイミング波形を、図 20 にフローチャートを示す。セクタイレーズコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(D8h) に続けて 24 ビットのアドレスを入力する。アドレスは、A18～A16 が有効で、A23～A19 は、don't care となっている。コマンドの入力終了後、 $\overline{\text{CS}}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ ($\overline{\text{RDY}}$) を用いて検知することができる。

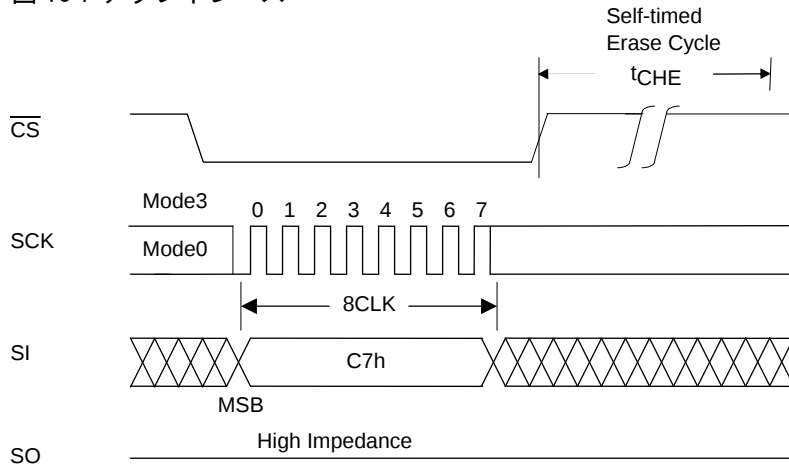
図 12：セクタイレーズ



8. チップイレーズ

チップイレーズは、全セクタのメモリセルデータを“1”状態にする操作である。図 13：チップイレーズにタイミング波形を、図 20 にフローチャートを示す。チップイレーズコマンドは、第 1 バスサイクルのみで構成され、(60h)又は(C7h)を入力することにより行われる。コマンド入力終了後、 $\overline{\text{CS}}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ(RDY)を用いて検知することができる。

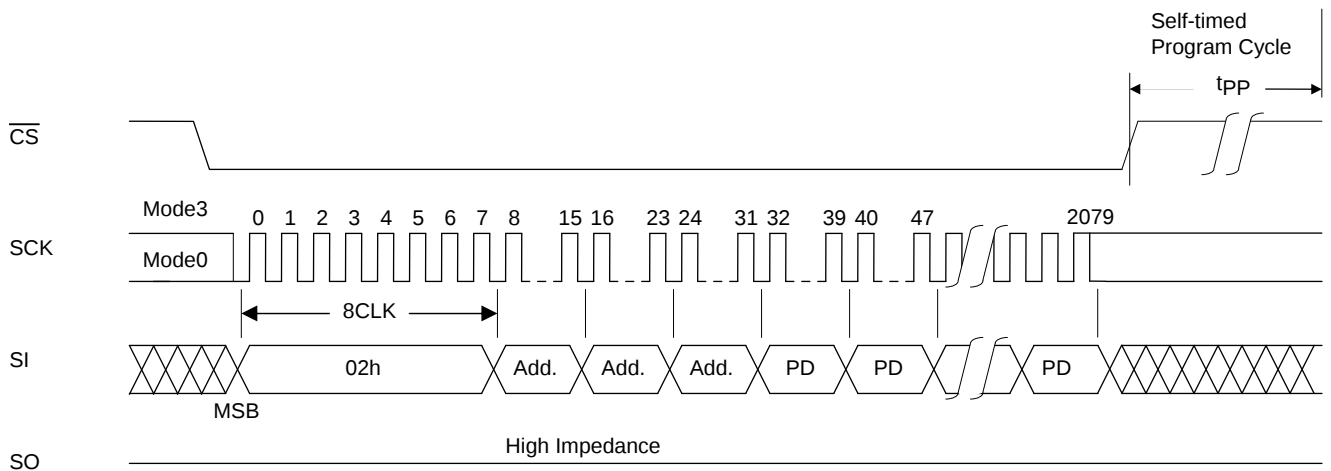
図 13：チップイレーズ



9. ページプログラム

ページプログラムは、セクタの同一ページ内(ページアドレス：A18～A8)に、1 バイトから 256 バイトの任意のバイト数をプログラムする操作である。プログラムを行うページはあらかじめ小セクタイレーズ、セクタイレーズあるいはチップイレーズで消去しておく必要がある。図 14：ページプログラムにページプログラムのタイミング波形を、図 21 にフローチャートを示す。 $\overline{\text{CS}}$ を立ち下げた後、コマンド(02H)を入力し、引き続き 24 ビットのアドレスを入力する。アドレスはA18～A0 が有効である。その後、 $\overline{\text{CS}}$ を立ち上げるまではクロックの立ち上がりの度にプログラムデータがロードされ、 $\overline{\text{CS}}$ が立ち上がるまでデータのロードが続く。ロードされるデータが 256 バイトを超えた場合は、最後にロードされた 256 バイトがプログラムされる。プログラムデータはバイト単位でロードする必要があり、それ以外のタイミングで $\overline{\text{CS}}$ を立ち上げた場合は、プログラム動作は行われない。

図 14：ページプログラム



10. シリコン ID リード

ID リードは、製造者コードとデバイス ID をリードするための操作である。なお、ID リードコマンドはライト中には受け付けられない。

ID リードを行う方法は 2 種類あり、それぞれにデバイス ID が割り当てられている。一つ目は、JEDEC ID リードコマンドを入力する方法である。第 1 バスサイクルのみで構成され、(9Fh)を入力し、その後のバスサイクルでは、JEDEC で割り当てられた製造者コード 62h、2 バイトのデバイス ID コード(メモリタイプ、メモリ容量)、リザーブコードが順に出力される。また、クロックの入力が続く限り、4 バイトのコードは繰り返し出力される。表 7-1：シリコン ID リード 1 に出力コード、図 15-a：JEDEC ID リードを示す。

二つ目の方法は、ID リードコマンドを入力する方法である。第 1 バスサイクルから第 4 バスサイクルで構成され、(ABh)に続けて 24 ビットのダミービットを入力すると、1 バイトのシリコン ID コードがリードできる。表 7-2：ID リードに出力コード、図 15-b：ID リードにタイミング波形を示す。デバイスコードを読み出した後、なおも SCK 入力が続く場合は、デバイスコードが出力され続ける。データ出力は、第 4 バスサイクル Bit0 の立下りクロックから出力され、 $\overline{CS}$ を立ち上げる事でシリコン ID リードは終了する。

表 7-1：JEDEC ID リード

出力コード		
製造者コード		62h
2 バイト デバイス ID	メモリタイプ	16h
	メモリ容量コード	13h(4MBit)
リザーブコード		00h

表 7-2：ID リード

出力コード	
1 バイト デバイス ID	3E (LE25S40MB)

図 15-a：JEDEC ID リード

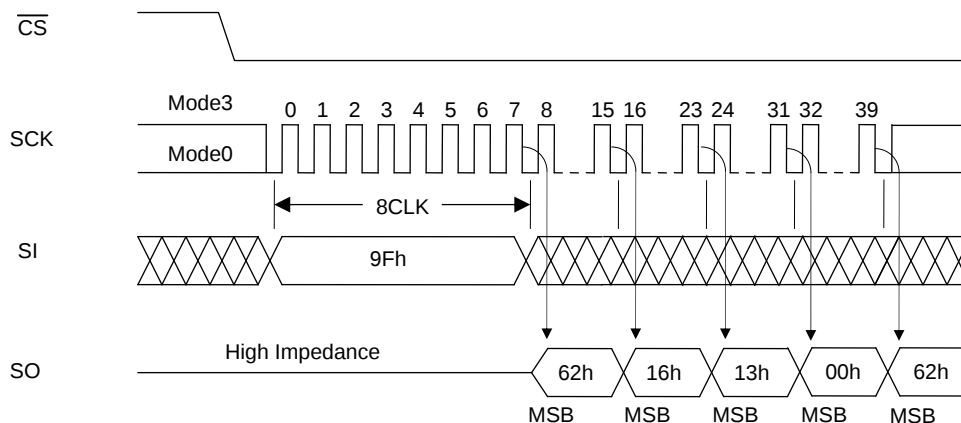
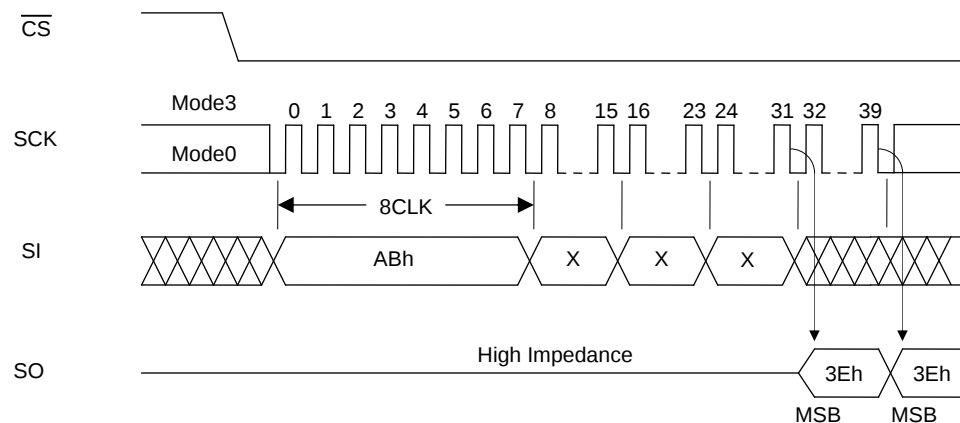


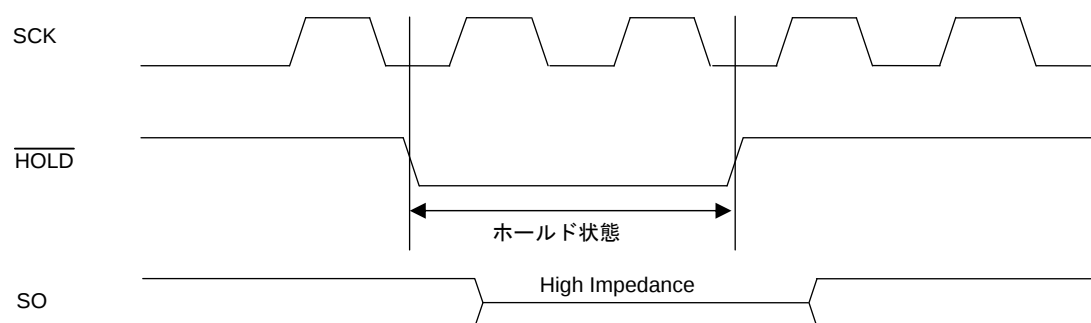
図 15-b：ID リード



11. ホールド機能

HOLDピンによるホールド機能は、シリアルコミュニケーションを中断(ホールド状態)するために使用する。図 16 : $\overline{\text{HOLD}}$ にタイミング波形を示す。SCK が低レベルで $\overline{\text{HOLD}}$ を立ち下げると、デバイスはホールド状態となり、 $\overline{\text{HOLD}}$ を立ち上げると、ホールド状態から抜けだす。SCK が高レベルの時に、 $\overline{\text{HOLD}}$ の立ち下げ、立ち上げを行わないこと。ホールド機能は、 $\overline{\text{CS}}$ が低レベルの時有効で、 $\overline{\text{CS}}$ を立ち上げると、ホールド状態から抜け、シリアルコミュニケーションはリセットされる。ホールド状態時、SO は Hi-Z 出力で SI、SCK は don't care となる。

図 16 : $\overline{\text{HOLD}}$

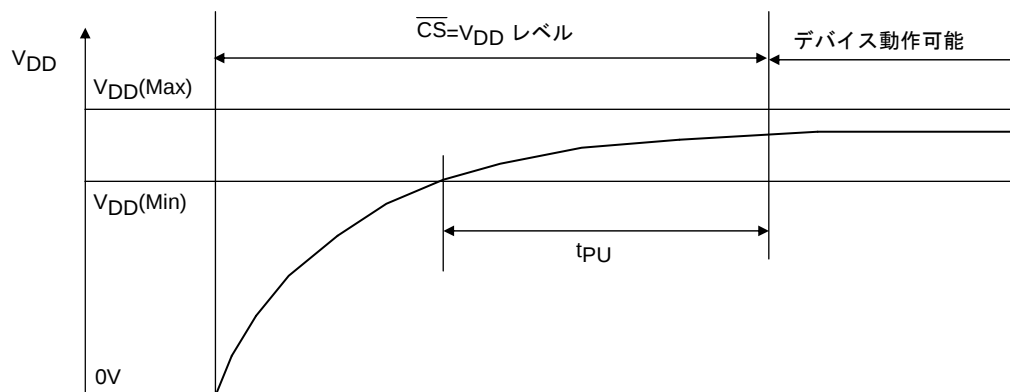


12. 電源投入

不用意な書き込みを防止するため、電源投入時は、 $\overline{\text{CS}}$ を $V_{CC}-0.3 \sim V_{DD}+0.3$ の範囲にしておくこと。デバイス動作の開始は、電源を投入し電源電圧が $V_{DD \text{ min.}}$ 以上で、電圧が安定した状態から t_{PU} 後に、コマンドを入力すること。

電源投入後、デバイスはスタンバイ状態となっており、パワーダウン状態ではない。パワーダウン状態にするには、パワーダウンコマンドを入力する必要がある。

図 17 : パワーオンタイミング

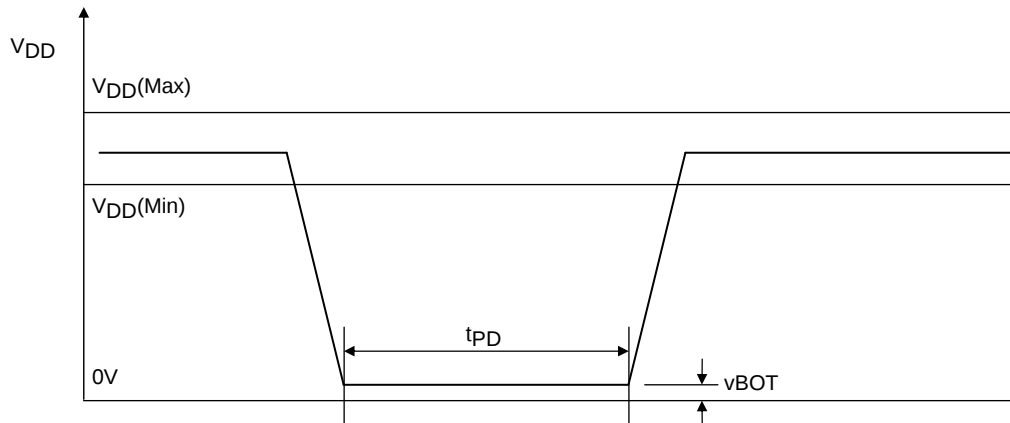


13. ハードウェアデータ保護

LE25S40MB は内部にパワーオンリセット機能がある。パワーリセット回路を安定に動作させるために、以下の条件を守ること。

また、書き込み期間中の電源の瞬断についてはそのデータは保証されない。

図 18 : パワーダウタイミング



電源投入タイミング

項目	記号	規格値		unit
		min	max	
電源投入から動作可能までの時間	t_{PU}	100		μs
電源立ち下げ時間	t_{PD}	10		ms
電源立ち下げ電圧	V_{BOT}		0.2	V

14. ソフトウェアデータ保護

LE25S40MB は、以下の条件ではコマンドを認識しないことにより、不用意な動作を無くしている。

- ・ライトコマンド入力時、 $\overline{CS}$ の立ち上げタイミングが、バスサイクル間(SCK の 8CLK 単位)で無い場合。
- ・ページプログラムのデータがバイト単位で無い場合。
- ・ステータスレジスタライトのコマンド入力が、2 バスサイクル以上の場合。

15. デカップリングコンデンサ

デバイスを安定に動作させるために、 $V_{DD}-V_{SS}$ 間に $0.1 \mu F$ のセラミックコンデンサをデバイスごとに付加すること。

LE25S40MB

絶対最大定格

項目	記号	条件	定格値	unit
最大電源電圧	V _{DD} max	V _{SS} 基準	-0.5~+2.4	V
全ピンDC 電圧	V _{IN} /V _{OUT}	V _{SS} 基準	-0.5~V _{DD} +0.5	V
保存温度	T _{stg}		-55~+150	°C

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

動作範囲

項目	記号	条件	定格値	unit
動作電源電圧	V _{DD}		1.65~1.95	V
動作周囲温度	T _{opr}		-40~+85	°C

DC許容動作条件

項目	記号	条件	min	typ	max	unit
リード時動作電流	I _{CCR}	SCK = 0.1V _{DD} / 0.9V _{DD} , HOLD = $\overline{\text{WP}}$ = 0.9V _{DD} 出力 = 開放, 25 MHz			6	mA
		SCK = 0.1V _{DD} / 0.9V _{DD} , HOLD = $\overline{\text{WP}}$ = 0.9V _{DD} 出力 = 開放, 40 MHz			8	mA
ライト時動作電流 (イレーズ+ ページプログラム)	I _{CCW}	t _{SSE} = t _{SE} = t _{CHE} = typ., t _{pp} = Max			15	mA
CMOS スタンバイ 電流	I _{SB}	$\overline{\text{CS}}$ = V _{DD} , $\overline{\text{HOLD}}$ = $\overline{\text{WP}}$ = V _{DD} , SI = V _{SS} /V _{DD} , SO = 開放			50	μA
パワーダウン スタンバイ電流	I _{DSB}	$\overline{\text{CS}}$ = V _{DD} , $\overline{\text{HOLD}}$ = $\overline{\text{WP}}$ = V _{DD} , SI = V _{SS} / V _{DD} , SO = 開放			10	μA
入力リーク電流	I _{LI}				2	μA
出力リーク電流	I _{LO}				2	μA
入力低電位	V _{IL}		-0.3		0.3V _{DD}	V
入力高電位	V _{IH}		0.7V _{DD}		V _{DD} +0.3	V
出力低電位	V _{OL}	I _{OL} = 100 μA, V _{DD} = V _{DD} min			0.2	V
		I _{OL} = 1.6 mA, V _{DD} = V _{DD} min			0.4	
出力高電位	V _{OH}	I _{OH} = -100 μA, V _{DD} = V _{DD} min	V _{CC} -0.2			V

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

データ保持、書換え回数

項目	条件	min	max	unit
書換え回数	プログラム/イレーズ	100,000		回/セクタ
	ステータスレジスタライト	1,000		
データ保持		20		年

注：書換え回数は、イレーズした回数になる。

端子容量/Ta=25°C, f=1MHz

項目	記号	条件	規格値	unit
			max	
出力端子容量	C _{S0}	V _{S0} =0V	12	pF
入力端子容量	C _{IN}	V _{IN} =0V	6	pF

注：このパラメータは全数測定されたものではなく、サンプル値である。

LE25S40MB

AC 特性

項目		記号	規格値			unit
			min	typ	max	
クロック周波数	リード動作(03h)	fCLK			25	MHz
	リード動作(03h)以外				40	MHz
入力信号立ち上がり/立ち下がり時間		t _{RF}	0.1			V/ns
SCK 高レベルパルス幅	25 MHz	t _{CLHI}	14			ns
	40 MHz		11.5			
SCK 低レベルパルス幅	25 MHz	t _{CLLO}	14			ns
	40 MHz		11.5			
CSセットアップ時間		t _{CSS}	10			ns
CSホールド時間		t _{CSH}	10			ns
データセットアップ時間		t _{DS}	5			ns
データホールド時間		t _{DH}	5			ns
CS待機パルス幅		t _{CPH}	25			ns
CSからの出力高インピーダンス時間		t _{CHZ}			15	ns
SCK からの出力データ時間		t _V		8	11	ns
出力データホールド時間		t _{HO}	1			ns
SCK からの出力低インピーダンス時間		t _{CLZ}	0			ns
WPセットアップ時間		t _{WPS}	20			ns
WPホールド時間		t _{WPH}	20			ns
HOLDセットアップ時間		t _{HS}	5			ns
HOLDホールド時間		t _{HH}	5			ns
HOLDからの出力低インピーダンス時間		t _{HLZ}			12	ns
HOLDからの出力高インピーダンス時間		t _{HHZ}			9	ns
ディープパワーダウン時間		t _{DP}			5	μs
ディープパワーダウンリカバリ時間		t _{PRB}			5	μs
ライトステータスレジスタ時間		t _{SRW}		8	10	ms
ページプログラムサイクル時間	256 Byte	t _{PP}		6	8	ms
	n Byte			0.15+ n*5.85/256	0.20+ n*7.80/256	ms
小セクタイレースサイクル時間		t _{SSE}		0.04	0.15	s
セクタイレースサイクル時間		t _{SE}		0.08	0.25	s
チップイレースサイクル時間		t _{CHE}		0.3	3.0	s

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

AC 試験条件

入力パルスレベル.....0.2V_{DD}~0.8V_{DD}

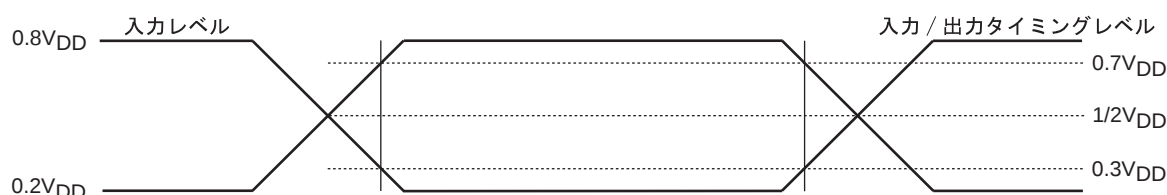
入力立ち上がり/立ち下がり時間.....5 ns

入力タイミングレベル.....0.3V_{DD}~0.7V_{DD}

出力タイミングレベル.....1/2 × V_{DD}

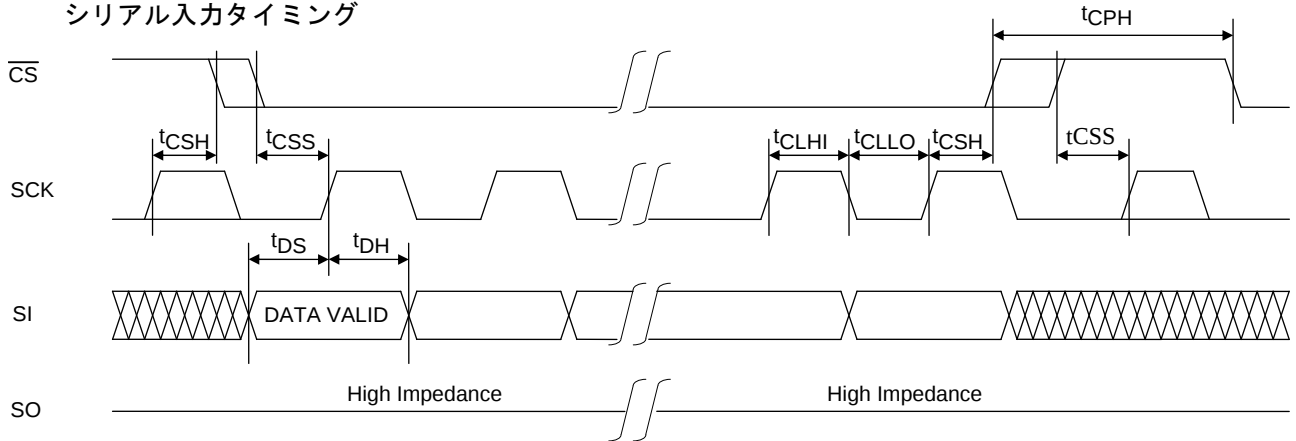
出力負荷.....15 pF

*注 : typ についての試験条件は、V_{DD} = 1.8 V、室温測定である。

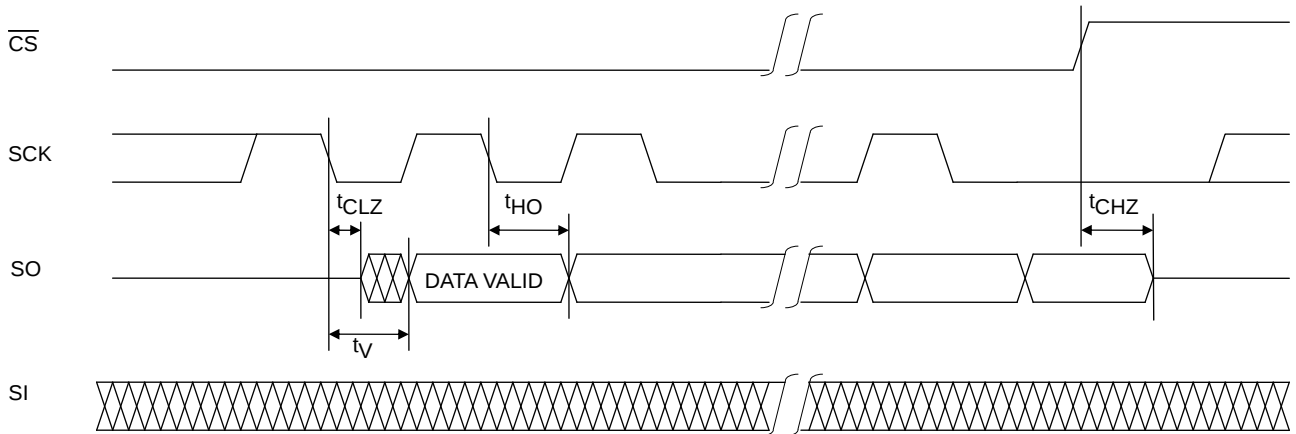


LE25S40MB

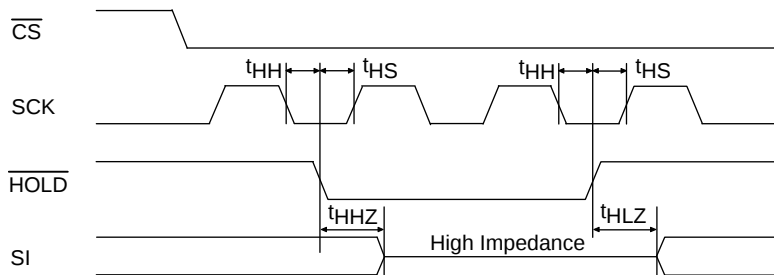
タイミング波形 シリアル入力タイミング



シリアル出力タイミング



ホールドタイミング



ステータスレジスタライトタイミング

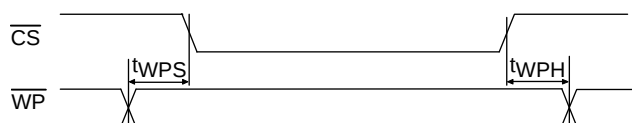
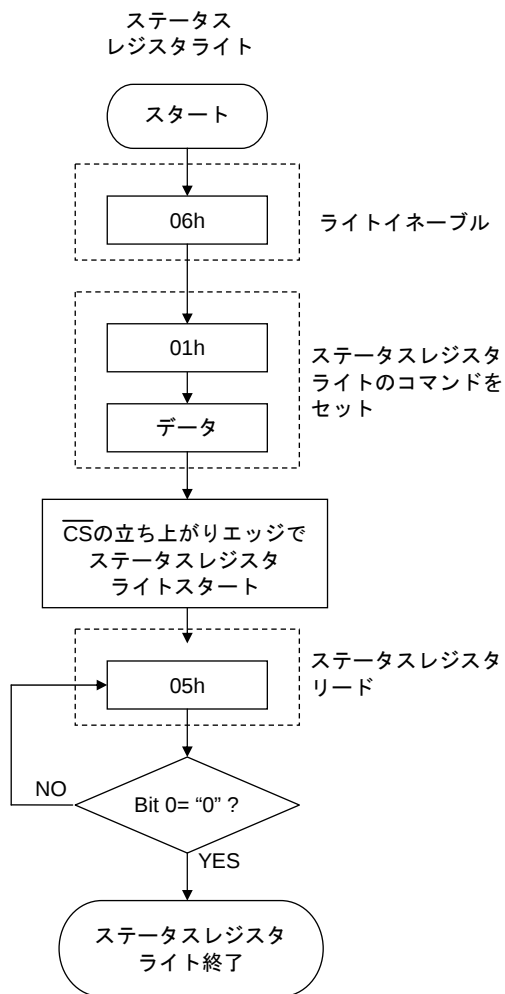


図 19 : ステータスレジスタライトフローチャート



* ステータスレジスタライト終了後、
自動的にライトディセーブルとなる。

図 20 : イレーズフローチャート

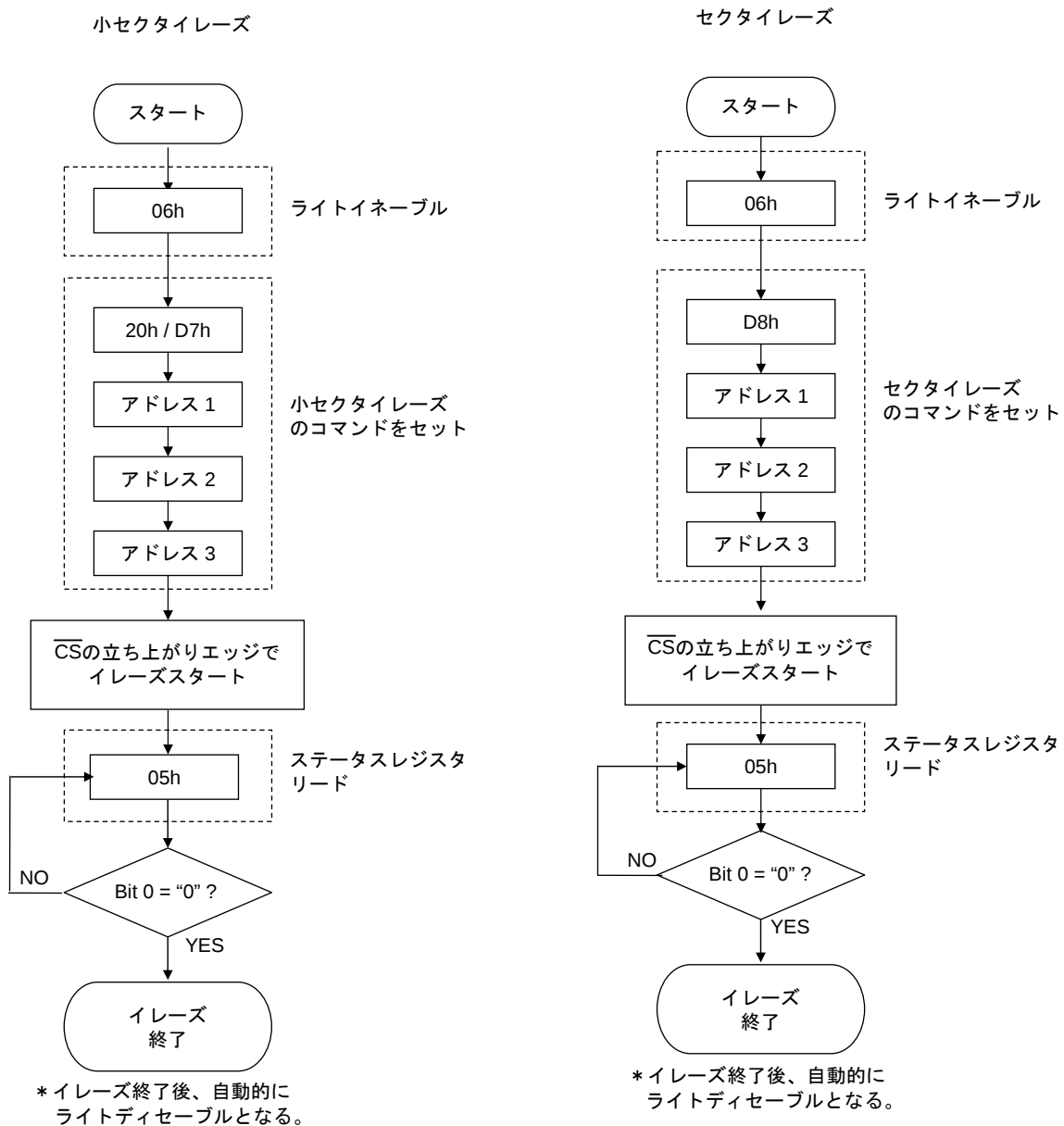
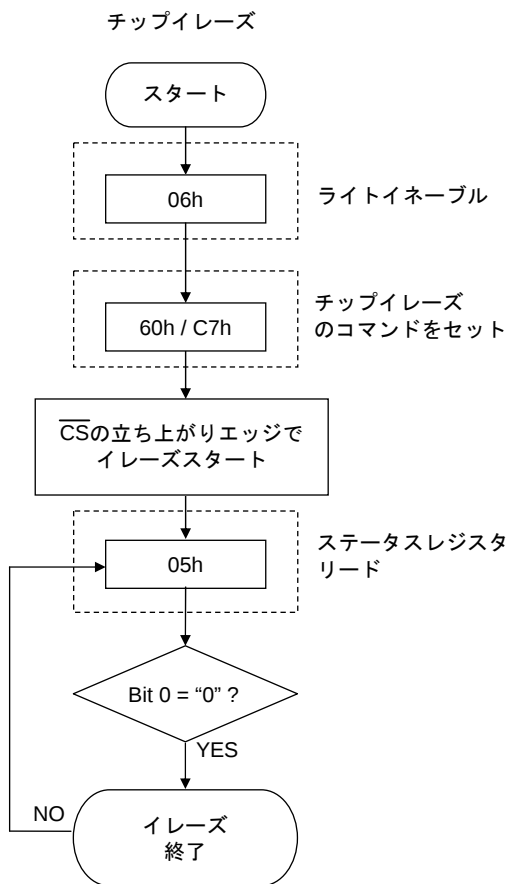
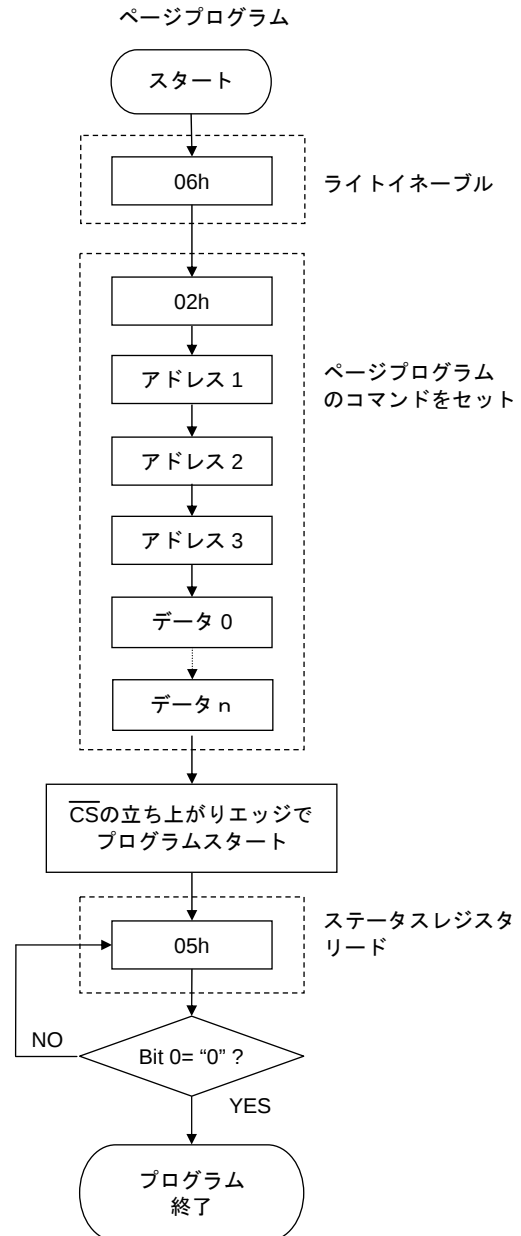


図 21 : プログラムフローチャート



* イレーズ終了後、自動的にライトディセーブルとなる。



* プログラム終了後、自動的にライトディセーブルとなる。

LE25S40MB

ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LE25S40MB-AH	SOIC-8 / SOP8K (200 mil) (Pb-Free / Halogen Free)	2000 / Tape & Reel

† テープ&リール仕様(製品配置方向, テープサイズ含む)に関する情報については、Tape and Reel Packaging Specificationsパンフレット(BRD8011/D)をご参照ください。 http://www.onsemi.com/pub_link/Collateral/BRD8011-D.PDF

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor 及び ON Semiconductor のロゴは ON Semiconductor という商号を使う Semiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductor は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的所有権に対する権利を保有します。ON Semiconductor の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。 www.onsemi.com/site/pdf/Patent-Marking.pdf。ON Semiconductor は通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductor は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductor によって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor 製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductor データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductor は、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor 製品は、生命維持装置や、いかなる FDA (米国食品医薬品局) クラス3の医療機器、FDA が管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に ON Semiconductor 製品を購入または使用した場合、たとえば、ON Semiconductor がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductor とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductor は雇用機会均等 / 差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。