

# LE25U20AQG



ON Semiconductor®

www.onsemi.jp

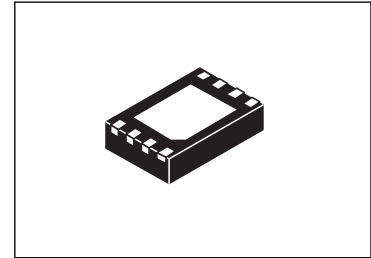
CMOS LSI

## 2M-bit (256K x 8)

## Serial Flash Memory

### 概要

LE25U20AQG は、2MBit (256K×8 ビット構成) の SPI バス対応のフラッシュメモリで、2.5V 単一電源となっている。シリアルフラッシュメモリの特長を生かし、8pin パッケージに収納されている。この特長から、携帯情報機器などの小型化が要求されるアプリケーションのプログラム格納に最適である。また、小セクターイレズ機能により、比較的書き換え回数が少なく、EEPROM では容量不足となるパラメータやデータ格納にも適している。



WDFN8 2x3

### 特長

- ・ 2.5V 単一電源によるリード/ライト動作が可能 : 電源電圧範囲 2.30V~3.60V
- ・ 動作周波数 : 30MHz
- ・ 温度範囲 : -40°C~85°C
- ・ シリアルインタフェース : SPI Mode0、Mode3 対応
- ・ セクタサイズ : 4K バイト/小セクタ、64K バイト/セクタ
- ・ 小セクタイレズ、セクタイレズ、チップイレズ機能
- ・ ページプログラム機能 : 256 バイト/ページ
- ・ ブロックプロテクト機能
- ・ ステータス機能 : レディー/ビジー情報、プロテクト情報
- ・ 高信頼性リード/ライト
  - 書換え回数 : 100,000 回
  - 小セクタイレズ時間 : 40ms (Typ.) 150ms (Max.)
  - セクタイレズ時間 : 80ms (Typ.) 250ms (Max.)
  - チップイレズ時間 : 250ms (Typ.) 1.6s (Max.)
  - ページプログラム時間 : 4.0ms/256 バイト (Typ.) 5.0ms/256 バイト (Max.)
- ・ データ保持期間 : 20 年
- ・ パッケージ : WDFN8 2x3

※この製品は米国 SST 社 (Silicon Storage Technology, Inc.) のライセンスを受けています。

### ORDERING INFORMATION

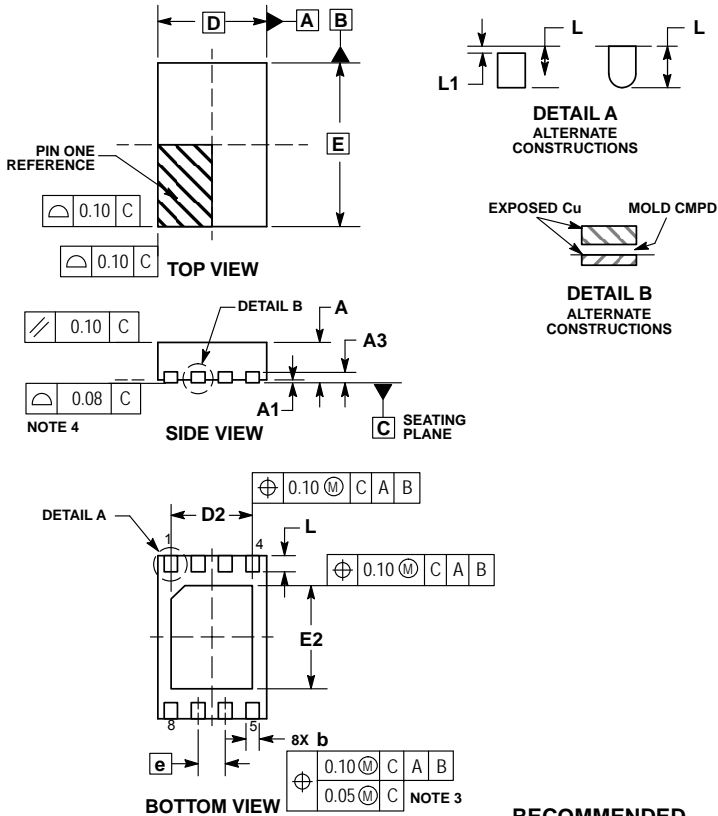
See detailed ordering and shipping information on page 21 of this data sheet.

# LE25U20AQG

## 外形図

unit : mm

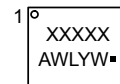
**WDFN8 2x3, 0.5P**  
CASE 511BY  
ISSUE 0



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
  2. CONTROLLING DIMENSION: MILLIMETERS.
  3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.25MM FROM THE TERMINAL TIP.
  4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.

MILLIMETERS		
DIM	MIN	MAX
A	0.70	0.80
A1	0.00	0.05
A3	0.20	REF
b	0.20	0.30
D	2.00	BSC
D2	1.40	1.60
E	3.00	BSC
E2	1.80	2.00
e	0.50	BSC
L	0.25	0.35
L1	---	0.15

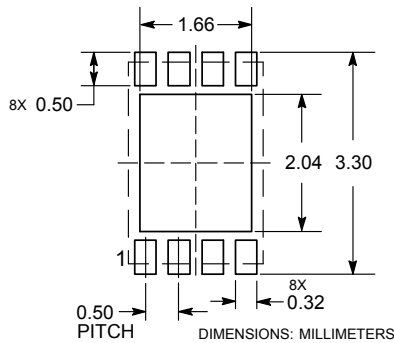
### GENERIC MARKING DIAGRAM\*



- XXXXX = Specific Device Code  
A = Assembly Location  
WL = Wafer Lot  
Y = Year  
W = Work Week  
# = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "#", may or may not be present.

### RECOMMENDED SOLDERING FOOTPRINT\*



\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

図 1 : ピン配置図

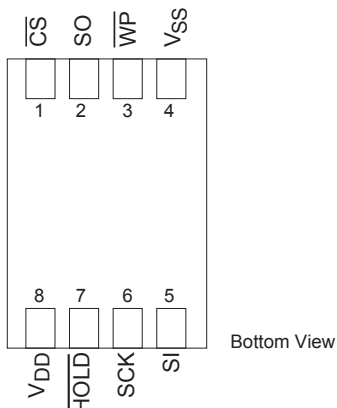


図 2：ブロック図

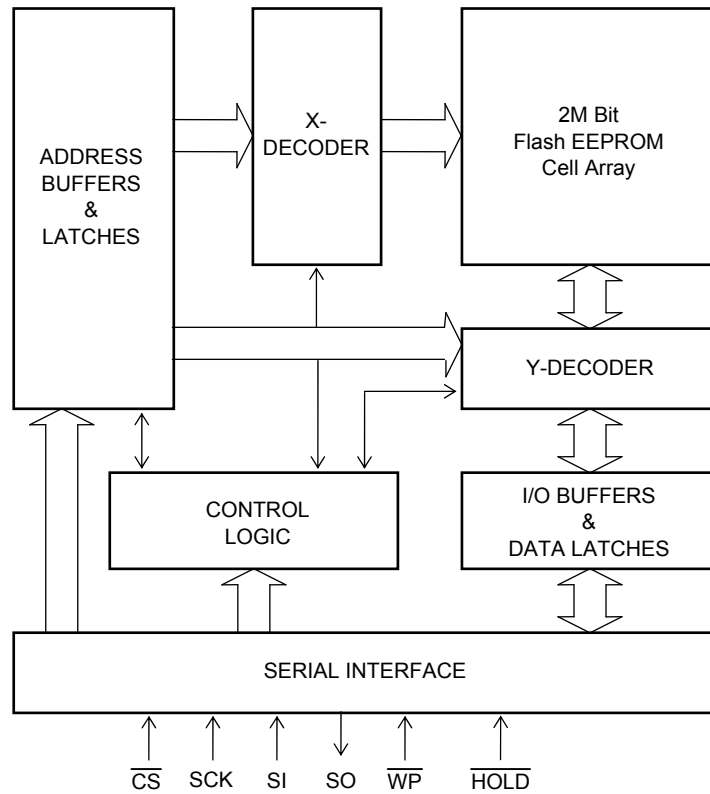


表 1：端子説明

記号	端子名	機能
SCK	シリアルクロック	データの入出力タイミングを制御するピン。 立ち上がりに同期して入力データやアドレスをラッチし、立ち下がりに同期してデータを出力する。
SI	シリアルデータ入力	このピンからデータやアドレスが入力され、シリアルクロックの立ち上がりに同期して内部にラッチされる。
SO	シリアルデータ出力	シリアルクロックの立ち下がりに同期して、このピンからデバイス内部に格納されたデータが出力される。
CS	チップセレクト	このピンが論理低レベルの時、デバイスはアクティブとなる。 このピンが論理高レベルの時、デバイスは非選択となりスタンバイ状態となる。
WP	ライトプロテクト	このピンが論理低レベルの時、ステータスレジスタライトプロテクト SRWP が有効となる。
HOLD	ホールド	このピンが論理低レベルの時、シリアルコミュニケーションが中断される。
V <sub>DD</sub>	電源	電源電圧 2.30V～3.60V を供給する。
V <sub>SS</sub>	接地	電源電圧 0V を供給する。

## デバイス動作

LE25U20AQG はシリアルインタフェースに対応した工業標準の EPROM の機能に、2.5V 単一電源による電氣的なオンチップ消去を追加した製品である。チップ内にコマンドレジスタを内蔵することによりインタフェースおよび制御が容易になっている。デバイスのリード、イレーズ、プログラムおよびその他必要な機能は、コマンドレジスタを介して実行される。表 2：コマンド設定に従って入力されたコマンドのアドレスおよびデータは、必要な動作を行うためデバイス内部にラッチされる。図 3：シリアル入力タイミングにシリアルデータの入力のタイミング波形を示す。まず、 $\overline{CS}$  が立ち下がるとデバイスが選択され、コマンドやアドレス等がシリアルに入力可能となる。それらの入力は、SCK の立ち上がり同期し Bit7 から順次内部にとり込まれる。この時、出力端子 S0 は高インピーダンス状態となっている。出力端子が低インピーダンス状態になるのは、リード、ステータスレジスタリードとシリコン ID の時で、クロックの立ち下がりに同期してデータが Bit7 から順次出力される。シリアル出力タイミングについては、図 4：シリアル出力タイミングを参照すること。

LE25U20AQG はシリアルインタフェース SPI mode0 と SPI mode3 の双方に対応している。 $\overline{CS}$  が立ち下がる際に、SCK が論理低レベル状態にあれば SPI mode0、高レベル状態にあれば SPI mode3 が自動的に選択される。

表 2：コマンド設定

コマンド	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 n バス サイクル
リード	03h	A23-A16	A15-A8	A7-A0			
	0Bh	A23-A16	A15-A8	A7-A0	X		
小セクタイレーズ	D7h/20h	A23-A16	A15-A8	A7-A0			
セクタイレーズ	D8h	A23-A16	A15-A8	A7-A0			
チップイレーズ	C7h						
ページプログラム	02h	A23-A16	A15-A8	A7-A0	PD *	PD *	PD *
ライトイネーブル	06h						
ライトディセーブル	04h						
パワーダウン	B9h						
ステータス レジスタリード	05h						
ステータス レジスタライト	01h	DATA					
シリコン ID リード 1	9Fh						
シリコン ID リード 2	ABh	X	X	X			
パワーダウン からの抜け出し	ABh						

表 2 の説明:

X は don't care つまり、いずれの値を入力してもかまわないという意味である。

各コードの後ろの h は 16 進の数値を表記していることを意味する。

すべてのコマンドについて A23-A18 は don't care となる。

リードコマンド以外でコマンドを認識させるためには、全てのバスサイクル入力後 $\overline{CS}$ を立ち上げる必要がある。

\*PD：ページプログラムデータ。

図 3 : シリアル入カタイミング

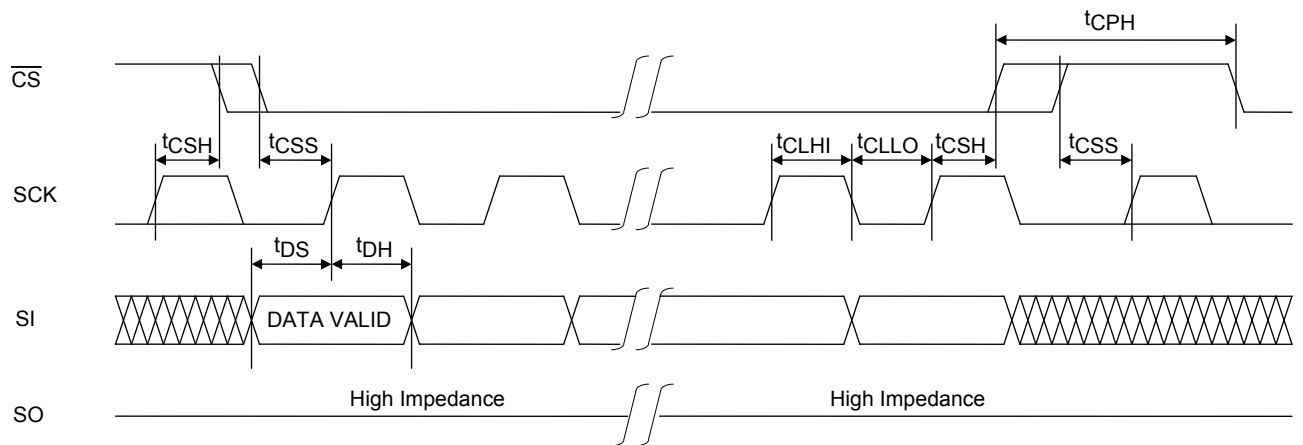
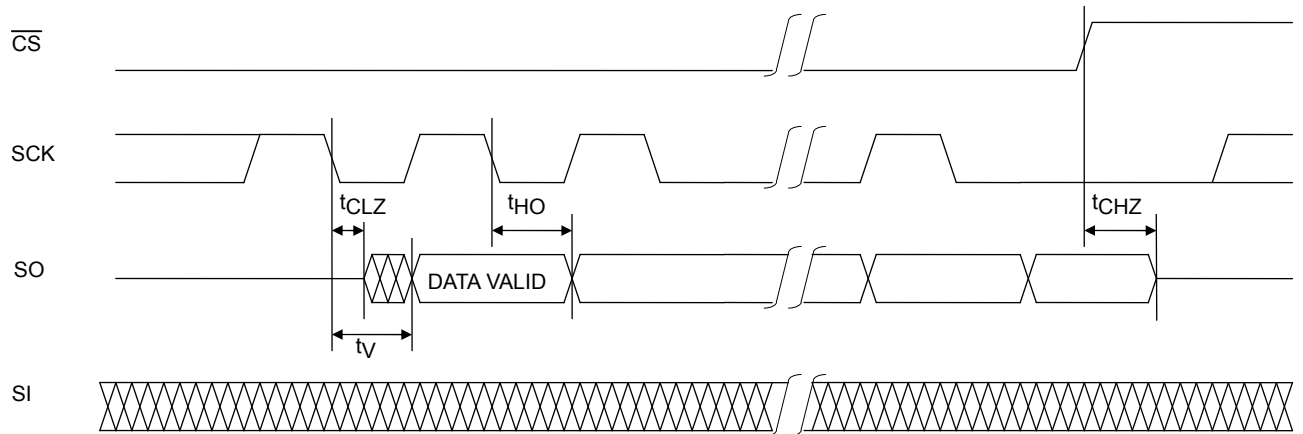


図 4 : シリアル出カタイミング



コマンドと動作説明

表 2：コマンド設定にコマンドのリストと概要を示す。それぞれのコマンドに対応する機能と動作の詳細な説明を次に示す。

1. リード

リードコマンドには、4バスリードコマンドと5バスリードコマンドの2種類がある。このうち4バスリードコマンドは、第1バスサイクルから第4バスサイクルで構成され、(03h)に続けて24ビットのアドレスを入力する仕様となっており、指定したアドレスのデータがSCKに同期して出力される。データの出力は、第4バスサイクルBit0の立ち下がりクロックを基準にS0から出力される。図5-a：4バスリードにタイミング波形を示す。

5バスリードは、第1バスサイクルから第5バスサイクルで構成され、(0Bh)に続けて24ビットのアドレスと8ビットのダミービットを入力する。データ出力は、第5バスサイクルBit0の立ち下がりクロックを基準にS0から出力される。図5-b：5バスリードにタイミング波形を示す。これら2つのコマンドの違いは、第5バスサイクルでのダミービット入力があるか無いかの違いのみとなっている。

リードコマンドを入力し、指定したアドレスのデータを出力した後にSCKを入力し続けると、SCKを入力している期間中デバイス内部でアドレスを自動的にインクリメントして、それに対応したデータを順に出力する。クロックの入力を続け、内部のアドレスが最上位アドレス(3FFFFh)に達しデータが出力された後、なおもSCKの入力が続く場合、内部のアドレスは最下位アドレス(00000h)に戻ってデータの出力が続く。 $\overline{CS}$ を論理高レベルにすることで、デバイスは非選択になり、リードサイクルは終了する。デバイスの非選択時は、出力端子S0は高インピーダンスの状態となる。

図 5-a：4バスリード

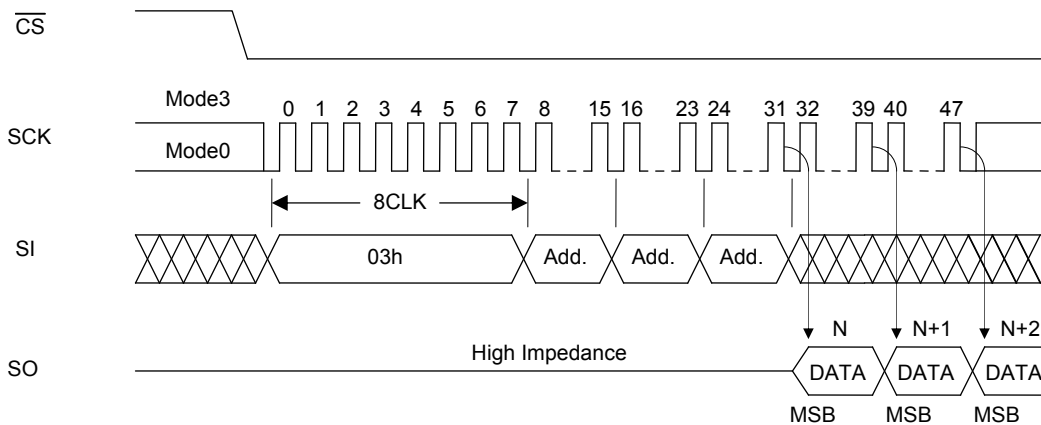
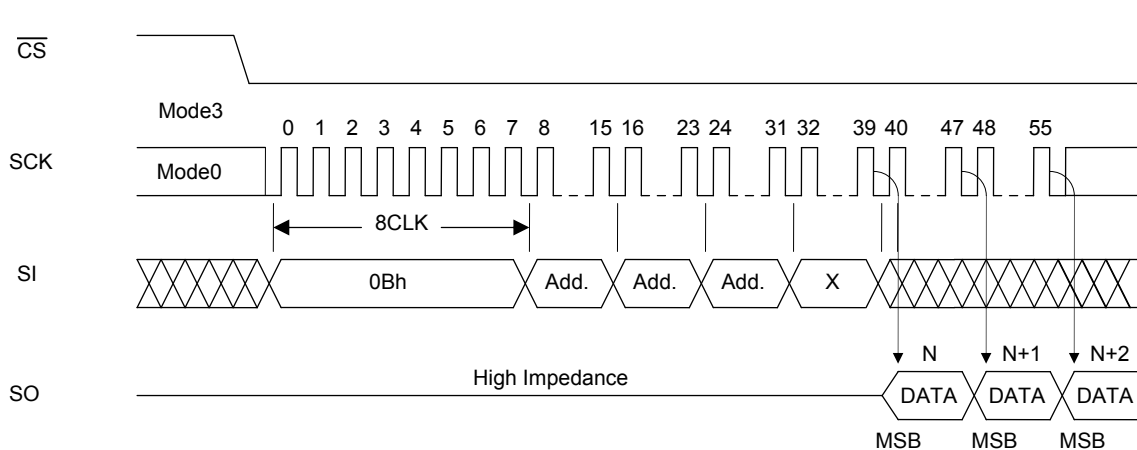


図 5-b：5バスリード



2. ステータスレジスタ

ステータスレジスタとは、デバイスの内部の動作状態や設定状態を保持しており、その情報の読み出し(ステータスレジスタリード)や、プロテクト情報の書き換え(ステータスレジスタライト)が可能である。レジスタは全部で8ビットあり、それぞれのビットの意味を表3：ステータスレジスタに示す。

表3：ステータスレジスタ

ビット	名称	論理	機能	電源投入時	
Bit0	$\overline{\text{RDY}}$	0	レディー状態	0	
		1	イレーズ/プログラム状態		
Bit1	WEN	0	ライト禁止状態	0	
		1	ライト可能状態		
Bit2	BP0	0	ブロックプロテクト情報 ステータスレジスタ BP0, BP1 の項、 参照	不揮発情報	
		1			
Bit3	BP1	0			
		1			
Bit4			リザーブビット	0	
Bit5				0	
Bit6				0	
Bit7	SRWP	0	ステータスレジスタライト可能状態	不揮発情報	
		1	ステータスレジスタライト禁止状態		

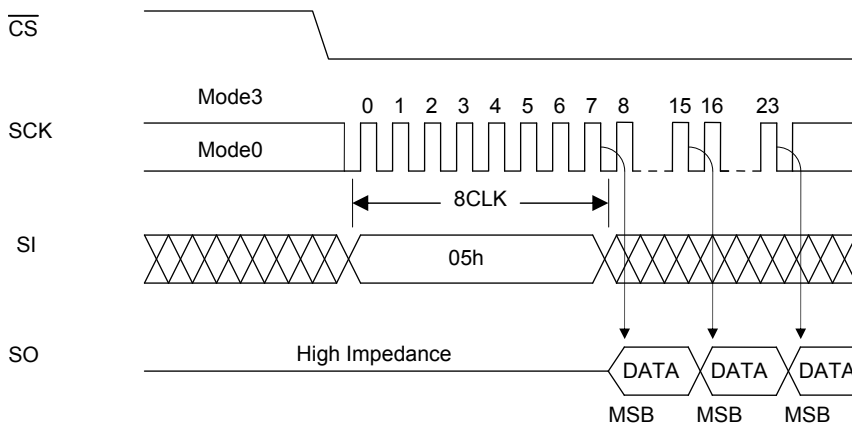
2-1. ステータスレジスタリード

ステータスレジスタリードにより、ステータスレジスタの内容を読み出すことができる。ステータスレジスタリードは、下記の動作中にも行うことが可能である。

- ・小セクタイレーズ、セクタイレーズ、チップイレーズ
- ・ページプログラム
- ・ステータスレジスタライト

図6：ステータスレジスタリードにステータスレジスタリードのタイミング波形を示す。ステータスレジスタコマンドは、第1バスサイクルのみで構成され、(05h)の8ビット目を入力したクロック(SCK)の立ち下りに同期して、ステータスレジスタの内容が出力される。出力される順序はSRWP(Bit7)が最初で、1クロックが入力されるたびにその立ち下がりに同期して $\overline{\text{RDY}}$ (Bit0)までのデータが順に出力される。 $\overline{\text{RDY}}$ (Bit0)が出力された後、なおもクロックの入力が続く場合、最初に出されたビット(SRWP)に戻って、データ出力が出力され、以後クロック入力が続く限り出力が繰り返される。ステータスレジスタリードは、いつでも(プログラム、イレーズサイクル中も)読出すことが可能である。

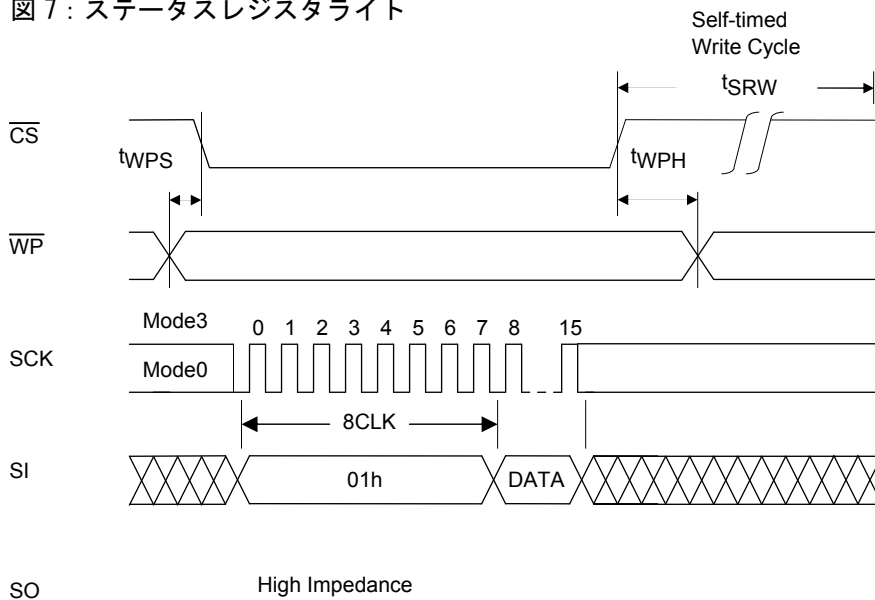
図6：ステータスレジスタリード



## 2-2. ステータスレジスタライト

ステータスレジスタライトにより、ステータスレジスタのBP0、BP1、SRWPを書換えることができる。 $\overline{\text{RDY}}$ 、WEN、Bit4、Bit5とBit6はリードオンリーであり書換えることはできない。BP0、BP1、SRWPは不揮発メモリに記憶しており、書き込みを行うと電源を切断してもその内容は保持される。図7：ステータスレジスタライトにステータスレジスタライトのタイミング波形を、また、図21にステータスレジスタライトのフローチャートを示す。ステータスレジスタライトコマンドは、第1バスサイクルと第2バスサイクルで構成され、(01h)に続けてDATAを入力した後、 $\overline{\text{CS}}$ を立ち上げることで内部のライト動作が始まる。ステータスレジスタライトは、デバイス内部で自動的にイレーズ、プログラムが行われるので、あらかじめ消去などの処理を行う必要はない。この操作でBP0、BP1、SRWPの書換えを行うことができる。ステータスレジスタライト時に、書換えを行うことのできないビット、つまり、 $\overline{\text{RDY}}$ (Bit0)、WEN(Bit1)、Bit4、Bit5、Bit6にデータを設定しても書き込みは行われないので、いずれの値に設定しても不具合は発生しない。ステータスレジスタライトの終了は、ステータスレジスタリードの $\overline{\text{RDY}}$ により検知することができる。また、ステータスレジスタの書換え回数は、1000回(Min.)である。ステータスレジスタライトを行うには、 $\overline{\text{WP}}$ ピンを論理高レベル、ステータスレジスタのWENを“1”状態にしておく必要がある。

図7：ステータスレジスタライト



## 2-3. 各ステータスレジスタの内容

### $\overline{\text{RDY}}$ (Bit0)

$\overline{\text{RDY}}$ は、ライト(プログラム、イレーズ、およびステータスレジスタライト)の終了を検知するためのレジスタである。 $\overline{\text{RDY}}$ が“1”状態の場合、デバイスはビジー状態であり、“0”状態であればライトが終了していることを示す。



WEN (Bit1)

WEN は、デバイスがライト可能であるかどうかを検知するためのレジスタである。WEN が “0” 状態であれば、ライトコマンドを入力しても、デバイスはライト動作を行われない。WEN が “1” 状態であれば、ブロックプロテクトされていない領域にライトを行うことが可能である。

WEN は、ライトイネーブルコマンドおよびライトディセーブルコマンドにより、コントロールできる。ライトイネーブルコマンド(06h)を入力することにより、WEN は “1” 状態に、また、ライトディセーブルコマンド(04h)を入力することにより “0” 状態にすることができる。また、下記の状態の時は、不用意な書き込みを防止するため自動的に WEN が “0” 状態となる。

- ・電源投入時
- ・小セクタイレーズ、セクタイレーズ、チップイレーズの終了後
- ・ページプログラムの終了後
- ・ステータスレジスタライトの終了後

\*各ライト動作(小セクタイレーズ、セクタイレーズ、チップイレーズ、ページプログラム、ステータスレジスタライト)への入力コマンドが不成立、プロテクトされたアドレスへのライト動作等、LE25U20AQG 内部でライト動作が行われなかった場合、WEN は、そのコマンド発行前の状態を維持する。また、リード動作によって WEN の状態が変わることはない。

BP0、BP1 (Bit2、3)

ブロックプロテクト BP0、BP1 は書き込みを行うことが可能なステータスレジスタビットで、その内容によりプロテクトするメモリ空間を設定することができる。設定条件は表 4：プロテクトレベル設定条件を参照すること。

表 4：プロテクトレベル設定条件

プロテクトレベル	ステータスレジスタビット		プロテクト領域
	BP1	BP0	
0(全領域アンプロテクト)	0	0	無し
1(1/4 プロテクト)	0	1	30000h~3FFFFh
2(1/2 プロテクト)	1	0	20000h~3FFFFh
3(全領域プロテクト)	1	1	00000h~3FFFFh

\*プロテクトレベルが 0 の時のみ、チップイレーズ可能

SRWP (Bit7)

ステータスレジスタライトプロテクト SRWP は、ステータスレジスタのプロテクトを行うためのビットで書換えを行うことが可能である。SRWP が “1” 状態、かつ、 $\overline{\text{WP}}$ ピンが論理低レベルである時、ステータスレジスタライトコマンドは無視され、ステータスレジスタの BP0、BP1、SRWP は保護される。 $\overline{\text{WP}}$ ピンが論理高レベルである時は、SRWP の状態にかかわらず、ステータスレジスタはプロテクトされない。SRWP 設定条件を表 5：SRWP 設定条件に示す。

表 5：SRWP 設定条件

$\overline{\text{WP}}$ ピン	SRWP	ステータスレジスタ プロテクト状態
0	0	アンプロテクト
	1	プロテクト
1	0	アンプロテクト
	1	アンプロテクト

Bit4、Bit5、Bit6 はリザーブビットとなっており意味を持っていない。

### 3. ライトイネーブル

下記の動作を行う前には、あらかじめデバイスをライトイネーブル状態にしておく必要がある。これは、ステータスレジスタの WEN を“1”状態にする操作と同じで、ライトイネーブルコマンドの入力を行うことで可能になる。図 8：ライトイネーブルに、ライトイネーブル動作を行う場合のタイミング波形を示す。ライトイネーブルコマンドは、第 1 バスサイクルのみで構成され、(06h)を入力することにより行われる。

- ・小セクタイレズ、セクタイレズ、チップイレズ
- ・ページプログラム
- ・ステータスレジスタライト

### 4. ライトディセーブル

ライトディセーブルは、ステータスレジスタの WEN を“0”状態にセットし、不用意なライトを禁止するコマンドである。図 9：ライトディセーブルにタイミング波形を示す。ライトディセーブルコマンドは、第 1 バスサイクルのみで構成され、(04h)を入力する。ライトディセーブル状態(WEN “0”)からの抜け出しは、ライトイネーブルコマンド(06h)で WEN “1”にすることにより行われる。

図 8：ライトイネーブル

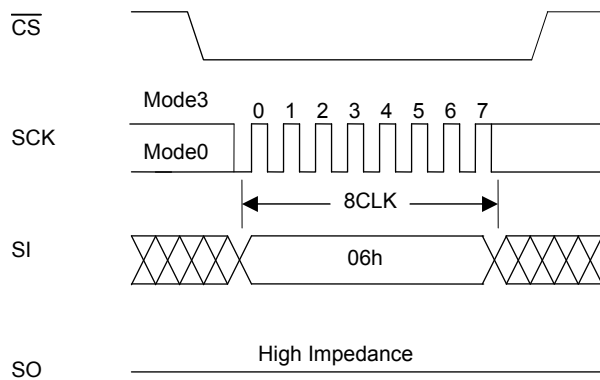
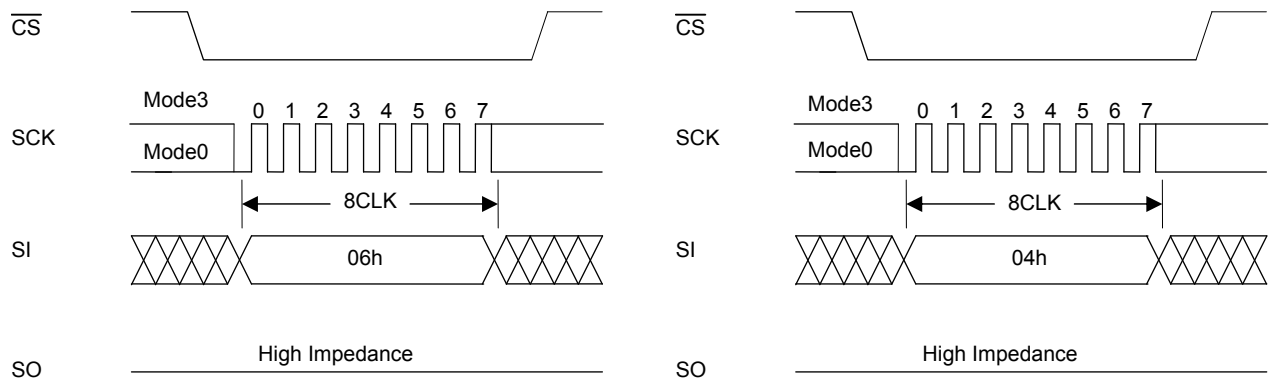


図 9：ライトディセーブル



### 5. パワーダウン

パワーダウンは、シリコン ID リード 2 とパワーダウンからの抜け出しコマンド以外の、全てのコマンドを受け付け禁止状態(パワーダウン)にするコマンドである。図 10：パワーダウンにタイミング波形を示す。パワーダウンコマンドは、第 1 バスサイクルのみで構成され、(B9h)を入力する。ただし、内部ライト動作実行中のパワーダウンコマンドは無視される。一方、パワーダウンからの抜け出しは、パワーダウンからの抜け出しコマンドで行う(シリコン ID リード 2 コマンド(ABh)の 1 バスサイクル以上が入力された場合も、パワーダウンから抜け出す)。図 11：パワーダウンからの抜け出しに、パワーダウンからの抜け出しコマンドのタイミング波形を示す。

図 10：パワーダウン

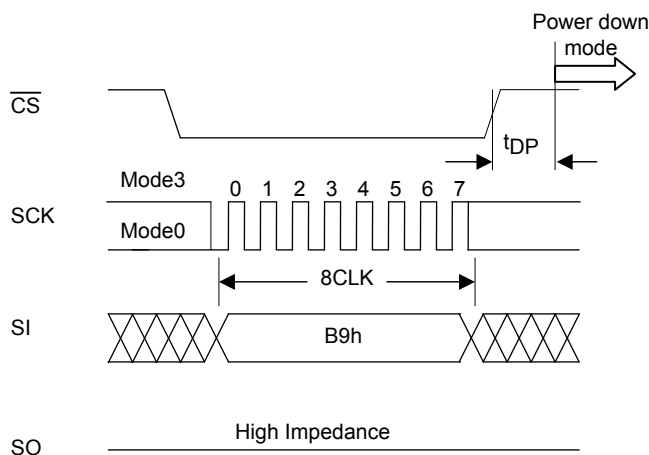
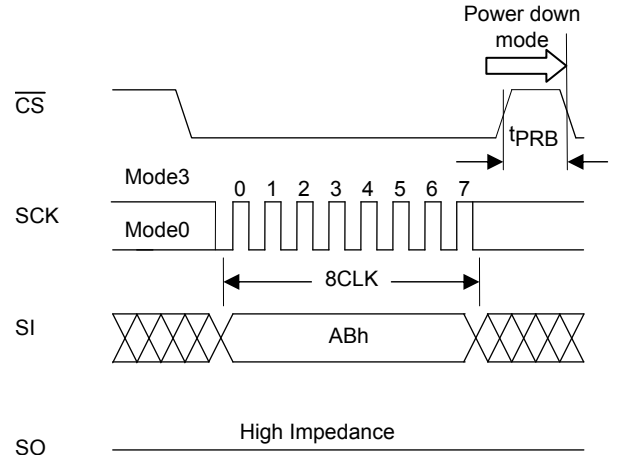


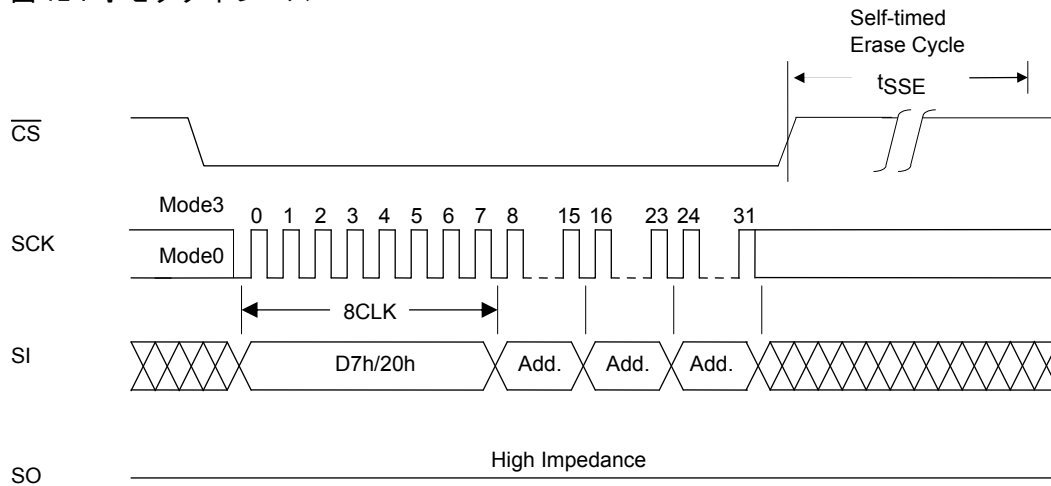
図 11：パワーダウンからの抜け出し



## 6. 小セクタイレーズ

小セクタイレーズは、任意の小セクタのメモリセルデータを“1”状態にする操作である。小セクタは 4Kbyte で構成される。図 12：小セクタイレーズにタイミング波形を、図 21 にフローチャートを示す。小セクタイレーズコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(D7h/20h)に続けて 24 ビットのアドレスを入力する。アドレスは、A17～A12 が有効で、A23～A18 は、don't care となっている。コマンドの入力終了後、 $\overline{CS}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ ( $\overline{RDY}$ )を用いて検知することができる。

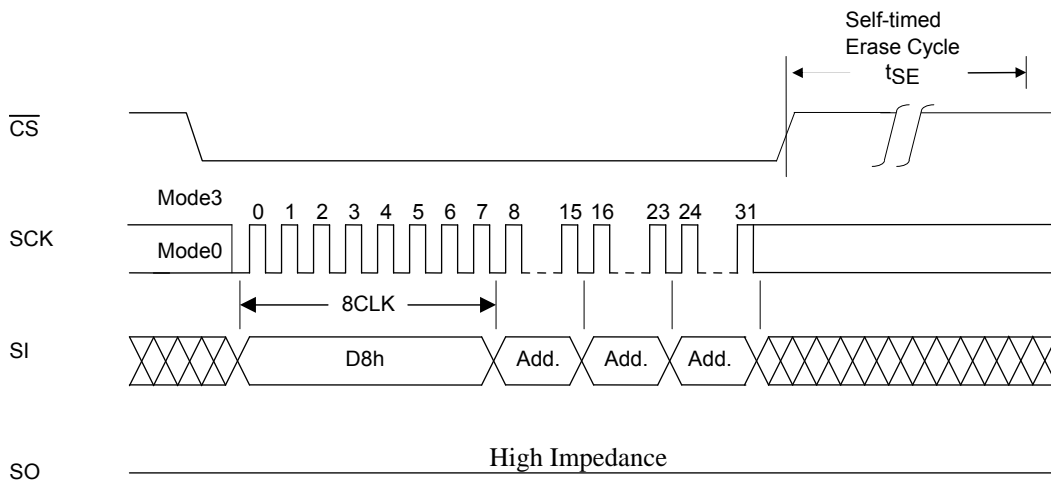
図 12：小セクタイレーズ



## 7. セクタイレーズ

セクタイレーズは、任意のセクタのメモリセルデータを“1”状態にする操作である。セクタは 64Kbyte で構成される。図 13:セクタイレーズにタイミング波形を、図 21 にフローチャートを示す。セクタイレーズコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(D8h)に続けて 24 ビットのアドレスを入力する。アドレスは、A17～A16 が有効で、A23～A18 は、don't care となっている。コマンドの入力終了後、 $\overline{CS}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ ( $\overline{RDY}$ )を用いて検知することができる。

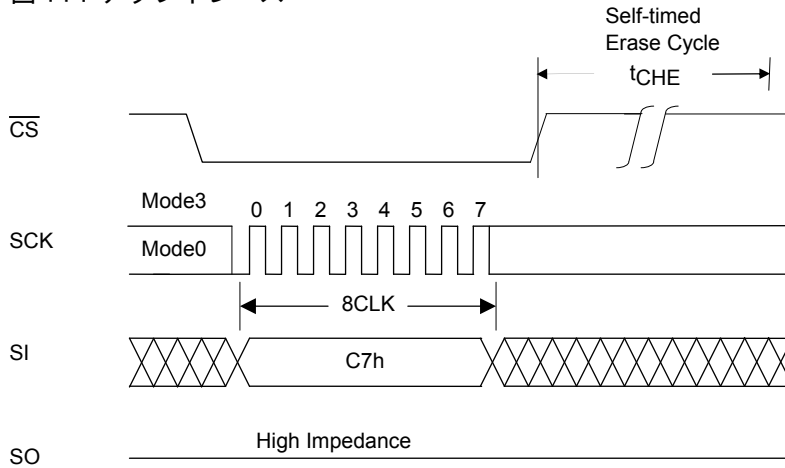
図 13：セクタイレーズ



8. チップイレーズ

チップイレーズは、全セクタのメモリセルデータを“1”状態にする操作である。図14：チップイレーズにタイミング波形を、図21にフローチャートを示す。チップイレーズコマンドは、第1バスサイクルのみで構成され、(C7h)を入力することにより行われる。コマンド入力終了後、CSの立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ(RDY)を用いて検知することができる。

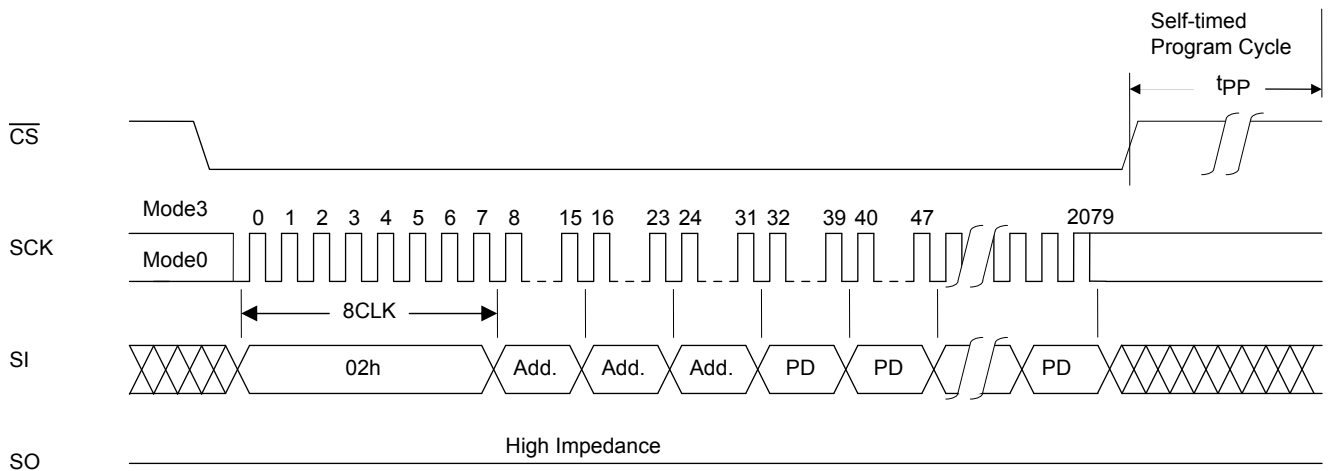
図14：チップイレーズ



9. ページプログラム

ページプログラムは、セクタの同一ページ内(ページアドレス：A17~A8)に、1バイトから256バイトの任意のバイト数をプログラムする操作である。プログラムを行うページはあらかじめ小セクタイレーズ、セクタイレーズあるいはチップイレーズで消去しておく必要がある。図15：ページプログラムにページプログラムのタイミング波形を、図22にフローチャートを示す。CSを立ち下げた後、コマンド(02H)を入力し、引き続き24ビットのアドレスを入力する。アドレスはA17~A0が有効である。その後、CSを立ち上げるまではクロックの立ち上がりの度にプログラムデータがロードされ、CSが立ち上がるまでデータのロードが続く。ロードされるデータが256バイトを超えた場合は、最後にロードされた256バイトがプログラムされる。プログラムデータはバイト単位でロードする必要があり、それ以外のタイミングでCSを立ち上げた場合は、プログラム動作は行われない。ページプログラム時間は、256バイト(1ページ)を一度にプログラムする場合、4.0ms(Typ.)となる。

図15：ページプログラム



10. シリコン ID リード

シリコン ID リードは、製造者コードとデバイス ID をリードするための操作である。なお、シリコン ID リードコマンドは、ライト中は受け付けられない。

シリコン ID リードを行う方法は 2 種類あり、それぞれにデバイス ID が割り与えられている。一つ目は、9Fh のコマンド入力を行う方法で、第 1 バスサイクルの入力だけで設定が完了し、その後のバスサイクルでは、JEDEC で割り当てられた製造者コード 62h・2 バイトのデバイス ID コード (メモリータイプ, メモリー容量)・リザーブコードが順に出力される。また、クロックの入力が続く限り、4 バイトの出力コードは繰り返し出力される。表 6\_1 : シリコン ID リード 1 に出力コード、図 16-a : シリコン ID リード 1 を示す。

二つ目の方法は、ABh のコマンドを入力する方法である。第 1 バスサイクルから第 4 バスサイクルで構成され、(ABh)に続けて 24 ビットのダミービットを入力すると、1 バイトのシリコン ID コードがリードできる。表 6\_2 : シリコン ID リード 2 に出力コード、図 16-b : シリコン ID リード 2 にタイミング波形を示す。デバイスコードを読み出した後、なおも SCK 入力が続く場合は、デバイスコードが出力され続ける。データ出力は、第 4 バスサイクル Bit0 の立ち下がりクロックから出力され、CS を立ち上げることで、シリコン ID リードは終了する。

表 6\_1 : シリコン ID リード 1

		出力コード
製造者コード		62h
2 バイト デバイス ID	メモリータイプ	06h
	メモリー容量 コード	12h(2MBit)
リザーブコード		00h

表 6\_2 : シリコン ID リード 2

	出力コード
1 バイト デバイス ID	44h

図 16-a : シリコン ID リード 1

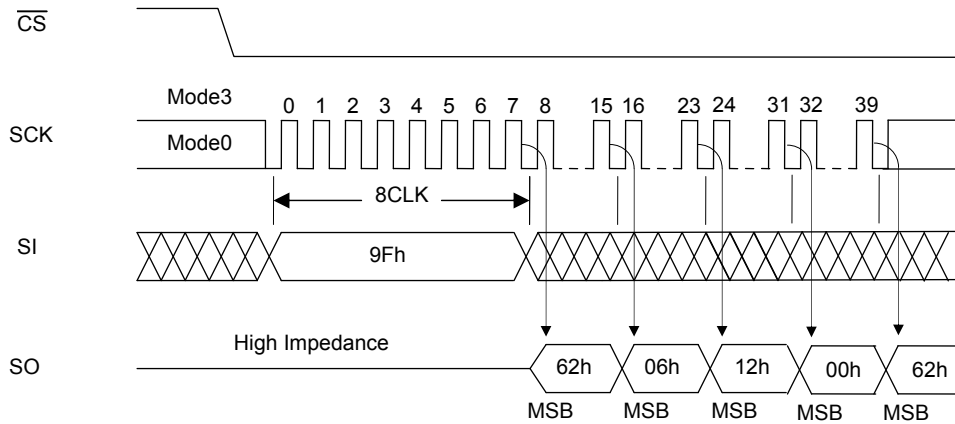
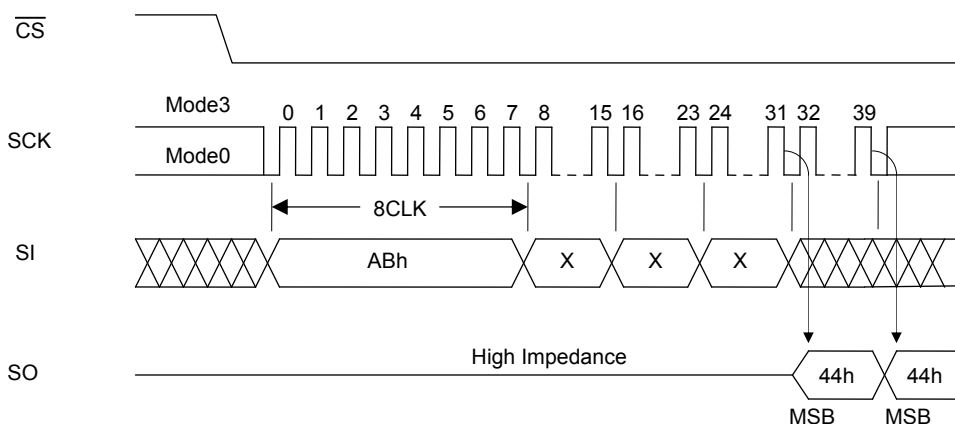


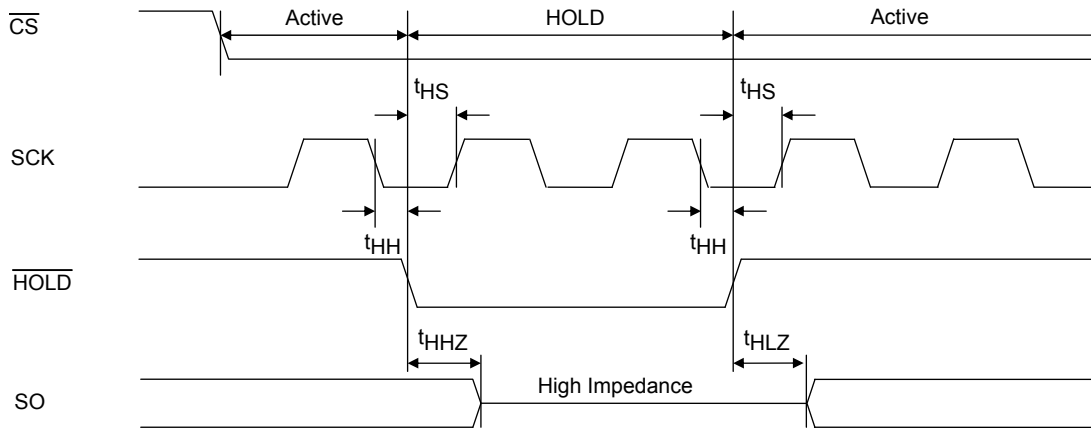
図 16-b : シリコン ID リード 2



11. ホールド機能

HOLDピンによるホールド機能は、シリアルコミュニケーションを中断(ホールド状態)するために使用する。図 17 : HOLDにタイミング波形を示す。SCK が論理低レベルでHOLDを立ち下げると、デバイスはホールド状態となり、HOLDを立ち上げると、ホールド状態から抜けだす。SCK が論理高レベルの時に、HOLDの立ち下げ、立ち上げを行わないこと。ホールド機能は、CSが論理低レベルの時有効で、CSを立ち上げると、ホールド状態から抜け、シリアルコミュニケーションはリセットされる。ホールド状態時、SO はHi-Z出力でSI、SCK は don't care となる。

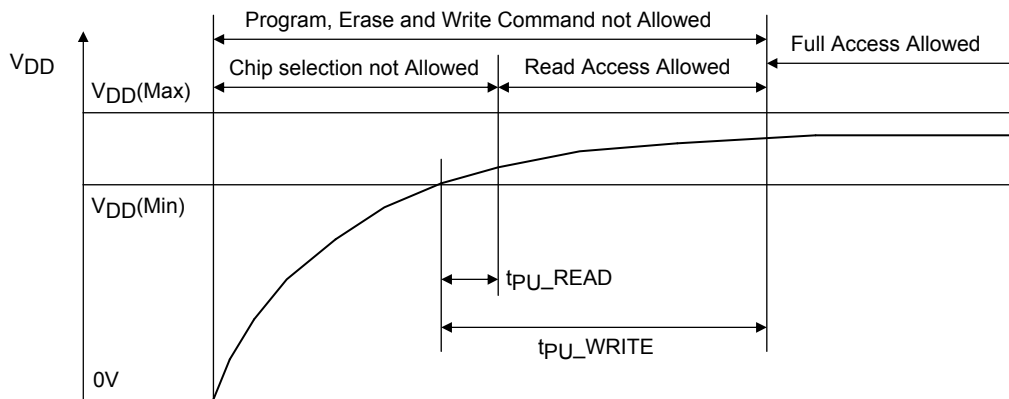
図 17 : HOLD



12. 電源投入

不用意な書き込みを防止するため、電源投入時は、CSをVCCにしておくこと。リード動作の開始は、電源を投入し電源電圧が2.30V以上で、電圧が安定した状態から100μs (tpU\_READ)後に、コマンドを入力すること。また、ライト動作の開始は、同じく電圧が安定した状態から10ms (tpU\_WRITE)後に、コマンドを入力すること。

図 18 : パワーオンタイミング





# LE25U20AQG

## 絶対最大定格

項目	記号	条件	定格値	unit
最大電源電圧	VDDmax	VSS 基準	-0.5~+4.6	V
全ピン DC 電圧	VIN/VOUT	VSS 基準	-0.5~VDD+0.5	V
保存温度	Tstg		-55~+150	°C

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

## 動作範囲

項目	記号	条件	定格値	unit
動作電源電圧	VDD		2.30~3.60	V
動作周囲温度	Topr		-40~85	°C

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

## DC許容動作条件

項目	記号	条件	min	typ	max	unit
リード時動作電流	I <sub>CCR</sub>	CS=0.1V <sub>DD</sub> , HOLD=WP=0.9V <sub>DD</sub> SI=0.1V <sub>DD</sub> /0.9V <sub>DD</sub> , SO=開放 動作周波数=30MHz, V <sub>DD</sub> =V <sub>DD max</sub>			6	mA
ライト時動作電流 (イレース+ページプログラム)	I <sub>CCW</sub>	V <sub>DD</sub> =V <sub>DD max</sub> , t <sub>SE</sub> =40ms, t <sub>SE</sub> =80ms, t <sub>CHE</sub> =160ms, t <sub>pp</sub> =5.0ms			15	mA
CMOS スタンバイ電流	I <sub>SB</sub>	CS=HOLD=WP=V <sub>DD</sub> , SI=V <sub>SS</sub> /V <sub>DD</sub> , SO=開放, V <sub>DD</sub> =V <sub>DD max</sub>			50	μA
パワーダウンスタンバイ 電流	I <sub>DSB</sub>	CS=HOLD=WP=V <sub>DD</sub> , SI=V <sub>SS</sub> /V <sub>DD</sub> , SO=開放, V <sub>DD</sub> =V <sub>DD max</sub>			10	μA
入力リーク電流	I <sub>LI</sub>	V <sub>IN</sub> =V <sub>SS</sub> ~V <sub>DD</sub> , V <sub>DD</sub> =V <sub>DD max</sub>			2	μA
出力リーク電流	I <sub>LO</sub>	V <sub>IN</sub> =V <sub>SS</sub> ~V <sub>DD</sub> , V <sub>DD</sub> =V <sub>DD max</sub>			2	μA
入力低電位	V <sub>IL</sub>	V <sub>DD</sub> =V <sub>DD max</sub>	-0.3		0.3V <sub>DD</sub>	V
入力高電位	V <sub>IH</sub>	V <sub>DD</sub> =V <sub>DD min</sub>	0.7V <sub>DD</sub>		V <sub>DD</sub> +0.3	V
出力低電位	V <sub>OL</sub>	I <sub>OL</sub> =100μA, V <sub>DD</sub> =V <sub>DD min</sub> I <sub>OL</sub> =1.6mA, V <sub>DD</sub> =V <sub>DD min</sub>			0.2 0.4	V
出力高電位	V <sub>OH</sub>	I <sub>OH</sub> =-100μA, V <sub>DD</sub> =V <sub>DD min</sub>	V <sub>CC</sub> -0.2			V

## 電源投入タイミング

項目	記号	規格値		unit
		min	max	
電源投入からリード動作までの時間	t <sub>PU_READ</sub>	100		μs
電源投入からライト動作までの時間	t <sub>PU_WRITE</sub>	10		ms
電源立ち下げ時間	t <sub>PD</sub>	10		ms
電源立ち下げ電圧	v <sub>BOT</sub>		0.2	V

## 端子容量/Ta=25°C, f=1MHz

項目	記号	条件	規格値	unit
			max	
出力端子容量	C <sub>DQ</sub>	V <sub>DQ</sub> =0V	12	pF
入力端子容量	C <sub>IN</sub>	V <sub>IN</sub> =0V	6	pF

注：このパラメータは全数測定されたものではなく、サンプル値である。



# LE25U20AQG

## AC 特性

項目	記号	規格値			unit
		min	typ	max	
クロック周波数	f <sub>CLK</sub>			30	MHz
SCK 論理高レベルパルス幅	t <sub>CLHI</sub>	16			ns
SCK 論理低レベルパルス幅	t <sub>CLLO</sub>	16			ns
入力信号立ち上がり/立ち下がり時間	t <sub>RF</sub>			20	ns
CSセットアップ時間	t <sub>CSS</sub>	10			ns
CSホールド時間	t <sub>CSH</sub>	10			ns
データセットアップ時間	t <sub>DS</sub>	5			ns
データホールド時間	t <sub>DH</sub>	5			ns
CS待機パルス幅	t <sub>CPH</sub>	25			ns
CSからの出力高インピーダンス時間	t <sub>CHZ</sub>			15	ns
SCK からの出力データ時間	t <sub>V</sub>		10	15	ns
出力データホールド時間	t <sub>HO</sub>	1			ns
HOLDセットアップ時間	t <sub>HS</sub>	7			ns
HOLDホールド時間	t <sub>HH</sub>	3			ns
HOLDからの出力低インピーダンス時間	t <sub>HLZ</sub>			9	ns
HOLDからの出力高インピーダンス時間	t <sub>HHZ</sub>			9	ns
WPセットアップ時間	t <sub>WPS</sub>	20			ns
WPホールド時間	t <sub>WPH</sub>	20			ns
ライトステータスレジスタ時間	t <sub>SRW</sub>		5	15	ms
ページプログラムサイクル時間	t <sub>PP</sub>		4.0	5.0	ms
小セクタイレーズサイクル時間	t <sub>SSE</sub>		0.04	0.15	s
セクタイレーズサイクル時間	t <sub>SE</sub>		0.08	0.25	s
チップイレーズサイクル時間	t <sub>CHE</sub>		0.25	1.6	s
パワーダウン時間	t <sub>DP</sub>			3	μs
パワーダウンリカバリ時間	t <sub>PRB</sub>			3	μs
SCK からの出力低インピーダンス時間	t <sub>CLZ</sub>	0			ns

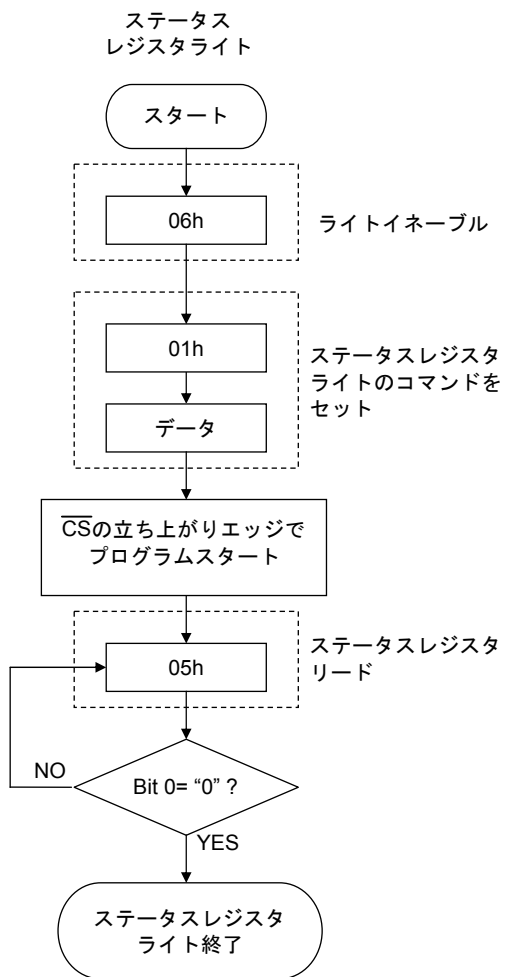
## AC 試験条件

入力パルスレベル..... 0V, 2.5V  
 入力立ち上がり/立ち下がり時間..... 5ns  
 入力タイミングレベル..... 0.3V<sub>DD</sub>, 0.7V<sub>DD</sub>  
 出力タイミングレベル..... 1/2 × V<sub>DD</sub>  
 出力負荷..... 30pF

\*注：typ についての試験条件は、V<sub>DD</sub>=2.5V、室温測定である。

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

図 20 : ステータスレジスタライトフローチャート



\* ステータスレジスタライト終了後、自動的にライトディセーブルとなる。

図 21 : イレーズフローチャート

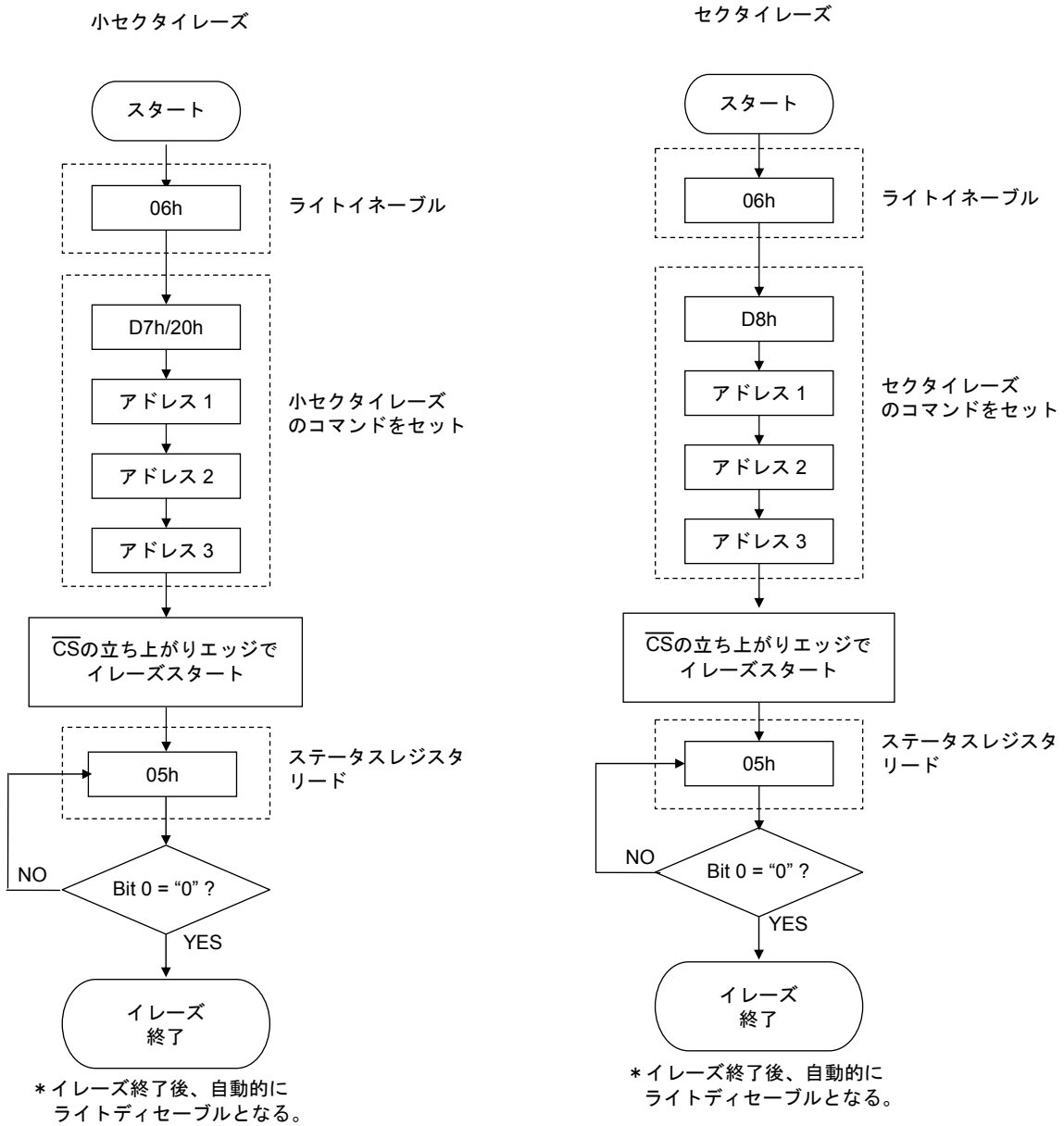
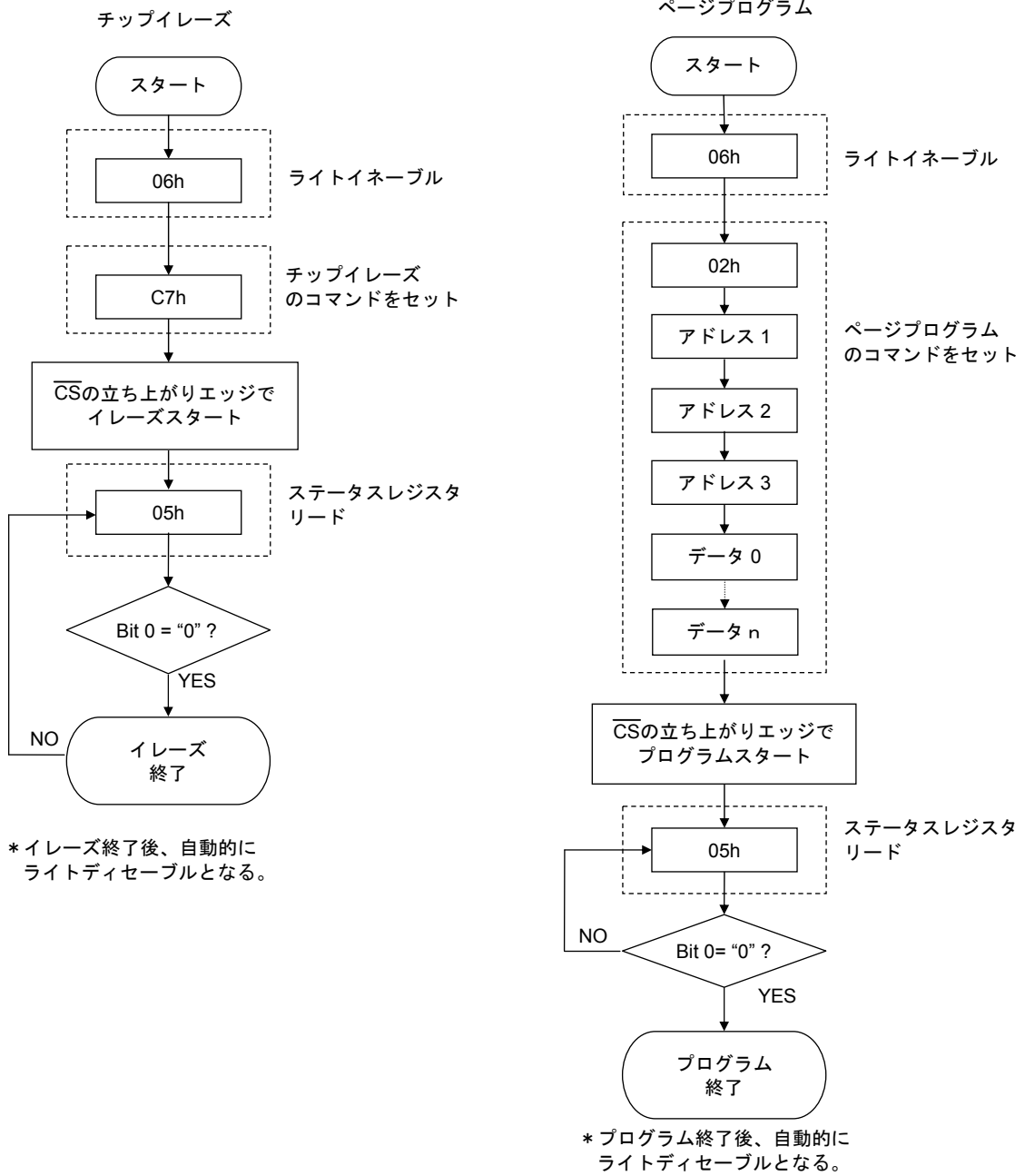


図 22 : プログラムフローチャート



## ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LE25U20AQGTGXG	WDFN8 2x3 (Pb-Free / Halogen Free)	2000 / Tape & Reel

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。