

LE25U40CMC

CMOS LSI

Serial Flash Memory, 4 Mb (512K×8)

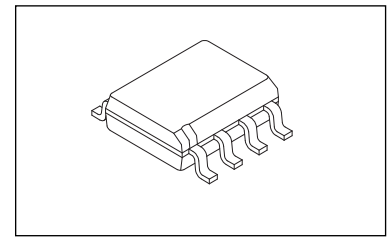


ON Semiconductor®

www.onsemi.jp

概要

LE25U40CMC は、4Mbit (512K×8 ビット構成) の標準シリアルインタフェース (SPI) に、Dual Output、Dual I/O 機能を追加したシリアルフラッシュメモリで、2.5V 単一電源対応となっている。シリアルフラッシュメモリの特長を生かし、8pin パッケージに収納されている。この特長から、携帯情報機器などの小型化が要求されるアプリケーションのプログラム格納に最適である。また、小セクタイレズ機能により、EEPROM では容量不足となるパラメータやデータ格納にも適している。



SOIC-8 / SOP8J (200mil)

特長

- ・ 2.5V 単一電源によるリード/ライト動作が可能 : 電源電圧範囲 2.3V~3.6V
- ・ 動作周波数 : 40MHz
- ・ 温度範囲 : -40°C~85°C
- ・ シリアルインタフェース : 標準 SPI Mode0、Mode3 対応 / Dual Output、Dual I/O 対応
- ・ セクタサイズ : 4K バイト/小セクタ、64K バイト/セクタ
- ・ 小セクタイレズ、セクタイレズ、チップイレズ機能
- ・ ページプログラム機能 : 256 バイト/ページ
- ・ ブロックプロテクト機能
- ・ ステータス機能 : レディー/ビジー情報、プロテクト情報
- ・ 高信頼性リード/ライト
 - 書換え回数 : 100,000 回
 - 小セクタイレズ時間 : 40ms (Typ.) 150ms (Max.)
 - セクタイレズ時間 : 80ms (Typ.) 250ms (Max.)
 - チップイレズ時間 : 250ms (Typ.) 2.0s (Max.)
 - ページプログラム時間 : 4.0ms/256 バイト (Typ.) 5.0ms/256 バイト (Max.)
- ・ データ保持期間 : 20 年
- ・ パッケージ : SOP8J (200mil)

この製品は米国 SST 社 (Silicon Storage Technology, Inc.) のライセンスを受けています。

ORDERING INFORMATION

See detailed ordering and shipping information on page 24 of this data sheet.

LE25U40CMC

外形図

unit:mm

SOIC-8 / SOP8J (200 mil)

CASE 751CU

ISSUE 0

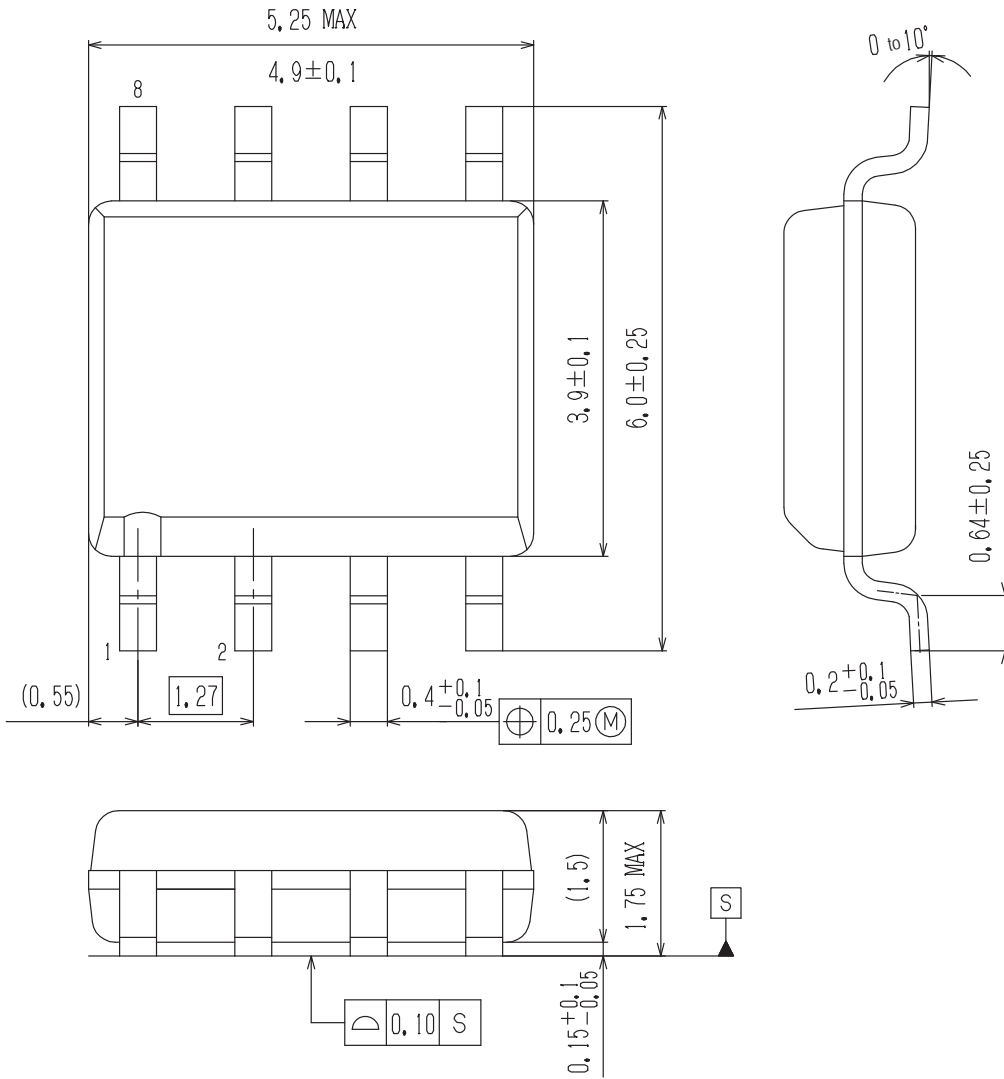
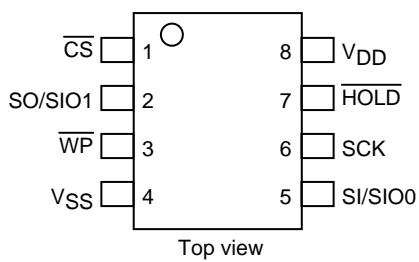


図 1 : ピン配置図



LE25U40CMC

図 2：ブロック図

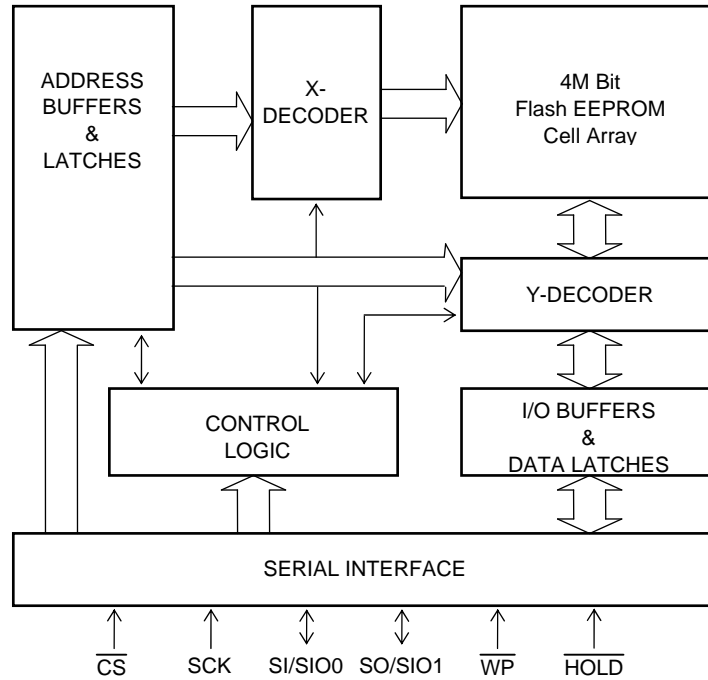


表 1：端子説明

記号	端子名	機能
SCK	シリアルクロック	データの入出力タイミングを制御するピン。 立ち上がりに同期して入力データやアドレスをラッチし、立ち下がりに同期してデータを入力する。
SI/SIO0	シリアルデータ入力 /シリアルデータ入出力	このピンからデータやアドレスが入力され、シリアルクロックの立ち上がりに同期して内部にラッチされる。Dual Output 時、出力ピン、Dual I/O 時、入出力ピンに切り替わる。
SO/SIO1	シリアルデータ出力 /シリアルデータ入出力	シリアルクロックの立ち下がりに同期して、このピンからデバイス内部に格納されたデータが出力される。Dual Output 時、出力ピン、Dual I/O 時、入出力ピンに切り替わる。
$\overline{\text{CS}}$	チップセレクト	このピンが低レベルの時、デバイスはアクティブとなる。 このピンが高レベルの時、デバイスは非選択となりスタンバイ状態となる。
$\overline{\text{WP}}$	ライトプロテクト	このピンが低レベルの時、ステータスレジスタライトプロテクト SRWP が有効となる。
$\overline{\text{HOLD}}$	ホールド	このピンが低レベルの時、シリアルコミュニケーションが中断される。
V _{DD}	電源	電源電圧 2.3V~3.6V 供給する。
V _{SS}	接地	電源電圧 0V を供給する。

LE25U40CMC

デバイス動作

リード、イレーズ、プログラムおよびその他必要な動作は、シリアル入力でコマンドを入力することで制御する。図3に標準SPI入出力波形と表2にコマンド一覧、表3にアドレスマップを示す。

\overline{CS} が立ち下がるとデバイスが選択され、コマンドやアドレス等が入力可能となる。それらの入力は8Bit単位で規格化され、SCKの立ち上がり同期し順次内部にとり込まれ、入力されたコマンドにしたがった動作が実行される。LE25U40CMCはシリアルインタフェースSPI mode0とSPI mode3の双方に対応している。 \overline{CS} が立ち下がる際に、SCKが低レベル状態にあればSPI mode0、高レベル状態にあればSPI mode3が自動的に選択される。

図3：入出力波形

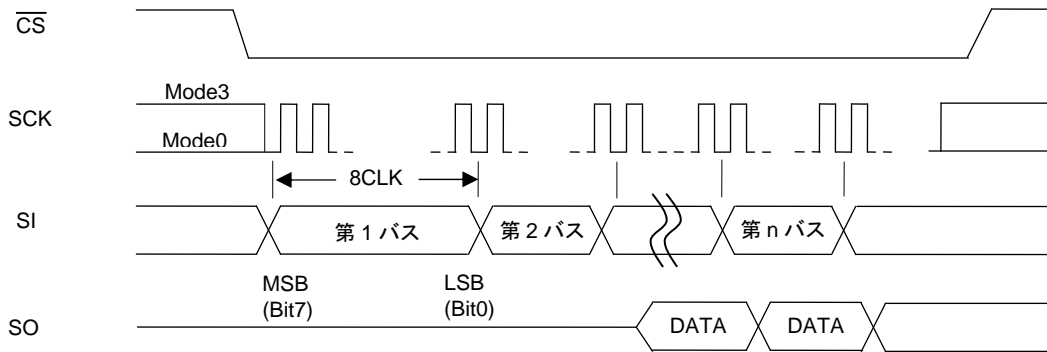


表2：コマンド一覧

コマンド	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第nバス サイクル
リード	03h	A23-A16	A15-A8	A7-A0	RD *1	RD *1	RD *1
高速リード	0Bh	A23-A16	A15-A8	A7-A0	X	RD *1	RD *1
Dual リード	3Bh	A23-A16	A15-A8	A7-A0	Z	RD *1	RD *1
Dual I/O リード	BBh	A23-A8	A7-A0, X, Z	RD*1	RD *1	RD *1	RD *1
小セクタイレーズ	20h / D7h	A23-A16	A15-A8	A7-A0			
セクタイレーズ	D8h	A23-A16	A15-A8	A7-A0			
チップイレーズ	60h / C7h						
ページプログラム	02h	A23-A16	A15-A8	A7-A0	PD *2	PD *2	PD *2
ライトイネーブル	06h						
ライトディセーブル	04h						
ステータス レジスタリード	05h						
ステータス レジスタライト	01h	DATA					
JEDEC ID リード	9Fh						
デバイス ID リード	ABh	X	X	X			
パワーダウン	B9h						
パワーダウン からの抜け出し	ABh						

表2の説明:

Xはdon't care、Zは高インピーダンス状態という意味である。

各コードの後ろのhは16進の数値を表記していることを意味する。

すべてのコマンドについてA23-A19はdon't careとなる。

*1. RD：リードデータ *2. PD：ページプログラムデータ。

LE25U40CMC

表 3 : アドレスマップ

4MBit

セクター (64KB)	小セクター (4KB)	アドレス空間 (A23-A0)	
7	127	07F000h	07FFFFh
	∫		
	112	070000h	070FFFh
6	111	06F000h	06FFFFh
	∫		
	96	060000h	060FFFh
5	95	05F000h	05FFFFh
	∫		
	80	050000h	050FFFh
4	79	04F000h	04FFFFh
	∫		
	64	040000h	040FFFh
3	63	03F000h	03FFFFh
	∫		
	48	030000h	030FFFh
2	47	02F000h	02FFFFh
	∫		
	32	020000h	020FFFh
1	31	01F000h	01FFFFh
	∫		
	16	010000h	010FFFh
0	15	00F000h	00FFFFh
	∫		
	2	002000h	002FFFh
	1	001000h	001FFFh
	0	000000h	000FFFh

コマンドと動作説明

コマンドに対応する機能と動作の詳細な説明を次に示す。

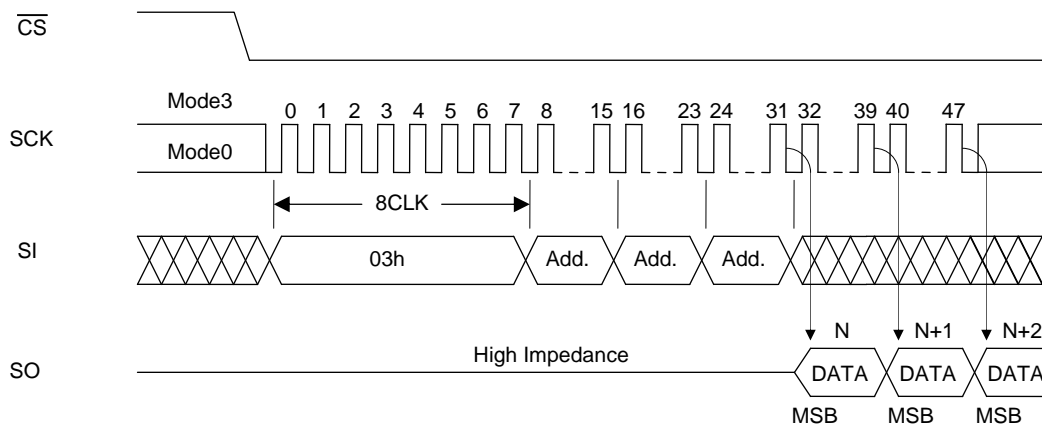
1. 標準 SPI リード

標準 SPI リードには、リードコマンドと高速リードコマンドの 2 種類がある。

1-1. リードコマンド

リードコマンドは、第 1 バスサイクルから第 4 バスサイクルで構成され、(03h)に続けて 24 ビットのアドレスを入力する仕様となっており、指定したアドレスのデータが SCK に同期して出力される。データ出力は、第 4 バスサイクル Bit0 (31CLK 目) の立ち下がりクロックを基準に S0 から出力される。図 4-a : リードにタイミング波形を示す。

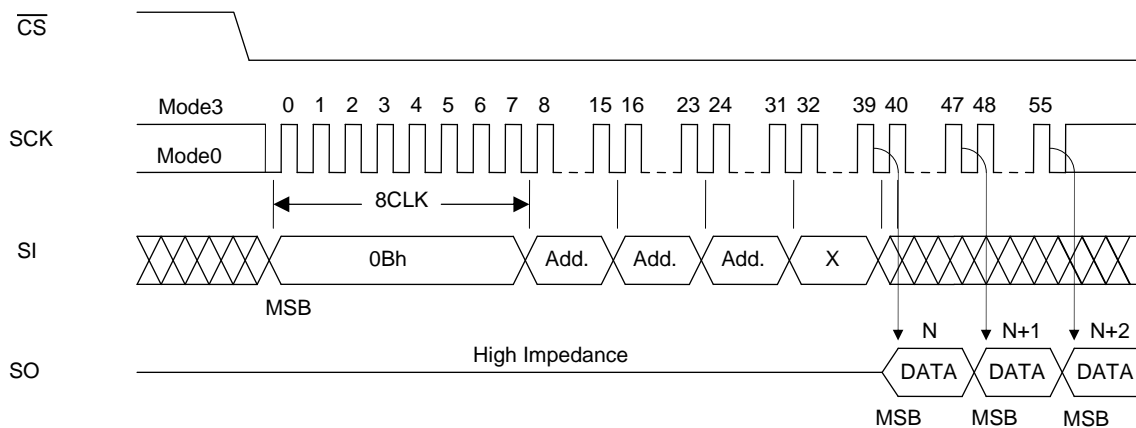
図 4-a : リード



1-2. 高速リードコマンド

高速リードコマンドは、第 1 バスサイクルから第 5 バスサイクルで構成され、(0Bh)に続けて 24 ビットのアドレスと 8 ビットのダミービットを入力する。データ出力は、第 5 バスサイクル Bit0 (39CLK 目) の立ち下がりクロックを基準に S0 から出力される。図 4-b : 高速リードにタイミング波形を示す。

図 4-b : 高速リード



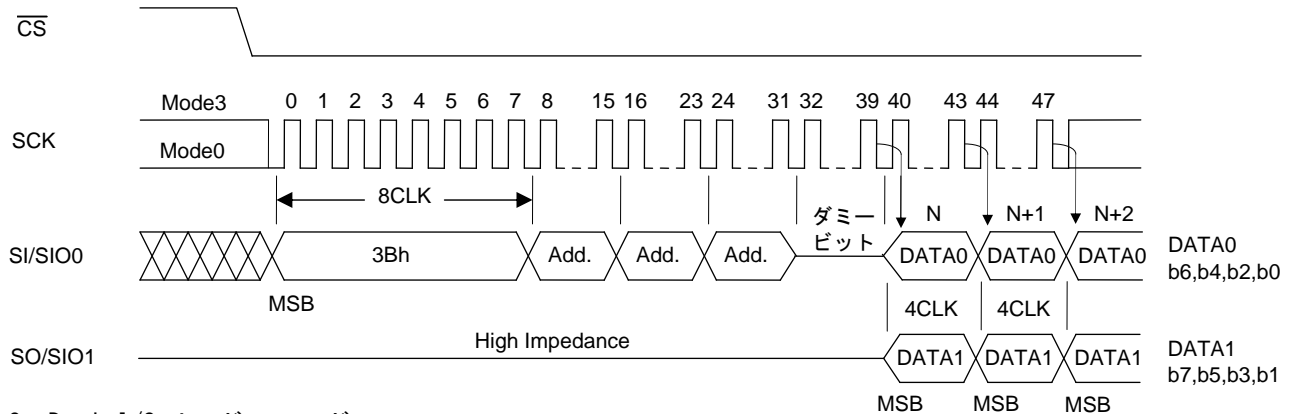
2. Dual リード

標準 SPI の高速リードより、2 倍の高速化を実現するコマンドとして、Dual リードコマンドと Dual I/O リードコマンドの 2 種類がある。

2-1. Dual リードコマンド

Dual リードコマンドは、SI/SIO0、SO/SIO1 のピン機能が出力に切り替わり、データ出力を x2 出力にすることで高速化を図っている。コマンドシーケンスは第 1 バスサイクルから第 5 バスサイクルで構成され、(3Bh) に続けて 24 ビットのアドレスと 8 ビットのダミービットを入力する仕様となっており、指定したアドレスのデータが SCK に同期して x2 出力される。データ出力は、第 5 バスサイクルの Bit0(39CLK 目)の立ち下がりクロックを基準に、SO/SIO1 から DATA1(上位出力 Bit から Bit7、Bit5、Bit3、Bit1)、SI/SIO0 から DATA0(上位出力 Bit から Bit6、Bit4、Bit2、Bit0)が出力される。出力データフォーマットは 4CLK で 8Bit となる。図 5-a : Dual リードにタイミング波形を示す。

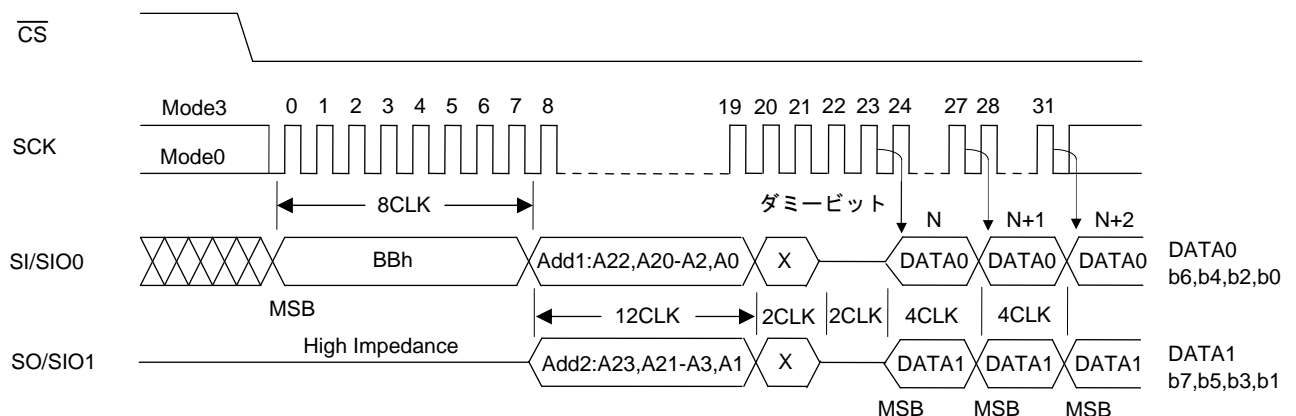
図 5-a : Dual リード



2-2. Dual I/O リードコマンド

Dual I/O リードコマンドは、SI/SIO0、SO/SIO1 のピン機能が入出力に切り替わり、アドレス入力とデータ出力の両方を x2 入出力にすることで高速化を図っている。コマンドシーケンスは第 1 バスサイクルから第 3 バスサイクルで構成され、(BBh) に続けて 12CLK で 24 ビットのアドレス入力、4CLK でダミービットを入力する。アドレス入力、ダミービット入力フォーマットは x2 入力であり、アドレスは、SO/SIO1 から Add1(上位入力 Bit から A23、A21、-、A3、A1)、SI/SIO0 から Add0(上位入力 Bit から A22、A20、-、A2、A0)である。ダミービットは、2CLK は don't care、その後の 2CLK は高インピーダンスの状態となり、この間にコントローラ側の入出力切り替えが可能となる。データ出力は、第 3 バスサイクルの Bit0(23CLK 目)の立ち下がりクロックを基準に、SO/SIO1 から DATA1(上位出力 Bit から Bit7、Bit5、Bit3、Bit1)、SI/SIO0 から DATA0(上位出力 Bit から Bit6、Bit4、Bit2、Bit0)が出力される。図 5-b : Dual I/O リードにタイミング波形を示す。

図 5-b : Dual I/O リード



リードコマンドを入力し、指定したアドレスのデータを出力した後に SCK を入力し続けると、SCK を入力している期間中デバイス内部でアドレスを自動的にインクリメントして、それに対応したデータを順に出力する。クロックの入力を続け、内部のアドレスが最上位アドレス(7FFFh)に達しデータが出力された後、なおも SCK の入力が続く場合、内部のアドレスは最下位アドレス(0000h)に戻ってデータの出力が続く。CS を論理高レベルにすることで、デバイスは非選択になり、リードサイクルは終了する。デバイスの非選択時は、出力端子 SO は高インピーダンスの状態となる。

3. ステータスレジスタ

ステータスレジスタとは、デバイスの内部の動作状態や設定状態を保持しており、その情報の読み出し(ステータスレジスタリード)や、プロテクト情報の書き換え(ステータスレジスタライト)が可能である。レジスタは全部で8ビットあり、それぞれのビットの意味を表4：ステータスレジスタに示す。

表4：ステータスレジスタ

ビット	名称	論理	機能	電源投入時			
Bit0	$\overline{\text{RDY}}$	0	レディー状態	0			
		1	イレーズ/プログラム状態				
Bit1	WEN	0	ライト禁止状態	0			
		1	ライト可能状態				
Bit2	BP0	0	ブロックプロテクト情報 プロテクト領域切り替え	不揮発情報			
		1					
Bit3	BP1	0			不揮発情報		
		1					
Bit4	BP2	0				不揮発情報	
		1					
Bit5	TB	0	ブロックプロテクト 上位側/下位側切り替え	不揮発情報			
		1					
Bit6					リザーブビット		0
Bit7	SRWP	0			ステータスレジスタライト可能状態		不揮発情報
		1			ステータスレジスタライト禁止状態		

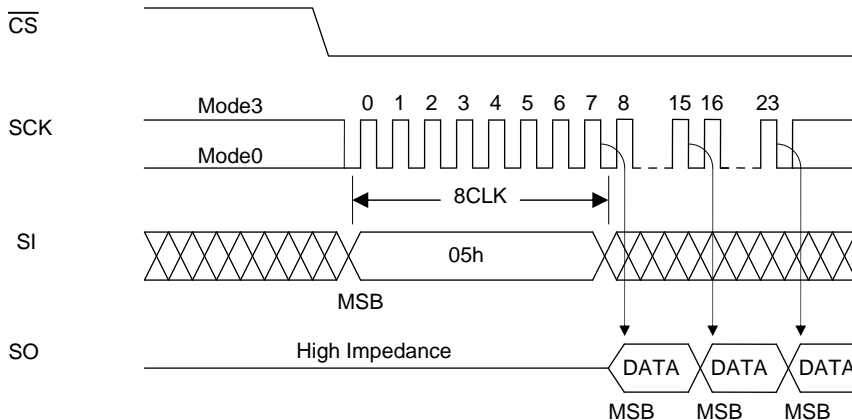
3-1. ステータスレジスタリード

ステータスレジスタリードにより、ステータスレジスタの内容を読み出すことができる。ステータスレジスタリードは、下記の動作中にも行うことが可能である。

- ・小セクタイレーズ、セクタイレーズ、チップイレーズ
- ・ページプログラム
- ・ステータスレジスタライト

図6：ステータスレジスタリードに動作波形を示す。ステータスレジスタコマンドは、第1バスサイクルのみで構成され、(05h)の8ビット目を入力したクロック(SCK)の立ち下りに同期して、ステータスレジスタの内容が出力される。出力される順序はSRWP(Bit7)が最初で、1クロックが入力されるたびにその立ち下がりに同期して $\overline{\text{RDY}}$ (Bit0)までのデータが順に出力される。 $\overline{\text{RDY}}$ (Bit0)が出力された後、なおもクロックの入力が続く場合、最初に出力されたビット(SRWP)に戻って、データ出力が出力され、以後クロック入力が続く限り出力が繰り返される。ステータスレジスタリードは、いつでも(プログラム、イレーズサイクル中も)読出すことが可能である。

図6：ステータスレジスタリード

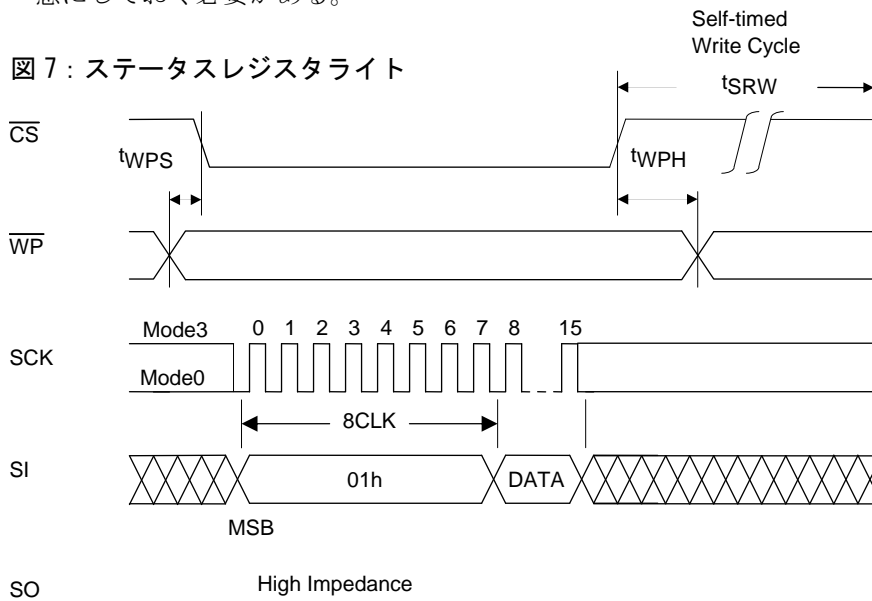


3-2. ステータスレジスタライト

ステータスレジスタライトにより、ステータスレジスタのBP0、BP1、BP2、TB、SRWPを書換えることができる。 $\overline{\text{RDY}}$ 、 $\overline{\text{WEN}}$ とBit6はリードオンリーであり書換えることはできない。BP0、BP1、BP2、TB、SRWPは不揮発メモリに記憶しており、書き込みを行うと電源を切断してもその内容は保持される。図7：ステータスレジスタライトに動作波形を、また、図21(P_18)：ステータスレジスタライトにフローチャートを示す。ステータスレジスタライトコマンドは、第1バスサイクルと第2バスサイクルで構成され、(01h)に続けてDATAを入力した後、 $\overline{\text{CS}}$ を立ち上げることで内部のライト動作が始まる。ステータスレジスタライトは、デバイス内部で自動的にイレーズ、プログラムが行われるので、あらかじめ消去などの処理を行う必要はない。ステータスレジスタライト時に、書換えを行うことのできないビット、つまり、 $\overline{\text{RDY}}$ (Bit0)、 $\overline{\text{WEN}}$ (Bit1)、Bit6にデータを設定しても書き込みは行われないので、いずれの値に設定しても不具合は発生しない。ステータスレジスタライトの終了は、ステータスレジスタリードの $\overline{\text{RDY}}$ により検知することができる。

ステータスレジスタライトを行うには、 $\overline{\text{WP}}$ ピンを高レベル、ステータスレジスタのWENを“1”状態にしておく必要がある。

図7：ステータスレジスタライト



3-3. 各ステータスレジスタの内容

$\overline{\text{RDY}}$ (Bit0)

$\overline{\text{RDY}}$ は、ライト(プログラム、イレーズ、およびステータスレジスタライト)の終了を検知するためのレジスタである。 $\overline{\text{RDY}}$ が“1”状態の場合、デバイスはビジー状態であり、“0”状態であればライトが終了していることを示す。

$\overline{\text{WEN}}$ (Bit1)

$\overline{\text{WEN}}$ は、デバイスがライト可能であるかどうかを検知するためのレジスタである。 $\overline{\text{WEN}}$ が“0”状態であれば、ライトコマンドを入力しても、デバイスはライト動作を行わない。 $\overline{\text{WEN}}$ が“1”状態であれば、ブロックプロテクトされていない領域にライトを行うことが可能である。

$\overline{\text{WEN}}$ は、ライトイネーブルコマンドおよびライトディセーブルコマンドにより、コントロールできる。ライトイネーブルコマンド(06h)を入力することにより、 $\overline{\text{WEN}}$ は“1”状態に、また、ライトディセーブルコマンド(04h)を入力することにより“0”状態にすることができる。また、下記の状態の時は、不用意な書き込みを防止するため自動的に $\overline{\text{WEN}}$ が“0”状態となる。

- ・電源投入時
- ・小セクタイレーズ、セクタイレーズ、チップイレーズの終了後
- ・ページプログラムの終了後
- ・ステータスレジスタライトの終了後

*各ライト動作(小セクタイレーズ、セクタイレーズ、チップイレーズ、ページプログラム、ステータスレジスタライト)への入力コマンドが不成立、プロテクトされたアドレスへのライト動作等、LE25U40CMC内部でライト動作が行われなかった場合、 $\overline{\text{WEN}}$ は、そのコマンド発行前の状態を維持する。また、リード動作によって $\overline{\text{WEN}}$ の状態が変わることはない。

BP0、BP1、BP2、TB(Bit2、3、4、5)

ブロックプロテクト BP0、BP1、BP2、TB は書き込みを行うことが可能なステータスレジスタビットで、その内容によりプロテクトするメモリ空間を設定することができる。設定条件は表5のプロテクトレベル設定条件を参照すること。BP0、BP1、BP2 はプロテクト領域を切り替え、TB はプロテクト領域を、上位アドレス側か下位アドレス側に切り替える。

表5：プロテクトレベル設定条件

プロテクトレベル	ステータスレジスタビット				プロテクト領域
	TB	BP2	BP1	BP0	
0(全領域アンプロテクト)	X	0	0	0	無し
T1(上位 1/8 プロテクト)	0	0	0	1	07FFFFh~070000h
T2(上位 1/4 プロテクト)	0	0	1	0	07FFFFh~060000h
T3(上位 1/2 プロテクト)	0	0	1	1	07FFFFh~040000h
B1(下位 1/8 プロテクト)	1	0	0	1	00FFFFh~000000h
B2(下位 1/4 プロテクト)	1	0	1	0	01FFFFh~000000h
B3(下位 1/2 プロテクト)	1	0	1	1	03FFFFh~000000h
4(全領域プロテクト)	X	1	X	X	07FFFFh~000000h

*プロテクトレベルが0の時のみ、チップイレーズ可能

SRWP (Bit7)

ステータスレジスタライトプロテクト SRWP は書き込みを行うことが可能なステータスレジスタビットで、その内容によりステータスレジスタのプロテクトを設定することができる。SRWP が“1”状態、かつ、 \overline{WP} ピンが論理低レベルである時、ステータスレジスタライトコマンドは無視され、ステータスレジスタの BP0、BP1、BP2、TB、SRWP は保護される。 \overline{WP} ピンが論理高レベルである時は、SRWP の状態にかかわらず、ステータスレジスタはプロテクトされない。SRWP 設定条件を表6のSRWP 設定条件に示す。

表6：SRWP 設定条件

\overline{WP} ピン	SRWP	ステータスレジスタ プロテクト状態
0	0	アンプロテクト
	1	プロテクト
1	0	アンプロテクト
	1	アンプロテクト

Bit6 はリザーブビットとなっており意味を持っていない。

4. ライトイネーブル

下記の動作を行う前には、あらかじめデバイスをライトイネーブル状態にしておく必要がある。これは、ステータスレジスタの WEN を“1”状態にする操作と同じで、ライトイネーブルコマンドの入力を行うことで可能になる。図8：ライトイネーブルに動作波形を示す。ライトイネーブルコマンドは、第1バスサイクルのみで構成され、(06h)を入力することにより行われる。

- 小セクタイレズ、セクタイレズ、チップイレズ
- ページプログラム
- ステータスレジスタライト

5. ライトディセーブル

ライトディセーブルは、ステータスレジスタの WEN を“0”状態にセットし、不用意なライトを禁止するコマンドである。図9：ライトディセーブルに動作波形を示す。ライトディセーブルコマンドは、第1バスサイクルのみで構成され、(04h)を入力する。ライトディセーブル状態(WEN “0”)からの抜け出しは、ライトイネーブルコマンド(06h)で WEN “1”にすることにより行われる。

図8：ライトイネーブル

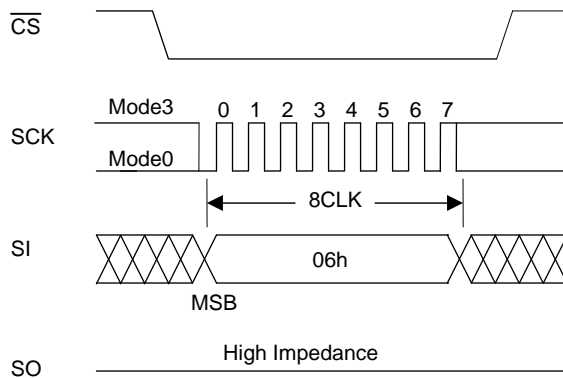
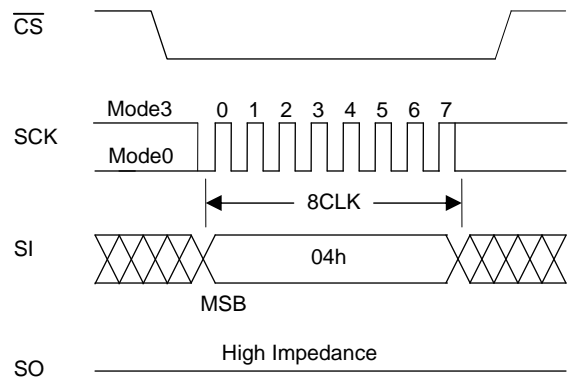


図9：ライトディセーブル



6. パワーダウン

パワーダウンは、シリコン ID リードとパワーダウンからの抜け出しコマンド以外の、全てのコマンドを受け付け禁止状態(パワーダウン)にするコマンドである。図10：パワーダウンに動作波形を示す。パワーダウンコマンドは、第1バスサイクルのみで構成され、(B9h)を入力する。ただし、内部ライト動作実行中のパワーダウンコマンドは無視される。一方、パワーダウンからの抜け出しは、パワーダウンからの抜け出しコマンドで行う(シリコン ID リードコマンド(ABh)の1バスサイクル以上が入力された場合も、パワーダウンから抜け出す)。図11：パワーダウンからの抜け出しに、パワーダウンからの抜け出しコマンドの動作波形を示す。

図10：パワーダウン

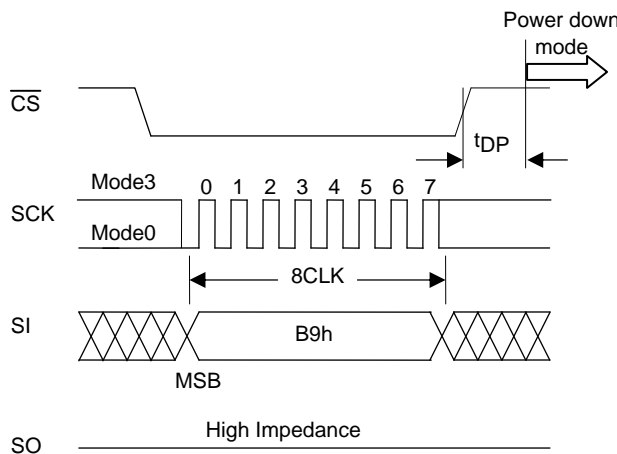
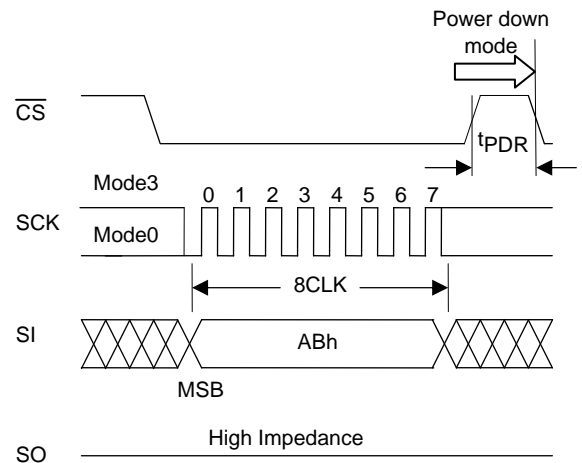


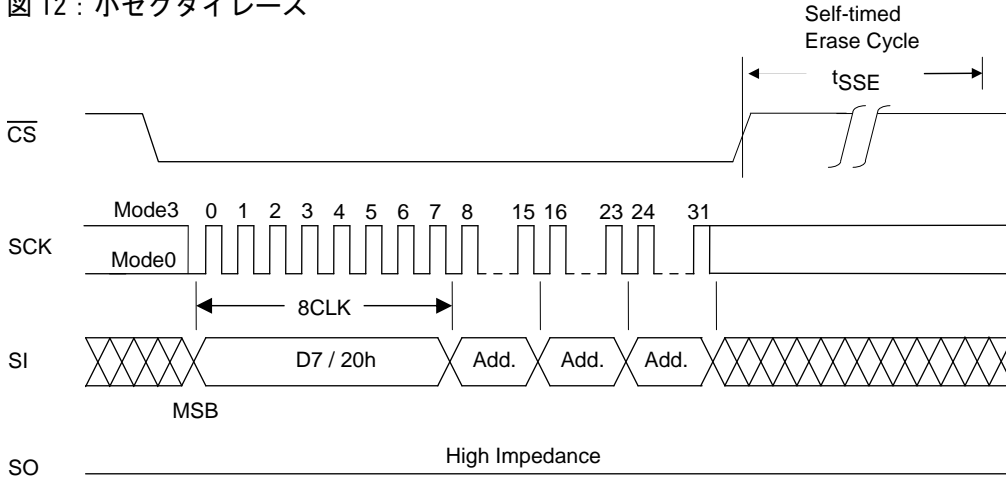
図11：パワーダウンからの抜け出し



7. 小セクタイレーズ

小セクタイレーズは、任意の小セクタのメモリセルデータを“1”状態にする操作である。小セクタは4Kbyteで構成される。図12：小セクタイレーズに動作波形を、図21(P_19)にフローチャートを示す。小セクタイレーズコマンドは、第1バスサイクルから第4バスサイクルで構成され、(20h)又は(D7h)に続けて24ビットのアドレスを入力する。アドレスは、A18～A12が有効で、A23～A19は、don't careとなっている。コマンドの入力終了後、 \overline{CS} の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ(\overline{RDY})を用いて検知することができる。

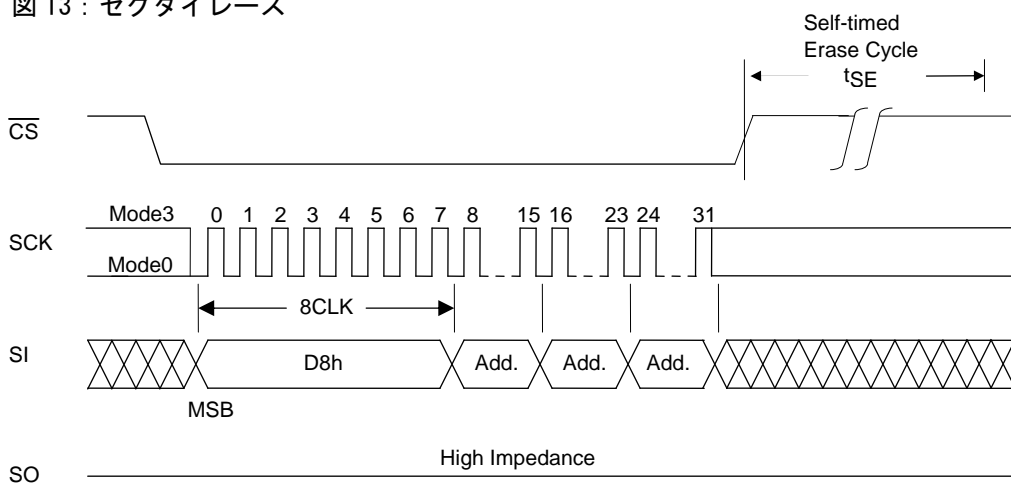
図12：小セクタイレーズ



8. セクタイレーズ

セクタイレーズは、任意のセクタのメモリセルデータを“1”状態にする操作である。セクタは64Kbyteで構成される。図13：セクタイレーズに動作波形を、図21(P_19)にフローチャートを示す。セクタイレーズコマンドは、第1バスサイクルから第4バスサイクルで構成され、(D8h)に続けて24ビットのアドレスを入力する。アドレスは、A18～A16が有効で、A23～A19は、don't careとなっている。コマンドの入力終了後、 \overline{CS} の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ(\overline{RDY})を用いて検知することができる。

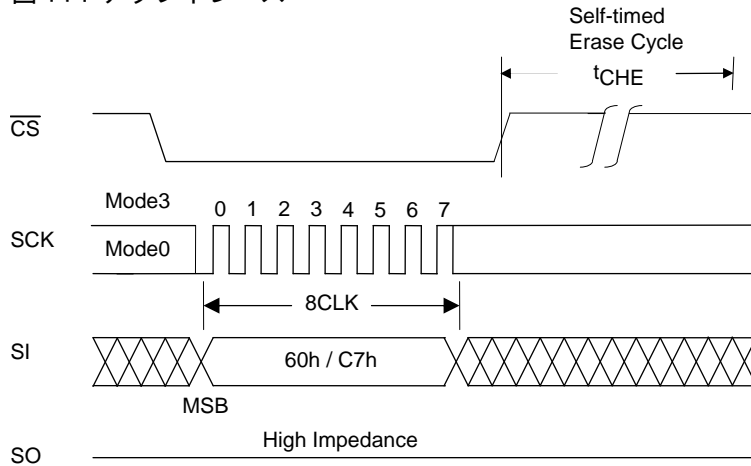
図13：セクタイレーズ



9. チップイレーズ

チップイレーズは、全セクタのメモリセルデータを“1”状態にする操作である。図14：チップイレーズに動作波形を、図21(P_19)にフローチャートを示す。チップイレーズコマンドは、第1バスサイクルのみで構成され、(60h)又は(C7h)を入力することにより行われる。コマンド入力終了後、 $\overline{\text{CS}}$ の立ち上がりエッジから内部イレーズ動作が始まり、内部タイマの制御で自動的に終了する。また、イレーズの終了は、ステータスレジスタ(RDY)を用いて検知することができる。

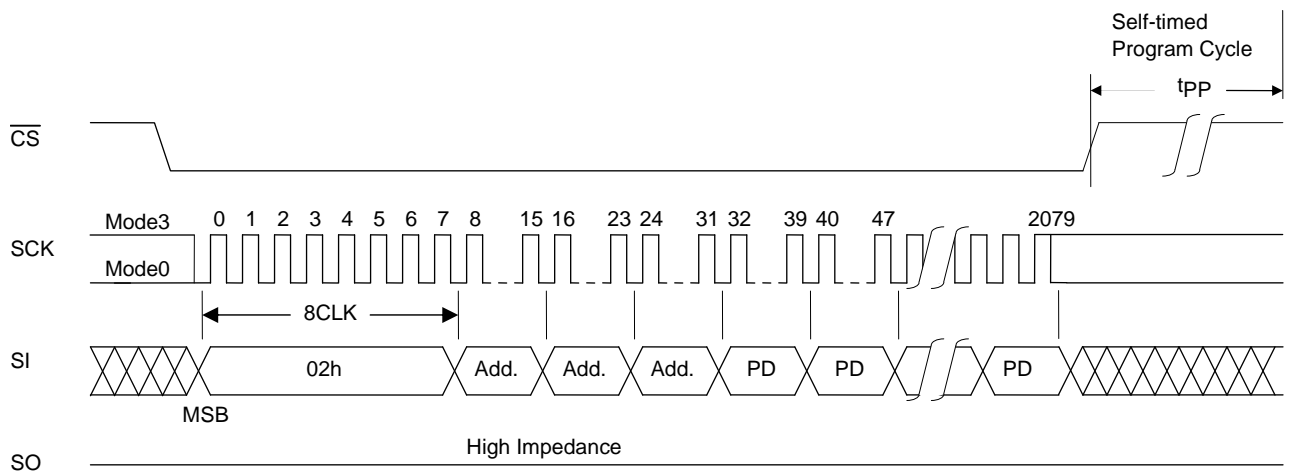
図14：チップイレーズ



10. ページプログラム

ページプログラムは、セクタの同一ページ内(ページアドレス：A18~A8)に、1バイトから256バイトの任意のバイト数をプログラムする操作である。プログラムを行うページはあらかじめ小セクタイレーズ、セクタイレーズあるいはチップイレーズで消去しておく必要がある。図15：ページプログラムに動作波形を、図22(P_21)にフローチャートを示す。 $\overline{\text{CS}}$ を立ち下げた後、コマンド(02H)を入力し、引き続き24ビットのアドレスを入力する。アドレスはA18~A0が有効である。その後、 $\overline{\text{CS}}$ を立ち上げるまではクロックの立ち上がりの度にプログラムデータがロードされ、 $\overline{\text{CS}}$ が立ち上がるまでデータのロードが続く。ロードされるデータが256バイトを超えた場合は、最後にロードされた256バイトがプログラムされる。プログラムデータはバイト単位でロードする必要があり、それ以外のタイミングで $\overline{\text{CS}}$ を立ち上げた場合は、プログラム動作は行われない。

図15：ページプログラム



11. ID リード

ID リードは、製造者コードとデバイス ID をリードするための操作である。なお、ID リードコマンドはライト中は受け付けられない。

ID リードを行う方法は 2 種類あり、それぞれにデバイス ID が割り与えられている。一つ目は、JEDEC ID リードコマンドを入力する方法である。第 1 バスサイクルのみで構成され、(9Fh)を入力し、その後のバスサイクルでは、JEDEC で割り当てられた製造者コード 62h、2 バイトのデバイス ID コード (メモリータイプ、メモリー容量)、リザーブコードが順に出力される。また、クロックの入力が続く限り、4 バイトのコードは繰り返し出力される。表 7_1 : シリコン ID リード 1 に出力コード、図 16-a : JEDEC ID リードを示す。

二つ目の方法は、ID リードコマンドを入力する方法である。第 1 バスサイクルから第 4 バスサイクルで構成され、(ABh)に続けて 24 ビットのダミービットを入力すると、1 バイトのシリコン ID コードがリードできる。表 7_2 : ID リードに出力コード、図 16-b : ID リードにタイミング波形を示す。デバイスコードを読み出した後、なおも SCK 入力が続く場合は、デバイスコードが出力され続ける。データ出力は、第 4 バスサイクル Bit0 の立ち上がりクロックから出力され、CS を立ち上げることでシリコン ID リードは終了する。

表 7_1 : JEDEC ID リード

		出力コード
製造者コード		62h
2 バイト デバイス ID	メモリータイプ	06h
	メモリー容量 コード	13h(4MBit)
リザーブコード		00h

表 7_2 : ID リード

	出力コード
1 バイト デバイス ID	6E (LE25FU406C)

図 16-a : JEDEC ID リード

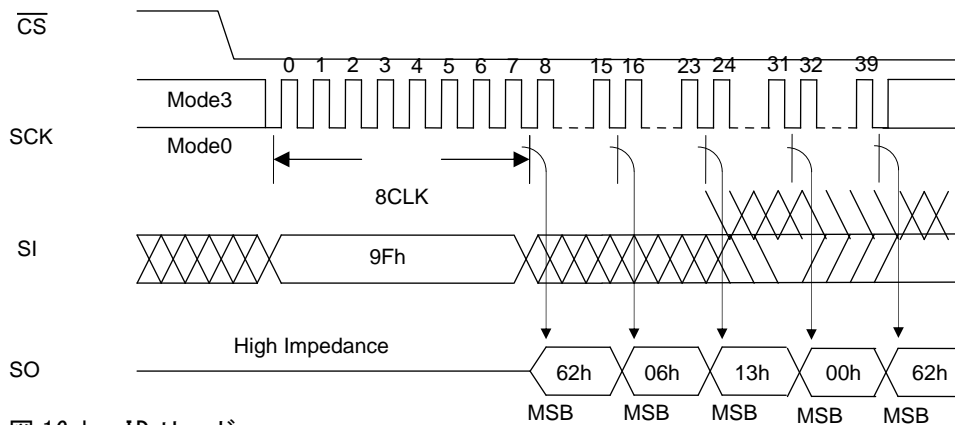
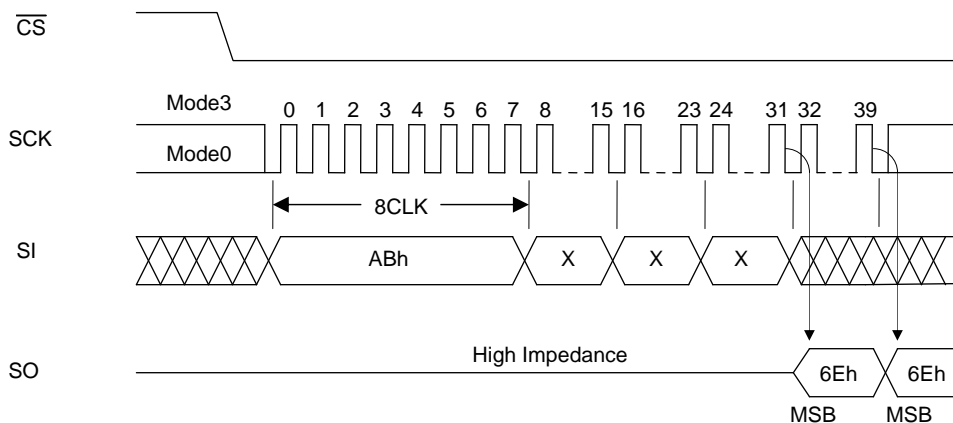


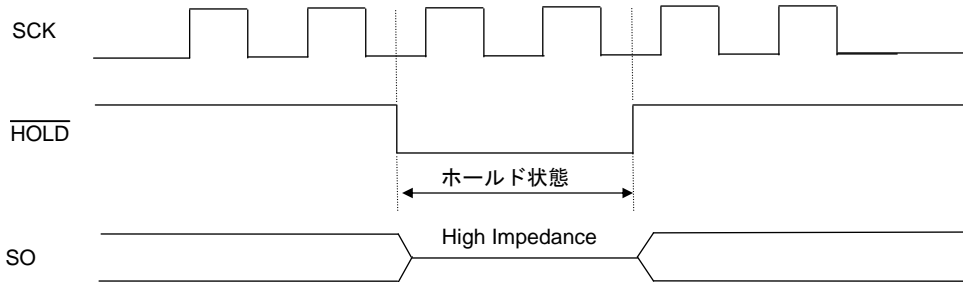
図 16-b : ID リード



12. ホールド機能

$\overline{\text{HOLD}}$ ピンによるホールド機能は、シリアルコミュニケーションを中断(ホールド状態)するために使用する。図 17: $\overline{\text{HOLD}}$ に動作波形を示す。SCK が低レベルで $\overline{\text{HOLD}}$ を立ち下げると、デバイスはホールド状態となり、 $\overline{\text{HOLD}}$ を立ち上げると、ホールド状態から抜けだす。SCK が高レベルの時には、 $\overline{\text{HOLD}}$ の立ち下げ、立ち上げを行わないこと。ホールド機能は、 $\overline{\text{CS}}$ が低レベルの時有効で、 $\overline{\text{CS}}$ を立ち上げると、ホールド状態から抜け、シリアルコミュニケーションはリセットされる。ホールド状態時、SO は Hi-Z 出力で SI、SCK は don't care となる。

図 17 : HOLD

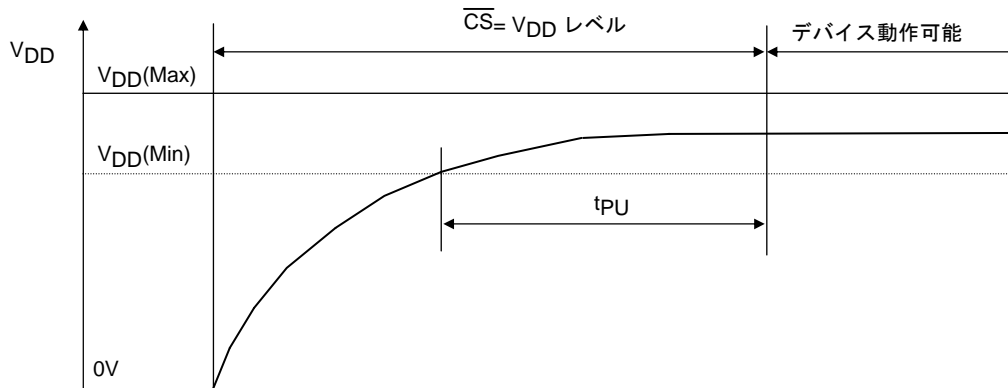


13. パワーアップ/パワーダウン

不用意な書き込みを防止するため、電源投入時は、 $\overline{\text{CS}}$ を $V_{\text{DD}} - 0.3 \sim V_{\text{DD}} + 0.3$ の範囲にしておくこと。デバイスの動作の開始は、電源を投入し電源電圧が $V_{\text{DD Min}}$ 以上で、電圧が安定した状態から t_{PU} 後にコマンドを入力すること。

電源投入後、デバイスはスタンバイ状態となっており、デープパワーダウン状態ではありません。デープパワーダウン状態にするには、コマンドを入力する必要があります。

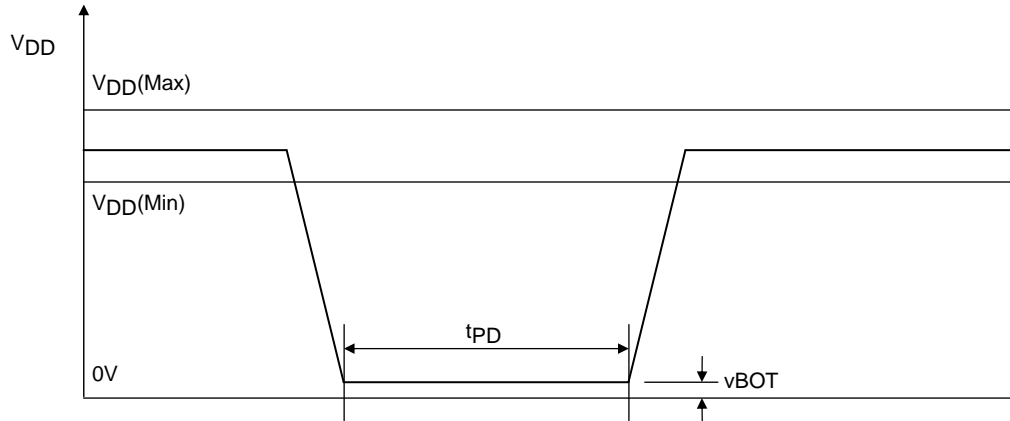
図 18 : パワーアップタイミング



LE25U40CMC

LE25U40CMC は内部にパワーオンリセット機能がある。パワーオンリセット回路を安定に動作させるために、以下の条件を守る。また、書き込み期間中の電源の瞬断についてはそのデータは保証されない。

図 19 : パワーダウンタイミング



電源投入タイミング

項目	記号	規格値		unit
		min	max	
電源投入から動作可能までの時間	t _{PU}	100		μs
電源立ち下げ時間	t _{PD}	10		ms
電源立ち下げ電圧	v _{BOT}		0.2	V

14. ソフトウェアデータ保護

LE25U40CMC は、以下の条件ではコマンドを認識しないことにより、不用意な動作を無くしている。

- ・ライトコマンド入力時、 \overline{CS} の立ち上げタイミングが、バスサイクル間(SCKの8CLK単位)で無い場合。
- ・ページプログラムのデータがバイト単位で無い場合。
- ・ステータスレジスタライトのコマンド入力が、2バスサイクル以上の場合。

15. デカップリングコンデンサ

デバイスを安定に動作させるために、V_{DD}-V_{SS}間に0.1μFのセラミックコンデンサをデバイスごとに付加すること。

LE25U40CMC

絶対最大定格

項目	記号	条件	定格値	unit
最大電源電圧	VDDmax	VSS 基準	-0.5~+4.6	V
全ピン DC 電圧	VIN/VOUT	VSS 基準	-0.5~VDD+0.5	V
保存温度	Tstg		-55~+150	°C

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

動作範囲

項目	記号	条件	定格値	unit
動作電源電圧	VDD		2.3~3.6	V
動作周囲温度	Topr		-40~85	°C

DC許容動作条件

項目	記号	条件	条件		unit	
			min	max		
リード時動作電流	ICCR	SCK=0.1VDD/0.9VDD, HOLD=WP=0.9VDD, 出力=開放	シリアル	25MHz	6	mA
				40MHz	10	mA
			Dual	40MHz	12	mA
ライト時動作電流 (イレーズ+プログラム)	ICCW	tSSE=Typ, tSE=Typ, tCHE=Typ, tpp=Max.		15	mA	
CMOS スタンバイ電流	ISB	CS=VDD, HOLD=WP=VDD, SI=VSS/VDD, SO=開放,		50	μA	
パワーダウン スタンバイ電流	IDSB	CS=VDD, HOLD=WP=VDD, SI=VSS/VDD, SO=開放,		10	μA	
入力リーク電流	ILI			2	μA	
出力リーク電流	ILO			2	μA	
入力低電位	VIL		-0.3	0.3VDD	V	
入力高電位	VIH		0.7VDD	VDD+0.3	V	
出力低電位	VOL	IOL=100μA		0.2	V	
		IOL=1.6mA		0.4		
出力高電位	VOH	IOH=-100μA	VDD-0.2		V	

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

データ保持、書換え回数

項目	条件	min	max	unit
書換え回数	イレーズ	100,000		回/小セクター
	ステータスレジスタライト	1,000		回
データ保持		20		年

端子容量/Ta=25°C, f=1MHz

項目	記号	条件	規格値	unit
			max	
入出力端子容量	CIO	VSO=0V	12	pF
入力端子容量	CIN	VIN=0V	6	pF

注：このパラメータは全数測定されたものではなく、サンプル値である。

LE25U40CMC

AC 特性

項目		記号	規格値			unit
			min	typ	max	
クロック周波数	リード動作 (03h)	f _{CLK}	0.01		25	MHz
	リード動作 (03h) 以外		0.01		40	MHz
入力信号立ち上がり/立ち下がり時間		t _{RF}	0.1			V/ns
SCK 高レベルパルス幅	25MHz	t _{CLHI}	16			ns
	40MHz		11.5			ns
SCK 低レベルパルス幅	25MHz	t _{CLLO}	16			ns
	40MHz		11.5			ns
CSセットアップ時間		t _{CSS}	8			ns
CSホールド時間		t _{CSH}	8			ns
データセットアップ時間		t _{DS}	2			ns
データホールド時間		t _{DH}	5			ns
CS待機パルス幅		t _{CPH}	25			ns
CSからの出力高インピーダンス時間		t _{CHZ}			8	ns
SCK からの出力データ時間		t _V		8	11	ns
出力データホールド時間		t _{HO}	1			ns
SCK からの出力低インピーダンス時間		t _{CLZ}	0			ns
HOLDセットアップ時間		t _{HS}	5			ns
HOLDホールド時間		t _{HH}	3			ns
HOLDからの出力低インピーダンス時間		t _{HLZ}			9	ns
HOLDからの出力高インピーダンス時間		t _{HHZ}			9	ns
WPセットアップ時間		t _{WPS}	20			ns
WPホールド時間		t _{WPH}	20			ns
パワーダウン時間		t _{DP}			3	μs
パワーダウンリカバリ時間		t _{PDR}			3	μs
ライトステータスレジスタ時間		t _{SRW}		5	15	ms
ページプログラムサイクル時間		t _{PP}		4	5	ms
小セクタイレズサイクル時間		t _{SSE}		40	150	ms
セクタイレズサイクル時間		t _{SE}		80	250	ms
チップイレズサイクル時間		t _{CHE}		0.25	2.0	s

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

AC 試験条件

入力立ち上がり/立ち下がり時間..... 5ns

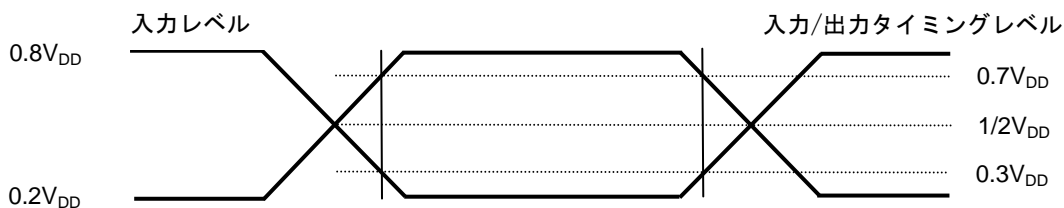
入力パルスレベル..... 0.2V_{DD}~0.8V_{DD}

入力タイミングレベル..... 0.3V_{DD}~0.7V_{DD}

出力タイミングレベル..... 1/2V_{DD}

出力負荷..... 30pF

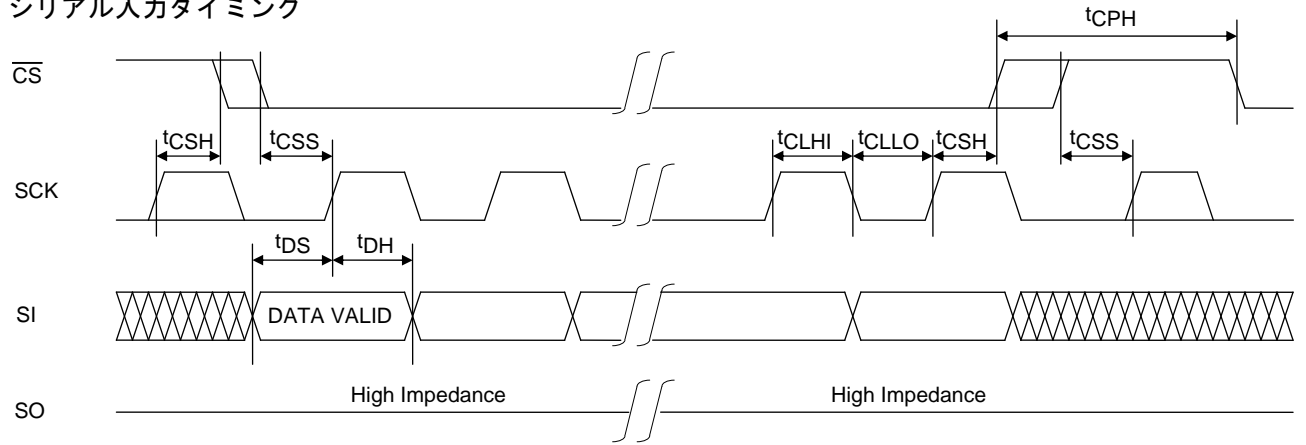
*注：typ についての試験条件は、V_{DD}=2.5v、室温測定である。



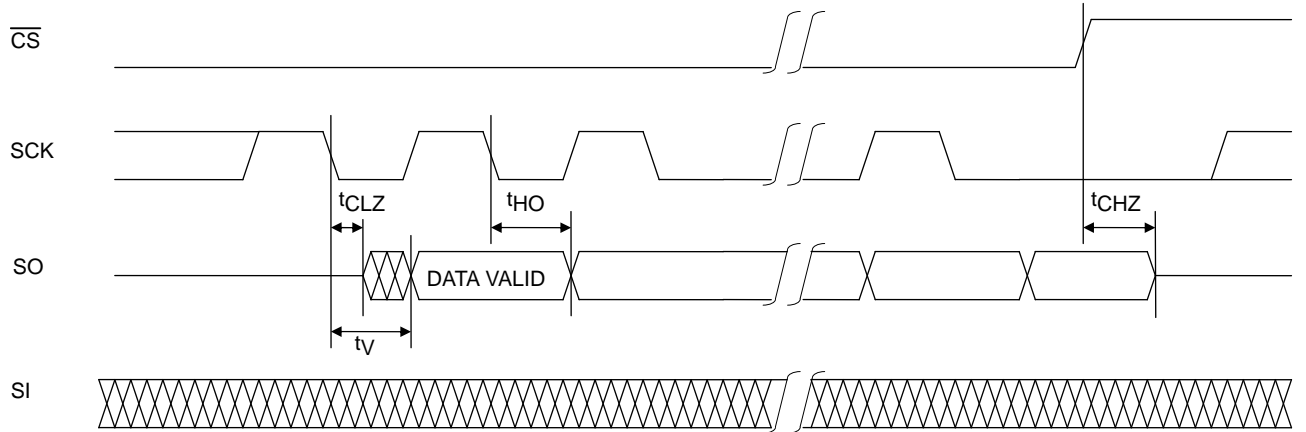
LE25U40CMC

タイミング波形

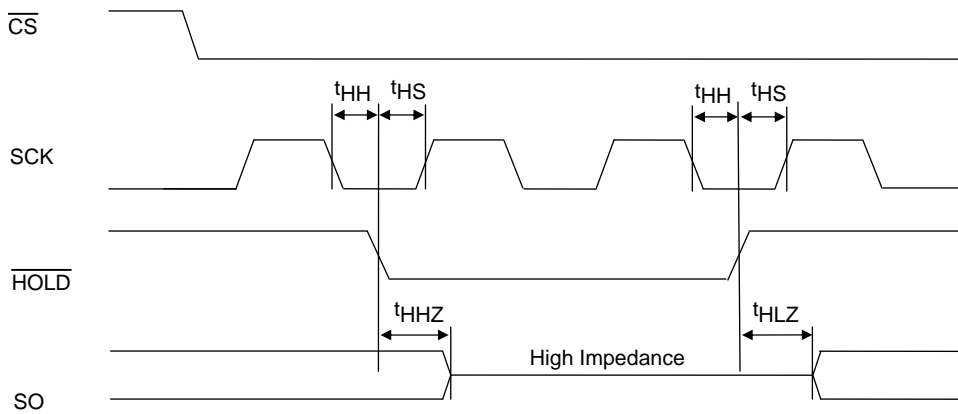
シリアル入カタイミング



シリアル出カタイミング



ホールドタイミング



ステータスレジスタライトタイミング

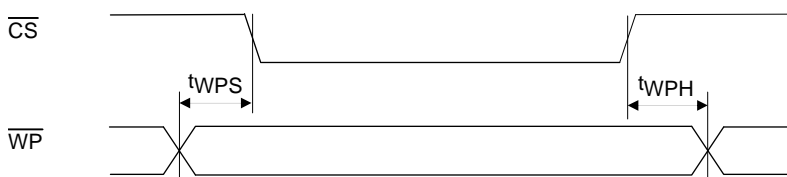
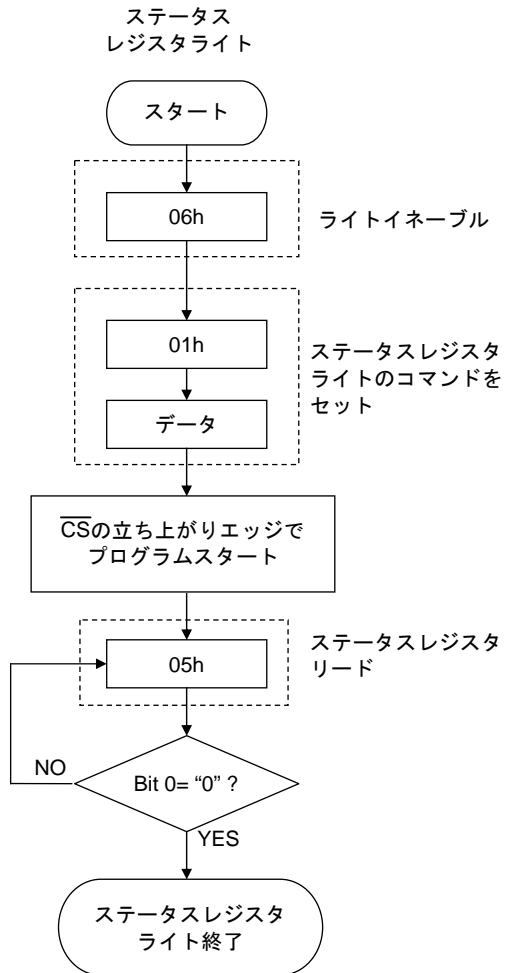


図 20 : ステータスレジスタライトフローチャート



* ステータスレジスタライト終了後、
自動的にライトディセーブルとなる。

図 21 : イレーズフローチャート

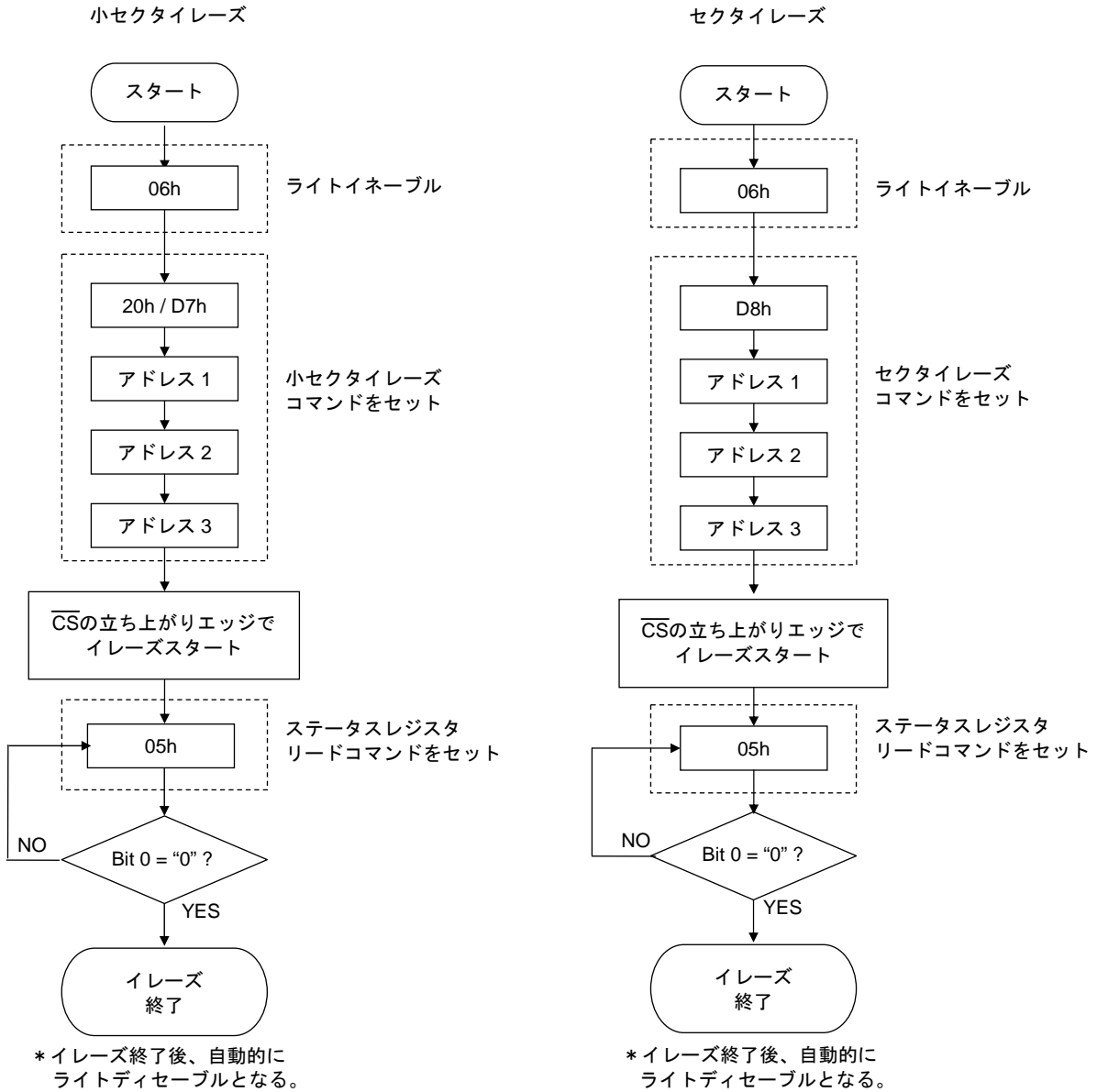
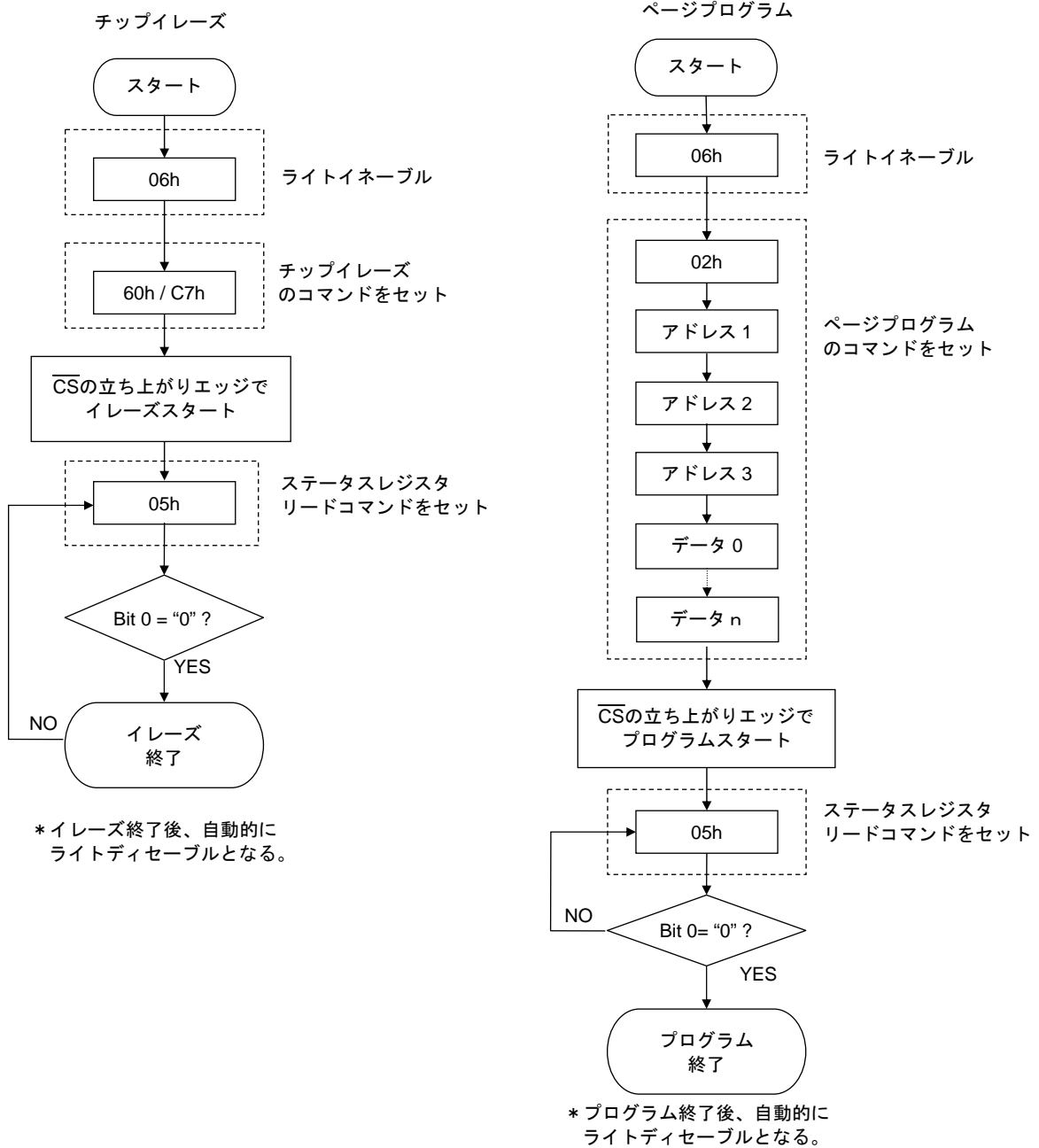
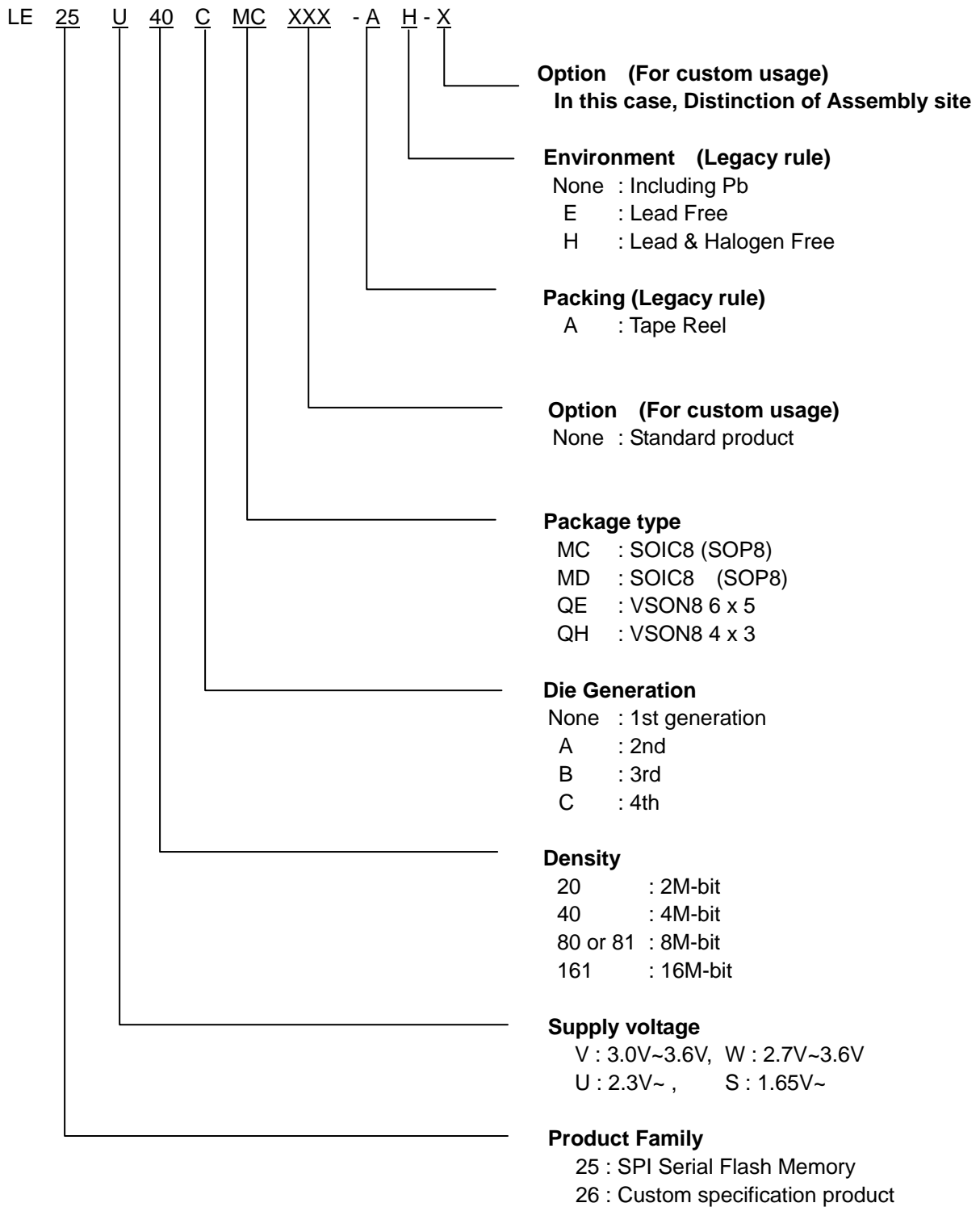


図 22 : プログラムフローチャート



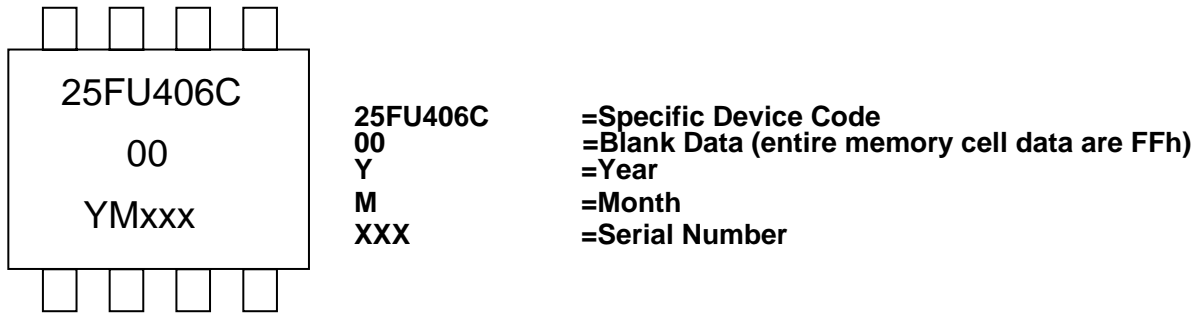
LE25U40CMC

製品名仕様 (LE25U40C シリーズ)



LE25U40CMC

図 23 : 印刷図



ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LE25U40CMC-AH	SOIC-8 / SOP8J (200mil) (Pb-Free / Halogen Free)	2000 / Tape & Reel

† For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D. http://www.onsemi.com/pub_link/Collateral/BRD8011-D.PDF

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。