

NCL30000

力率補正付き調光対応 LEDドライバ

NCL30000は、低～中電力の力率(PF)補正付きシングル・ステージLEDドライバ用のスイッチ・モード電源コントローラです。このデバイスは、臨界導通モード(CrM)で動作するように設計されており、フライバック・トポロジやバック・トポロジに適しています。定オンタイムCrM動作は、制御方式が単純で、低い電力レベルでも非常に高い効率を達成できるため、絶縁型フライバックLEDアプリケーションに特に適しています。これらは規制要件に準拠し、全体的なシステム発光効率要件を満たすうえでLED照明において重要です。CrMでは、スイッチング周波数がラインおよび負荷とともに変化します。メインMOSFETスイッチが再びオンになる前に電流がゼロになるため、出力整流器におけるリカバリ損失を無視でき、スイッチング損失が小さくなります。

NCL30000は、プログラマブル・オンタイム・リミッタ、ゼロ電流検出センス・ブロック、ゲート・ドライバ、トランスコンダクタンス・エラー・アンプのほか、CrMスイッチ・モード電源を実装するのに必要なすべてのPWM回路および保護機能を備えています。さらに、高効率を得られるように、デバイスは低起動電流を特徴とし、V_{CC}コンデンサを高速、低損失で充電できます。外部センス抵抗での電力消費を抑えるために、電流センス保護スレッシュホールドは500 mVに設定されています。固体照明の環境動作範囲をサポートするため、NCL30000は-40°C～125°Cの幅広い接合部温度範囲で規定されています。

特長

- 非常に低い24 μAの標準起動電流
- 定オンタイムPWM制御
- サイクル単位の電流保護
- 500 mVの低い電流センス・スレッシュホールド
- 2 mAの低い標準動作電流
- ソース電流500 mA/シンク電流800 mAのトーテンポール・ゲート・ドライバ
- TRIAC調光器およびトレーリング・エッジ・ライン調光器のための基準設計
- 広い動作温度範囲
- 入力電圧検出要件なし
- イネーブル機能および過電圧保護
- Pbフリー、ハロゲン・フリー/BFRフリーでRoHSに適合

代表的アプリケーション

- LEDドライバ電源
- LEDを使用したダウン・ライト
- 商業用および住宅用のLED照明器具
- TRIAC調光器対応LEDを光源とするPARランプ
- 力率補正定電圧電源



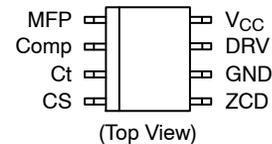
ON Semiconductor®

<http://onsemi.com>

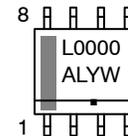


SOIC-8
CASE 751

PIN CONNECTION



MARKING DIAGRAM



A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

ORDERING INFORMATION

Device	Package	Shipping†
NCL30000DR2G	SOIC-8 (Pb-Free)	2,500/Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

NCL30000

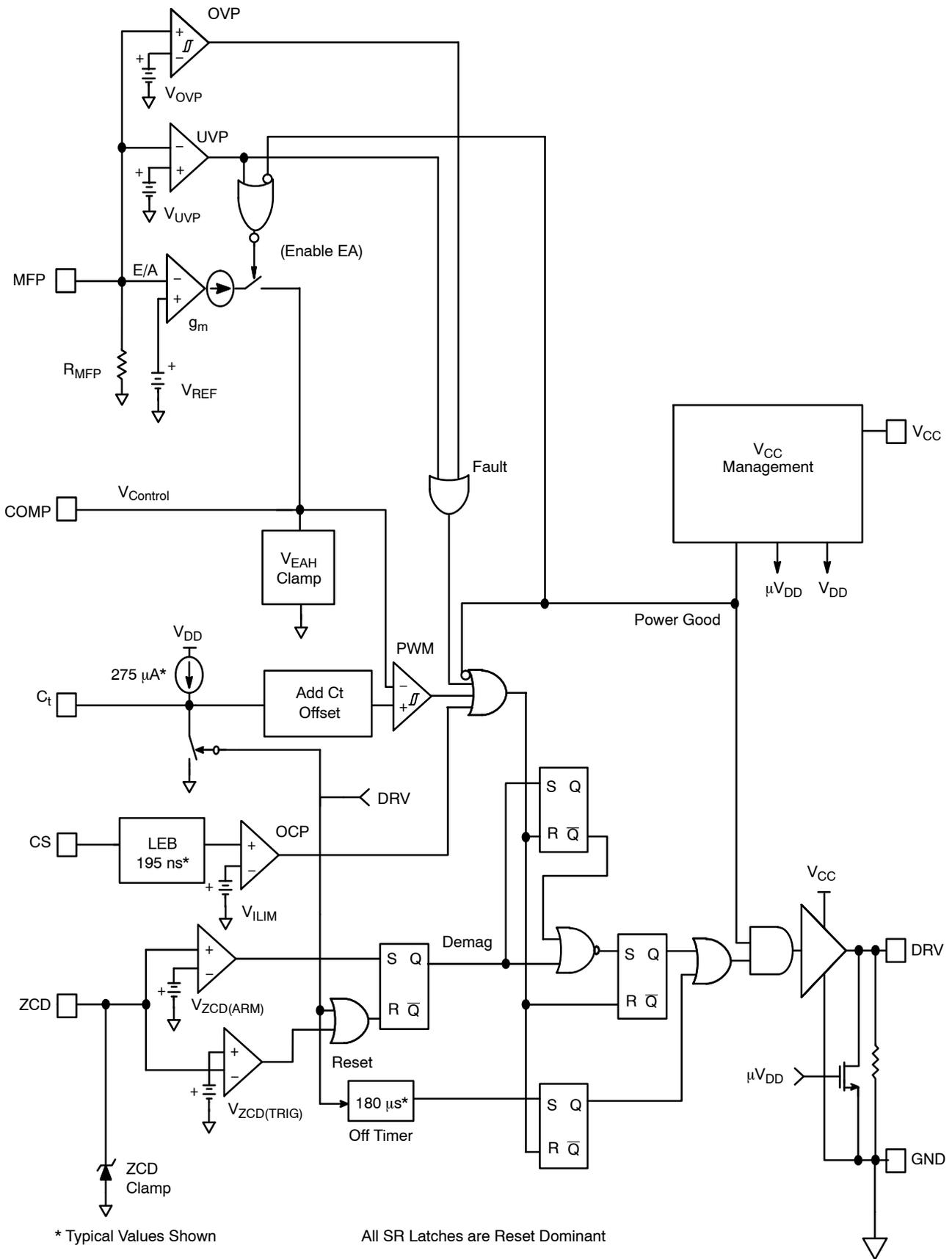


Figure 1. Block Diagram

NCL30000

Figure 2は、力率補正付き絶縁型フライバック・スイッチ・モード電源を実装するためのNCL30000構成方法を示しています。2次側は、定電圧、低電流コントローラNCS1002です。このコントローラは、平均LED電流および出力電圧を検出して、帰還制御信号をオプトカプラ・インタフェースを通じて1次側に供給します。アクティブ力率補正の主なメリットの1つは、負荷が白熱電球に似た線形抵抗のようになることです。高い力率を達成するには、ライン電流がほぼ正弦波で、ライン電流とライン電圧の位相差が最小であることが要求されます。NCL30000は、定オンタイム可変周波数モードで動作し、パワー・スイッ

チは入力電力の半サイクルにわたり同じ時間長だけオンになります。トランスの1次側の電流は、各スイッチング・サイクルでゼロから始まり、印加電圧とオン時間の積に正比例します。このため定オンタイムでは、電流は印加電圧に追従し、同じ形状の電流が生成されます。従来のブーストPFC回路のように制御帯域幅が小さいため、1ライン・サイクル全体にわたってオン時間が一定です。2次側からの帰還信号を使用して平均オン時間が修正されるため、LEDストリングの順方向電圧が変動しても、LEDを流れる電流が正しくレギュレートされます。

Table 2. MAXIMUM RATINGS

Rating	Symbol	Value	Unit
MFP Voltage	V_{MFP}	-0.3 to 10	V
MFP Current	I_{MFP}	± 10	mA
COMP Voltage	$V_{Control}$	-0.3 to 6.5	V
COMP Current	$I_{Control}$	-2 to 10	mA
Ct Voltage	V_{Ct}	-0.3 to 6	V
Ct Current	I_{Ct}	± 10	mA
CS Voltage	V_{CS}	-0.3 to 6	V
CS Current	I_{CS}	± 10	mA
ZCD Voltage	V_{ZCD}	-0.3 to 10	V
ZCD Current	I_{ZCD}	± 10	mA
DRV Voltage	V_{DRV}	-0.3 to V_{CC}	V
DRV Sink Current	$I_{DRV(sink)}$	800	mA
DRV Source Current	$I_{DRV(source)}$	500	mA
Supply Voltage	V_{CC}	-0.3 to 20	V
Supply Current	I_{CC}	± 20	mA
Power Dissipation ($T_A = 70^\circ\text{C}$, 2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad)	P_D	450	mW
Thermal Resistance Junction-to-Ambient (2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad)	$R_{\theta JA}$	178	$^\circ\text{C}/\text{W}$
Junction-to-Air, Low conductivity PCB (Note 3)	$R_{\theta JA}$	168	
Junction-to-Air, High conductivity PCB (Note 4)	$R_{\theta JA}$	127	
Operating Junction Temperature Range	T_J	-40 to 125	$^\circ\text{C}$
Maximum Junction Temperature	$T_{J(MAX)}$	150	$^\circ\text{C}$
Storage Temperature Range	T_{STG}	-65 to 150	$^\circ\text{C}$
Lead Temperature (Soldering, 10 s)	T_L	300	$^\circ\text{C}$

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

- This device series contains ESD protection and exceeds the following tests:
Pins 1–8: Human Body Model 2000 V per JEDEC Standard JESD22–A114E.
Machine Model Method 200 V per JEDEC Standard JESD22–A115–A.
- This device contains Latch-up protection and exceeds ± 100 mA per JEDEC Standard JESD78.
- As mounted on a 40 × 40 × 1.5 mm FR4 substrate with a single layer of 80 mm² of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51 low conductivity test PCB. Test conditions were under natural convection or zero air flow.
- As mounted on a 40 × 40 × 1.5 mm FR4 substrate with a single layer of 650 mm² of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51 high conductivity test PCB. Test conditions were under natural convection or zero air flow.

NCL30000

Table 3. ELECTRICAL CHARACTERISTICS

$V_{MFP} = 2.4\text{ V}$, $V_{Control} = 4\text{ V}$, $C_t = 1\text{ nF}$, $V_{CS} = 0\text{ V}$, $V_{ZCD} = 0\text{ V}$, $C_{DRV} = 1\text{ nF}$, $V_{CC} = 12\text{ V}$, unless otherwise specified
(For typical values, $T_J = 25^\circ\text{C}$. For min/max values, $T_J = -40^\circ\text{C}$ to 125°C , unless otherwise specified)

Characteristic	Test Conditions	Symbol	Min	Typ	Max	Unit
STARTUP AND SUPPLY CIRCUITS						
Startup Voltage Threshold	V_{CC} Increasing	$V_{CC(on)}$	11	12	12.5	V
Minimum Operating Voltage	V_{CC} Decreasing	$V_{CC(off)}$	8.8	9.5	10.2	V
Supply Voltage Hysteresis		H_{UVLO}	2.2	2.5	2.8	V
Startup Current Consumption	$0\text{ V} < V_{CC} < V_{CC(on)} - 200\text{ mV}$	$I_{cc(startup)}$	-	24	35	μA
No Load Switching Current Consumption	$C_{DRV} = \text{Open}$, 70 kHz Switching, $V_{CS} = 2\text{ V}$	I_{cc1}	-	1.4	1.7	mA
Switching Current Consumption	70 kHz Switching, $V_{CS} = 2\text{ V}$	I_{cc2}	-	2.1	2.6	mA
Fault Condition Current Consumption	No Switching, $V_{MFP} = 0\text{ V}$	$I_{cc(fault)}$	-	0.75	0.95	mA
OVERVOLTAGE AND UNDERVOLTAGE PROTECTION						
Overvoltage Detect Threshold	$V_{MFP} = \text{Increasing}$	V_{OVP}/V_{REF}	105	106	108	%
Overvoltage Hysteresis		$V_{OVP(HYS)}$	20	60	100	mV
Overvoltage Detect Threshold Propagation Delay	$V_{MFP} = 2\text{ V}$ to 3 V ramp, $dV/dt = 1\text{ V}/\mu\text{s}$ $V_{MFP} = V_{OVP}$ to $V_{DRV} = 10\%$	t_{OVP}	-	500	800	ns
Undervoltage Detect Threshold	$V_{MFP} = \text{Decreasing}$	V_{UVP}	0.25	0.31	0.4	V
Undervoltage Detect Threshold Propagation Delay	$V_{MFP} = 1\text{ V}$ to 0 V ramp, $dV/dt = 10\text{ V}/\mu\text{s}$ $V_{MFP} = V_{UVP}$ to $V_{DRV} = 10\%$	t_{UVP}	100	200	300	ns
ERROR AMPLIFIER						
Voltage Reference	$T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ to 125°C	V_{REF}	2.475 2.460	2.500 2.500	2.525 2.540	V
Voltage Reference Line Regulation	$V_{CC(on)} + 200\text{ mV} < V_{CC} < 20\text{ V}$	$V_{REF(line)}$	-10	-	10	mV
Error Amplifier Current Capability	$V_{MFP} = 2.6\text{ V}$ $V_{MFP} = 1.08 \cdot V_{REF}$ $V_{MFP} = 0.5\text{ V}$	$I_{EA(sink)}$ $I_{EA(sink)OVP}$ $I_{EA(source)}$	6 10 -110	10 20 -210	20 30 -250	μA
Transconductance	$V_{MFP} = 2.4\text{ V}$ to 2.6 V $T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ to 125°C	gm	90 70	110 110	120 135	μS
Feedback Pin Internal Pull-Down Resistor	$V_{MFP} = V_{UVP}$ to V_{REF}	R_{MFP}	2	4.6	10	$\text{M}\Omega$
Feedback Bias Current	$V_{MFP} = 2.5\text{ V}$	I_{MFP}	0.25	0.54	1.25	μA
Control Bias Current	$V_{MFP} = 0\text{ V}$	$I_{Control}$	-1	-	1	μA
Maximum Control Voltage	$I_{Control(pullup)} = 10\text{ }\mu\text{A}$, $V_{MFP} = V_{REF}$	V_{EAH}	5	5.5	6	V
Minimum Control Voltage to Generate Drive Pulses	$V_{Control} = \text{Decreasing until}$ V_{DRV} is low, $V_{Ct} = 0\text{ V}$	$C_{t(offset)}$	0.37	0.65	0.88	V
Control Voltage Range	$V_{EAH} - C_{t(offset)}$	$V_{EA(DIFF)}$	4.5	4.9	5.3	V

NCL30000

Table 3. ELECTRICAL CHARACTERISTICS (Continued)

$V_{MFP} = 2.4\text{ V}$, $V_{Control} = 4\text{ V}$, $C_t = 1\text{ nF}$, $V_{CS} = 0\text{ V}$, $V_{ZCD} = 0\text{ V}$, $C_{DRV} = 1\text{ nF}$, $V_{CC} = 12\text{ V}$, unless otherwise specified
(For typical values, $T_J = 25^\circ\text{C}$. For min/max values, $T_J = -40^\circ\text{C}$ to 125°C , unless otherwise specified)

Characteristic	Test Conditions	Symbol	Min	Typ	Max	Unit
RAMP CONTROL						
Ct Peak Voltage	$V_{COMP} = \text{open}$	$V_{Ct(MAX)}$	4.775	4.93	5.025	V
On Time Capacitor Charge Current	$V_{COMP} = \text{open}$ $V_{Ct} = 0\text{ V to } V_{Ct(MAX)}$	I_{charge}	235	275	297	μA
Ct Capacitor Discharge Duration	$V_{COMP} = \text{open}$ $V_{Ct} = V_{Ct(MAX)} - 100\text{ mV to } 500\text{ mV}$	$t_{Ct(discharge)}$	-	50	150	ns
PWM Propagation Delay	$dV/dt = 30\text{ V}/\mu\text{s}$ $V_{Ct} = V_{Control} - C_t(\text{offset})$ to $V_{DRV} = 10\%$	t_{PWM}	-	130	220	ns
ZERO CURRENT DETECTION						
ZCD Arming Threshold	$V_{ZCD} = \text{Increasing}$	$V_{ZCD(ARM)}$	1.25	1.4	1.55	V
ZCD Triggering Threshold	$V_{ZCD} = \text{Decreasing}$	$V_{ZCD(TRIG)}$	0.6	0.7	0.83	V
ZCD Hysteresis		$V_{ZCD(HYS)}$	500	700	900	mV
ZCD Bias Current	$V_{ZCD} = 5\text{ V}$	I_{ZCD}	-2	-	+2	μA
Positive Clamp Voltage	$I_{ZCD} = 3\text{ mA}$	$V_{CL(POS)}$	9.8	10	12	V
Negative Clamp Voltage	$I_{ZCD} = -2\text{ mA}$	$V_{CL(NEG)}$	-0.9	-0.7	-0.5	V
ZCD Propagation Delay	$V_{ZCD} = 2\text{ V to } 0\text{ V ramp}$, $dV/dt = 20\text{ V}/\mu\text{s}$ $V_{ZCD} = V_{ZCD(TRIG)}$ to $V_{DRV} = 90\%$	t_{ZCD}	-	100	170	ns
Minimum ZCD Pulse Width		t_{SYNC}	-	70	-	ns
Maximum Off Time in Absence of ZCD Transition	Falling $V_{DRV} = 10\%$ to Rising $V_{DRV} = 90\%$	t_{start}	75	165	300	μs
DRIVE						
Drive Resistance	$I_{source} = 100\text{ mA}$ $I_{sink} = 100\text{ mA}$	R_{OH} R_{OL}	-	12 6	20 13	Ω
Rise Time	10% to 90%	t_{rise}	-	35	80	ns
Fall Time	90% to 10%	t_{fall}	-	25	70	ns
Drive Low Voltage	$V_{CC} = V_{CC(on)} - 200\text{ mV}$, $I_{sink} = 10\text{ mA}$	$V_{out(start)}$	-	-	0.2	V
CURRENT SENSE						
Current Sense Voltage Threshold		V_{ILIM}	0.45	0.5	0.55	V
Leading Edge Blanking Duration	$V_{CS} = 2\text{ V}$, $V_{DRV} = 90\%$ to 10%	t_{LEB}	100	195	350	ns
Overcurrent Detection Propagation Delay	$dV/dt = 10\text{ V}/\mu\text{s}$ $V_{CS} = V_{ILIM}$ to $V_{DRV} = 10\%$	t_{CS}	40	100	170	ns
Current Sense Bias Current	$V_{CS} = 2\text{ V}$	I_{CS}	-1	-	1	μA

TYPICAL CHARACTERISTICS

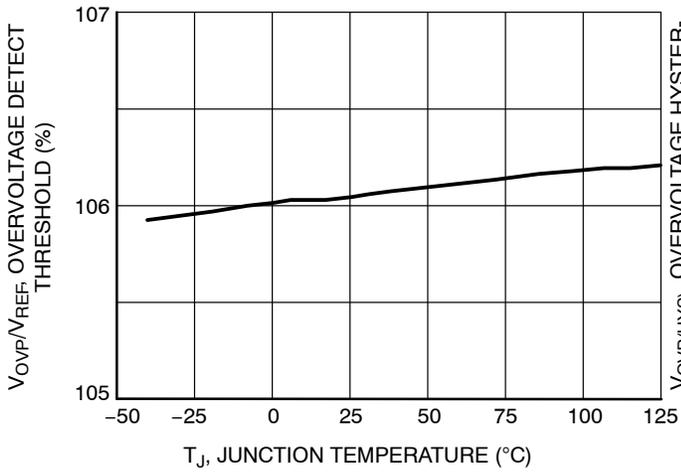


Figure 3. Overvoltage Detect Threshold vs. Junction Temperature

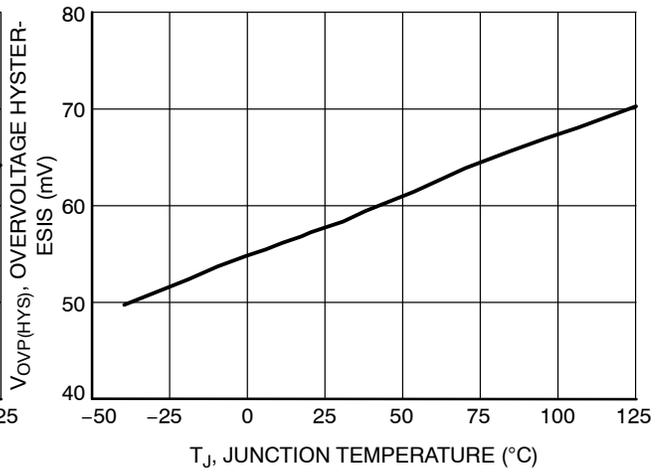


Figure 4. Overvoltage Hysteresis vs. Junction Temperature

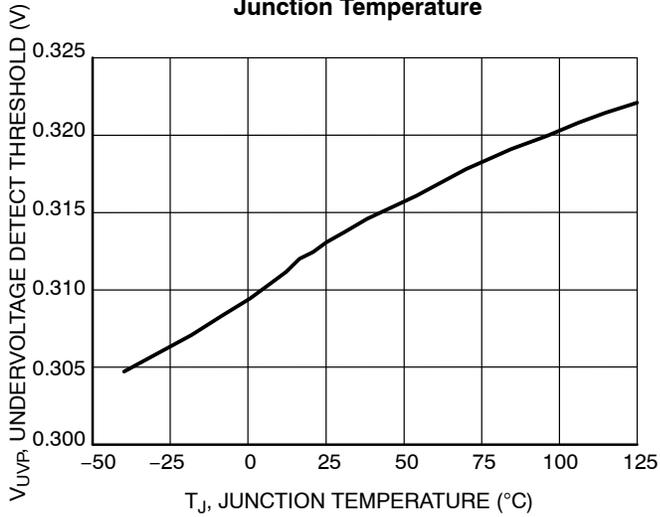


Figure 5. Undervoltage Detect Threshold vs. Junction Temperature

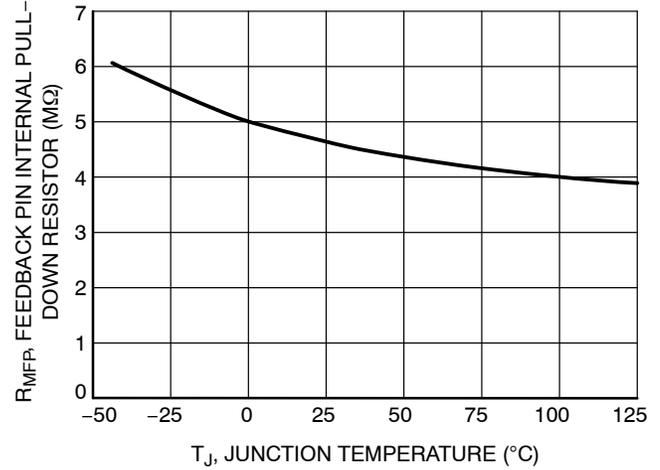


Figure 6. MFP Pin Internal Pull-Down Resistor vs. Junction Temperature

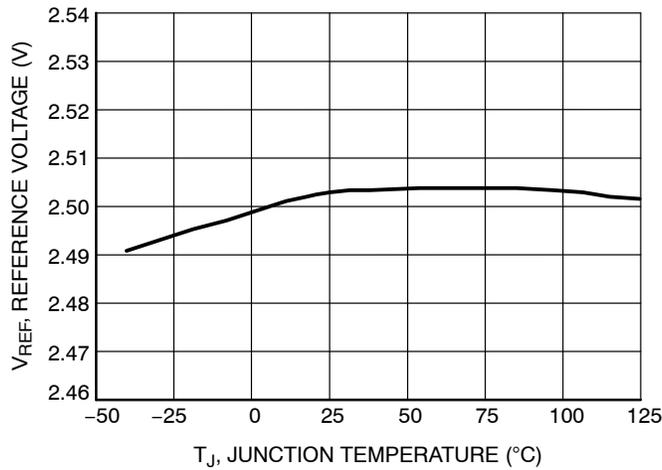


Figure 7. Reference Voltage vs. Junction Temperature

TYPICAL CHARACTERISTICS

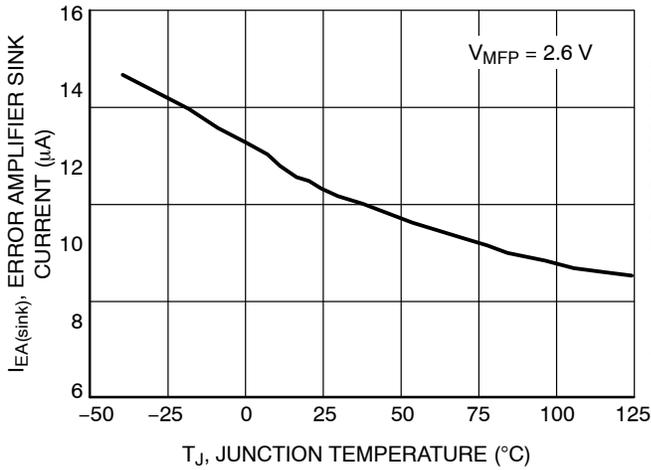


Figure 8. Error Amplifier Sink Current vs. Junction Temperature

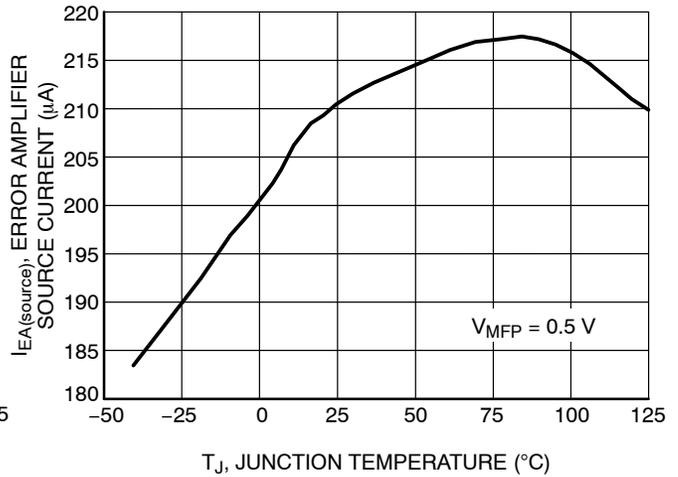


Figure 9. Error Amplifier Source Current vs. Junction Temperature

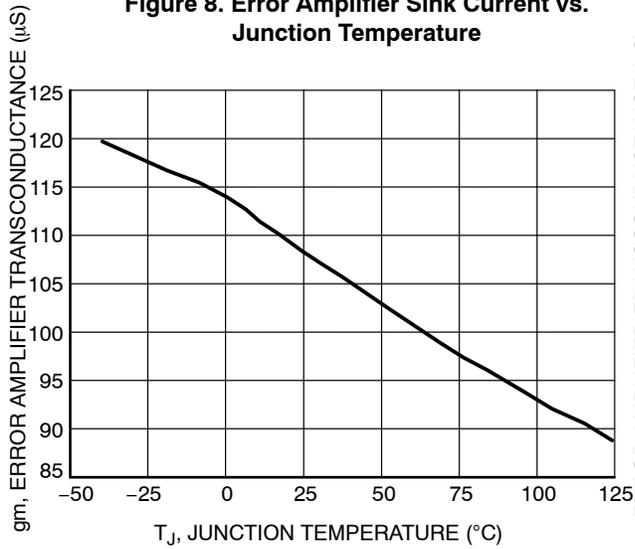


Figure 10. Error Amplifier Transconductance vs. Junction Temperature

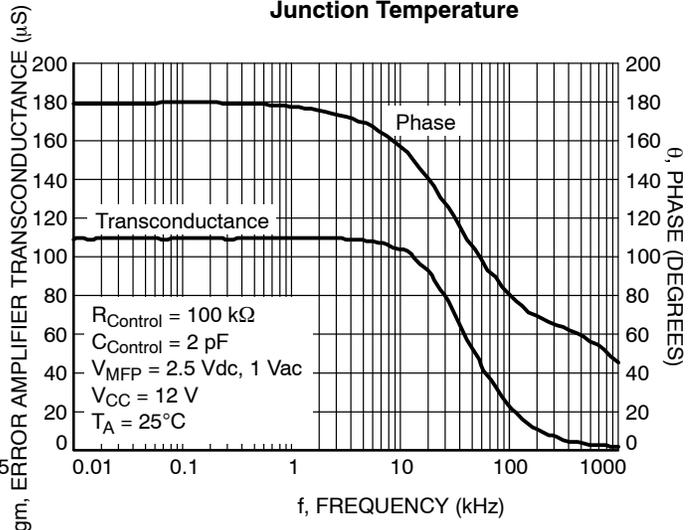


Figure 11. Error Amplifier Transconductance and Phase vs. Frequency

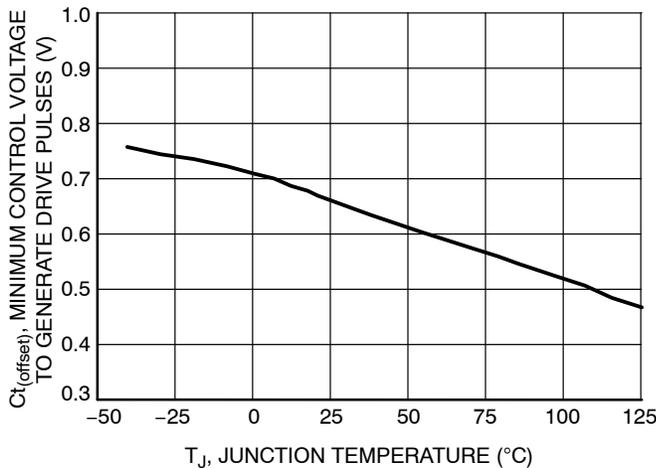


Figure 12. Minimum Control Voltage to Generate Drive Pulses vs. Junction Temperature

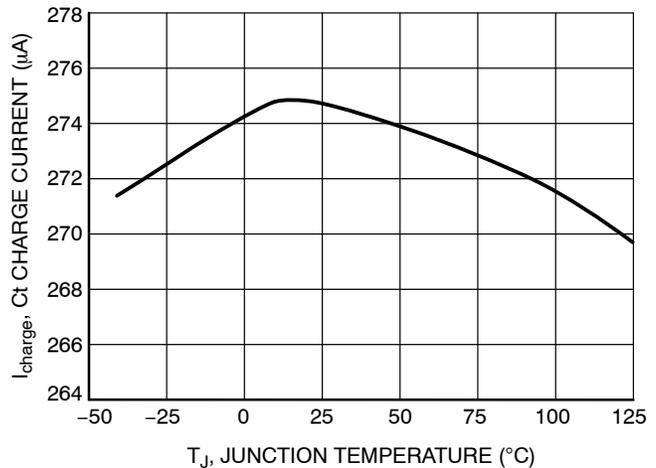


Figure 13. On Time Capacitor Charge Current vs. Junction Temperature

TYPICAL CHARACTERISTICS

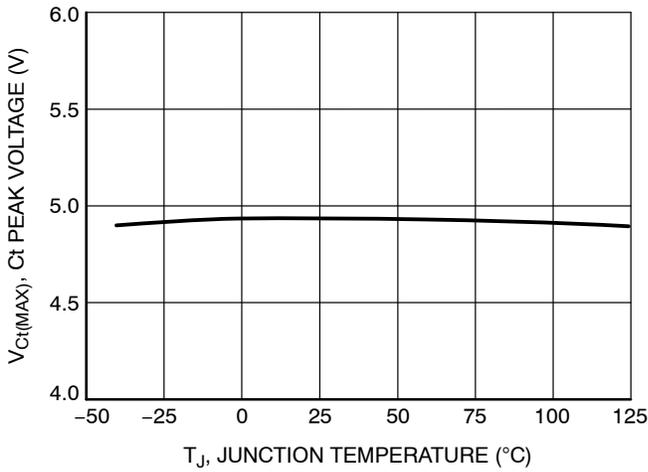


Figure 14. Ct Peak Voltage vs. Junction Temperature

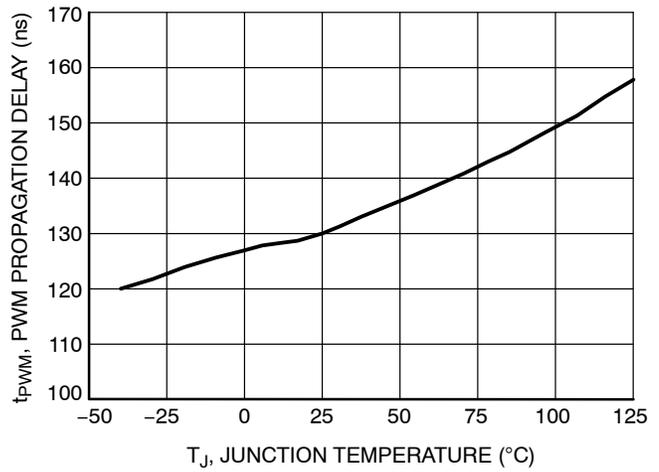


Figure 15. PWM Propagation Delay vs. Junction Temperature

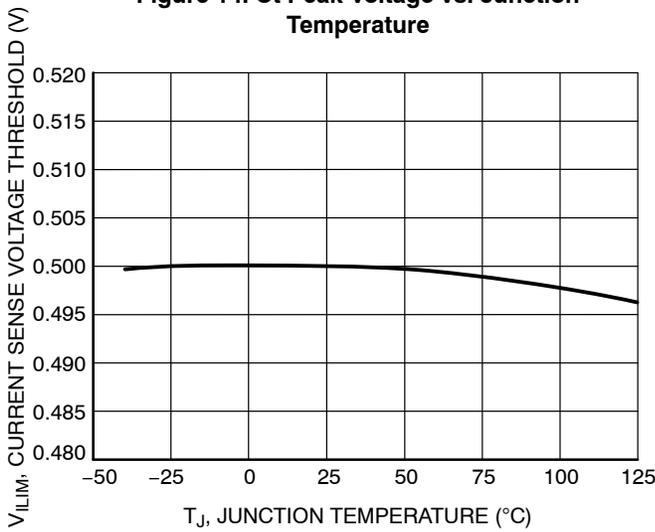


Figure 16. Current Sense Voltage Threshold vs. Junction Temperature

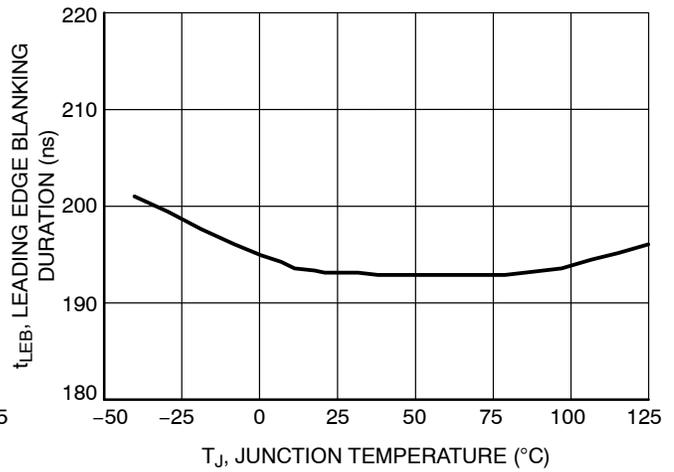


Figure 17. Leading Edge Blanking Duration vs. Junction Temperature

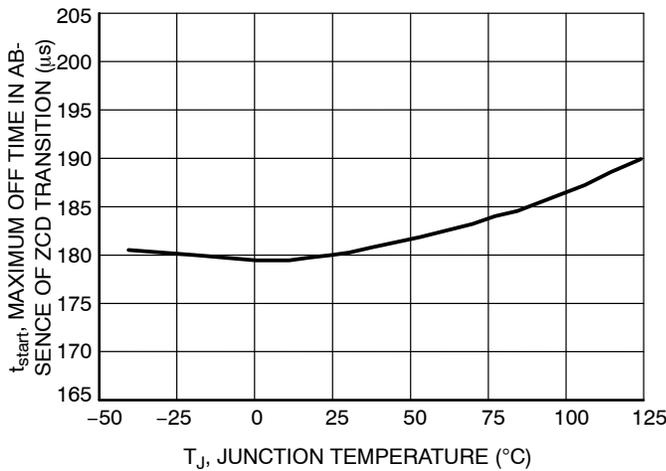


Figure 18. Maximum Off Time in Absence of ZCD Transition vs. Junction Temperature

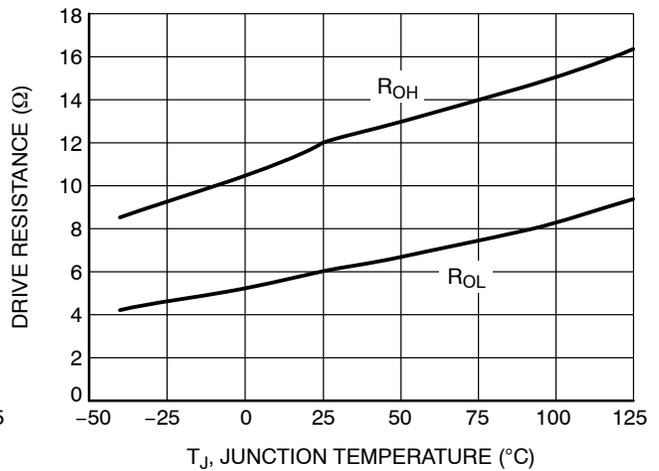


Figure 19. Drive Resistance vs. Junction Temperature

NCL30000

TYPICAL CHARACTERISTICS

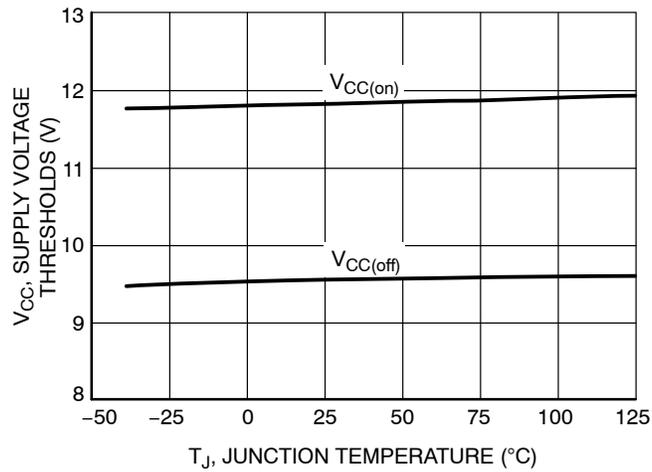


Figure 20. Supply Voltage Thresholds vs. Junction Temperature

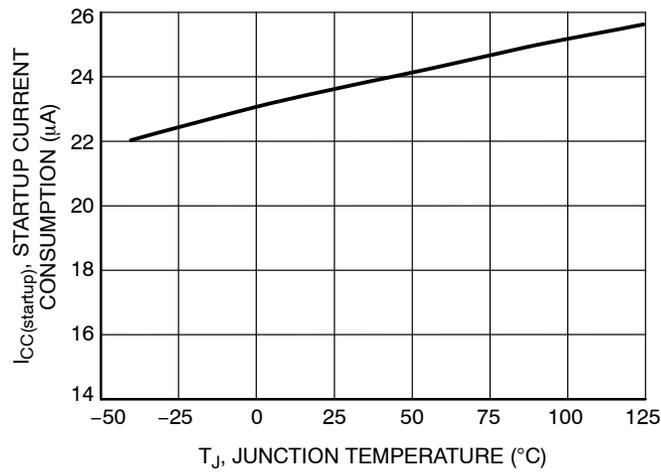


Figure 21. Startup Current Consumption vs. Junction Temperature

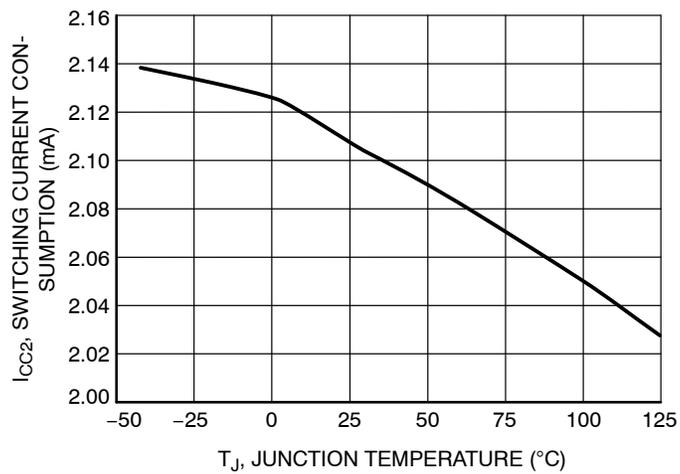


Figure 22. Switching Current Consumption vs. Junction Temperature

動作理論

高い力率を達成するには、ライン電流がほぼ正弦波で、ライン電流とライン電圧の位相差が最小であることが要求されます。従来の絶縁型フライバック・トポロジでは、通常ではこの条件が満たされないため、高い力率を達成するための最初のステップとして、より正弦波状の入力電流となるようにスイッチング・ステージ前の容量を最小にします。

Figure 23に、簡略化ブロック図を示します。小型コン

デンサを除いて入力バルク・コンデンサが事実上なくなったため、フライバック・コンバータへの電圧は、ライン周波数の2倍の整流正弦波形状に従います。入力電流が同じ形状に維持されるように臨界導通モード制御技術を採用することによって、高い力率を達成できます。NCL30000は、特にこのようなアプリケーションを対象とする、電圧モードの定オンタイム・コントローラです。

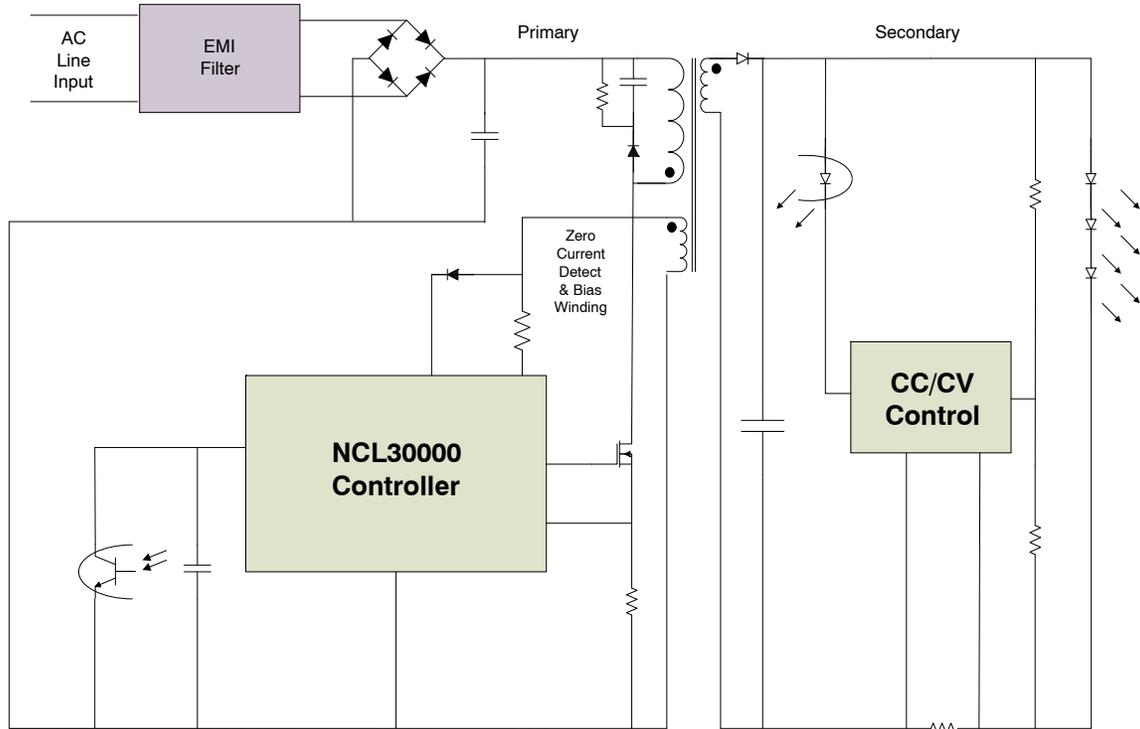


Figure 23. Simplified Block Diagram

フライバックへの入力電圧波形が正弦波であるため、定オンタイム制御方式では、トランスの1次側を流れる電流はライン電圧に正比例して増大し、ラインから流れる平均電流は正弦波形状となります。

スイッチがターンオフすると、1次側のエネルギーが2次側に伝達されます。コントローラは、補助巻線をモニタすることによって、2次側電流がゼロに達するタイミングを検出してスイッチング・サイクルを再開し、追加のエネルギーを負荷に伝達できます。トランスの1次側の電流は、各スイッチング・サイクルでゼロから始まり、印加電圧とオン時間の積に正比例します。このCrM方式の主なメリットの1つは、ゼロ電流スイッチングで動作させることができ、低〜中電力のアプリケーションで非常に効率的なアーキテクチャになることです。

2次側の制御ループは、平均LED電流をモニタしてオン時間を調整することで適切なレギュレーションを維持します。高い力率を達成するには、ラインの半サイクルにわたってオン時間が一定になるように、制御ループの帯域幅が十分に小さくしなければなりません。オフ時間は、トランスを伝達されるエネルギーと負荷によって変化するため、スイッチング周波

数も負荷およびラインとともに変化します。

Figure 24は、トランスの1次巻線と2次巻線を流れる理論上の電流波形を示しています。トランスを通じて負荷に供給されるエネルギーは、電圧と電流の積(二乗正弦波形状)に従います。この二乗正弦波形状のエネルギー伝達の結果として、負荷にライン周波数の2倍(電源に応じて100 Hzまたは120 Hz)のリプルが発生します。トランスを通じて供給される電力は、0からピークまで上昇して0に戻り、整流入力ラインの形状に従います。PWMコンバータの通常のスイッチング波形に100/120 Hzのリプルが重畳されます。最大オン時間は、最小限必要な動作電圧で最大電力が供給されるように設定しなければなりません。様々なアプリケーションで要求されるLED電流は、一般に平均値として規定されます。リプル周波数が人の可視範囲よりも高く、ピーク電流がLED定格を超えない限り、LEDはリプル電流に耐えることができます。標準フライバック同様に、出力コンデンサはトランスからのパルス電力がLEDに要求される平均電流と一致するようにフィルタリングします。このコンデンサは、LEDを流れるピーク電流が制限されるよう適切なサイズにしなければなりません。

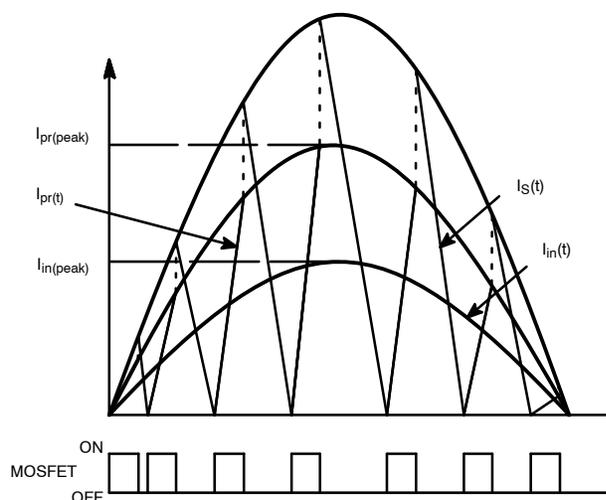


Figure 24. Theoretical Switching Waveform

目的の平均レベルを維持するため、LED電流が基準値と比較され、誤差信号がNCL30000コントローラに渡されます。LED負荷の適切なレギュレーションを達成するために、フライバック・トランスを通じて必要なエネルギーが渡されるように、誤差信号でパワー・スイッチのオン時間が調整されます。従来のPFCブースト・コンバータと同様、ループ帯域幅はライン周波数の2倍のリプルを取り除くほど十分に小さくしなければなりません。そうでないと、回路の力率補正素子が最適なものになりません。オープンLEDフォールトの場合、出力コンデンサにかかる出力電圧が定電圧ループによってレギュレートされ、安全動作が保証されます。NCL30000(ブロック図 -

Figure 1を参照)は、重要な4つの機能ブロックと、コントローラの高信頼性動作を実現するための保護回路で構成されています。

- オン時間制御
- ゼロ電流検出制御
- MOSFETゲート・ドライバ
- 起動および V_{CC} 管理

オン時間制御

オン時間制御回路(Figure 25)は、線形ランプに従って外部コンデンサ(C_1)を充電する高精度の電流源から構成されます。 C_1 の電圧(内部オフセットの除去後)を外部制御電圧と比較し、コンパレータの出力を使用して出力ドライバをオフにすることで、スイッチング・サイクルを終了します。ドライバからの信号をオン時間制御ブロックにフィードバックして C_1 コンデンサを放電させることで、次のスイッチング・サイクルを開始するための回路の準備が整います。

$V_{control}$ の状態は、外部安定化ループによって決定され、RMS入力電圧や出力負荷とともに変化します。高い力率を達成するために、安定化ループは定常状態において $V_{control}$ 値がラインの半サイクルにわたり一定に維持されるよう設計されています。これにより、定オンタイム動作となります。オン時間の範囲は、 C_1 コンデンサの充電の傾きによって決まり、公称4.93 Vでクランプされます。 C_1 コンデンサのサイズは、最大出力電力および最小入力ライン電圧条件において、要求されるオン時間に達する値を選択します。ランプのダイナミック・レンジが広いと、制御ループは、ライン電圧および負荷電力範囲の幅広いバリエーションに対応できます。

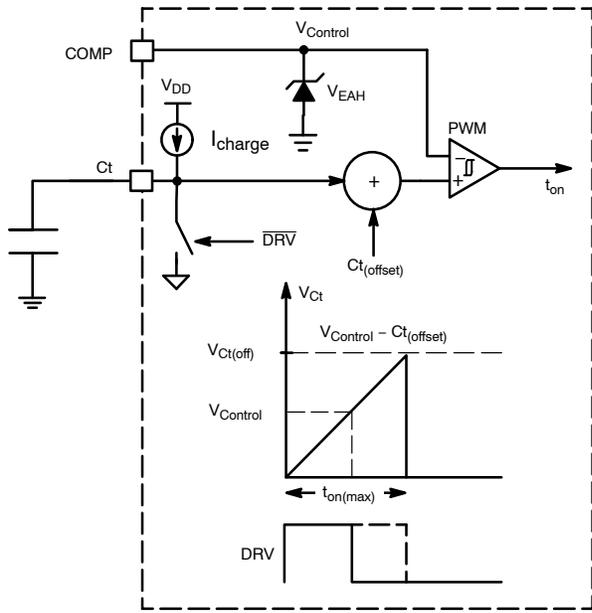


Figure 25. On Time Control

オフ時間シーケンス

定オンタイムCRMフライバック・コンバータでは、フライバック・トランスの1次側に蓄えられるエネルギーは、サイクル単位で入力ライン電圧に応じて直接変化します。スイッチング・サイクルが終了すると、トランスに蓄えられたエネルギーが2次側に伝達されます。NCL30000にバイアスを提供するための補助巻線は、2次巻線の電流がゼロになるタイミングを検出する目的にも使用されます。これをFigure 26に示します。

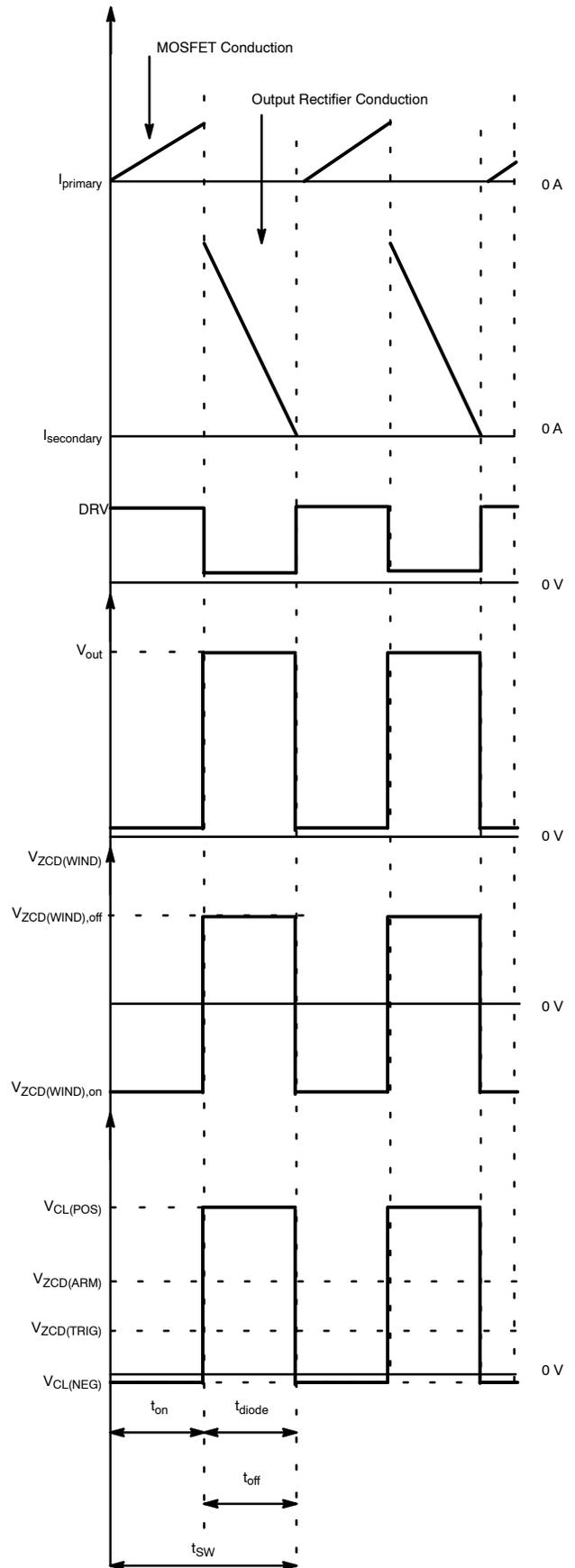


Figure 26. Ideal CrM Waveforms with ZCD Winding

ZCD検出ブロック

ゼロ電流検出を実装するため専用の回路ブロックが必要です。NCL30000には、フライバック・トランスが蓄えた全エネルギーを2次巻線に放電した直後にパワー・スイッチをオンに戻すようコントローラに通知するための個別入力ピンを備えています。出力巻線の電流がゼロに達すると、巻線電圧が反転します。トランスのすべての巻線は同じ電圧特性を反映するため、この電圧反転は、1次側バイアス巻線に現れます。NCL30000のZCD入力に巻線電圧を結合することによって、コントローラは次のスイッチング・サイクルを正確なタイミングで開始できます。

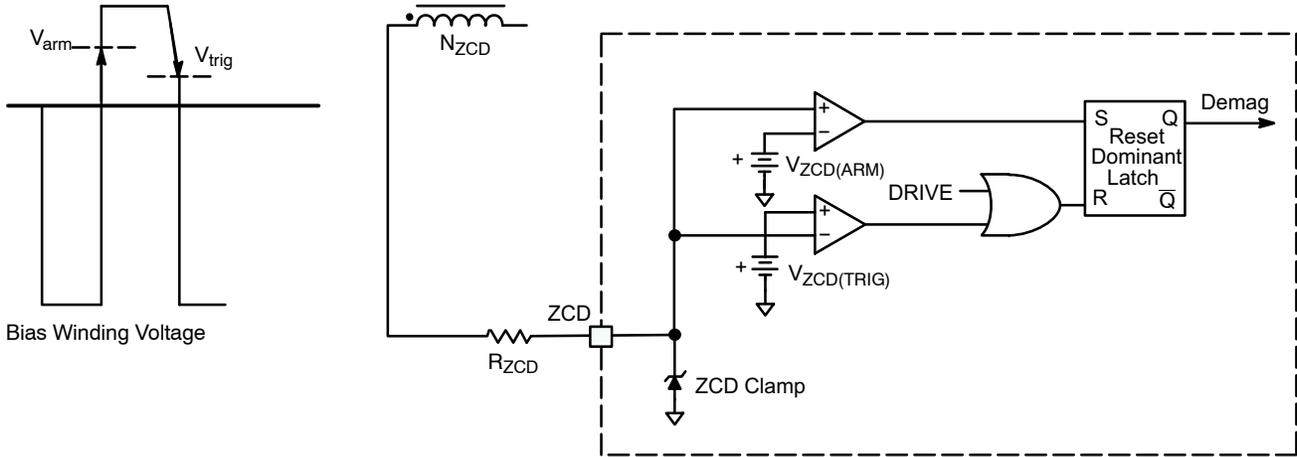


Figure 27. ZCD Operation

起動時、ZCD巻線にエネルギーは存在せず、ZCDコンパレータを動作させる電圧信号もありません。これらの条件下でコントローラが起動できるようにするために、出力ドライバが180 μ(公称値)以上オフの場合にスイッチング・サイクルを開始する内部ウォッチドッグ・タイマが用意されています。

このタイマはOVPまたはUVPフォールト条件でのみ非アクティブになります。これについては、次のセクションで説明します。

過電流保護(OCP)

NCL30000の専用CSピンは、MOSFETスイッチおよびトランスの1次側を流れる電流を検出します。これによりフォールト発生時の保護レベルが追加されます。CSピンの電圧がV_ILIMを超えた場合、内部コンパレータがこれを検出してMOSFETをターンオフします。ピーク・スイッチ電流は、式1を使用して計算されます。

$$I_{SW(peak)} = \frac{V_{ILIM}}{R_{sense}} \quad (\text{eq. 1})$$

誤スイッチングの可能性を避けるために、NCL30000には190 ns(公称時間)の間、CS信号をマスクするリーディング・エッジ・ブランキング回路(LEB)が内蔵されています。必要な場合、R_senseとCSとの間に追加のフィルタリングを提供するオプションのRCフィルタを追加できます。これを次の図に示します。

偶発的な誤トリガを避けるために、ZCD入力はデュアル・コンパレータ入力構造を備えています。1.4 V(公称値)を超える電圧上昇をZCDが検出するとラッチを作動させてセットします。ZCDの電圧が0.7 V(公称値)より下がるとゼロ電流イベントが検出され、次のスイッチング・サイクルを開始する信号がアサートされます。これをFigure 27に示します。ZCDの入力には、このピンにおける正負の電圧偏位をクランプする内部回路があります。ZCDピンに入出力される電流は、外部抵抗によって±10 mAに制限しなければなりません。

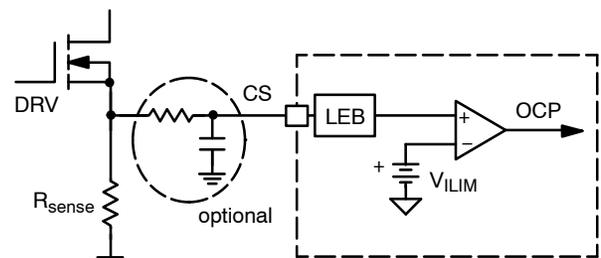


Figure 28. OCP Circuitry with Optional External RC Filter

MFP入力

多機能ピンは、トランスコンダクタンス・アンプ、低電圧および過電圧保護コンパレータの入力に接続されています。これにより、多機能ピンはいくつかの機能を実行できます。デバイスをスタンバイ状態にするには、MFPピンをV_uvpスレッシュホールドより下げする必要があります。これをFigure 29に示します。さらに、MFPピンがV_ovpより高くなってもスイッチング動作が中断されますが、コントローラはスタンバイ・モードになりません。これを利用して、バイアス巻線に過電圧モニタを実装して、さらなるフォールト保護を追加できます。

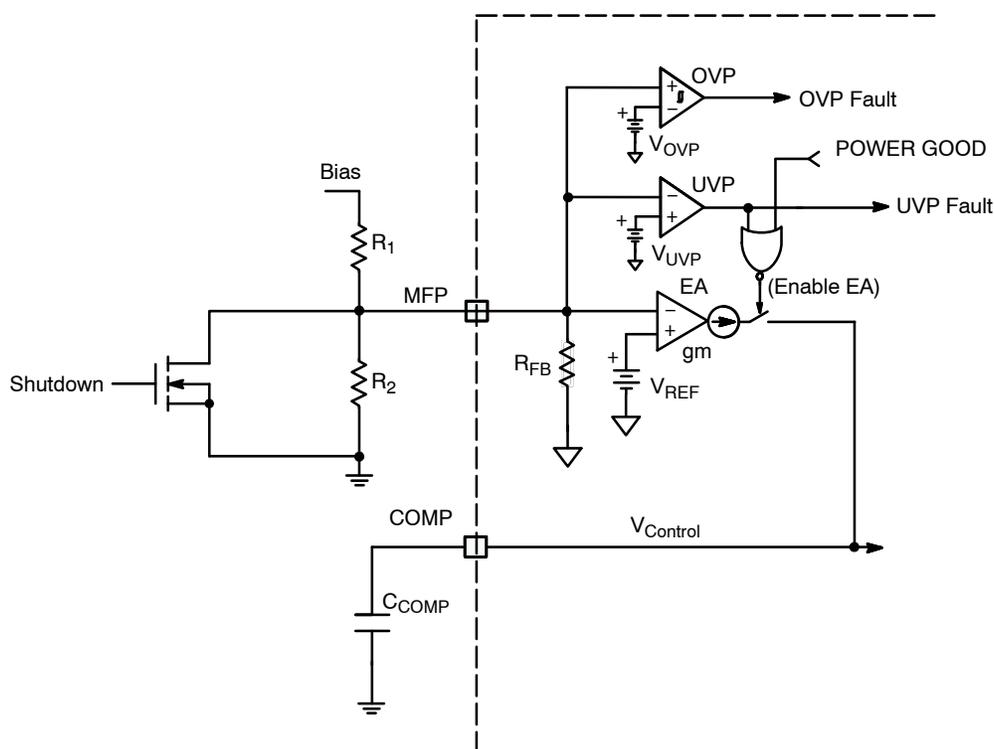


Figure 29. Multi-Function Pin Operation

トランスコンダクタンス・アンプの正入力は、2.5 V(公称値)リファレンスに接続されています。これにより、非絶縁型アプリケーションにコントローラを使用でき、MFPをより古典的な帰還入力回路構造として構成できます。

V_{CC}管理

NCL30000は、回路の起動およびシャットダウンを管理するための監視回路を内蔵しています。起動を管理して最初の起動電流を35 μ A未満に維持することで、整流ACラインとV_{CC}の間に接続された起動抵抗によってV_{CC}コンデンサがV_{CC(on)}に充電されます。起動電圧が12 V(公称値)を超えるとデバイスがターンオンし、内部リファレンスとスイッチング・ロジックがイネーブルされます。公称2.5 Vのヒステリシスを持つUVLOコンパレータによって、デバイスがスイッチングを開始するための十分な時間が与えら

れ、補助巻線からのバイアスによってV_{CC}を供給できます。

設計の例

実際の設計例を使用して、電源機能ブロック全体および全体的な設計方法について説明します。この例での電源仕様は以下のとおりです。拡張された入力電圧範囲として、各国電源用の通常の90~265 Vacに加えて、米国における277 Vacの商用照明をサポートするため上側範囲が拡張されています。

- 入力電圧: 90~305 Vac
- 力率: > 0.9
- 出力電流: 350 mA(標準)
- LED負荷電圧: 12~50 Vdc
- 全負荷効率: > 85%

ゼロ電流検出(ZCD)

ZCD機能を制御する信号は、1次側のバイアス巻線から取り出します。ZCDピン電圧が1.4 Vを超えるとゼロ検出回路が作動します。その後ピン電圧が0.7 Vより下がると、コントローラはパワー・スイッチをオンに戻すコマンドを発行します。ZCDピンに入出力される電流は、外部抵抗で±10 mAに制限しなければなりません。この基準回路では、47 kΩの抵抗によって必要な電圧スレッシュホールドが提供され、電流は10 mA未満に制限されます。

帰還制御

2次側の帰還信号は、オプトカプラを通じて1次側のNCL30000コントローラに送られます。LED電流は、0.2 Ωの抵抗(350 mAでの電圧降下は70 mV)で測定されます。

制御ループは、整流正弦波リップル成分が除去されて、パルス幅コントローラに平均フィードバック・レベルが提供されるように設計しなければなりません。高力率動作を維持するために、50/60 Hzを十分に下回るようにエラー・アンプ付近の補償部品を設定しなければなりません。コーナー周波数は通常10~40 Hzの範囲内です。低周波応答とは、急激に変化する状況を補償するには制御ループが遅いことを意味します。特に、応答が遅いとターンオン時にオーバーシュートが発生することがあります。

遅い定常ループを補償するために、この回路では第2の電流制御ループを利用してオーバーシュートを抑えています。第2ループは、非常に速い応答ループを用いて公称動作電流よりも高い値に設定されています。このエラー・アンプは、メイン・エラー・アンプが応答するまで、フィードバック・ループを制御します。このようにして、最大電流が所定の安全レベルに制限されます。

高速制御ループの電流設定ポイントは、通常動作のリップル電流のピークより高く設定する必要があります。U4は2.5 Vリファレンスであり、R26、R27、R28とともに、前述した70 mVの公称基準電圧だけでなく、高速電流ループの高い方のスレッシュホールドも確立します。この例では、平均出力電流が350 mAで、高速ループは500 mAレベルに設定されています。

EMIフィルタ

EMIフィルタは、パワー・コンバータによるスイッチング電流の吸い込みを減衰させ、高周波の高調波を、適用される放射限界値以下に減少させます。このフィルタは、ライン間またはXコンデンサによる電流の位相シフトを導入して力率を下げるのがあってはなりません。総容量を低くすればこの影響が最小になります。これらの属性のバランスをとるには、広い入力電圧要件を考慮しながら性能のトレードオフを図ります。

多段フィルタは、2個の47 nFコンデンサと協働する2個の2.2 mH差動インダクタと、27 mHのコモン・モード・インダクタで構成され、適用される放射要件を満たすのに十分な減衰を提供します。4.7 nFの“Y1”コンデンサは、パワー・トランスによって生成されるコモン・モード電流をバイパスします。

高い力率を達成するためにこの設計で採用される低入力容量手法では、もう1つの利点として、突入電流を制限する必要がありません。

起動回路と1次側バイアス

高速起動はNCL30000の低電流特性によって改善されます。整流されたACラインからV_{CC}回路に接続された抵抗によって、起動電力が提供されます。電流の一部は制御チップとバイアス回路に必要で、残りの電流でストレージ・コンデンサが充電されます。コンデンサの電圧が12 V(公称値)に達すると、NCL30000の内部リファレンスおよびロジックがターンオンしてスイッチングを開始します。ターンオン・コンパレータのヒステリシス(公称2.5 V)によって、補助巻線がV_{CC}コンデンサへの直接的な電流供給を開始するための十分な時間が確保されます。抵抗分割回路R9

(6.2 kΩ)およびR15(100 kΩ)は、適切な電圧でMFPをバイアスして、NCL30000をイネーブルします。

正温度係数(PTC)サーミスタRT1によって、オプションのサーマル・シャットダウン機能が実装されています。このサーミスタは、スイッチングFET Q3の近くに配置され、負荷および周囲温度に関連する温度ストレスを検知します。過大温度を引き起こす状況になると、RT1のインピーダンスが増大してNCL30000がターンオフします。RT1が冷えると通常動作に戻ります。

トランスの設計

シングル・ステージ高力率フライバック・コンバータは、二乗正弦波として電力を処理します。平均LED負荷電流をサポートするには、フライバック・コンバータは平均出力電力の2倍を処理できなければなりません。このケースでは、フライバック・トランスは、効率を考慮して17.5 WのLED負荷に電力を供給するためピーク電力42 Wを処理するように設計されています。トランスの詳しい設計プロセスについては、『アプリケーションノートAND8451』を参照してください。

NCL30000は可変周波数CrMコントローラであり、与えられた入出力条件での動作周波数はトランスによって決まります。トランスの巻数比は、最大入力電圧および最大出力電圧とFETおよび出力整流器の定格によって決まります。このケースでは、2次側に対する1次側の巻数比を3.83に設定します。

パワー・スイッチのオン時間は、ピーク90 Vacまたは126 V、最大電力17.5 Wの低いライン条件で設定されています。オン時間は最大13.3 μsです。1次側インダクタンスは、最小スイッチング周波数と上記の条件から1.57 mHとして計算されます。

1次側インダクタンス、印加電圧、およびオン時間から、1次側ピーク電流1.11 Aが計算されます。コアの磁束密度は入力整流正弦波のピークで発生します。インダクタンス、電流、最大磁束密度、コア形状から、1次側の巻数は92回になります。1次側の巻数、電流、および最大磁束密度から、ギャップの大きさが設定され、このトランスの場合は約0.016インチです。

1次巻数92を、前に計算した比率3.83で割ると、2次巻数は24回になります。安全機関の絶縁要件に準拠するために、#26の3層絶縁線を選択します。

1次側のバイアス巻線は、NCL30000の動作を維持するために10.2 Vを供給しなければなりません。2次側の最小電圧が12 Vで巻数が24回の場合、必要なバイアス巻数は20.4回です。最小電圧条件を満たすために22回を選択します。

1次側と2次側の結合を最大にするために、1次巻線を2つの同一セクションに分割し、その間に2次巻線を配置します。バイアス巻線は、1次巻線の2番目のセクションの上部に巻きます。

FETスイッチ

NCL30000コントローラは、フライバック・トランスの1次側の電流を制御する外部パワーFETを駆動します。デモ基板は、表面実装DPAKまたはスルーホール型TO-220パワー・パッケージを搭載するように設計されています。DPAKパッケージでは、17.5 Wのターゲット・アプリケーションが周囲温度50°Cで正常に動作します。定格800 V、2 AのSPD02N80C3を選択しました。

1次側の最大電流の計算値は1.11 Aでした。NCL30000の過電流保護スレッショルドは0.5 Vです。25%の余裕を持たせるには、0.348 Ωの最小センス抵抗が必要です。標準0.33 Ωの抵抗を選択します。電流センス抵抗はパワーFETのソース・リードに配置され、100 Ωの抵抗でコントローラに結合されています。この抵抗は、ピンの固有の容量と併せて高周波ノイズを取り除きます。さらに、コントローラにはリーディング・エッジ・ブランキング(LEB)機能が含まれています。この機能は、パワーFETが最初にターンオンするときの過電流保護の誤作動を回避します。

オンタイム・コンデンサ

FETスイッチの最大オン時間は、 C_t コンデンサで制御されます。最大オン時間を制限すると、過渡状況でのコンポーネントのストレスが軽減されます。次の式は、充電電流297 μA、最大電圧シュレショルド4.775 Vの場合のコンデンサ値を求めます記号。η'は、パワー・トランス・ステージの実効効率および2次側損失を表します。この値は、コンセント測定効率よりも常に大きく、EMIフィルタおよび1次側コンポーネントでの損失が含まれます。

$$C_t \approx \frac{(4 \cdot L_{pri} \cdot P_{out} \cdot I_{charge})}{(\eta' \cdot V_{pk}^2 \cdot V_{CT(max)})} \cdot \left(\frac{V_{pk}}{N \cdot V_{out}} + 1 \right) \quad (\text{eq. 2})$$

$$C_t \approx \frac{(4 \cdot 0.00157 \cdot 17.5 \cdot 297 \mu\text{A})}{(0.95 \cdot (\sqrt{2} \cdot 90)^2 \cdot 4.775 \text{ V})} \cdot \left(\frac{\sqrt{2} \cdot 90}{3.83 \cdot 50} + 1 \right)$$

$$C_t \approx 740 \text{ pF}$$

C_t の式は、計算を簡潔にするため近似式です。例えば、 V_{pk} では、ダイオード整流器ブリッジおよびEMIフィルタによる損失をゼロと想定しています。この式によって、 C_t コンデンサの初期開始点が得られ、さ

らなる最適化が必要な場合があります。この設計では、最終的な値として820 pFを使用しました。

出力フィルタ

前述のとおり、高力率絶縁型シングル・ステージ・コンバータは、ライン周波数の2倍の正弦二乗として電力を処理します。エネルギー保存は、通常のフライバック・コンバータと同様、絶縁された2次側出力で行う必要がありますが、ハイバースインのエネルギー伝達特性のために相当大きな保存容量が要求されます。100 Hzまたは120 Hzの整流正弦波のピークが最大電力を供給するとき、コンデンサを使用してエネルギーを蓄え、整流正弦波が所定の出力電力を下回ったときに、蓄えたエネルギーを負荷に放出します。ストレーシ・コンデンサの充・放電時、LED負荷にリップル電流が発生します。リップル電圧の大きさは、フィルタ容量とLEDストリングのインピーダンスによって制御されます。この350 mAアプリケーションでは、2個の470 μFコンデンサによって30%のリップルが発生します。

LED寿命に合うドライバ寿命を得るには、高品質の電解コンデンサを選択する必要があります。温度定格が高いコンデンサほど寿命が伸び、最適なソリューションが得られます。シングル・ステージ・コンバータでのリップル要件に適合するために、フィルタ容量は一般的に十分高くし、コンデンサのリップル電流がデバイス定格を大きく下回るようにします。

2次側バイアス

平均モード帰還補償は、帰還セクションで説明したとおり、意図的に低い周波数に設定されています。最初の起動後、比較的大きな帰還補償コンデンサで通常の動作電圧まで充電する必要があるため、レギュレーションに大きな遅延が生じます。補償コンデンサに要求される電圧変化を最小にすると、帰還ループが迅速に出力を制御でき、過電流状態が軽減されます。低いバイアス電圧を維持すると、補償コンデンサに要求される電圧変化が小さくなります。この例の場合、バイポーラ・トランジスタと5.6 Vツェナー・ダイオードを使用して、約5 Vのバイアス電圧を提供します。このバイアス・トランジスタによって電力損失が最小になり、LEDドライバは非常に広範な出力電圧で動作できます。この回路は、最小4個から最大15個のLEDをサポートします。アプリケーションで特定数のLEDを使用する場合、2次側バイアスを最適化できます。出力電圧範囲を制限し、2次側バイアス巻線をトランスに追加することにより、少ない部品数で高い効率を実現できます。

オープン負荷保護

LEDドライバは電流源のように動作し、出力電圧はLEDストリングの順方向電圧によって決まります。このため、オープンLEDの状況で損傷を防止するための何らかの保護が必要です。トランジスタ(Q5)とツェナー・ダイオード(D12)で必要な保護を提供できます。この設計例では、56 Vツェナーを使用します。

NCL30000

90~305 VacのLEDドライバのパフォーマンス・データ

以下のFigure 31は、36.9 V、12個のLED負荷の場合のライン・レギュレーションと効率を示しています。

出力電流は、入力電圧範囲全体にわたって大きく変化してはいません。このデータはEFD25トランスを使用した場合です。

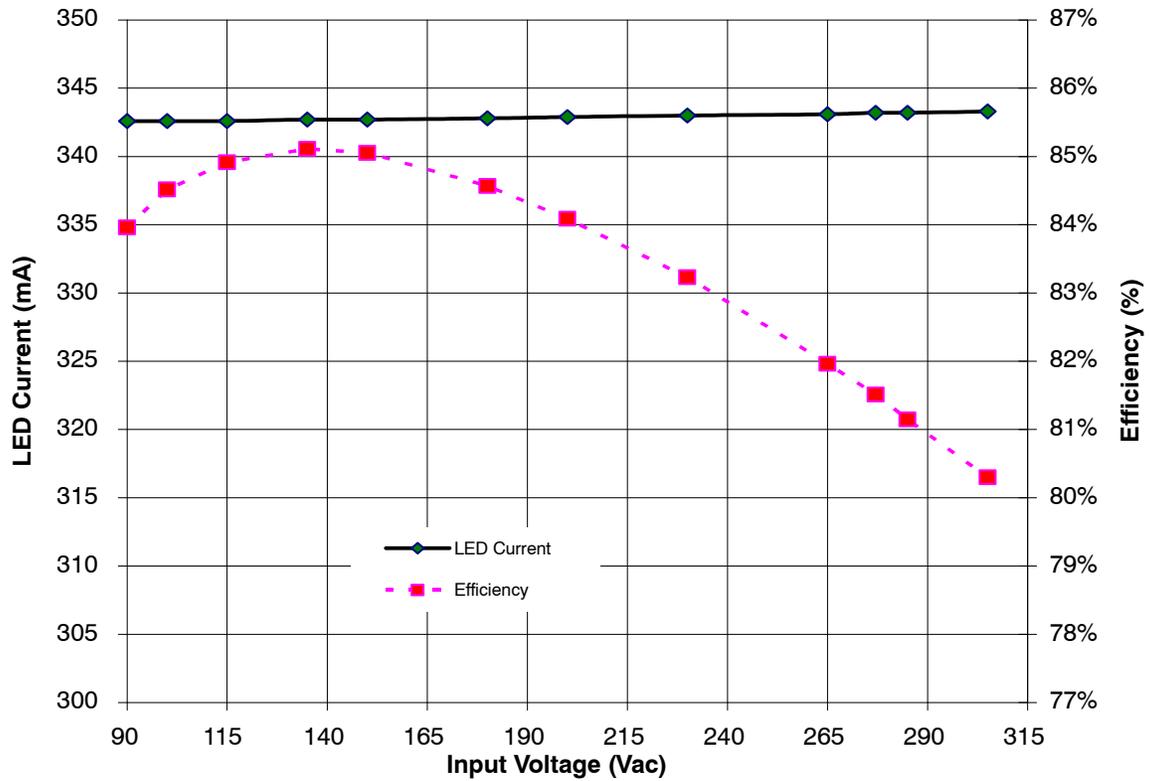


Figure 31. Output Current and Efficiency with 36.9 V Load

次のFigure 32は、力率と全高調波歪みを示しています。

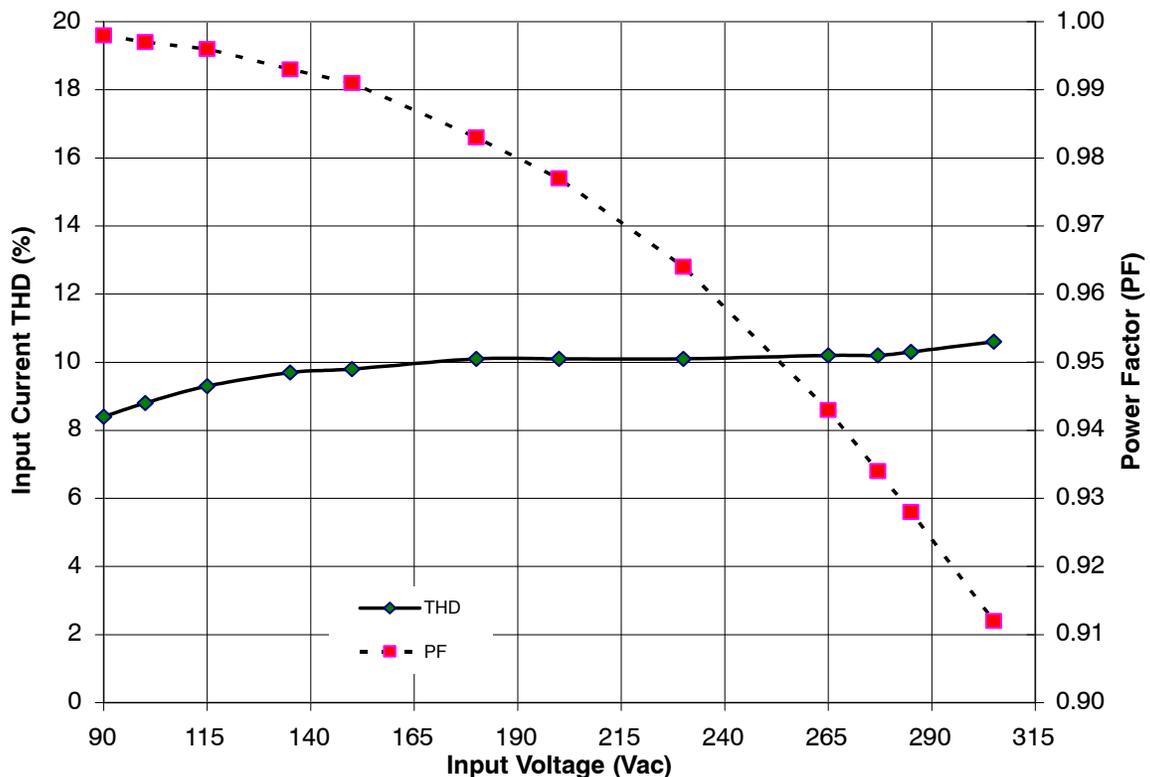


Figure 32. THD and Power Factor with 36.9 V Load

NCL30000

次のFigure 4は、115 Vacおよび230 Vac入力の場合の12.3~52.5 Vdc(4~15個のLED)の負荷レギュレーションを示しています。この範囲の効率も示してありま

す。厳密なレギュレーションに注目してください。効率は、負荷に比例して起動回路損失の影響を受け、ライン電圧が高い場合も影響されます。

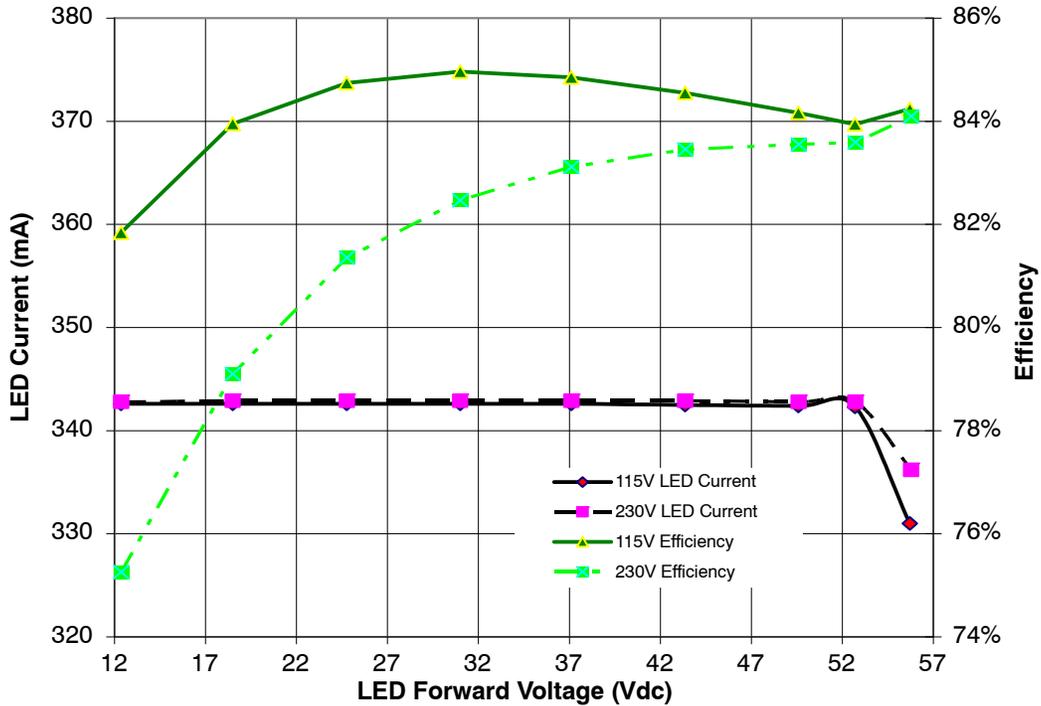


Figure 33. LED Current and Efficiency at 115 and 230 Vac

Figure 34は、出力電圧(LED順方向電圧)の関数としての電流レギュレーションを示しています。制御ループは、2.6~3.5 Vの順方向電圧に基づき4~15個のLEDをサポートするように設計されています。制御ループの最大オン時間は、供給される最大電力が制

限されるように設定されています。これは出力電圧-電流伝達関数の上部で示しています。曲線の下部では、出力を短絡させても電流は1A以下に制限されます。

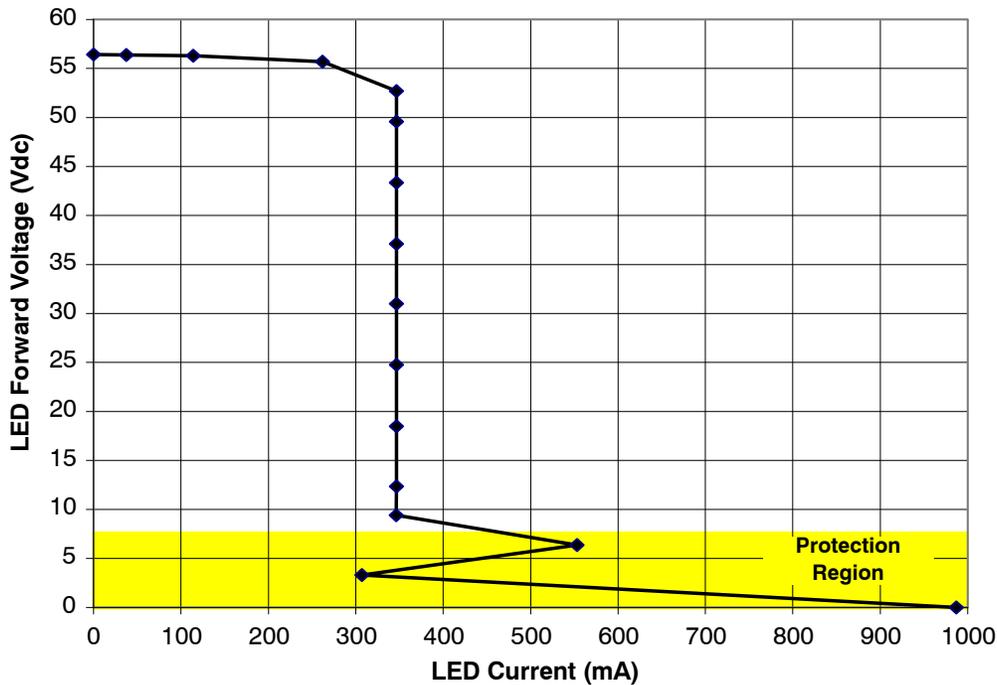


Figure 34.

Figure 35は、115 Vac入力、付加36.9 V(12個のLED) (平均350 mAで動作)の場合の出力リップル電流を示しています。倍率は1目盛が67 mAです。低周波リップルは、シングル・ステージ・コンバータの入力2倍の電源周波整流正弦波特性に従っています。

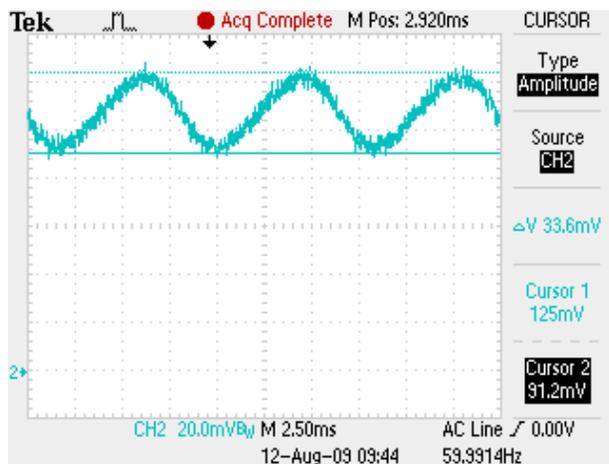


Figure 35. Output Ripple at 115 Vac and 36.9 V, 350 mA Load

Figure 36は、メイン・スイッチング周波数における出力リップル電流を示しています。倍率は1目盛が33 mAです。これは整流正弦波リップル成分に重畳された信号です。

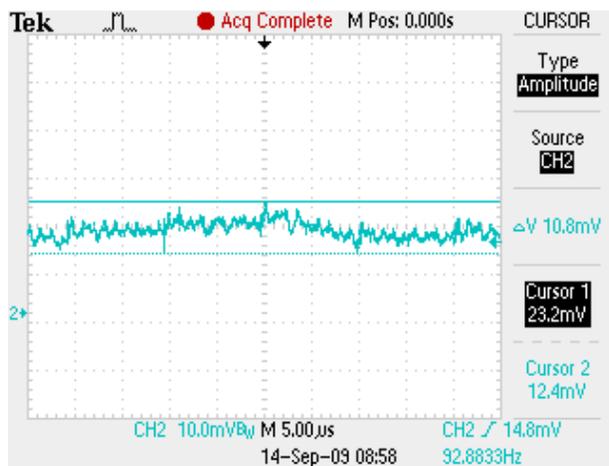


Figure 36. Output Ripple at 115 Vac and 36.9 V, 350 mA Load

次のFigure 37は初期起動特性を示しています。高速帰還ループで制御される電流制限が高いと、メインの平均モード帰還制御ループに移行しています。この図は36.9 V、350 mA負荷、115 Vacでの起動を示しています。トレース2はLED電流(1目盛が167 mA)、トレース3は印加入力電圧(1目盛が200 V)です。

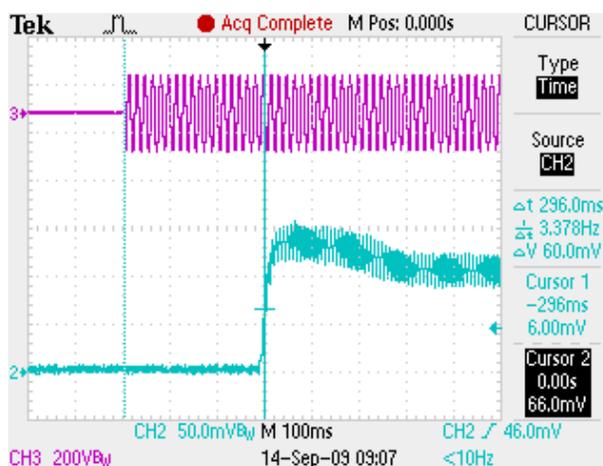


Figure 37. Start up Characteristic with 36.9 V, 350 mA Load

Figure 38は、36.9 V、350 mA負荷、305 Vac入力電圧でのパワーFETにおける電圧ストレスを示しています。倍率は1目盛が100 Vです。

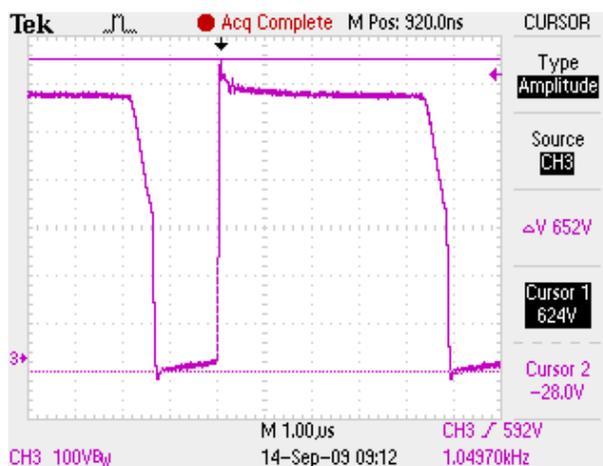


Figure 38. Drain to Source Voltage with 36.9 V, 350 mA Load at 305 Vac Input

電源は、関係機関の要件を満たすように設計されていますが、コンプライアンスは未承認です。この回路に通電するとき、特に試験機器を接続するときは、標準的な安全対策を講じる必要があります。評価時、入力電力は絶縁トランス通じて得るようにしてください。

追加アプリケーション情報およびツール

この90~305 Vac設計例のための評価基板が用意されています。また、TRIAC調光器によってLEDを調光することが望ましいアプリケーションの場合、『アプリケーション・ノートAND8448』を参照してください。TRIAC調光用にNCL30000を構成するのに必要な手順が説明されています。さらに、TRIAC調光対応の別の2つの基準設計が用意されており、90~135 Vac動作または180~265 Vac動作の完全な設計について説明しています。また、設計プロセスで利用できるMicrosoft EXCELスプレッドシートのツールも提供されており、目標とするトランスの巻線要件の開発に役立ちます。

MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS

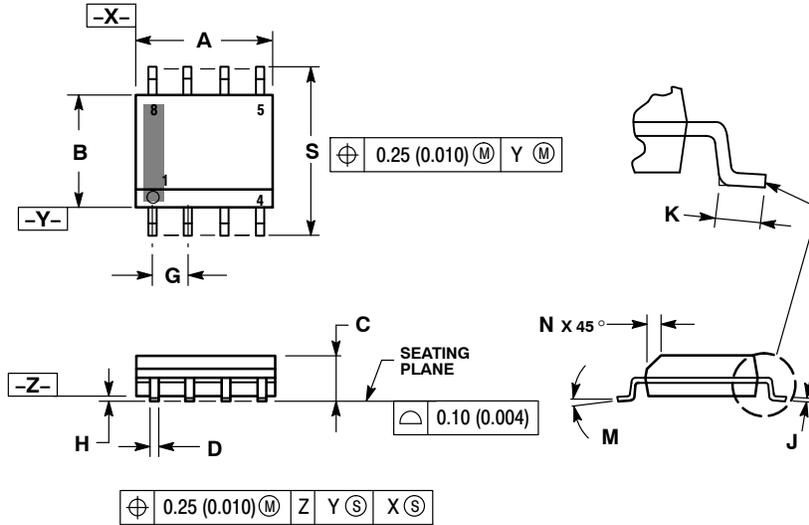
ON Semiconductor®



SCALE 1:1

SOIC-8 NB
CASE 751-07
ISSUE AK

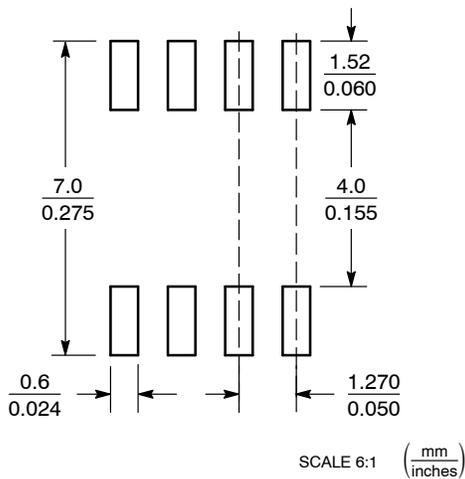
DATE 16 FEB 2011



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
 4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
 5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
 6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

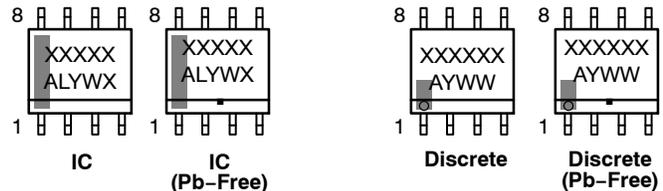
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXXXXX = Specific Device Code
 A = Assembly Location
 L = Wafer Lot
 Y = Year
 W = Work Week
 ■ = Pb-Free Package

XXXXXX = Specific Device Code
 A = Assembly Location
 Y = Year
 WW = Work Week
 ■ = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "•", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 1 OF 2

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011

- | | | | |
|--|---|---|---|
| <p>STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. COLLECTOR
 4. EMITTER
 5. EMITTER
 6. BASE
 7. BASE
 8. EMITTER</p> | <p>STYLE 2:
 PIN 1. COLLECTOR, DIE, #1
 2. COLLECTOR, #1
 3. COLLECTOR, #2
 4. COLLECTOR, #2
 5. BASE, #2
 6. EMITTER, #2
 7. BASE, #1
 8. EMITTER, #1</p> | <p>STYLE 3:
 PIN 1. DRAIN, DIE #1
 2. DRAIN, #1
 3. DRAIN, #2
 4. DRAIN, #2
 5. GATE, #2
 6. SOURCE, #2
 7. GATE, #1
 8. SOURCE, #1</p> | <p>STYLE 4:
 PIN 1. ANODE
 2. ANODE
 3. ANODE
 4. ANODE
 5. ANODE
 6. ANODE
 7. ANODE
 8. COMMON CATHODE</p> |
| <p>STYLE 5:
 PIN 1. DRAIN
 2. DRAIN
 3. DRAIN
 4. DRAIN
 5. GATE
 6. GATE
 7. SOURCE
 8. SOURCE</p> | <p>STYLE 6:
 PIN 1. SOURCE
 2. DRAIN
 3. DRAIN
 4. SOURCE
 5. SOURCE
 6. GATE
 7. GATE
 8. SOURCE</p> | <p>STYLE 7:
 PIN 1. INPUT
 2. EXTERNAL BYPASS
 3. THIRD STAGE SOURCE
 4. GROUND
 5. DRAIN
 6. GATE 3
 7. SECOND STAGE Vd
 8. FIRST STAGE Vd</p> | <p>STYLE 8:
 PIN 1. COLLECTOR, DIE #1
 2. BASE, #1
 3. BASE, #2
 4. COLLECTOR, #2
 5. COLLECTOR, #2
 6. EMITTER, #2
 7. EMITTER, #1
 8. COLLECTOR, #1</p> |
| <p>STYLE 9:
 PIN 1. EMITTER, COMMON
 2. COLLECTOR, DIE #1
 3. COLLECTOR, DIE #2
 4. EMITTER, COMMON
 5. EMITTER, COMMON
 6. BASE, DIE #2
 7. BASE, DIE #1
 8. EMITTER, COMMON</p> | <p>STYLE 10:
 PIN 1. GROUND
 2. BIAS 1
 3. OUTPUT
 4. GROUND
 5. GROUND
 6. BIAS 2
 7. INPUT
 8. GROUND</p> | <p>STYLE 11:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. DRAIN 2
 7. DRAIN 1
 8. DRAIN 1</p> | <p>STYLE 12:
 PIN 1. SOURCE
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 13:
 PIN 1. N.C.
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> | <p>STYLE 14:
 PIN 1. N-SOURCE
 2. N-GATE
 3. P-SOURCE
 4. P-GATE
 5. P-DRAIN
 6. P-DRAIN
 7. N-DRAIN
 8. N-DRAIN</p> | <p>STYLE 15:
 PIN 1. ANODE 1
 2. ANODE 1
 3. ANODE 1
 4. ANODE 1
 5. CATHODE, COMMON
 6. CATHODE, COMMON
 7. CATHODE, COMMON
 8. CATHODE, COMMON</p> | <p>STYLE 16:
 PIN 1. EMITTER, DIE #1
 2. BASE, DIE #1
 3. EMITTER, DIE #2
 4. BASE, DIE #2
 5. COLLECTOR, DIE #2
 6. COLLECTOR, DIE #2
 7. COLLECTOR, DIE #1
 8. COLLECTOR, DIE #1</p> |
| <p>STYLE 17:
 PIN 1. VCC
 2. V2OUT
 3. V1OUT
 4. TXE
 5. RXE
 6. VEE
 7. GND
 8. ACC</p> | <p>STYLE 18:
 PIN 1. ANODE
 2. ANODE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. CATHODE
 8. CATHODE</p> | <p>STYLE 19:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. MIRROR 2
 7. DRAIN 1
 8. MIRROR 1</p> | <p>STYLE 20:
 PIN 1. SOURCE (N)
 2. GATE (N)
 3. SOURCE (P)
 4. GATE (P)
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 21:
 PIN 1. CATHODE 1
 2. CATHODE 2
 3. CATHODE 3
 4. CATHODE 4
 5. CATHODE 5
 6. COMMON ANODE
 7. COMMON ANODE
 8. CATHODE 6</p> | <p>STYLE 22:
 PIN 1. I/O LINE 1
 2. COMMON CATHODE/VCC
 3. COMMON CATHODE/VCC
 4. I/O LINE 3
 5. COMMON ANODE/GND
 6. I/O LINE 4
 7. I/O LINE 5
 8. COMMON ANODE/GND</p> | <p>STYLE 23:
 PIN 1. LINE 1 IN
 2. COMMON ANODE/GND
 3. COMMON ANODE/GND
 4. LINE 2 IN
 5. LINE 2 OUT
 6. COMMON ANODE/GND
 7. COMMON ANODE/GND
 8. LINE 1 OUT</p> | <p>STYLE 24:
 PIN 1. BASE
 2. EMITTER
 3. COLLECTOR/ANODE
 4. COLLECTOR/ANODE
 5. CATHODE
 6. CATHODE
 7. COLLECTOR/ANODE
 8. COLLECTOR/ANODE</p> |
| <p>STYLE 25:
 PIN 1. VIN
 2. N/C
 3. REXT
 4. GND
 5. IOUT
 6. IOUT
 7. IOUT
 8. IOUT</p> | <p>STYLE 26:
 PIN 1. GND
 2. dv/dt
 3. ENABLE
 4. ILIMIT
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. VCC</p> | <p>STYLE 27:
 PIN 1. ILIMIT
 2. OVLO
 3. UVLO
 4. INPUT+
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. DRAIN</p> | <p>STYLE 28:
 PIN 1. SW_TO_GND
 2. DASIC OFF
 3. DASIC_SW_DET
 4. GND
 5. V_MON
 6. VBULK
 7. VBULK
 8. VIN</p> |
| <p>STYLE 29:
 PIN 1. BASE, DIE #1
 2. EMITTER, #1
 3. BASE, #2
 4. EMITTER, #2
 5. COLLECTOR, #2
 6. COLLECTOR, #2
 7. COLLECTOR, #1
 8. COLLECTOR, #1</p> | <p>STYLE 30:
 PIN 1. DRAIN 1
 2. DRAIN 1
 3. GATE 2
 4. SOURCE 2
 5. SOURCE 1/DRAIN 2
 6. SOURCE 1/DRAIN 2
 7. SOURCE 1/DRAIN 2
 8. GATE 1</p> | | |

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 2 OF 2

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Email Requests to: orderlit@onsemi.com

ON Semiconductor Website: www.onsemi.com

TECHNICAL SUPPORT

North American Technical Support:
Voice Mail: 1 800-282-9855 Toll Free USA/Canada
Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative