

NCN6001

コンパクト・スマート・カード・インタフェースIC

NCN6001は、スマート・カード・インタフェース・アプリケーション専用の集積回路です。このデバイスは、シンプルで柔軟なマイクロコントローラ・インタフェースを通じて、あらゆる種類のスマート・カードを処理します。さらに、内蔵チップ・セレクト・ピンにより、複数のカプラを並列に接続できます。

このデバイスは、低コスト、低電力アプリケーションに特に適しており、静止電流がきわめて低いためバッテリー寿命が大幅に延長されます。

特長

- ISO 7816-3規格、EMV規格、およびGIE-CB規格に100%準拠
- 完全GSM準拠
- 広いバッテリー電源電圧範囲： $2.7 < V_{CC} < 5.5 \text{ V}$
- プログラマブルCRD_VCC電源で1.8 V、3.0 V、または5.0 Vのカード動作に対応
- プログラム可能な立ち上がりおよび立ち下がりカード・クロック・スロープ
- プログラマブル・カード・クロック分周器
- 内蔵チップ・セレクト・ロジックにより並列カップリング動作が可能
- カード・ピンに対するESD保護(8.0 kV、人体モデル)
- 最大40 MHz入力クロックをサポート
- 内蔵プログラマブルCRD_CLKストップ機能が実行状態または停止状態を処理
- 広い動作周波数範囲に対応するためのプログラマブルCRD_CLKスロープ
- 高速CRD_VCCターンオンおよびターンオフ・シーケンス
- 鉛フリー・デバイス

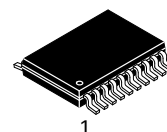
代表的アプリケーション

- Eコマース・インタフェース
- 現金自動預払機(ATM)スマート・カード
- Point of Sales(POS)システム
- ペイテレビ・システム



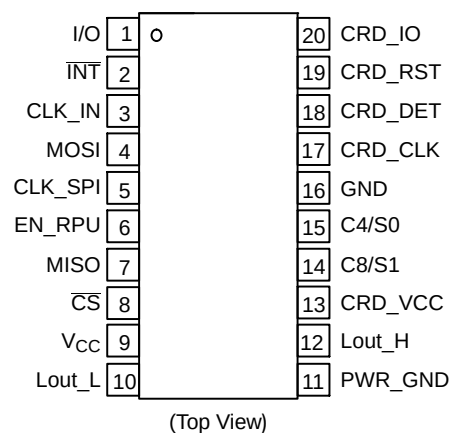
ON Semiconductor®

www.onsemi.jp

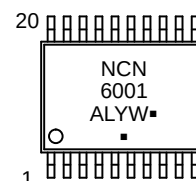


TSSOP-20
DTB SUFFIX
CASE 948E

PIN CONNECTIONS



MARKING DIAGRAM



A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 32 of this data sheet.

NCN6001

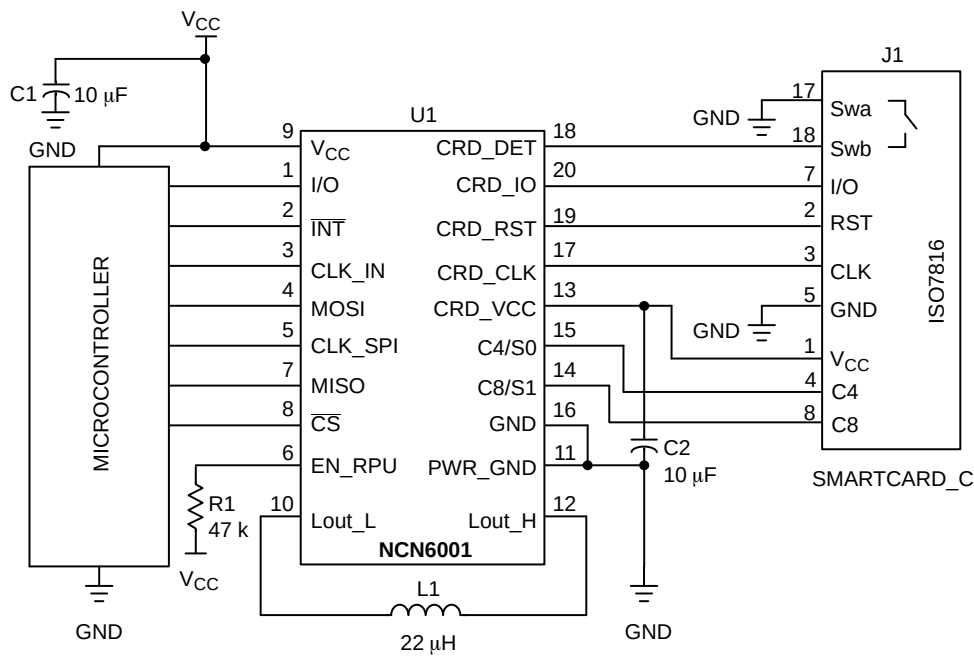


Figure 1. Typical Application

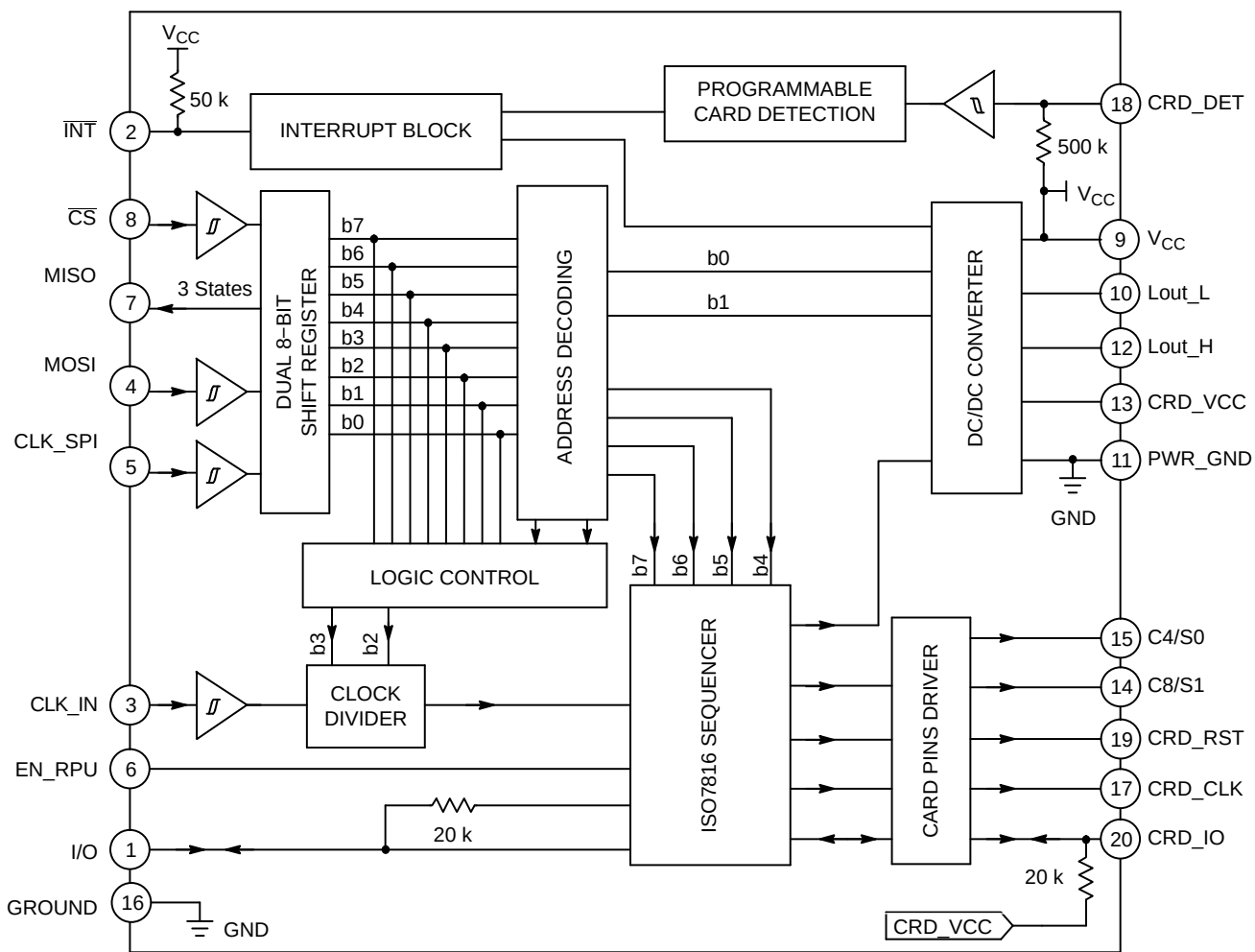


Figure 2. Block Diagram

NCN6001

PIN FUNCTIONS AND DESCRIPTION

TSSOP	Name	Type	Description
1	I/O	Input/Output Pullup	This pin is connected to an external microcontroller interface. A bidirectional level translator adapts the serial I/O signal between the smart card and the microcontroller. The level translator is enabled when $\overline{CS} = L$, the sub address has been selected and the system operates in the Asynchronous mode. When a Synchronous card is in use, this pin is disconnected and the data and the transaction take place with the MISO b3 register. The internal pullup resistor connected on the μC side is activated and visible by the selected chip only.
2	$\overline{INT}$	OUTPUT Pullup	This pin is activated LOW when a card has been inserted and detected by CRD_DET pin. Similarly, an interrupt is generated when the CRD_VCC output is overloaded, or when the card has been extracted whatever be the transaction status (running or standby). The $\overline{INT}$ signal is reset to High according to Table 7 and Figure 10. On the other hand, the pin is forced to a logic High when the input voltage V_{CC} drops below 2.0 V.
3	CLK_IN	CLOCK INPUT High impedance	The built-in Schmitt trigger receiver makes this pin suitable for a large type of clock signal (Figure 29). This pin can be connected to either the microcontroller master clock, or to a crystal signal, to drive the external smart cards. The signal is fed to the internal clock selector circuit and translated to the CRD_CLK pin at either the same frequency, or divided by 2 or 4, depending upon the programming mode. Note: The chip guarantees the EMV 50% Duty Cycle when the clock divider ratio is 1/2 or 1/4, even when the CLK_IN signal is out of the 45% to 55% range specified by ISO and EMV specifications. Care must be observed, at PCB level, to minimize the pick-up noise coming from the CLK_IN line.
4	MOSI	INPUT	Master Out Slave In: SPI Data Input from the external microcontroller. This byte contents the address of the selected chip among the four possible, together with the programming code for a given interface.
5	CLK_SPI	INPUT	Clock Signal to synchronize the SPI data transfer. The built-in Schmitt trigger receiver makes this pin compatible with a wide range of input clock signal (Figure 29). This clock is fully independent from the CLK_IN signal and does not play any role with the data transaction.
6	EN_RPU	INPUT, Logic	This pin is used to activate the I/O internal pullup resistor according to the here below true table: EN_RPU = Low $\rightarrow$ I/O Pullup resistor disconnected EN_RPU = High $\rightarrow$ I/O Pullup resistor connected When two or more NCN6001 chips shares the same I/O bus, one chip only shall have the internal pullup resistor enabled to avoid any overload of the I/O line. Moreover, when Asynchronous and Synchronous cards are handled by the interfaces, the activated I/O pullup resistor must preferably be the one associated with the Asynchronous circuit. On the other hand, since no internal pullup bias resistor is built in the chip, pin 6 must be connected to the right voltage level to make sure the logic function is satisfied.
7	MISO	OUTPUT	Master In Slave Out: SPI Data Output from the NCN6001. This byte carries the state of the interface, the serial transfer being achieved according to the programmed mode (Table 2), using the same CLK_SPI signal and during the same MOSI time frame. The three high bits [b7:b5] have no meaning and shall be discarded by the microcontroller. An external 4.7 k Ω Pull down resistor might be necessary to avoid misunderstanding of the pin 7 voltage during the High Z state.
8	$\overline{CS}$	INPUT	This pin synchronizes the SPI communication and provides the chip address and selected functions. All the NCN6001 functions, both programming and card transaction, are disabled when $\overline{CS} = H$.
9	V _{CC}	POWER	This pin is connected to the NCN6001 supply voltage and must be bypassed to ground by a 10 μF /6.0 V capacitor. Since tantalum capacitors have relative high ESR, using low ESR ceramic type (MURATA X5R, Resr < 100 m Ω) is highly recommended.
10	Lout_L	POWER	The Low Side of the external inductor is connected between this pin and pin 12 to provide the DC/DC function. The current flowing into this inductor is internally sensed and no external shunt resistor is used. Typically, Lout = 22 μH , with DSR < 2.0 Ω , yields a good efficiency performance for a maximum 65 mA DC output load. Note: The inductor shall be sized to handle the 450 mA peak current flowing during the DC/DC operation (see CoilCraft manufacturer data sheet).

NCN6001

PIN FUNCTIONS AND DESCRIPTION (continued)

TSSOP	Name	Type	Description
11	PWR_GND	POWER	This pin is the Power Ground associated with the built-in DC/DC converter and must be connected to the system ground together with GROUND pin 16. Using good quality ground plane is recommended to avoid spikes on the logic signal lines.
12	Lout_H	POWER	The High Side of the external inductor is connected between this pin and pin 10 to activate the DC/DC function. The built-in NMOS and PMOS devices provide the switching function together with the CRD_VCC voltage rectification (Figure 16).
13	CRD_VCC	POWER	This pin provides the power to the external card. It is the logic level “1” for CRD_IO, CRD_RST, CRD_C4, CRD_C8 and CRD_CLK signals. The energy stored by the DC/DC external inductor Lout must be smoothed by a 10 μF/Low ESR capacitor, connected across CRD_VCC and GND. Using ceramic type of capacitor (MURATA X5R, ESR < 50 mΩ) is strongly recommended. In the event of a CRD_VCC U_{VLOW} voltage, the NCN6001 detects the situation and feedback the information in the STATUS bit. The device does not take any further action, particularly the DC/DC converter is neither stopped nor re programmed by the NCN6001. It is up to the external MPU to handle the situation. However, when the CRD_VCC is overloaded, the NCN6001 shuts off the DC/DC converter, runs a Power Down ISO sequence and reports the fault in the STATUS register. Since high transient current flows from this pin to the load, care must be observed, at PCB level, to minimize the series ESR and ESL parasitic values. The NCN6001 demo board provides an example of a preferred PCB layout.
14	C8/S1	I/O	Auxiliary mixed analog/digital line to handle either a synchronous card, or as Chip Select Identification (MISO, Bit 0): see Figure 8. The pin is driven by an open drain stage, the pullup resistor being connected to the CRD_VCC supply. When the pin is used as a logic input (asynchronous cards), the positive logic condition applies: Connected to GND $\rightarrow$ Logic = Zero Connected to V_{CC} or left Open $\rightarrow$ Logic = One A built-in accelerator circuit makes sure the output positive going rise time is fully within the ISO/EMV specifications. NOTE: The pin is capable of reading the logic level when the chip operates an asynchronous interface, but is not intended to read the data from the external card when operated in the synchronous mode. It merely returns the logic state forced during a write instruction to the card.
15	C4/S0	I/O	Auxiliary mixed analog/digital line to handle either a synchronous card, or as Chip Select Identification (MISO, Bit 1): see Figure 8. The pin is driven by an open drain stage, the pullup resistor being connected to the CRD_VCC supply. When the pin is used as a logic input (asynchronous cards), the positive logic condition applies: Connected to GND $\rightarrow$ Logic = Zero Connected to V_{CC} or left Open $\rightarrow$ Logic = One A built-in accelerator circuit makes sure the output positive going rise time is fully within the ISO/EMV specifications. NOTE: The pin is capable of reading the logic level when the chip operates an asynchronous interface, but is not intended to read the data from the external card when operated in the synchronous mode. It merely returns the logic state forced during a write instruction to the card.
16	GND	SIGNAL	The logic and low level analog signals shall be connected to this ground pin. This pin must be externally connected to the PWR_GND pin 12. The designer must make sure no high current transients are shared with the low signal currents flowing into this pin.
17	CRD_CLK	OUTPUT	This pin is connected to the CLK pin of the card connector. The CRD_CLK signal comes from the clock selector circuit output. An internal active pull down NMOS device forces this pin to Ground during either the CRD_VCC startup sequence, or when CRD_VCC = 0 V. The rise and fall slopes, either FAST or SLOW, of this signal can be programmed by the MOSI message (Table 2). Care must be observed, at PCB level, to minimize the pick-up noise coming from the CRD_CLK line.

PIN FUNCTIONS AND DESCRIPTION (continued)

TSSOP	Name	Type	Description
18	CRD_DET	INPUT	The signal coming from the external card connector is used to detect the presence of the card. A built-in pullup low current source biases this pin High, making it active LOW, assuming one side of the external switch is connected to ground. A built-in digital filter protect the system against voltage spikes present on this pin. The polarity of the signal is programmable by the MOSI message, according to the logic state depicted Table 2. On the other hand, the meaning of the feedback message contained in the MISO register bit b4, depends upon the SPI mode of operation as defined here below: SPI Normal Mode: The MISO bit b4 is High when a card is inserted, whatever be the polarity of the card detect switch. SPI Special Mode: The MISO bit b4 copies the logic state of the Card detect switch as depicted here below, whatever be the polarity of the switch used to handle the detection: CRD_DET = Low → MISO/b4 = Low CRD_DET = High → MISO/b4 = High In both cases, the chip must be programmed to control the right logic state (Table 2). Since the bias current supplied by the chip is very low, typically 5.0 μA, care must be observed to avoid low impedance or cross coupling when this pin is in the Open state.
19	CRD_RST	OUTPUT	This pin is connected to the RESET pin of the card connector. A level translator adapts the RESET signal from the microcontroller to the external card. The output current is internally limited to 15 mA. The CRD_RST is validated when $\overline{CS}$ = Low and hard wired to Ground when the card is deactivated, by and internal active pull down circuit. Care must be observed, at PCB design level, to avoid cross coupling between this signal and the CRD_CLK clock.
20	CRD_IO	I/O Pullup	This pin handles the connection to the serial I/O pin of the card connector. A bidirectional level translator adapts the serial I/O signal between the card and the microcontroller. An internal active pull down MOS device forces this pin to Ground during either the CRD_VCC startup sequence, or when CRD_VCC = 0 V. The CRD_IO pin current is internally limited to 15 mA. Care must be observed, at PCB design level, to avoid cross coupling between this signal and the CRD_CLK clock.

NCN6001

MAXIMUM RATINGS (T_A = +25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Power Supply Voltage	V _{CC}	6.0	V
Power Supply Current Note: This current represents the maximum peak current the pin can sustain, not the NCN6001 average consumption.	I _{bat}	500	mA
Power Supply Current	I _{CC}	150 (Internally Limited)	mA
Digital Input Pins	V _{in}	-0.5 V < V _{in} < V _{CC} +0.5 V, but < 6.0 V	V
Digital Input Pins	I _{in}	±5.0	mA
Digital Output Pins	V _{out}	-0.5 V < V _{in} < V _{CC} +0.5 V, but < 6.0 V	V
Digital Output Pins	I _{out}	±10	mA
Card Interface Pins	V _{card}	-0.5 V < V _{card} < CRD_VCC +0.5 V	V
Card Interface Pins, excepted CRD_CLK	I _{card}	15 (Internally Limited)	mA
Inductor Current	I _{Lout}	500 (Internally Limited)	mA
ESD Capability (Note 1) Standard Pins Card Interface Pins CRD_DET	V _{ESD}	2.0 8.0 4.0	kV kV kV
Power Dissipation @ Tamb = +85°C Thermal Resistance, Junction-to-Air (R _{θJA})	P _{DS} R _{θJA}	320 125	mW °C/W
Operating Ambient Temperature Range	T _A	-25 to +85	°C
Operating Junction Temperature Range	T _J	-25 to +125	°C
Maximum Junction Temperature (Note 2)	T _{Jmax}	+150	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

- Human Body Model, R = 1500 Ω, C = 100 pF.
- Absolute Maximum Rating beyond which damage to the device may occur.

NCN6001

DIGITAL PARAMETERS @ 2.7 V < V_{CC} < 5.5 V (–25°C to +85°C ambient temperature, unless otherwise noted).

Note: Digital inputs undershoot < – 0.3 V to ground, Digital inputs overshoot < 0.3 V to V_{CC}.

Rating	Pin	Symbol	Min	Typ	Max	Unit
Input Asynchronous Clock Duty Cycle = 50% @ V _{CC} = 3.0 V Over the Temperature Range @ V _{CC} = 5.0 V Over the Temperature Range	3	F _{CLKIN}	– –	– –	30 40	MHz
Input Clock Rise Time	3	F _{tr}	2.5	–	–	ns
Input Clock Fall Time		F _{tf}	2.5	–	–	ns
Input SPI Clock	5	F _{CLKSPI}	–	–	15	MHz
Input CLK_SPI Rise/Fall Time @ Cout = 30 pF	5	t _{rspi} , t _{fspi}	–	–	12	ns
Input MOSI Rise/Fall Time @ Cout = 30 pF	4	t _{rmosi} , t _{fmosi}	–	–	12	ns
Output MISO Rise/Fall Time @ Cout = 30 pF	7	t _{rmiso} , t _{fmiso}	–	–	12	ns
Input $\overline{CS}$ Rise/Fall Time	8	t _{rstr} , t _{fstr}	–	–	12	ns
I/O Data Transfer Switching Time, both directions (I/O and CRD_IO), @ Cout = 30 pF	1, 20					
I/O Rise Time * (Note 4)		t _{RIO}	–	–	0.8	μs
I/O Fall Time		t _{FIO}	–	–	0.8	μs
$\overline{INT}$ Pullup Resistance	2	R _{ITA}	20	50	80	kΩ
Positive Going Input High Voltage Threshold (CLK_IN, MOSI, CLK_SPI, EN_RPU, $\overline{CS}$)	2, 3, 4, 5, 6, 8	V _{IA}	0.70 * V _{CC}	–	V _{CC}	V
Negative Going Input High Voltage Threshold (CLK_IN, MOSI, CLK_SPI, EN_RPU, $\overline{CS}$)	2, 3, 4, 5, 6, 8	V _{ILLA}	0	–	0.3 * V _{CC}	V
Output High Voltage $\overline{INT}$, MISO @ O _H = –10 μA	2, 7	V _{OH}	V _{CC} –1.0 V	–	V _{CC}	V
Output Low Voltage $\overline{INT}$, MISO @ O _H = 200 μA	2, 7	V _{OL}	–	–	0.4	V
Delay Between Two Consecutive CLK_SPI Sequence	5	t _{dclk}	33	–	–	ns

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

3. Since a 20 kΩ (typical) pullup resistor is provided by the NCN6001, the external MPU can use an Open Drain connection. On the other hand, NMOS smart cards can be used straightforward.

NCN6001

POWER SUPPLY @ 2.7 V < V_{CC} < 5.5 V (–25°C to +85°C ambient temperature, unless otherwise noted).

Rating	Pin	Symbol	Min	Typ	Max	Unit
Input Power Supply	9	V _{CC}	2.70	–	5.50V	V
Standby Supply Current Conditions: INT = CLK_IN = CLK_SPI = CS = H I/O = MOSI = EN_RPU = H, No Card Inserted V _{CC} = 3.0 V V _{CC} = 5.0 V	9	ICC _{sb}	– –	25 35	50 60	μA
DC Operating Current CLK_IN = Low, All Card Pins Unloaded @ V _{CC} = 3.3 V, CRD_VCC = 5.0 V @ V _{CC} = 5.5 V, CRD_VCC = 5.0 V	9	ICC _{op}	– –	– –	0.5 1.5	mA
V _{CC} Under Voltage Detection _{High} V _{CC} Under Voltage Detection _{Low} V _{CC} Under Voltage (Note 6)	9	V _{CC} LH V _{CC} LL V _{CC} POR	2.20 2.00 1.50	– – –	2.70 2.60 2.20	V
Output Card Supply Voltage @ 2.7 V < V _{CC} < 5.5 V CRD_VCC = 1.8 V @ Iload = 35 mA CRD_VCC = 3.0 V @ Iload = 60 mA CRD_VCC = 5.0 V @ Iload = 65 mA	13	V _{C2H} V _{C3H} V _{C5H}	1.65 2.75 4.75	1.80 3.00 5.00	1.95 3.25 5.25	V
Maximum Continuous Output Current @ CRD_VCC = 1.8 V @ CRD_VCC = 3.0 V @ CRD_VCC = 5.0 V	13	ICC	35 60 65	– – –	– – –	mA
Output Over Current Limit V _{CC} = 3.3 V, CRD_VCC = 1.8 V, 3.0 V or 5.0 V V _{CC} = 5.0 V, CRD_VCC = 1.8 V, 3.0 V or 5.0 V	13	Iccov	– –	100 150	– –	mA
Output Dynamic Peak Current @ CRD_VCC = 1.8 V, 3.0 V or 5.0 V, Cout = 10 μF (Notes 4 and 5)	13	Iccd	100	–	–	mA
Output Card Supply Voltage Ripple @ V _{CC} = 3.6 V, Lout = 22 μH, Cout1 = Cout2 = 4.7 μF Ceramic X7R, Iout = 55 mA CRD_VCC = 5.0 V CRD_VCC = 3.0 V (Note 4) CRD_VCC = 1.8 V	13	–	– – –	35 35 35	– – –	mV
Output Card Supply Turn On Time @ Lout = 22 μF, Cout1 = 10 μF Ceramic V _{CC} = 2.7 V, CRD_VCC = 5.0 V	13	V _{CC} TON	–	–	500	μs
Output Card Supply Shut Off Time @ Cout1 = 10 μF, Ceramic V _{CC} = 2.7 V, CRD_VCC = 5.0 V, V _{CC} OFF < 0.4 V	13	V _{CC} TOFF	–	100	250	μs

- Ceramic X7R, SMD type capacitors are mandatory to achieve the CRD_VCC specifications. When an electrolytic capacitor is used, the external filter must include a 220 nF, max 50 mΩ ESR capacitor in parallel, to reduce both the high frequency noise and ripple to a minimum. Depending upon the PCB layout, it might be necessary to use two 4.7 μF/6.0 V/ceramic/X5R/SMD 0805 in parallel, yielding an improved CRD_VCC ripple over the temperature range.
- Pulsed current, according to ISO7816–3, paragraph 4.3.2.
- No function externally available during the V_{CC} POR sequence.

NCN6001

SMART CARD INTERFACE @ 2.7 V < V_{CC} < 5.5 V (–25°C to +85°C ambient temperature, unless otherwise noted).

Note: Digital inputs undershoot < –0.3 V to ground, Digital inputs overshoot < 0.3 V to V_{CC}.

Rating	Pin	Symbol	Min	Typ	Max	Unit
CRD_RST @ CRD_VCC = 1.8 V, 3.0 V, 5.0 V Output RESET V _{OH} @ Irst = –200 µA Output RESET V _{OL} @ Irst = 200 µA Output RESET Rise Time @ Cout = 30 pF Output RESET Fall Time @ Cout = 30 pF	19	V _{OH} V _{OL} t _R t _F	CRD_VCC – 0.5 0 – –	– – – –	CRD_VCC 0.4 100 100	V V ns ns
CRD_CLK as a function of CRD_VCC CRD_VCC = +5.0 V or 3.0 V or 1.8V Output Frequency Output V _{OH} @ Icrd_clk = –200 µA Output V _{OL} @ Icrd_clk = 200 µA CRD_CLK Output Duty Cycle CRD_VCC = 5.0 V CRD_VCC = 3.0 V CRD_VCC = 1.8 V (Note 7) Rise & Fall time @ CRD_VCC = 1.80 V to 5.0 V Fast Mode Output CRD_CLK Rise time @ Cout = 30 pF Output CRD_CLK Fall time @ Cout = 30 pF Rise & Fall time @ CRD_VCC = 1.80 V to 5.0 V Slow Mode Output CRD_CLK Rise time @ Cout = 30 pF Output CRD_CLK Fall time @ Cout = 30 pF	17	F _{CRDCLK} V _{OH} V _{OL} F _{CRDDC} t _{ress} t _{fcs} t _{rills} t _{ulsa}	– CRD_VCC – 0.5 0 45 40 40 – – – –	 2.1 1.9 11.5 10.8	20 CRD_VCC +0.4 55 60 60 4 4 16 16	MHz V V % % % ns ns ns ns
CRD_IO @ CRD_VCC = 1.8 V 3.0 V, 5.0 V CRD_IO Data Transfer Frequency CRD_IO Rise time @ Cout = 30 pF CRD_IO Fall time @ Cout = 30 pF Output V _{OH} @ Icrd_clk = –20 µA Output V _{OL} @ Icrd_clk = 500 µA, V _{IL} = 0 V	20	F _{IO} t _{RIO} t _{FIO} V _{OH} V _{OL}	– – – CRD_VCC – 0.5 0	400 – – – –	– 0.8 0.8 CRD_VCC 0.4	kHz µs µs V V
CRD_IO Pullup Resistor	20	R _{CRDPU}	14	20	26	kΩ
CRD_C8 Output Rise and Fall Time @ Cout = 30 pF	14	t _{RC8} , t _{FC8}	–	–	100	ns
CRD_C4 Output Rise and Fall Time @ Cout = 30 pF	15	t _{RC4} , t _{FC4}	–	–	100	ns
CRD_C4 and CRD_C8 Data Transfer Frequency	14, 15	F _{C48}	–	400	–	kHz
CRD_C8, CRD_C4 Output Voltages High Level @ Irst = –200 µA Low Level @ Irst = +200 µA	14, 15	V _{OH} , V _{OL}	CRD_VCC – 0.5 0	– –	– 0.4	V V
C8/S0 and C4/S0 Address Bias Current (Note 8)	14, 15	I _{bc4c8}	–	1.0	–	µA
Card Detection Digital Filter Delay: Card Insertion Card Extraction	18	T _{CRDIN} T _{CRDOFF}	25 25	50 50	150 150	µs µs
Card Insertion or Extraction Positive Going Input High Voltage	18	V _{IHDET}	0.70 * V _{CC}	–	V _{CC}	V
Card Insertion or Extraction Negative Going Input Low Voltage	18	V _{ILDET}	0	–	0.30 * V _{CC}	V
Card Detection Bias Pullup Current @ V _{CC} = 5.0 V	18	I _{DET}	–	10	–	µA
Output Peak Max Current Under Card Static Operation Mode @ CRD_VCC = 3.0 V or = 5.0 V CRD_RST, CRD_IO, CRD_C4, CRD_C8	1, 20	I _{crd_iorst}	–	–	15	mA
Output Peak Max Current Under Card Static Operation Mode @ CRD_VCC = 3.0 V or = 5.0 V CRD_CLK	17	I _{crd_clk}	–	–	70	mA

7. Parameter guaranteed by design, function 100% production tested.

8. Depending upon the environment, using and external pullup resistor might be necessary to cope with PCB surface leakage current.

プログラミング

ライト・レジスタ → WRT_REG

WRT_REGレジスタは、Table 1に示すとおり、3つのコマンド・ビット[b5:b7]と5つのデータ・ビット[b0:b4]を処理します。これらのビットは1バイトに連結され、プログラミング・シーケンスを加速します。 $\overline{CS}$ がローのときにのみレジスタを更新できます。

CRD_RSTピンはチップ・プログラミング・シーケンス中は、MOSI WRT_REG[b4]の内容を反映します。チップの内部レジスタをアドレス指定するには、このビットがローでなければならないため、この信号が直ちにCRD_RSTピンに転送されるよう注意が必要です。

Table 1. WRT_REG BITS DEFINITIONS

b0, b1	If (b7 + b6 + b5) <> 110 and (b7 + b6 + b5) <> 101 and (b7 + b6 + b5) <> 111 then Case 00 CRD_VCC = 0 V Case 01 CRD_VCC = 1.8 V Case 10 CRD_VCC = 3.0 V Case 11 CRD_VCC = 5.0 V Else if (b7 + b6 + b5) = 110 then b1 drives C4 b0 drives C8 Else if (b7 + b6 + b5) = 101 then Case (b4 + b3 + b2 + b1 + b0) = 0000 CRD_DET = NO Case (b4 + b3 + b2 + b1 + b0) = 0001 CRD_DET = NC Case (b4 + b3 + b2 + b1 + b0) = 0010 SPI_MODE = Special Case (b4 + b3 + b2 + b1 + b0) = 0011 SPI_MODE = Normal End if	
b2, b3	If (b7 + b6 + b5) <> 110 and (b7 + b6 + b5) <> 101 and (b7 + b6 + b5) <> 111 then Case 00 CRD_CLK = L Case 01 CRD_CLK = CLK_IN Case 10 CRD_CLK = CLK_IN/2 Case 11 CRD_CLK = CLK_IN/4 Else if (b7 + b6 + b5) = 110 then b3 drives CRD_CLK b2 drives CRD_IO Else if (b7 + b6 + b5) = 101 then Case (b4 + b3 + b2 + b1 + b0) = 0000 CRD_DET = NO Case (b4 + b3 + b2 + b1 + b0) = 0001 CRD_DET = NC Case (b4 + b3 + b2 + b1 + b0) = 0010 SPI_MODE = Special Case (b4 + b3 + b2 + b1 + b0) = 0011 SPI_MODE = Normal End if	
b4	Drives CRD_RST pin (Note 10)	
b5, b6, b7	000	Select Asynchronous Card #0 (Note 9), four chips bank $\overline{CS}$ signal
	001	Select Asynchronous Card #1 (Note 9), four chips bank $\overline{CS}$ signal
	010	Select Asynchronous Card #2 (Note 9), four chips bank $\overline{CS}$ signal
	011	Select Asynchronous Card #3 (Note 9), four chips bank $\overline{CS}$ signal
	100	Select External Asynchronous Card, dedicated $\overline{CS}$ signal
	110	Select External Synchronous Card, dedicated $\overline{CS}$ signal
	101	Set Card Detection Switch polarity, Set SPI_MODE normal or special. Set CRD_CLK slopes Fast or Slow.
	111	Reserved for future use

9. When operating in Asynchronous mode, [b5:b7] are compared with the external voltage levels present pins C4/S0 and C8/S1 (respectively pins 15 and 14).

10. The CRD_RST pin reflects the content of the MOSI WRT_REG[b4] during the chip programming sequence. Since this bit shall be Low to address the internal register of the chip, care must be observed as this signal will be immediately transferred to the CRD_RST pin.

Table 2. WRT_REG BITS DEFINITIONS AND FUNCTIONS

ADDRESS				PARAMETERS							
CHIP BANK									MOSI bits [b3:b2]	MOSI bits [b1:b0]	MOSI bits [b7:b0]
1	b7	b6	b5	b4	b3	b2	b1	b0	CRD_CLK	CRD_VCC	CRD_DET
1	0	X	X	RST	0	0	0	0	Low	0	–
1	0	X	X	RST	0	1	0	1	1/1	1.8 V	–
1	0	X	X	RST	1	0	1	0	1/2	3.0 V	–
1	0	X	X	RST	1	1	1	1	1/4	5.0 V	–
1	1	0	1	0	0	0	0	0	–	–	NO
1	1	0	1	0	0	0	0	1	–	–	NC
1	1	0	1	0	0	0	1	0	–	–	Special
1	1	0	1	0	0	0	1	1	–	–	Normal
1	1	0	1	0	0	1	0	0	–	–	SLO_SLP
1	1	0	1	0	0	1	0	1	–	–	FST_SLP
1	1	1	1	–	–	–	–	–	–	–	RFU
2	1	0	0	RST	0	0	0	0	Low	0	–
2	1	0	0	RST	0	1	0	1	1/1	1.8 V	–
2	1	0	0	RST	1	0	1	0	1/2	3.0 V	–
2	1	0	0	RST	1	1	1	1	1/4	5.0 V	–
2	1	1	0	RST	CLK	I/O	C4	C8	–	–	Data to Sync. Card
2	1	0	1	0	0	0	0	0	–	–	NO
2	1	0	1	0	0	0	0	1	–	–	NC
2	1	0	1	0	0	0	1	0	–	–	Special
2	1	0	1	0	0	0	1	1	–	–	Normal
2	1	0	1	0	0	1	0	0	–	–	SLO_SLP
2	1	0	1	0	0	1	0	1	–	–	FST_SLP
2	1	1	1	–	–	–	–	–	–	–	RFU

11. Chip Bank 1 = Asynchronous cards, four slots addresses 1 to 4.

Chip Bank 2 = Asynchronous or synchronous card, single slot.

12. Address 101 and bits [b0 : b4] not documented in the table are reserved for future use.

Address 111 is reserved for future use.

%111XXXXXコードを使用することは、NCN6001シリコンの観点からは問題ありませんが、同じデジタル・バスを共有しているインタフェースの管理不能な動作を回避するために注意が必要です。このコードがデジタル・バス上にあるとき、 $\overline{CS}$ 信号を共有しているインタフェースのCRD_RST信号は、すぐにMOSIビットb4レジスタのデジタル・コンテンツを反映します。同様に、共有インタフェースのMOSIレジスタはSPIポート上にあります。その結果、システムが共通のチップ・セレクト・ラインを使用する場合、MISOレベルでのデータ衝突と管理不能なカ

ード動作が発生する可能性があります。 $\$111xxxxx$ コードを使用するように意図された外部回路に対しては、専用の $\overline{CS}$ ビットを実行することを強く推奨します。

一方、チップの内部レジスタが異なるハードウェア状態(NO/NC、Special/Normal、SLO_SLP/FST_SLP)に対応するようにプログラムされると、CRD_RST信号はローに強制されます。一般に、このような構成は、パワーオン・リセット中のCRD_RSTの起動を回避するために行われます。

リード・レジスタ → READ_REG

READ_REGレジスタには、インタフェースおよび外部カードから読み込まれたデータが含まれています。MOSIシーケンス($\overline{CS}$ = Low)中、選択されたレジスタがMOSIピンに転送されます。Table 3にビット定義を示します。

プログラムされているSPI_MODEに応じて、READ_REGの内容は、CLK_SPI信号の正進行スロー

プ(SPI_MODE = Special)または負進行スロープ(SPI_MODE = Normal)のいずれかでMISOライン上を転送されます。上位3バイトには有効なデータが含まれていないため、外部マイクロコントローラはこれらを破棄します。

Table 3. MOSI AND MISO BITS IDENTIFICATIONS AND FUNCTIONS

MOSI	b7	b6	b5	b4	b3	b2	b1	b0	Operating Mode
	0	0	0	RST	CLK	CLK	V _{CC}	V _{CC}	Asynchronous, Program Chip
	0	0	1	RST	CLK	CLK	V _{CC}	V _{CC}	Asynchronous, Program Chip
	0	1	0	RST	CLK	CLK	V _{CC}	V _{CC}	Asynchronous, Program Chip
	0	1	1	RST	CLK	CLK	V _{CC}	V _{CC}	Asynchronous, Program Chip
	1	0	0	RST	CLK	CLK	V _{CC}	V _{CC}	Asynchronous, Program Chip
	1	1	0	RST	CLK	I/O	C4	C8	Synchronous, Sets Card Bits
MISO	z	z	z	Card Detect	I/O	C4	C8	PWR Monitor	Read Back Data

非同期モード

このモードでは、最大4つのNCN6001のバンクが同じデジタル・バスを共有するとき、CRD_C4ピンとCRD_C8ピンを使用してインタフェースの物理アドレスが定義されます。

同期モード

このモードでは、CRD_C4ピンとCRD_C8ピンがスマート・カードに接続され、 $\overline{CS}$ 信号を他のデバイスと共有することはできなくなります。その結果、インタフェースがマルチ動作モードで動作するとき、専用のチップ・セレクト信号を提供しなければなりません(Figure 33)。

一方、MOSIレジスタのビット[b4-b0]にはスマート・カードのデータが含まれているため、CRD_VCC

出力電圧のプログラミングは、Table 1とTable 2に従って、以前のMOSIメッセージを送信することによって行われます。

CRD_RSTピンはチップ・プログラミング・シーケンス中は、MOSI WRT_REG[b4]の内容を反映します。チップの内部レジスタをアドレス指定するには、このビットがローでなければならないため、この信号が直ちにCRD_RSTピンに転送されるよう注意が必要です。

チップがこのモードで動作するときは物理アドレスが存在しないので、MOSIレジスタはフォーマット%100XXXXXを使用してチップをプログラムする必要があります(%100プリフィックス、XXXXXデータ)。

例：

```
LDAA  #%10010111          ;set RST = H, CLK = 1/1, VCC = 5.0 V
STAA  MOSI
LDAA  #%11010011          ;SYNC. Card: set RST = H, CLK = L, IO = L, C4 = H, C8 = H
STAA  MOSI
LDAA  #%00111110          ;ASYNC. Card: set RST = H, CLK = 1, VCC = 3.0 V
STAA  MOSI
```

起動時のデフォルト状態

起動時にV_{CC}電源がオンになると、内部POR回路がチップをTable 4で定義されるデフォルト状態に設定します。

Table 4. STARTUP DEFAULT CONDITIONS

CRD_DET	Normally Open
CRD_VCC	Off
CRD_CLK	t _r and t _f = SLOW
CRD_CLK	Low
Protocol	Special Mode

カードの検出

カードは外部スイッチに接続されたピン18で検出されます。内部回路がこのピンの正バイアスを提供し、挿入/抜出の極性はMOSIプロトコルによって、Table 2に示すとおりプログラムできます。

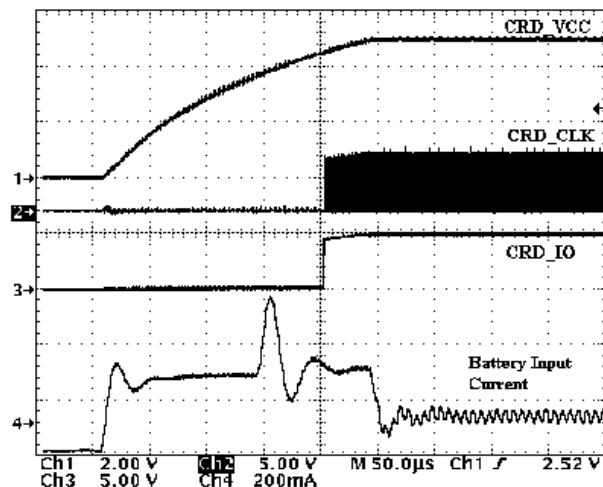
バイアス電流は1.0 μ A(標準)で、このピンとグランド間のリークを回避して、ロジック機能を維持するために注意が必要です。特に、低インピーダンス・プローブ(< 1.0 M Ω)を使用すると、デバッグ中に管理不能動作が生じる可能性があります。プログラムされている条件に応じて、カードは常時開スイッチ(デフォルト条件)か常時閉スイッチのいずれかで検出されます(Table 2)。一方、MISOレジスタのビットb4に含まれるフィードバック・メッセージの意味は、以下に定義するSPI動作モードによって異なります。

SPI Normal Mode : カード検出スイッチの極性に関係なく、カードが挿入されているとき、MISOビットb4はハイです。

SPI Special Mode : 検出処理に使用されるスイッチの極性に関係なく、MISOビットb4は、次のとおりカード検出スイッチのロジック状態をコピーします。

CRD_DET = Low $\rightarrow$ MISO/b4 = Low

CRD_DET = High $\rightarrow$ MISO/b4 = High



CRD_VCC動作

内蔵DC/DCコンバータは、CRD_VCC電圧を提供し、入力電圧V_{CC}が2.7 V~5.5 Vの範囲内と仮定して、1.8 V、3.0 V、5.0 Vの3つの値のいずれかを実行するようにプログラムできます。いずれの場合も、電流過負荷検出と共に、CRD_VCCの電圧安定化が行われます。一方、入力電圧V_{CC}と出力電源CRD_VCCの差に応じて、電力変換は昇圧動作モードか降圧動作モードを処理するように、自動的に切り替わります。

CRD_VCC出力電流は、Table 5に示すようにV_{CC}入力値の関数です。

Table 5. CRD_VCC OUTPUT VOLTAGE RANGE

CRD_VCC	Comments
1.80 V	Maximum Output DC Current = 35 mA
3.0 V	Maximum Output DC Current = 60 mA
5.0 V	Maximum Output DC Current = 65 mA

CRD_VCC出力電圧に関係なく、内蔵コンパレータが、電圧がISO7816-3/EMV仕様の範囲内であることを確認します。電圧が最小/最大値の範囲内でない場合、DC/DCはオフになり、パワーダウン・シーケンスが実行され、 $\overline{\text{INT}}$ ピン2で割り込みが発生します。

パワーアップ・シーケンス

パワーアップ・シーケンスでは、CRD_VCC正進行スロープ中、すべてのカード関連信号がローであることを確認します。CRD_VCCが(プログラムされているCRD_VCC値に応じた)最小規定電圧を超えると、これらのラインが有効化されます。

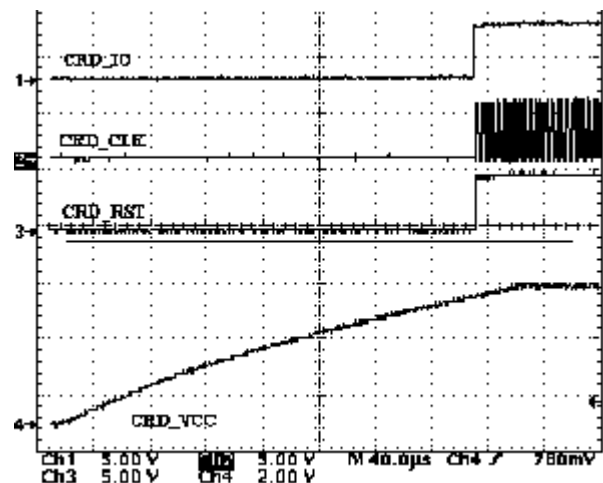


Figure 3. Typical Startup CRD_VCC Sequence

パワーアップ時のCRD_VCC電圧立ち上がり時間は、外部インダクタL1に関するDC/DCコンバータの電流能力、およびCRD_VCCとGROUNDに接続されたリザーバ・コンデンサに依存します。起動時にシステムに全負荷が接続されると仮定すると、このシーケンス中の平均入力電流は300 mA(標準)(Figure 3)です。最後に、アプリケーション・ソフトウェアがスマート・カード信号シーケンスに対応します。

一方、ターンオフ時のCRD_VCC立ち下がり時間は、外部リザーバ・コンデンサ、およびCRD_VCCとGROUND間に組み込まれた内部NMOSトランジスタで吸収されるピーク電流に依存します。これらの振舞いをFigure 4に示します。

外部制約に応じて、これらのパラメータには有限値があるため、設計者はデータ・シートで提供される t_{ON} または t_{OFF} が自分の要件を満たさない場合は、これらの限界値を考慮しなければなりません。

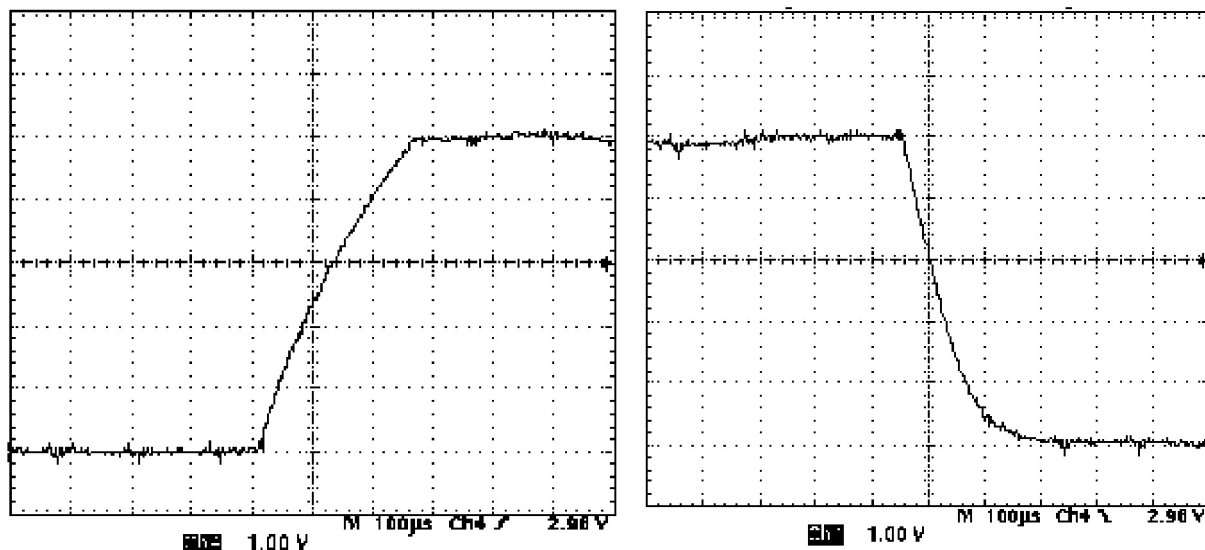


Figure 4. CRD_VCC Typical Rise and Fall Time

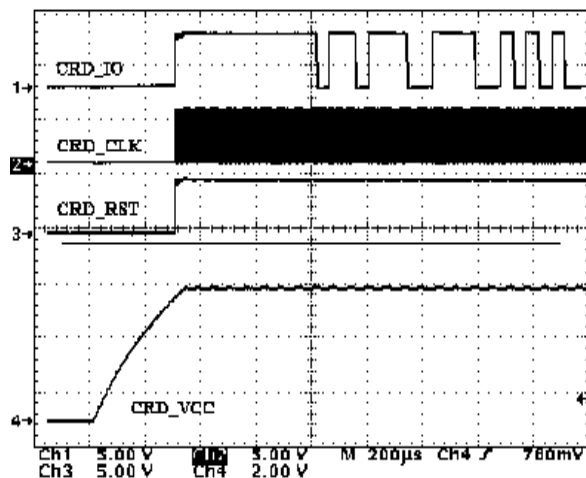


Figure 5. Startup Sequence with ATR

パワーダウン・シーケンス

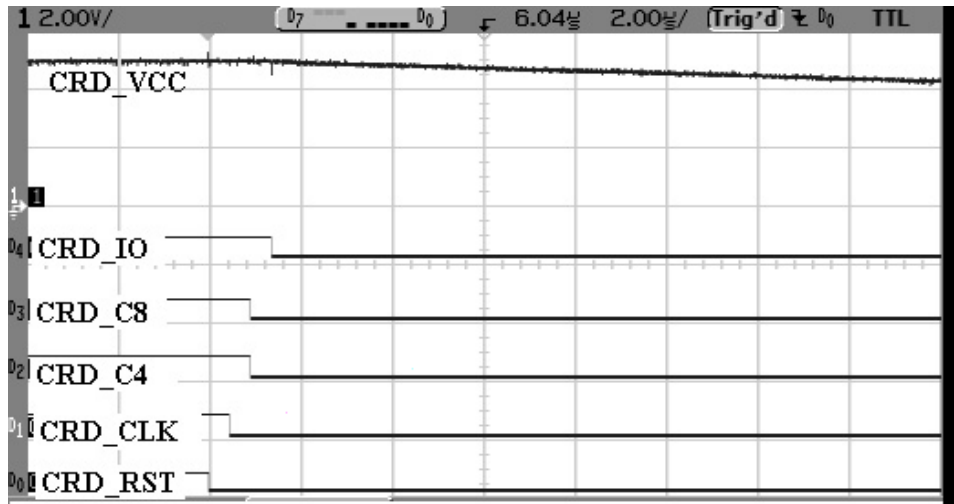
NCN6001は、ISO7816-3仕様に従って自動パワーダウン・シーケンスを提供し、通信セッションは直ちに終了します。このシーケンスは、カードが引き抜かれたとき、またはCRD_VCC電圧が過負荷状態になると、以下に示すISO/CEI 7816-3シーケンスで記述されるとおり起動します。

ISO7816-3シーケンス：

- RSTをローに強制
- CLKがまだローになっていない場合、CLKをこの状態に強制
- C4とC8をローに強制
- CRD_IOをローに強制
- CRD_VCC電源をシャットオフ

任意のカードの挿入または引抜で内部デジタル・フィルタがアクティブになるため、カードが引き抜かれてから50 μ s(標準)後に物理的な電源シーケンスがアクティブになります。当然ながら、MPUが意図的にパワーダウンを起動する場合、このような遅延は存在しません。Figure 6に、NCN6001デモ・ボードで記録されたオシログラムを示します。

Cout = 10 μ Fと仮定して、CRD_VCCとGNDに接続された内部アクティブ・プルダウンNMOSが、外部リザーバ・コンデンサを100 μ s(標準)で放電します。



Typical delay between each signal is 500 ns

Figure 6. Typical Power Down Sequence

Cout = 10 μ Fと仮定して、CRD_VCCとGNDに接続された内部アクティブ・プルダウンNMOSが外部リザーバ・コンデンサを100 μ s(標準)で放電します。

データI/Oレベル・シフタ

レベル・シフタは、マイクロコントローラとスマート・カード間に存在する可能性のある電圧差を調整します。パルスド・アクセラータ内蔵回路は、

ISO7816-3仕様に従って、高速の正進行過渡を提供します。基本的なI/Oレベル・シフタをFigure 7に示します。

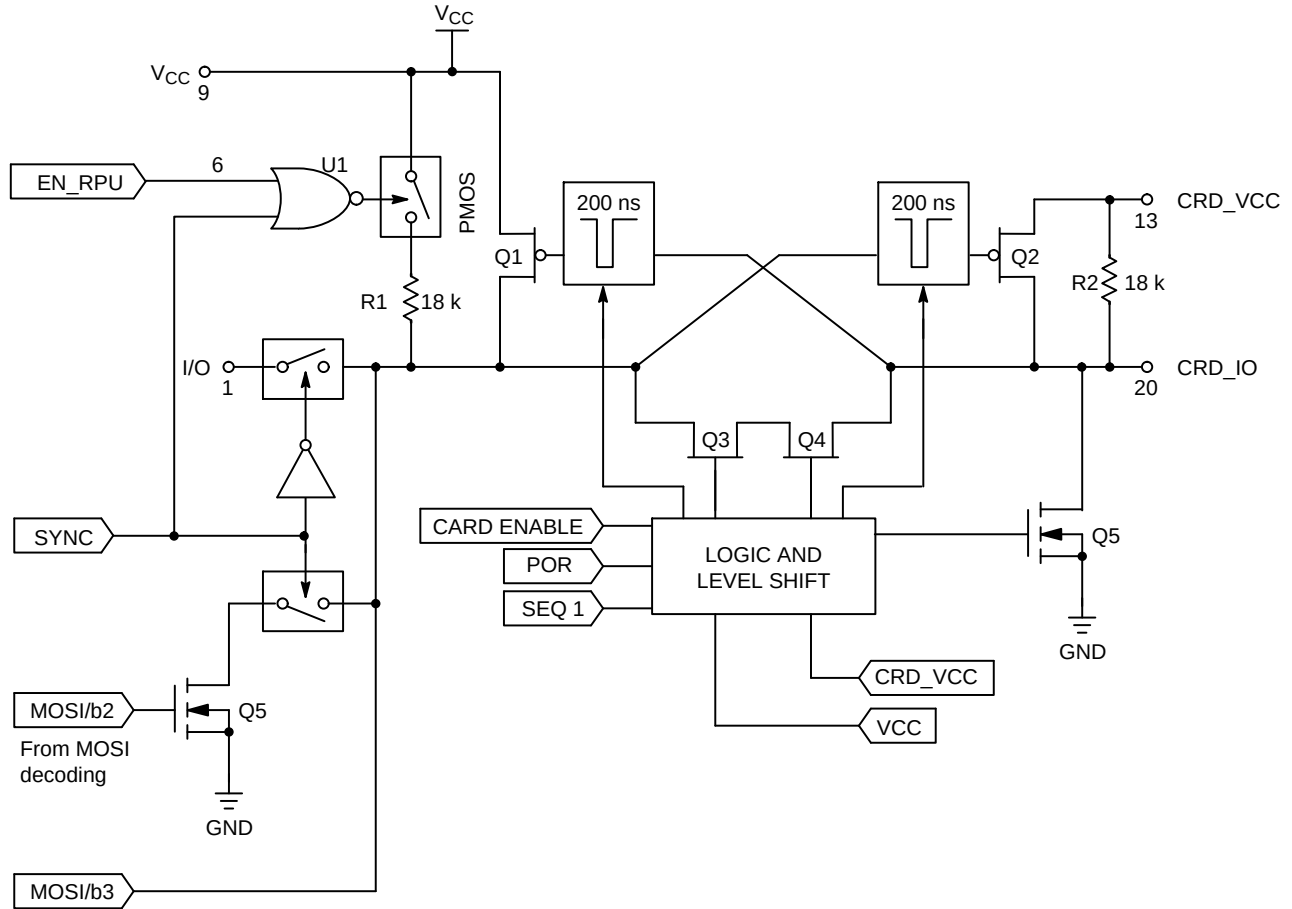


Figure 7. Basic I/O Internal Circuit

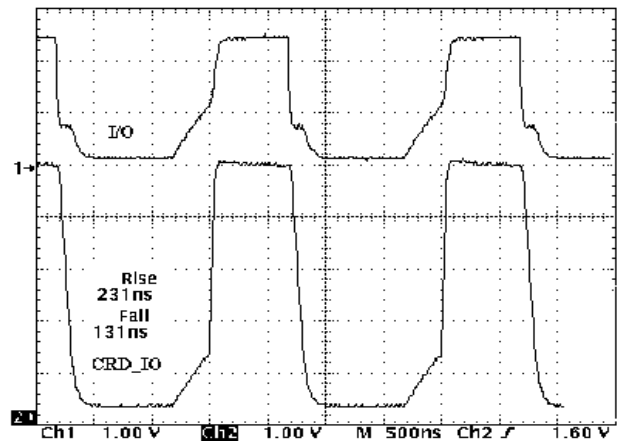
トランザクションは、チップ・セレクト・ピンがローのとき有効で、I/O信号はいずれの側もオープン・ドレインかトーテン・ポールです。

このデバイスはシングル・カード・システムまたはマルチ・カード・システムのいずれかで動作できるので、CRD_IO電流過負荷を防ぐための対策が行われています。選択された動作モード(非同期または同期)に応じて、カードI/Oラインはそれぞれ、I/Oピン1またはMOSIレジスタ・バイトのビット2に接続されます。他方、カードI/Oに存在するロジック・レベルは、MOSIレジスタのビット3を介してμCにフィードバックされます。ピン6に存在するロジック・レベルは、Table 6に示すとおり、内部プルアップの接続を制御します。

Table 6. I/O PULLUP RESISTOR TRUE TABLE

EN_RPU	I/O Pullup Resistor	Device Operation
Low	Open, 18 kΩ disconnected	Parallel Mode
High	Internal 18 kΩ pullup active	Single Device

NOTE: 18 kΩ typical value



NOTE: Both sides of the interface run with open drain load (worst case condition).

Figure 8. Typical I/O Rise and Fall Time

汎用CRD_C4およびCRD_C8

これら2本のピンは、与えられたインタフェースのアドレス(範囲\$00~\$11)を定義するためのロジック入力として、またはスマート・カードのチャネルへ

の標準C4/C8アクセスとして使用できます。これらのピンはV_{CC}電源に直接接続できるので、Figure 9に示すとおり、両方の出力段はスイッチト NMOS/PMOS トーテン・ポールで構築されます。

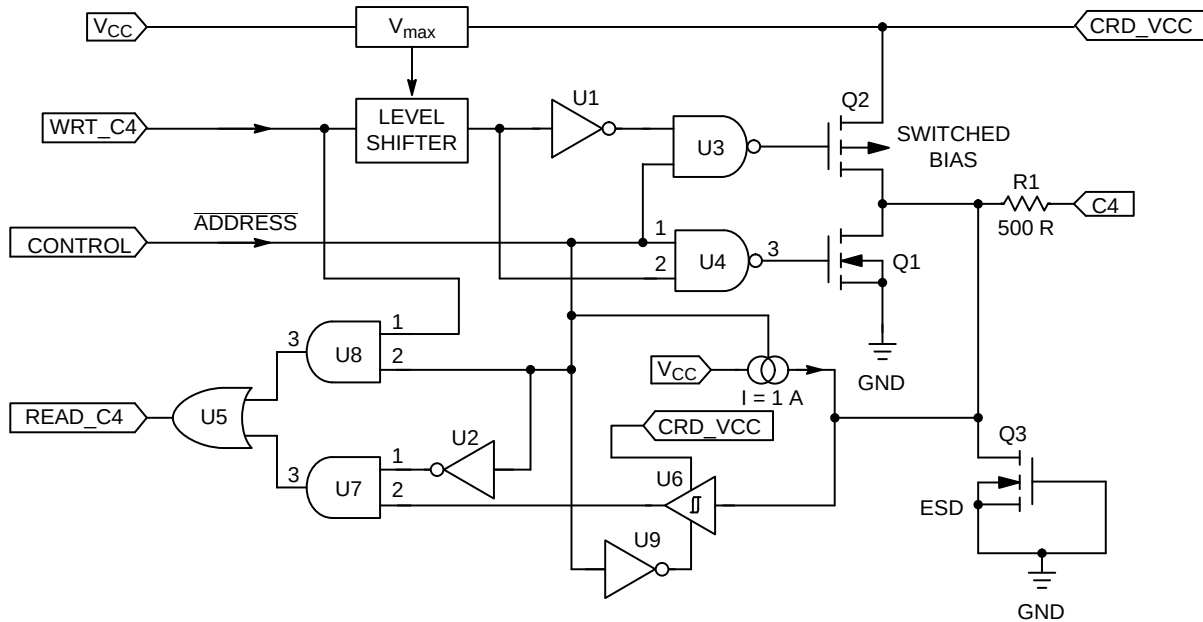


Figure 9. Typical CRD_C4 Output Drive and Logic Control

C4ピンとC8ピンは、ピンがオープン時にロジック1を提供するように内部電流源でバイアスされます。この場合、比較的低いグラウンドへのインピーダンスを回避して、ピンが確実にハイ・ロジック・レベルになるよう注意する必要があります。ただし、入力バイアスに関係なく、ピンをV_{CC}(バッテリー電源)に接続して、ロジック入力をハイ・レベルに強制することができます。CONTROL内部信号のおかげで、システムは自動的に動作モード(チップ・アドレスまたはデータ通信)を利用します。リーク電流を除いて、ロジック・レベルがハイのときに、バッテリーからこれらのピンをバイアスするための余分な電流が引き出されることはありません。

これらのピンのどれかをGNDに接続すると、バッテリー電源から連続1 μ A標準シンク電流が吸収されず。

スイッチト・トーテン・ポール構造は、データ転送中に関連ピンがハイ状態に強制されると、高速の正進行過渡を提供します。低インピーダンスがC4またはC8を介してグラウンドに接続される場合、ISO7816-3仕様に従って、電流フローは15 mAに制限されます。

2本の汎用ピンで、外部マイクロコントローラからカードにデータを転送し、ロジック状態をリードバックすることができますが、どのピンも外部スマート・カードからのデータを読み取ることはできません。他方、C4とC8はどちらも入力ロジックを読み取ることができ、したがって与えられたチップの物理アドレスを読み取ることができます。

これらのピンに規定されている8 kV ESD耐圧のため、入力回路のMOSゲートを保護するために余分な保護構造Q3が実装されています。

割り込み

システムの電源を入れたとき、POR信号受信時に $\overline{\text{INT}}$ ピンがハイに設定されます。カードが挿入または引き抜かれたとき、あるいはCRD_VCC出力電圧で障害が発生したときは、割り込みピン2がローに強制されます。この信号は $\overline{\text{CS}}$ 信号ともチップ・アドレスとも結合されません。その結果、条件の1つに適合すればすぐに、 μC 入力で割り込みが発生します。

Table 7に示す条件の1つが満たされると、 $\overline{\text{INT}}$ 信号はハイにクリアされます。

Table 7. INTERRUPT RESET LOGIC

Interrupt Source	$\overline{\text{CS}}$	CRD_VCC	Chip Address
Card Insertion	L	> 0	Selected Chip MOSI[b7 : B5] = 0xx or MOSI[b7 : B5] = 101
Card Insertion	L	= 0	Selected Chip MOSI[b7 : B5] = 0xx or MOSI[b7 : B5] = 101
Over Load	L	= 0	Selected Chip MOSI[b7 : B5] = 0xx or MOSI[b7 : B5] = 101

複数のインタフェースが同じデジタル μC バスを共有している場合、割り込みソースを識別するためのMISOレジスタを使用してチップをポーリングするのは、ソフトウェアの役割です。

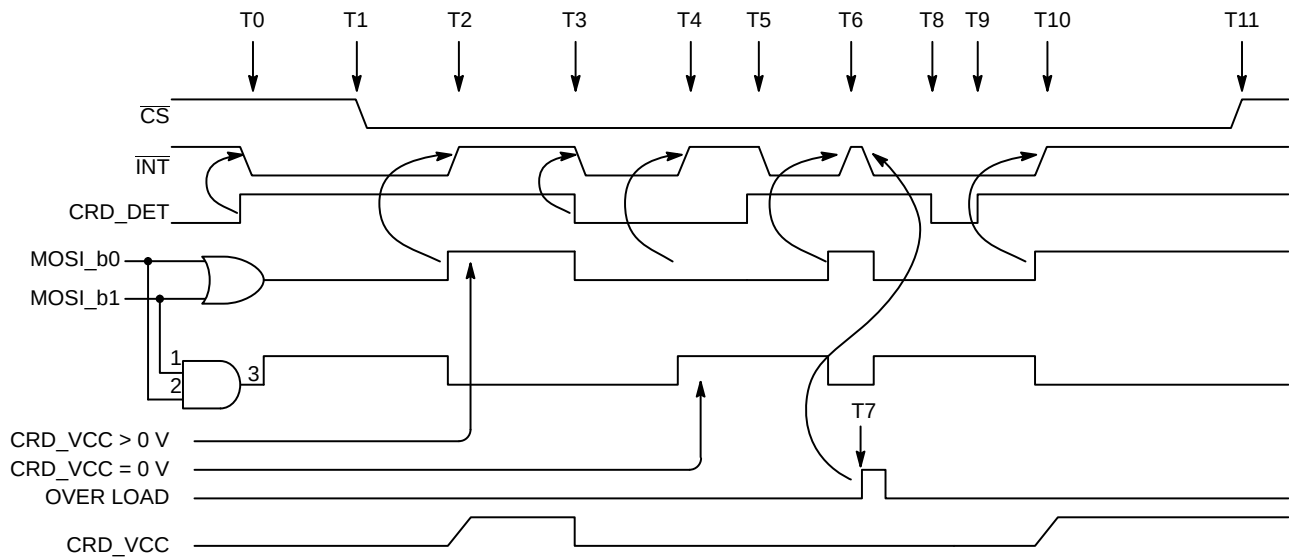


Figure 10. Basic Interrupt Function

Table 8. INTERRUPT RESET LOGIC OPERATION

T0	A card has been inserted into the reader and detected by the CRD_DET signal. The NCN6001 pulls down the interrupt line.
T1	The μC sets the $\overline{\text{CS}}$ signal to Low, the chip is now active, assuming the right address has been placed by the MOSI register.
T2	The μC acknowledges the interrupt and resets the $\overline{\text{INT}}$ to High by the MOSI [B1 : B0] logic state: CRD_VCC is programmed higher than zero volt.
T3	The card has been extracted from the reader, CRD_DET goes Low and an interrupt is set ($\overline{\text{INT}} = \text{L}$). On the other hand, the PWR_DOWN sequence is activated by the NCN6001.
T4	The interrupt pin is clear by the zero volt programmed to the interface.
T5	Same as T0
T6	The μC start the DC/DC converter, the interrupt is cleared (same as T2)
T7	An overload has been detected by the chip : the CRD_VCC voltage is zero, the $\overline{\text{INT}}$ goes Low.
T8	The card is extracted from the reader, CRD_DET goes Low and an interrupt is set ($\overline{\text{INT}} = \text{L}$).
T9	The card is re-inserted before the interrupt is acknowledged by the μC : the $\overline{\text{INT}}$ pin stays Low.
T10	The μC acknowledges the interrupt and reset the $\overline{\text{INT}}$ to High by the MOSI [B1 : B0] logic state: CRD_VCC is programmed higher than zero volt.
T11	The Chip Select signal goes High, all the related NCN6001 interface(s) are deactivated and no further programming or transaction can take place.

SPIポート

製品は同期ポート・インタフェース・プロトコルを使用して、シリアル・リンクによって外部マイクロコントローラと通信します。CLK_SPIはアイドル状態の間、ローまたはハイです。NCN6001はマスター・コントローラとして動作することを意図したものではありませんが、MPUからのコマンドを実行します。

CLK_SPI信号、 $\overline{CS}$ 信号、およびMOSI信号は、マイクロコントローラの責任下にあります。MISO信号は、データ・バイトで実行されるビットを同期さ

せるためのCLK_SPIラインと $\overline{CS}$ ラインを使用して、NCN6001で生成されます。基本的なタイミングをFigure 11とFigure 12に示します。システムは、MOSIデータとMISOデータに関連する2つの内部レジスタを使用して動作します。

WRT_REGは、MOSIデータ用の書き込み専用レジスタです。

READ_REGは、MISOデータ用の読み取り専用レジスタです。

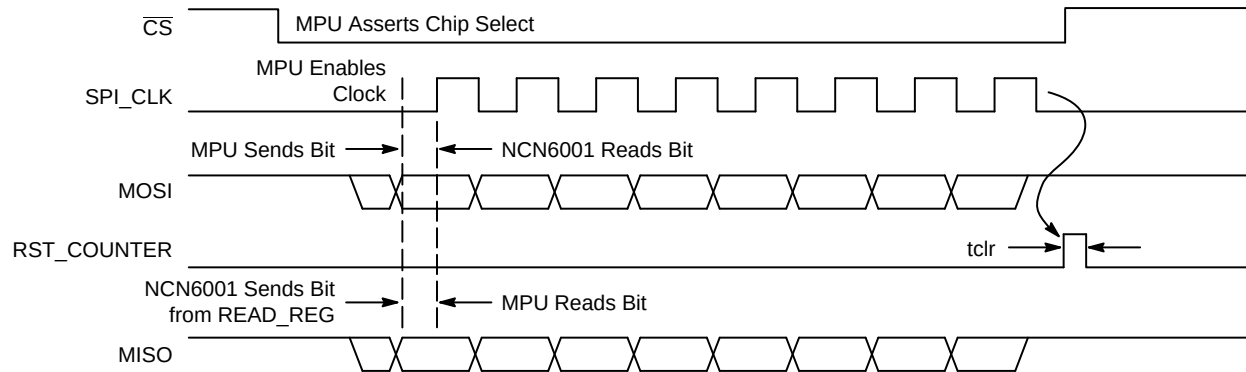


Figure 11. Basic SPI Timings and Protocol

$\overline{CS}$ ラインがハイのときは、SPIポート上でデータの書き込みや読み取りはできません。2つのデータ・ラインは $\overline{CS} = \text{Low}$ のときにアクティブになり、内部シフト・レジスタはクリアされ、通信は $\overline{CS}$ 信号の負エッジで同期されます。MOSIライン上にあるデータは、CLK_SPIクロックの負エッジで有効とみなされ、同じCLK_SPIクロックの次の正エッジでシフト・レジスタに転送されます。

同時MISO送信に対応するために、内部ロジックが動作中にチップ・アドレスを識別し(先頭3ビットを読み取ってデコードする)、ライン上にある正しいデータを有効化します。したがって、データ・フォーマットはMSBファーストであり、最初の3つの信号をビットB5、B6、B7として読み取ります。このロジック値からチップ・アドレスがデコードされ、C4とC8の状態に従ってチップを有効化します(Figure 12)。

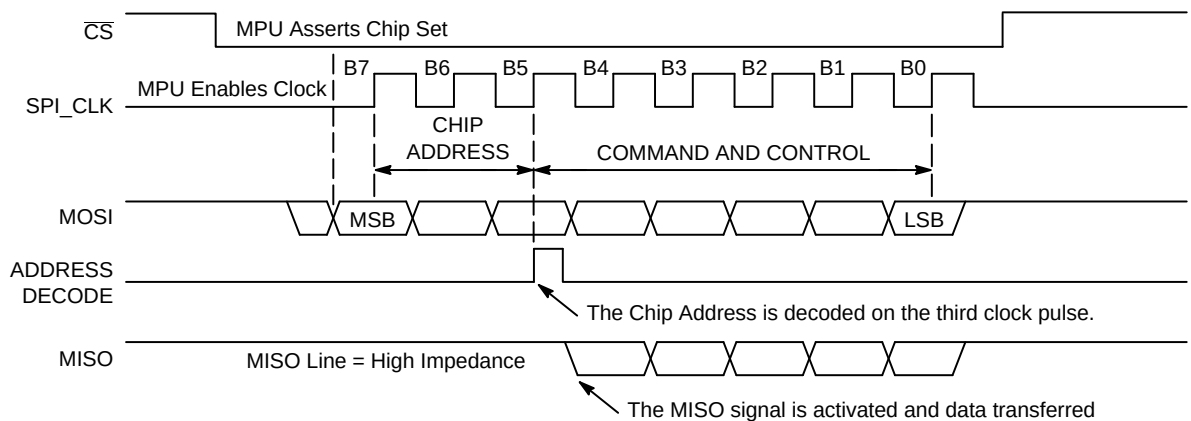


Figure 12. Chip Address Decoding Protocol and MISO Sequence

8ビット転送が完了すると、 $\overline{CS}$ 信号の正エッジで内部シフト・レジスタの内容がラッチされ、それによってNCN6001関連機能が更新されます。

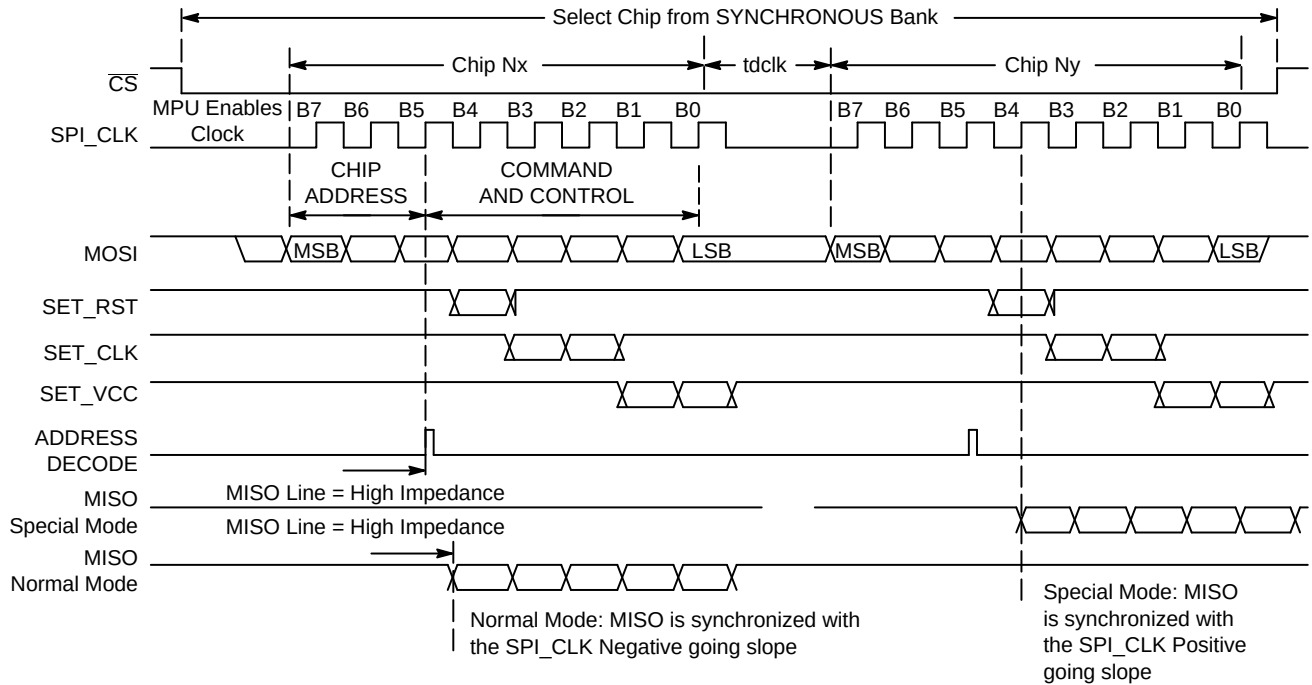


Figure 13. Basic Multi Command SPI Bytes

非同期バンク内の4つのチップは個別の物理アドレスを持っているので、Figure 13に示すとおり、システムは同じ $\overline{CS}$ フレーム内でデータ・コンテンツを送信することにより、これらのチップのうちのいくつかを制御することができます。ビットは動作中にデコードされ、それによって、関連するサブ・ブロックが更新されます。SPIの一般仕様に基づいて、 $\overline{CS}$ がハイのときは、どのチップにもコードやアクティビティは転送されません。

2つのSPIバイトがMOSIライン上を順次転送される場合は、このクロックの正期間の少なくとも半分だけ、CLK_SPIシーケンスを分離する必要があります(td_{clk} パラメータ参照)。

Figure 14とFigure 15のオシログラムは、SPI通信プロトコルを示しています(出典：NCN6001デモ・ボード)。

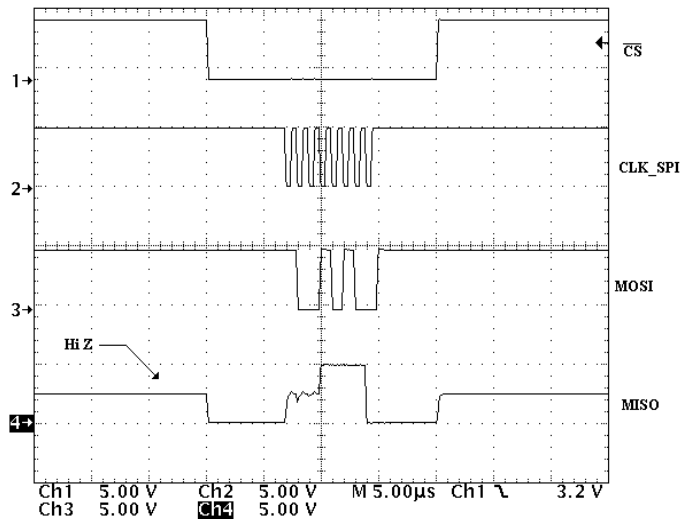


Figure 14. Programming Sequence, Chip Address = \$03

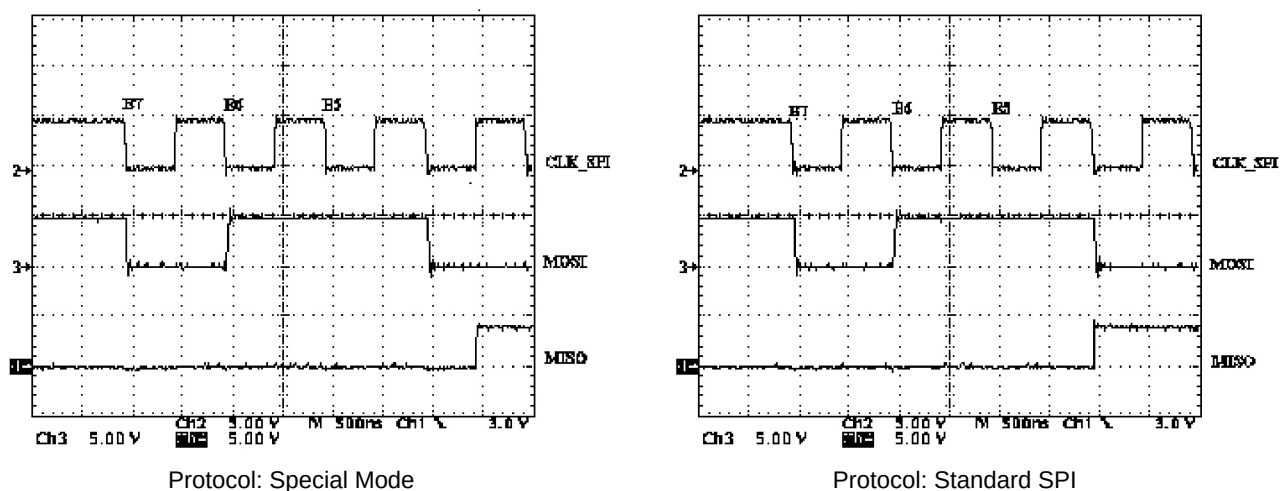


Figure 15. MISO Read Out Sequences

DC/DC動作

電力変換は昇圧または降圧電源のいずれかを処理できるフル・ブリッジ構造に基づきます (Figure 16)。動作は完全に自動であり、出力電圧プ

ログラミングの他に、それ以上の調整は必要ありません。

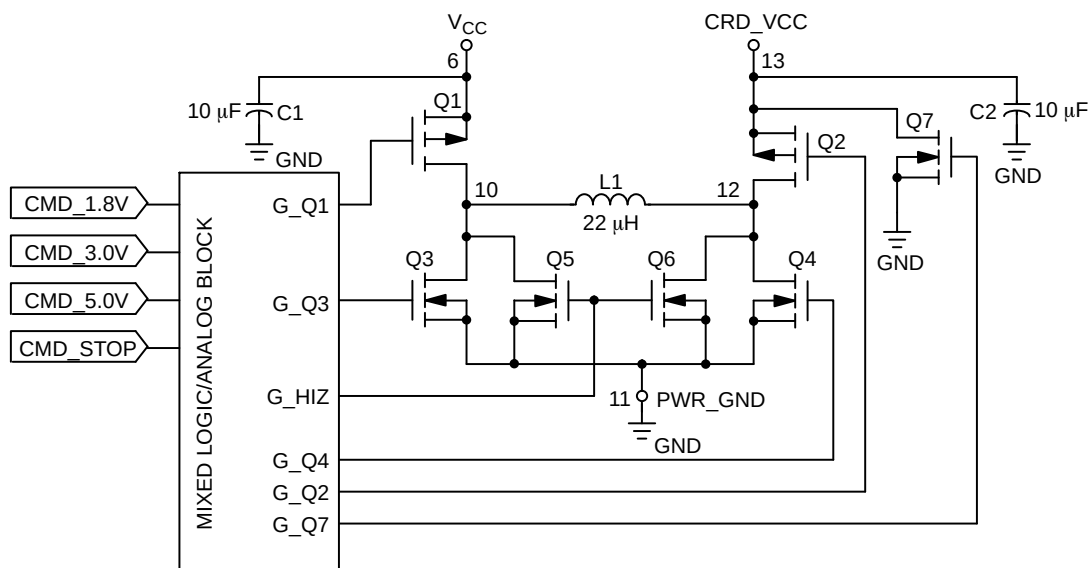


Figure 16. Basic DC/DC Converter

EMV仕様に従って、CRD_VCCを400 mVに放電するのに250 μ s(maxtime)を達成するために、アクティブ・プルダウンNMOS(Q7)が配置されており、外部

CRD_VCCリザーバ・コンデンサを放電します。このタイミングは10 μ F最大負荷リザーバ・コンデンサ値に対して保証されています (Figure 4)。

システムは2サイクル概念で動作します(コメントはすべて、Figure 16とFigure 17に関連)。

1 - サイクル1 Q1とQ4がスイッチオンし、外部バッテリーから供給されるエネルギーでインダクタL1が充電されます。このフェーズでは、ペアQ2/Q3とペアQ5/Q6はスイッチオフします。

2つのMOSFET Q1とQ4を流れる電流が内部でモニタされ、 I_{peak} 値(プログラムされている出力電圧値に依存)に達するとスイッチオフします。この時点で、サイクル1は完了し、サイクル2が実行されます。オン時間は、バッテリー電圧とピン10/11に接続されたインダクタ・ネットワーク(LおよびZr)値の関数になります。

4 μ sタイムアウト構造は、システムが連続サイクル1ループで動作することを保証しています。

2 - サイクル2 Q2とQ3がスイッチオンし、インダクタL1に蓄積されたエネルギーがQ2を通じて外部負荷にダンプされます。このフェーズでは、ペアQ1/Q4とペアQ5/Q6はスイッチオフします。

電流フロー期間は一定で(標準900 ns)、CRD_VCC電圧が規定値以下の場合、この時間の経過後にサイクル1を繰り返します。

出力電圧が規定値(1.8 V、3.0 V、または5.0 V)に達すると、出力負荷の過電圧を回避するために、Q2とQ3が直ぐにスイッチオフします。その間に、別の2つのNMOS Q5およびQ6がスイッチオンし、インダクタに蓄積された電流を完全に放電して、システムのリンギングと電圧スパイクを回避します。Figure 17に、DC/DCコンバータで発生する理論的な波形を示します。

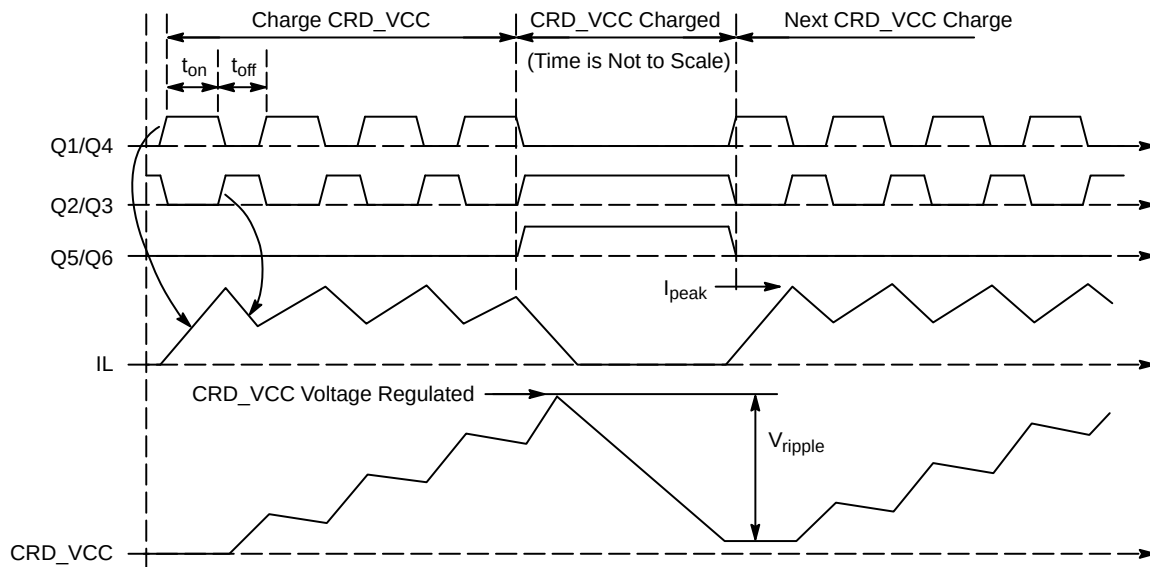


Figure 17. Theoretical DC/DC Operating Waveforms

CRD_VCCが0 Vにプログラムされるか、カードがソケットから引き抜かれると、アクティブ・プルダウンQ7が出力リザーバ・コンデンサを急速に放電して、カードがISO接点をスライドするとき出力電圧が0.4 V以下になるようにします。

NCN6001特性評価中に実施された実験に基づく、本書の印刷時点での最良の構成は、2個の4.7 μ F/10 V/セラミック/X7Rコンデンサを並列に使用して、CRD_VCCフィルタリングを実現することです。ESRは全温度範囲で50 m Ω を拡張しないで、標準パーツの組

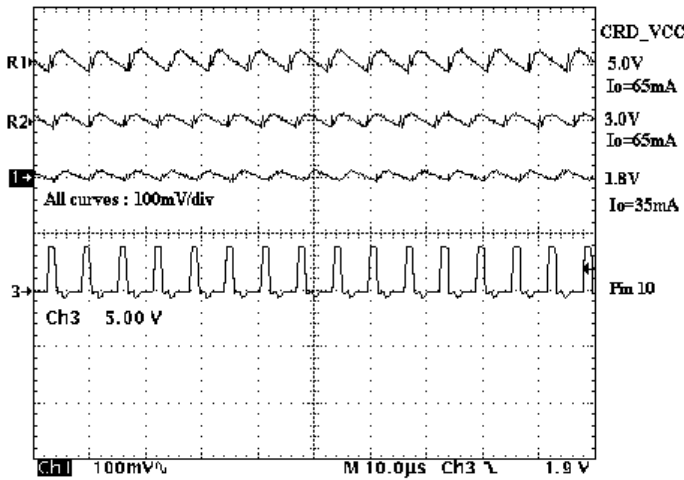
み合わせによって、受け入れ可能な-20%~+20%の許容差が低コストと併せて提供されます。Table 9に、最も一般的なタイプのコンデンサの簡単な比較を示します。このアプリケーションに必要な非常に低いESRとESLを達成するには、コンデンサがSMDタイプでなければならないことは明らかです。Figure 18に、出力電圧のフィルタに使用するコンデンサのタイプに応じて、NCN6001デモ・ボードで観測されたCRD_VCCリップルを示します。

Table 9. CERAMIC/ELECTROLYTIC CAPACITORS COMPARISON

Manufacturers	Type/Series	Format	Max Value	Tolerance	Typ. Z @ 500 kHz
MURATA	CERAMIC/GRM225	0805	10 μ F/6.3 V	-20%/+20%	30 m Ω
MURATA	CERAMIC/GRM225	0805	4.7 μ F/6.3 V	-20%/+20%	30 m Ω
VISHAY	Tantalum/594C/593C	-	10 μ F/16 V	-	450 m Ω
VISHAY	Electrolytic/94SV	-	10 μ F/10 V	-20%/+20%	400 m Ω
-	Electrolytic Low Cost	-	10 μ F/10 V	-35%/+50%	2.0 Ω

Figure 19に示すように、DC/DCコンバータは、CRD_VCC出力に全負荷を接続した状態で始動できません。

この例では、システムがゼロから始動するとき、コンバータには最大負荷が接続されます。



Test Conditions: Cout = 2x 4.7 μ F/6 V/ceramic X7R,
Temp = +25°C
Iout = Maximum Specification

Figure 18. Typical CRD_VCC Ripple Voltage

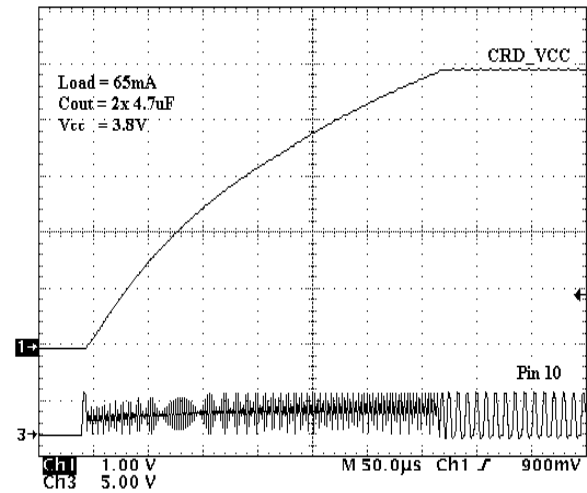


Figure 19. Output Voltage Startup Under Full Load Conditions

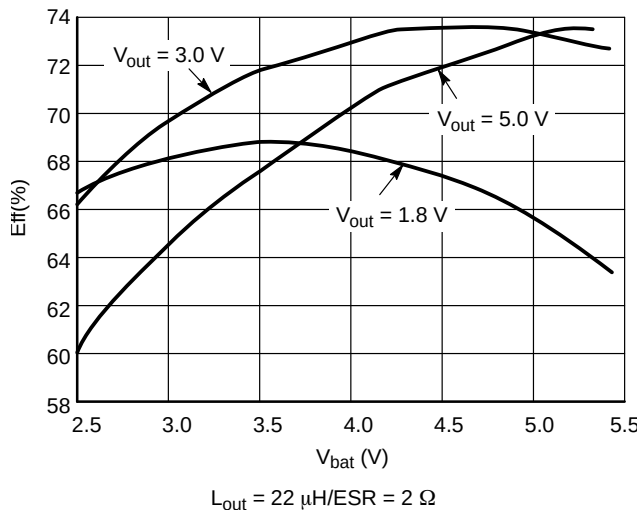


Figure 20. CRD_VCC Efficiency as a Function of the Input Supply Voltage

これらの曲線は、EMV仕様に従って、全出力電流負荷(35 mA、60 mA、および65 mA)における一般的な挙動を示しています。

Figure 21に示すとおり、インダクタは動作中に高いピーク電流の影響を受けやすく、磁気コアは損傷することなく、このレベルの電流に耐える必要があります。特に、チャージアップ・サイクル中の管理不能な電流スパイクを回避するために、フェライト

物質が飽和してはなりません。さらに、DC/DC効率は能動素子と受動素子で発生する損失に依存するので、これらの損失を最小限に抑えるために、低ESRインダクタを選択することが望ましいと言えます。

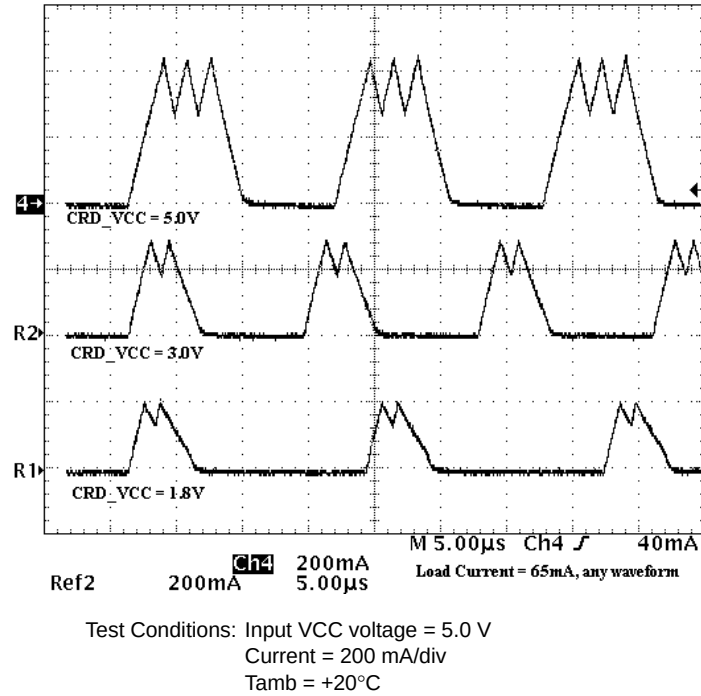


Figure 21. Typical Inductor Current

ISO7816-3仕様とEMV仕様に従って、インタフェースは短絡状態でのCRD_VCC出力電流を200 mA (最大)に制限します。NCN6001はこのようなパラメータをサポートしており、Figure 22に示すように、制限値は入力電圧と出力電圧によって異なります。

他方、回路は全温度範囲で過電流が存在しないように設計されています。実際、温度が高くなると出力電流制限値は低くなります。Figure 23を参照してください。

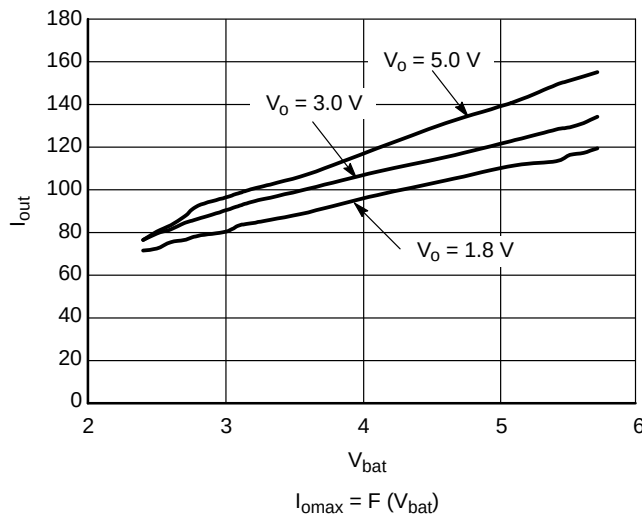


Figure 22. Output Current Limits

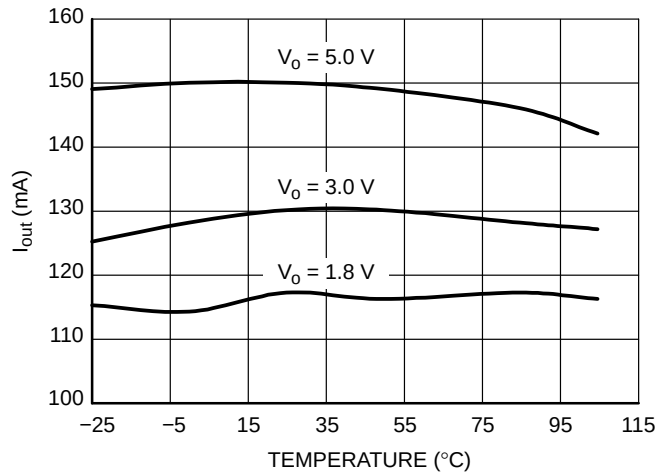


Figure 23. Output Current Limit as a Function of the Temperature

スマート・カード・クロック分周器

内蔵クロック・ジェネレータの主な目的は、次の3つです。

1. 電圧レベル・シフタを使用して、MPUとスマート・カード間に存在する可能性のある電圧差に対処します。
2. スマート・カード動作周波数を外部クロック・ソースから取り込むための周波数分周を提供します。
3. スマート・カード仕様に従って、クロック状態を制御します。

さらに、NCN6001はマイクロプロセッサからの信号を調整して、ISO7816-3仕様の定義に従ってデューティ・サイクル・ウィンドウを取得します。

SPIポートのバイト内容、B2およびB3は、Figure 25とFigure 24に示すとおり、 $\overline{CS}$ がローのときにプログラミング機能を実行します。クロック入力段(CLK_IN)は最大20 MHzの周波数信号を処理することができ、分周器は1:4の比率を提供できます。当然ながら、与えられたアプリケーションで考慮されるスマート・カードに対処するために、この比率はエンジニアが定義しなければならず、いかなる場合でも出力クロック[CRD_CLK]は最大20 MHzに制限する必要があります。CRD_CLKラインで発生する dI/dt と dV/dV を最小限に抑えるために、出力段には異なるアプリケーションに対してクロック信号のスロープを適応させる特殊機能が含まれています。この機能はクロック分周に関係なく、MOSIレジスタ(Table 2: WRT_REG Bits Definitions and Functions)によってプログラムされます。スマート・カードISO7816-3仕様外のデューティ・サイクルを回避するために、分周器は最後のフリップ・フロップで同

期されます。このようにして、分周比に関係なく一定した50%デューティ・サイクルが生成されます(Figure 24)。その結果、出力CRD_CLK周波数分割は4 CLK_INパルスだけ遅れる可能性があり、マイクロコントローラ・ソフトウェアは新たなデータ・トランザクションを起動する前に、この遅延を考慮する必要があります。他方、分周比が1の場合および入力デューティ・サイクル信号が46~56%の範囲内でない場合、出力信号デューティ・サイクル50%は保証されません。

入力信号CLK_INおよびMOSI/b3は、動作モードに従ってレベル・シフタと制御ブロックに自動的に伝達されます。

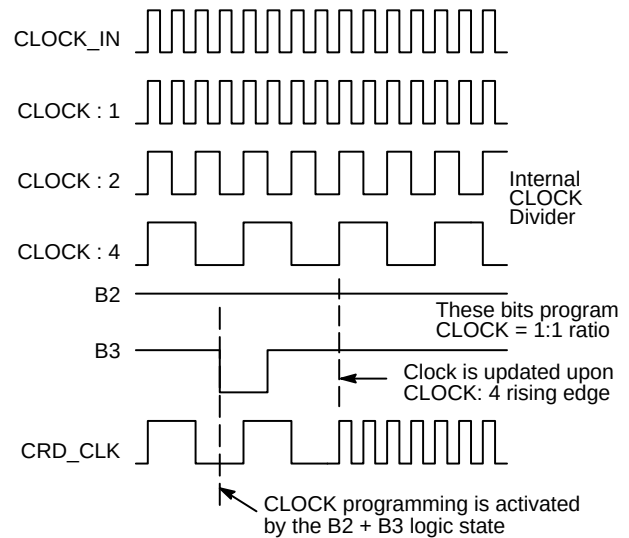


Figure 24. Typical Clock Divider Synchronization

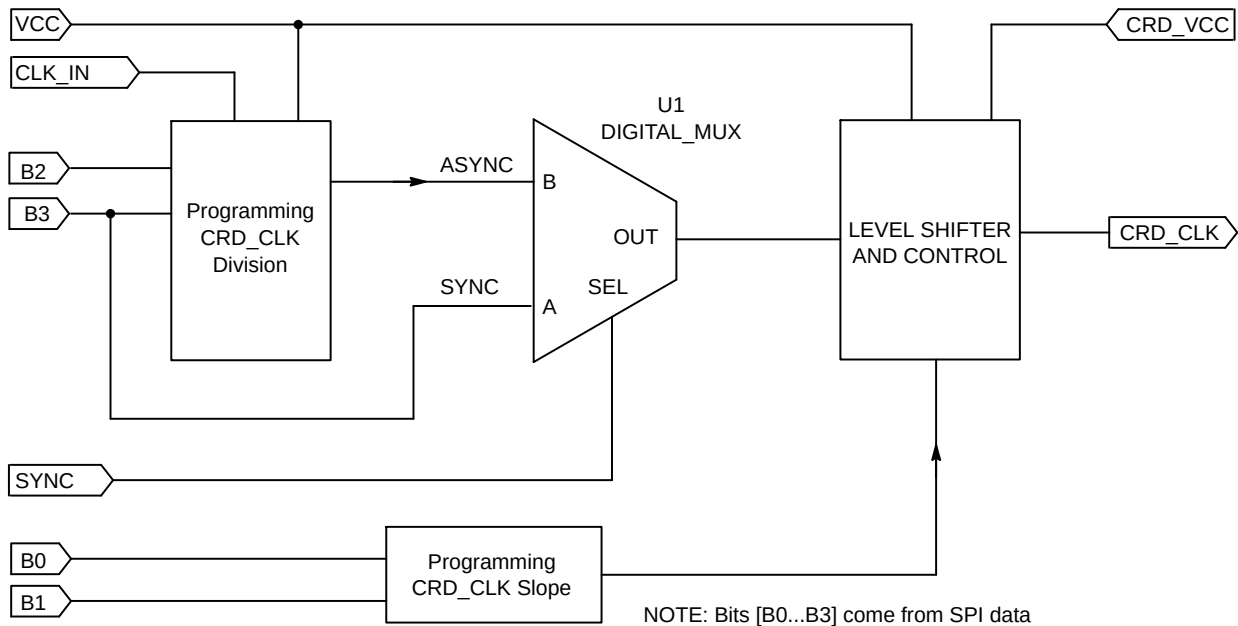


Figure 25. Basic Clock Divider and Level Shifter

入力クロックは、スマート・カード・ドライバに印加される前に、具体的なアプリケーションに応じて、1/1、1/2、または1/4で分周できます。他方、出力クロック(CRD_CLK)の正進行スロープと負進行スロープは、チップの動作を最適化するようにプロ

グラムできます(Table 10)。出力クロックのスロープは、CRD_VCC電圧または動作周波数とは独立して、動作中にプログラムできますが、CRD_RSTはMOSI/b4レジスタのロジック状態を反映するので注意が必要です。

Table 10. OUTPUT CLOCK RISE AND FALL TIME SELECTION

B0	B1	CRD_CLK Division Ratio	CRD_CLK SLO_SLP	CRD_CLK FST_SLP
0	0	–	Output Clock = Low	Output Clock = Low
0	1	1	10 ns (typ.)	2 ns (typ.)
1	0	1/2	10 ns (typ.)	2 ns (typ.)
1	1	1/4	10 ns (typ.)	2 ns (typ.)

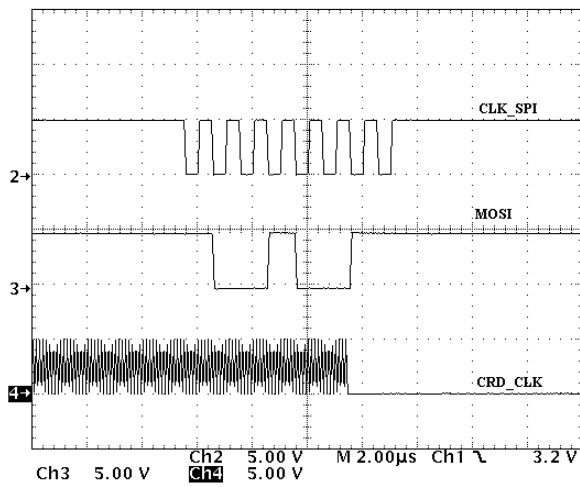


Figure 26. Force CRD_CLK to Low

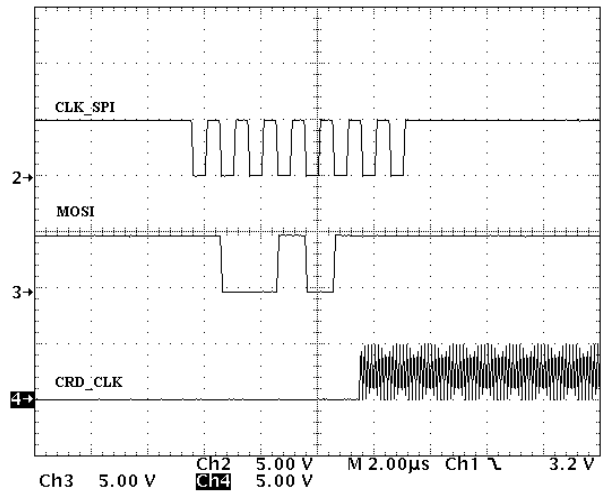


Figure 27. Force CRD_CLK to Active Mode

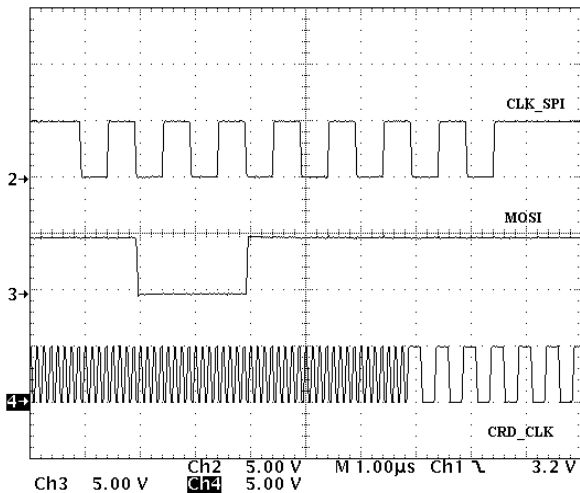
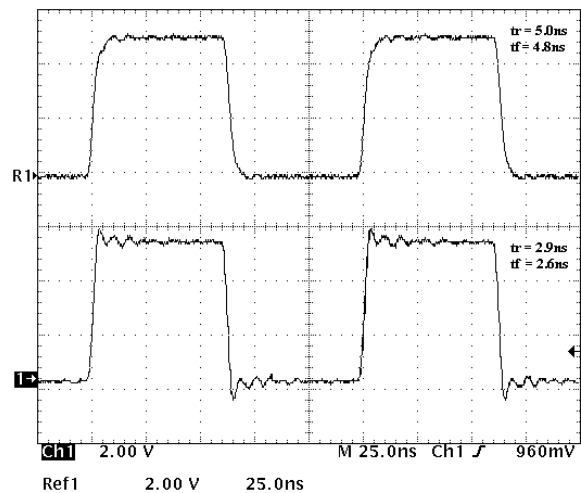


Figure 28. CRD_CLK Programming



Note: Waveforms recorded without external compensation network.

Figure 29. CRD_CLK Operating Low Speed (Top Trace), Full Speed (Bottom Trace)

入力シュミット・トリガ

すべてのロジック入力ピンには内蔵シュミット・トリガ回路があり、管理不能な動作からNCN6001を保護します。関連するピンの標準的ダイナミック特性をFigure 30に示します。

出力信号は、入力電圧が $0.70 \cdot V_{CC}$ を超えるとハイになり、入力電圧が $0.30 \cdot V_{CC}$ 未満のときはローになることが保証されます。

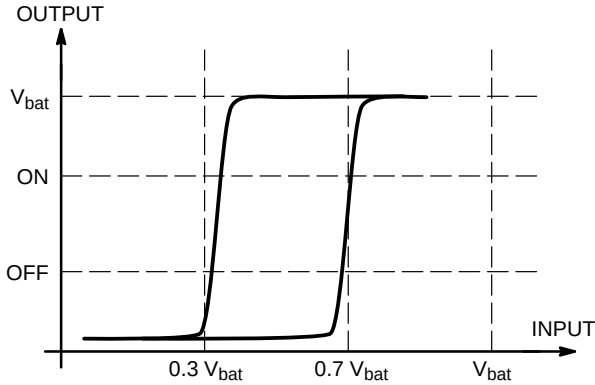


Figure 30. Typical Schmitt Trigger Characteristic

セキュリティ機能

インタフェースと外部スマート・カードの両方を保護するために、NCN6001には以下に示す破壊的故障を防止するセキュリティ機能を提供します。

ピン電流制限：グラウンドへの短絡の場合、デバイスによって強制される電流は、CRD_CLKピンを除くすべてのピンで15 mAに制限されます。外部MPUに帰還は提供されません。

DC/DC動作：内部回路はCRD_VCC電圧を絶えず検知して、過電圧または低電圧状況の場合は

READ_REGレジスタを更新して、 $\overline{INT}$ ピンをローに強制します。このレジスタはMPUで読み出すことができます。

バッテリー電圧：過電圧および低電圧はNCN6001で検出され、それによってREAD_REGレジスタが更新されます。外部MPUはMISOピンを通してレジスタを読み出して、状況に対処するのに適した対策を講じることができます。

ESD保護

NCN6001には、ESDスパイク電圧からピンを保護するためのシリコン・デバイスが含まれています。これらのピンで発生する異なるESD電圧に対処するために、マイクロコントローラ側に関連するときは2.0 kV、外部接点と接続されるときは8.0 kVを処理するための組み込み構造が設計されています。実際には、CRD_RST、CRD_CLK、CRD_IO、CRD_C4、CRD_C8ピンは8.0kVの耐圧を提供し、最大短絡電流は15 mAに制限されています。CRD_VCCピンは同じESD保護を備えていますが、連続して最大65 mAをソースでき、絶対最大電流は内部で150 mAに制限されます。

プリント回路基板のレイアウト

NCN6001は高周波クロックと共に高速電流を処理するので、インタフェースの管理不能動作リスクを回避するために、プリント回路基板の設計は慎重に行う必要があります。

グラウンド手法をハイライトした標準的な片面PCBレイアウトをFigure 32に示します。リングングおよびシステムの残りの部分とのクロストークを解決するには、両面プリント基板が必要な場合もあります。

TEST BOARD SCHEMATIC DIAGRAM

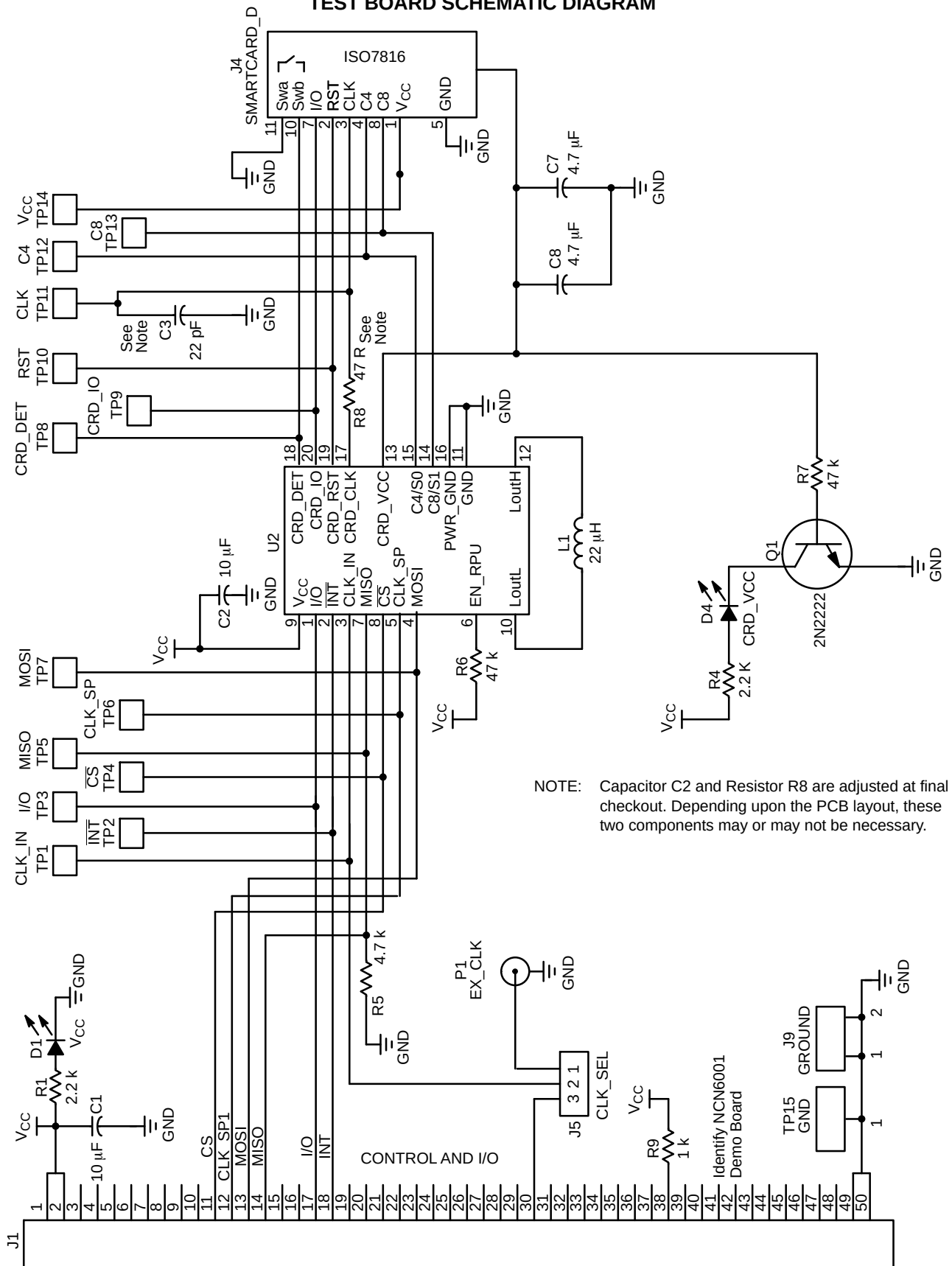


Figure 31. NCN6001 Engineering Test Board Schematic Diagram

NCN6001

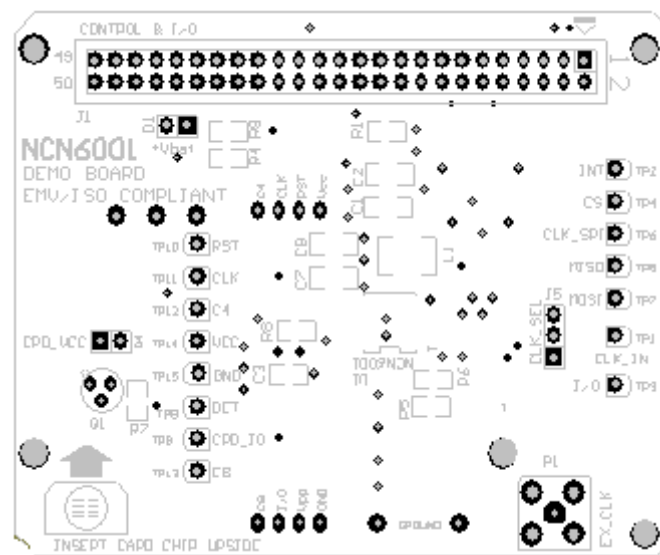
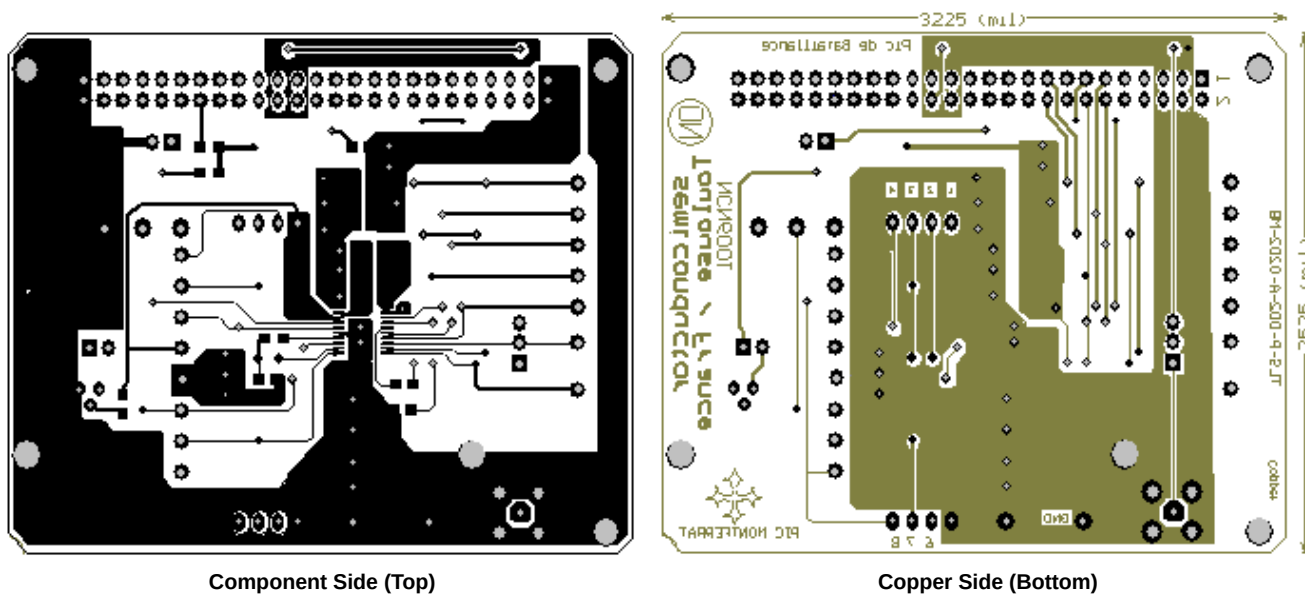


Figure 32. NCN6001 Demo Board Printed Circuit Board Layout

Table 11. DEMO BOARD BILL OF MATERIAL

Desig.	Part Type	Footprint	Description	Supplier	Part Number
C1	10 μ F	1206	Capacitor	MURATA	GRM40-X5R-106K6.3
C2	10 μ F	1206	Capacitor	MURATA	GRM40-X5R-106K6.3
C3	22 pF	805	Capacitor	MURATA	
C7	4.7 μ F	1206	Capacitor	MURATA	GRM40-034X5R-475K6.3
C8	4.7 μ F	1206	Capacitor	MURATA	GRM40-034X5R-475K6.3
D1	V _{CC}	SIP2	LED Diode	Radio Spares	180-8467
D4	CRD_VCC	SIP2	LED Diode	Radio Spares	180-8495
J1	CONTROL & I/O	IDC50		Fujitsu	FCN-704Q050-AU/M
J4	SMARTCARD	SMARTCARD_ISO	Smart Card Connector	FCI	7434-L01-35S01
J5	CLK_SEL	SIP3	Connector		
J9	GROUND	GND_TEST	Connector		
L1	22 μ H	1008	Inductor	CoilCraft	1008PS-223-M
P1	EX_CLK	SMB	SMB Connector	Radio Spares	112-2993
Q1	2N2222	TO-18	NPN	ON Semiconductor	
R1	2.2 k Ω	805	Radio Spares		
R4	2.2 k Ω	805	Radio Spares		
R5	4.7 k Ω	805	Radio Spares		
R6	47 k Ω	805	Radio Spares		
R7	47 k Ω	805	Radio Spares		
R8	47 R	805	Radio Spares		
R9	1.0 k Ω	805	Radio Spares		
TP1	CLK_IN	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP10	RST	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP11	CLK	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP12	C4	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP13	C8	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP14	VCC	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP15	GND	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP2	INT	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP3	I/O	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP4	CS	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP5	MISO	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP6	CLK_SPI	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP7	MOSI	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP8	DET	TEST_POINT	TEST_POINT	Radio Spares	203-4910
TP9	CRD_IO	TEST_POINT	TEST_POINT	Radio Spares	203-4910
U1	NCN6001	ON Semiconductor			

13. All resistors are $\pm 5\%$, $\frac{1}{4}$ W , unless otherwise noted. All capacitors are ceramic, $\pm 10\%$, 6.3 V, unless otherwise noted.

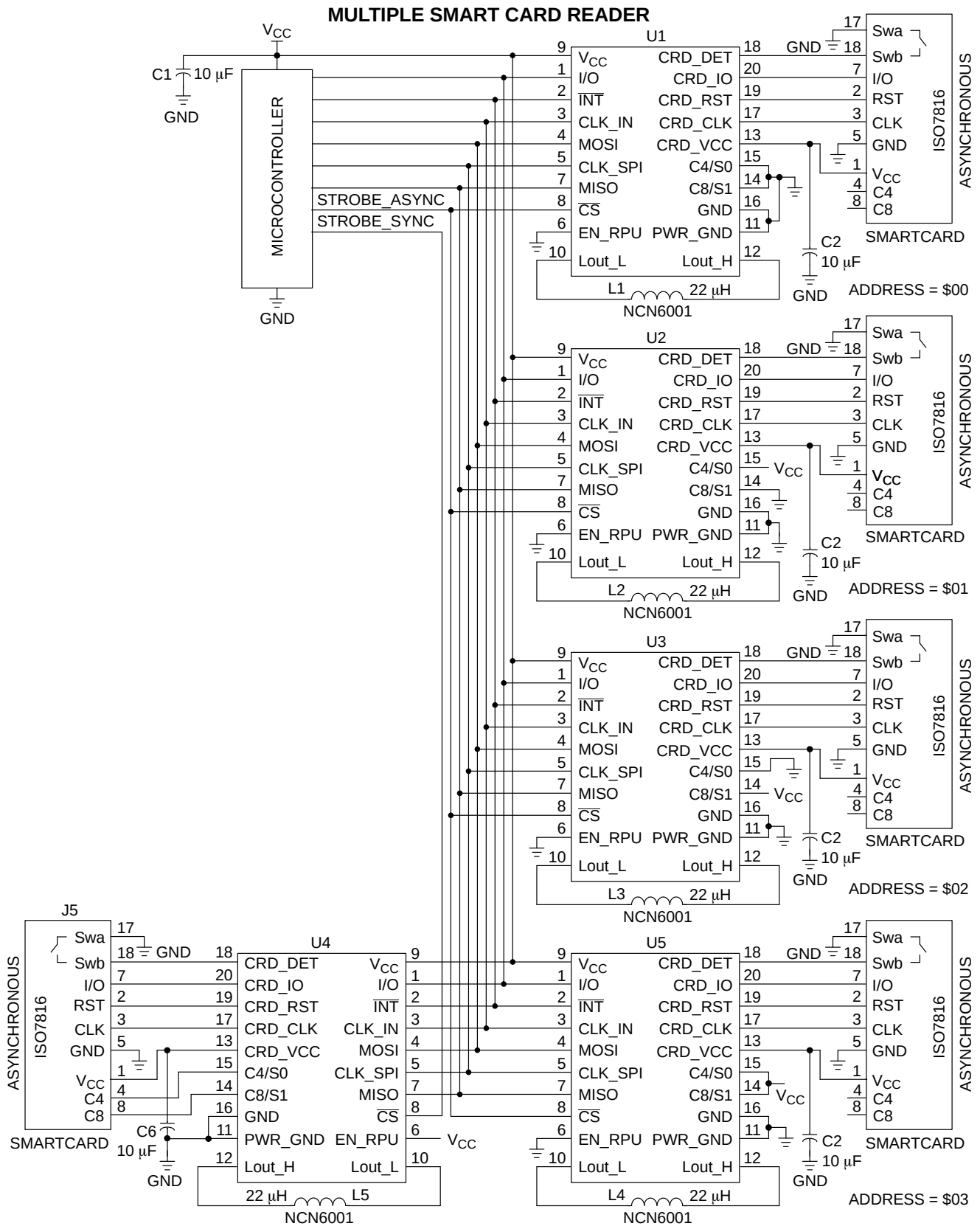


Figure 33. Typical Multiple Parallel Interfaces

5つのインタフェースが共通マイクロコントローラ・バスを共有。4つのNCN6001バンクは専用の $\overline{CS}$ ラインで非同期カードをサポートし、5つ目のNCN6001は同期/

非同期トランザクションのために、固有の $\overline{CS}$ ラインで使用されます。アクティブになる唯一のI/Oプルアップ抵抗は、非同期バンクのものでなければなりません。

ABBREVIATIONS

Lout_L and Lout_H	DC/DC External Inductor
Cout	Output Capacitor
Class A	5V Smart Card
Class B	3V Smart Card
CRD_C4	Interface IC Card Digital Control
CRD_C8	Interface IC Card Digital Control
CRD_CLK	Interface IC Card Clock Input
CRD_DET	Card Insertion/Extraction Detection
CRD_IO	Interface IC Card Data Link
CRD_RST	Interface IC Card RESET Input
CRD_VCC	Interface IC Card Power Supply Line
CRD_V _{CC}	Card Power Supply Input
Cs	Parasitic Stray Capacitance
CS	Chip Select
EMV	Europay Master Card Visa
FST_SLP	CRD_CLK Fast Slope (t _r and t _f)
GIE-CB	Groupement Inter Economique – Carte Bancaire
ICC	Current at Card V _{CC} Pin
INT	Interrupt
ISO	International Standards Organization
μC	Microcontroller
MISO	Master In Slave Out: Data from the Interface
MOSI	Master Out Slave In: Data from the External Microcontroller
NC	Normally Close
NO	Normally Open
POR	Power On Reset
RFU	Reserved Future Use
SPI	Serial Port Interface
T0	Smart Card Data Transfer Procedure by Bytes
T1	Smart Card Data Transfer Procedure by Strings
SLO_SLP	CRD_CLK Slow Slope (t _r and t _f)
VCC	MPU Power Supply Voltage

ORDERING INFORMATION

Device	Package	Shipping [†]
NCN6001DTBR2G	TSSOP-20 (Pb-Free)	2,500 / Tape & Reel

[†]For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales