

# NCP1234

## フライバック・コンバータ用 固定周波数電流モード・ コントローラ

NCP1234は、ダイナミック・セルフサプライ (DSS) 機能を搭載した新しい固定周波数電流モード・コントローラです。このデバイスは、既存製品のNCP12xxファミリとピン同士の互換性を持っています。

DSS機能により過渡電流が流れると、コントローラに内部起動電流が供給されるため、補助供給とV<sub>CC</sub>キャパシタの構造が非常に簡易化されました。

周波数フォールドバックにより、コントローラは低負荷状態で高い効率性を維持しながら、待機電力は非常に低く抑えられています。コンポーネントのコストが大きな制約となる場合、内部周波数ジッタリング、傾斜補償、多機能ラッチ入力など、このコントローラはコンバータとして非常に優れた機能を持っています。

補助巻線の過負荷を個別に検出するタイマベースの故障検出機能の他、入力電圧とは独立して最大出力を維持できる調整可能な補償を搭載しています。

精密な設計により、主要なパラメータの精度は許容温度範囲 (-40°C~+125°C) を的確に制御できます。

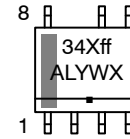
### 特長

- 傾斜補償を搭載した固定周波数電流モード操作
- オシレータ周波数は65 kHzまたは100 kHzを選択可能
- 低負荷状態およびスタンバイ状態で最大性能を発揮する周波数フォールドバックとスキップ・モード
- ラッチ (オプションA) 操作または自動リカバリ (オプションB) 操作におけるタイマベースの過負荷保護機能
- ダイナミック・セルフサプライ (DSS) 機能を持つ高圧電流により、V<sub>CC</sub>キャパシタの構造を簡易化
- 周波数フォールドバック・モード中を含め、EMIシグネチャを緩和する周波数変調
- 調整可能な過電力補償
- 重大な故障時におけるラッチオフ入力で、温度超過保護 (OTP) のため、NTCを直接接続することが可能
- 過電圧検出により、最大28 VのV<sub>CC</sub>で動作
- ±500 mA ピーク・ソース/シンク電流のドライブ容量
- 4.0 ms ソフトスタート
- 内部熱シャットダウン
- 既存製品のNCP12xxシリーズとピン同士の互換性
- これらのデバイスは、鉛フリー、ハロゲン・フリー/BFRフリー、RoHS準拠



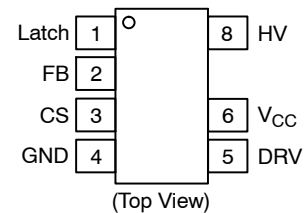
SOIC-7  
CASE 751U

### MARKING DIAGRAM



- 34Xff = Specific Device Code  
X = A or B  
ff = 65 or 100  
A = Assembly Location  
L = Wafer Lot  
Y = Year  
W = Work Week  
▪ = Pb-Free Package

### PIN CONNECTIONS



### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 32 of this data sheet.

### 標準的な適合製品

- ノートブック、LCD、およびプリンタのAC-DCアダプタ
- オフライン・バッテリー・チャージャ
- 家電製品用電源
- 補助電源/家庭用電源

# NCP1234

## TYPICAL APPLICATION EXAMPLE

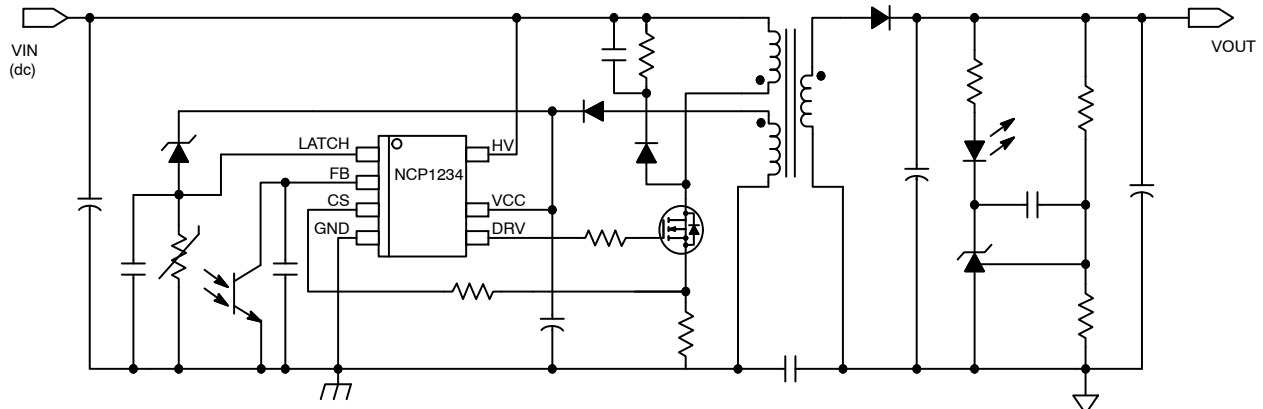


Figure 1. Flyback Converter Application Using the NCP1234

### PIN FUNCTION DESCRIPTION

Pin No	Pin Name	Function	Pin Description
1	LATCH	Latch-Off Input	Pull the pin up or down to latch-off the controller. An internal current source allows the direct connection of an NTC for over temperature detection
2	FB	Feedback	An optocoupler collector to ground controls the output regulation.
3	CS	Current Sense	This Input senses the Primary Current for current-mode operation, and Offers an overpower compensation adjustment.
4	GND		IC Ground
5	DRV	Drive output	Drives external MOSFET
6	V <sub>CC</sub>	V <sub>CC</sub> input	This supply pin accepts up to 28 Vdc, with overvoltage detection
8	HV	High-voltage pin	Connects to the bulk capacitor or the rectified AC line to perform the functions of Start-up Current Source and Dynamic Self-Supply

SIMPLIFIED INTERNAL BLOCK SCHEMATIC

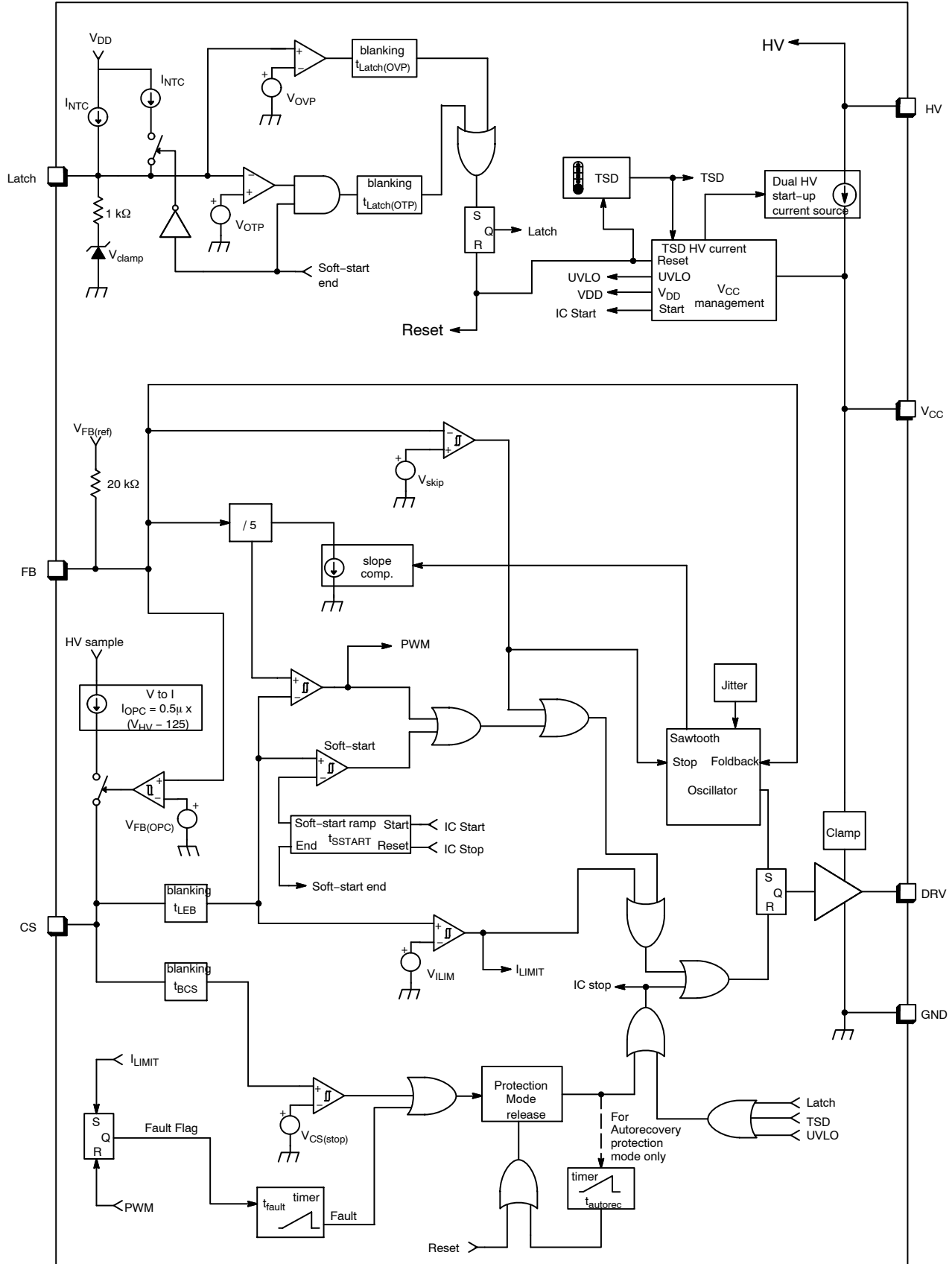


Figure 2. Simplified Internal Block Schematic

**MAXIMUM RATINGS**

Rating	Symbol	Value	Unit
Supply Pin (pin 6) (Note 2) Voltage range Current range	$V_{CCMAX}$ $I_{CCMAX}$	-0.3 to 28 ±30	V mA
High Voltage Pin (pin 8) (Note 2) Voltage range Current range	$V_{HVMAX}$ $I_{HVMAX}$	-0.3 to 500 ±20	V mA
Driver Pin (pin 5) (Note 2) Voltage range Current range	$V_{DRVMAX}$ $I_{DRVMAX}$	-0.3 to 20 ±1000	V mA
All other pins (Note 2) Voltage range Current range	$V_{MAX}$ $I_{MAX}$	-0.3 to 10 ±10	V mA
Thermal Resistance SOIC-7 Junction-to-Air, low conductivity PCB (Note 3) Junction-to-Air, medium conductivity PCB (Note 4) Junction-to-Air, high conductivity PCB (Note 5)	$R_{\theta J-A}$	162 147 115	°C/W
Temperature Range Operating Junction Temperature Storage Temperature Range	$T_{JMAX}$ $T_{STRGMAX}$	-40 to +150 -60 to +150	°C
ESD Capability (Note 1) Human Body Model (All pins except HV) Machine Model		2000 200	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

- This device series contains ESD protection and exceeds the following tests:  
Human Body Model 2000 V per JEDEC standard JESD22, Method A114E  
Machine Model Method 200 V per JEDEC standard JESD22, Method A115A
- This device contains latch-up protection and exceeds 100 mA per JEDEC Standard JESD78
- As mounted on a 80 x 100 x 1.5 mm FR4 substrate with a single layer of 50 mm<sup>2</sup> of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51-1 conductivity test PCB. Test conditions were under natural convection or zero air flow.
- As mounted on a 80 x 100 x 1.5 mm FR4 substrate with a single layer of 100 mm<sup>2</sup> of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51-2 conductivity test PCB. Test conditions were under natural convection or zero air flow.
- As mounted on a 80 x 100 x 1.5 mm FR4 substrate with a single layer of 650 mm<sup>2</sup> of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51-3 conductivity test PCB. Test conditions were under natural convection or zero air flow.

# NCP1234

## ELECTRICAL CHARACTERISTICS

(For typical values  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ ,  $V_{HV} = 125\text{ V}$ ,  $V_{CC} = 11\text{ V}$  unless otherwise noted)

Characteristics	Test Condition	Symbol	Min	Typ	Max	Unit
-----------------	----------------	--------	-----	-----	-----	------

### HIGH VOLTAGE CURRENT SOURCE

Minimum voltage for current source operation		$V_{HV(\text{min})}$	–	30	40	V
Current flowing out of $V_{CC}$ pin	$V_{CC} = 0\text{ V}$ $V_{CC} = V_{CC(\text{on})} - 0.5\text{ V}$	$I_{\text{start1}}$ $I_{\text{start2}}$	0.2 3	0.5 6	0.8 9	mA
Off-state leakage current	$V_{HV} = 500\text{ V}$	$I_{\text{start(off)}}$	–	25	50	$\mu\text{A}$

### SUPPLY

Turn-on threshold level, $V_{CC}$ going up HV current source stop threshold		$V_{CC(\text{on})}$	11.0	12.0	13.0	V
HV current source restart threshold		$V_{CC(\text{min})}$	9.5	10.5	11.5	V
Turn-off threshold		$V_{CC(\text{off})}$	8.5	9.5	10.5	V
Overvoltage threshold		$V_{CC(\text{ovp})}$	25	26.5	28	V
Blanking duration on $V_{CC(\text{off})}$ and $V_{CC(\text{ovp})}$ detection		$t_{VCC(\text{blank})}$	7	10	13	$\mu\text{s}$
$V_{CC}$ decreasing level at which the internal logic resets		$V_{CC(\text{reset})}$	3.6	5.0	6.0	V
$V_{CC}$ level for $I_{\text{START1}}$ to $I_{\text{START2}}$ transition		$V_{CC(\text{inhibit})}$	0.4	1.0	1.6	V
Internal current consumption (Note 6)	DRV open, $V_{FB} = 3\text{ V}$ , 65 kHz DRV open, $V_{FB} = 3\text{ V}$ , 100 kHz $C_{\text{drv}} = 1\text{ nF}$ , $V_{FB} = 3\text{ V}$ , 65 kHz $C_{\text{drv}} = 1\text{ nF}$ , $V_{FB} = 3\text{ V}$ , 100 kHz Off mode (skip or before start-up) Fault mode (fault or latch)	$I_{CC1}$ $I_{CC1}$ $I_{CC2}$ $I_{CC2}$ $I_{CC3}$ $I_{CC4}$	1.2 1.3 1.9 2.2 0.67 0.4	1.8 1.9 2.5 2.9 0.9 0.7	2.2 2.3 3.2 3.6 1.13 1.0	mA

### OSCILLATOR

Oscillator frequency		$f_{\text{OSC}}$	60 92	65 100	70 108	kHz
Maximum duty cycle		$D_{\text{MAX}}$	75	80	85	%
Frequency jittering amplitude, in percentage of $F_{\text{OSC}}$		$A_{\text{jitter}}$	$\pm 4$	$\pm 6$	$\pm 8$	%
Frequency jittering modulation frequency		$F_{\text{jitter}}$	85	125	165	Hz

### OUTPUT DRIVER

Rise time, 10% to 90% of $V_{CC}$	$V_{CC} = V_{CC(\text{min})} + 0.2\text{ V}$ , $C_{\text{DRV}} = 1\text{ nF}$	$t_{\text{rise}}$	–	40	70	ns
Fall time, 90% to 10% of $V_{CC}$	$V_{CC} = V_{CC(\text{min})} + 0.2\text{ V}$ , $C_{\text{DRV}} = 1\text{ nF}$	$t_{\text{fall}}$	–	40	70	ns
Current capability	$V_{CC} = V_{CC(\text{min})} + 0.2\text{ V}$ , $C_{\text{DRV}} = 1\text{ nF}$ DRV high, $V_{\text{DRV}} = 0\text{ V}$ DRV low, $V_{\text{DRV}} = V_{CC}$	$I_{\text{DRV(source)}}$ $I_{\text{DRV(sink)}}$	– –	500 500	– –	mA
Clamping voltage (maximum gate voltage)	$V_{CC} = V_{CC(\text{max})} - 0.2\text{ V}$ , DRV high, $R_{\text{DRV}} = 33\text{ k}\Omega$ , $C_{\text{load}} = 220\text{ pF}$	$V_{\text{DRV(clamp)}}$	11	13.5	16	V
High-state voltage drop	$V_{CC} = V_{CC(\text{min})} + 0.2\text{ V}$ , $R_{\text{DRV}} = 33\text{ k}\Omega$ , DRV high	$V_{\text{DRV(drop)}}$	–	–	1	V

6. internal supply current only, current in FB pin not included (current flowing in GND pin only).

# NCP1234

## ELECTRICAL CHARACTERISTICS

(For typical values  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ ,  $V_{HV} = 125\text{ V}$ ,  $V_{CC} = 11\text{ V}$  unless otherwise noted)

Characteristics	Test Condition	Symbol	Min	Typ	Max	Unit
-----------------	----------------	--------	-----	-----	-----	------

### FEEDBACK

Internal pull-up resistor	$T_J = 25^\circ\text{C}$	$R_{FB(up)}$	15	20	25	$k\Omega$
$V_{FB}$ to internal current setpoint division ratio		$K_{FB}$	4.7	5	5.3	–
Internal pull-up voltage on the FB pin		$V_{FB(ref)}$	4.3	5	5.7	V

### CURRENT SENSE

Input Bias Current	$V_{CS} = 0.7\text{ V}$	$I_{bias}$	–	0.02	–	$\mu\text{A}$
Maximum internal current setpoint	$V_{FB} > 3.5\text{ V}$	$V_{ILIM}$	0.66	0.7	0.74	V
Propagation delay from $V_{Ilimit}$ detection to DRV off	$V_{CS} = V_{ILIM}$	$t_{delay}$	–	80	110	ns
Leading Edge Blanking Duration for $V_{ILIM}$		$t_{LEB}$	190	250	310	ns
Threshold for immediate fault protection activation		$V_{CS(stop)}$	0.95	1.05	1.15	V
Leading Edge Blanking Duration for $V_{CS(stop)}$		$t_{BCS}$	90	120	150	ns
Slope of the compensation ramp		$S_{comp(65kHz)}$ $S_{comp(100kHz)}$	– –	–32.5 –50	– –	$\text{mV} / \mu\text{s}$
Soft-start duration	From 1 <sup>st</sup> pulse to $V_{CS} = V_{ILIM}$	$t_{SSTART}$	2.8	4.0	5.2	ms

### OVERPOWER COMPENSATION

$V_{HV}$ to $I_{OPC}$ conversion ratio		$K_{OPC}$	–	0.54	–	$\mu\text{A} / \text{V}$
Current flowing out of CS pin	$V_{HV} = 125\text{ V}$ $V_{HV} = 162\text{ V}$ $V_{HV} = 325\text{ V}$ $V_{HV} = 365\text{ V}$	$I_{OPC(125)}$ $I_{OPC(162)}$ $I_{OPC(325)}$ $I_{OPC(365)}$	– – – 105	0 20 110 130	– – – 150	$\mu\text{A}$
FB voltage above which $I_{OPC}$ is applied	$V_{HV} = 365\text{ V}$	$V_{FB(OPCF)}$	2.12	2.35	2.58	V
FB voltage below which is no $I_{OPC}$ applied	$V_{HV} = 365\text{ V}$	$V_{FB(OPCE)}$	–	2.15	–	V
Watchdog timer for dc operation		$t_{WD(OPC)}$	–	32	–	ms
HV sampling level		$V_{HVsample}$	–	92	–	V

### OVERCURRENT PROTECTION

Fault timer duration	From CS reaching $V_{ILIMIT}$ to DRV stop	$t_{fault}$	98	128	168	ms
Autorecovery mode latch-off time duration		$t_{autorec}$	0.85	1.00	1.35	s

### FREQUENCY FOLDBACK

Feedback voltage threshold below which frequency foldback starts		$V_{FB(foldS)}$	1.8	2.0	2.2	V
Feedback voltage threshold below which frequency foldback is complete		$V_{FB(foldE)}$	1.22	1.35	1.48	V
Minimum switching frequency	$V_{FB} = V_{skip(in)} + 0.2$	$f_{OSC(min)}$	22	27	32	kHz

### SKIP-CYCLE MODE

Feedback voltage thresholds for skip mode	$V_{FB}$ going down $V_{FB}$ going up	$V_{skip(in)}$ $V_{skip(out)}$	0.63 0.72	0.7 0.80	0.77 0.88	V
---	--	-----------------------------------	--------------	-------------	--------------	---

# NCP1234

## ELECTRICAL CHARACTERISTICS

(For typical values  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ ,  $V_{HV} = 125\text{ V}$ ,  $V_{CC} = 11\text{ V}$  unless otherwise noted)

Characteristics	Test Condition	Symbol	Min	Typ	Max	Unit
<b>LATCH-OFF INPUT</b>						
High threshold	$V_{\text{Latch}}$ going up	$V_{\text{OVP}}$	2.35	2.5	2.65	V
Low threshold	$V_{\text{Latch}}$ going down	$V_{\text{OTP}}$	0.76	0.8	0.84	V
Current source for direct NTC connection During normal operation During soft-start	$V_{\text{Latch}} = 0\text{ V}$	$I_{\text{NTC}}$ $I_{\text{NTC(SSTART)}}$	65 130	95 190	105 210	$\mu\text{A}$
Blanking duration on high latch detection	65 kHz version 100 kHz version	$t_{\text{Latch(OVP)}}$	35 25	50 35	70 45	$\mu\text{s}$
Blanking duration on low latch detection		$t_{\text{Latch(OTP)}}$	–	350	–	$\mu\text{s}$
Clamping voltage	$I_{\text{Latch}} = 0\text{ mA}$ $I_{\text{Latch}} = 1\text{ mA}$	$V_{\text{clamp0(Latch)}}$ $V_{\text{clamp1(Latch)}}$	1.0 2.0	1.2 2.4	1.4 3.0	V

## TEMPERATURE SHUTDOWN

Temperature shutdown	$T_J$ going up	$T_{\text{TSD}}$	135	150	165	$^\circ\text{C}$
Temperature shutdown hysteresis	$T_J$ going down	$T_{\text{TSD(HYS)}}$	20	30	40	$^\circ\text{C}$

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

TYPICAL PERFORMANCE CHARACTERISTICS

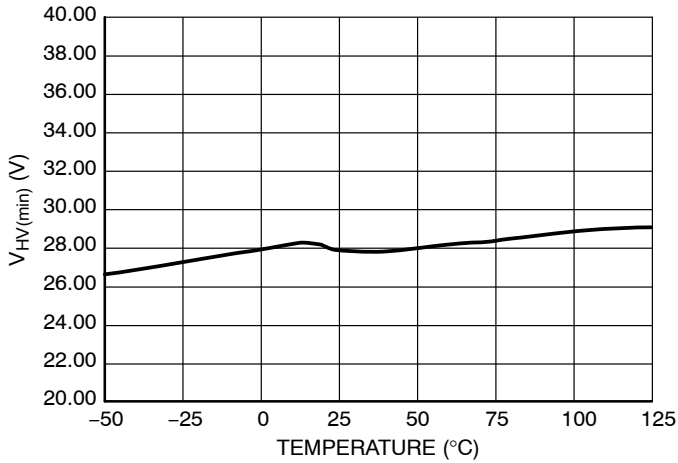


Figure 3. Minimum Current Source Operation  
V<sub>HV(min)</sub>

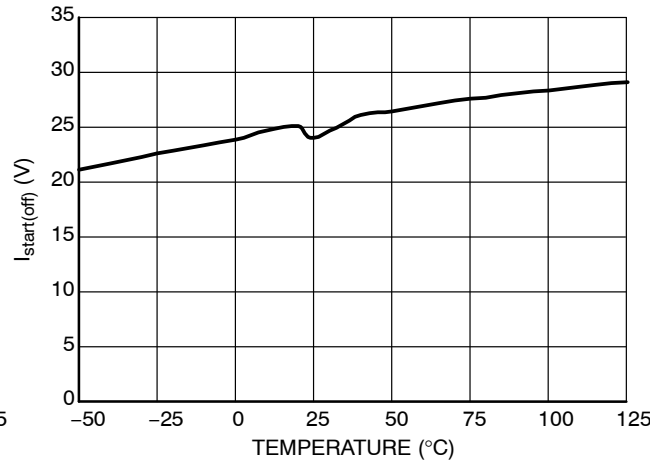


Figure 4. Off-State Leakage Current I<sub>start(off)</sub>

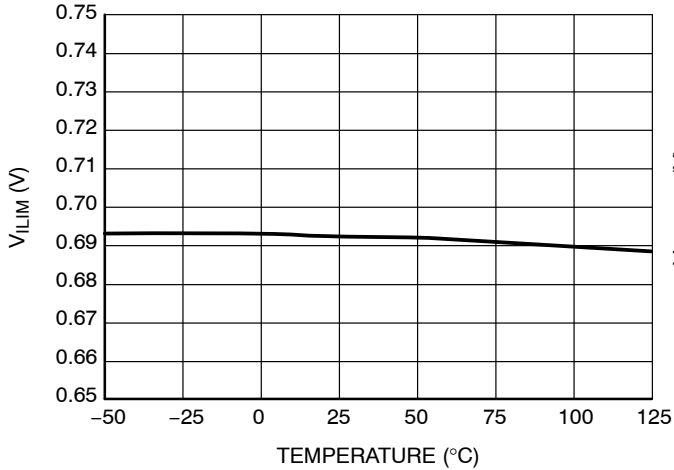


Figure 5. Maximum Internal Current Setpoint  
V<sub>ILIM</sub>

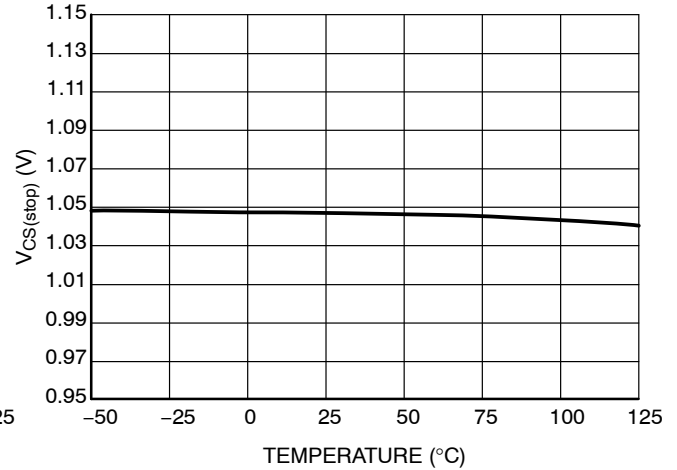


Figure 6. Threshold for Immediate Fault Protection Activation  
V<sub>CS(stop)</sub>

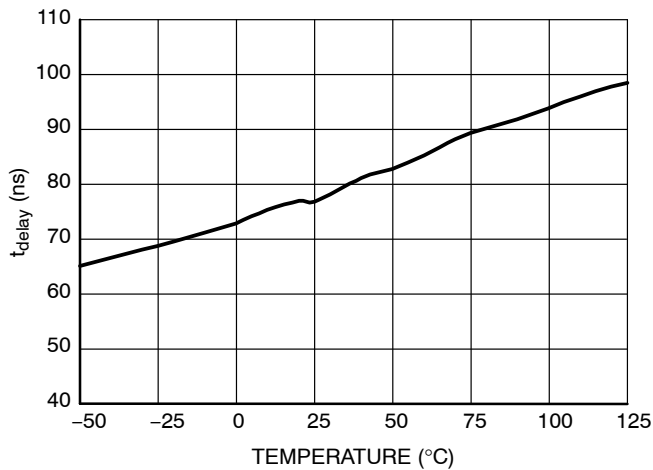


Figure 7. Propagation Delay t<sub>delay</sub>

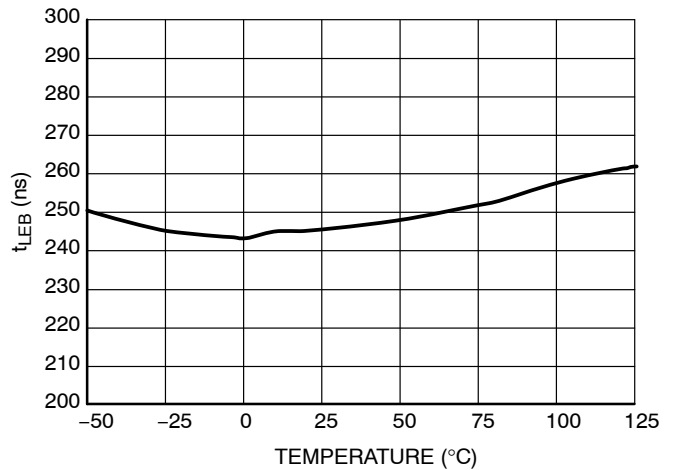


Figure 8. Leading Edge Blanking Duration t<sub>LEB</sub>

TYPICAL PERFORMANCE CHARACTERISTICS

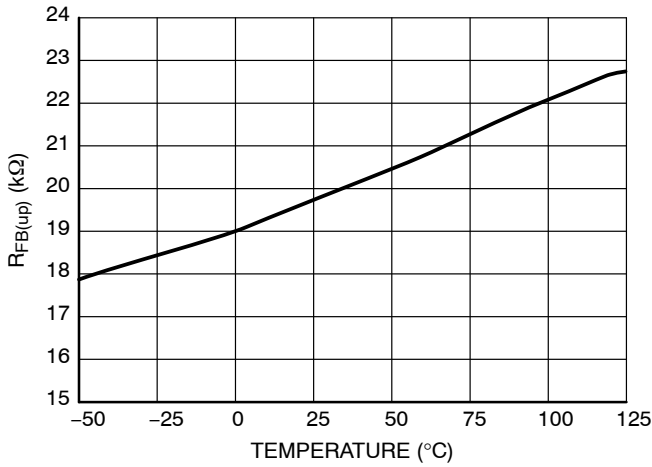


Figure 9. FB Pin Internal Pull-up Resistor  $R_{FB(up)}$

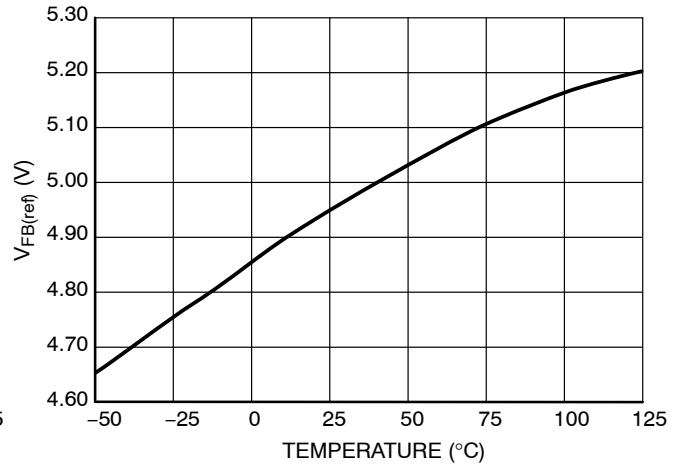


Figure 10. FB Pin Open Voltage  $V_{FB(ref)}$

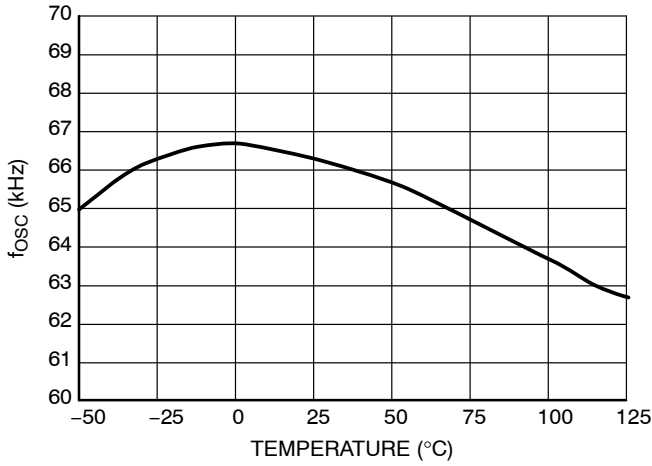


Figure 11. Oscillator Frequency  $f_{osc}$

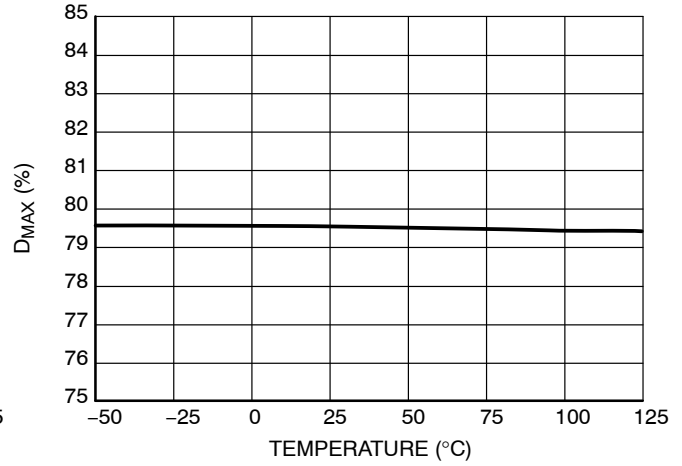


Figure 12. Maximum Duty Cycle  $D_{MAX}$

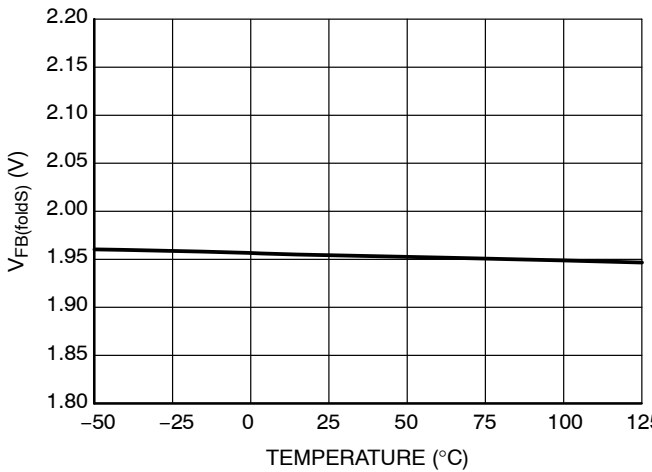


Figure 13. FB Pin Voltage Below Which Frequency Foldback Starts  $V_{FB(foldS)}$

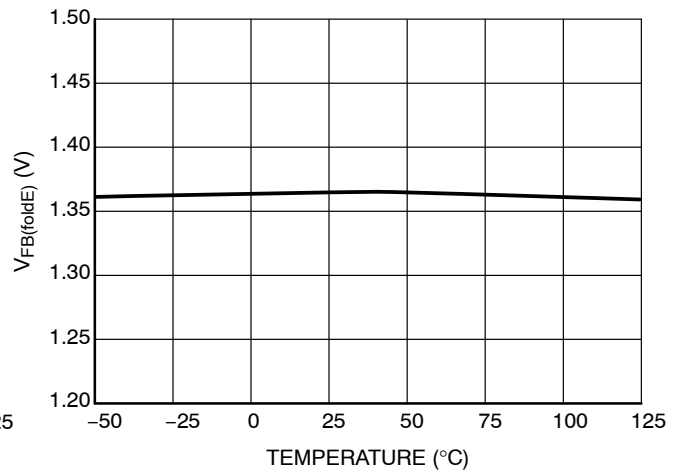


Figure 14. FB Pin Voltage Below Which Frequency Foldback is Complete  $V_{FB(foldE)}$

TYPICAL PERFORMANCE CHARACTERISTICS

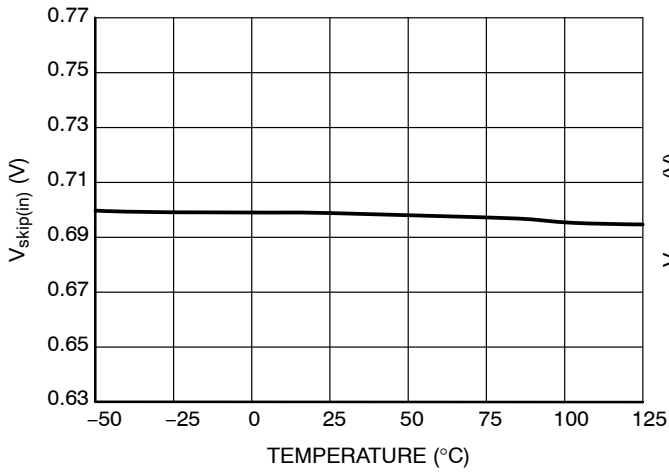


Figure 15. FB Pin Skip-in Level  $V_{skip(in)}$

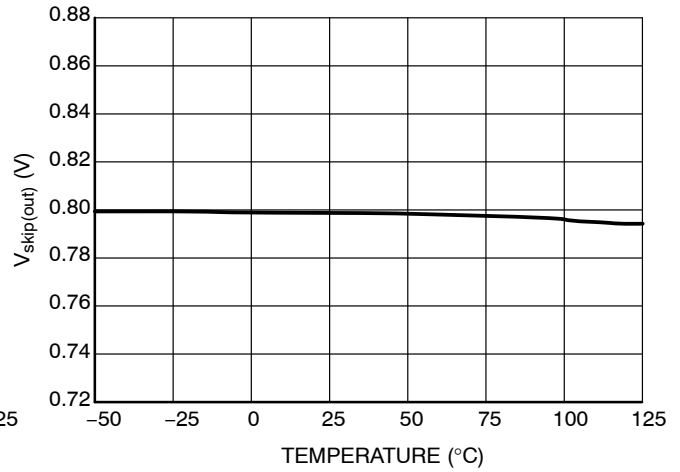


Figure 16. FB Pin Skip-Out Level  $V_{skip(out)}$

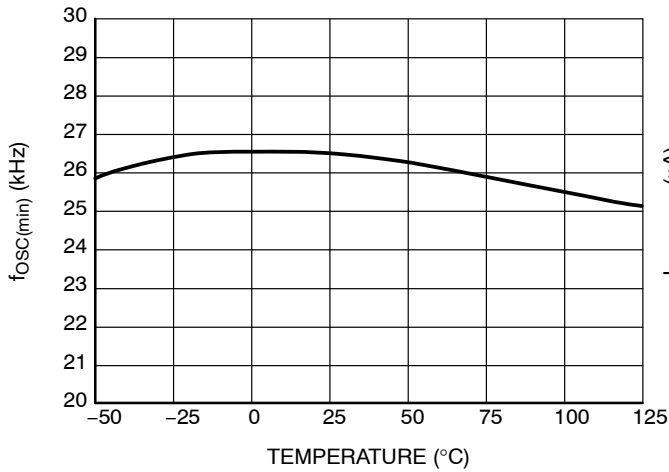


Figure 17. Minimum Switching Frequency  $f_{osc(min)}$

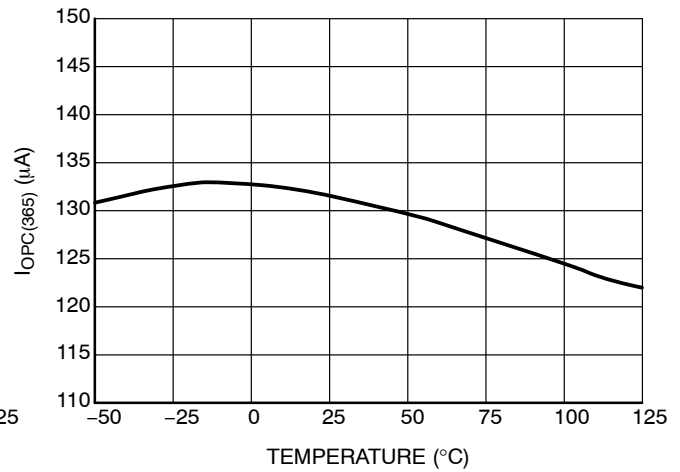


Figure 18. Maximum Overpower Compensating Current  $I_{opc(365)}$  Flowing Out of CS Pin

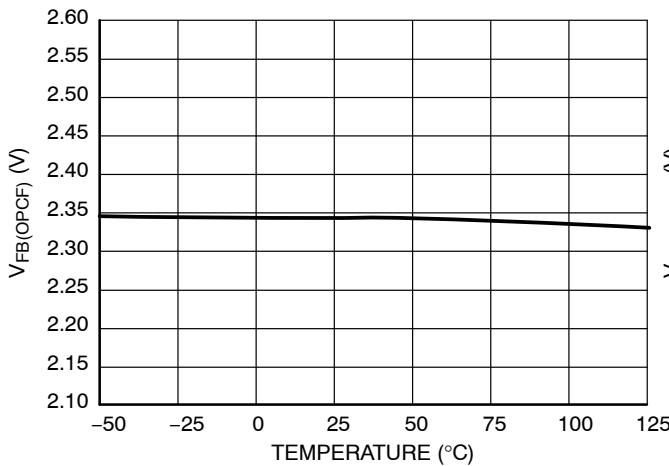


Figure 19. FB Pin Level  $V_{FB(OPCF)}$  Above Which is the Overpower Compensation Applied

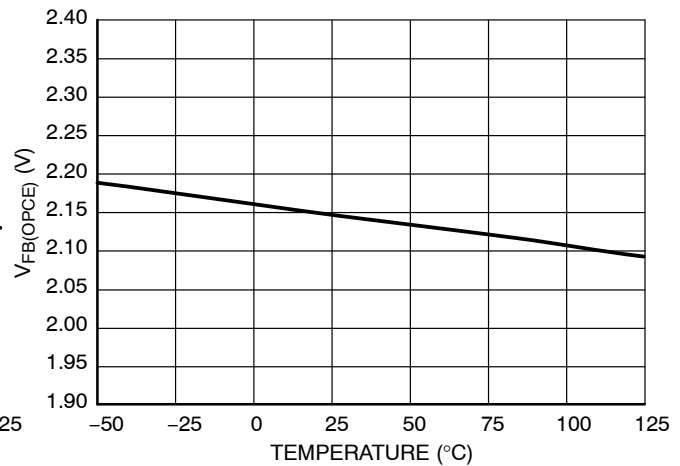


Figure 20. FB Pin Level  $V_{FB(OPCE)}$  Below Which is No Overpower Compensation Applied

TYPICAL PERFORMANCE CHARACTERISTICS

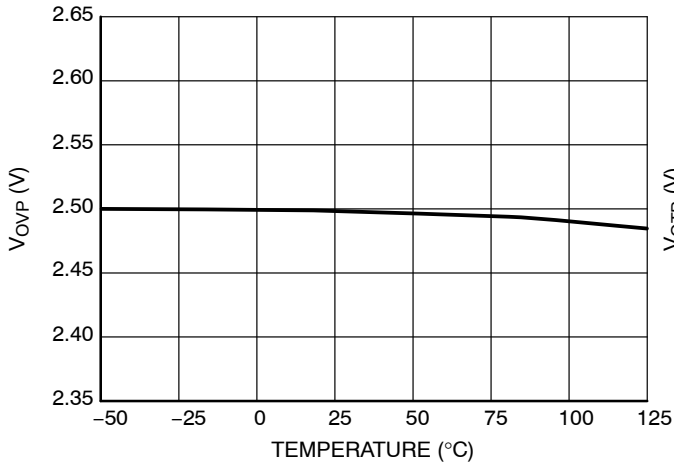


Figure 21. Latch Pin High Threshold  $V_{OVP}$

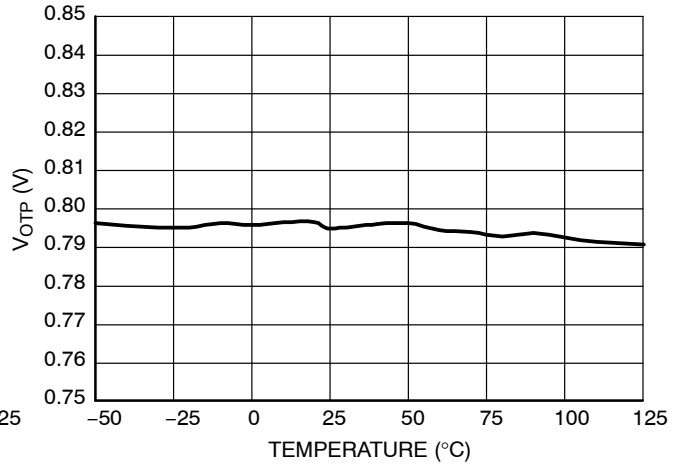


Figure 22. Latch Pin Low Threshold  $V_{OTP}$

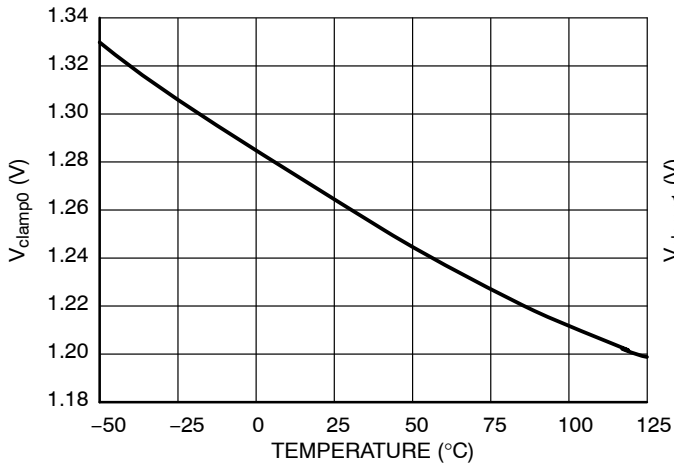


Figure 23. Latch Pin Open Voltage  $V_{clamp0}$

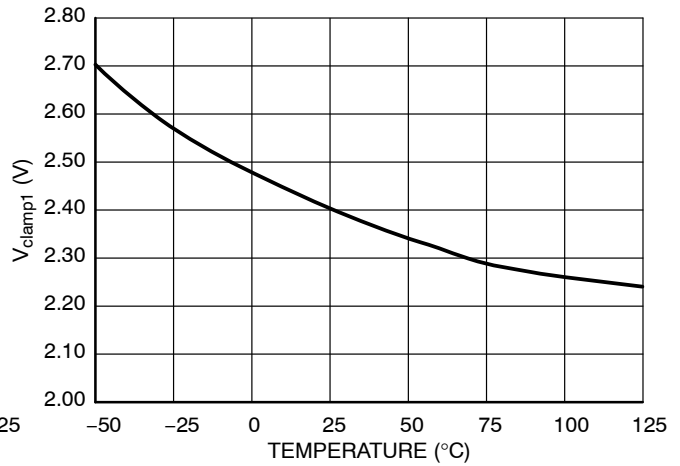


Figure 24. Latch Pin Voltage  $V_{clamp1}$  (Latch-off Pin is Sinking 1 mA)

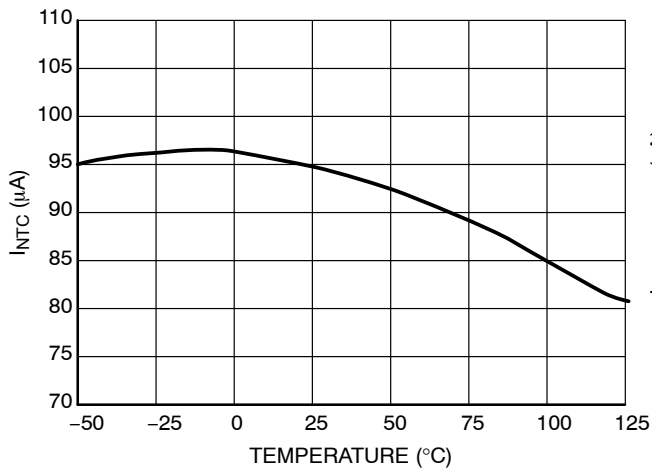


Figure 25. Current  $I_{NTC}$  Sourced from the Latch Pin, Allowing Direct NTC Connection

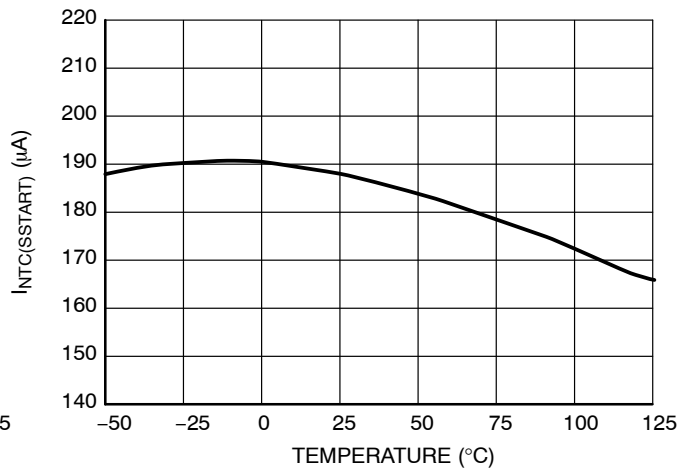


Figure 26. Current  $I_{NTC(SSTART)}$  Sourced from the Latch Pin, During Soft-Start

## アプリケーション情報

## はじめに

NCP1234には、固定周波数フライバック・コンバータを基盤に、安全で効率的な電源を供給できる機能が備わっています。特に、安全性を度外視することなくパーツ数を少数に抑えるアプリケーションには最適です。

- **傾斜補償時の電流モード操作** : 一次側ピーク電流はフォールド・バック電圧で継続的に制御され、最大限の安全性が確保されます。DRVターンオフ・イベントは、ピーク電流の設定ポイントによって決まります。また、DCMに入っている場合、システムの周波数反応は初期状態のままのため、FBループの設計が簡易化されました。多くのアプリケーションで発生する分数調波オシレーションを防止する固定傾斜補償機能により、コントローラは、幅広い入力電圧範囲を持つCCMのアプリケーションでも利用することが可能です。
- **ジッタリング時の固定周波数オシレータ** : NCP1234はさまざまな周波数で利用できるため、あらゆるアプリケーションに適しています。内部オシレータには低周波数ジッタリング機能があり、準尖頭値での周波数ピークのエネルギー含量や測定のアVERAGEモードを広げることによって、EMIの制限を超過できるようにすることが可能です。
- **ラッチ付きタイムベースの過負荷保護機能** : 過負荷保護はFB信号のみで動作しているため、非常に結合が弱い場合や漏れインダクタンスが大きい場合など、あらゆる変圧器で利用できます。Aバージョン(過負荷状態でなくなっても、操作を再開するには電源を止めて再起動する必要がある)とBバージョンの自動リカバリでは、保護は完全にラッチされています。タイマ間隔は固定です。また、コントローラは、CSピンの電圧が最大内部設定ポイントの1.5倍になっても同じ保護モードに入ります(巻線ショート回路を検出できます)。
- **高圧起動電流源** : オン・セミコンダクターの超高圧技術により、NCP1234は高入力電圧に直接つながることができます。起動電流源は、オフ時のロスを抑えながら正確な起動を保証します。V<sub>CC</sub>への供給が一時的に減少しても、ダイナミック・セルフサプライ(DSS)機能により、コントローラ供給用の起動電流源が再起動されます。
- **調整可能な過電力補償** : HVピンで検出された高入力電圧は、入力電圧に対するオフセット比率で電流センス電圧を発生させる電流に変換されます。CSピンと直列につながれている抵抗値を選択することによって、アプリケーションに合わせて補償量を調整できます。

- **低負荷操作時の周波数フォールドバックとスキップ・モード** : あらゆる負荷状態で高い効率性を維持するため、NCP1234には超低負荷状態での周波数フォールドバックとスキップ・モードが実装されています。スイッチング周波数は、スイッチングによる損失を低減するため、27 kHzに抑えられています。
- **拡張V<sub>CC</sub>の範囲** : NCP1234は、コントローラをオフにラッチする過電圧のしきい値V<sub>CC(ovp)</sub>(通常、26.5 V)には最大28 Vまで採用可能です。
- **クランプ・ドライバ・ステージ** : 最大供給電圧が高くても、DRVピンの電圧は16 V以下で安全にクランプされるため、標準的なMOSFETはすべて使用することができ、コントローラの電流消費も低減されます。
- **デュアル・ラッチオフ入力** : NCP1234は、次の2種類の方法でオフにラッチできます。電圧をそのラッチ・ピン(通常は、過電圧)にかけて増幅するか、この電圧を下げます。内部のプルアップ電流源が正確なため、NTCは直接ラッチ・ピンにつながることができます。このNTCには、ラッチ・ピンの抵抗を小さくし、電圧を下げるのが可能な、温度超過保護機能が搭載されています。
- **ソフトスタート** : 起動するたびに、ピーク電流は4.0 msまで少しずつ増加し、電力コンポーネントにかかる負荷を最小限に抑えます。
- **温度シャットダウン** : NCP1234は、自己加熱状態から内部を保護しています。ダイが高温になりすぎた場合は、コントローラはすべての回路(HV起動電流源も含む)を閉じて、再起動する前にシリコンの冷却を行います。このため、障害発生時に備えて安全が確保されます。

## 標準的な操作

- **起動** : HV起動電流源は、入力電圧が起動に切り替わる高さ(V<sub>HV(start)</sub>)になるまで、V<sub>CC</sub>キャパシタに最大で起動しきい値V<sub>CC(on)</sub>の電圧をかけます。コントローラは、ソフトスタート時間t<sub>SSTART</sub>からパルスを発生させ、その間、ピーク電流は電流モードの制御を引き継ぐまで比例して増加します。ソフトスタートの間は低レベルなラッチは無視され、ラッチ電流は2倍になり、ラッチ・ピンの減結合キャパシタの高速プリチャージが可能になります。
- **正常な操作** : フィードバック電圧が変動範囲内にあり、V<sub>CC</sub>がV<sub>CC(min)</sub>以上であれば、NCP1234は電流モード制



御で固定周波数 (ジッタリングあり) で動作します。ピーク電流 (CSピンで検出) は、FBピンにかかる電圧で設定します。固定傾斜補償は、分数調波オシレーションの発生を防ぐため、内部に適用されます。

- **低 負 荷 操 作** :  
FB電圧が $V_{FB(foldS)}$ 以下まで低下すると、通常は最大負荷の33%まで負荷が下がり (DCM設計の場合)、スイッチング周波数は $f_{OSC(min)}$ まで低下します。スイッチングによる損失が減少するため、この機能は低負荷状態でも効率を高めることができます。周波数ジッタリングは、低負荷状態でも有効です。
- **無 負 荷 操 作** :  
FB電圧が $V_{skip(in)}$ 以下まで低下すると、通常は最大負荷の2%まで負荷が下がり、コントローラはスキップ・モードに入ります。フィードバック電圧が $V_{skip(out)}$ 以下になっている間はスイッチングは完全に停止し、それ以上の損失を防ぎます。これにより、超低負荷状態における電力損失を最小限に抑えることが可能です。超低負荷状態になるとスキップ・モードに入るため、ピーク電流は非常に

小さくなり、可聴雑音が混ざらなくなります。補助巻線がこの状態で十分な $V_{CC}$ の電圧レベルを維持できない場合、 $V_{CC}$ はDSSによって $V_{CC(on)}$ と $V_{CC(min)}$ の間を維持します。

- **過 負 荷** :  
NCP1234には、フィードバック情報だけを認識するタイマベースの過負荷検出機能が搭載されています。内部ピーク電流の設定ポイントが $V_{ILIM}$ のクランプに達すると、内部タイマはカウントを開始します。タイマの時間が経過し、コントローラが停止して保護モードに入ると、Bバージョンの自動リカバリ機能 (コントローラは $t_{autorec}$ 時間が経過すると、新たに起動を開始する) が作動するか、Aバージョンによりラッチされます ( $V_{CC}$ がリセットされた場合にのみラッチが解除される)。
- **ラ ッ チ オ フ** :  
ラッチ入力が引き上げられるか (通常は、過電圧状態のときなど)、引き下げられると (通常は、温度超過状態になると行われ、NTCによる供給電流源を利用)、コントローラはラッチをオフに切り替えます。 $V_{CC}$ がリセットされると、ラッチは解除されます。

### 高圧電流源

NCP1234のHVピンは、整流パルク電圧にも、整流器を通したAC線にも接続できます。ただし、過電力補

償は、HVピンがパルク電圧に接続されている場合のみ、正常に動作します。

### 起動

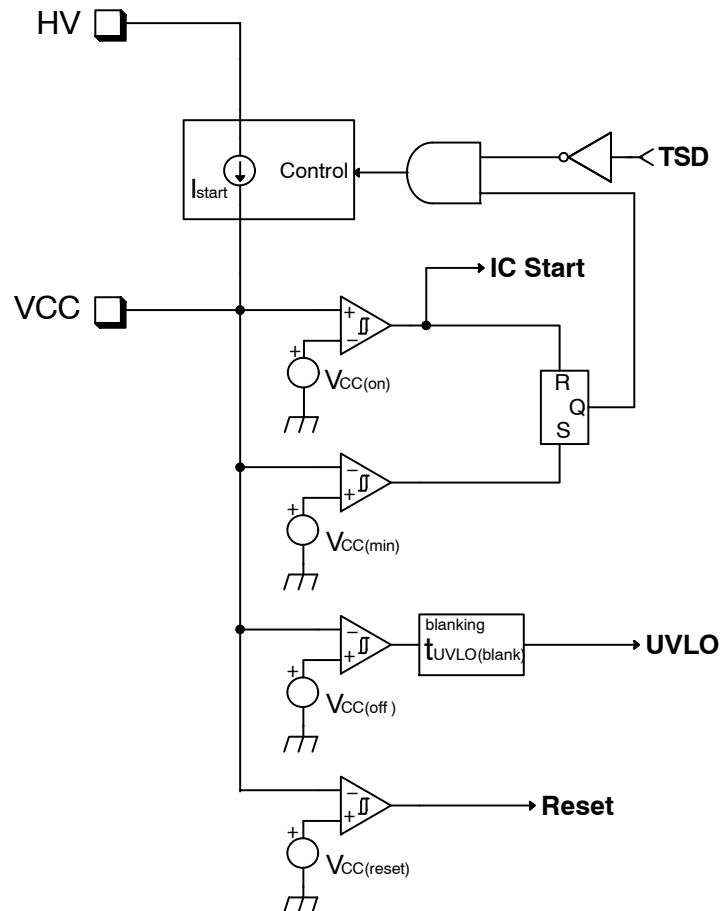


Figure 27. HV Start-up Current Source Functional Schematic

起動時、電流源はV<sub>CC</sub>が内部電源から供給されるまでは、HVピンの電圧がV<sub>HV(min)</sub>より高ければオン、V<sub>CC</sub>がV<sub>CC(on)</sub>になるとオフになります。V<sub>CC</sub>がV<sub>CC(min)</sub>になると再びオンになります。コントローラは、V<sub>CC</sub>が次にV<sub>CC(on)</sub>になると実際に起動します。

DSSにより、HV起動電流源のオンとオフを切り替えて、V<sub>CC</sub>電圧はV<sub>CC(on)</sub>とV<sub>CC(min)</sub>の間で維持されますが、この機能は、ダイの電力損失が増大しない

よう、低負荷状態でのみ使用可能となります。そのため、正常な操作でV<sub>CC</sub>に電圧を供給するには、補助電圧源が必要です。

DSSは、ラッチ状態などでスイッチングパルスが供給されない場合にコントローラを継続して利用したり、V<sub>CC</sub>が低下して過渡的な負荷がかかっている場合に、コントローラが停止するのを防ぐために有効です。

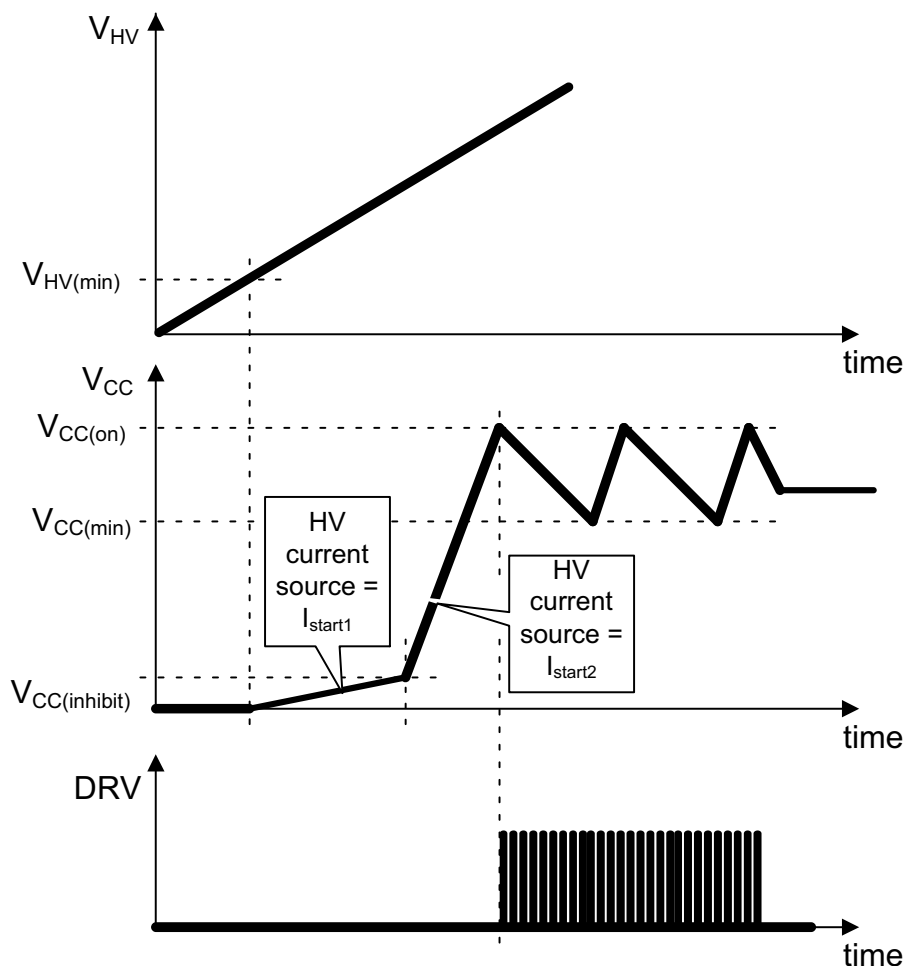


Figure 28. Start-up Timing Diagram

安全上の理由から、 $V_{CC}$ が $V_{CC(inhibit)}$ 以下になると起動電流が低下し、 $V_{CC}$ ピンがGNDにショートした場合 ( $V_{CC}$ キャパシタが故障した場合、または $V_{CC}$ の外部プルダウンによりコントローラが無効化した場合) の電力損失が低減されます。

$V_{CC}$ が $V_{CC(min)}$ になっても、電流源がオンにならない条件は2つあります。Hvピンの電圧が非常に低い ( $V_{HV(min)}$ 以下) か、熱シャットダウン状態 (TSD) が検出された場合です。これ以外の条件では、HVの電流源は常にオンとオフが切り替わって、 $V_{CC}$ が $V_{CC(min)}$ と $V_{CC(on)}$ の間で維持されます。

アプリケーションがオフになると、入力キャパシタはすぐに放電され、出力は変動範囲外になります。同時に $V_{CC}$ も低下しますが、HVピンにはそれ以

上の電圧がかからないため、DSSはオンになりません。そのため、 $V_{CC}$ は更に低下し、 $V_{CC(off)}$ のしきい値まで下がるとコントローラはオフになり、内部故障タイマがリセットされ望ましくないラッチオフ状態を防止して、短時間のオフ/オンシーケンス時に高速再起動を行います。

アプリケーションが再びオンになるとすぐに、HV起動電流源は $V_{CC}$ キャパシタへの充電を開始します。 $V_{CC}$ が放電されるしきい値は、コントローラを再起動する機能には影響しません。 $V_{CC}$ が $V_{CC(on)}$ になると、それ以上の遅延も中断もなくスイッチングが行われ、オンになります。高速オフ/オンシーケンスについては、Figure 29で説明します。

# NCP1234

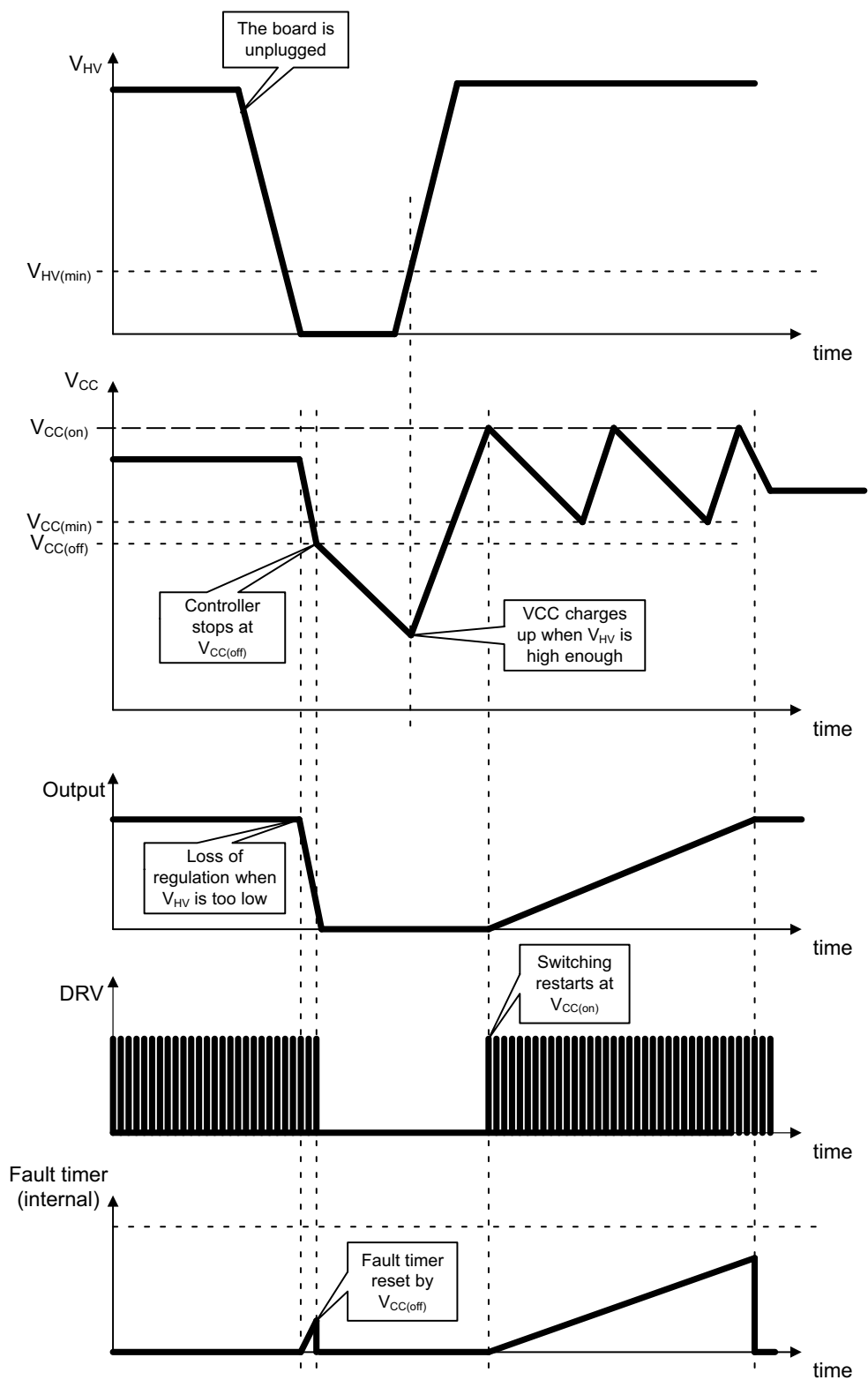
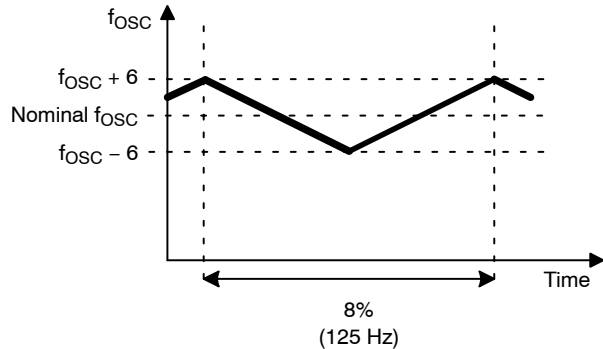


Figure 29. Fast Application Off – On Sequence

**最大デューティ・サイクルと周波数ジッタリングのオシレーター**

NCP1234には、±7%の精度でスイッチング周波数を設定できるオシレーターが使われています。周波数のオプションは、65 kHzと100 kHzの2種類があります。DRVピンの最大デューティ・サイクルは、±7%の精度で80%です。

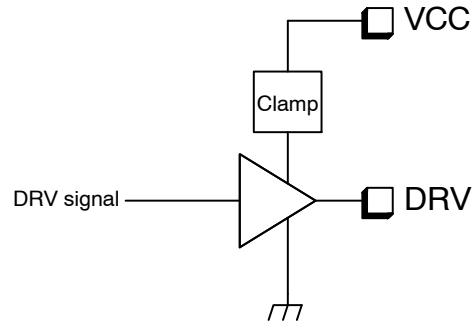
EMIシグネチャを改善するには、スイッチング周波数を、三角波で周波数125 Hzで正常値の±6%前後でジッタリングさせます。この周波数ジッタリングは、周波数が低下して低負荷状態でEMIが改善しても有効です。



**Figure 30. Frequency Jittering**

**クランプ・ドライバ**

NCP1234に供給される電圧は最大28 Vですが、DRVピンに接続されるMOSFETのほとんどは、ゲートに20 V以上かけることができません。そのため、ドライバ・ピンは安全上16 V以下にクランプされます。このドライバには、通常±500 mAの電流容量があります。



**Figure 31. Clamped Driver**

過電力補償およびソフトスタート機能を備えた電流モード制御

電流センス

NCP1234は電流モードのコントローラで、ピーク電流がインダクタンスとMOSFETを流れるようにFB電圧を設定しています。これは、PWMコンパレータで行います。電流は抵抗を通過して検出されるため、その電圧はCSピンにかかります。この電圧は、250 nsのLEBブロックを通過して、PWMコンパレータ

の入力の1つにかかります。もう1つの入力には、1/5のFB電圧がしきい値に設定されます。電圧の傾斜がこのしきい値に達すると、出力ドライバはオフになります。

電流センスの最大値は0.7 Vです。これは専用コンパレータで設定します。

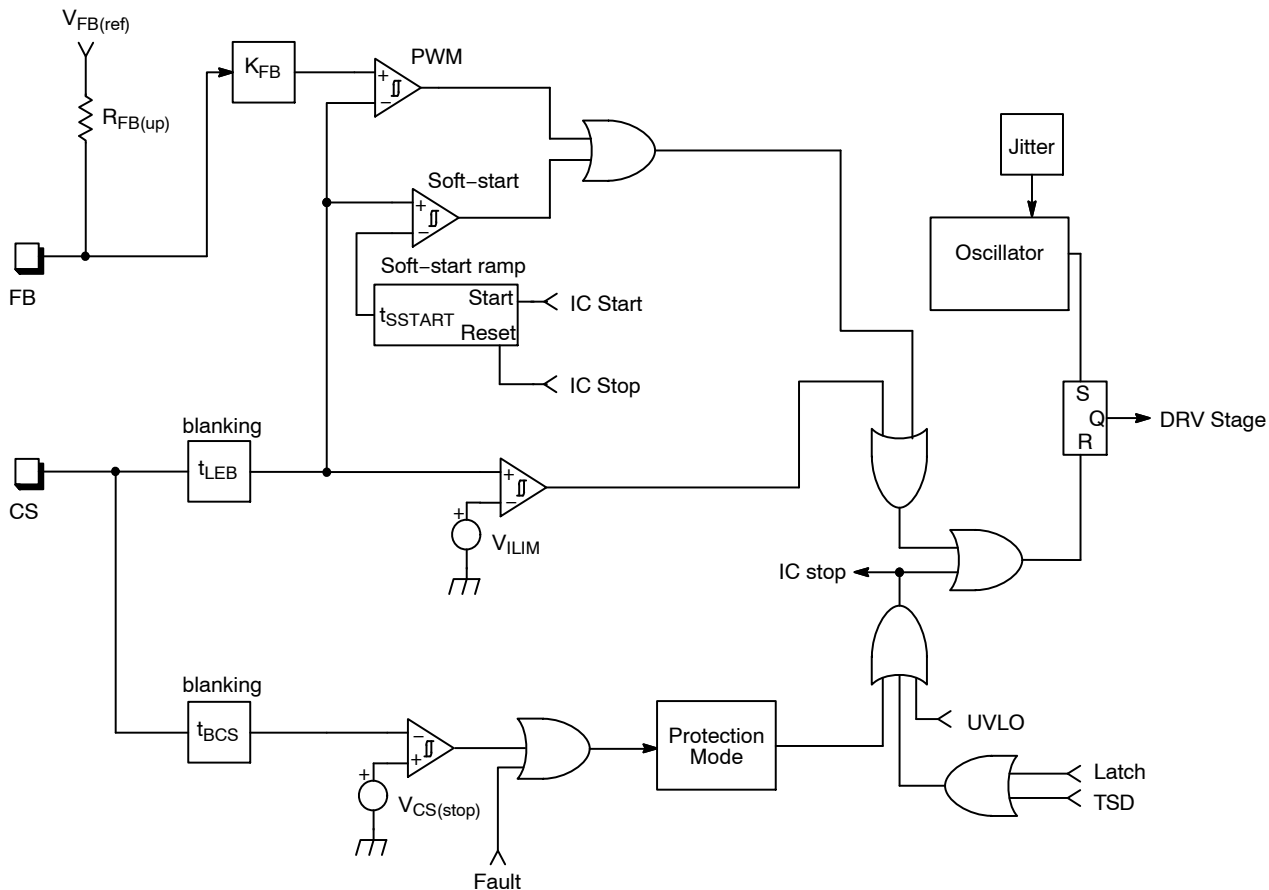


Figure 32. Current Sense Block Schematic

コントローラを起動するたびに、つまりコントローラがオフ状態から起動または再起動するたびに、 $V_{CC}$ の値が $V_{CC(on)}$ になるとソフトスタートが行われます。電流センスの設定ポイントは、 $V_{ILIM}$ になるまで ( $t_{SSTART}$ の時間以降で)、またはFBループがソフトスタートによって設定されるポイントよりも小さい値を設定するまで (2つのコンパレータの出力がORに

なる)、0から比例して増加します (最小レベルは、LEBと伝搬遅延のために0以上になる場合があります)。ソフトスタートの傾斜信号は、NCP1234のD/Aコンバータで生成されます。そのため、実際は電流設定ポイントの傾斜は比例して増加しますが、不連続な15個の点に見えます。

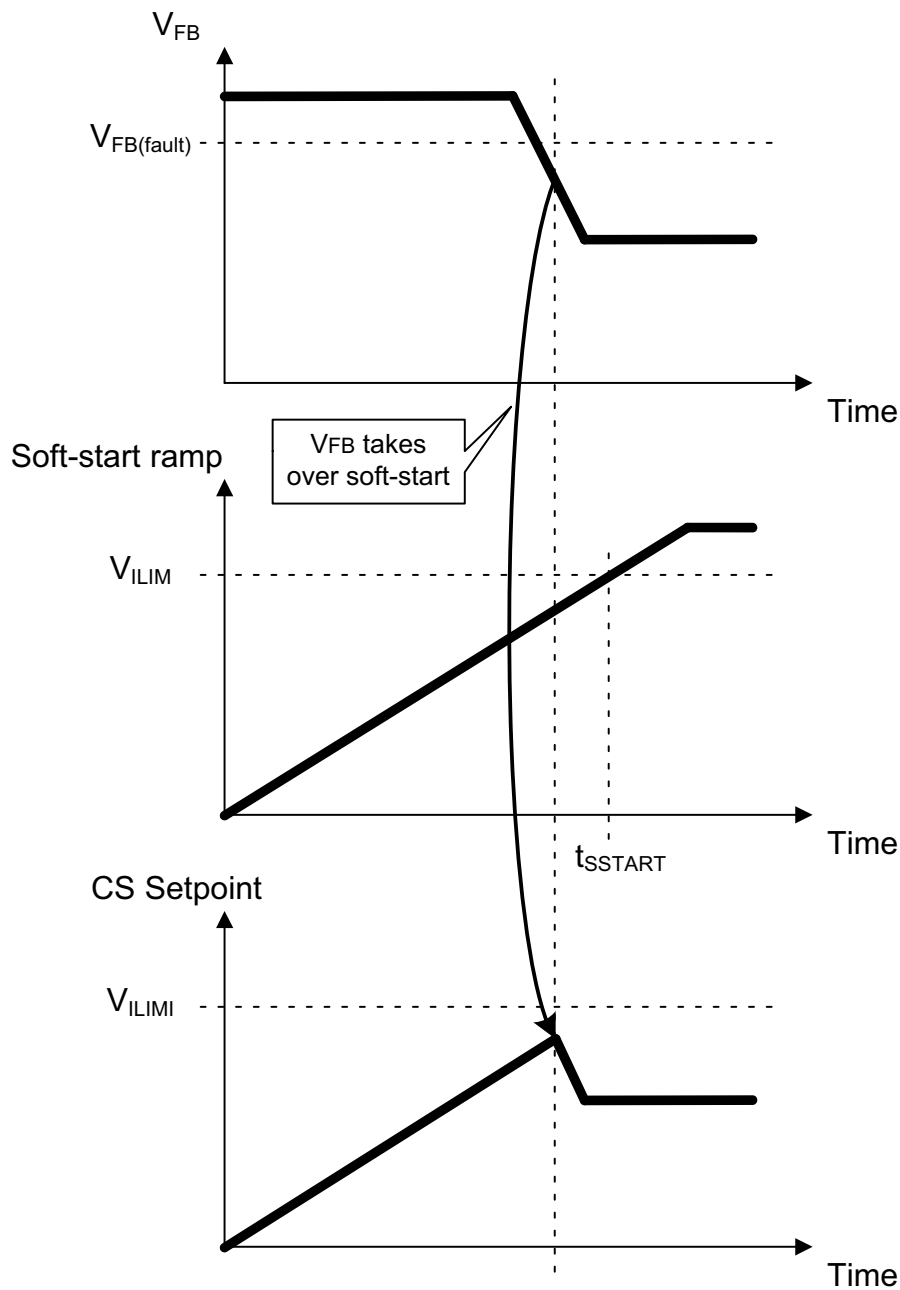


Figure 33. Soft-Start

巻線ショート回路など、ある条件下ではオン持続時間が最短であっても (LEB持続時間と検出器の伝搬時間の合計)、オンのときにたまったエネルギーがすべてオフのときに出力に変わるわけではありません。その結果、コントローラはLEBの消去の間は機能しないため、電流センスの電圧は $V_{ILIM}$ 以上になるまで増加し続けます。コントローラを停止させなければ、システムに流れる電流が大きくなり危険です。そこで、Csピンにかかる電流センスの電圧が $V_{CS(stop)} (= 1.5 \times V_{ILIM})$ になったことを検出するコンパレータを追加します。このコンパレータに切り替わるとすぐに、コントローラは保護モードに入ります

(オプションの選択に応じて、ラッチされるか、自動リカバリされる)。

#### 過電力補償

フライバック電源から供給される電力は、不連続な伝導モードではピーク電流の2乗に比例します。

$$P_{OUT} = \frac{1}{2} \cdot \eta \cdot L_p \cdot F_{sw} \cdot I_p^2 \quad (\text{eq. 1})$$

しかし、ロジック固有の伝搬遅延があるため、実際の高入力電圧時でのピーク電流は低入力電圧時よりも大きくなり、電源から供給される最大出力電力に大きな違いが出てきます。

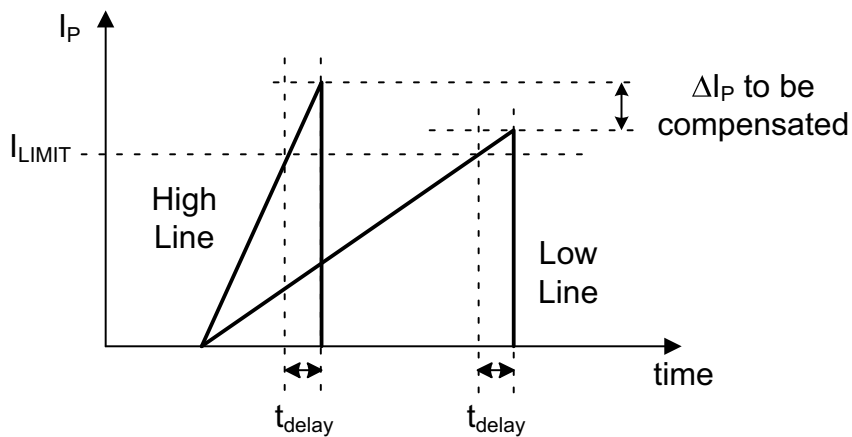


Figure 34. Line Compensation for True Overpower Protection

これを補償し過電力保護を正確に行うため、センス抵抗とCSピンの間に直列に外部抵抗を加えて内部電流源をオンにし、入力電圧に比例するオフセットをCS信号に追加して、そこを流れる電流による電圧オフセットを作ります。この補償は、抵抗値を変えることで調整することが可能です。

ただしこのオフセットは、電流センス信号が小さい場合、つまり低負荷状態では桁が同じになるため

不要です。そのため、補償電流はFB電圧が $V_{FB(OPCE)}$ よりも高くなる場合にのみ追加されます。

しかし、HVピンはAC電圧に接続できるため、追加で回路の詳細設計をするか、少なくともバルク・キャパシタの実際の電圧を詳しく見積もる必要があります。

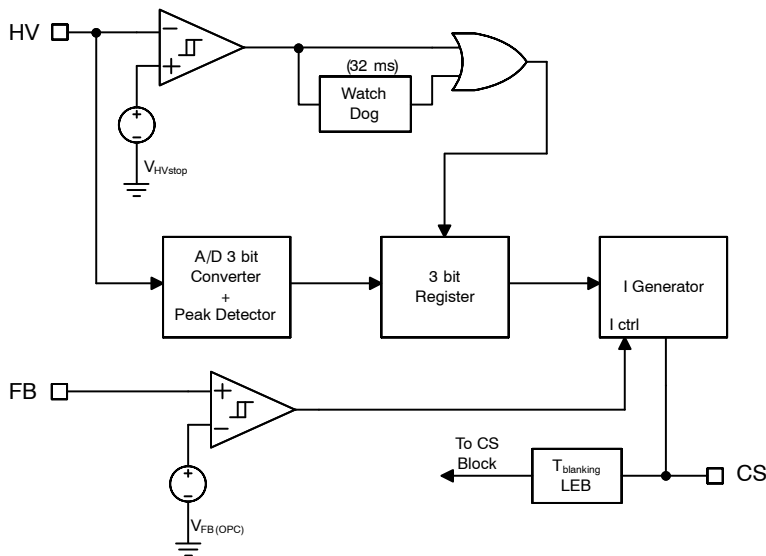


Figure 35. Schematic Overpower Compensation Circuit

3ビットのA/Dコンバータにはピーク検出機能があります。入力電圧の変動に応じてAC入力を検出し、出力を定期的にサンプリング、リセットします。サンプリングとリセットのイベントは、AC線入力のサンプリング検出に使用する $V_{HVsample}$ コンパレータで

発生します。DC高電圧入力しか使われない場合は、 $V_{HVsample}$ 状態からはリセット信号が生成されないため、DC入力高電圧線のサンプリングには32 msのウォッチ・ドッグを使用してサンプリング・イベントを生成します。

# NCP1234

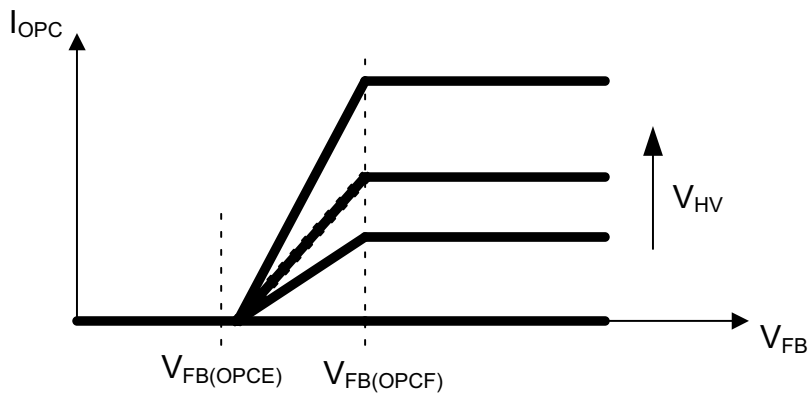


Figure 36. Overpower Compensation Current Relation to Feedback Voltage and Input Voltage

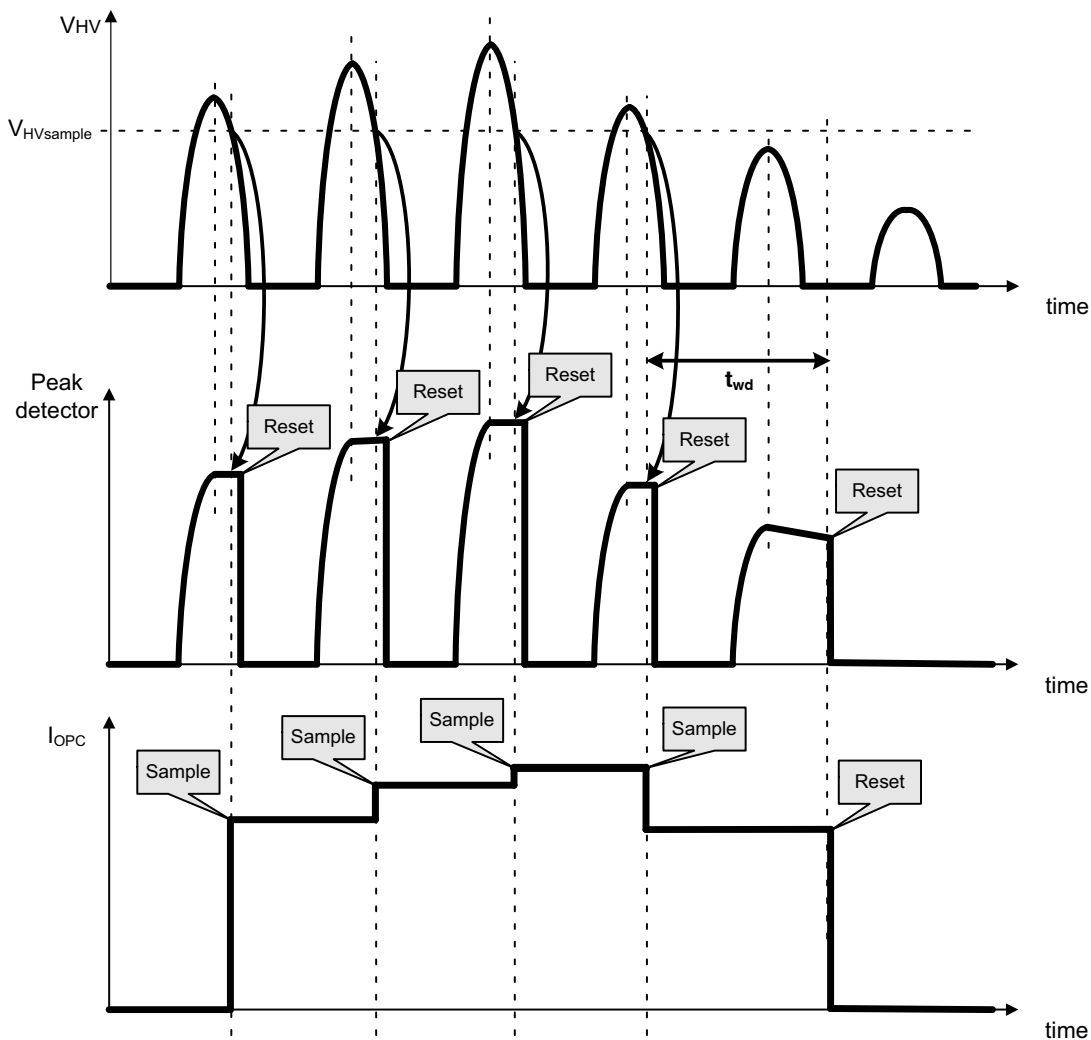


Figure 37. Overpower Compensation Current if the HV Pin is Connected to AC Voltage

# NCP1234

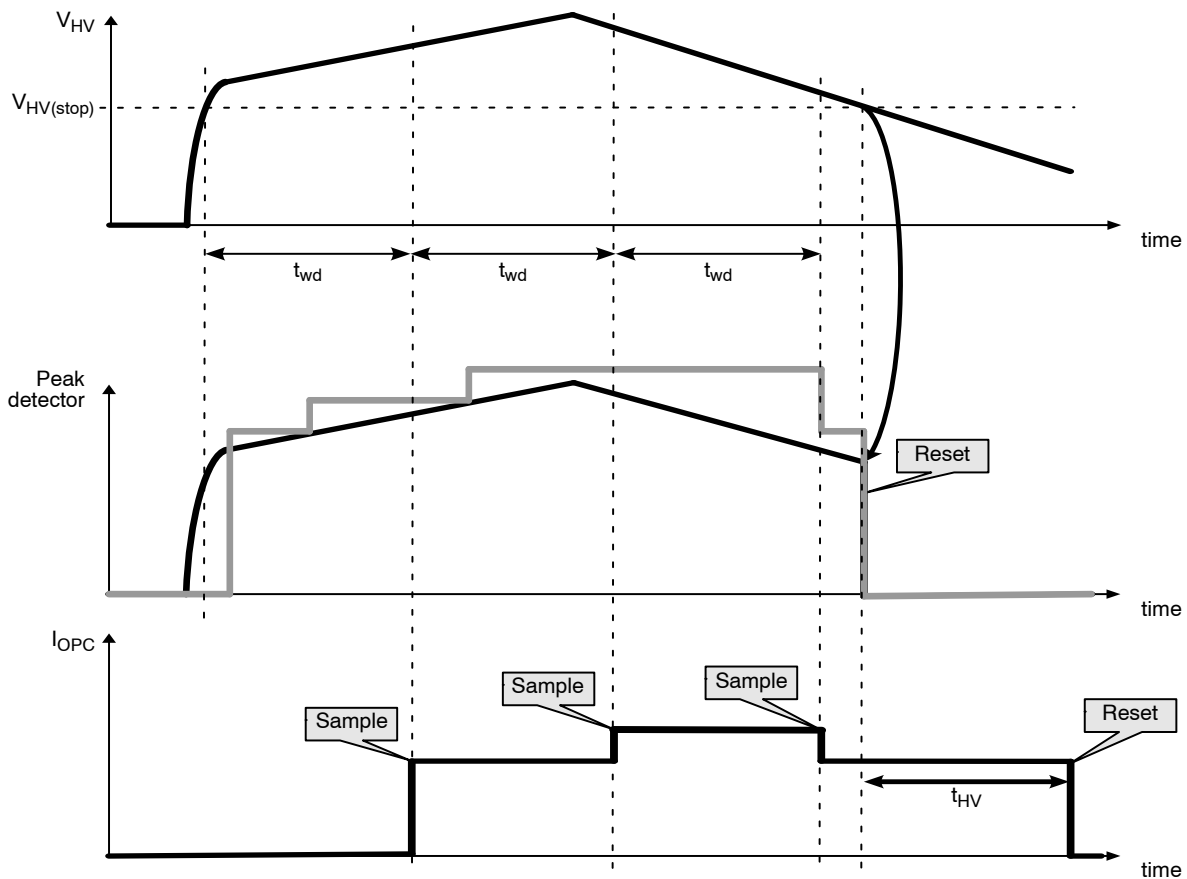


Figure 38. Overpower Compensation if the HV Pin is Connected to DC Voltage

## 傾斜補償のフィードバック

FB電圧の電流センスの設定ポイントに対する比率は5です。つまり、 $V_{ILIM}$ に対するFB電圧は3.5 Vとな

ります。FBピンから内部参照には20 k $\Omega$ のプルアップ抵抗があります。

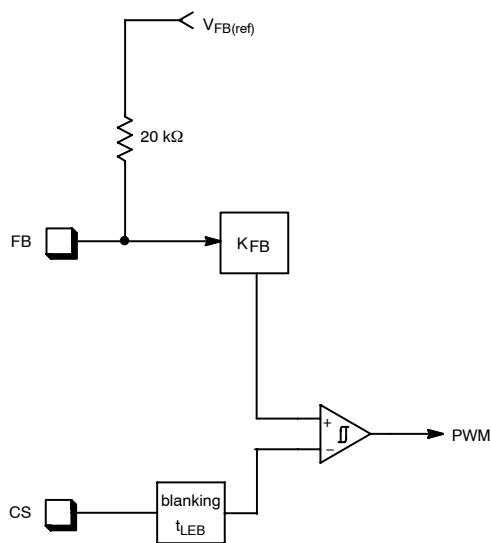


Figure 39. FB Circuitry

NCP1234をCCMにおいて50%以上のデューティ・サイクルで動作させるには、内部で固定傾斜補償を電流モード制御に適用します。PWMコンパレータの

内部電圧設定ポイントに設定する傾斜は、標準的な65 kHzバージョンで-32.5 mV/ $\mu$ s、100 kHzバージョンで-50 mV/ $\mu$ sです。

故障タイマによる過電流保護

電源の出力に過電流が発生すると、FBループにはコントローラの供給能力を上回る電源が必要となり、CSの設定ポイントは $V_{ILIMIT}$ に達します。こうした事態では、内部の $t_{fault}$ タイマが作動を開始します。タイマがタイムアウトすると、DRVのパルスは停止し、コントローラのラッチがオフになるか (パージ

ョンAのラッチによる保護)、自動リカバリモードに入ります (パージョンB)。タイマの時間が経過する前にCSの設定ポイントが $V_{ILIM}$ 以下に戻ると、タイマはリセットされます。低入力ライン電圧時に最大電力を出力するため、ドライバ信号が最大デューティ・サイクルでリセットされた場合は故障タイマは始動しません。

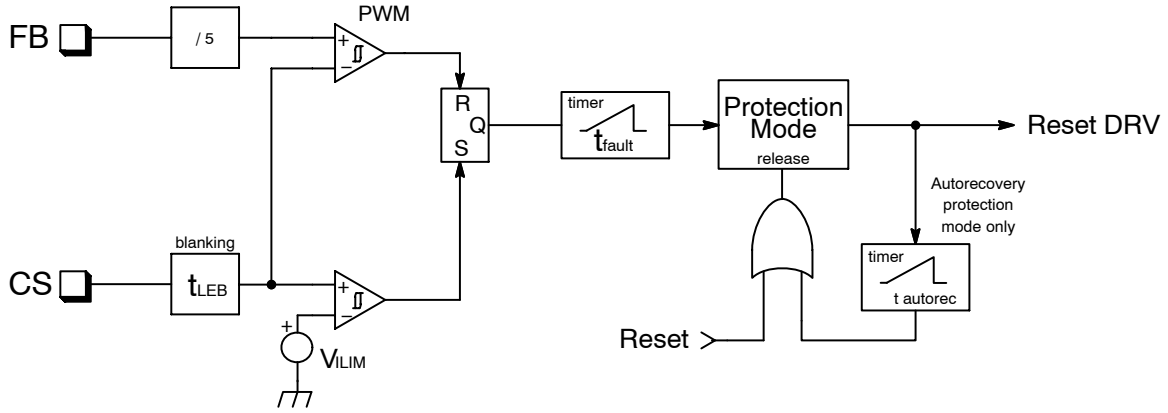


Figure 40. Timer-Based Overcurrent Protection

自動リカバリモードでは、コントローラは  $t_{\text{autorec}}$  時間の経過後に再起動を試みます。故障が直れば再起動しますが、そうでない場合は新しいバースト・サイクルが開始されます。

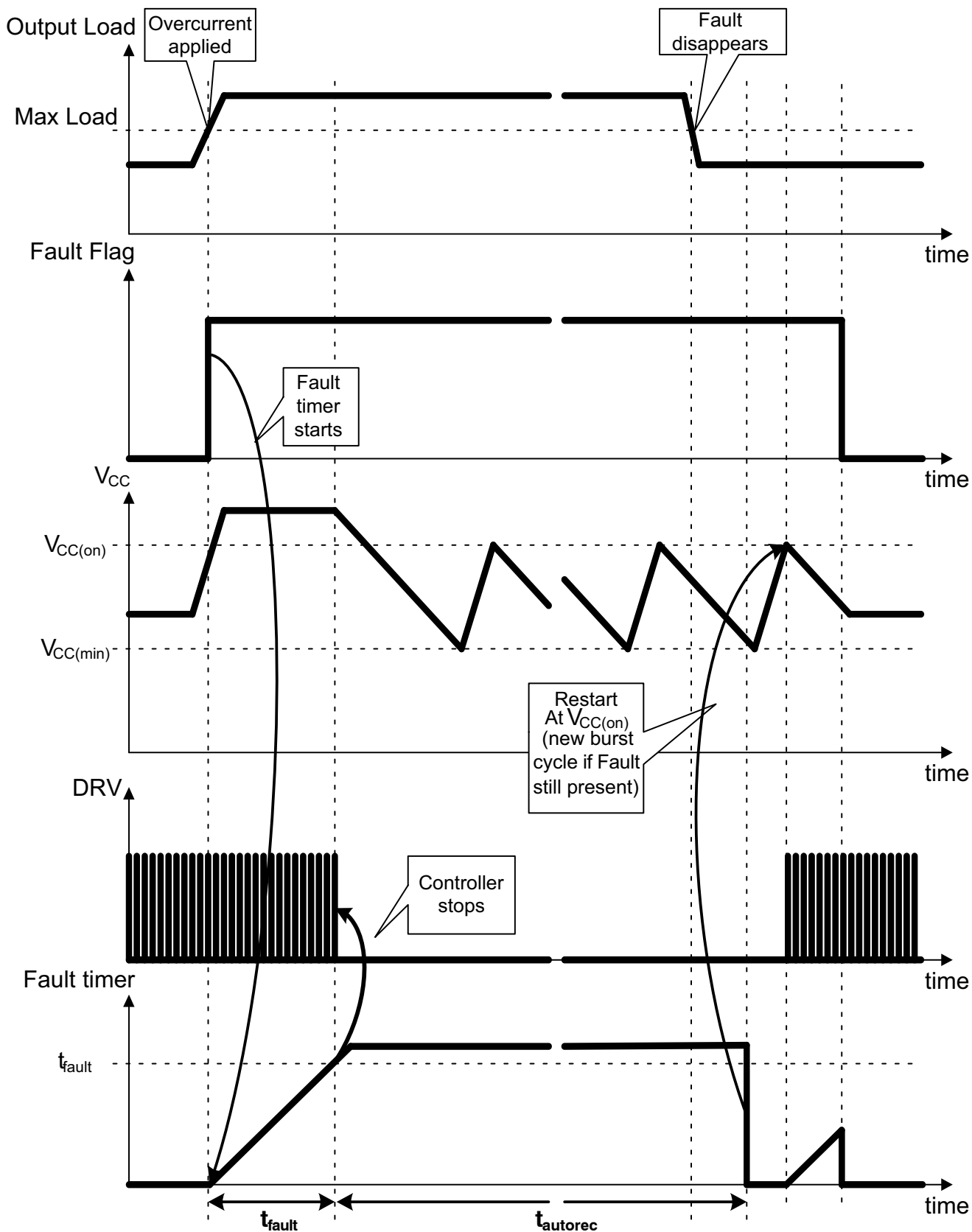


Figure 41. Autorecovery Timer-Based Protection Mode

# NCP1234

ラッチ・バージョンでは、 $V_{CC}$ がリセットされるとコントローラが再起動されます。これは、実際の

アプリケーションでは電源が主電源から外れた場合に起こります。

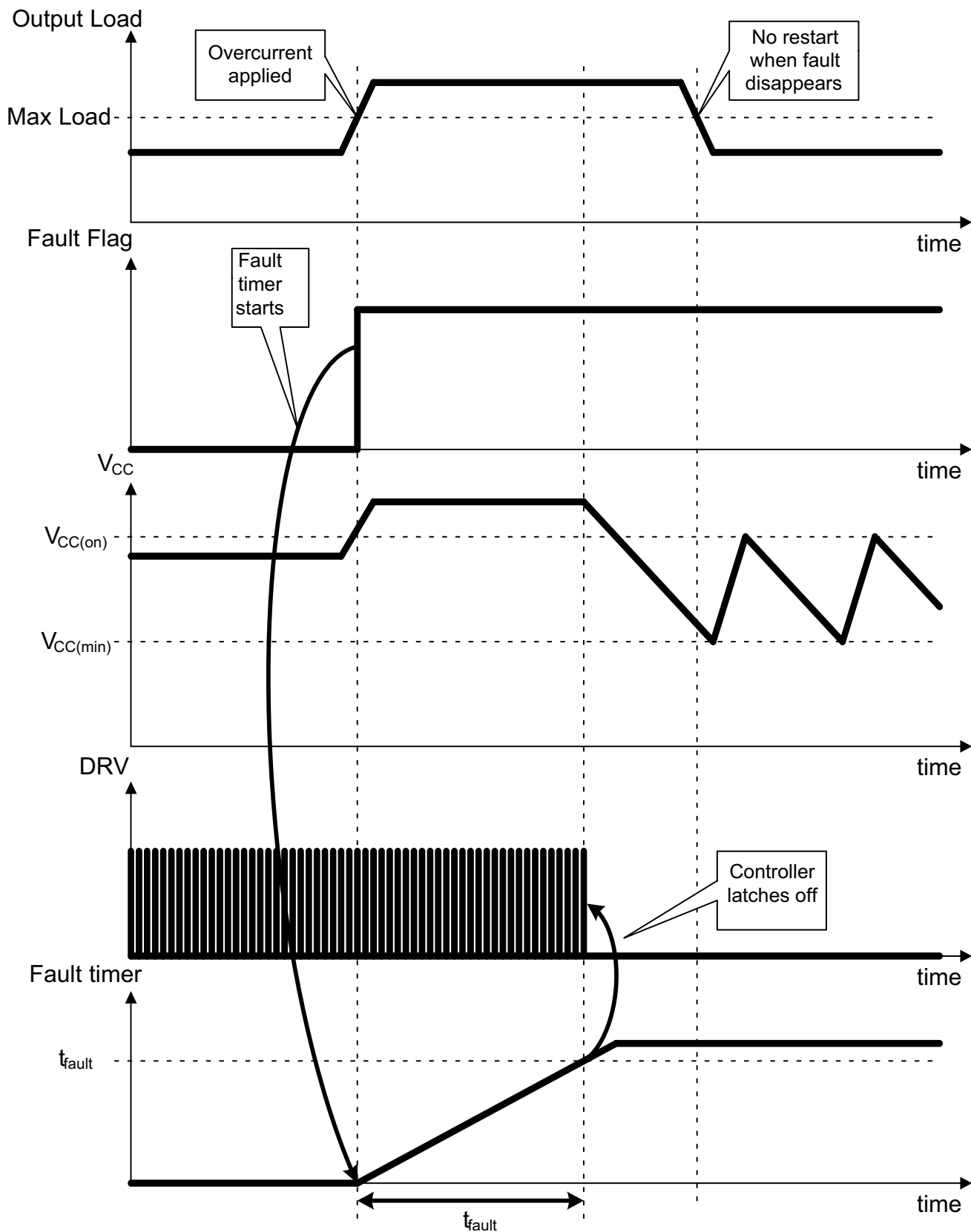


Figure 42. Latched Timer-Based Overcurrent Protection

低負荷操作

周波数フォールドバック

低負荷状態で効率性を高めるには、内部オシレータの周波数を正常値から  $f_{OSC(min)}$  まで線形的に減少させます。この周波数フォールドバックは、通常のスイッチング周波数オプションに関係なく、FBピン

の電圧が  $V_{FB(foldS)}$  以下になると開始され、 $V_{FB}$  が  $V_{skip(in)}$  になる前に完了します。オシレータの周波数が低下している間も、電流モード制御は有効です。コントローラが最大デューティ・サイクルで動作すると、周波数フォールドバックは無効になります。

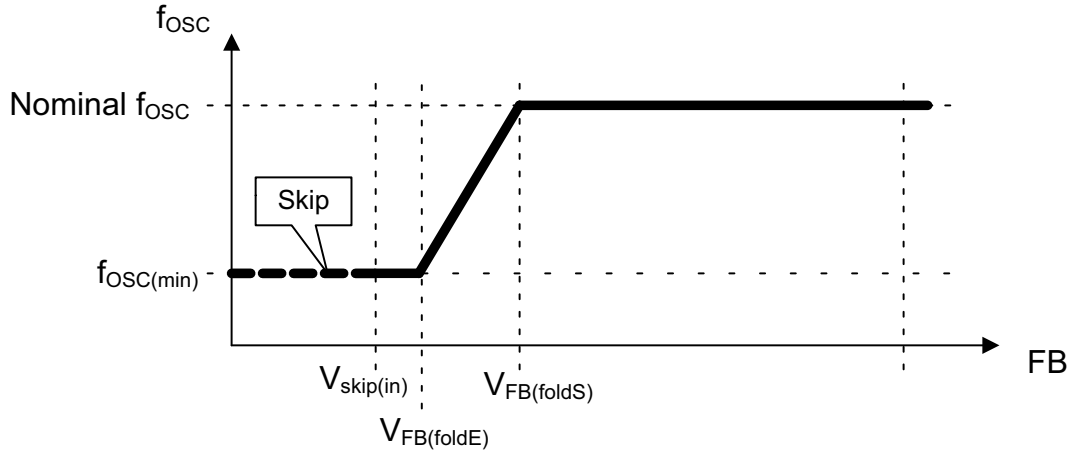


Figure 43. Frequency Foldback when the FB Voltage Decreases

スキップ・サイクル・モード

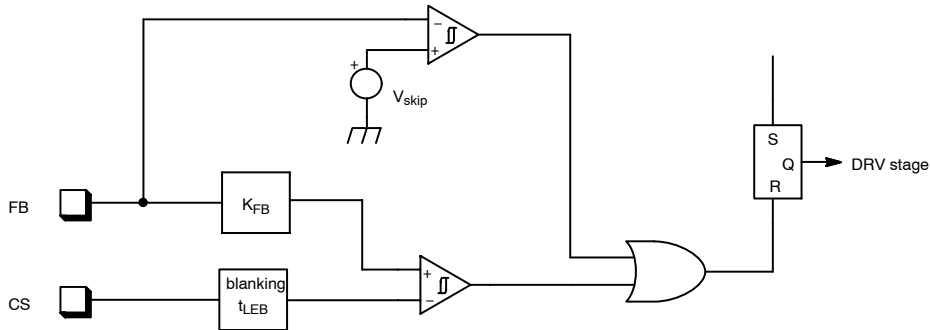


Figure 44. Skip Cycle Schematic

FB電圧が  $V_{skip(in)}$  まで低下すると、スキップ・モードが作動します。ドライバが停止し、コントローラ内部の消費量が低下します。  $V_{FB}$  が  $V_{skip(out)}$  以下であ

れば、コントローラはこの状態を維持しますが、  $V_{FB}$  がしきい値までスキップすると、DRVピンからのパルス生成が再開されます。

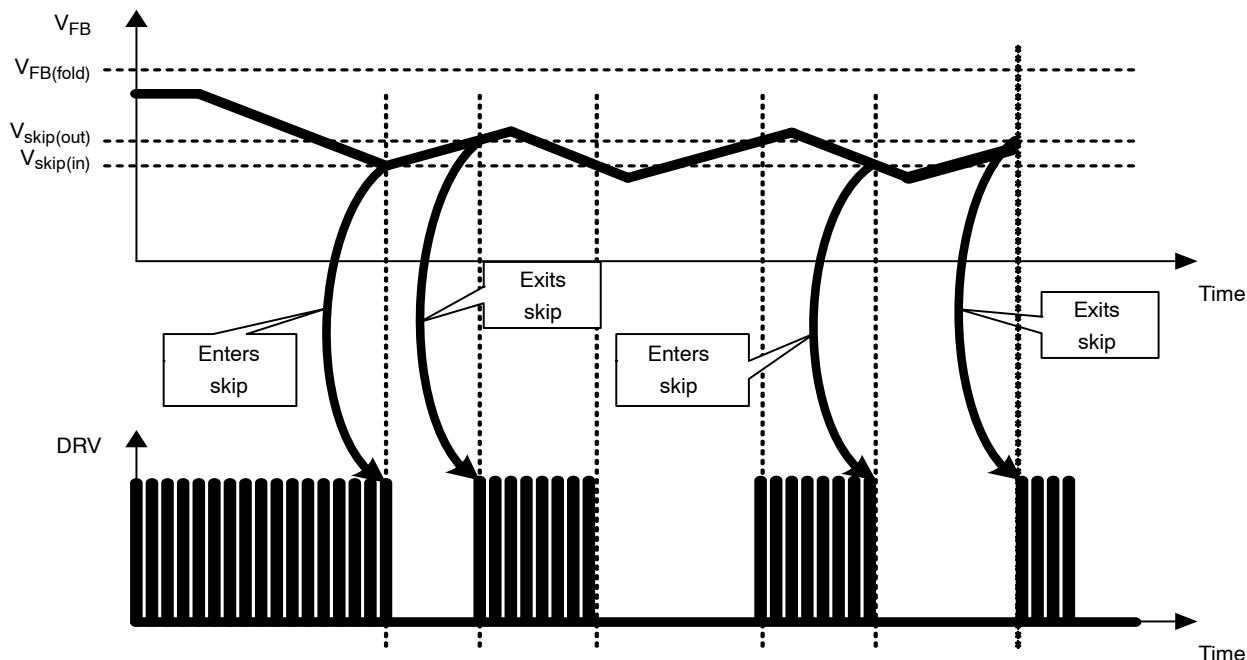


Figure 45. Skip Cycle Timing Diagram

ラッチオフ入力

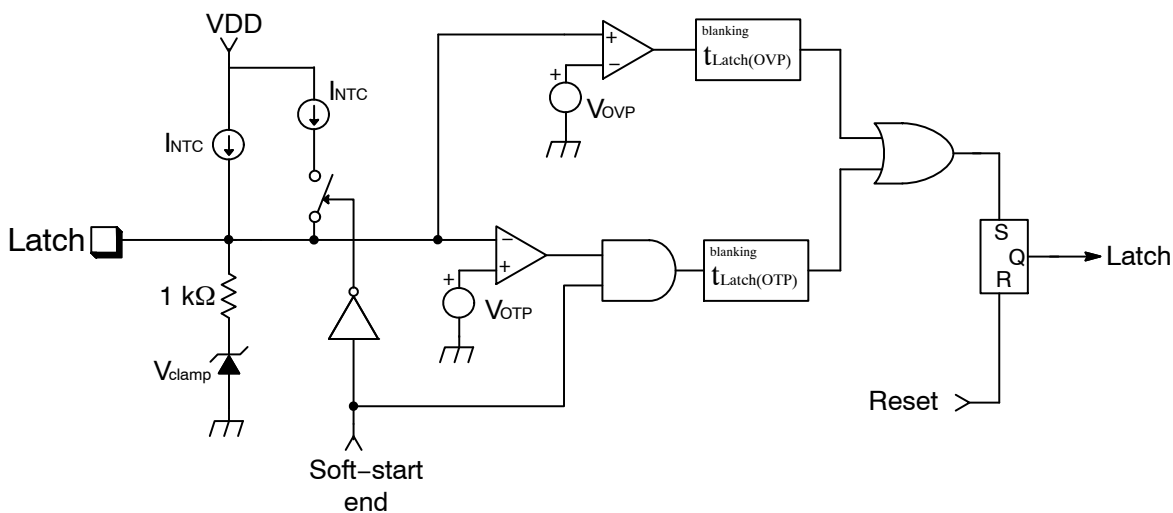


Figure 46. Latch Detection Schematic

ラッチ・ピンは、ラッチオフ機能のために付いています。この機能では、作業用ウィンドウを定義する低ラッチと高ラッチの2レベルの検出を行うことができます。この2つのしきい値内であればコントローラは動作しますが、低しきい値が高しきい値のどちらかが交差するとすぐにコントローラのラッチはオフになります。内部電流源 $I_{NTC}$ があるため、NTCサーミスタでは低いしきい値が使用されます。

$I_{NTC}$ 電流にのみプルアップされている場合は、クランプ機能が有効になり電圧が高しきい値まで上がることを防ぎます。高しきい値まで上げるには、プルアップ電流をクランプのプルダウン容量より大

きくする必要があります (通常、 $V_{OVP}$ の場合は1.5 mA)。

誤トリガを防ぐには、50  $\mu$ s (高ラッチで65 kHzバージョンの場合) または350  $\mu$ s (低ラッチの場合) より短いスパイクを削除し、それより長い信号だけで実際にコントローラをラッチします。

$V_{CC}$ のサイクルがリセット電圧まで下がると、リセットされます。これは、実際のアプリケーションでは電源が主電源から外れた場合でのみ起こります。

起動時は、公称値になるまで内部参照に少し時間がかかるため、コンパレータの1つはその必要がなく

でも切り替えます。そのため、コントローラが起動する準備が整うまで、内部ロジックはラッチ信号を認識しません。 $V_{CC}$ が $V_{CC(on)}$ になると、ラッチ・ピンの高ラッチ状態が認識され、許可されていればDRVスイッチングが作動します。一方で、低ラッチ (通常、超過温度を検出する) はソフトスタートの終了後のみ認識されます。また、ソフトスタート中は、NTC電流は $I_{NTC(SSTART)}$ の2倍になるため、ラッチ・ピン・キャパシタの充電速度も上がります。

ラッチ・ピン・キャパシタの最大値は、以下の式で計算します (標準的な起動状態を考慮し、NTC電流は考慮されていない)。

$$C_{LATCHmax} = \frac{t_{SSTARTmin} \cdot I_{NTC(SSTART)min}}{V_{clamp0min}} \quad (eq. 2)$$

$$= \frac{2.8 \cdot 10^{-3} \cdot 130 \cdot 10^{-6}}{1.0} F = 364 \text{ nF}$$

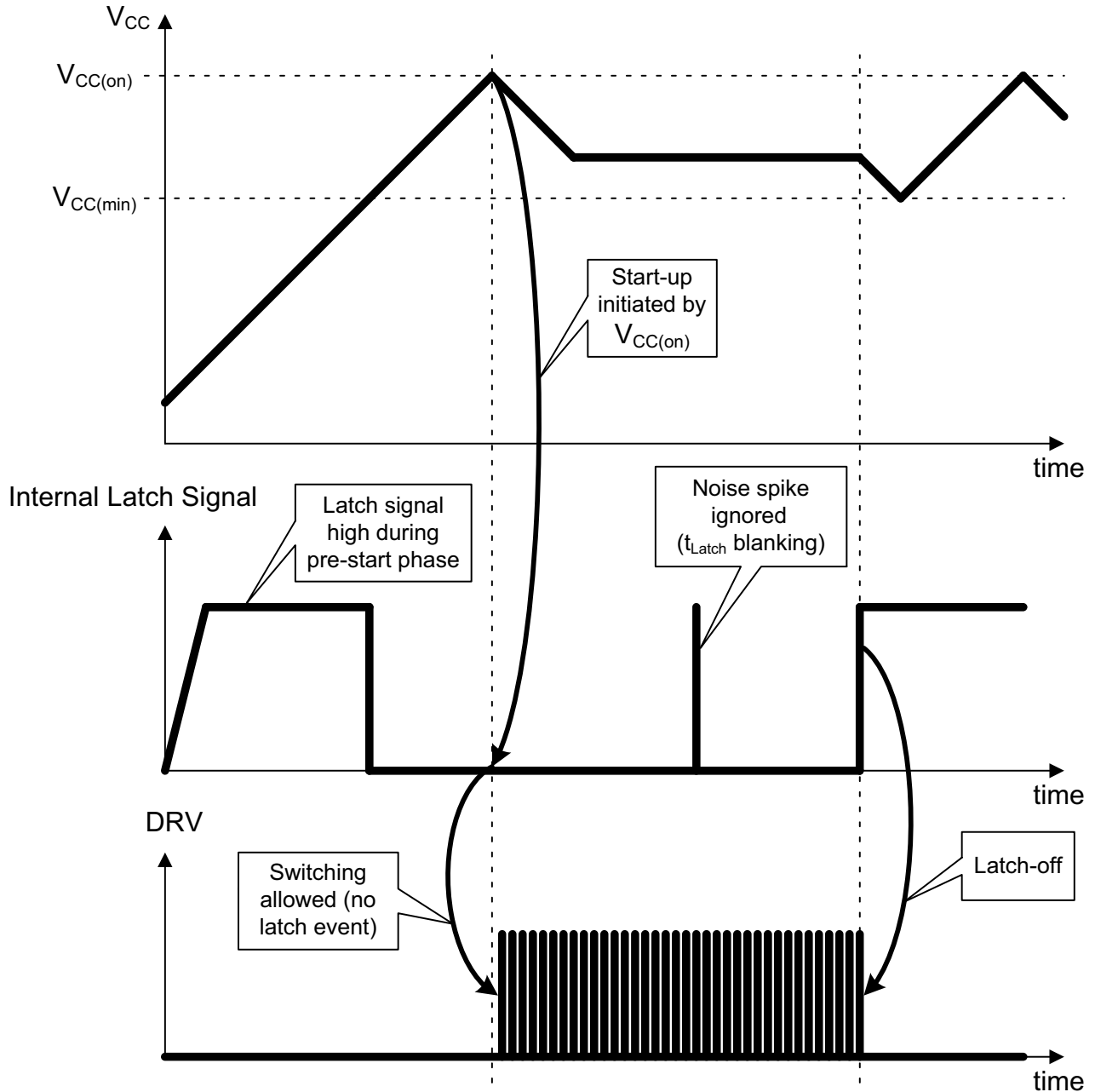


Figure 47. Latch-off Function Timing Diagram

温度シャットダウン

ダイには、135°C以上165°C以下のトリップ・ポイントと30°Cのヒステリシスが保証されている温度シャットダウン機能が搭載されています。温度がしきい値を超えると、コントローラのスイッチングがす

ぐに機能しなくなり、HV電流源がオフになります。内部ロジックの状態はリセットされます。温度が低しきい値以下になると、HV起動電流源が有効になり、通常の起動シーケンスが実行されます。

STATE DIAGRAMS

HV Start-up Current Source

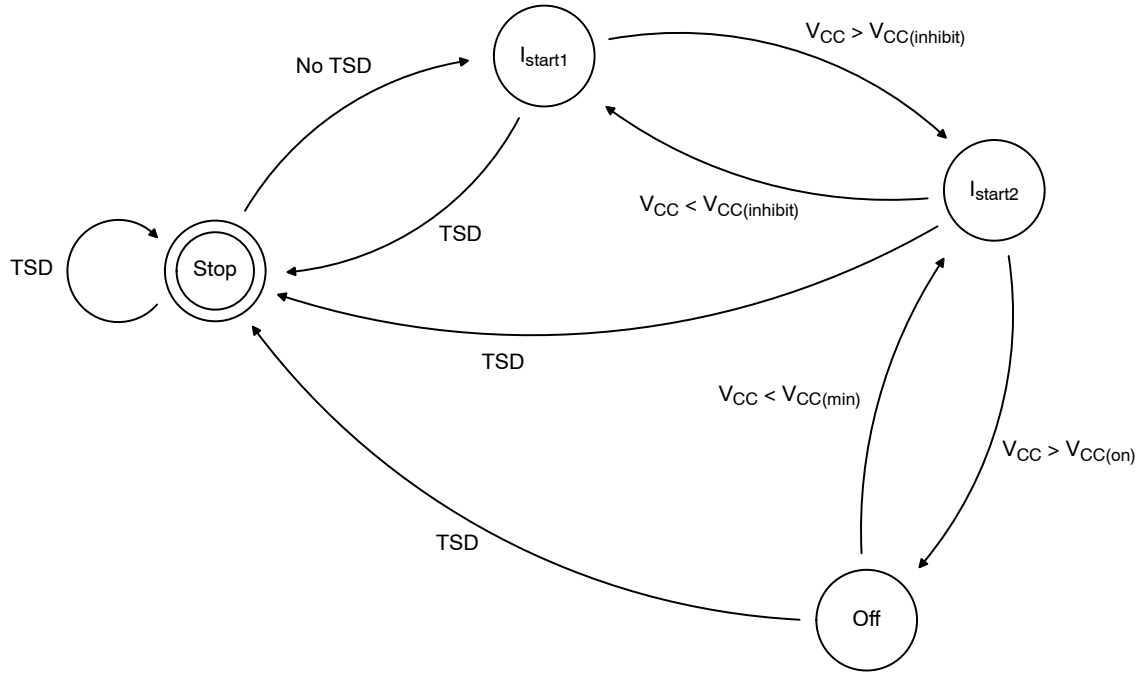


Figure 48. HV Start-up Current Source State Diagram

Controller Operation (Latched Version: A Option)

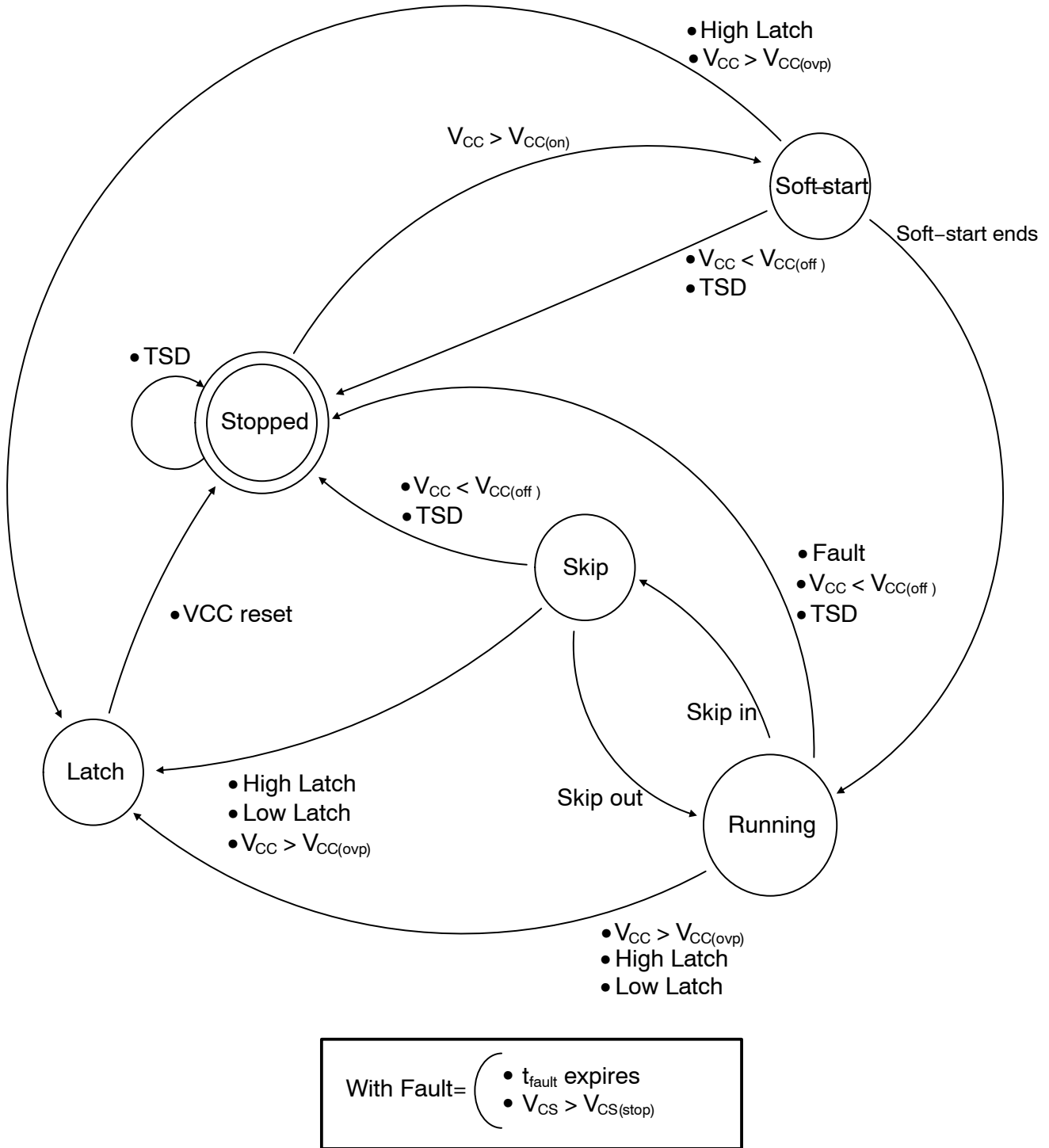


Figure 49. Controller Operation State Diagram (Latched Protection)

Controller Operation (Autorecovery Version: B Option)

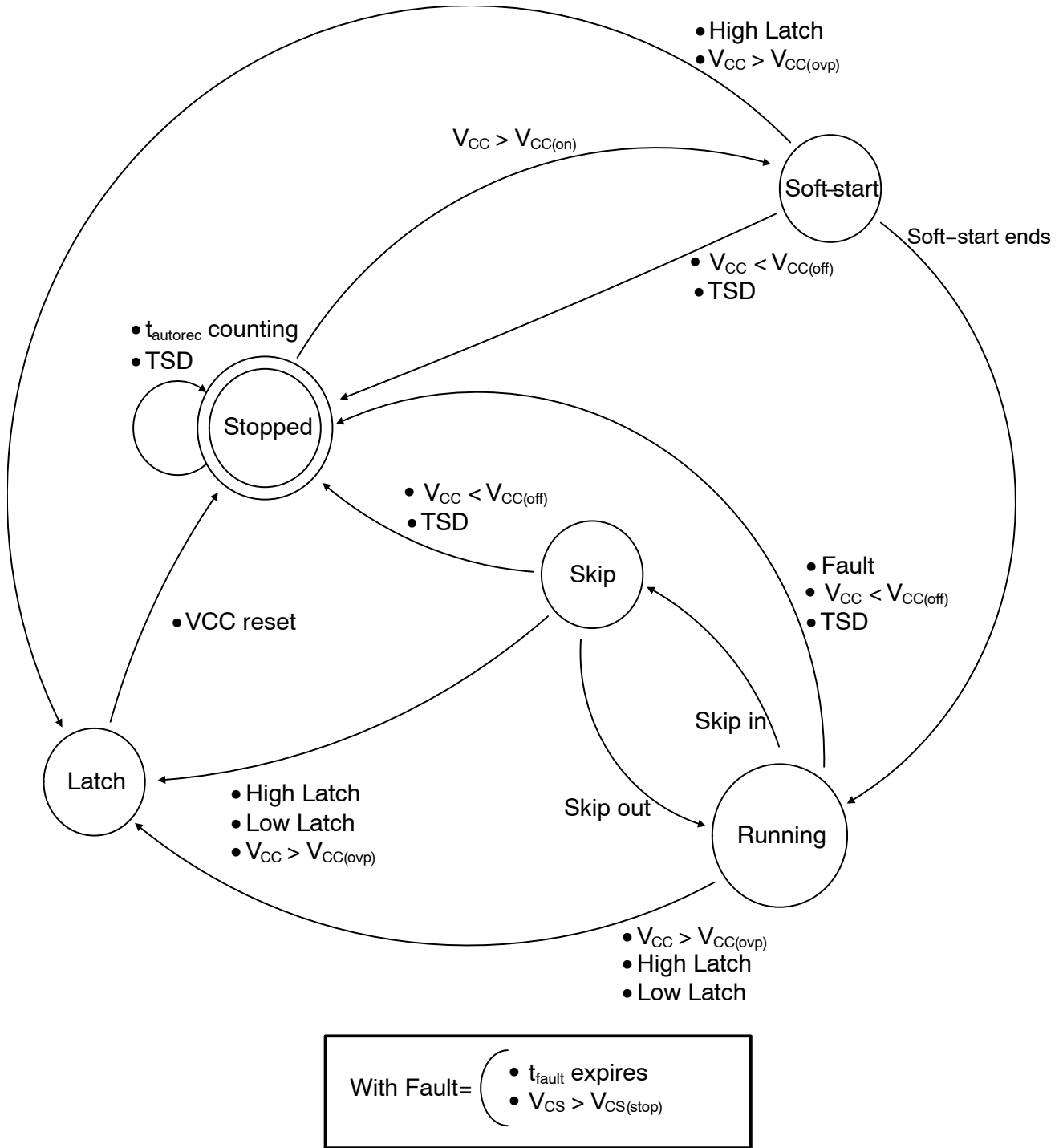


Figure 50. Controller Operation State Diagram (Autorecovery Protection)

# NCP1234

**Table 1. ORDERING INFORMATION**

Part No.	Overload Protection	Switching Frequency	Package	Shipping <sup>†</sup>
NCP1234AD65R2G	Latched	65 kHz	SOIC-7 (Pb-Free)	2500 / Tape & Reel
NCP1234BD65R2G	Autorecovery	65 kHz	SOIC-7 (Pb-Free)	2500 / Tape & Reel
NCP1234AD100R2G	Latched	100 kHz	SOIC-7 (Pb-Free)	2500 / Tape & Reel
NCP1234BD100R2G	Autorecovery	100 kHz	SOIC-7 (Pb-Free)	2500 / Tape & Reel

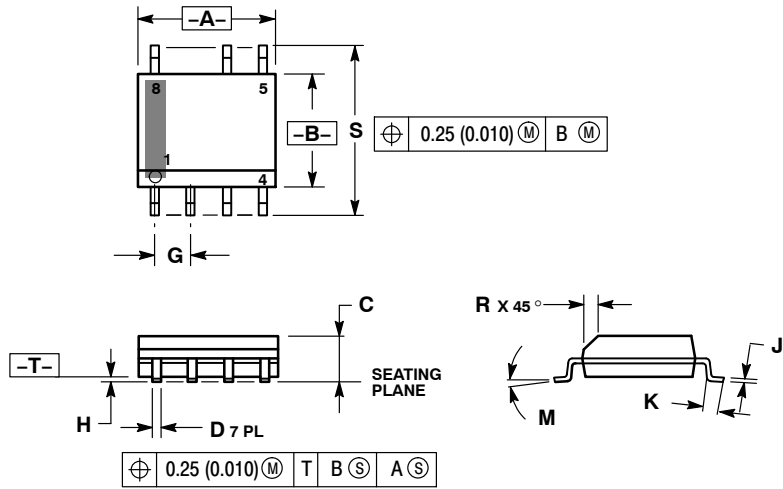
<sup>†</sup>For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.



SCALE 1:1

SOIC-7  
CASE 751U  
ISSUE E

DATE 20 OCT 2009

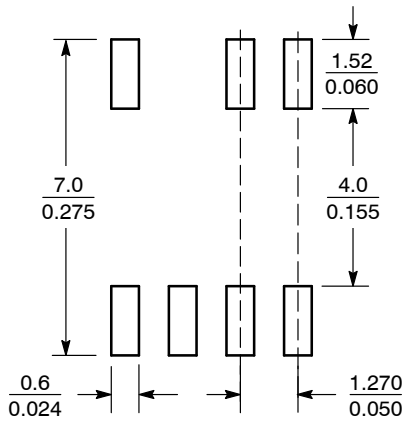


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B ARE DATUMS AND T IS A DATUM SURFACE.
4. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
5. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.

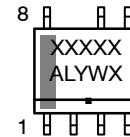
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0° - 8°		0° - 8°	
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT\*



SCALE 6:1 (mm/inches)

GENERIC MARKING DIAGRAM



- XXX = Specific Device Code
- A = Assembly Location
- L = Wafer Lot
- Y = Year
- W = Work Week
- = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

\*For additional information on our Pb-Free strategy and soldering details, please download the onsemi Soldering and Mounting Techniques Reference Manual, [SOLDERRM/D](#).

STYLES ON PAGE 2

DOCUMENT NUMBER:	98AON12199D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-7	PAGE 1 OF 2

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

**SOIC-7**  
**CASE 751U**  
**ISSUE E**

DATE 20 OCT 2009

- |  |  |   |
|--|--|---|
| <p>STYLE 1:<br/>         PIN 1. EMITTER<br/>         2. COLLECTOR<br/>         3. COLLECTOR<br/>         4. EMITTER<br/>         5. EMITTER<br/>         6.<br/>         7. NOT USED<br/>         8. EMITTER</p>                         | <p>STYLE 2:<br/>         PIN 1. COLLECTOR, DIE, #1<br/>         2. COLLECTOR, #1<br/>         3. COLLECTOR, #2<br/>         4. COLLECTOR, #2<br/>         5. BASE, #2<br/>         6. EMITTER, #2<br/>         7. NOT USED<br/>         8. EMITTER, #1</p>                     | <p>STYLE 3:<br/>         PIN 1. DRAIN, DIE #1<br/>         2. DRAIN, #1<br/>         3. DRAIN, #2<br/>         4. DRAIN, #2<br/>         5. GATE, #2<br/>         6. SOURCE, #2<br/>         7. NOT USED<br/>         8. SOURCE, #1</p>   |
| <p>STYLE 4:<br/>         PIN 1. ANODE<br/>         2. ANODE<br/>         3. ANODE<br/>         4. ANODE<br/>         5. ANODE<br/>         6. ANODE<br/>         7. NOT USED<br/>         8. COMMON CATHODE</p>                          | <p>STYLE 5:<br/>         PIN 1. DRAIN<br/>         2. DRAIN<br/>         3. DRAIN<br/>         4. DRAIN<br/>         5.<br/>         6.<br/>         7. NOT USED<br/>         8. SOURCE</p>  | <p>STYLE 6:<br/>         PIN 1. SOURCE<br/>         2. DRAIN<br/>         3. DRAIN<br/>         4. SOURCE<br/>         5. SOURCE<br/>         6.<br/>         7. NOT USED<br/>         8. SOURCE</p>  |
| <p>STYLE 7:<br/>         PIN 1. INPUT<br/>         2. EXTERNAL BYPASS<br/>         3. THIRD STAGE SOURCE<br/>         4. GROUND<br/>         5. DRAIN<br/>         6. GATE 3<br/>         7. NOT USED<br/>         8. FIRST STAGE Vd</p> | <p>STYLE 8:<br/>         PIN 1. COLLECTOR (DIE 1)<br/>         2. BASE (DIE 1)<br/>         3. BASE (DIE 2)<br/>         4. COLLECTOR (DIE 2)<br/>         5. COLLECTOR (DIE 2)<br/>         6. EMITTER (DIE 2)<br/>         7. NOT USED<br/>         8. COLLECTOR (DIE 1)</p> | <p>STYLE 9:<br/>         PIN 1. EMITTER (COMMON)<br/>         2. COLLECTOR (DIE 1)<br/>         3. COLLECTOR (DIE 2)<br/>         4. EMITTER (COMMON)<br/>         5. EMITTER (COMMON)<br/>         6. BASE (DIE 2)<br/>         7. NOT USED<br/>         8. EMITTER (COMMON)</p> |
| <p>STYLE 10:<br/>         PIN 1. GROUND<br/>         2. BIAS 1<br/>         3. OUTPUT<br/>         4. GROUND<br/>         5. GROUND<br/>         6. BIAS 2<br/>         7. NOT USED<br/>         8. GROUND</p>                           | <p>STYLE 11:<br/>         PIN 1. SOURCE (DIE 1)<br/>         2. GATE (DIE 1)<br/>         3. SOURCE (DIE 2)<br/>         4. GATE (DIE 2)<br/>         5. DRAIN (DIE 2)<br/>         6. DRAIN (DIE 2)<br/>         7. NOT USED<br/>         8. DRAIN (DIE 1)</p>                |   |

<b>DOCUMENT NUMBER:</b>	<b>98AON12199D</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>SOIC-7</b>	<b>PAGE 2 OF 2</b>

**onsemi** and **ONSEMI** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

**onsemi**, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## ADDITIONAL INFORMATION

### TECHNICAL PUBLICATIONS:

Technical Library: [www.onsemi.com/design/resources/technical-documentation](http://www.onsemi.com/design/resources/technical-documentation)  
onsemi Website: [www.onsemi.com](http://www.onsemi.com)

### ONLINE SUPPORT: [www.onsemi.com/support](http://www.onsemi.com/support)

For additional information, please contact your local Sales Representative at [www.onsemi.com/support/sales](http://www.onsemi.com/support/sales)