

NCP1608

トランスコンダクタンス・エラー・アンプを利用した臨界導通モードPFCコントローラ

NCP1608は、AC-DCアダプタ、電子安定器などの中電力オフライン・コンバータ(通常は350 Wまで)のプリコンバータ用として特別に設計された、アクティブな力率補正(PFC)コントローラです。臨界導通モード(CrM)を使用することにより、入力電圧と出力電力の幅広い範囲にわたり、1に近い力率を実現します。NCP1608は、安全機能を内蔵することによって外付け部品点数を最小化しているため、PFCステージのロバスト設計を行うのに最適な選択肢となります。この製品はSOIC-8パッケージで提供されます。

一般的な特徴

- 1に近い力率
- 入力電圧検出要件なし
- サイクル単位のオンタイム制御用ラッチング PWM (電圧モード)
- 高電力アプリケーション(> 150 W)向けの幅広い制御範囲によるノイズ耐性
- トランスコンダクタンス・エラー・アンプ
- 高精度電圧リファレンス(全温度範囲で $\pm 1.6\%$)
- 非常に低い起動消費電流($\leq 35 \mu\text{A}$)
- 低標準動作消費電流(2.1 mA)
- ソース電流500 mA/シンク電流800 mAのトーテンポール・ゲート・ドライバ
- ヒステリシス付き低電圧ロックアウト
- 業界標準とピン・コンパチブル
- 鉛フリーかつハロゲン・フリーのデバイス

安全機能

- 過電圧保護
- 低電圧保護
- オープン/フローティング・フィードバック・ループ保護
- 過電流保護
- 正確で調整可能なオンタイム制限

代表的アプリケーション

- ソリッド・ステート照明
- 照明用電子安定器
- ACアダプタ、TV、モニタ
- 力率補正を必要とするすべてのオフライン・アプリケーション



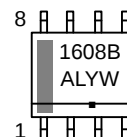
ON Semiconductor®

www.onsemi.jp



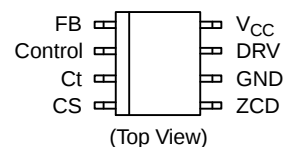
SOIC-8
D SUFFIX
CASE 751

MARKING DIAGRAM



A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

PIN CONNECTION



ORDERING INFORMATION

Device	Package	Shipping†
NCP1608BDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

NCP1608

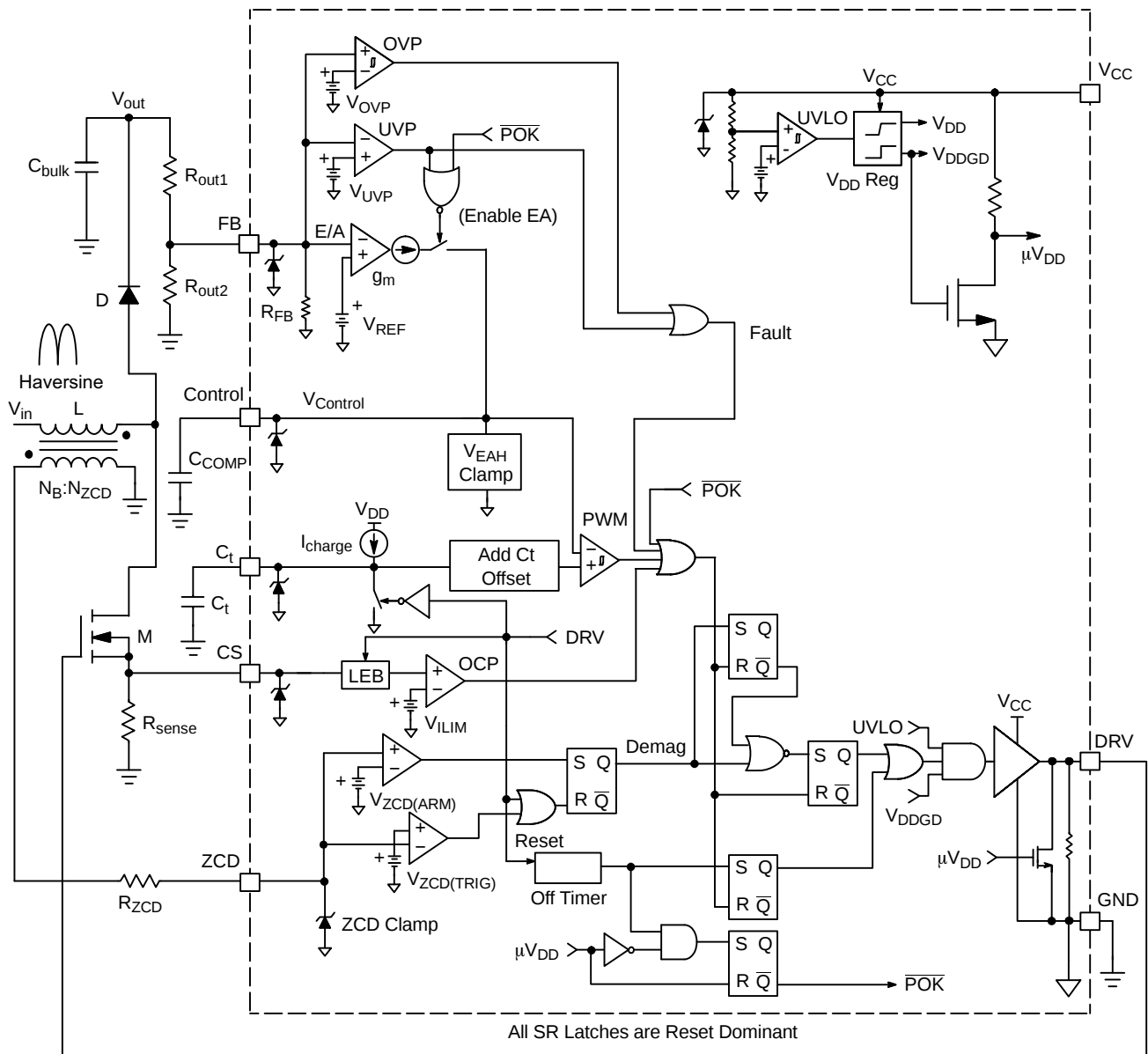
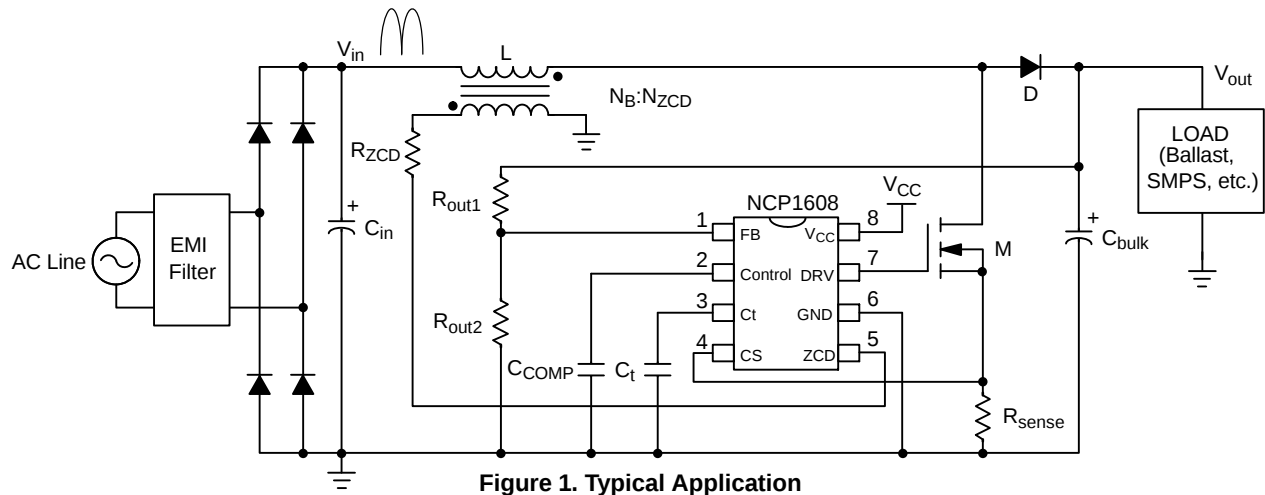


Table 1. PIN FUNCTION DESCRIPTION

Pin	Name	Function
1	FB	The FB pin is the inverting input of the internal error amplifier. A resistor divider scales the output voltage to V_{REF} to maintain regulation. The feedback voltage is used for overvoltage and undervoltage protections. The controller is disabled when this pin is forced to a voltage less than V_{UVP} , a voltage greater than V_{OVP} , or floating.
2	Control	The Control pin is the output of the internal error amplifier. A compensation network is connected between the Control pin and ground to set the loop bandwidth. A low bandwidth yields a high power factor and a low Total Harmonic Distortion (THD).
3	Ct	The Ct pin sources a current to charge an external timing capacitor. The circuit controls the power switch on time by comparing the Ct voltage to an internal voltage derived from $V_{Control}$. The Ct pin discharges the external timing capacitor at the end of the on time.
4	CS	The CS pin limits the cycle-by-cycle current through the power switch. When the CS voltage exceeds V_{ILIM} , the drive turns off. The sense resistor that connects to the CS pin programs the maximum switch current.
5	ZCD	The voltage of an auxiliary winding is sensed by this pin to detect the inductor demagnetization for CrM operation.
6	GND	The GND pin is analog ground.
7	DRV	The integrated driver has a typical source impedance of 12 Ω and a typical sink impedance of 6 Ω .
8	V_{CC}	The V_{CC} pin is the positive supply of the controller. The controller is enabled when V_{CC} exceeds $V_{CC(on)}$ and is disabled when V_{CC} decreases to less than $V_{CC(off)}$.

Table 2. MAXIMUM RATINGS

Rating	Symbol	Value	Unit
FB Voltage	V_{FB}	-0.3 to 10	V
FB Current	I_{FB}	± 10	mA
Control Voltage	$V_{Control}$	-0.3 to 6.5	V
Control Current	$I_{Control}$	-2 to 10	mA
Ct Voltage	V_{Ct}	-0.3 to 6	V
Ct Current	I_{Ct}	± 10	mA
CS Voltage	V_{CS}	-0.3 to 6	V
CS Current	I_{CS}	± 10	mA
ZCD Voltage	V_{ZCD}	-0.3 to 10	V
ZCD Current	I_{ZCD}	± 10	mA
DRV Voltage	V_{DRV}	-0.3 to V_{CC}	V
DRV Sink Current	$I_{DRV(sink)}$	800	mA
DRV Source Current	$I_{DRV(source)}$	500	mA
Supply Voltage	V_{CC}	-0.3 to 20	V
Supply Current	I_{CC}	± 20	mA
Power Dissipation ($T_A = 70^\circ\text{C}$, 2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad)	P_D	450	mW
Thermal Resistance Junction-to-Ambient (2.0 Oz Cu, 55 mm ² Printed Circuit Copper Clad)	$R_{\theta JA}$	178	$^\circ\text{C/W}$
Junction-to-Air, Low conductivity PCB (Note 3)	$R_{\theta JA}$	168	
Junction-to-Air, High conductivity PCB (Note 4)	$R_{\theta JA}$	127	
Operating Junction Temperature Range (Note 5)	T_J	-55 to +125	$^\circ\text{C}$
Maximum Junction Temperature	$T_{J(MAX)}$	150	$^\circ\text{C}$
Storage Temperature Range	T_{STG}	-65 to +150	$^\circ\text{C}$
Lead Temperature (Soldering, 10 s)	T_L	300	$^\circ\text{C}$

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

1. This device series contains ESD protection and exceeds the following tests:

Pins 1 – 8: Human Body Model 2000 V per JEDEC Standard JESD22-A114E.

Charged Device Model 1000 V per JEDEC Standard JESD22-C101E.

2. This device contains Latch-Up protection and exceeds ± 100 mA per JEDEC Standard JESD78.

3. As mounted on a 40x40x1.5 mm FR4 substrate with a single layer of 80 mm² of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51 low conductivity test PCB. Test conditions were under natural convection or zero air flow.

4. As mounted on a 40x40x1.5 mm FR4 substrate with a single layer of 650 mm² of 2 oz copper traces and heat spreading area. As specified for a JEDEC 51 high conductivity test PCB. Test conditions were under natural convection or zero air flow.

5. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

NCP1608

Table 3. ELECTRICAL CHARACTERISTICS

$V_{FB} = 2.4\text{ V}$, $V_{Control} = 4\text{ V}$, $C_t = 1\text{ nF}$, $V_{CS} = 0\text{ V}$, $V_{ZCD} = 0\text{ V}$, $C_{DRV} = 1\text{ nF}$, $V_{CC} = 12\text{ V}$, unless otherwise specified
(For typical values, $T_J = 25^\circ\text{C}$. For min/max values, $T_J = -55^\circ\text{C}$ to 125°C (Note 6), $V_{CC} = 12\text{ V}$, unless otherwise specified)

Characteristic	Test Conditions	Symbol	Min	Typ	Max	Unit
STARTUP AND SUPPLY CIRCUITS						
Startup Voltage Threshold	V_{CC} Increasing	$V_{CC(on)}$	11	12	12.5	V
Minimum Operating Voltage	V_{CC} Decreasing	$V_{CC(off)}$	8.8	9.5	10.2	V
Supply Voltage Hysteresis		H_{UVLO}	2.2	2.5	2.8	V
Startup Current Consumption	$0\text{ V} < V_{CC} < V_{CC(on)} - 200\text{ mV}$	$I_{cc(startup)}$	–	24	35	μA
No Load Switching Current Consumption	$C_{DRV} = \text{open}$, 70 kHz Switching, $V_{CS} = 2\text{ V}$	I_{cc1}	–	1.4	1.7	mA
Switching Current Consumption	70 kHz Switching, $V_{CS} = 2\text{ V}$	I_{cc2}	–	2.1	2.6	mA
Fault Condition Current Consumption	No Switching, $V_{FB} = 0\text{ V}$	$I_{cc(fault)}$	–	0.75	0.95	mA
OVERVOLTAGE AND UNDERVOLTAGE PROTECTION						
Overvoltage Detect Threshold	$V_{FB} = \text{Increasing}$	V_{OVP}/V_{REF}	105	106	108	%
Overvoltage Hysteresis		$V_{OVP(HYS)}$	20	60	100	mV
Overvoltage Detect Threshold Propagation Delay	$V_{FB} = 2\text{ V}$ to 3 V ramp, $dV/dt = 1\text{ V}/\mu\text{s}$ $V_{FB} = V_{OVP}$ to $V_{DRV} = 10\%$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	t_{OVP}	300 210	500 500	800 800	ns
Undervoltage Detect Threshold	$V_{FB} = \text{Decreasing}$	V_{UVP}	0.25	0.31	0.4	V
Undervoltage Detect Threshold Propagation Delay	$V_{FB} = 1\text{ V}$ to 0 V ramp, $dV/dt = 10\text{ V}/\mu\text{s}$ $V_{FB} = V_{UVP}$ to $V_{DRV} = 10\%$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	t_{UVP}	100 50	200 200	300 300	ns
ERROR AMPLIFIER						
Voltage Reference	$T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ to 125°C $T_J = -55^\circ\text{C}$ to 125°C (Note 6)	V_{REF}	2.475 2.460 2.450	2.500 2.500 2.500	2.525 2.540 2.540	V
Voltage Reference Line Regulation	$V_{CC(on)} + 200\text{ mV} < V_{CC} < 20\text{ V}$	$V_{REF(line)}$	–10	–	10	mV
Error Amplifier Current Capability	$V_{FB} = 2.6\text{ V}$ $V_{FB} = 1.08 \cdot V_{REF}$ $V_{FB} = 0.5\text{ V}$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	$I_{EA(sink)}$ $I_{EA(sink)OVP}$ $I_{EA(source)}$	6 10 –250 –250	10 20 –210 –210	20 30 –110 –88	μA
Transconductance	$V_{FB} = 2.4\text{ V}$ to 2.6 V $T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ to 125°C $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	gm	90 70 70	110 110 110	120 135 150	μS
Feedback Pin Internal Pull-Down Resistor	$V_{FB} = V_{UVP}$ to V_{REF}	R_{FB}	2	4.6	10	$\text{M}\Omega$
Feedback Bias Current	$V_{FB} = 2.5\text{ V}$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	I_{FB}	0.25 0.2	0.54 0.54	1.25 1.25	μA
Control Bias Current	$V_{FB} = 0\text{ V}$	$I_{Control}$	–1	–	1	μA
Maximum Control Voltage	$I_{Control(pullup)} = 10\text{ }\mu\text{A}$, $V_{FB} = V_{REF}$ $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$ $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6)	V_{EAH}	5 5	5.5 5.5	6 6.05	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

6. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

NCP1608

Table 3. ELECTRICAL CHARACTERISTICS (Continued)

$V_{FB} = 2.4\text{ V}$, $V_{Control} = 4\text{ V}$, $C_t = 1\text{ nF}$, $V_{CS} = 0\text{ V}$, $V_{ZCD} = 0\text{ V}$, $C_{DRV} = 1\text{ nF}$, $V_{CC} = 12\text{ V}$, unless otherwise specified
(For typical values, $T_J = 25^\circ\text{C}$. For min/max values, $T_J = -55^\circ\text{C}$ to $+125^\circ\text{C}$ (Note 6), $V_{CC} = 12\text{ V}$, unless otherwise specified)

Characteristic	Test Conditions	Symbol	Min	Typ	Max	Unit
----------------	-----------------	--------	-----	-----	-----	------

ERROR AMPLIFIER

Minimum Control Voltage to Generate Drive Pulses	$V_{Control} = \text{Decreasing until } V_{DRV} \text{ is low, } V_{Ct} = 0\text{ V}$ $T_J = -40^\circ\text{C to } +125^\circ\text{C}$ $T_J = -55^\circ\text{C to } +125^\circ\text{C}$ (Note 6)	$C_{t(\text{offset})}$	0.37 0.37	0.65 0.65	0.88 1.1	V
Control Voltage Range	$V_{EAH} - C_{t(\text{offset})}$	$V_{EA(\text{DIFF})}$	4.5	4.9	5.3	V

RAMP CONTROL

Ct Peak Voltage	$V_{Control} = \text{open}$	$V_{Ct(\text{MAX})}$	4.775	4.93	5.025	V
On Time Capacitor Charge Current	$V_{Control} = \text{open}$ $V_{Ct} = 0\text{ V to } V_{Ct(\text{MAX})}$	I_{charge}	235	275	297	μA
Ct Capacitor Discharge Duration	$V_{Control} = \text{open}$ $V_{Ct} = V_{Ct(\text{MAX})} - 100\text{ mV to } 500\text{ mV}$	$t_{Ct(\text{discharge})}$	–	50	150	ns
PWM Propagation Delay	$dV/dt = 30\text{ V}/\mu\text{s}$ $V_{Ct} = V_{Control} - C_{t(\text{offset})}$ to $V_{DRV} = 10\%$	t_{PWM}	–	130	220	ns

CURRENT SENSE

Current Sense Voltage Threshold		V_{ILIM}	0.45	0.5	0.55	V
Leading Edge Blanking Duration	$V_{CS} = 2\text{ V}$, $V_{DRV} = 90\%$ to 10%	t_{LEB}	100	190	350	ns
Overcurrent Detection Propagation Delay	$dV/dt = 10\text{ V}/\mu\text{s}$ $V_{CS} = V_{ILIM} \text{ to } V_{DRV} = 10\%$	t_{CS}	40	100	170	ns
Current Sense Bias Current	$V_{CS} = 2\text{ V}$	I_{CS}	–1	–	1	μA

ZERO CURRENT DETECTION

ZCD Arming Threshold	$V_{ZCD} = \text{Increasing}$	$V_{ZCD(\text{ARM})}$	1.25	1.4	1.55	V
ZCD Triggering Threshold	$V_{ZCD} = \text{Decreasing}$	$V_{ZCD(\text{TRIG})}$	0.6	0.7	0.83	V
ZCD Hysteresis		$V_{ZCD(\text{HYS})}$	500	700	900	mV
ZCD Bias Current	$V_{ZCD} = 5\text{ V}$	I_{ZCD}	–2	–	+2	μA
Positive Clamp Voltage	$I_{ZCD} = 3\text{ mA}$ $T_J = -40^\circ\text{C to } +125^\circ\text{C}$ $T_J = -55^\circ\text{C to } +125^\circ\text{C}$ (Note 6)	$V_{CL(\text{POS})}$	9.8 9.2	10 10	12 12	V
Negative Clamp Voltage	$I_{ZCD} = -2\text{ mA}$ $T_J = -40^\circ\text{C to } +125^\circ\text{C}$ $T_J = -55^\circ\text{C to } +125^\circ\text{C}$ (Note 6)	$V_{CL(\text{NEG})}$	–0.9 –1.1	–0.7 –0.7	–0.5 –0.5	V
ZCD Propagation Delay	$V_{ZCD} = 2\text{ V to } 0\text{ V ramp}$, $dV/dt = 20\text{ V}/\mu\text{s}$ $V_{ZCD} = V_{ZCD(\text{TRIG})} \text{ to } V_{DRV} = 90\%$	t_{ZCD}	–	100	170	ns
Minimum ZCD Pulse Width		t_{SYNC}	–	70	–	ns
Maximum Off Time in Absence of ZCD Transition	Falling $V_{DRV} = 10\%$ to Rising $V_{DRV} = 90\%$	t_{start}	75	165	300	μs

DRIVE

Drive Resistance	$I_{\text{source}} = 100\text{ mA}$ $I_{\text{sink}} = 100\text{ mA}$	R_{OH} R_{OL}	– –	12 6	20 13	Ω
Rise Time	10% to 90%	t_{rise}	–	35	80	ns
Fall Time	90% to 10%	t_{fall}	–	25	70	ns
Drive Low Voltage	$V_{CC} = V_{CC(\text{on})} - 200\text{ mV}$, $I_{\text{sink}} = 10\text{ mA}$	$V_{\text{out}(\text{start})}$	–	–	0.2	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

6. For coldest temperature, QA sampling at -40°C in production and -55°C specification is Guaranteed by Characterization.

TYPICAL CHARACTERISTICS

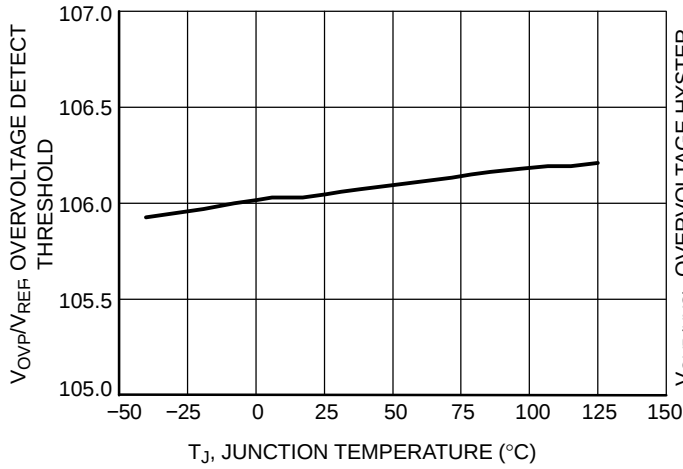


Figure 3. Overvoltage Detect Threshold vs. Junction Temperature

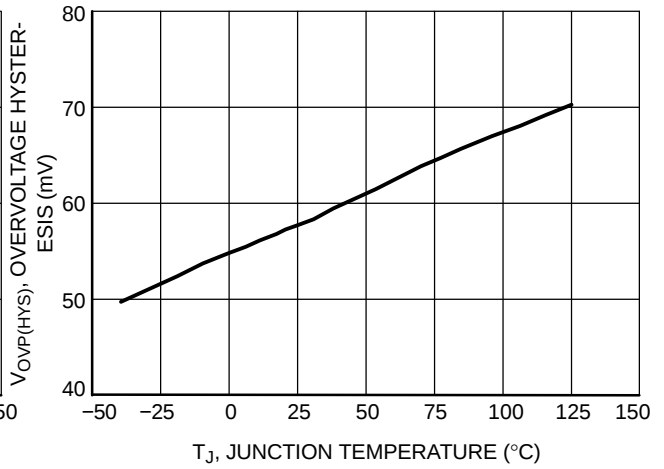


Figure 4. Overvoltage Hysteresis vs. Junction Temperature

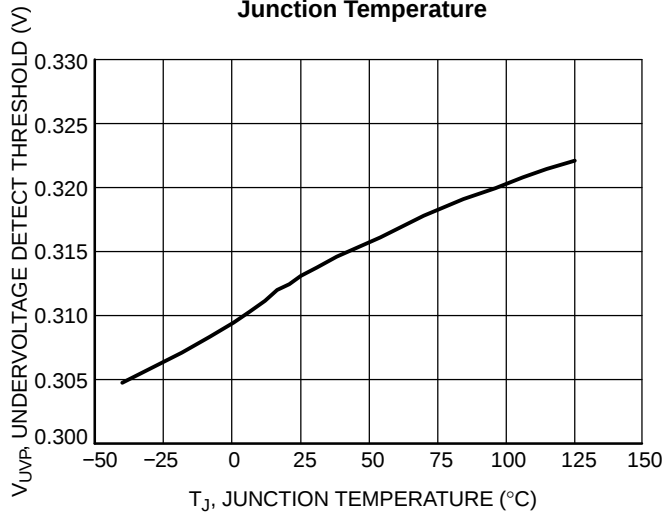


Figure 5. Undervoltage Detect Threshold vs. Junction Temperature

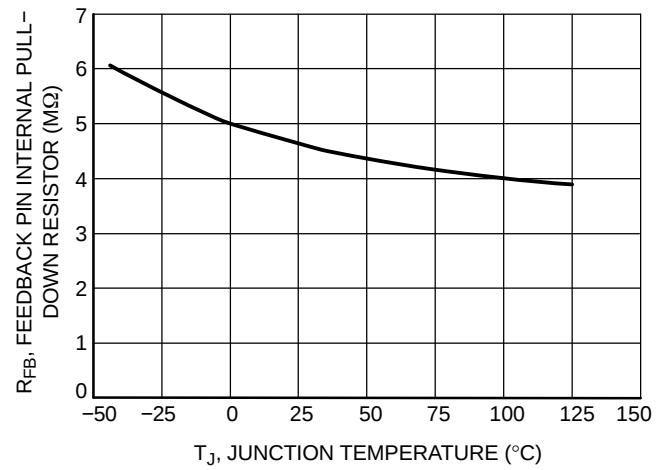


Figure 6. Feedback Pin Internal Pull-Down Resistor vs. Junction Temperature

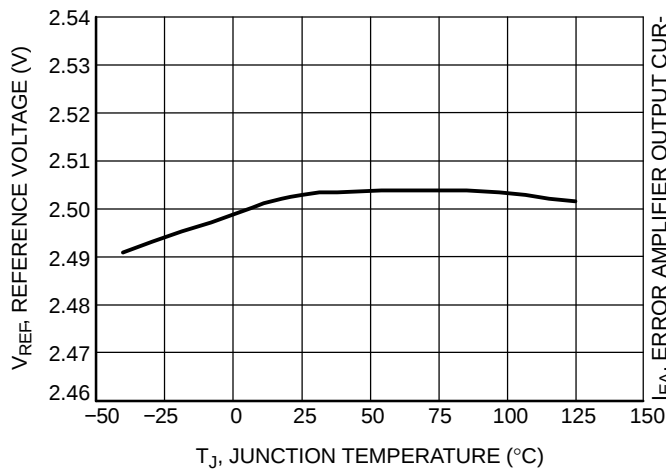


Figure 7. Reference Voltage vs. Junction Temperature

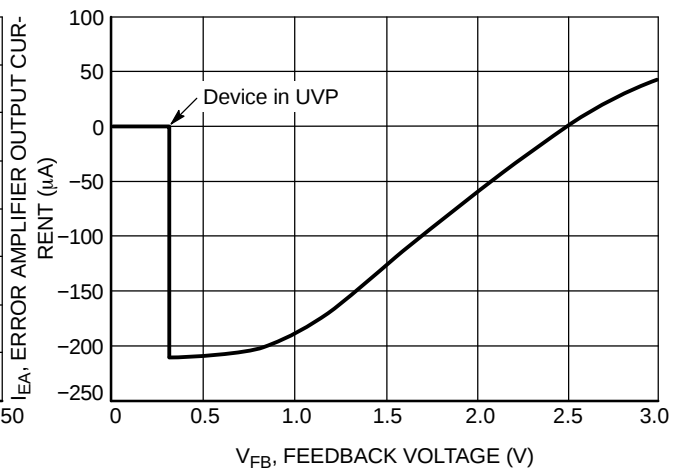


Figure 8. Error Amplifier Output Current vs. Feedback Voltage

TYPICAL CHARACTERISTICS

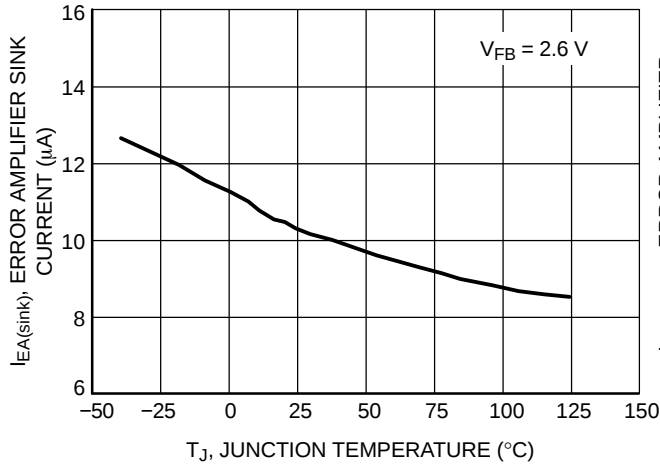


Figure 9. Error Amplifier Sink Current vs. Junction Temperature

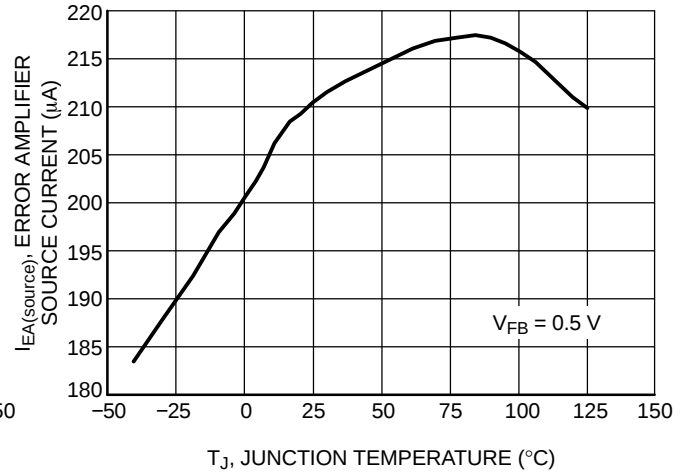


Figure 10. Error Amplifier Source Current vs. Junction Temperature

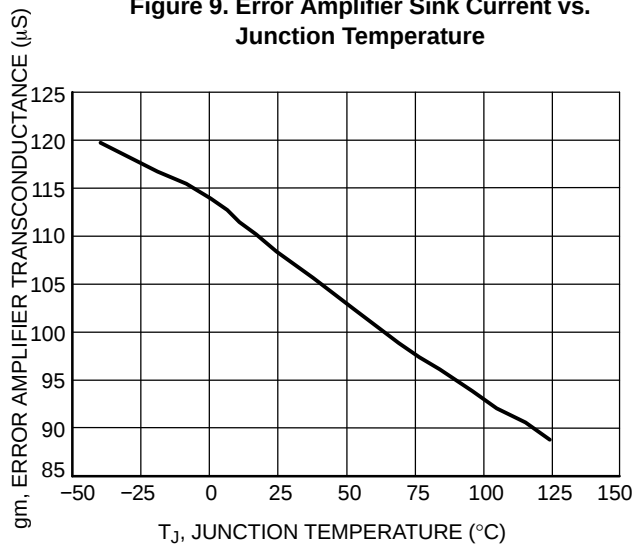


Figure 11. Error Amplifier Transconductance vs. Junction Temperature

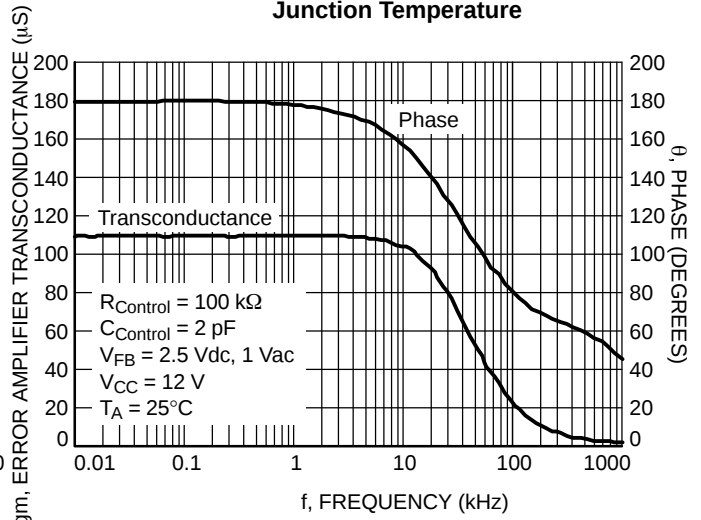


Figure 12. Error Amplifier Transconductance and Phase vs. Frequency

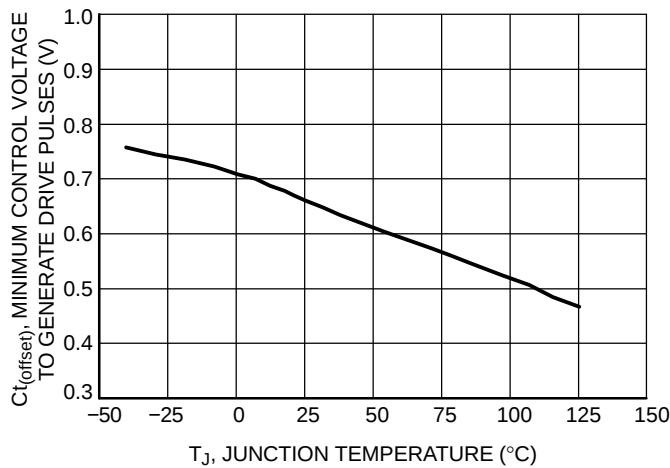


Figure 13. Minimum Control Voltage to Generate Drive Pulses vs. Junction Temperature

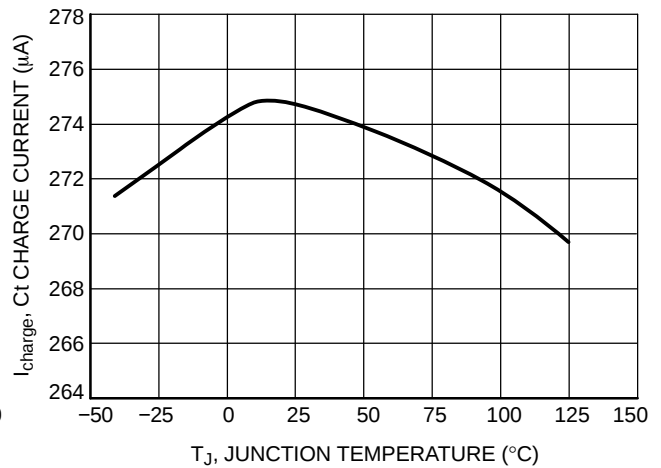


Figure 14. On Time Capacitor Charge Current vs. Junction Temperature

TYPICAL CHARACTERISTICS

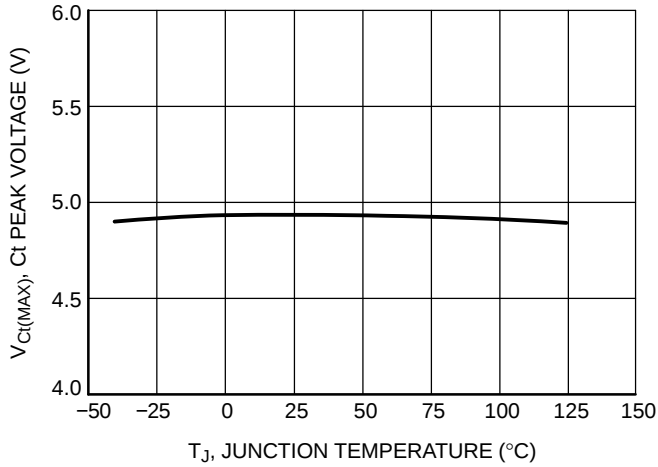


Figure 15. Ct Peak Voltage vs. Junction Temperature

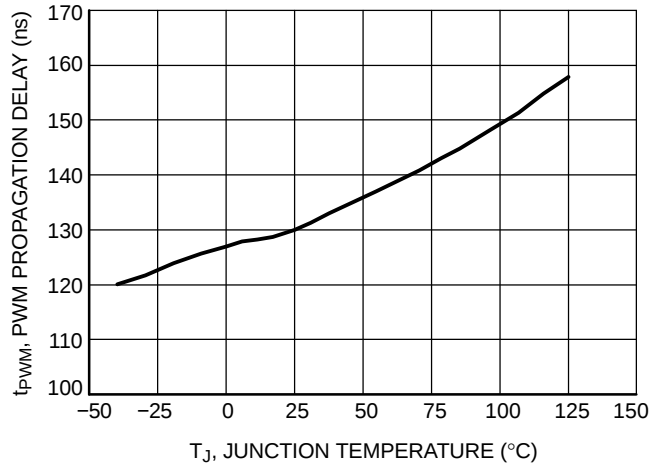


Figure 16. PWM Propagation Delay vs. Junction Temperature

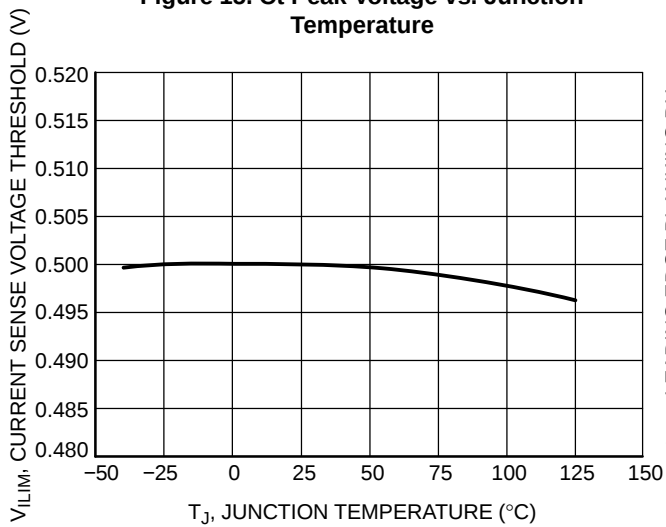


Figure 17. Current Sense Voltage Threshold vs. Junction Temperature

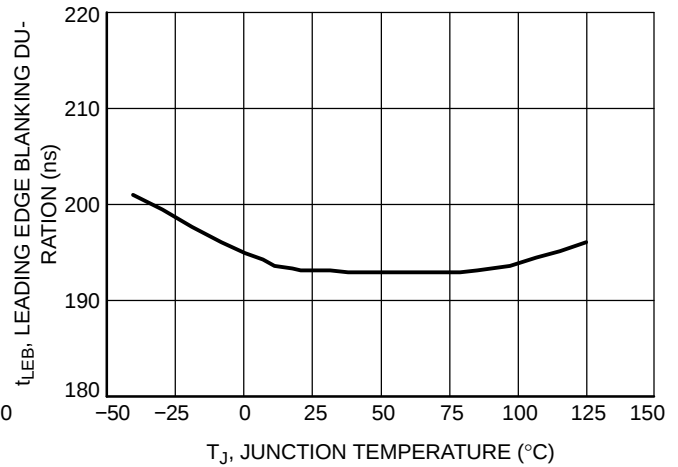


Figure 18. Leading Edge Blanking Duration vs. Junction Temperature

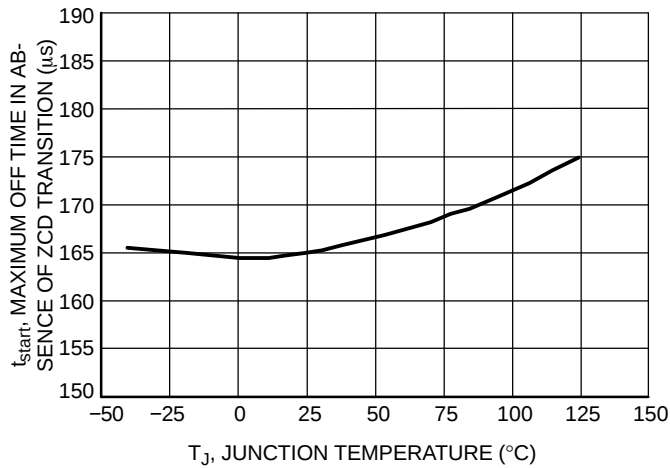


Figure 19. Maximum Off Time in Absence of ZCD Transition vs. Junction Temperature

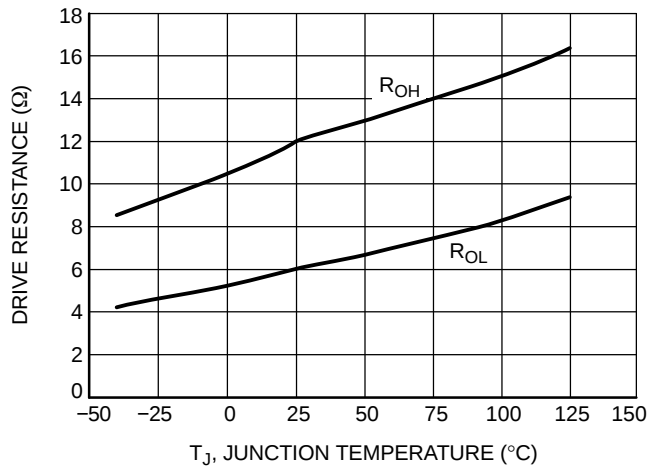


Figure 20. Drive Resistance vs. Junction Temperature

TYPICAL CHARACTERISTICS

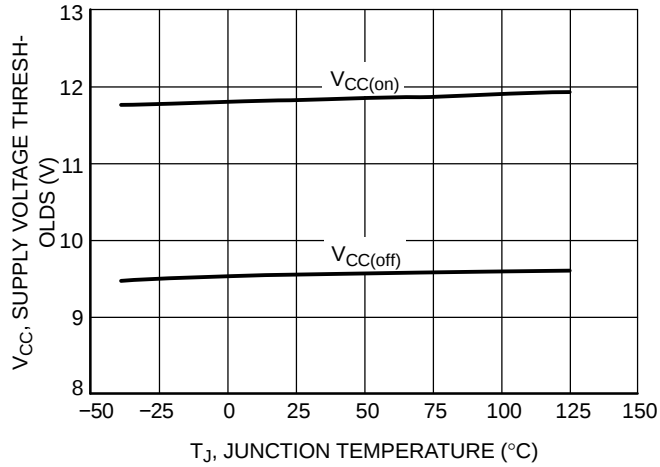


Figure 21. Supply Voltage Thresholds vs. Junction Temperature

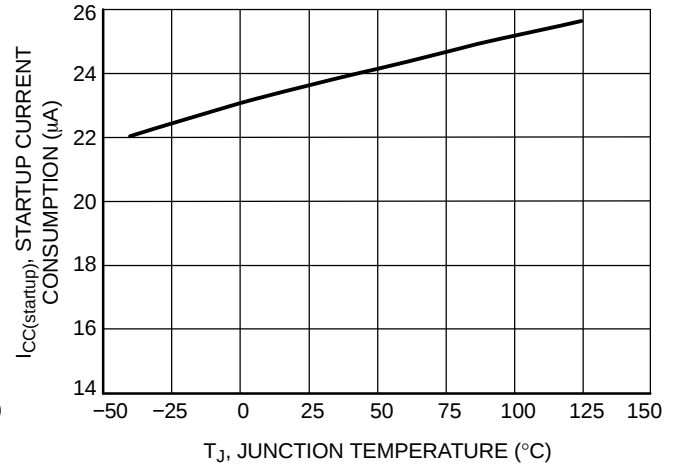


Figure 22. Startup Current Consumption vs. Junction Temperature

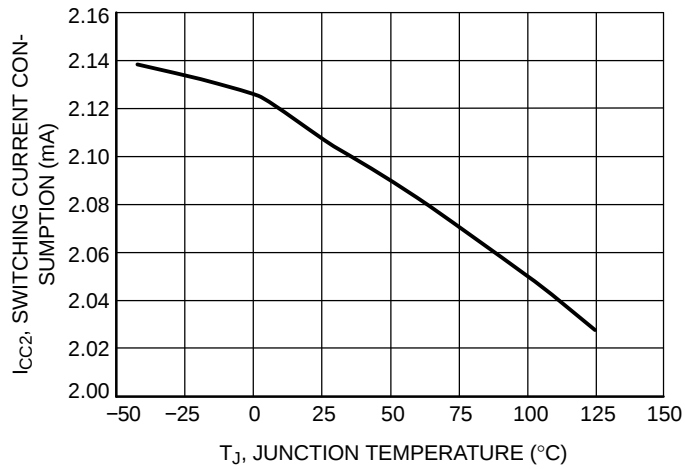


Figure 23. Switching Current Consumption vs. Junction Temperature

はじめに

NCP1608は、費用効果に優れたプリコンバータをドライブし、ライン電流の高調波規制に適合するために設計された、電圧モードの力率補正(PFC)コントローラです。このコントローラは、350 Wまでのアプリケーションに適した臨界導通モード(CrM)で動作します。この電圧モード方式によって、ライン検出ネットワークなしで1に近い力率を得ることができます。高精度トランスコンダクタンス・エラー・アンプによって、出力電圧を安定化させます。このコントローラは、ロバスト設計のための総合的な安全機能を実装しています。

NCP1608の主な特長は次のとおりです。

- 定オンタイム(電圧モード)のCrM動作。入力電圧検出なしで高い力率を実現します。これによって、低いスタンバイ消費電力を可能にします。
- 正確で調整可能なオンタイム制限。NCP1608は、正確な電流源と外部コンデンサを使用してオンタイムを生成します。
- 幅広い制御範囲。高電力アプリケーション(> 150 W)では、ノイズ耐性がないと、高入力電圧時と高出力電力時に意図しないパルス・スキップが発生するおそれがあります。NCP1608のノイズ耐性によって、偶発的なパルス・スキップを防止します。
- 高精度電圧リファレンス。エラー・アンプのリファレンス電圧は、全プロセスおよび全温度範囲にわたって、 $2.5\text{ V} \pm 1.6\%$ で保証されています。これにより、正確な出力電圧が得られます。
- 低い起動消費電流。起動時の消費電流は、最小にまで低減されています($< 35\text{ }\mu\text{A}$)。これによって、迅速で損失の少ない V_{CC} の充電を可能にします。NCP1608は定電圧ロックアウトを内蔵しており、起動時に十分な V_{CC} ヒステリシスを提供して、 V_{CC} コンデンサの値を小さくすることができます。
- 強力な出力ドライバ。ソース電流500 mA/シンク電流800 mAのトーテンポール・ゲート・ドライバによって、オンタイム、オフタイムの迅速な切り替えが可能です。これによって効率が改善され、より高電力のMOSFETをドライブすることができます。アクティブ回路とパッシブ回路を組み合わせることにより、 V_{CC} が $V_{CC(on)}$ を超えない場合に、ドライバの出力電圧が上昇するのを防ぎます。
- 正確で固定された過電圧保護(OVP)。OVP機能は、システムに損傷を与えるおそれのある過剰な出力オーバシュートから、PFCステージを保護します。通常、オーバシュートは起動中、または過渡負荷の間に発生します。
- 低電圧保護(UVP)。UVP機能は、 C_{bulk} への電力パスが断線している(つまり、 C_{bulk} に充電不能)場合に、システムを保護します。
- オープン・フィードバック・ループからの保護。OVP機能およびUVP機能は、出力分割器ネットワ

ークとFBピンとの断線から保護します。FBピンが浮いている場合、内部の抵抗(R_{FB})がシステムを保護します(フローティング・ピン保護(FPP))。

- 過電流保護(OCP)。ピーク・インダクタ電流は、サイクル単位で正確に制限されます。最大ピーク・インダクタ電流は、電流センス抵抗を変更することにより調整できます。内蔵されているLEBフィルタは、ノイズによって意図しない過電流制限が発生する確率を低減します。
- シャットダウン機能。PFCプリコンバータは、FBピンの電圧を強制的に V_{UVP} よりも低くすることによって、シャットダウンされます。シャットダウン・モードでは、 I_{CC} の消費電流が減少し、エラー・アンプはディセーブルされます。

アプリケーション情報

ほとんどの電子安定器およびスイッチング電源は、ダイオード・ブリッジ整流器と大容量コンデンサを使用して、公共のACラインからDC電圧を生成します(Figure 24)。生成されたDC電圧は追加回路によって処理され、目的の出力をドライブします。

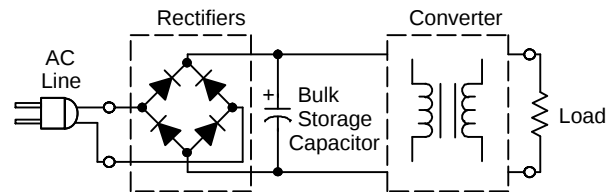


Figure 24. Typical Circuit without PFC

整流回路は、瞬時AC電圧がコンデンサの電圧を超えると、ラインからの電流を消費します。これはライン電圧のピーク付近で起き、生成される電流は高調波成分を多く含む非正弦波です。これによって、力率が減少します(通常は < 0.6)。その結果、見かけ上の入力電力は、実際に負荷に供給される電力よりも大きくなります。複数のデバイスが同じ入力ラインに接続されている場合、この効果が増大し、「凹曲線」が生じます(Figure 25)。

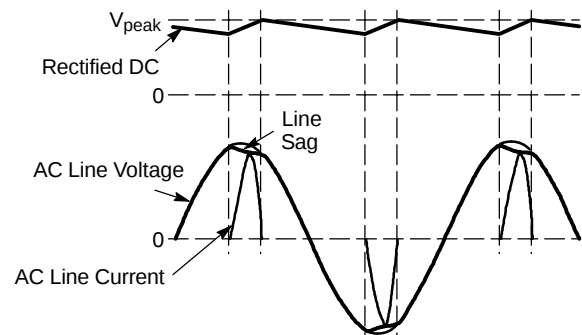


Figure 25. Typical Line Waveforms without PFC

政府規制および電力会社は、ライン電流の高周波成分を減らすことを要求しています。規制に従うには、パッシブ回路またはアクティブ回路のいずれかによる力率補正を実装します。パッシブ回路には、ACライン周波数で動作する、大容量コンデンサ、インダクタ、整流器の組み合わせが含まれます。アクティブ回路は、高周波スイッチング・コンバータを使用して、入力電流の高調波を安定化させます。アクティブ回路は、高周波で動作するため小型化、軽量化が可能であり、パッシブ回路よりも効率的に動作します。

アクティブPFCステージを適切に制御することにより、どんなに複雑な負荷でも線形抵抗をエミュレートすることができ、それによって電流の高調波成分が著しく減少します。アクティブPFC回路は、このような利点のために、高調波成分要件に適合する最も一般的な方法となっています。通常、アクティブPFC回路は、整流器ブリッジとバルク・コンデンサの間にPFCプリコンバータを挿入して構成されます(Figure 26)。

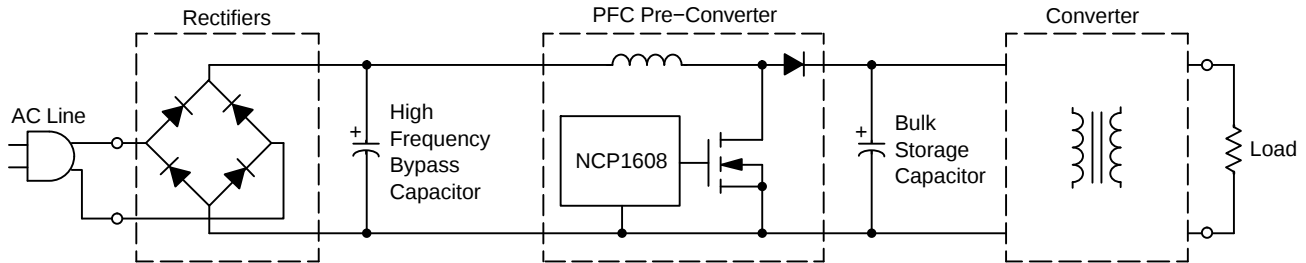


Figure 26. Active PFC Pre-Converter with the NCP1608

ブースト(またはステップアップ)・コンバータは、アクティブな力率補正のための最も一般的な構成です。これを適切に制御することによって、ラインからの正弦波電流を消費しながら定電圧を生成します。中電力(< 350 W)アプリケーション用として望ましい制御方法は、CrMです。CrMは、不連続導通モード(DCM)と連続導通モード(CCM)の境界で発生

します。CrMでは、ブースト・インダクタ電流がゼロになるとドライバのオンタイムが開始します。CrM動作は、CCM動作の低いピーク電流と、DCM動作のゼロ電流スイッチングを兼ね備えているため、中電力のPFCブースト・ステージ用として理想的な選択肢です。PFCブースト・コンバータの動作および波形を27に示します。

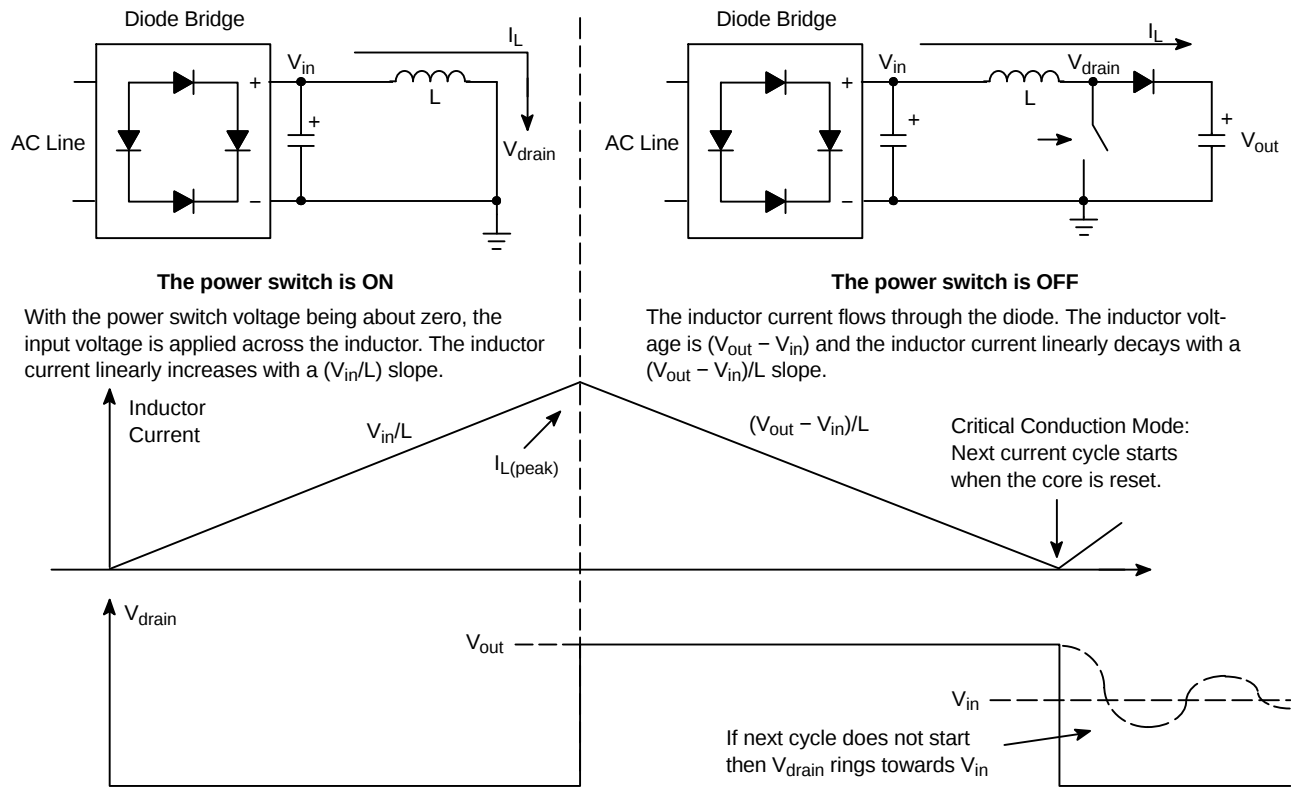


Figure 27. Schematic and Waveforms of an Ideal CrM Boost Converter

スイッチが閉じると、インダクタ電流はピーク値まで直線的に増加します。スイッチが開くと、インダクタ電流はゼロになるまで直線的に減少します。インダクタ電流が減少してゼロになると、スイッチのドレイン電圧(V_{drain})はフロートして減少し始めます。次のスイッチング・サイクルが始まらない場合、 V_{drain} は V_{in} に向かいながらリンギングします。AND8123に記述されている式から導出した結果によって、CrM動作ではACサイクル中のスイッチ・オンタイム(t_{on})が一定の場合に高い力率が達成されることが分かっています。その値は式1から計算されます。

$$t_{\text{on}} = \frac{2 \cdot P_{\text{out}} \cdot L}{\eta \cdot V_{\text{ac}}^2} \quad (\text{eq. 1})$$

ここで、 P_{out} は出力電力、 L はインダクタ値、 η は効率、 V_{ac} は入力RMS電圧です。

ACライン・サイクル中のスイッチングの説明を、Figure 28に示します。オンタイムは一定ですが、オフタイムは瞬時ライン電圧によって変化しています。定オンタイムによって発生したインダクタ電流のピーク($I_{\text{L(peak)}}$)は、ACライン電圧のピークに対応しています。NCP1608は正確な安定化回路、低消費電流の起動回路、および高度な保護機能を内蔵することによって、費用効果に優れたロバスト・ソリューションによる定オンタイムCrM制御を実現する理想的手段を提供します。

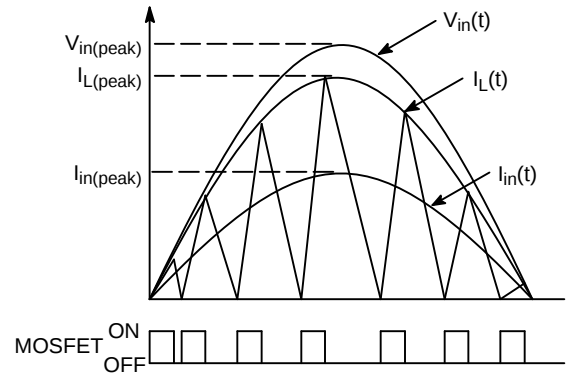


Figure 28. Inductor Waveform During CrM Operation

エラー・アンプ・レギュレーション

NCP1608は、内部のエラー・アンプ(EA)を使用してブースト出力電圧を安定化させます。EAの負端子はFBピンに引き出され、正端子は $2.5 \text{ V} \pm 1.6\%$ のリファレンス電圧(V_{REF})に接続されています。また、EAの出力は、Controlピンに引き出されています(Figure 29)。

トランスコンダクタンス・エラー・アンプを使用する場合の特徴は、FBピンの電圧がアンプの動作ではなく、出力電圧に接続する抵抗分割器ネットワークによってのみ決定されることです。これによって、エラー・アンプとは独立して、FBピンを過電圧状態または低電圧状態の検出に使用できるようになります。

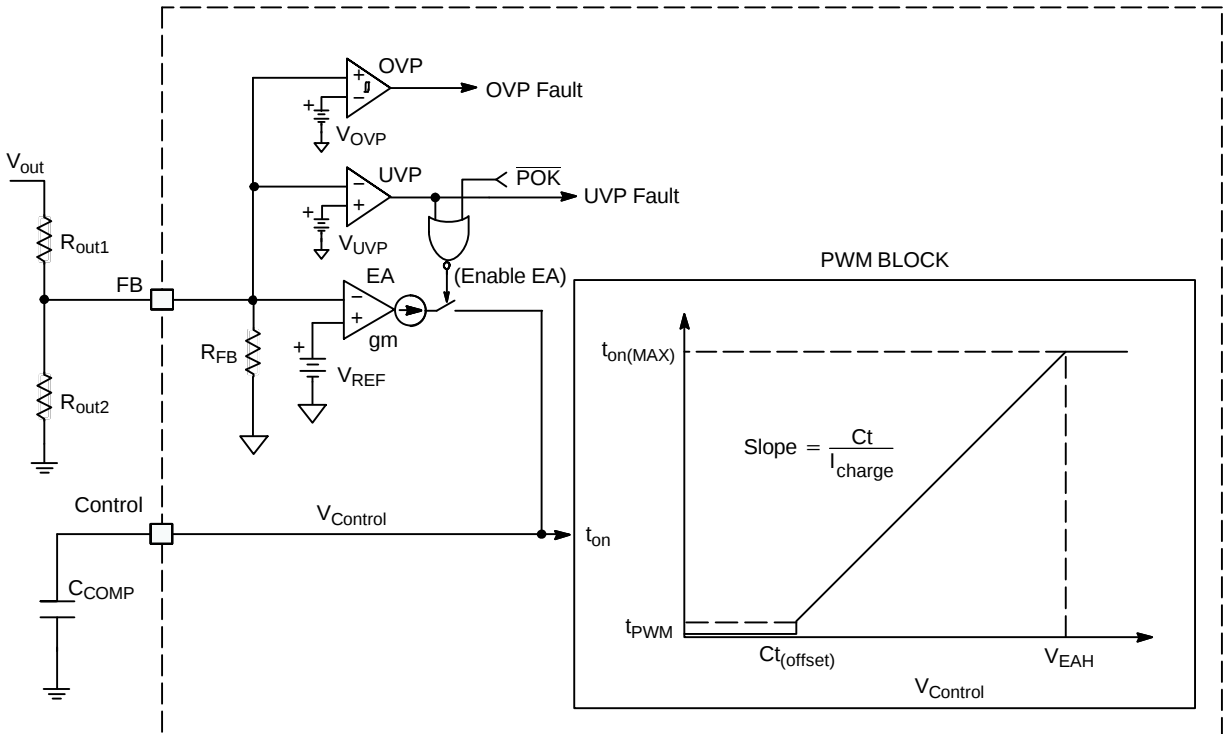


Figure 29. Error Amplifier and On Time Regulation Circuits

抵抗分割器(R_{out1} and R_{out2})は、ブースト出力電圧(V_{out})を縮小して、FBピンに接続されています。出力電圧が目標出力電圧よりも低い場合、 V_{FB} が V_{REF} より低くなるため、EAによって制御電圧($V_{Control}$)が上昇します。これによってドライバのオンタイムが増加し、出力に供給される電力が増加します。供給する電力が増加すると、目標出力電圧に達するまで V_{out} が上昇します。一方、 V_{out} が目標出力電圧よりも高い場合、 $V_{Control}$ が低下し、 V_{out} が目標出力電圧に低下するまでオンタイムが減少します。これによって、 V_{out} は、 R_{out1} と R_{out2} を介してFBに加えられる縮小 V_{out} が V_{REF} と等しくなるように安定化されます。分割器ネットワークの計算式には、FPPのための R_{FB} (標準値4.6 M Ω)が含まれています。

出力電圧は、式2を使用して設定されます。

$$V_{out} = V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \quad (\text{eq. 2})$$

分割器ネットワークのバイアス電流は、ノイズ耐性と消費電力のトレードオフが最適になるように選

択されます。 R_{out1} は、バイアス電流と出力電圧を使用して、式3で計算されます。

$$R_{out1} = \frac{V_{out}}{I_{bias(out)}} \quad (\text{eq. 3})$$

ここで、 $I_{bias(out)}$ は、出力分割器ネットワークのバイアス電流です。 R_{out2} は、 V_{out} 、 R_{out1} 、および R_{FB} によって変化します。 R_{out2} は、式4で計算されます。

$$R_{out2} = \frac{R_{out1} \cdot R_{FB}}{R_{FB} \cdot \left(\frac{V_{out}}{V_{REF}} - 1 \right) - R_{out1}} \quad (\text{eq. 4})$$

PFCステージは、正弦波ライン電圧の正弦波電流を消費します。コンバータが負荷に供給する電力は、平均的需要に一致する電力のみです。出力コンデンサ(C_{bulk})は、供給電力と負荷の消費電力との差を補償します。負荷への供給電力が負荷の消費電力より小さい場合、 C_{bulk} が放電します。供給電力が負荷の消費電力よりも大きい場合、 C_{bulk} は充電されて余分なエネルギーを蓄えます。この状況を、Figure 30に示します。

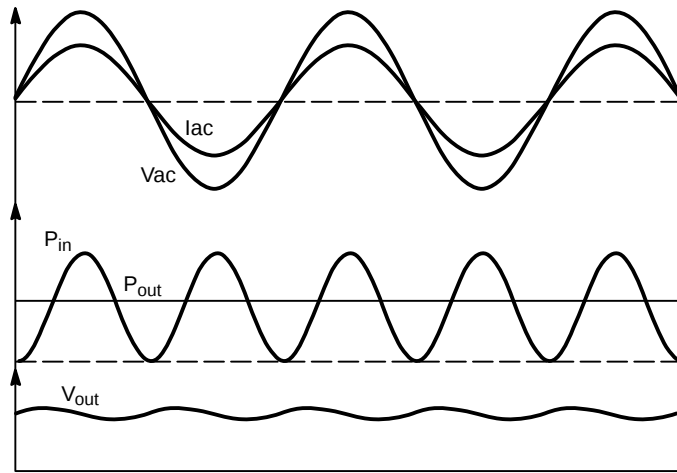


Figure 30. Output Voltage Ripple for a Constant Output Power

C_{bulk} の充放電のため、 V_{out} には100 Hz (ヨーロッパの50 Hzライン周波数の場合)または120 Hz (アメリカの60 Hzライン周波数の場合)の周波数のリップルが含まれます。 V_{out} のリップルは安定化ループによって減衰され、ACライン・サイクル中の $V_{Control}$ が一定になり、ライン電流が適切な波形になります。ACライン・サイクル中に $V_{Control}$ が一定になるように、通常、ループ帯域幅は20 Hz以下に設定されます。タイプ1の補償回路は、Controlピンとグランド・ピンの間にコンデンサ(C_{COMP})を接続して構成されます(Figure 1参照)。ループ帯域幅を設定するコンデンサ値は、式5で計算されます。

$$C_{COMP} = \frac{gm}{2 \cdot \pi \cdot f_{CROSS}} \quad (\text{eq. 5})$$

ここで、 f_{CROSS} はクロスオーバー周波数、 gm はエラー・アンプのトランスコンダクタンスです。クロスオーバー周波数は20 Hz未満に設定します。

オンタイム・シーケンス

スイッチング・パターンは、定オンタイム、および入力RMS電圧と出力負荷によって変化するオフタイムから成ります。NCP1608は、 C_t ピンに接続されたコンデンサでオンタイムを制御します。電流源は、Controlピンの電圧から得られる電圧($V_{Ct(off)}$)まで、 C_t コンデンサを充電します。 $V_{Ct(off)}$ は、式6で計算されます。

$$V_{Ct(off)} = V_{Control} - C_{t(offset)} = \frac{2 \cdot P_{out} \cdot L \cdot I_{charge}}{\eta \cdot Vac^2 \cdot C_t} \quad (\text{eq. 6})$$

C_t コンデンサが $V_{Ct(off)}$ に達すると、ドライバはオフになります(Figure 31)。

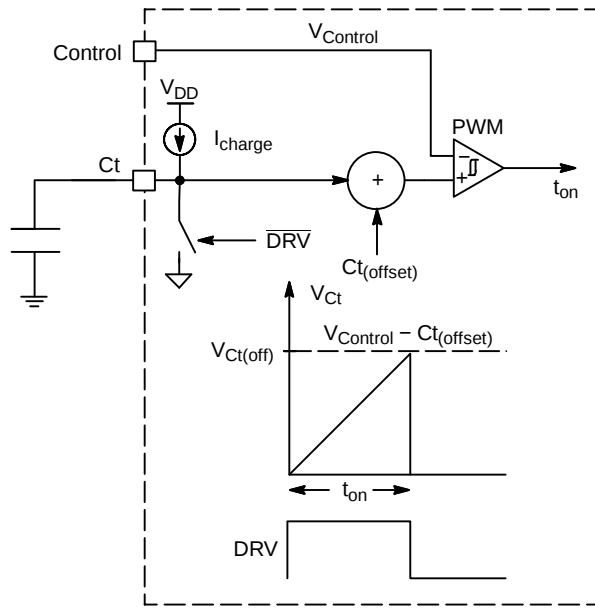


Figure 31. On Time Generation

$V_{Control}$ は入力RMS電圧と出力負荷によって変化し、必然的に式1を満足します。補償部品の値が V_{out} のリップルを除去するのに十分な場合は、ACライン・サイクル中のオンタイムは一定になります。コントローラの最大オンタイムは、 $V_{Control}$ が最大のときに発生します。 C_t コンデンサのサイズは、最大出力電力かつ最小入力電圧条件において、必要なオンタイムが確保できる値にします。オンタイムは、式7で計算されます。

$$t_{on} = \frac{C_t \cdot V_{Ct(MAX)}}{I_{charge}} \quad (\text{eq. 7})$$

式7と式1を結合すると、式8になります。

$$C_t \geq \frac{2 \cdot P_{out} \cdot L_{MAX} \cdot I_{charge}}{\eta \cdot V_{acLL}^2 \cdot V_{Ct(MAX)}} \quad (\text{eq. 8})$$

C_t の最小値を計算するには、次の値を使用します。

$V_{Ct(MAX)} = 4.775 \text{ V}$ (最小値)、

$I_{charge} = 297 \mu\text{A}$ (maximum value)、 V_{acLL} は最小入力RMS電圧、 L_{MAX} は最大インダクタ値です。

オフタイム・シーケンス

CrM動作では、ACライン・サイクル中のオンタイムは一定であり、オフタイムは瞬時入力電圧によって変化します。インダクタ電流がゼロになると、ドレイン電圧(Figure 27の V_{drain})は V_{in} に向かって共振します。インダクタ電流がゼロになるタイミングを判定する1つの方法は、 V_{drain} を計測することです。しかし、高電圧の V_{drain} を直接計測するのは、一般に経済的ではなく実用的でもありません。代わりに、ブースト・インダクタには巻線が追加されています。この巻線はゼロ電流検出(ZCD)巻線と呼ばれ、インダクタ電圧を縮小した電圧を発生させ、それをコントローラが検出します。Figure 32に、ZCD巻線を使用した理想的なCrM動作の波形を示します。

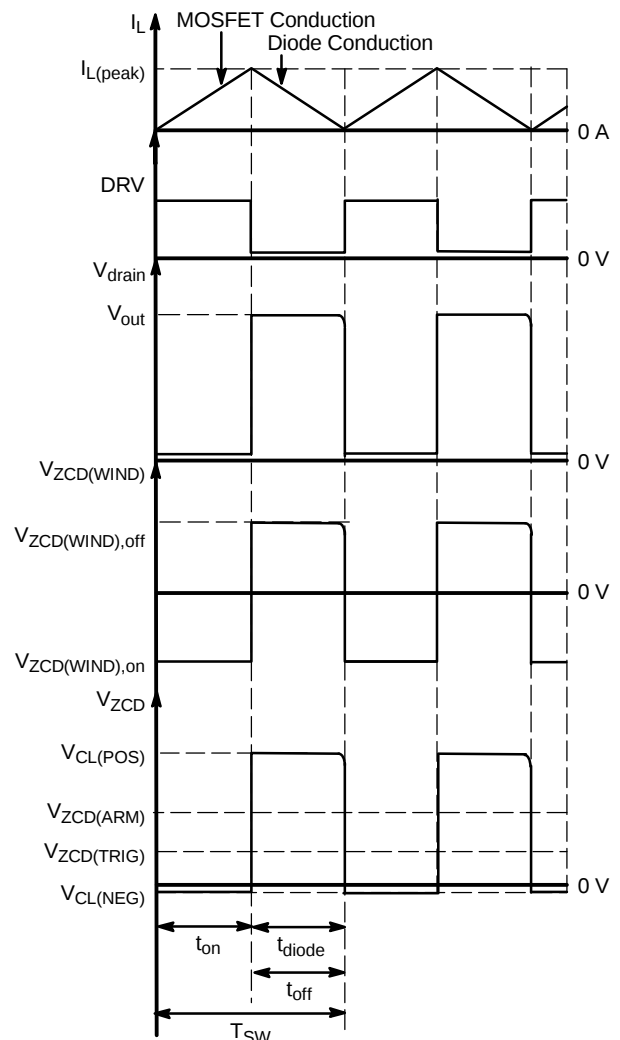


Figure 32. Ideal CrM Waveforms Using a ZCD Winding

オンタイム中にZCD巻線に誘起される電圧($V_{ZCD(WIND),on}$)は、式9で計算されます。

$$V_{ZCD(WIND),on} = \frac{-V_{in}}{N_B : N_{ZCD}} \quad (\text{eq. 9})$$

ここで、 V_{in} は瞬時入力電圧、 $N_B : N_{ZCD}$ はブースト巻線とZCD巻線との巻数比です。

オフタイム中にZCD巻線に発生する電圧($V_{ZCD(WIND),off}$)は、式10で計算されます。

$$V_{ZCD(WIND),off} = \frac{V_{out} - V_{in}}{N_B : N_{ZCD}} \quad (\text{eq. 10})$$

インダクタ電流がゼロになると、ZCDピンの電圧(V_{ZCD})はZCD巻線の電圧($V_{ZCD(WIND)}$)に追従して減少し始め、ゼロ・ボルトに向かってリングングします。NCP1608は、 V_{ZCD} の立ち下がりエッジを検出してドライバをオンにします。ZCDイベントを誤検出しないようにするため、NCP1608のロジックは、 V_{ZCD} が $V_{ZCD(ARM)}$ を超えているのを確認してから、 V_{ZCD} が $V_{ZCD(TRIG)}$ 未満に減少するのを検出します(Figure 33)。

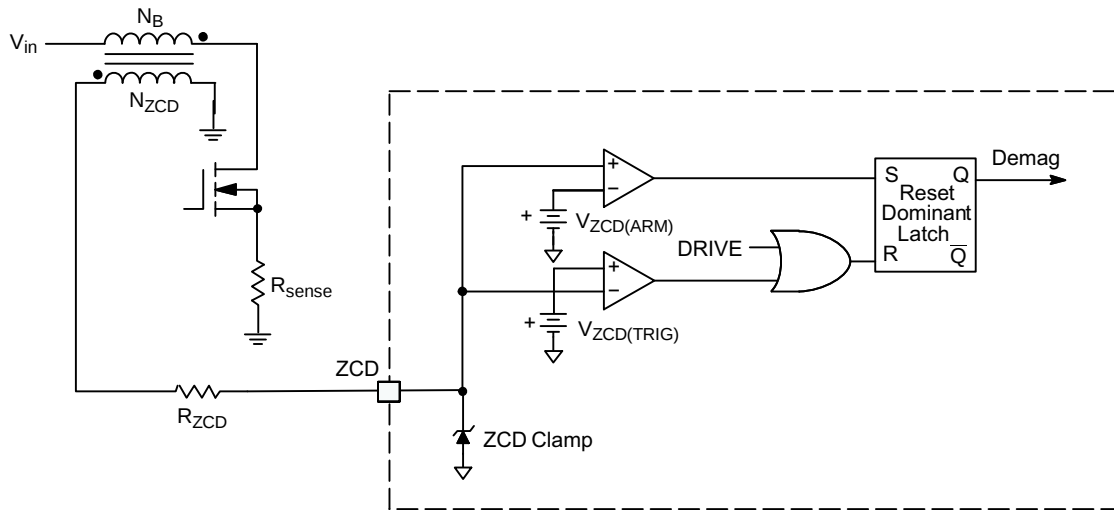


Figure 33. Implementation of the ZCD Block

このシーケンスによって、CrM動作を実現しています。最大巻数比は最大 $V_{ZCD(ARM)}$ によって設定され、式11で計算されます。

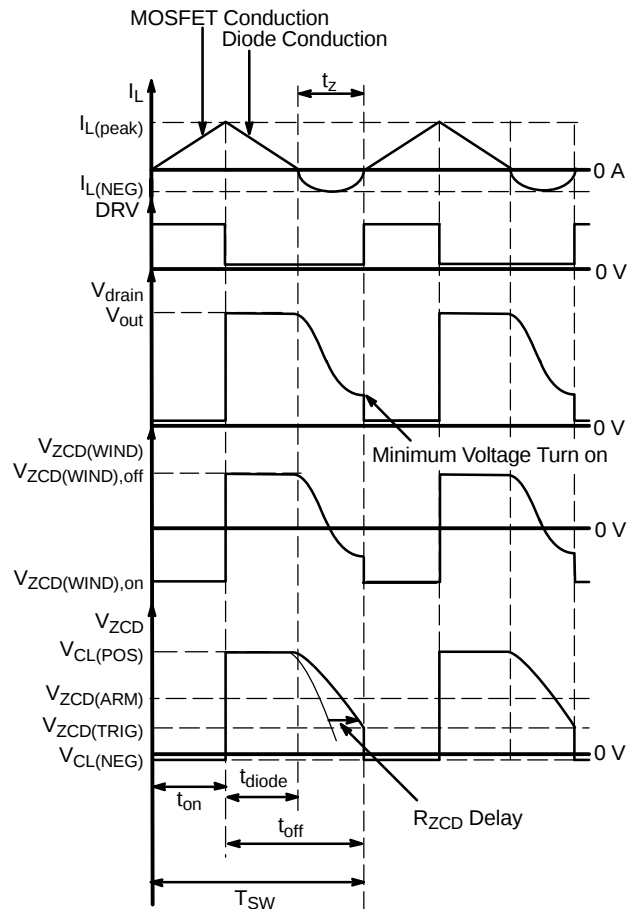
$$N_B : N_{ZCD} \leq \frac{V_{out} - (\sqrt{2} \cdot Vac_{HL})}{V_{ZCD(ARM)}} \quad (\text{eq. 11})$$

ここで、 Vac_{HL} は最大入力RMS電圧、 $V_{ZCD(ARM)}$ は1.55 V（最大値）です。

NCP1608は、 V_{ZCD} をクランプすることによって、ZCDピンに過剰な電圧がかかるのを防ぎます。ZCD巻線が負電圧の場合、ZCDピンは内部で $V_{CL(NEG)}$ にクランプされます。同様に、ZCD巻線が正電圧の場合、ZCDピンは内部で $V_{CL(POS)}$ にクランプされます。ZCDピンに流入する電流を制限するために、抵抗(Figure 33の R_{ZCD})が必要です。ZCDピンの最大電流($I_{ZCD(MAX)}$)は10 mA未満に制限されます。 R_{ZCD} は、式12で計算されます。

$$R_{ZCD} \geq \frac{\sqrt{2} \cdot Vac_{HL}}{I_{ZCD(MAX)} \cdot (N_B : N_{ZCD})} \quad (\text{eq. 12})$$

R_{ZCD} とZCDピンの寄生容量値で、ZCD巻線の信号が検出されてドライバのターンオンが開始するタイミングが決まります。 R_{ZCD} の値が大きいと、ZCDイベントを検出するまでの遅延時間が長くなります。その場合、コントローラはDCMで動作し力率が減少します。 R_{ZCD} の値が小さすぎると、ドレイン電圧が高いときにドライバがオンになるため効率が悪くなります。 R_{ZCD} を選択する一般的な方法は、ターンオン時のドレイン電圧が最小になるような R_{ZCD} の値を使用することです。この値は実験によって見つかります。Figure 34に、 R_{ZCD} とZCDピン容量で決まるCrM動作の実際の波形を示します。

Figure 34. Realistic CrM Waveforms Using a ZCD Winding with R_{ZCD} and the ZCD Pin Capacitance

RZCDとZCDピン容量によって遅延が発生する間に、Figure 35に示すパスを介して等価ドレイン容量 ($C_{EO(drain)}$)が放電されます。

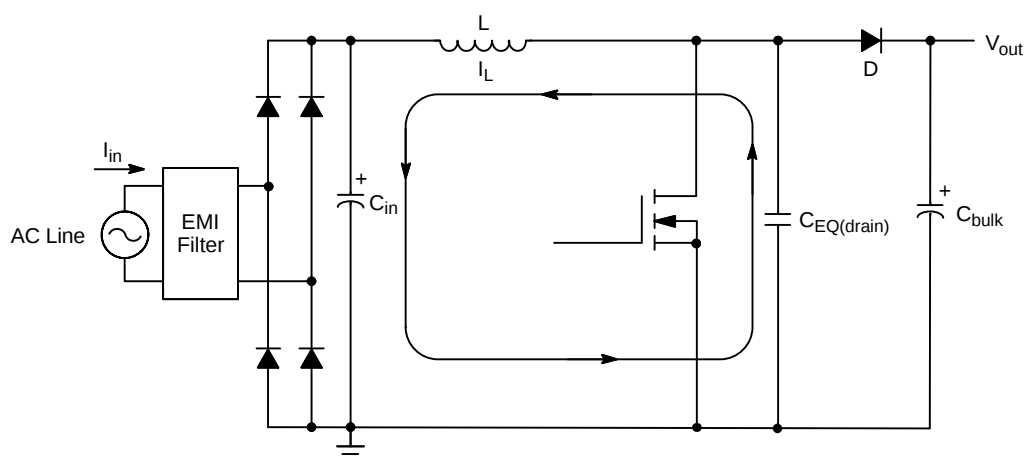


Figure 35. Equivalent Drain Capacitance Discharge Path

CEQ(drain)は、MOSFET、ダイオード、インダクタを合わせた寄生容量です。 C_{in} は、 $C_{EQ(drain)}$ が放電したエネルギーによって充電されます。 C_{in} の充電によってブリッジ整流器に逆バイアスがかかり、入力電流(I_{in})はゼロに減少します。入力電流がゼロになるとTHDが増加します。THDを減少させるには、比率(t_z / T_{sw})を小さくします。ここで、 t_z は、 $I_L = 0$ Aの時点からドライバがオンになるまでの時間です。比率(t_z / T_{sw})は、Lの平方根に反比例します。起動時は、ZCD巻線にエネルギーが蓄えられていないため、ZCDコンパレータを駆動するための電圧信号がありません。つまり、このままではドライバがオンになりません。この状態からPFCステージを起動するために、コントローラにウォッチドッグ・タイマ(t_{start})が内蔵されています。ドライバが165 μ s(標準値)以上オフになっていた場合、このタイマがドライバをオンにします。この機能は、障害モード(OVPまたはUVP)中には停止し、障害が取り除かれると再起動します。

幅広い制御範囲

Ctの充電スレッシュホールド($V_{Ct(off)}$)は、出力電力がアプリケーションの最大出力電力から最小出力電力に減少するに従って低下します。高電力アプリケーション(> 150 W)では、 $V_{Control}$ は大出力電力と $Ct(offset)$ が一定に保たれる低電圧にまで減少します。その結果、大出力電力の $V_{Ct(off)}$ は低電圧に低下します。 $V_{Control}$ と $V_{Ct(off)}$ の電圧が低いと、ノイズの影響を受けやすくなります。 $V_{Control}$ と $V_{Ct(off)}$ が低い大出力電力の場合、制御信号およびオンタイムの持続時間にノイズが干渉する危険性が高くなります(Figures 36および37)。ノイズはControlピンとCtピンに電圧スパイクを誘発し、それによりドライバのオンタイムがフィードバック・ループで決まるオンタイム($t_{on(loop)}$)よりも減少します。オンタイムの減少

により、インダクタ(L)に蓄えられるエネルギーが減少します。その結果、 V_{ZCD} は $V_{ZCD(ARM)}$ を超えることができず、ドライバは t_{start} 時間が経過するまでオフのままです。このシーケンスによって、パルス・スキップと力率の減少が生じます。

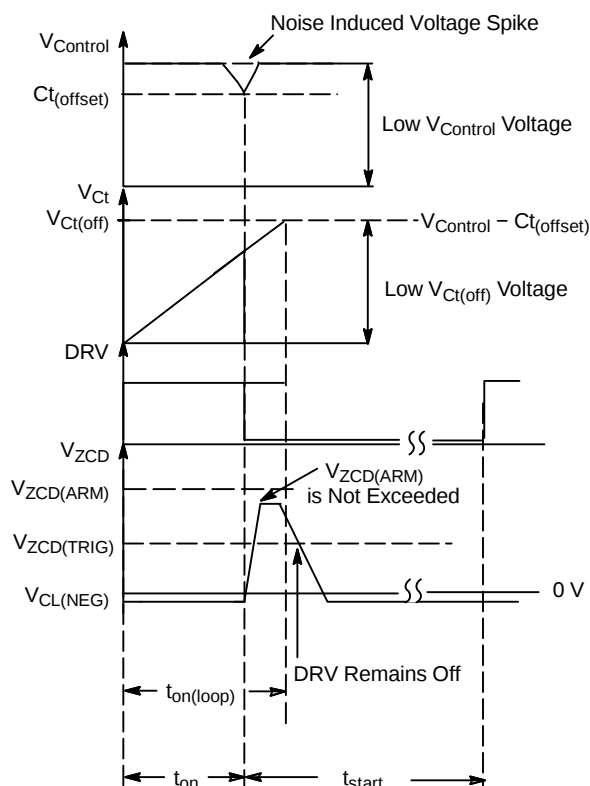


Figure 36. Control Pin Noise Induced On Time Reduction and Pulse Skipping

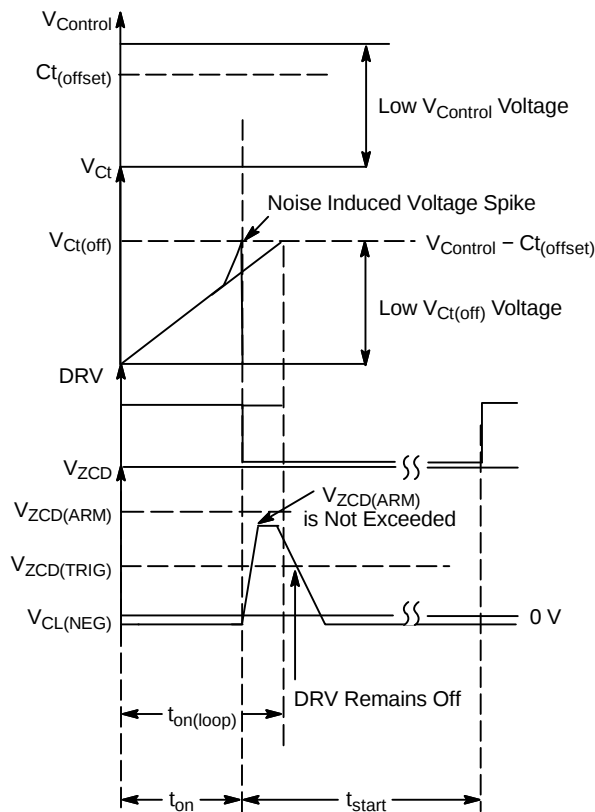


Figure 37. Ct Pin Noise Induced On Time Reduction and Pulse Skipping

NCP1608では制御範囲が広いので、制御範囲の狭いデバイスに比べて $V_{Control}$ と $V_{Ct(off)}$ が高くなります。Figure 38では、次のパラメータを持つアプリケーションについて、NCP1608と制御範囲3Vのデバイスの $V_{Ct(off)}$ を比較しています。

$P_{out} = 250\text{ W}$

$L = 200\text{ }\mu\text{H}$

$\eta = 92\%$

$V_{acLL} = 85\text{ Vac}$

$V_{acHL} = 265\text{ Vac}$

Figure 38は、NCP1608の $V_{Ct(off)}$ が制御範囲3Vのデバイスよりも50%大きいことを示しています。NCP1608は、この50%の増加によって、高入力電圧および高出力電力での意図しないパルス・スキップを防止できます。

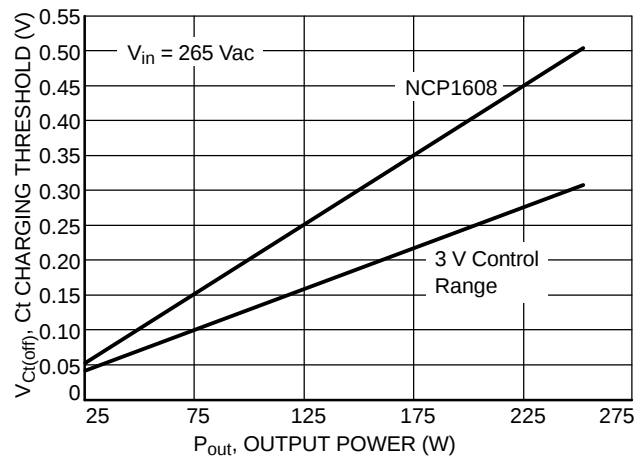


Figure 38. Comparison of Ct Charging Threshold vs. Output Power

起動

一般に、 V_{CC} コンデンサは、整流されたACラインと V_{CC} の間に接続された抵抗によって、 $V_{CC(on)}$ に達するまで充電されます。低い起動消費電流($< 35\text{ }\mu\text{A}$)により、スタンバイ消費電力の最小化と起動時間の短縮が可能です。 V_{CC} が $V_{CC(on)}$ を超えると、NCP1608内部リファレンスとロジックがイネーブルされます。コントローラは、 V_{CC} が $V_{CC(off)}$ を下回るまでNCP1608をイネーブルする低電圧ロックアウト(UVLO)機能を備えています。このヒステリシスによって、補助巻線が V_{CC} に電圧を供給するのに十分な時間が確保されます(Figure 39)。

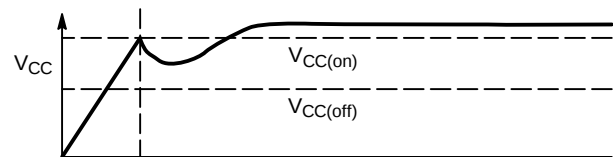


Figure 39. Typical V_{CC} Startup Waveform

PFCプリコンバータをスイッチモード電源(SMPS)で駆動する場合、最初にSMPSコントローラを起動するのが一般的です。次に、SMPSからNCP1608の V_{CC} に電力を供給します。NCP1230やNCP1381などの高機能コントローラは、PFCステージのイネーブルを制御して(Figure 40参照)、最適なシステム性能を実現します。このシーケンスによって起動抵抗が不要になり、システムのスタンバイ消費電力が改善されます。

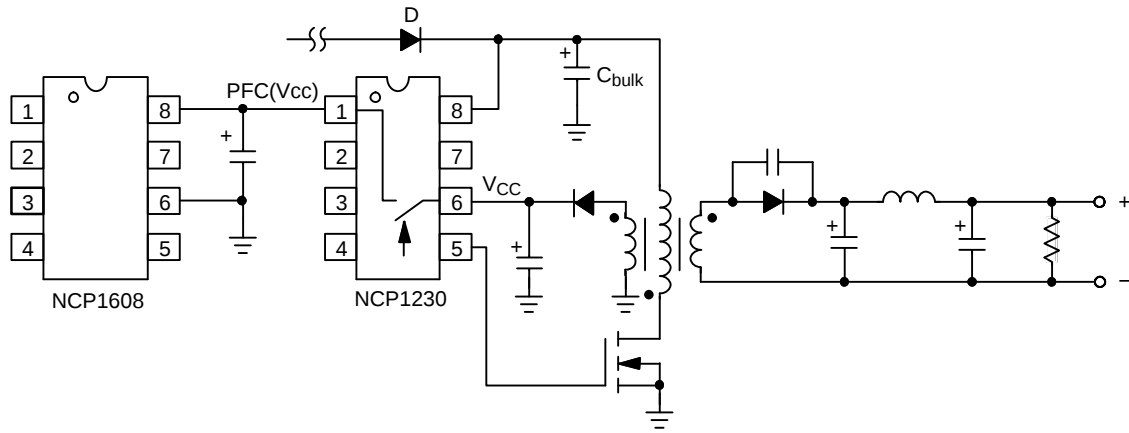


Figure 40. NCP1608 Supplied by a Downstream SMPS Controller (NCP1230)

ソフト・スタート

V_{CC} が $V_{CC(on)}$ を超えると、 t_{start} のカウントが開始されます。 t_{start} が経過するとエラー・アンプがイネーブルされ、補償回路の充電を開始します。ドライバは、 $V_{Control}$ が $C_{t(offset)}$ を超えるとイネーブルされます。補償回路が充電されると、ドライバのオンタイムが最小オンタイム(t_{pWM})から定常オンタイムまで緩やかに増加します。これによって自然なソフト・スタート・モードが実現され、電力部品のストレスが緩和されます(Figure 41)。

出力ドライバ

NCP1608は、ソース電流500 mA、シンク電流800 mAが可能な強力な出力ドライバを備えています。これによってコントローラは、中電力(≤ 350 W)アプリケーションのパワーMOSFETを効率的にドライブすることができます。また、ドライバ・ステージにはパッシブおよびアクティブの両方のプルダウン回路(Figure 42)があります。プルダウン回路は、 $V_{CC(on)}$ に達しないときは、強制的にドライバ出力電圧をパワーMOSFETのターンオン・スレッショルド電圧以下に下げます。

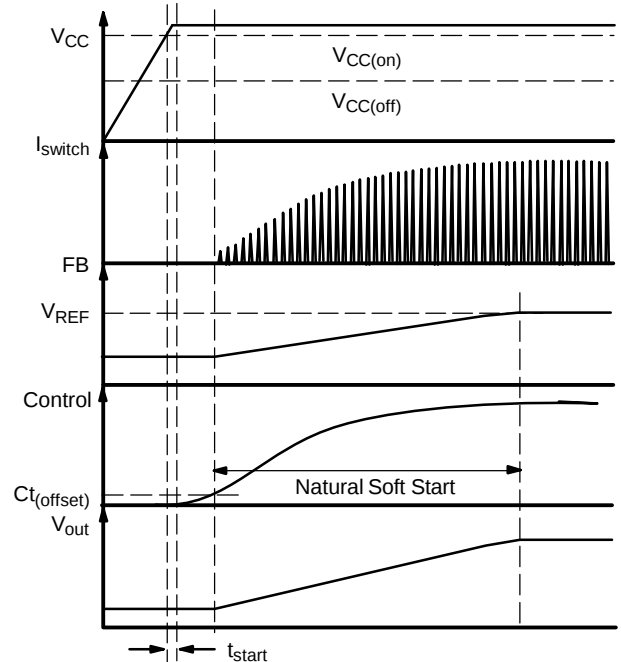


Figure 41. Startup Timing Diagram Showing the Natural Soft Start of the Control Pin

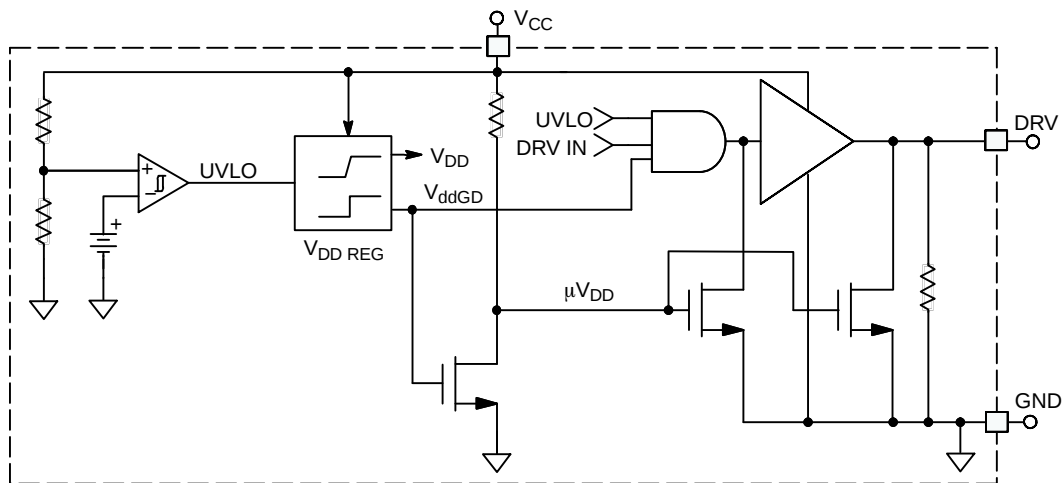


Figure 42. Output Driver Stage and Pull-Down Circuits

過電圧保護(OVP)

フィードバック・ネットワークの帯域幅が狭いと、出力負荷または入力電圧の変化に対するアクティブPFCステージの反応が鈍くなります。その結果、起動、負荷ステップ、ライン・ステップ中に、オーバーシュートが発生する危険があります。信頼性の高い動作を実現するには、過電圧保護(OVP)によって、出力電圧がPFGステージの部品の定格を超えないようにすることが大切です。NCP1608は、過剰な出力電圧を検出すると、 V_{out} が安全なレベルに低下するまでドライバをディセーブルして、 V_{out} が確実にPFCステージの部品の定格内に収まるようにします。内部でFBピンに接続されているコンパレータが、OVP保護機能を提供しています。OVP検出電圧は、式13で計算されます。

$$V_{out(OVP)} = \frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \quad (\text{eq. 13})$$

$$V_{out(OVPL)} = \left(\left(\frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \right) - V_{OVP(HYS)} \right) \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \quad (\text{eq. 16})$$

Figure 43に、OVP回路の動作を示します。

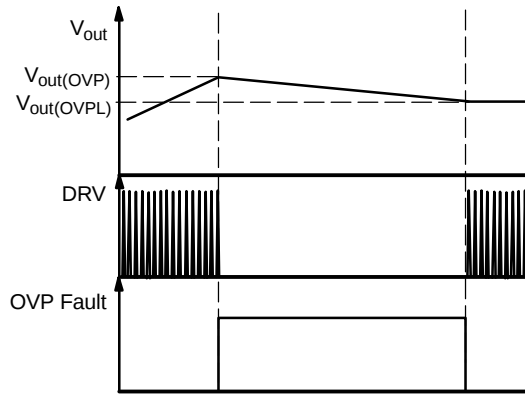


Figure 43. OVP Operation

低電圧保護(UVP)

PFCステージに入力電圧が印加されると、 V_{out} はライン電圧のピークに一致します。NCP1608は、 V_{FB} が V_{UVP} より低い場合など、 V_{out} が異常に低い場合は低電圧障害を検出します。UVP障害の発生中は、ドライバとエラー・アンプはディセーブルされます。UVP機能は、 C_{bulk} への電力経路が断線している(つまり C_{bulk} を充電不能)場合、または R_{out1} が切り離されている場合にシステムを保護します。

UVP障害を引き起こす出力電圧は、式17で計算されます。

$$V_{out(UVP)} = V_{UVP} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right) \quad (\text{eq. 17})$$

ここで、 V_{OVP}/V_{REF} は、OVP検出スレッシュホールドです。

C_{bulk} は、OVP V_{out} の100 Hzまたは120 Hzのリップルで誤動作しないサイズにします。 C_{bulk} の最小値は、式 14で計算されます。

$$C_{bulk} \geq \frac{P_{out}}{2 \cdot \pi \cdot V_{ripple(peak-peak)} \cdot f_{line} \cdot V_{out}} \quad (\text{eq. 14})$$

ここで、 $V_{ripple(peak-peak)}$ はピーク・トゥ・ピーク出力電圧リップル、 f_{line} はACライン周波数です。

$V_{ripple(peak-peak)}$ は、式15で計算されます。

$$V_{ripple(peak-peak)} < 2 \cdot (V_{out(OVP)} - V_{out}) \quad (\text{eq. 15})$$

OVPロジックはヒステリシス($V_{OVP(HYS)}$)を備えており、NCP1608が再起動を試みるまでに V_{out} が放電するのに十分な時間を確保し、ノイズ耐性を実現しています。NCP1608が再起動を試みる出力電圧($V_{out(OVPL)}$)は、式16で計算されます。

オープン・フィードバック・ループ保護

NCP1608は、OVP、UVP、FPPなどのオープン・フィードバック・ループ状態に対する総合的な保護機能を備えています。Figure 44に、フィードバック・ループがオープンになる3つの状態を示します。Figure 44の各状態について、対応する番号ごとに以下で説明します。

1. UVP保護 :

R_{out1} からFBピンへの接続がオープン状態です。 R_{out2} は、FBピンをグランドにプルダウンします。UVPコンパレータはUVP障害を検出し、ドライバとエラー・アンプはディセーブルされます。

2. OVP保護 :

R_{out2} からFBピンへの接続がオープン状態です。 R_{out1} は、FBピンを V_{out} にプルアップします。ESDダイオードはFBの電圧を10 Vにクラ

ンプし、 R_{out1} がFBピンに流入する電流を制限します。OVPコンパレータはOVP障害を検出し、ドライバがディセーブルされます。

3. FPP保護:

FBピンが浮いています。 R_{FB} は、FBの電圧を V_{UVP} 未満にプルダウンします。UVPコンパレータはUVP障害を検出し、ドライバとエラー・アンプはディセーブルされます。

UVPは低いバルク電圧から、OVPは急激な動作点の変化からそれぞれシステムを保護します。他方、

FPPはフローティング・フィードバック・ピン状態からシステムを保護します。FPPが実装されずに製造誤差によってFBピンが浮いた状態になっている場合、 V_{FB} はシステム内および周囲環境と連動して変化します。連動して変化する V_{FB} が規制制限内(すなわち、 $V_{UVP} < V_{FB} < V_{REF}$)に収まり、コントローラが過剰な電力を供給することがあります。その結果、電圧ストレスによってデバイスに障害が発生するまで、 V_{out} が上昇します。

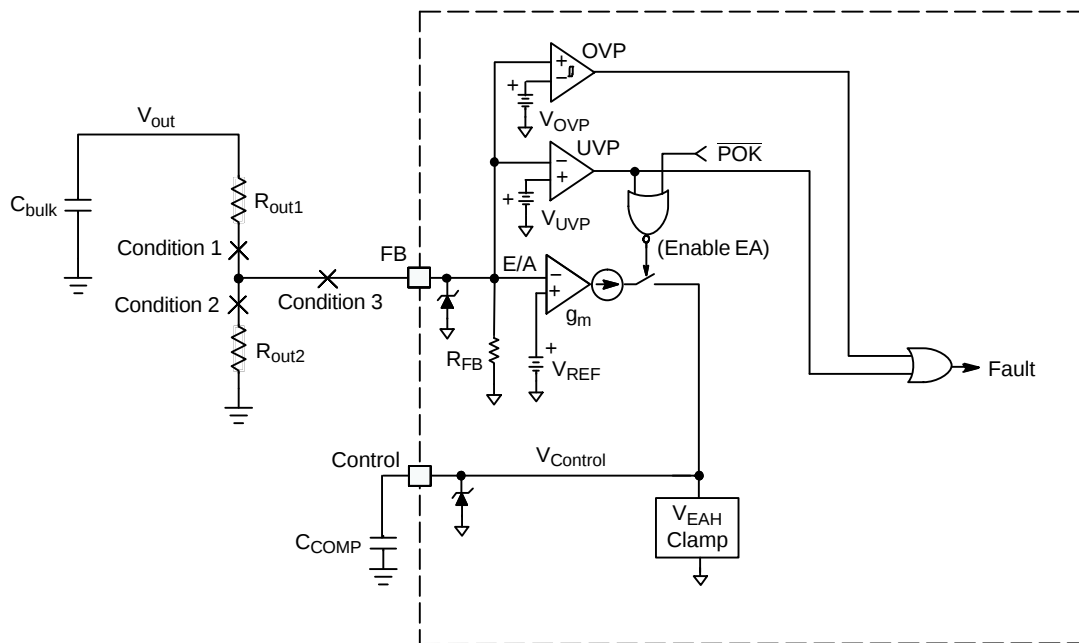


Figure 44. Open Feedback Loop Protection

過電流保護(OCP)

NCP1608の専用CSピンは、ピーク・インダクタ電流を検出し、CSピンの電圧が V_{ILIM} を超えた場合は、ドライバのオンタイムを制限します。最大ピーク・インダクタ電流は、 R_{sense} を調整してプログラムできます。ピーク・インダクタ電流は、式18で計算されます。

$$I_{L(peak)} = \frac{V_{ILIM}}{R_{sense}} \quad (\text{eq. 18})$$

内部LEBフィルタ(Figure 45)は、スイッチング・ノイズによって過電流制限が誤動作する確率を低減します。このフィルタは、持続時間が t_{LEB} 以内のCS信号を除去します。さらにフィルタが必要な場合

は、小型RCフィルタを R_{sense} とCSピンの間に接続します。

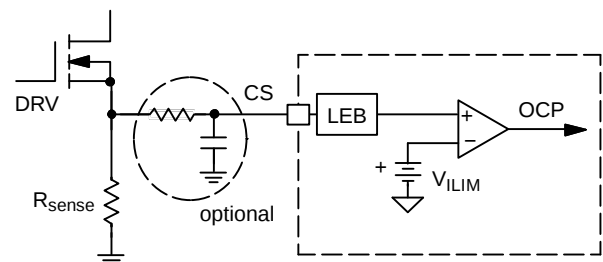


Figure 45. OCP Circuitry with Optional External RC Filter

NCP1608

シャットダウン・モード

NCP1608ではユーザがコントローラをスタンバイ動作モードに設定できます。コントローラをシャットダウンするには、FBピンの電圧を強制的に V_{UV} 以下にします。FBピンをシャットダウンに使用する場合(Figure 46)、シャットダウン回路で大きなリーク電流が発生しないように設計する必要があります。リーク電流は、出力電圧の安定化に悪影響を及ぼします。

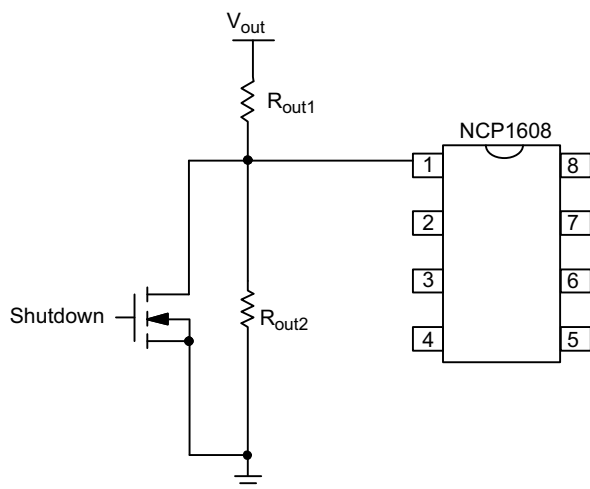


Figure 46. Shutting Down the PFC Stage

アプリケーション情報

オン・セミコンダクターは、NCP1608の設計を簡略化して開発期間を短縮するために、電子回路設計ツール、評価用ボード、およびアプリケーション・ノートを提供しています。すべてのツールは、www.onsemi.comからダウンロードまたは注文することができます。

電子回路設計ツールを使用すると、ブースト・プリコンバータの大部分のシステム・パラメータを容易に決定できます。評価用ボードは、400 Vで100 Wを供給するブースト・プリコンバータです。回路図をFigure 47に示します。プリコンバータ設計については、アプリケーション・ノートAND8396/Dで説明しています。

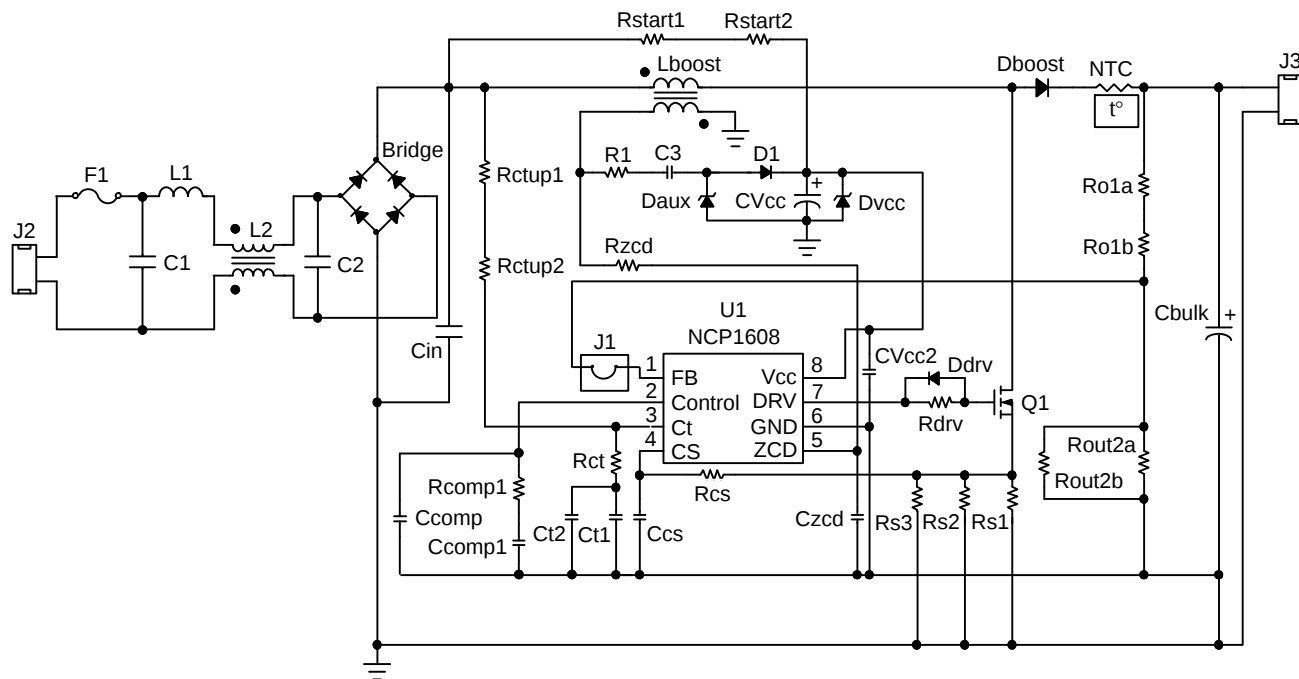


Figure 47. Application Schematic

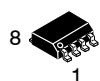
BOOST DESIGN EQUATIONS Components are identified in Figure 1

Input rms Current	$I_{ac} = \frac{P_{out}}{\eta \cdot V_{ac}}$	η (the efficiency of only the PFC stage) is generally in the range of 90 – 95%. V_{ac} is the rms ac line input voltage.
Inductor Peak Current	$I_{L(peak)} = \frac{\sqrt{2} \cdot 2 \cdot P_{out}}{\eta \cdot V_{ac}}$	The maximum inductor peak current occurs at the minimum line input voltage and maximum output power.
Inductor Value	$L \leq \frac{V_{ac}^2 \cdot \left(\frac{V_{out}}{\sqrt{2}} - V_{ac} \right) \cdot \eta}{\sqrt{2} \cdot V_{out} \cdot P_{out} \cdot f_{SW(MIN)}}$	$f_{SW(MIN)}$ is the minimum desired switching frequency. The maximum L is calculated at both the minimum line input voltage and maximum line input voltage.
On Time	$t_{on} = \frac{2 \cdot L \cdot P_{out}}{\eta \cdot V_{ac}^2}$	The maximum on time occurs at the minimum line input voltage and maximum output power.
Off Time	$t_{off} = \frac{t_{on}}{\frac{V_{out}}{V_{ac} \cdot \sin \theta \cdot \sqrt{2}} - 1}$	The off time is a maximum at the peak of the ac line voltage and approaches zero at the ac line zero crossings. Theta (θ) represents the angle of the ac line voltage.
Switching Frequency	$f_{sw} = \frac{V_{ac}^2 \cdot \eta}{2 \cdot L \cdot P_{out}} \cdot \left(1 - \frac{V_{ac} \cdot \sin \theta \cdot \sqrt{2}}{V_{out}} \right)$	
On Time Capacitor	$C_t \geq \frac{2 \cdot P_{out} \cdot L_{MAX} \cdot I_{charge}}{\eta \cdot V_{ac_{LL}}^2 \cdot V_{Ct(MAX)}}$	Where $V_{ac_{LL}}$ is the minimum line input voltage and L_{MAX} is the maximum inductor value. I_{charge} and $V_{Ct(MAX)}$ are shown in the specification table.
Inductor Turns to ZCD Turns Ratio	$N_B : N_{ZCD} \leq \frac{V_{out} - (\sqrt{2} \cdot V_{ac_{HL}})}{V_{ZCD(ARM)}}$	Where $V_{ac_{HL}}$ is the maximum line input voltage. $V_{ZCD(ARM)}$ is shown in the specification table.
Resistor from ZCD Winding to the ZCD pin	$R_{ZCD} \geq \frac{\sqrt{2} \cdot V_{ac_{HL}}}{I_{ZCD(MAX)} \cdot (N_B : N_{ZCD})}$	Where $I_{ZCD(MAX)}$ is maximum rated current for the ZCD pin (10 mA).
Output Voltage and Output Divider	$V_{out} = V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$ $R_{out1} = \frac{V_{out}}{I_{bias(out)}}$ $R_{out2} = \frac{R_{out1} \cdot R_{FB}}{R_{FB} \cdot \left(\frac{V_{out}}{V_{REF}} - 1 \right) - R_{out1}}$	Where V_{REF} is the internal reference voltage and R_{FB} is the pull-down resistor used for FPP. V_{REF} and R_{FB} are shown in the specification table. $I_{bias(out)}$ is the bias current of the output voltage divider.
Output Voltage OVP Detection and Recovery	$V_{out(OVP)} = \frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$ $V_{out(OVPL)} = \left(\left(\frac{V_{OVP}}{V_{REF}} \cdot V_{REF} \right) - V_{OVP(HYS)} \right) \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$	V_{OVP}/V_{REF} and $V_{OVP(HYS)}$ are shown in the specification table.
Output Voltage Ripple and Output Capacitor Value	$V_{ripple(peak-peak)} < 2 \cdot (V_{out(OVP)} - V_{out})$ $C_{bulk} \geq \frac{P_{out}}{2 \cdot \pi \cdot V_{ripple(peak-peak)} \cdot f_{line} \cdot V_{out}}$	Where f_{line} is the ac line frequency and $V_{ripple(peak-peak)}$ is the peak-to-peak output voltage ripple. Use $f_{line} = 47$ Hz for universal input worst case.
Output Capacitor rms Current	$I_{C(RMS)} = \sqrt{\frac{\sqrt{2} \cdot 32 \cdot P_{out}^2}{9 \cdot \pi \cdot V_{ac} \cdot V_{out} \cdot \eta^2} - I_{load(RMS)}^2}$	Where $I_{load(RMS)}$ is the rms load current.

NCP1608

BOOST DESIGN EQUATIONS Components are identified in Figure 1 (Continued)

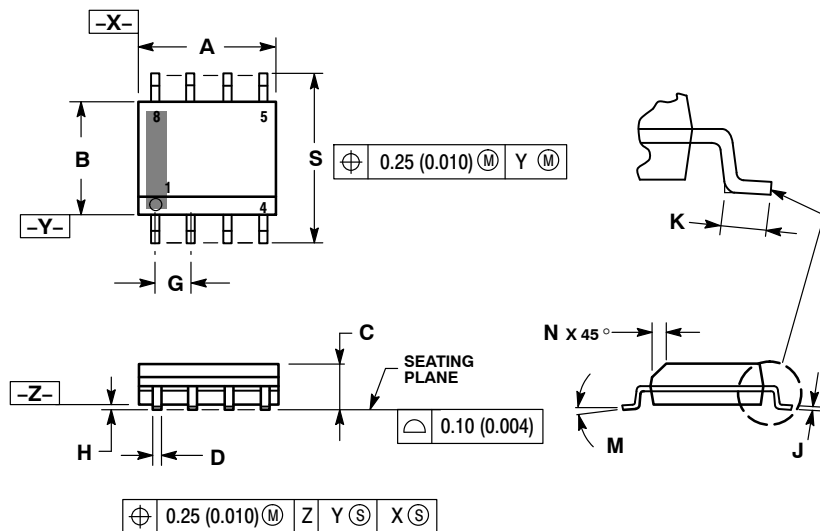
Output Voltage UVP Detection	$V_{out(UVP)} = V_{UVP} \cdot \left(R_{out1} \cdot \frac{R_{out2} + R_{FB}}{R_{out2} \cdot R_{FB}} + 1 \right)$	V_{UVP} is shown in the specification table.
Inductor rms Current	$I_{L(RMS)} = \frac{2 \cdot P_{out}}{\sqrt{3} \cdot V_{ac} \cdot \eta}$	
Output Diode rms Current	$I_{D(RMS)} = \frac{4}{3} \cdot \sqrt{\frac{2 \cdot 2}{\pi}} \cdot \frac{P_{out}}{\eta \cdot \sqrt{V_{ac} \cdot V_{out}}}$	
MOSFET rms Current	$I_{M(RMS)} = \frac{2}{\sqrt{3}} \cdot \left(\frac{P_{out}}{\eta \cdot V_{ac}} \right) \cdot \sqrt{1 - \left(\frac{\sqrt{2} \cdot 8 \cdot V_{ac}}{3 \cdot \pi \cdot V_{out}} \right)}$	
Current Sense Resistor	$R_{sense} = \frac{V_{ILIM}}{I_{L(peak)}}$ $P_{R_{sense}} = I_{M(RMS)}^2 \cdot R_{sense}$	V_{ILIM} is shown in the specification table.
Type 1 Compensation	$C_{COMP} = \frac{gm}{2 \cdot \pi \cdot f_{CROSS}}$	Where f_{CROSS} is the crossover frequency and is typically less than 20 Hz. gm is shown in the specification table.



SCALE 1:1

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011

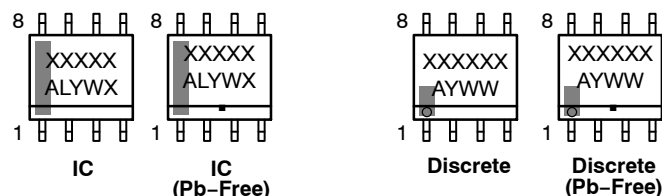
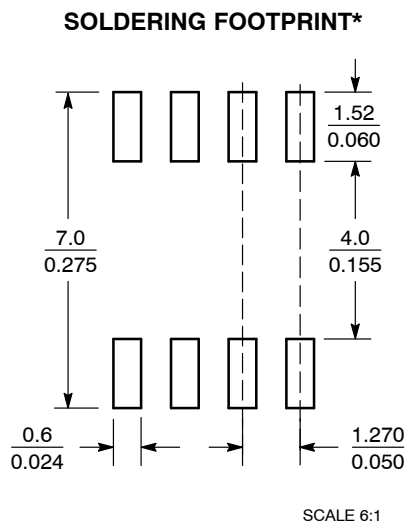


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

GENERIC
MARKING DIAGRAM*



XXXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

XXXXXX = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

*For additional information on our Pb-Free strategy and soldering details, please download the **onsemi** Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 1 OF 2

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011

STYLE 1: PIN 1. EMITTER 2. COLLECTOR 3. COLLECTOR 4. EMITTER 5. EMITTER 6. BASE 7. BASE 8. EMITTER	STYLE 2: PIN 1. COLLECTOR, DIE, #1 2. COLLECTOR, #1 3. COLLECTOR, #2 4. COLLECTOR, #2 5. BASE, #2 6. EMITTER, #2 7. BASE, #1 8. EMITTER, #1	STYLE 3: PIN 1. DRAIN, DIE #1 2. DRAIN, #1 3. DRAIN, #2 4. DRAIN, #2 5. GATE, #2 6. SOURCE, #2 7. GATE, #1 8. SOURCE, #1	STYLE 4: PIN 1. ANODE 2. ANODE 3. ANODE 4. ANODE 5. ANODE 6. ANODE 7. ANODE 8. COMMON CATHODE
STYLE 5: PIN 1. DRAIN 2. DRAIN 3. DRAIN 4. DRAIN 5. GATE 6. GATE 7. SOURCE 8. SOURCE	STYLE 6: PIN 1. SOURCE 2. DRAIN 3. DRAIN 4. SOURCE 5. SOURCE 6. GATE 7. GATE 8. SOURCE	STYLE 7: PIN 1. INPUT 2. EXTERNAL BYPASS 3. THIRD STAGE SOURCE 4. GROUND 5. DRAIN 6. GATE 3 7. SECOND STAGE Vd 8. FIRST STAGE Vd	STYLE 8: PIN 1. COLLECTOR, DIE #1 2. BASE, #1 3. BASE, #2 4. COLLECTOR, #2 5. COLLECTOR, #2 6. EMITTER, #2 7. EMITTER, #1 8. COLLECTOR, #1
STYLE 9: PIN 1. EMITTER, COMMON 2. COLLECTOR, DIE #1 3. COLLECTOR, DIE #2 4. EMITTER, COMMON 5. EMITTER, COMMON 6. BASE, DIE #2 7. BASE, DIE #1 8. EMITTER, COMMON	STYLE 10: PIN 1. GROUND 2. BIAS 1 3. OUTPUT 4. GROUND 5. GROUND 6. BIAS 2 7. INPUT 8. GROUND	STYLE 11: PIN 1. SOURCE 1 2. GATE 1 3. SOURCE 2 4. GATE 2 5. DRAIN 2 6. DRAIN 2 7. DRAIN 1 8. DRAIN 1	STYLE 12: PIN 1. SOURCE 2. SOURCE 3. SOURCE 4. GATE 5. DRAIN 6. DRAIN 7. DRAIN 8. DRAIN
STYLE 13: PIN 1. N.C. 2. SOURCE 3. SOURCE 4. GATE 5. DRAIN 6. DRAIN 7. DRAIN 8. DRAIN	STYLE 14: PIN 1. N-SOURCE 2. N-GATE 3. P-SOURCE 4. P-GATE 5. P-DRAIN 6. P-DRAIN 7. N-DRAIN 8. N-DRAIN	STYLE 15: PIN 1. ANODE 1 2. ANODE 1 3. ANODE 1 4. ANODE 1 5. CATHODE, COMMON 6. CATHODE, COMMON 7. CATHODE, COMMON 8. CATHODE, COMMON	STYLE 16: PIN 1. EMITTER, DIE #1 2. BASE, DIE #1 3. EMITTER, DIE #2 4. BASE, DIE #2 5. COLLECTOR, DIE #2 6. COLLECTOR, DIE #2 7. COLLECTOR, DIE #1 8. COLLECTOR, DIE #1
STYLE 17: PIN 1. VCC 2. V2OUT 3. V1OUT 4. TXE 5. RXE 6. VEE 7. GND 8. ACC	STYLE 18: PIN 1. ANODE 2. ANODE 3. SOURCE 4. GATE 5. DRAIN 6. DRAIN 7. CATHODE 8. CATHODE	STYLE 19: PIN 1. SOURCE 1 2. GATE 1 3. SOURCE 2 4. GATE 2 5. DRAIN 2 6. MIRROR 2 7. DRAIN 1 8. MIRROR 1	STYLE 20: PIN 1. SOURCE (N) 2. GATE (N) 3. SOURCE (P) 4. GATE (P) 5. DRAIN 6. DRAIN 7. DRAIN 8. DRAIN
STYLE 21: PIN 1. CATHODE 1 2. CATHODE 2 3. CATHODE 3 4. CATHODE 4 5. CATHODE 5 6. COMMON ANODE 7. COMMON ANODE 8. CATHODE 6	STYLE 22: PIN 1. I/O LINE 1 2. COMMON CATHODE/VCC 3. COMMON CATHODE/VCC 4. I/O LINE 3 5. COMMON ANODE/GND 6. I/O LINE 4 7. I/O LINE 5 8. COMMON ANODE/GND	STYLE 23: PIN 1. LINE 1 IN 2. COMMON ANODE/GND 3. COMMON ANODE/GND 4. LINE 2 IN 5. LINE 2 OUT 6. COMMON ANODE/GND 7. COMMON ANODE/GND 8. LINE 1 OUT	STYLE 24: PIN 1. BASE 2. EMITTER 3. COLLECTOR/ANODE 4. COLLECTOR/ANODE 5. CATHODE 6. CATHODE 7. COLLECTOR/ANODE 8. COLLECTOR/ANODE
STYLE 25: PIN 1. VIN 2. N/C 3. REXT 4. GND 5. IOUT 6. IOUT 7. IOUT 8. IOUT	STYLE 26: PIN 1. GND 2. dv/dt 3. ENABLE 4. ILIMIT 5. SOURCE 6. SOURCE 7. SOURCE 8. VCC	STYLE 27: PIN 1. ILIMIT 2. OVLO 3. UVLO 4. INPUT+ 5. SOURCE 6. SOURCE 7. SOURCE 8. DRAIN	STYLE 28: PIN 1. SW_TO_GND 2. DASIC_OFF 3. DASIC_SW_DET 4. GND 5. V_MON 6. VBULK 7. VBULK 8. VIN
STYLE 29: PIN 1. BASE, DIE #1 2. EMITTER, #1 3. BASE, #2 4. EMITTER, #2 5. COLLECTOR, #2 6. COLLECTOR, #2 7. COLLECTOR, #1 8. COLLECTOR, #1	STYLE 30: PIN 1. DRAIN 1 2. DRAIN 1 3. GATE 2 4. SOURCE 2 5. SOURCE 1/DRAIN 2 6. SOURCE 1/DRAIN 2 7. SOURCE 1/DRAIN 2 8. GATE 1		

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 2 OF 2

onsemi and **onsemi** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales