

拡張型、高効率の力率補正コントローラ

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

NCP1612は、革新的な電流制御周波数フォールドバック (Current Controlled Frequency Fold-back、CCFF) 手法に基づいてPFCブースト・ステージを駆動するように設計された製品です。このモードでは、インダクタ電流が設定値を超えると、従来であれば回路は臨界導通モード (CrM) で動作していました。電流がこのプリセット・レベルより低い場合、NCP1612は周波数を電流がゼロになる約20 kHzまで直線的に低下させます。CCFFは標準負荷時および軽負荷時の両方で効率を最大化します。特に、スタンバイ損失は最小限に抑えられます。

FCCrMコントローラの場合と同様に、スイッチング周波数が低下したときでも、内部回路は1に近い力率を可能にします。この回路はSO-10パッケージに収納されており、わずかな外付け部品で堅牢かつコンパクトなPFCステージを構成するのに必要な機能も内蔵しています。

一般的な特長

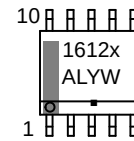
- 1に近い力率
- 臨界導通モード (CrM)
- 電流制御周波数フォールドバック (CCFF):
低周波動作時は、小電流レベルに強制されます
- CCFFモードで正しい電流整形を維持するためのオンタイム制御
- ライン・ゼロ交差付近でのスキップ・モード
- 高速ライン/負荷過渡補償 (ダイナミック応答エンハンサ)
- バレーでのターンオン
- 高い駆動能力: -500 mA/+800 mA
- V_{CC} 範囲: 9.5 V ~ 35 V
- 低い起動時消費電流
- 6つのバージョン: NCP1612A, B, A1, A2, A3, B2 (表1参照)
- ライン範囲の検出
- pfcOK信号
- 鉛フリー・デバイス

安全機能

- バックアップ回路用高速過電圧保護 (FOVP) 専用ピン
- ソフト過電圧保護
- ブラウンアウト検出
- 滑らかな起動動作のためのソフトスタート (A, A1, A2, A3バージョン)
- 過電流制限
- フィードバック・ピンが未接続の場合は保護が無効
- サーマル・シャットダウン
- ラッチオフ機能

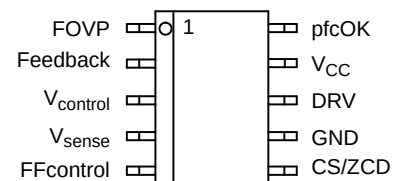

SOIC-10
CASE 751BQ

MARKING DIAGRAM



1612x = Specific Device Code
x = A, A1, A2, A3, B or B2
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
■ = Pb-Free Package

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

See detailed ordering and shipping information on page 31 of this data sheet.

NOTE: Some of the devices on this data sheet have been **DISCONTINUED**. Please refer to the table on page 32.

- バイパス・ダイオード短絡時に低デューティ・サイクル動作
- オープン・グランド・ピン障害の監視
- 飽和インダクタ保護
- 詳細な安全性試験解析 (アプリケーションノート [AND9079/D](#) 参照)

代表的アプリケーション

- PC電源
- 力率補正を必要とするすべてのオフライン装置

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

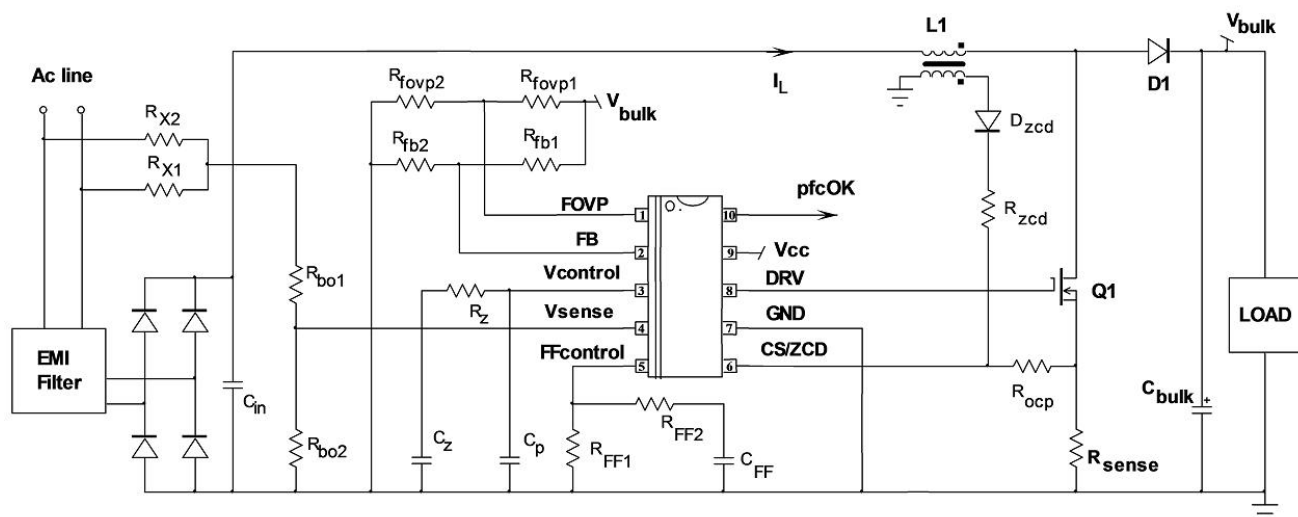


Figure 1. Typical Application Schematic

Table 1. FIVE NCP1612 VERSIONS

Part Number	Typical UVLO Hysteresis	Condition for BUVP Tripping (typical threshold)	Maximum Dead-time (typical value)	Condition for Latching-off (typical threshold)	UVP2 if $V_{FOVP} < V_{UVP2}$	Dynamic Response Enhancer (DRE)
NCP1612A	1.5 V	$V_{FOVP} < 76\% \cdot V_{REF}$	48.5 μ s	$V_{pfcOK} > 7.5$ V	YES	Disabled until pfcOK turns high
NCP1612A1	1.5 V	$V_{FOVP} < 40\% \cdot V_{REF}$	48.5 μ s	$V_{pfcOK} > 7.5$ V	YES	Disabled until pfcOK turns high
NCP1612A2	1.5 V	$V_{FB} < 76\% \cdot V_{REF}$	48.5 μ s	$V_{FOVP} > 107\% \cdot V_{REF}$	NO	Disabled until pfcOK turns high
NCP1612A3	1.5 V	$V_{FOVP} < 40\% \cdot V_{REF}$	41.5 μ s	$V_{pfcOK} > 7.5$ V	YES	Disabled until pfcOK turns high
NCP1612B	8.0 V	$V_{FOVP} < 76\% \cdot V_{REF}$	48.5 μ s	$V_{pfcOK} > 7.5$ V	YES	Enabled as soon as the circuit turns on to speed-up the startup phase
NCP1612B2*	8.0 V	$V_{FB} < 76\% \cdot V_{REF}$	48.5 μ s	$V_{FOVP} > 107\% \cdot V_{REF}$	NO	Enabled as soon as the circuit turns on to speed-up the startup phase

*Please contact local sales representative for availability

推奨アプリケーション :

- NCP1612BとNCP1612B2は、強いUVLOのヒステリシス(最小6 V)によって、(高インピーダンス・スタートアップ抵抗が一般的にV_{CC}コンデンサを事前充電するために実行されるような)自己給電のPFCアプリケーションにおいて、大きなV_{CC}コンデンサを不要とし、また、非常に損失の多いスタートアップ素子を使用することなく、スタートアップタイムの短縮をサポートします。
- A, A1, A2およびA3バージョンは、回路が外部の電源から(補助電源もしくはダウストリーム・コンバータから)給電されるアプリケーションに適しています。その最大スタートアップレベル(11.25 V)は、回路が12 Vの電圧レールから給電されるように充分低く設定されています。
- A2とB2バージョンは、出力電圧以外の部分からの信号がFOVPピンに流れる場合(例えば、補助巻線によって供給される出力電圧に代表される電圧)、および/または、pfcOKピン電圧が、そのパートをラッチすることなくV_{CC}レベルに達することが必須の場合に、適しています。A2とB2バージョンでは、高速OVP保護がトリガによって回路をラッチオフしますので、ご注意ください。

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 2. MAXIMUM RATINGS (Note 1)

Symbol	Pin	Rating	Value	Unit
V_{CC}	9	Power Supply Input	-0.3, +35	V
FOVP	1	FOVP Pin	-0.3, +10	V
Feedback	2	Feedback Pin	-0.3, +10	V
$V_{CONTROL}$	3	$V_{CONTROL}$ Pin (Note 2)	-0.3, $V_{CONTROLMAX}$	V
V_{sense}	4	V_{sense} Pin (Note 3)	-0.3, +10	V
FFcontrol	5	FFcontrol Pin	-0.3, +10	V
CS/ZCD	6	Input Voltage (Note 4) Current Injected to Pin 4 (Note 5)	-0.3, +35 +5	V mA
DRV	8	Driver Voltage (Note 2) Driver Current	-0.3, V_{DRV} -500, +800	V mA
pfcOK	10	pfcOK Pin	-0.3, V_{CC}	V
P_D $R_{\theta JA}$		Power Dissipation and Thermal Characteristics Maximum Power Dissipation @ $T_A = 70^\circ\text{C}$ Thermal Resistance Junction-to-Air	550 145	mW $^\circ\text{C/W}$
T_J		Operating Junction Temperature Range	-40 to +125	$^\circ\text{C}$
T_{Jmax}		Maximum Junction Temperature	150	$^\circ\text{C}$
T_{Smax}		Storage Temperature Range	-65 to 150	$^\circ\text{C}$
T_{Lmax}		Lead Temperature (Soldering, 10s)	300	$^\circ\text{C}$
MSL		Moisture Sensitivity Level	1	-
		ESD Capability, Human Body Model (Note 6)	> 2000	V
		ESD Capability, Machine Model (Note 6)	> 200	V
		ESD Capability, Charged Device Model (Note 6)	1000	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

1. This device contains latch-up protection and exceeds 100 mA per JEDEC Standard JESD78.
2. " $V_{CONTROLMAX}$ " is the pin3 clamp voltage and " V_{DRV} " is the DRV clamp voltage ($V_{DRVhigh}$). If V_{CC} is below $V_{DRVhigh}$, " V_{DRV} " is V_{CC} .
3. Recommended maximum V_{sense} voltage for optimal operation is 4.5 V.
4. The recommended maximum voltage not to exceed remains -0.3 V but Figure 2 short negative spike on the CS/ZCD pin is typically acceptable. However, it implies the full characterization of the circuit embedding the NCP1612, including at maximum temperature conditions, during which no erratic operation is observed. If otherwise noted, we recommend to clamp the negative voltage on the CS/ZCD pin to avoid carrier injection within the die.
5. Maximum CS/ZCD current that can be injected into pin6 (see Figure 3).
6. This device(s) contains ESD protection and exceeds the following tests:
Human Body Model 2000 V per JEDEC Standard JESD22-A114E
Machine Model Method 200 V per JEDEC Standard JESD22-A115-A
Charged Device Model Method 1000 V per JEDEC Standard JESD22-C101E

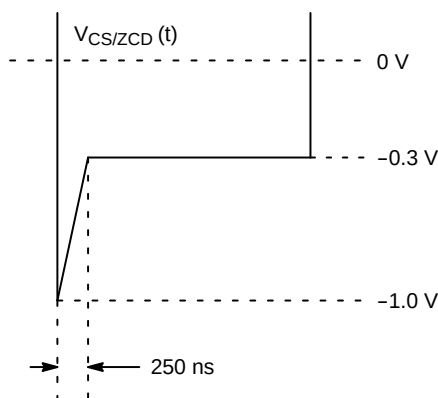


Figure 2.

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

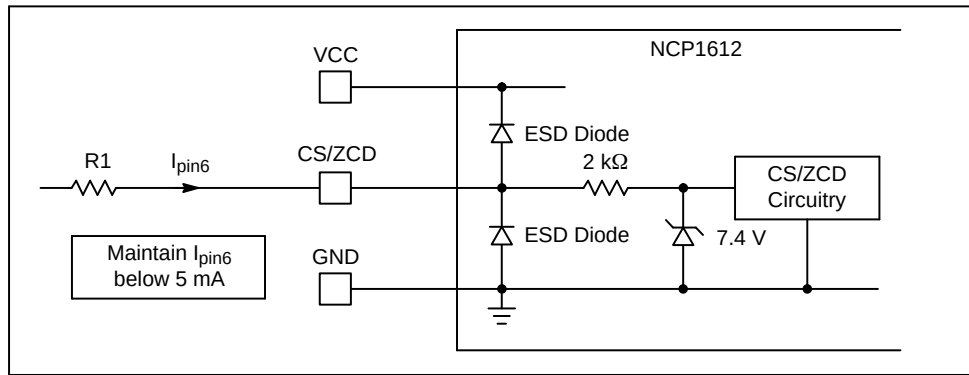


Figure 3.

Table 3. TYPICAL ELECTRICAL CHARACTERISTICS

(Conditions: $V_{CC} = 15\text{ V}$, T_J from -40°C to $+125^\circ\text{C}$, unless otherwise specified)

Symbol	Rating	Min	Typ	Max	Unit
START-UP AND SUPPLY CIRCUIT					
$V_{CC(on)}$	Start-up Threshold, V_{CC} increasing: A, A1, A2 and A3 versions B and B2 versions	9.75 15.80	10.50 17.00	11.25 18.20	V
$V_{CC(off)}$	Minimum Operating Voltage, V_{CC} falling	8.5	9.0	9.5	V
$V_{CC(HYST)}$	Hysteresis ($V_{CC(on)} - V_{CC(off)}$) A, A1, A2 and A3 versions B and B2 versions	0.75 6.00	1.50 8.00	– –	V
$V_{CC(reset)}$	V_{CC} level below which the circuit resets	2.5	4.0	6.0	V
$I_{CC(start)}$	Start-up Current, $V_{CC} = 9.4\text{ V}$	–	20	50	μA
$I_{CC(op)1}$	Operating Consumption, no switching (V_{SENSE} pin being grounded)	–	0.5	1.0	mA
$I_{CC(op)2}$	Operating Consumption, 50 kHz switching, no load on DRV pin	–	2.0	3.0	mA
CURRENT CONTROLLED FREQUENCY FOLD-BACK					
T_{DT1}	Dead-time, $V_{FFcontrol} = 2.60\text{ V}$ (Note 7)	–	–	0	μs
T_{DT2}	Dead-time, $V_{FFcontrol} = 1.75\text{ V}$	14	18	22	μs
T_{DT3}	Dead-time, $V_{FFcontrol} = 1.00\text{ V}$	32	38	44	μs
T_{DT4}	Dead-time, $V_{FFcontrol} = V_{SKIP_L} + 30\text{ mV}$ (NCP1612A3 Only) Over the Temperature Range	34.0 32.0	41.5 41.5	45.0 47.0	μs
I_{DT1}	FFcontrol Pin current, $V_{sense} = 1.4\text{ V}$ and $V_{control}$ maximum	180	200	220	μA
I_{DT2}	FFcontrol Pin current, $V_{sense} = 2.8\text{ V}$ and $V_{control}$ maximum	110	135	160	μA
V_{SKIP-H}	FFcontrol pin Skip Level, $V_{FFcontrol}$ rising All Versions Except NCP1612A3 NCP1612A3	– –	0.75 1.00	0.85 1.05	V
V_{SKIP-L}	FFcontrol pin Skip Level, $V_{FFcontrol}$ falling All Versions Except NCP1612A3 NCP1612A3	0.55 0.85	0.65 0.90	– –	V
H_{SKIP-L}	FFcontrol pin Skip Hysteresis	50	–	–	mV
GATE DRIVE (Note 8)					
T_R	Output voltage rise-time @ $C_L = 1\text{ nF}$, 10–90% of output signal	–	30	–	ns
T_F	Output voltage fall-time @ $C_L = 1\text{ nF}$, 10–90% of output signal	–	20	–	ns
R_{OH}	Source resistance	–	10	–	Ω
R_{OL}	Sink resistance	–	7.0	–	Ω
I_{SOURCE}	Peak source current, $V_{DRV} = 0\text{ V}$ (guaranteed by design)	–	500	–	mA
I_{SINK}	Peak sink current, $V_{DRV} = 12\text{ V}$ (guaranteed by design)	–	800	–	mA
V_{DRVlow}	DRV pin level at V_{CC} close to $V_{CC(off)}$ with a 10 k Ω resistor to GND	8.0	–	–	V

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 3. TYPICAL ELECTRICAL CHARACTERISTICS (continued)
(Conditions: $V_{CC} = 15\text{ V}$, T_J from -40°C to $+125^\circ\text{C}$, unless otherwise specified)

Symbol	Rating	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	------

GATE DRIVE (Note 8)

$V_{DRVhigh}$	DRV pin level at $V_{CC} = 35\text{ V}$ ($R_L = 33\text{ k}\Omega$, $C_L = 220\text{ pF}$)	10	12	14	V
---------------	---	----	----	----	---

REGULATION BLOCK

V_{REF}	Feedback Voltage Reference: @ 25°C Over the temperature range	2.44 2.42	2.50 2.50	2.54 2.54	V
I_{EA}	Error Amplifier Current Capability	–	± 20	–	μA
G_{EA}	Error Amplifier Gain	110	220	290	μS
$V_{CONTROL}$ $-V_{CONTROLMAX}$ $-V_{CONTROLMIN}$	$V_{CONTROL}$ Pin Voltage: – @ $V_{FB} = 2\text{ V}$ – @ $V_{FB} = 3\text{ V}$	– –	4.5 0.5	– –	V
V_{OUTL}/V_{REF}	Ratio (V_{OUT} Low Detect Threshold/ V_{REF}) (guaranteed by design)	95.0	95.5	96.0	%
H_{OUTL}/V_{REF}	Ratio (V_{OUT} Low Detect Hysteresis/ V_{REF}) (guaranteed by design)	–	–	0.5	%
I_{BOOST}	$V_{CONTROL}$ Pin Source Current when (V_{OUT} Low Detect) is activated	180	220	250	μA

CURRENT SENSE AND ZERO CURRENT DETECTION BLOCKS

$V_{CS(th)}$	Current Sense Voltage Reference	450	500	550	mV
$T_{LEB, OCP}$	Over-current Protection Leading Edge Blanking Time (guaranteed by design)	100	200	350	ns
$T_{LEB, OVS}$	“OverStress” Leading Edge Blanking Time (guaranteed by design)	50	100	170	ns
T_{OCP}	Over-current Protection Delay from $V_{CS/ZCD} > V_{CS(th)}$ to DRV low ($dV_{CS/ZCD} / dt = 10\text{ V}/\mu\text{s}$)	–	40	200	ns
$V_{ZCD(th)H}$	Zero Current Detection, $V_{CS/ZCD}$ rising	675	750	825	mV
$V_{ZCD(th)L}$	Zero Current Detection, $V_{CS/ZCD}$ falling	200	250	300	mV
$V_{ZCD(hyst)}$	Hysteresis of the Zero Current Detection Comparator	375	500	–	mV
$R_{ZCD/CS}$	$V_{ZCD(th)H}$ over $V_{CS(th)}$ Ratio	1.4	1.5	1.6	–
$V_{CL(pos)}$	CS/ZCD Positive Clamp @ $I_{CS/ZCD} = 5\text{ mA}$	–	15.6	–	V
$I_{ZCD(bias)}$	Current Sourced by the CS/ZCD Pin, $V_{CS/ZCD} = V_{ZCD(th)H}$	0.5	–	2.0	μA
$I_{ZCD(bias)}$	Current Sourced by the CS/ZCD Pin, $V_{CS/ZCD} = V_{ZCD(th)L}$	0.5	–	2.0	μA
T_{ZCD}	($V_{CS/ZCD} < V_{ZCD(th)L}$) to (DRV high)	–	60	200	ns
T_{SYNC}	Minimum ZCD Pulse Width	–	110	200	ns
T_{WDG}	Watch Dog Timer	80	200	320	μs
$T_{WDG(OS)}$	Watch Dog Timer in “Overstress” Situation	400	800	1200	μs
T_{TMO}	Time-out Timer	20	30	50	μs
$I_{ZCD(gnd)}$	Source Current for CS/ZCD pin impedance Testing	–	250	–	μA

STATIC OVP

D_{MIN}	Duty Cycle, $V_{FB} = 3\text{ V}$, $V_{control}$ pin open	–	–	0	%
-----------	--	---	---	---	---

ON-TIME CONTROL

$T_{ON(LL)}$	Maximum On Time, $V_{sense} = 1.4\text{ V}$ and $V_{control}$ maximum (CrM)	22.0	25.0	29.0	μs
$T_{ON(LL)2}$	On Time, $V_{sense} = 1.4\text{ V}$ and $V_{control} = 2.5\text{ V}$ (CrM)	10.5	12.5	14.0	μs
$T_{ON(HL)}$	Maximum On Time, $V_{sense} = 2.8\text{ V}$ and $V_{control}$ maximum (CrM)	7.3	8.5	9.6	μs
$T_{ON(LL)(MIN)}$	Minimum On Time, $V_{sense} = 1.4\text{ V}$ (not tested, guaranteed by characterization)	–	–	200	ns
$T_{ON(HL)(MIN)}$	Minimum On Time, $V_{sense} = 2.8\text{ V}$ (not tested, guaranteed by characterization)	–	–	100	ns

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 3. TYPICAL ELECTRICAL CHARACTERISTICS (continued)
(Conditions: $V_{CC} = 15\text{ V}$, T_J from -40°C to $+125^\circ\text{C}$, unless otherwise specified)

Symbol	Rating	Min	Typ	Max	Unit
FEED-BACK OVER AND UNDER-VOLTAGE PROTECTION (SOFT OVP AND UVP)					
R_{softOVP}	Ratio (soft OVP Threshold, V_{FB} rising) over V_{REF} ($V_{\text{softOVP}}/V_{REF}$) (guaranteed by design)	104	105	106	%
$R_{\text{softOVP(HYST)}}$	Ratio (Soft OVP Hysteresis) over V_{REF} (guaranteed by design)	1.5	2.0	2.5	%
R_{UVP}	Ratio (UVP Threshold, V_{FB} rising) over V_{REF} (V_{UVP}/V_{REF}) (guaranteed by design)	8	12	16	%
$R_{\text{UVP(HYST)}}$	Ratio (UVP Hysteresis) over V_{REF} (guaranteed by design)	–	–	1	%
$(I_B)_{FB}$	FB Pin Bias Current @ $V_{FB} = V_{\text{softOVP}}$ and $V_{FB} = V_{\text{UVP}}$	50	200	450	nA

FAST OVER VOLTAGE PROTECTION AND BULK UNDER-VOLTAGE PROTECTION (FAST OVP AND BUV)

V_{fastOVP}	Fast OVP Threshold, V_{FOVP} rising	2.560	2.675	2.750	V
R_{fastOVP1}	Ratio (Fast OVP Threshold, V_{FOVP} rising) over (soft OVP Threshold, V_{FB} rising) ($V_{\text{fastOVP}}/V_{\text{softOVP}}$) (guaranteed by design)	101.5	102.0	102.5	%
R_{fastOVP2}	Ratio (Fast OVP Threshold, V_{FOVP} rising) over V_{REF} ($V_{\text{fastOVP}}/V_{REF}$) (guaranteed by design)	106	107	108	%
V_{BUV}	BUV Threshold: NCP1612A, NCP1612B, V_{FOVP} falling NCP1612A1, NCP1612A3, V_{FOVP} falling NCP1612A2 and NCP1612B2, V_{FB} falling	1.80 0.90 1.80	1.90 1.00 1.90	2.00 1.10 2.00	V
R_{BUV}	Ratio (BUV Threshold) over V_{REF} (V_{BUV}/V_{REF}) NCP1612A, NCP1612B, V_{FOVP} falling NCP1612A1, NCP1612A3, V_{FOVP} falling NCP1612A2 and NCP1612B2, V_{FB} falling	74 37 74	76 40 76	78 43 78	%
$(I_B)_{FOVP/BUV}$	Pin1 Bias Current @ $V_{\text{pin1}} = V_{\text{fastOVP}}$ (all versions) @ $V_{\text{pin1}} = V_{\text{BUV}}$ (NCP1612A, NCP1612A1, NCP1612B, NCP1612A3 only)	50 50	200 200	450 450	nA
V_{UVP2}	UVP2 Threshold for Floating Pin Detection (NCP1612A, NCP1612A1, NCP1612A3 and NCP1612B only)	0.2	0.3	0.4	V

BROWN-OUT PROTECTION AND FEED-FORWARD

V_{BOH}	Brown-out Threshold, V_{sense} rising	0.96	1.00	1.04	V
V_{BOL}	Brown-out Threshold, V_{sense} falling	0.86	0.90	0.94	V
$V_{\text{BO(HYST)}}$	Brown-out Comparator Hysteresis	60	100	–	mV
$T_{\text{BO(blank)}}$	Brown-out Blanking Time	35	50	65	ms
$I_{\text{CONTROL(BO)}}$	V_{CONTROL} Pin Sink Current, $V_{\text{sense}} < V_{\text{BOL}}$	40	50	60	μA
V_{HL}	High-line Detection Comparator Threshold, V_{sense} rising	2.1	2.2	2.3	V
V_{LL}	High-line Detection Comparator Threshold, V_{sense} falling	1.6	1.7	1.8	V
$V_{\text{HL(hyst)}}$	High-line Detection Comparator Hysteresis	400	500	600	mV
$T_{\text{HL(blank)}}$	Blanking Time for Line Range Detection	15	25	35	ms
$I_{\text{BO(bias)}}$	Brown-out Pin Bias Current, $V_{\text{sense}} = V_{\text{BO}}$	–250	–	250	nA

pfcOK SIGNAL

$(V_{\text{pfcOK}})_L$	pfcOK low state voltage @ $I_{\text{pfcOK}} = 5\text{ mA}$	–	–	250	mV
V_{STDWN}	Shutdown Threshold Voltage (NCP1612A, NCP1612A1, NCP1612A3 and NCP1612B only)	7.0	7.5	8.0	V
R_{pfcOK}	Impedance of the pfcOK pin in high state (all versions)	150	300	–	k Ω

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 3. TYPICAL ELECTRICAL CHARACTERISTICS (continued)
(Conditions: $V_{CC} = 15\text{ V}$, T_J from -40°C to $+125^\circ\text{C}$, unless otherwise specified)

Symbol	Rating	Min	Typ	Max	Unit
THERMAL SHUTDOWN					
T_{LIMIT}	Thermal Shutdown Threshold	–	150	–	$^\circ\text{C}$
H_{TEMP}	Thermal Shutdown Hysteresis	–	50	–	$^\circ\text{C}$

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考記)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

7. There is actually a minimum dead-time that is the delay between the core reset detection and the DRV turning on (T_{ZCD} parameter of the “Current Sense and Zero Current Detection Blocks” section).

8. Guaranteed by design, the VCC pin can handle the double of the DRV peak source current, that is, 1 A typically.

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 4. DETAILED PIN DESCRIPTION

Pin Number	Name	Function
1	FOVP	V_{pin1}は、高速過電圧保護(FOVP)の入力信号です。回路は、V_{pin1}が、soft OVPコンパレータ(フィードバック・ピンをモニタする)のリファレンスよりも2%高く設定されたFOVPスレッシュホールドを超えるとドライバをディセーブルするため、ピン1および2で出力電圧の同じ部分を受け取ることができます。 NCP1612A, NCP1612A1, NCP1612A3およびNCP1612Bについては、V_{pin1}は低電圧保護(UVP2)およびバルク低電圧(BUV)検知にも使用されます。BUVコンパレータは、V_{pin1}が、NCP1612AおよびBバージョンでは2.5 Vレファレンス電圧の76%、A1/A3バージョンでは2.5 Vレファレンス電圧の40%を下回ると、ドライバをディセーブルすると共にpfcOK端子を接地させます。BUV機能はpfcOKピンがLow状態のときは無効になります。ピンが偶発的にオープンした場合は、250 nAのシンク電流を供給してピンを接地します。
2	Feedback	このピンは安定化と出力電圧が目標出力レベルの95.5%以下に低下するとループ応答を大幅にスピードアップするダイナミック応答エンハンサ(DRE)のために、PFC出力電圧の一部分を受け取ります。V_{pin2}も過電圧(OVP)および低電圧(UVP)コンパレータの入力信号です。UVPコンパレータは、V_{pin2}がリファレンス電圧(V_{REF})の12%よりも低い場合は動作を阻止します。soft OVPコンパレータは、V_{pin2}がV_{REF}(soft OVP)の105%を超えると、ゼロになるまでデューティ比を徐々に低減します。NCP1612A2およびNCP1612B2においては、V_{pin2}はバルク低電圧(BUV)の検知に使用されます。250 nAのシンク電流を供給してUVP保護をトリガし、フィードバック・ピンが偶発的にオープンした場合はデバイスをディセーブルします。
3	V _{CONTROL}	エラー・アンプ出力はこのピンで得られます。このピンとグランド間に接続される回路網は、安定化ループの帯域幅を調整します。この帯域幅は高い力率比を達成するために、通常は20 Hz以下に設定されます。回路がオフのときはピン3は接地され、回路が動作を開始すると緩やかに電力が上昇するソフトスタート機能を提供します。 Pin3は回路がオフの時に接地され、起動フェーズが完了するまでダイナミック応答エンハンサ(DRE)をディセーブルするA, A1, A2およびA3バージョンでは、動作開始時にV_{CONTROL}がソフトスタート機能を提供するためにゆっくりチャージします。自己給電のPFCステージに最適化されたバージョン(NCP1612BおよびNCP1612B2)では、DREは短縮された起動フェーズのためにV_{CONTROL}のチャージを加速します。
4	V _{SENSE}	瞬時入力電圧の一部分は、ブラウンアウト状態を検出するために、ピン4に印加されます。V_{pin4}が50 ms以上にわたって1 Vより低くなると、回路は再びピン電圧が上昇して1 Vを超えるまでパルスの生成を停止します。 このピンはラインの範囲も検出します。デフォルトでは、回路は「低ライン・ゲイン」モードで動作します。V_{pin4}が1.8 Vを超えると、回路は高ライン状態を検出して、ループ・ゲインを3だけ低減します。逆に、ピン電圧が25 ms以上1.8 Vより低い場合は、低ライン・ゲインが設定されます。 ピン4を接地すると、50-msのブランキング時間が経過した時に、デバイスはディセーブルされます。
5	FF _{CONTROL}	このピンはライン電流を示す電流を供給します。ピン5とグランド間に抵抗を接続すると、ライン電流を示す電圧が生成されます。この電圧が内部2.5 Vリファレンス(V_{REF})を超えると、回路は臨界導通モードで動作します。ピン電圧が2.5 V未満の場合は、約$[66 \mu\text{s} \cdot (1 - (V_{\text{pin5}}/V_{\text{REF}}))]$のデッドタイムが生成されます。このような方法により、回路は電流が少ないときは長いデッドタイムを、電流が増加すると短いデッドタイムを強制します。この回路はV_{pin5}が0.65 V未満のときは、電力伝達が特に非効率なライン・ゼロ交差付近でPFCステージが動作するのを防止します。これによって、電流の歪みがわずかに増加します。高い力率が要求される場合は、ピン5を0.75 Vオフセット以上オフセットしてスキップ機能を禁止します。
6	CS/ZCD	このピンはMOSFET電流をモニタして最大電流に制限します。 このピンはゼロ電流検出(ZCD)用の内部コンパレータにも接続されています。このコンパレータは補助巻線からの信号をモニタし、この電圧がゼロに低下したときにコア・リセットを検出します。補助巻線電圧はダイオードを通じて印加され、オンタイム時に電流センス情報に変更されないようにします(アプリケーション回路図を参照)。
7	Ground	このピンはPFCステージのグランドに接続します。
8	Drive	トータン・ポール・ゲート駆動は高い電流能力(-0.5/+0.8 A)を備えているため、高ゲート電荷のパワーMOSFETを効果的に駆動するのに適しています。
9	V _{CC}	このピンはICの正電源です。回路はV_{CC}が10.5 V (A, A1, A2およびA3バージョンの場合。BおよびB2バージョンは17.0 V)を超えると動作を開始し、V_{CC}が9.0 V (標準値)未満になるとオフになります。起動後の動作範囲は9.5 ~ 35 Vです。A, A1, A2およびA3バージョンは回路が外部電源(補助電源またはダウンストリーム・コンバータ)から供給されるアプリケーション向けに適しています。最大起動レベル(11.25 V)は回路が12 Vレールから電源供給できるよう十分低く設定されます。BおよびB2バージョンはPFCステージが自家発電のアプリケーション向けに最適化されています。
10	pfcOK	このピンはPFC出力が公称レベルに達するまで接地されます。NCP1612が障害を検出した場合も接地されます。残りの時間、すなわちPFCステージが公称バルク電圧を出力するとき、ピン10はハイ・インピーダンス状態になります。 NCP1612A, NCP1612A1, NCP1612A3およびNCP1612Bでは、回路はピン10が7.5 Vを超えるとラッチオフします。

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

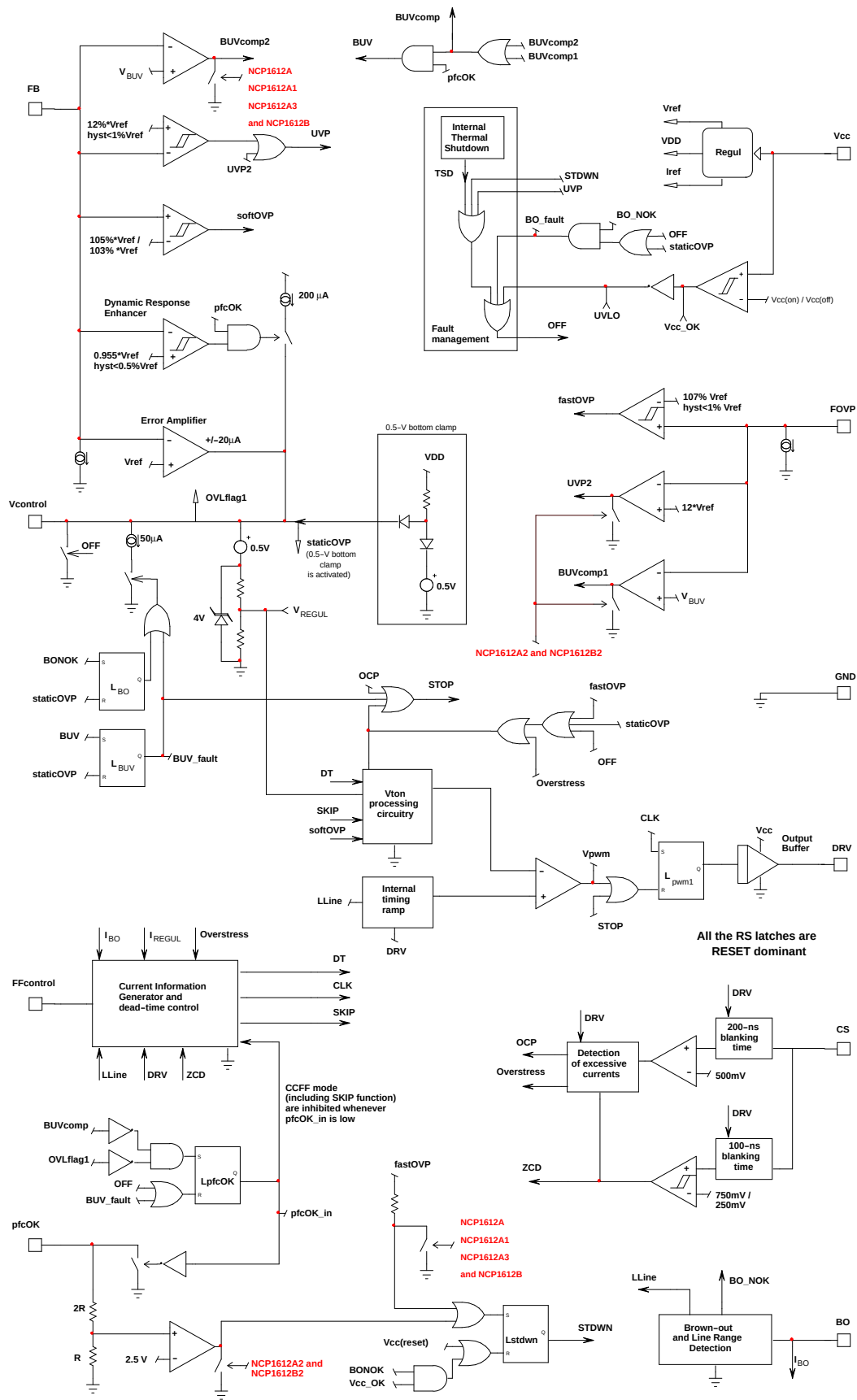


Figure 4. Block Diagram

TYPICAL CHARACTERISTICS

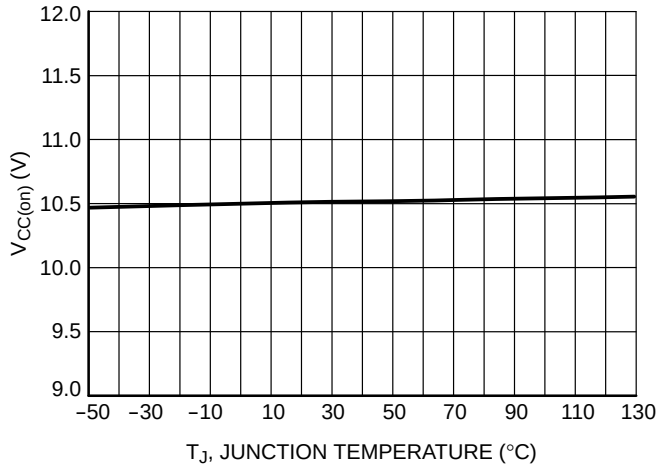


Figure 5. Start-up Threshold, V_{CC} Increasing ($V_{CC(on)}$) vs. Temperature (A, A1, A2 and A3 Versions)

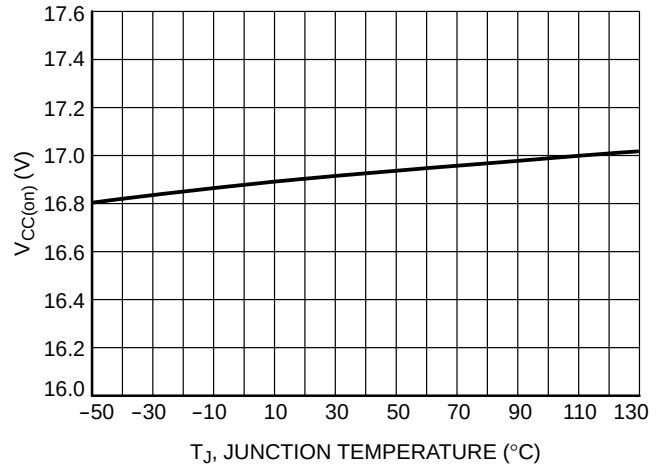


Figure 6. Start-up Threshold, V_{CC} Increasing ($V_{CC(on)}$) vs. Temperature (B and B2 Versions)

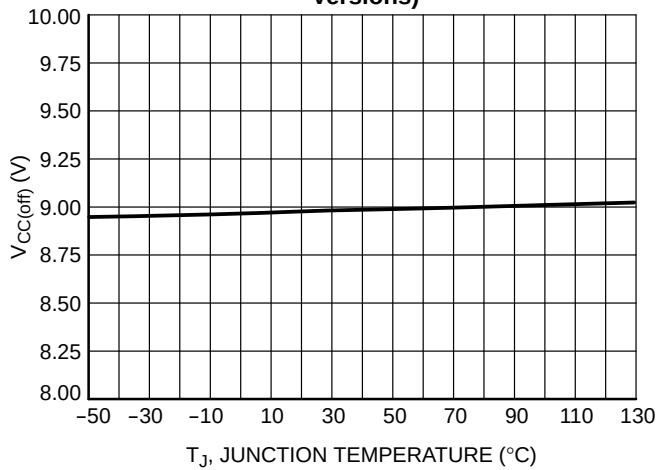


Figure 7. V_{CC} Minimum Operating Voltage, V_{CC} Falling ($V_{CC(off)}$) vs. Temperature

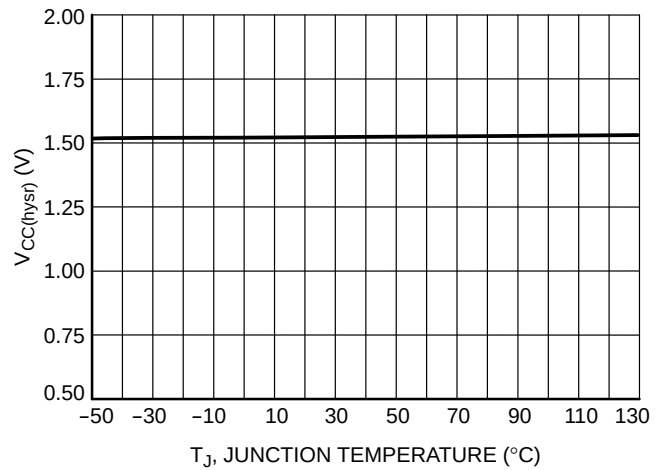


Figure 8. Hysteresis ($V_{CC(on)} - V_{CC(off)}$) vs. Temperature (A, A1, A2 and A3 Versions)

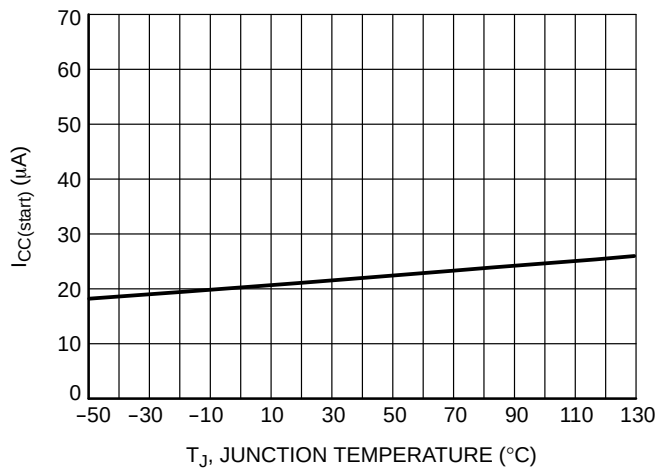


Figure 9. Start-up Current @ $V_{CC} = 9.4$ V vs. Temperature

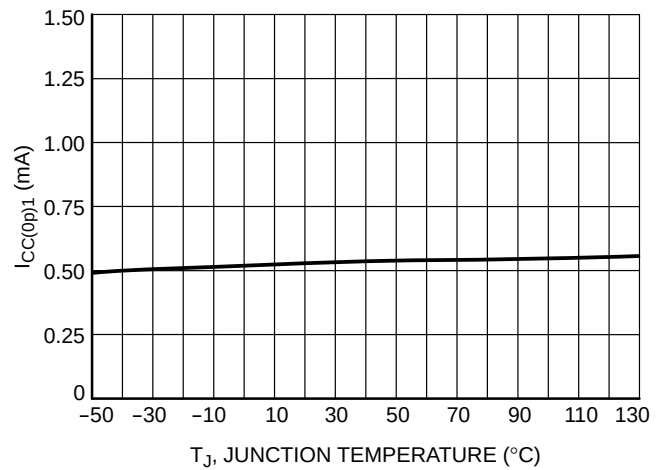


Figure 10. Operating Current, No Switching (V_{SENSE} Grounded) vs. Temperature

TYPICAL CHARACTERISTICS

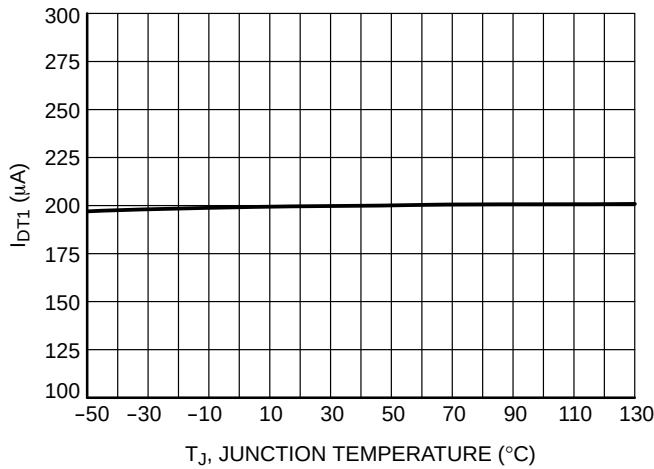


Figure 11. FFcontrol Pin Current, $V_{SENSE} = 1.4$ V and $V_{CONTROL}$ Maximum vs. Temperature

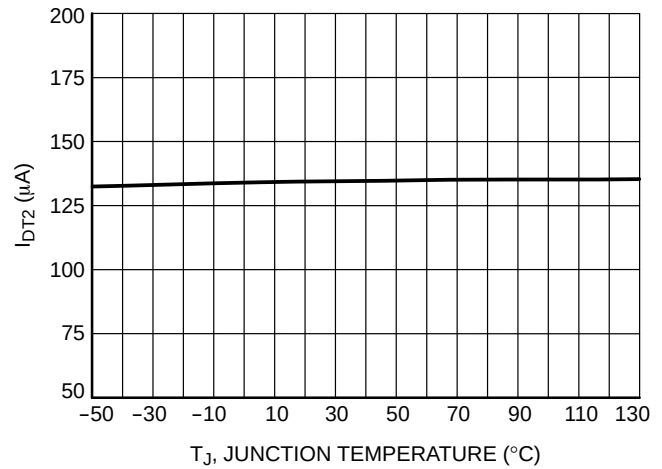


Figure 12. FFcontrol Pin Current, $V_{SENSE} = 2.8$ V and $V_{CONTROL}$ Maximum vs. Temperature

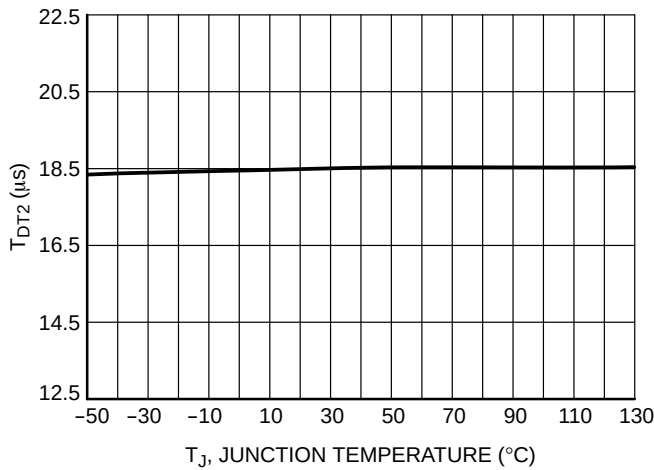


Figure 13. Dead-time, $V_{FFcontrol} = 1.75$ V vs. Temperature

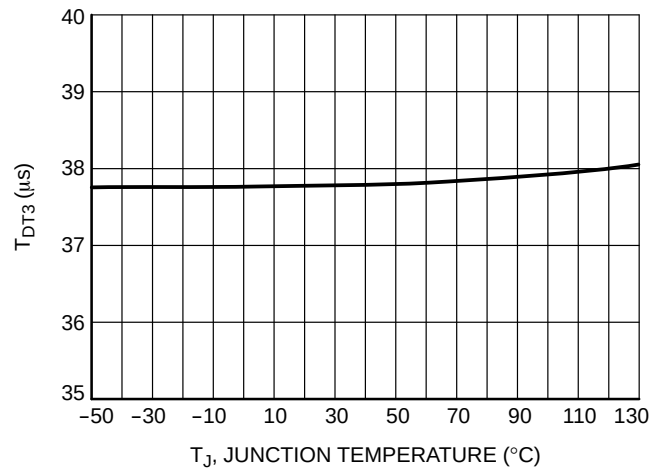


Figure 14. Dead-time, $V_{FFcontrol} = 1.00$ V vs. Temperature

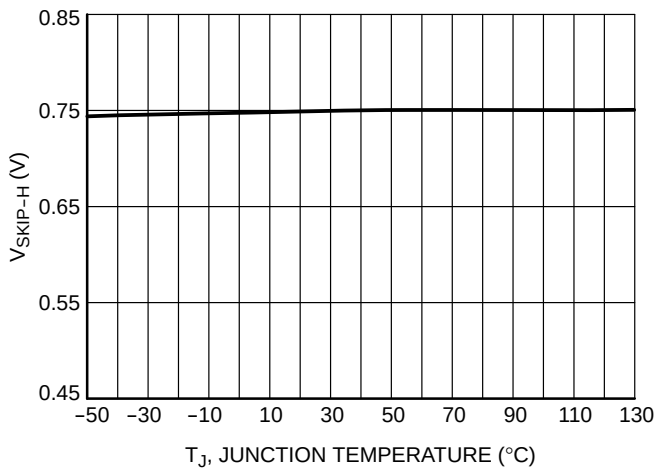


Figure 15. FFcontrol Pin Skip Level ($V_{FFcontrol}$ Rising) vs. Temperature

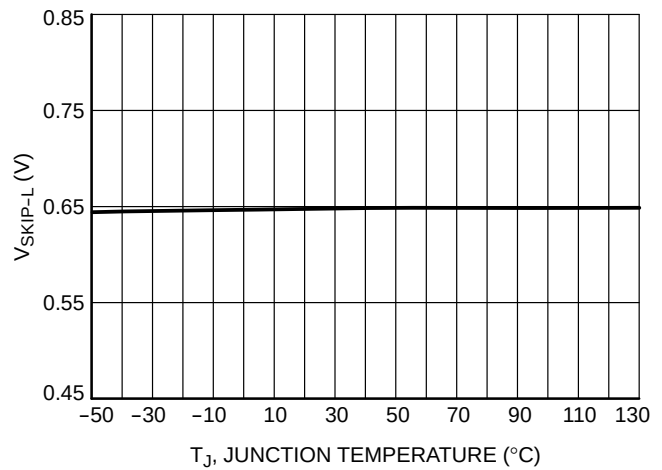


Figure 16. FFcontrol Pin Skip Level ($V_{FFcontrol}$ Falling) vs. Temperature

TYPICAL CHARACTERISTICS

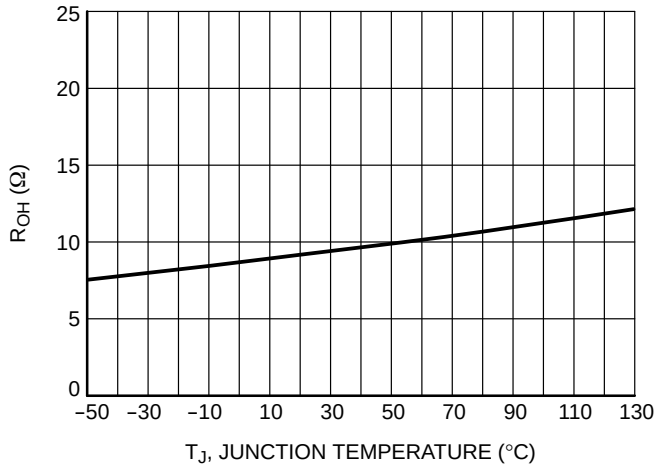


Figure 17. DRV Source Resistance vs. Temperature

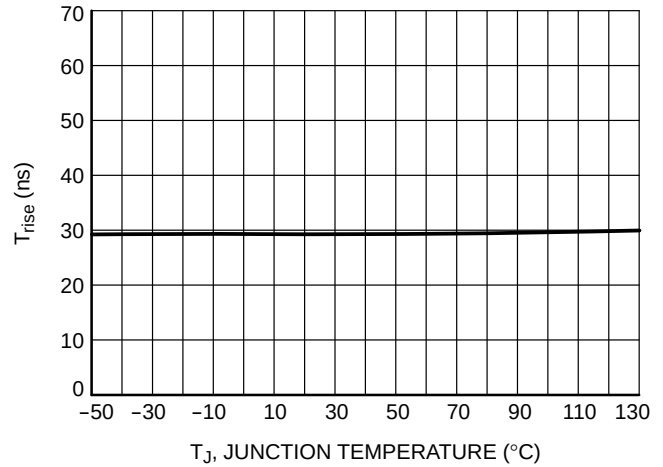


Figure 18. DRV Voltage Rise-time ($C_L = 1$ nF, 10-90% of Output Signal) vs. Temperature

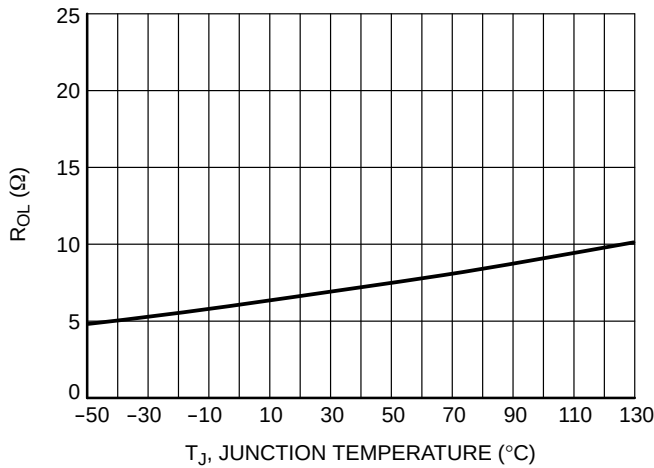


Figure 19. DRV Sink Resistance vs. Temperature

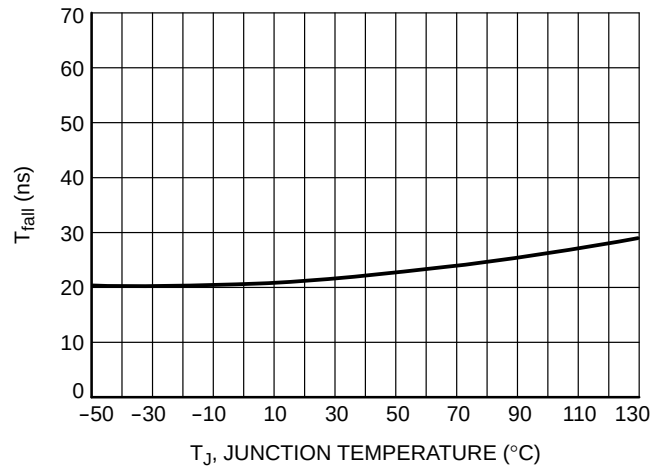


Figure 20. DRV Voltage Fall-time ($C_L = 1$ nF, 10-90% of Output Signal) vs. Temperature

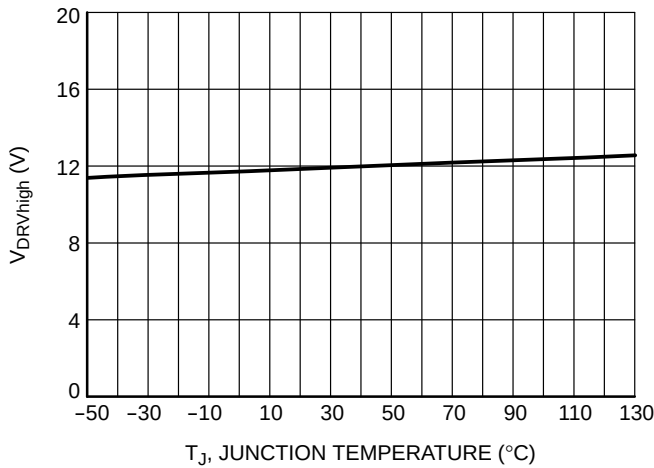


Figure 21. DRV Pin Level @ $V_{CC} = 35$ V ($R_L = 33$ kΩ, $C_L = 1$ nF) vs. Temperature

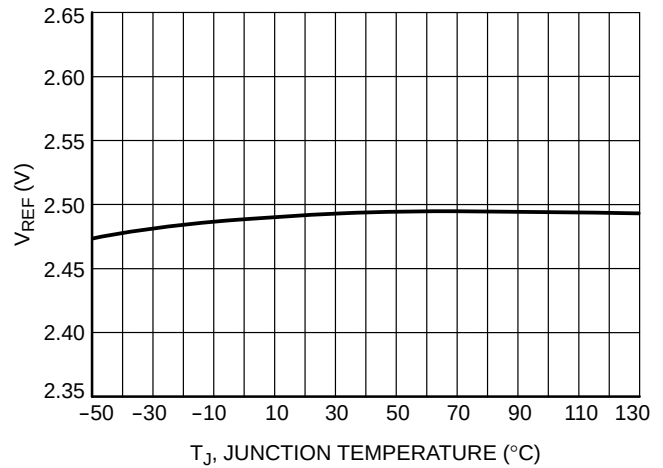


Figure 22. Feedback Reference Voltage vs. Temperature

TYPICAL CHARACTERISTICS

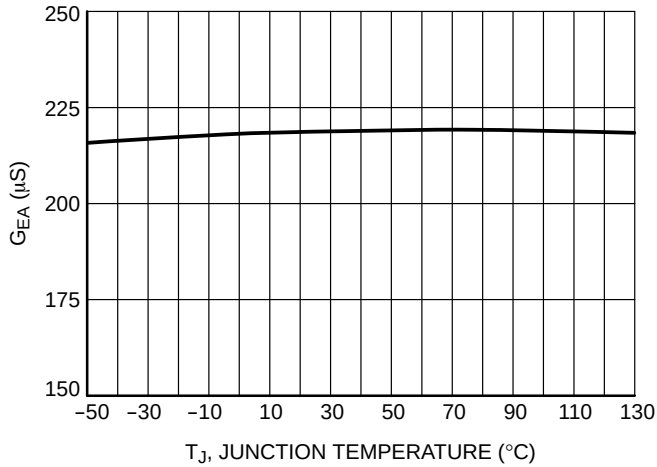


Figure 23. Error Amplifier Transconductance Gain vs. Temperature

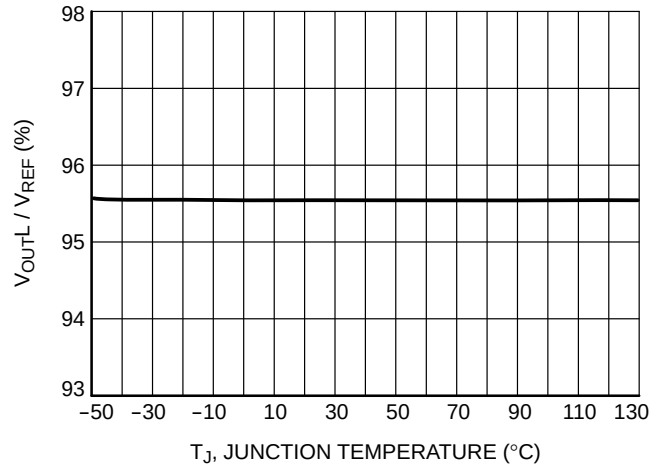


Figure 24. Ratio (V_{OUT} Low Detect Threshold / V_{REF}) vs. Temperature

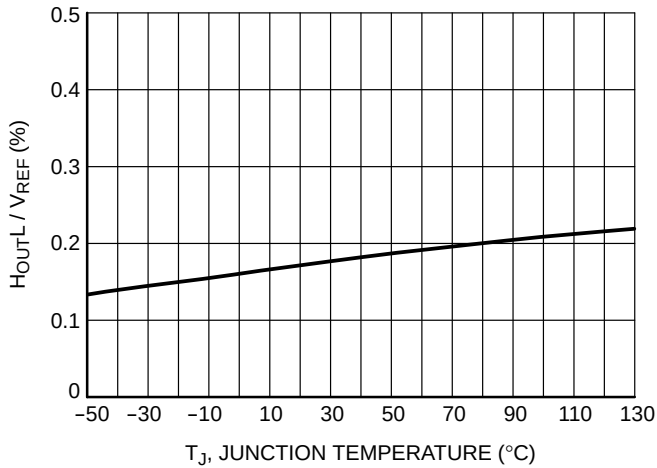


Figure 25. Ratio (V_{OUT} Low Detect Hysteresis / V_{REF}) vs. Temperature

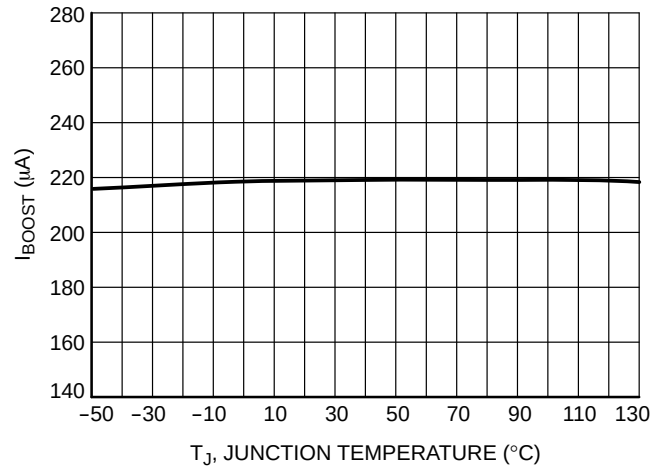


Figure 26. V_{CONTROL} Source Current when (V_{OUT} Low Detect) is Activated for Dynamic Response Enhancer (DRE) vs. Temperature

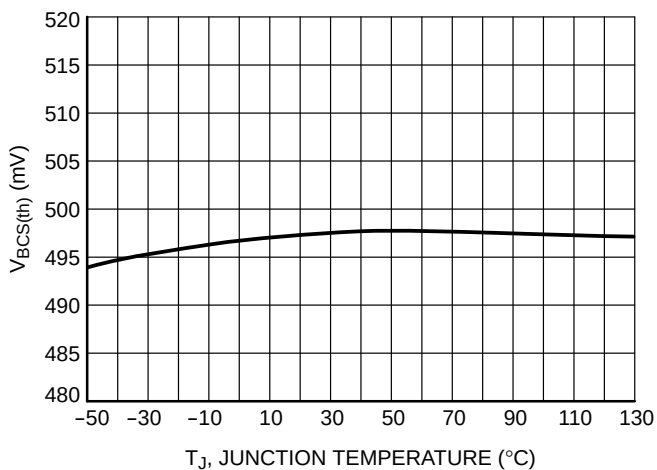


Figure 27. Current Sense Voltage Threshold vs. Temperature

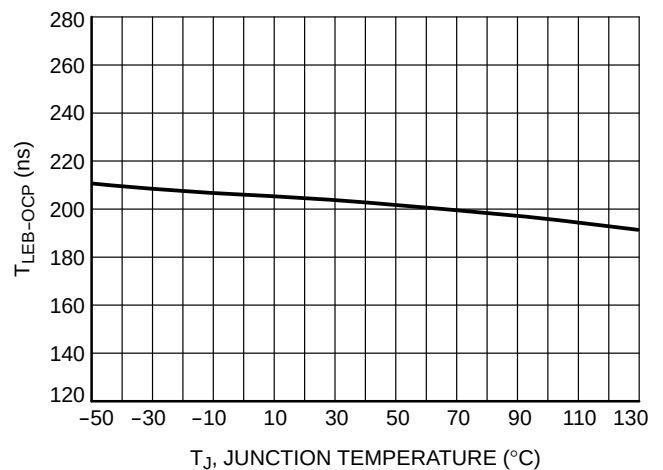


Figure 28. Over-current Protection Leading Edge Blanking vs. Temperature

TYPICAL CHARACTERISTICS

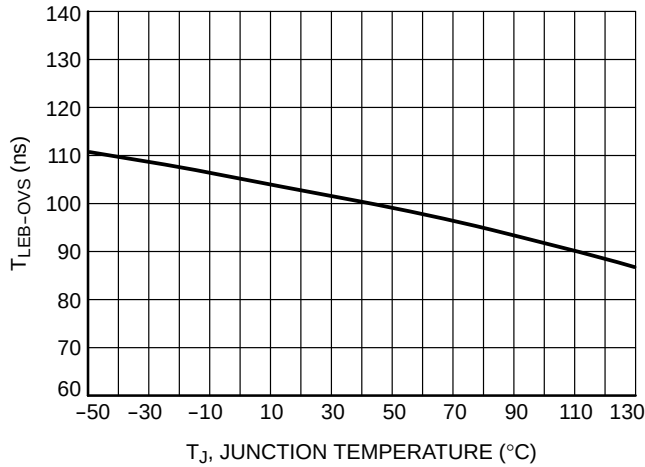


Figure 29. "Overstress" Protection Leading Edge Blanking vs. Temperature

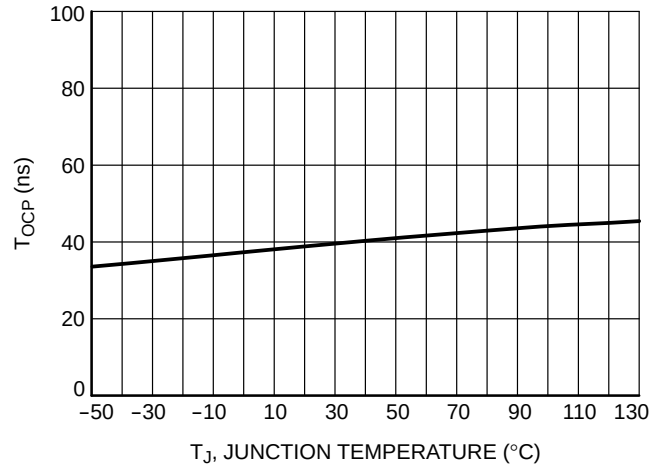


Figure 30. Over-current Protection Delay from $V_{CS/ZCD} > V_{CS(th)}$ to DRV Low ($dV_{CS/ZCD} / dt = 10 \text{ V}/\mu\text{s}$) vs. Temperature

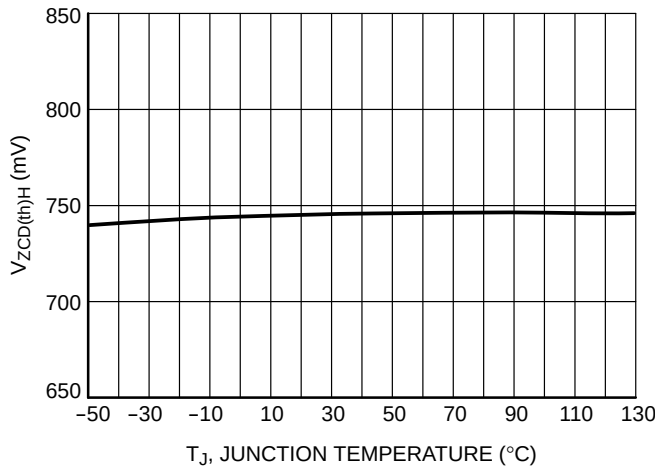


Figure 31. Zero Current Detection, $V_{CS/ZCD}$ Rising vs. Temperature

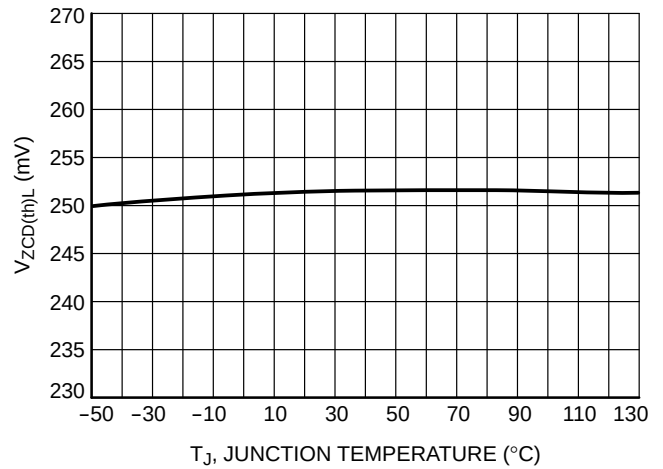


Figure 32. Zero Current Detection, $V_{CS/ZCD}$ Falling vs. Temperature

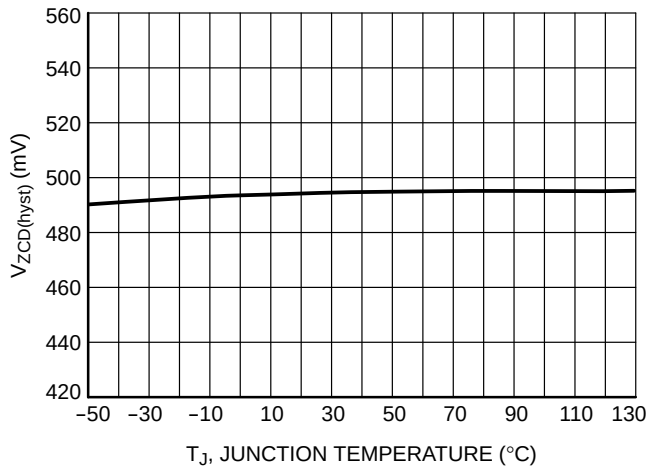


Figure 33. Hysteresis of the Zero Current Detection Comparator vs. Temperature

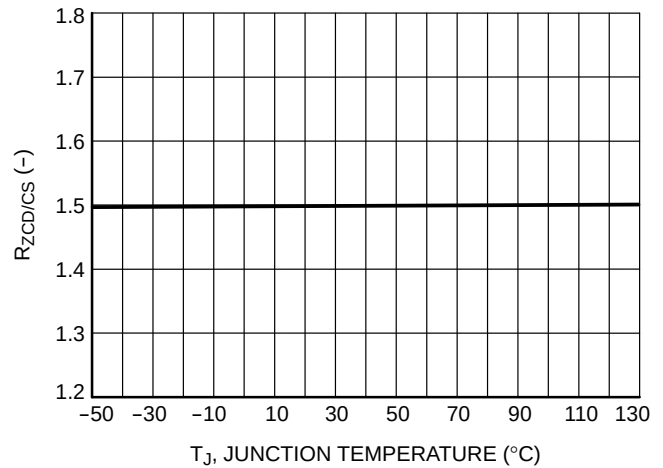


Figure 34. $V_{ZCD(th)}$ over $V_{CS(th)}$ Ratio vs. Temperature

TYPICAL CHARACTERISTICS

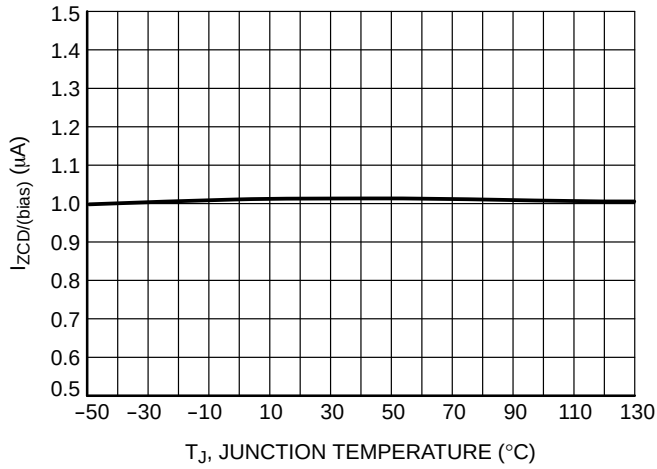


Figure 35. CS/ZCD Pin Bias Current @ $V_{CS/ZCD} = 0.75$ V vs. Temperature

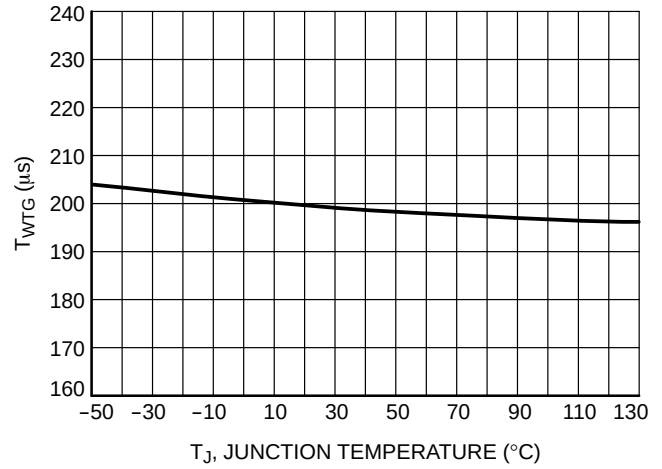


Figure 36. Watchdog Timer vs. Temperature

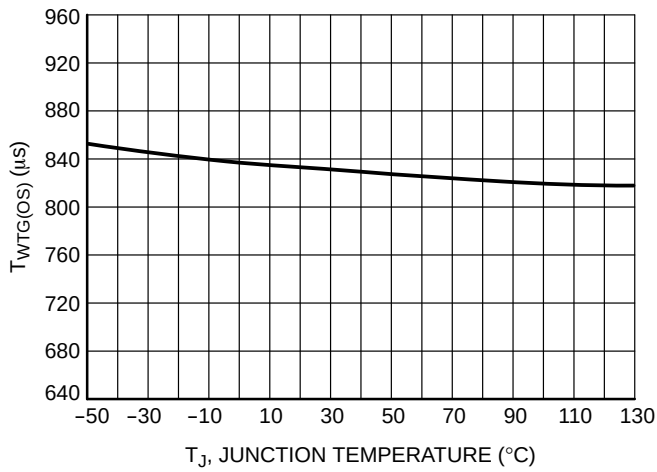


Figure 37. Watchdog Timer in "Overstress" Situation vs. Temperature

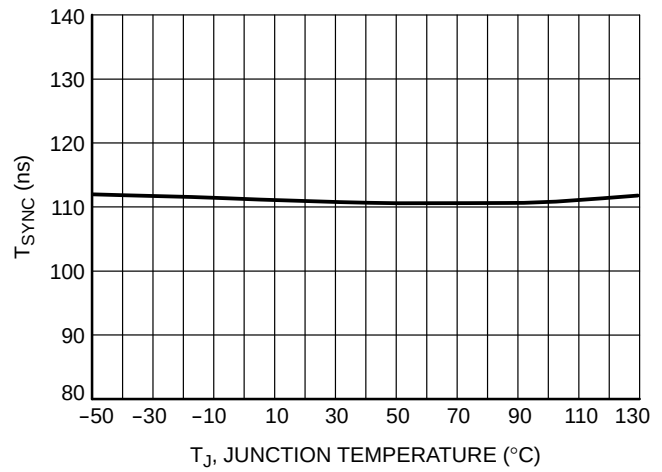


Figure 38. Minimum ZCD Pulse Width for ZCD Detection vs. Temperature

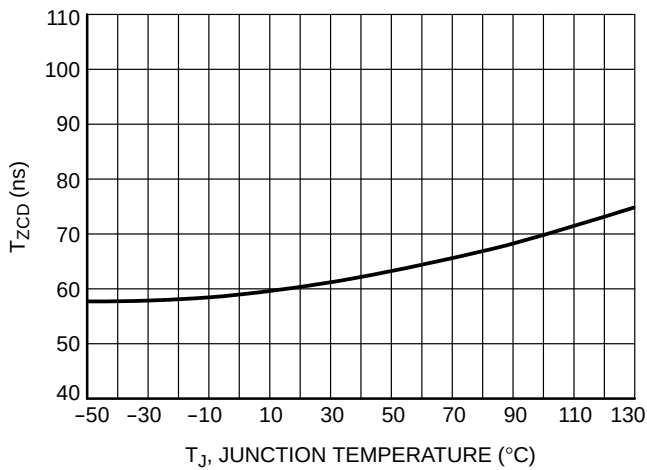


Figure 39. ($V_{CS/ZCD} < V_{ZCD(th)}$) to DRV High Delay vs. Temperature

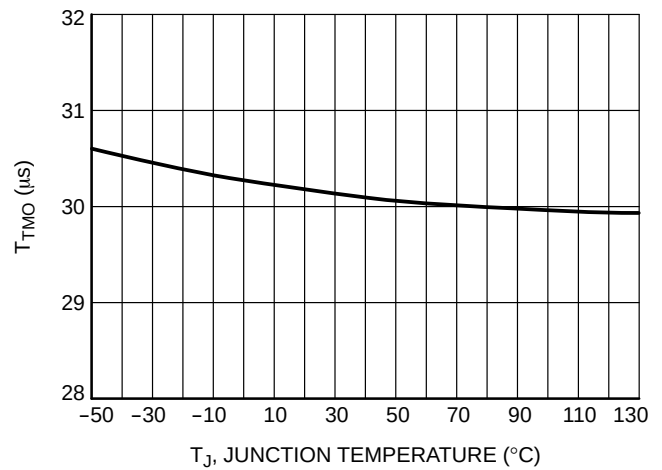


Figure 40. Timeout Timer vs. Temperature

TYPICAL CHARACTERISTICS

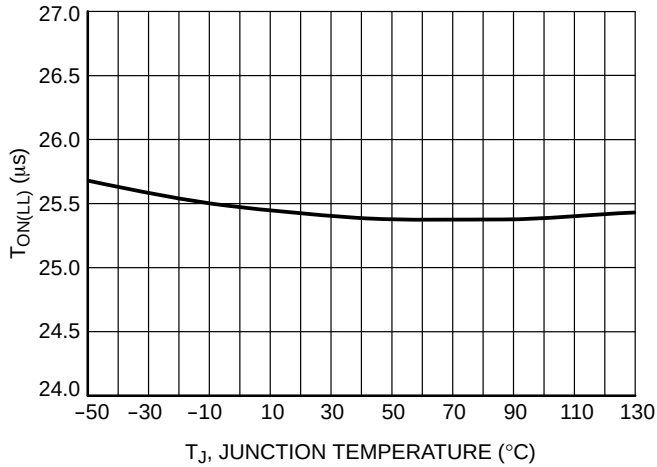


Figure 41. Maximum On Time @ $V_{SENSE} = 1.4\text{ V}$ vs. Temperature

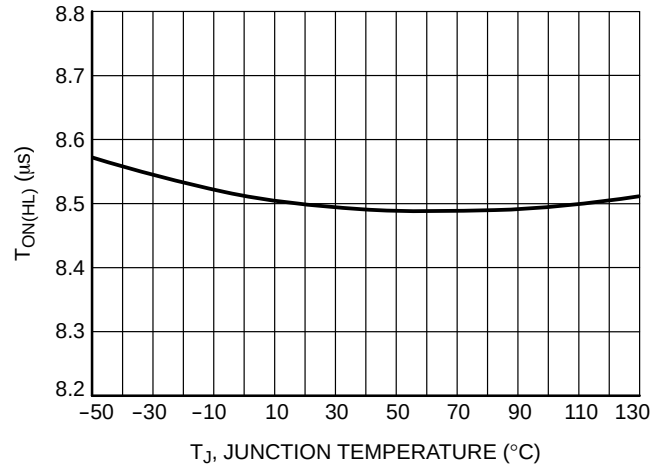


Figure 42. Maximum On Time @ $V_{SENSE} = 2.8\text{ V}$ vs. Temperature

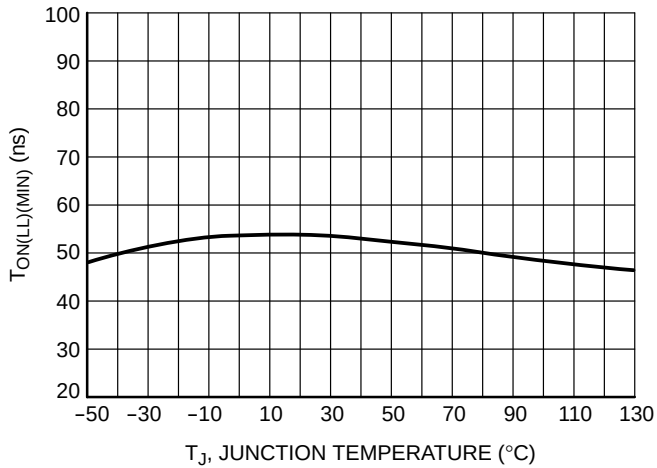


Figure 43. Minimum On Time @ $V_{SENSE} = 1.4\text{ V}$ vs. Temperature

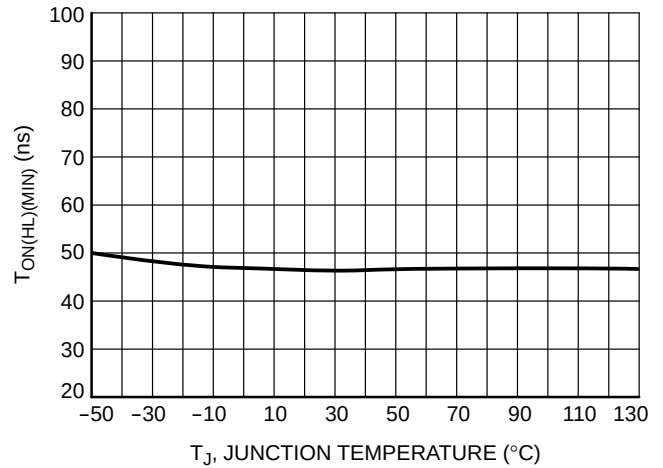


Figure 44. Minimum On Time @ $V_{SENSE} = 2.8\text{ V}$ vs. Temperature

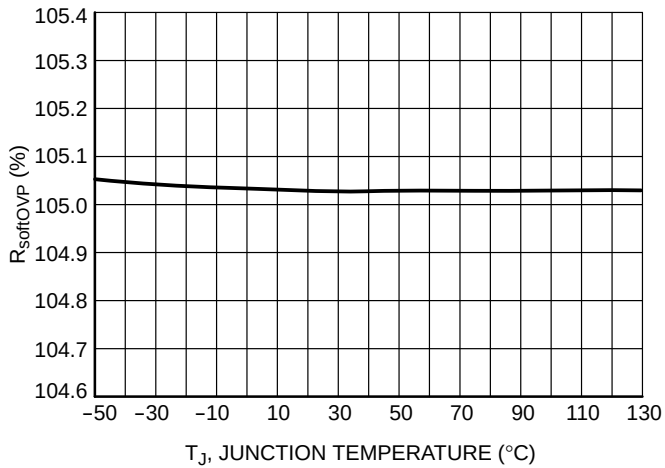


Figure 45. Ratio (Soft OVP Threshold, V_{FB} Rising) over V_{REF} vs. Temperature

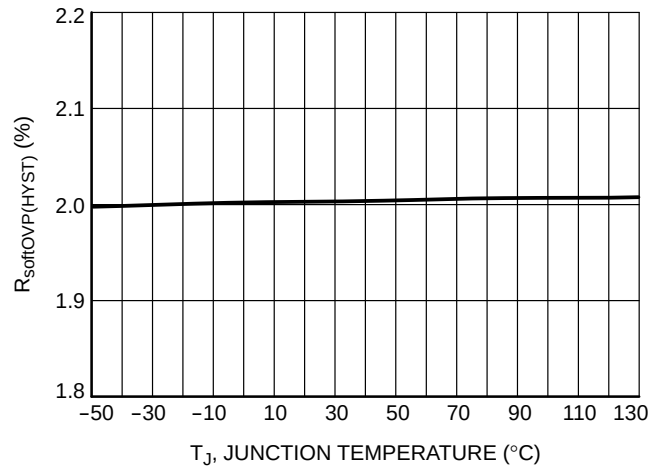


Figure 46. Ratio (Soft OVP Hysteresis) over V_{REF} vs. Temperature

TYPICAL CHARACTERISTICS

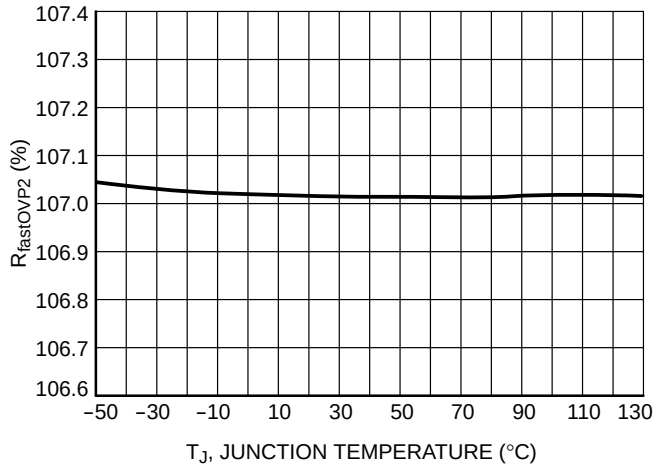


Figure 47. Ratio (fastOVP Threshold, V_{FOVP} Rising) over V_{REF} vs. Temperature

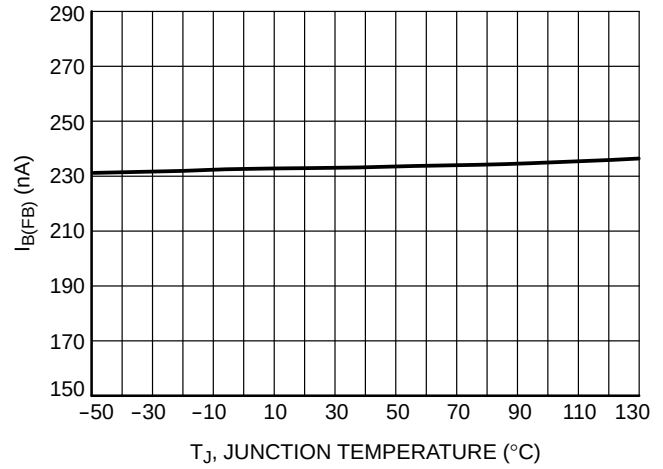


Figure 48. Feedback Pin Bias Current @ $V_{FB} = V_{OVP}$ vs. Temperature

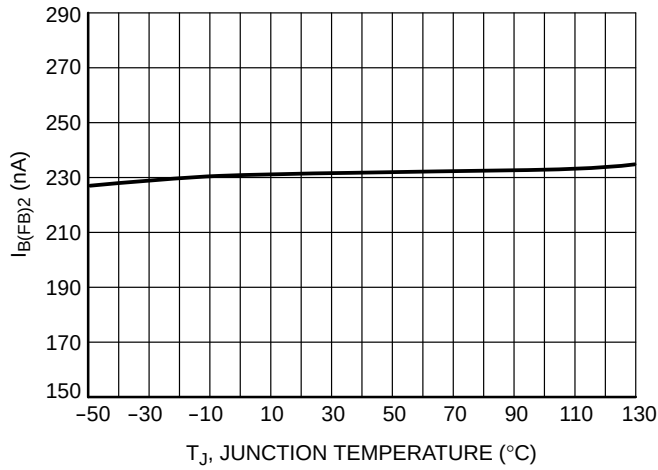


Figure 49. Feedback Pin Bias Current @ $V_{FB} = V_{UVP}$ vs. Temperature

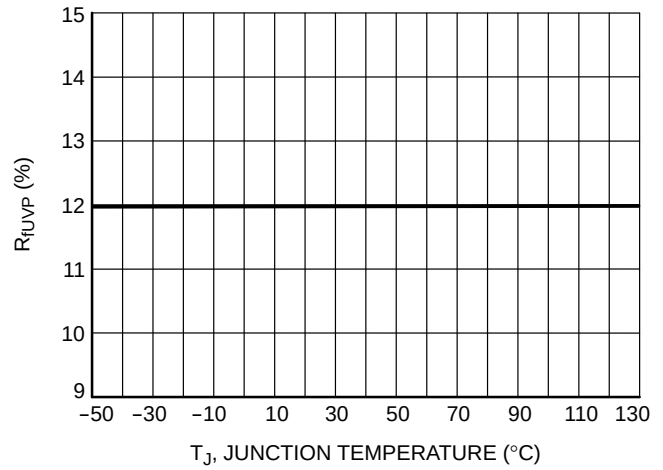


Figure 50. Ratio (UVP Threshold, V_{FB} Rising) over V_{REF} vs. Temperature

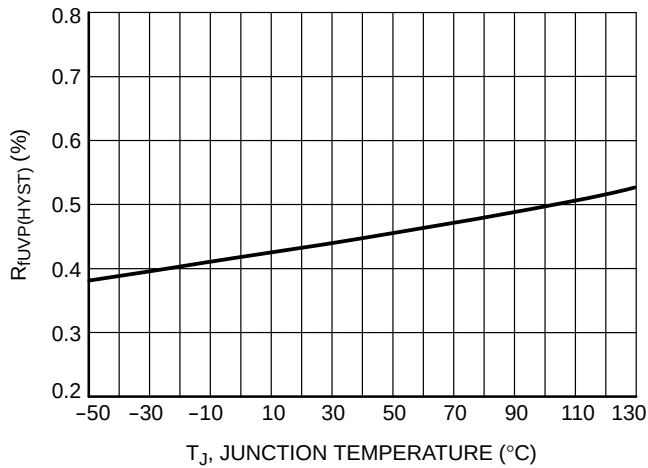


Figure 51. Ratio (UVP Hysteresis) over V_{REF} vs. Temperature

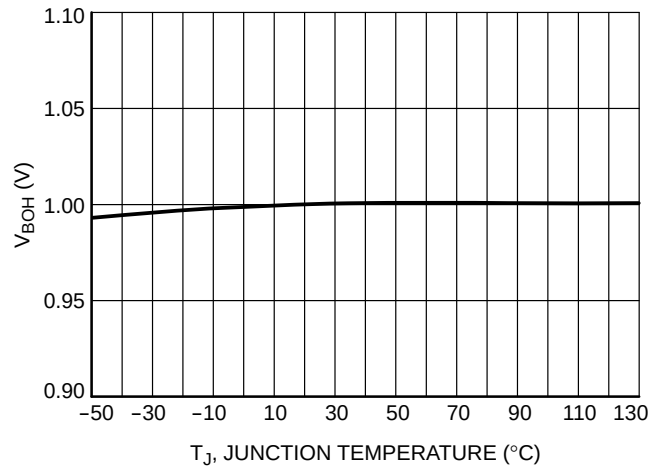


Figure 52. Brown-out Threshold, V_{SENSE} Rising vs. Temperature

TYPICAL CHARACTERISTICS

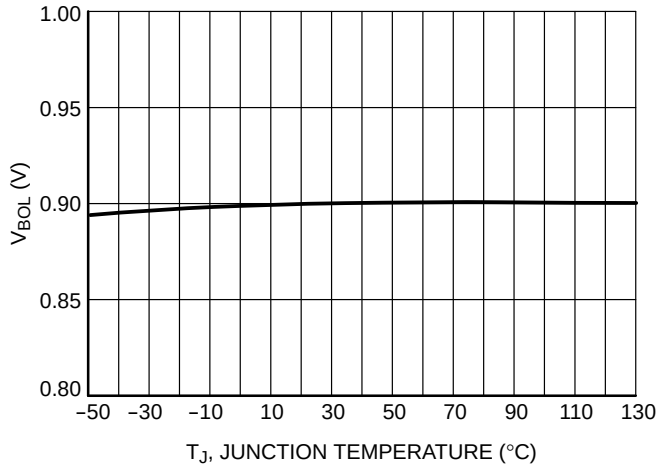


Figure 53. Brown-out Threshold, V_{SENSE} Falling vs. Temperature

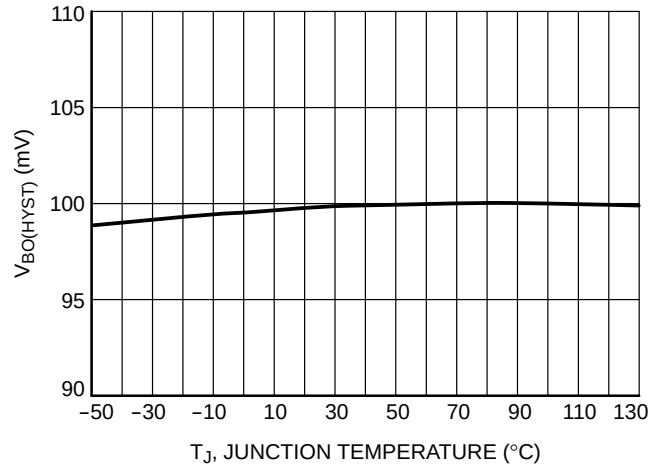


Figure 54. Brown-out Comparator Hysteresis vs. Temperature

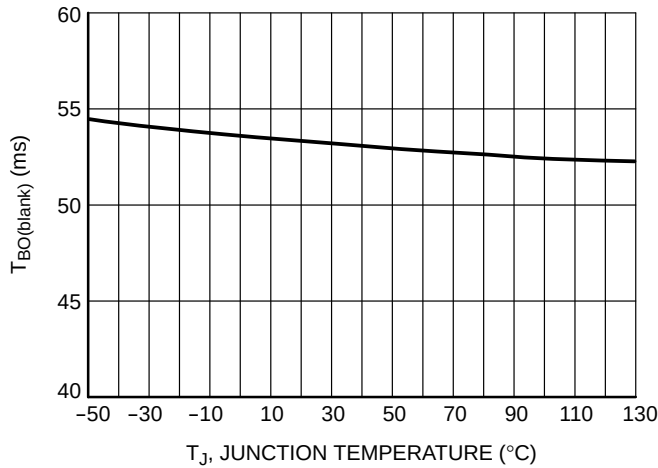


Figure 55. Brown-out Blanking Time vs. Temperature

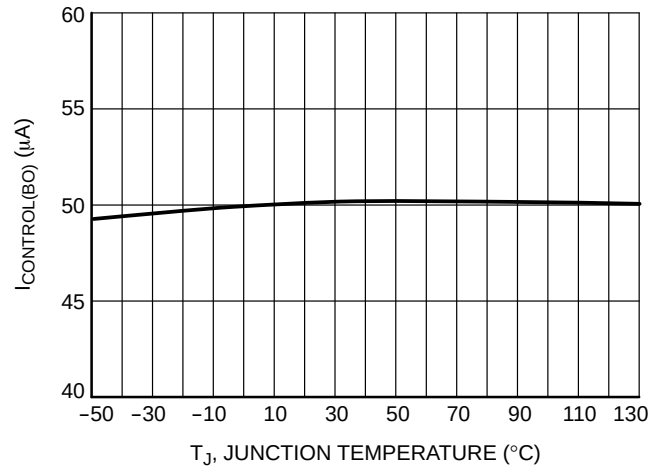


Figure 56. $V_{CONTROL}$ Pin Sink Current when a Brown-out Situation is Detected vs. Temperature

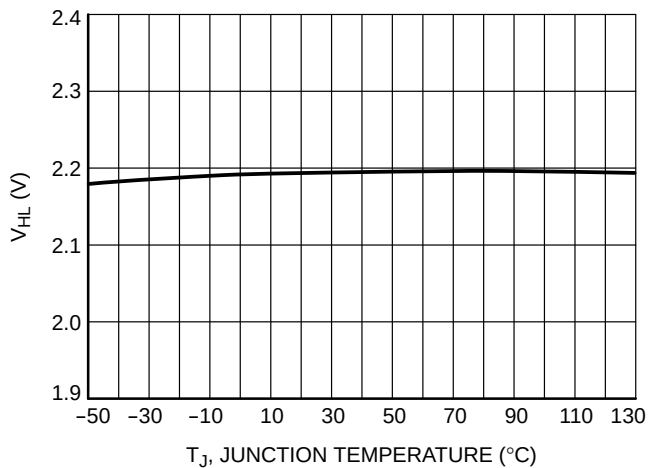


Figure 57. Comparator Threshold for Line Range Detection, V_{SENSE} Rising vs. Temperature

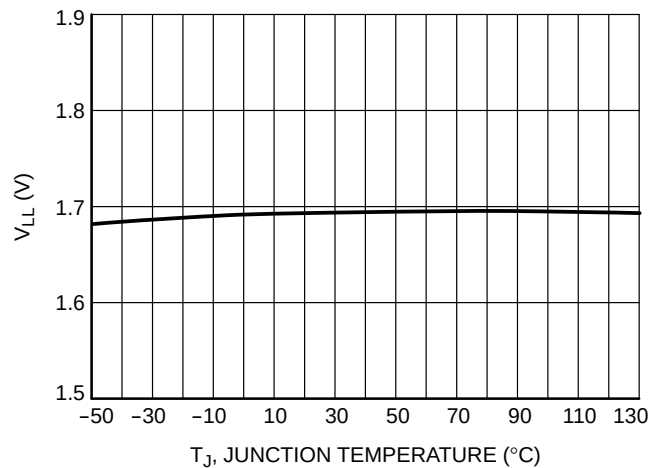


Figure 58. Comparator Threshold for Line Range Detection, V_{SENSE} Falling vs. Temperature

TYPICAL CHARACTERISTICS

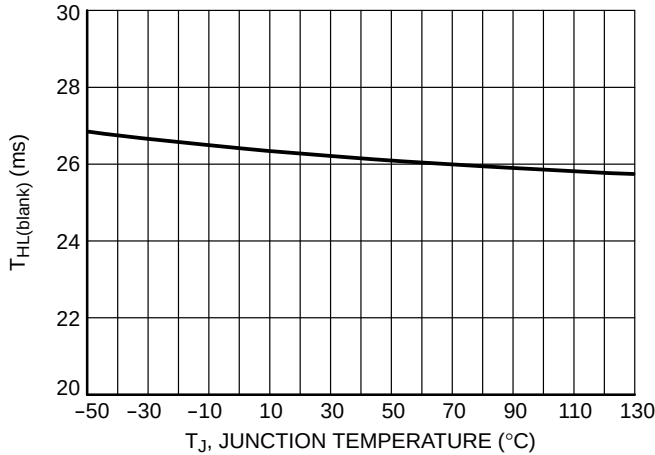


Figure 59. Blanking Time for Line Range Detection vs. Temperature

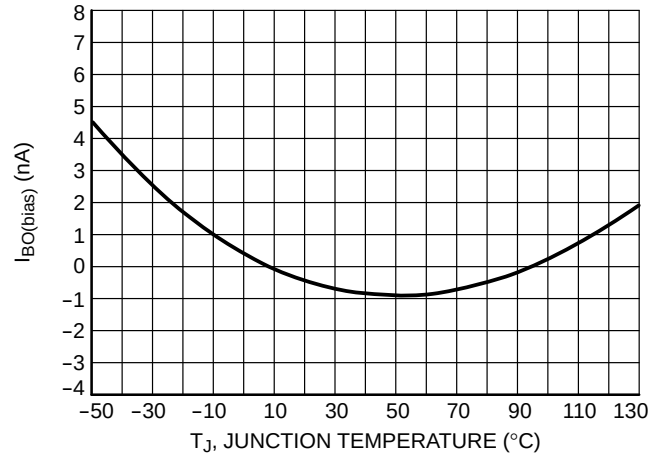


Figure 60. Brown-out Pin Bias Current, ($V_{SENSE} = V_{BOH}$) vs. Temperature

詳細な動作説明

はじめに

NCP1612は全負荷範囲でPFCステージの効率を最適化するように設計されています。加えて、不安定動作に対する保護機能を備えています。一般的に、NCP1612はコスト効果、信頼性、低スタンバイ電力、および高効率重視されるシステムに理想的です。

- 電流制御周波数フォールドバック: NCP1612は、いわゆる電流制御周波数フォールドバック (CCFF) でPFCブースト・ステージを駆動するように設計されています。このモードでは、インダクタ電流がプログラム可能な値を超えると、回路は一般に臨界導通モード (CrM) で動作します。電流がこのプリセット・レベルより低い場合、NCP1612は電流がゼロになる約20 kHzまで周波数を直線的に低下させます。CCFFは、標準負荷および軽負荷時の両方で効率を最大化します。具体的には、スタンバイ損失が最小限に低減されます。FCCrMコントローラと同様に、内部回路によってスイッチング周波数が低下しても1に近い力率が可能です。
- スキップ・モード: 効率をさらに最適化するために、回路は電流が非常に低いときは、ライン・ゼロ交差付近でサイクルをスキップします。これは電流に歪みが生じて電力伝達が特に非効率なときに、回路動作を回避するためです。優れた力率が要求されるときは、「FFcontrol」ピン5を0.75 Vだけオフセットしてこの機能を禁止できます。
- 低起動電流と広い V_{CC} 範囲(BおよびB2バージョン): ハイ・インピーダンスの起動抵抗を使用して V_{CC} コンデンサをプリチャージできるように、回路の消費電流が最小限に抑えられます。また、UVLOヒステリシスの最小値は6 Vで、大容量の V_{CC} コンデンサが不要であり、過度に消費電力の多い起動素子なしで起動時間を短縮するのに役立ちます。A, A1, A2およびA3バージョンは、外部電源(補助

電源またはダウストリーム・コンバータ)によって回路に電力が供給されるアプリケーションで選択されます。最大起動レベル(11.25 V)は回路を12 Vレールから給電できるように、十分低く設定されています。起動後は、高い V_{CC} 最大定格により、9.5~35 Vの広い動作範囲が可能になります。

- pfcOK信号: pfcOKピンはダウストリーム・コンバータをディセーブル/イネーブルします。PFC出力が公称レベルに達するまで接地され、NCP1612が障害を検出するたびに、PFCステージが公称バルク電圧を出力するとハイ・インピーダンス状態になります。加えて、A, A1, A3およびBバージョンでは、回路はピン10に7.5 Vを超える電圧が印加されるとラッチオフします。
- 高速ライン/負荷過渡補償(ダイナミック応答エンハンサ): PFCステージは低ループ帯域幅、負荷または入力電圧での急峻な変化(例: 起動時)によって、過剰なオーバershootまたはアンダershootが発生することがあります。この回路はレギュレーション・レベルからの逸脱を次のとおり制限します。
 - ソフト過電圧保護は、出力電圧が過剰になる傾向があるときに出力電圧を確実に維持します。
 - NCP1612は出力電圧がレギュレーション・レベルの95.5%以下に低下すると、安定化ループを大幅に高速化します。 V_{CC} が外部電源もしくはダウストリーム・コンバータによって供給されるアプリケーションを対象としたバージョン(A, A1, A2およびA3)では、この機能は、PFCステージが起動しpfcOKがHigh状態になるまでディセーブルされます。これは、 $V_{CONTROL}$ ピンの段階的なチャージによるソフトスタート効果から得られる利点です。
- 安全保護: NCP1612は、入力電圧と出力電圧、MOSFET電流、およびダイ温度を永続的にモニタ

して、システムを過度なストレスから保護するため、PFCステージはきわめて堅牢で信頼性が高いものになります。OVP保護に加えて、以下の保護手法が用意されています。

- 最大電流制限：回路はMOSFET電流を検知し、設定された電流制限を超えるとパワー・スイッチをオフにします。加えて、回路はインダクタの飽和またはバイパス・ダイオードの短絡の結果、電流が電流制限の150%に達すると、低デューティ・サイクル動作モードに入ります。
- 過電圧保護：この回路は、出力電圧が電圧リファレンスの12%未満(標準)に低下したことを検出するとオフになります。この機能は、acラインが低すぎるか、またはフィードバック回路網に障害(例えば、接続不良)がある場合にPFCステージを保護します。
- 高速過電圧検知(Fast OVP)：FOVPピンは、過度な出力電圧レベルとなった場合に十分な保護を実行します。NCP1612A2およびNCP1612B2バージョンでは、Fast OVPは回路をラッチオフします。
- バルク低電圧の検知(BUV)：BUV機能は、降電圧が低すぎる場合に、ダウンストリーム・コンバータが駆動することを防ぐために、実行されます。実際には、BUVコンパレータは、FOVPピン(NCP1612A, NCP1612A1, NCP1612A3 およびNCP1612Bの場合)あるいはFBピン(NCP1612A2およびNCP1612B2の場合)をモニタし、検知した電圧がBUVスレッシュホールド以下に

下がった時に、ドライバをディセーブルし、コントロールピンを徐々に放電し、pfcOKピンを接地します(A/A3バージョンでは2.5 Vリファレンス電圧の40%、その他のバージョンでは76%)。このBUV機能は、pfcOKピンがLow状態のときは常に実行されません。

- ブラウンアウト検出：回路は、低いacライン状態を検出すると動作を停止して、PFCステージを過剰なストレスから保護します。
- サーマル・シャットダウン：接合部温度が150°C(標準)を超えると、内部サーマル回路がゲート・ドライブをディセーブルします。回路は温度が約100°C(50°Cヒステリシス)未満に下がると、動作を再開します。
- 出力ステージのトータム・ポール：
NCP1612は、大部分のTO220またはTO247パワーMOSFETを効率的にドライブする-0.5 A/+0.8 Aのゲート・ドライブを内蔵しています。

NCP1612の動作モード

前述のとおり、NCP1612 PFCコントローラは、電流制御周波数フォールドバック(CCFF)を実装しています。ここで、

- 回路は、インダクタ電流がプログラム可能な値を超えると、一般に臨界導通モード(CrM)で動作します。
- 電流がこのプリセット・レベルより低い場合、NCP1612は周波数を電流がゼロになる約20 kHzまで直線的に低下させます。

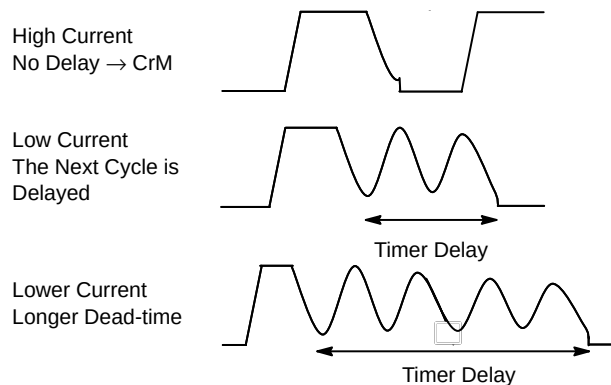


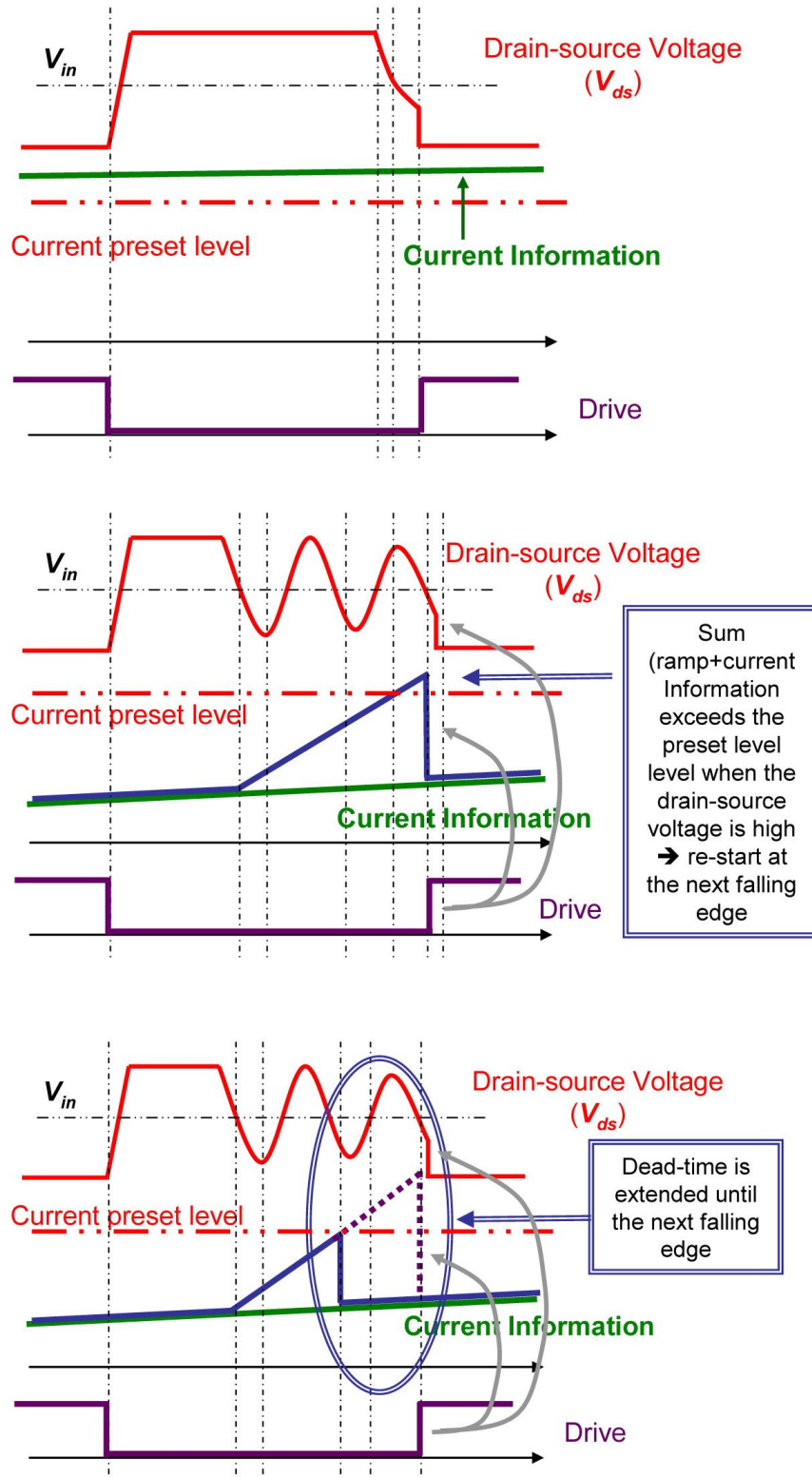
Figure 61. CCFF Operation

Figure 61に示すとおり、高負荷状態では、ブースト・ステージがCrMで動作しますが、負荷が減少するとコントローラは制御周波数不連続動作に入ります。

Figure 62に詳細な動作を示します。入力電流(「電流情報」)の電圧表現が生成されます。この信号が2.5 V内部リファレンス(Figure 62の「Dead-Time Ramp Threshold」)より高い場合、デッドタイムは無く、回路はCrMで動作します。電流情報が2.5 Vスレッシュホールドよりも低い場合、内部ランプが電流情報フロアから2.5 Vまで達するのに必要な時間の間継続するデッドタイムが挿入されます。したがって、電流情報が低いほどデッドタイムが長くなります。NCP1612A3を除く全てのバージョンでは、電流情報

が概ね0.65 Vのとき、Maximum dead-timeは約48.5 μ sです。NCP1612A3では、電流情報が概ね0.90 Vのとき、Maximum dead-timeを通常41.5 μ sに制限します。双方の場合共に、電流情報がさらに減少する場合は、回路はスキップモードに入ります。(次節を参照ください)

さらに損失を低減するために、MOSFETのターンオフはドレイン・ソース間電圧がバレーになるまで延長されます。Figure 62に示すとおり、ランプはドレイン・ソースのリングングに同期します。ドレイン・ソース間電圧が V_{in} 未満のときに、ランプが2.5 Vスレッシュホールドを超えると、ランプはドライブが次のバレーでターンオンするように、 V_{in} 以上で発振するまで延長されます。



Top: CrM operation when the current information exceeds the preset level during the demagnetization phase

Middle: the circuit re-starts at the next valley if the sum (ramp + current information) exceeds the preset level during the dead-time, while the drain-source voltage is high

Bottom: the sum (ramp + current information) exceeds the preset level while during the dead-time, the drain-source voltage is low. The circuit skips the current valley and re-starts at the following one.

Figure 62. Dead-Time generation

電流情報の生成

「FFcontrol」ピンは入力電流を示す電圧を供給します。実際には、 I_{pin5} は、内部制御信号(V_{REGUL} 、すなわちオンタイムを制御する内部信号)に電圧に比例するセンス電圧(ピン4)を乗算して形成されます。乗算器ゲイン(Figure 63の K_m)は、高ライン状態

(すなわち、ブラウンアウト・ブロックからの「LLine」信号がロー状態のとき)では1/3なので、 I_{pin5} は、ピン5とグランド間に配置された抵抗 R_{FF} 両端の入力電流を示す電圧を供給します。ピン5の電圧が電流情報です。

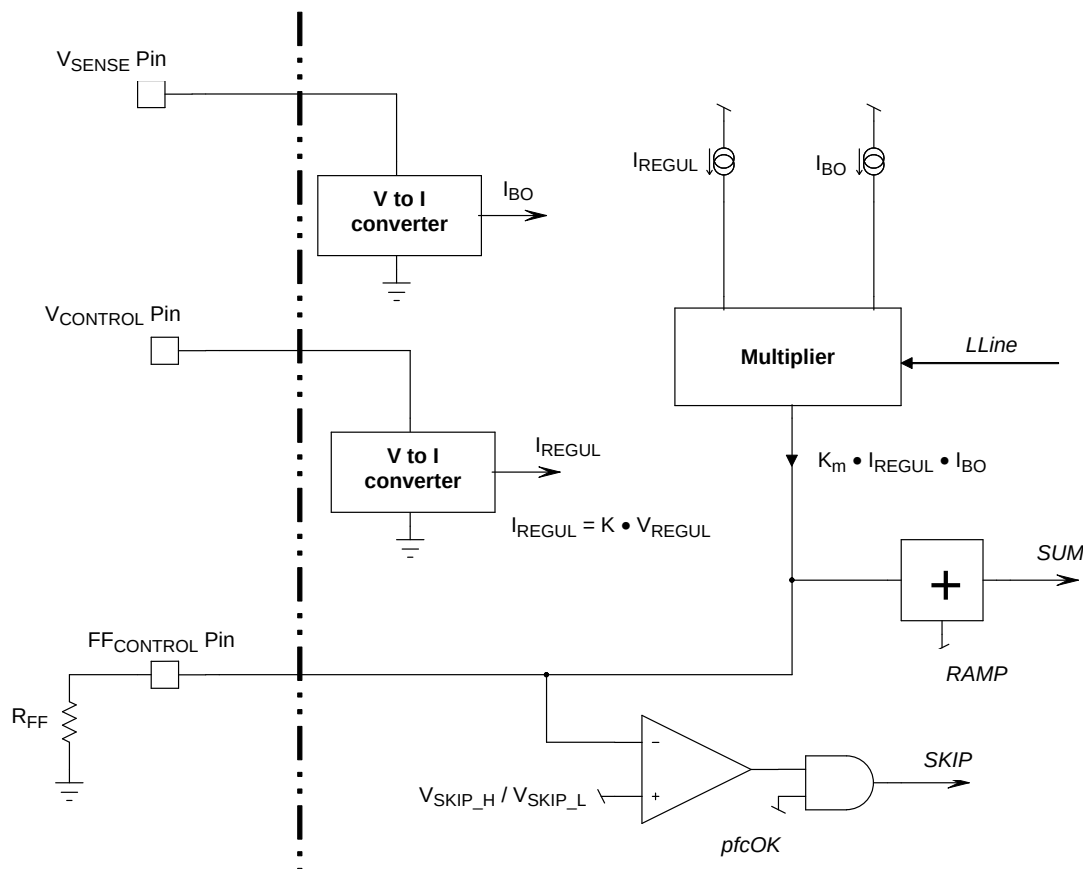


Figure 63. Generation of the Current Information

スキップ・モード

Figure 63に示すとおり、回路は電流が非常に低ライン・ゼロ交差付近でもサイクルをスキップします。コンパレータがピン5の電圧(「FFcontrol」電圧)をモニタし、 V_{pin5} が0.65 Vの内部リファレンスより低いと、スイッチング動作を禁止します。 V_{pin5} が0.75 V (0.1 Vヒステリシス)を超えるとスイッチングを再開します。この機能は電流の歪みがわずかに増大しますが、電力伝達が特に非効率なときに回路の動作を防止します。高い力率が要求されるときは、「FFcontrol」ピンを0.75 Vだけオフセットしてこの機

能を禁止できます。PFCステージが通常動作を行っていないときは、スキップ・モード機能はディセーブルされます(「pfcOK」信号で指示 - ブロック図および「pfcOK内部信号」セクション参照)。

回路は V_{pin5} が V_{SKIP_L} より低くなっても、突然スイッチングを中断することはありません。 V_{TON} 処理ブロックに印加される V_{REGUL} 信号を接地すると、オンタイムを制御する信号 V_{TON} が徐々に低下します(Figure 68を参照)。そうすると、オンタイムは通常3~4スイッチング期間で滑らかにゼロに低下します。Figure 64に実際の回路例を示します。

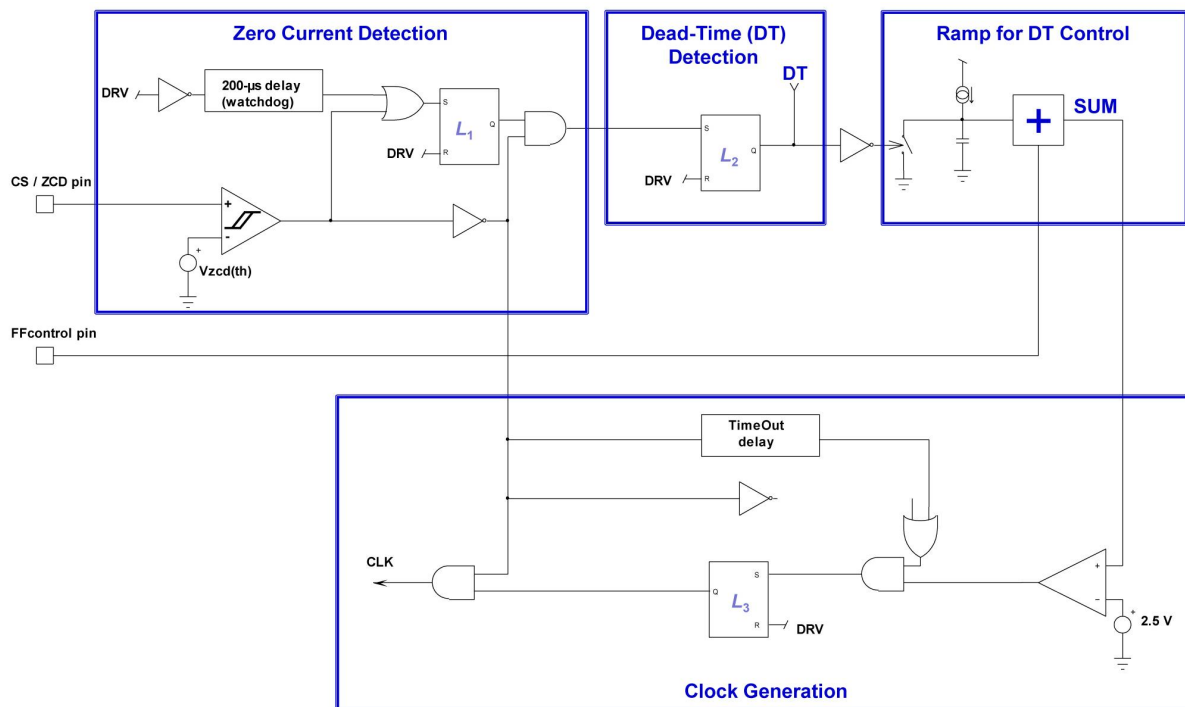


Figure 64. CCFF Practical Implementation

CCFFは標準負荷および軽負荷時の両方で効率を最大化します。具体的には、スタンバイ損失が最小限に抑えられます。また、この手法はシステムがバレー間で停止するのを回避します。回路はFigure 65に

示すとおり、PFCステージが n バレーから $(n + 1)$ バレー、またはその逆に n バレーから $(n - 1)$ バレーに遷移するように動作します。

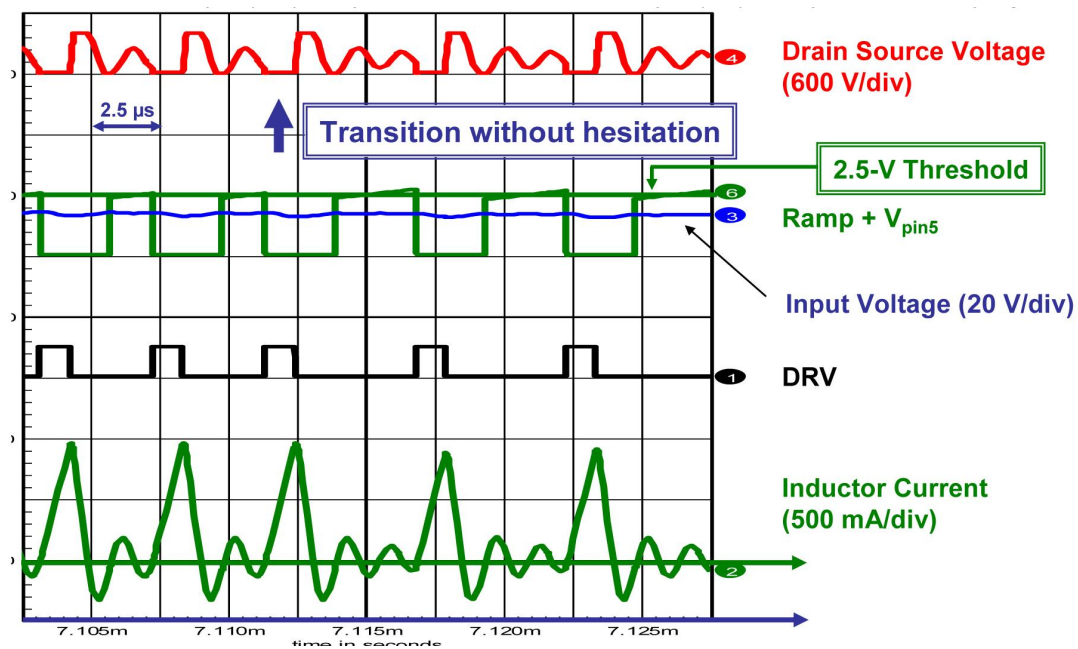


Figure 65. Clean Transition Without Hesitation Between Valleys

NCP1612 のオンタイム変調

PFCブースト・ステージで吸収されるacライン電流を解析しましょう。各スイッチング・サイクル開始時の初期インダクタ電流は常にゼロです。コイル電流はMOSFETがオンのときに上昇します。傾斜は (V_{IN}/L) で、 L はコイルのインダクタンスです。オンタイム(t_1)の終わりに、インダクタは消磁を開始します。インダクタ電流はゼロになるまで減少します。このフェーズの持続時間は(t_2)です。場合によって、システムが動作し、次のクロックまで持続するデッドタイム (t_3)が生成されます。

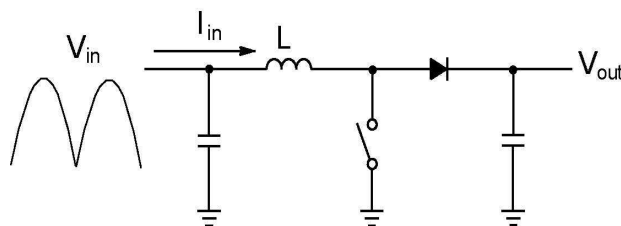


Figure 66. PFC Boost Converter (left) and Inductor Current in DCM (right)

NCP1612は電圧モードで動作します。Figure 67に示すとおり、MOSFETのオンタイム t_1 は、以下のとおりレギュレーション・ブロックと内部ランプで生成される信号 V_{ton} によって制御されます。

$$t_1 = \frac{C_{ramp} \cdot V_{ton}}{I_{ch}} \quad (\text{eq. 2})$$

充電電流は所定の入力電圧で一定です(前述のとおり、高ラインの電流は低ラインの値の3倍)。
C_{cramp}は入力コンデンサです。

レギュレーション・ブロックの出力(V_{CONTROL})は、0 Vと1 Vの間に**変換**する信号(V_{REGUL})に直線的に**変換**されます。(V_{REGUL})は、PWMセクションに注入され、MOSFETのデューティ・サイクルを**変調**する電圧です。NCP1612は、(V_{REGUL})を処理して、PWMセクションで使用される信号(V_{ton})を形成する回路を**内蔵**しています(Figure 68参照)。(V_{ton})は、先行電流サイクル中に検知されたデッドタイムに**応答**して、すなわちacライン電流の適切な整形のために**変調**されます。この**変調**から次式が導かれます。

$$V_{ton} = \frac{T \cdot V_{REGUL}}{t_1 + t_2} \quad (\text{eq. 3})$$

または

$$V_{ton} \cdot \frac{t_1 + t_2}{T} = V_{REGUL}$$

PFCシステムでレギュレーション帯域幅が狭い場合、 (V_{CONTROL}) および (V_{REGUL}) は低速で変化する信号です。このため、 $(V_{\text{ton}} \times (t_1 + t_2)/T)$ の項は実質的に一定です。加えて、 (t_1) が (V_{ton}) に正比例する場合は、式1から次式が導かれます。ここで k は定数です。より正確には、次のようになります。

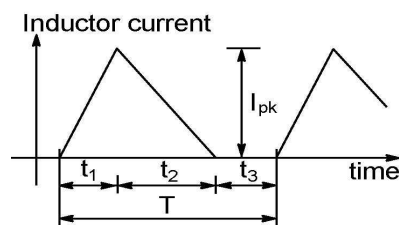
$$I_{in} = k \cdot V_{in}$$

acライン電流は次式で与えられます。

$$I_{in} = V_{in} \left[\frac{t_1(t_1 + t_2)}{2TL} \right] \quad (\text{eq. 1})$$

ここで、 $T = (t_1 + t_2 + t_3)$ は、スイッチング期間で V_{in} はacラインの整流電圧です。

この式を考察すれば、 $[t_1(t_1 + t_2) / T]$ が一定の場合、 I_{in} が V_{in} に比例することがすぐに分かります。



ここで、

$$k = constant = \left[\frac{1}{2L} \cdot \frac{V_{REGUL}}{(V_{REGUL})_{max}} \cdot t_{on,max} \right]$$

ここで、 t_{on-max} は、 V_{REGUL} が $(V_{REGUL})_{max}$ 最大レベルのときに得られる最大オンタイムです。パラメータ表は、低ラインで $t_{on,max}$ が $25\ \mu s$ ($T_{ON(LL)}$)、高ラインで $8.5\ \mu s$ ($T_{ON(HL)}$) ($40\ Hz$ 以上の速度でピン4が $1.8\ V$ を超えた場合 - $BO\ 25\ ms$ のブランキング時間を参照)であることを示します。

したがって、上式は次のように書き直すことができます。

$$I_{in} = \frac{V_{in} \cdot T_{ON(LL)}}{2 \cdot L} \cdot \frac{V_{REGUL}}{(V_{REGUL})_{max}}$$

低ラインにおいて

$$I_{in} = \frac{V_{in} \cdot T_{ON(HL)}}{2 \cdot L} \cdot \frac{V_{REGUL}}{(V_{REGUL})_{max}}$$

高ラインにおいて

これらの式から、次のとおり平均入力電力に関する式を導出できます。

$$P_{in,avg} = \frac{(V_{in,rms})^2 \cdot V_{REGUL} \cdot T_{ON(LL)}}{2 \cdot L \cdot (V_{REGUL})_{max}}$$

低ラインにおいて

$$P_{in,avg} = \frac{(V_{in,rms})^2 \cdot V_{REGUL} \cdot T_{ON(HL)}}{2 \cdot L \cdot (V_{REGUL})_{max}}$$

高ラインにおいて

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

ここで、 $(V_{REGUL})_{max}$ は、 V_{REGUL} 最大値です。

したがって、PFCステージで供給可能な最大電力は次のとおりです。

$$(P_{in,avg})_{max} = \frac{(V_{in,rms})^2 \cdot T_{ON(LL)}}{2 \cdot L}$$

低ラインにおいて

$$(P_{in,avg})_{max} = \frac{(V_{in,rms})^2 \cdot T_{ON(HL)}}{2 \cdot L}$$

高ラインにおいて

入力電流は入力電圧に正比例します。そのため、acライン電流は正しく整形されます。

この解析はCrMのケースでも有効なことに注意してください。この条件は、この機能の($t_3 = 0$)での特定ケースであり、($t_1 + t_2 = T$)および($V_{TON} = V_{REGUL}$)が導かれます。これが、NCP1612が力率の低下や電

力供給の不連続性なしに、DCMおよびCrMの状態とDCMおよびCrMからの遷移(およびその逆)に自動的に適応する理由です。

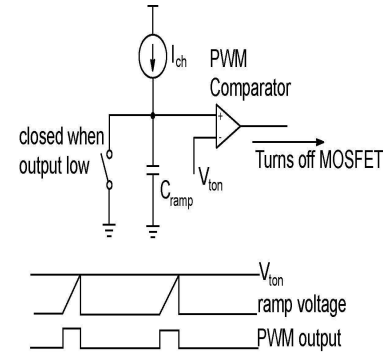


Figure 67. PWM circuit and timing diagram.

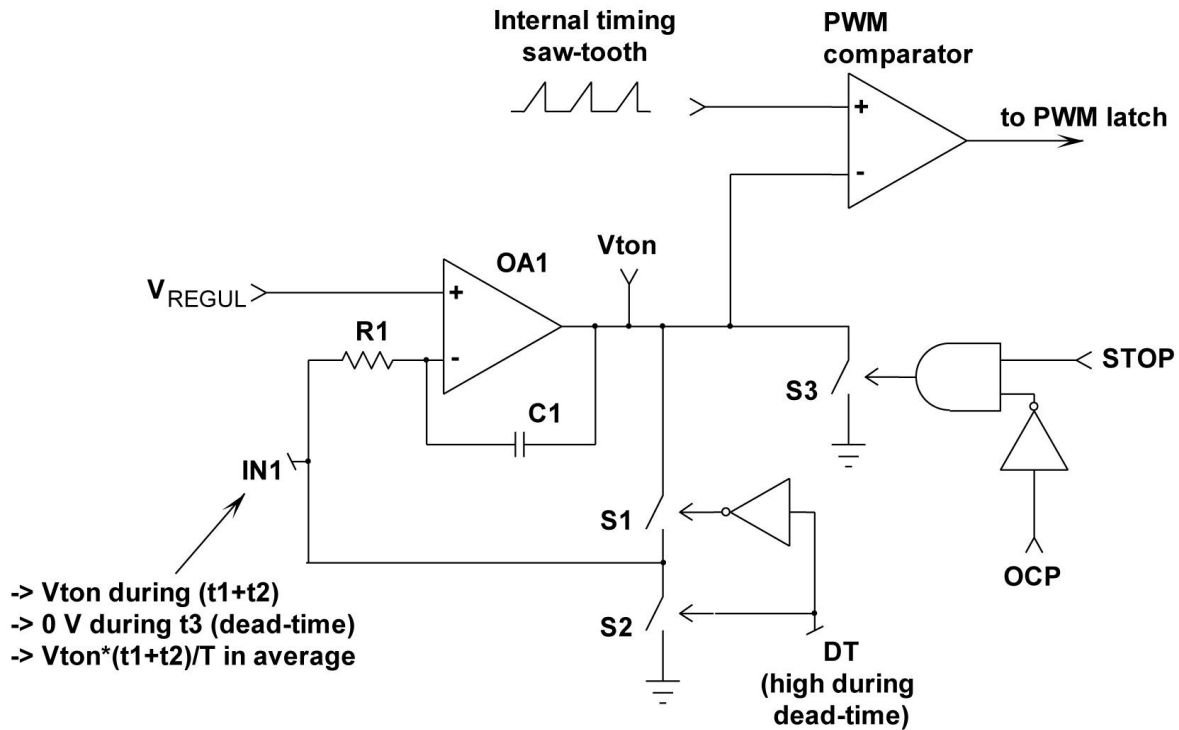


Figure 68. V_{TON} Processing Circuit. The integrator OA1 amplifies the error between V_{REGUL} and IN1 so that on average, $(V_{TON} \cdot (t_1+t_2)/T)$ equates V_{REGUL} .

備考:

「 V_{ton} 処理回路」は、ある条件が駆動動作の長時間中断(駆動を無効にするSTOP信号を生成する機能-OCPすなわち、BUV_fault、OVP、OverStress、SKIP、staticOVP、OFFを除く。ブロック図参照)につながる可能性があるときに「通知」されます。そうでない場合、このような状況は通常のデッドタイム・フェーズとみなされ、 V_{ton} は補償を行うために V_{ton} を不適切に長くすることになります。それに対し、

Figure 68に示すとおり、 V_{ton} 信号は接地され、回路が回復すると短いソフトスタートが行われます。

安定化ブロックおよび低出力電圧の検出

反転入力および出力へのアクセスを備えた相互コンダクタンス・エラー・アンプ(OTA)が内蔵されています。このエラー・アンプは200 μS の標準相互コンダクタンスと $\pm 20 \mu A$ の最大電流能力を備えています。PFCステージの出力電圧は、一般に抵抗分割器

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

によって分圧され、反転入力(ピン2)でモニタされます。バイアス電流は最小化され(500 nA未満)、高インピーダンスのフィードバック回路網を使用できます。しかし、バイアス電流はピンが未接続の場合にピンがLow状態を維持するのに十分な値です。

外部ループ補償のために、エラー・アンプの出力はピン3に引き出されています。一般に、ピン3とグラウンド間にタイプ2回路網が挿入され、安定化帯域幅を約20 Hz低く設定し、適当な位相ブーストを提供します。

エラー・アンプ出力の振幅は、正確に次の範囲内に制限されます。

- 何らかの回路によって、強制的に電圧降下(VF)より高く設定されます。
- また、4.0 V + 同じV_F電圧降下を超えないようクランプされます。

このため、 V_{pin3} は、4 Vの電圧振幅を出力します。 V_{pin3} は、(V_F)だけ低くオフセットされ、「 V_{TON} 処理ブロック」およびPWMセクションに接続される前に、抵抗分割器によってスケール・ダウンされます。最終的に、安定化ブロックの出力は、0から最大オンタイムに相当する最大値まで変動する信号(ブロック図の「 V_{REGUL} 」)です。

V_F値は標準0.5 Vです。

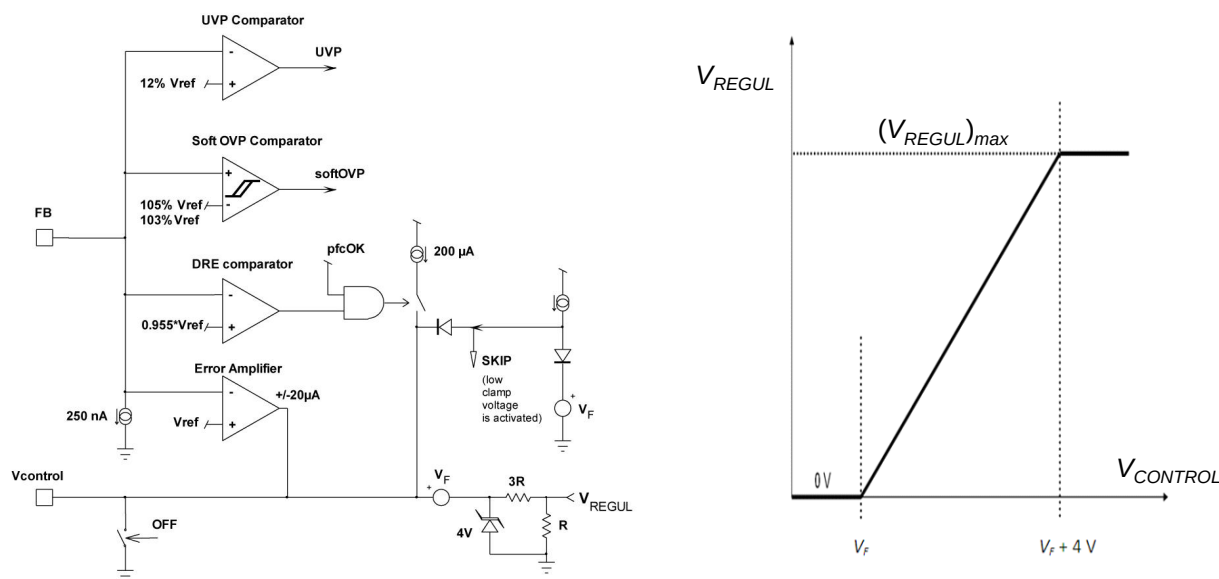


Figure 69. a) Regulation Block Figure (left), b) Correspondence between V_{CONTROL} and V_{REGUL} (right)

安定化ループの帯域幅が狭い場合、負荷の急激な変動により、過剰なオーバシュートやアンダシュートが発生する可能性があります。オーバシュートは、フィードバック・ピンまたはピン1のfast OVPに接続されるソフト過電圧保護(OVP)によって制限されます。

NCP1612はアンダシュートを抑制する「ダイナミック応答エンハンサ」回路(DRE)を内蔵しています。内部コンパレータはフィードバック(V_{pin1})をモニタし、 V_{pin2} が公称値の95.5%を下回った場合は、200 μ Aの電流源を接続して、補償回路網の充電を高速化します。これは効果的にループ・ゲインの10倍増加となって現れます。

A, A1, A2およびA3バージョンでは、DREはPFCステージの出力電圧が安定化する(つまり、ブロック図の「pfcOK」信号がハイになる)までディセーブルされます。その結果、ピン3電圧(V_{CONTROL})の低速および漸次充電によって、ソフト起動シーケンスが穏やかになります。BおよびB2バージョンでは、起動中にDREがイネーブルされてこのフェーズが高速化され、より小容量の V_{CC} コンデンサが使用できるようになります。

回路はオーバシュートも検出し、出力電圧が目標レベルの105%を超えると電力供給を即時に低減します。NCP1612はスイッチングを突然中断することはありません。そうではなく、 V_{TON} 処理ブロックに印加される V_{REGUL} 信号を接地することによって、オンタイムを制御する信号 V_{TON} が徐々に低下します (Figure 68を参照)。そうすると、オンタイムは通常4~5スイッチング周期で滑らかにゼロまで低下します。出力電圧がおお上昇する場合、出力電圧が目標レベルの108.5%を超えると、fast OVPコンパレータは即時にドライバをディセーブルします。

エラー・アンプOTAとsoft OVP、UVPおよびDREコンパレータは、同じ入力情報を共有します。それらのパラメータの標準値に基づき、($V_{out,nom}$)が出力電圧の公称値(例えば、390 V)の場合は、次のとおり推定できます。

- 出力安定化レベル: $V_{out,nom}$
- 出力**soft OVP**レベル: $V_{out,sovp} = 105\% \times V_{out,nom}$
- 出力**UVP**レベル: $V_{out,uvp} = 12\% \times V_{out,nom}$
- 出力**DRE**レベル: $V_{out,dre} = 95.5\% \times V_{out,nom}$

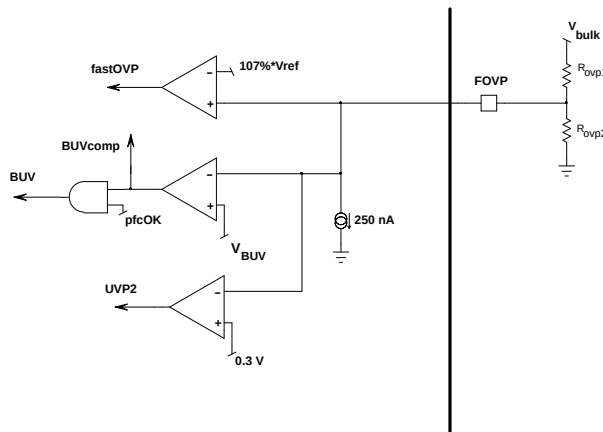
高速OVPおよびバルク低電圧(BUV)

これらの機能は出力電圧が適切なウィンドウ内にあるかチェックします。

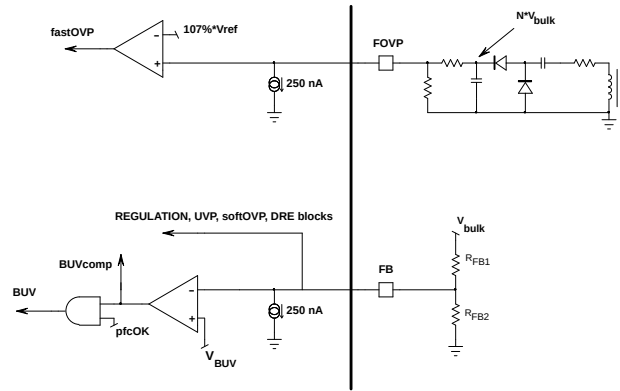
- 高速過電圧保護は、バルク電圧が異常なレベルに達するとトリップします。フィードバック回路網が適切に設計され、正しく接続されていれば、バルク電圧がsoft OVP機能で設定されたレベル ($V_{out,sovp} = 105\% \times V_{out,nom}$ 、前述のセクション参照) を超えることはできません。この第2の保護はより高い安全レベルに対して冗長性を提供します。FOVPスレッシュホールドはsoft OVPコンパレータ・リファレンスよりも2%高く設定されているため、出力電圧の同じ部分をFOVP/BUVピンとフィードバック入力ピン(ピン1および2)の両方に印加できます。ここで注意すべきは、バージョンA, A1, A3およびBの場合のみ、FOVPピン電圧が高速OVPスレッシュホールド(1%のヒステリシス)を下回るまで、DRV動作を中断することです。バージョンA2とB2では、高速OVPがトリップすると、回路をラッチオフします。
- BUVコンパレータは、バルク電圧が、ダウンストリーム・コンバータが適正な動作を起こさなくな

る値以下に下った時に、トリップします。A, A1, A3およびBバージョンでは、FOVPピン電圧が V_{BUV} スレッシュホールド以下に下がった時に、BUV障害が検知されます(V_{REF} が2.5 Vリファレンス電圧で、NCP1612AとNCP1612Bでは ($V_{BUV} = 76\% \times V_{REF}$)、NCP1612A1とNCP1612A3では ($V_{BUV} = 40\% \times V_{REF}$))。NCP1612A2とNCP1612B2では、BUVコンパレータはフィードバック信号をモニタし、($V_{BUV} = 76\% \times V_{REF}$)以下に低下するとトリップします。全てのバージョンに於いて、BUV障害が検知されると、回路はpfcOKピンを接地し(ダウンストリーム・コンバータをディセーブル)、 $V_{CONTROL}$ 信号を徐々に放電します。ドライバ出力は、 $V_{CONTROL}$ 放電時間の間ディセーブルされます。 $V_{CONTROL}$ の放電が完了すると、回路は動作の回復を試みます。

ただし、BUV機能はpfcOKピンがLow状態のときは無効で、起動フェーズを不適切に妨害することはありません。



a) Fast OVP and BUV Functions in NCP1612A, NCP1612A1, NCP1612A3 and NCP1612B



b) Fast OVP and BUV Functions in NCP1612A2 and NCP1612B2

Figure 70. Bulk Under-voltage Detection

実際、FOVP/BUV機能は出力電圧をモニタして、それが正しい動作のためのウィンドウ内にあるかどうかチェックします。次のとおり、出力電圧の同じ部分がFOVPピンとフィードバック・ピンに印加されると仮定します。次のとおり、出力電圧の同じ部分がFOVP/BUVピンとフィードバック・ピンに印加されると仮定します。

- 出力fast OVPレベル: $V_{out,fovp} = 107\% \times V_{out,nom}$
- 出力BUVレベル:
 - NCP1612A, NCP1612B, NCP1612A2, NCP1612B2: $V_{out,BUV} = 76\% \times V_{out,nom}$
 - NCP1612A1/A3: $V_{out,BUV} = 40\% \times V_{out,nom}$

このため、出力安定化電圧が390 Vの場合、FOVPトリガのための出力電圧は417 Vで、BUV出力電圧レベルは、NCP1612A1/NCP1612A3では156 Vで、その他の回路オプションでは296 Vです。

FOVPピンが偶発的にオープンした場合は、250 nAのシンク電流を供給してピンを接地します。A, A1, A3およびBバージョンでは、FOVPピンがフローティングの場合は、ピン電圧が300 mV (標準)を下回ると駆動をディセーブルするUVP2保護機能が、回路を保護します。

NCP1612A2およびNCP1612B2では、UVP2保護機能は有りません。また、BUVコンパレータは、FOVPではなくフィードバック・ピンをモニタします。このため、FOVPピンにおいて最小電圧が無い場合は、これらの回路は駆動します。このことは、抵抗分割によって従来から提供される出力電圧部分の代わりに、別のFOVP入力信号を使用することを可能にします。(高電圧レールから引き出されたバイアス電流による)抵抗分割損失は、最上位の待機仕様に適合しない場合があります。PFCブーストインダ

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

- Iブラウンアウトなどの状況で回路の正常な動作が妨げられている場合、または次の障害のいずれかにより回路がオフになっている場合。
 - 回路への供給が適切に行われていない
($V_{CC} < V_{CC(off)}$ 、 $V_{CC(off)} = 9\text{ V}$ (通常)の場合に、「UVLO」はHighになる)。
 - サーマル・シャットダウンによりダイ温度の超過が検出された。
 - 低電圧保護
 - 部品のラッチオフ
 - 安定化ループ障害(UVP)
 - ブラウンアウトの状況
- (BO_fault High - Figure 4を参照)

pfcOK信号は、Figure 72で示すように制御されます。回路は、OTAから供給される電流を監視します。電流が流れていない場合は、出力電圧がその公

称レベルに達したという答えを導くことができます。その後、起動フェーズは完了し、障害が検出されるまで、pfcOKはハイ・インピーダンスにとどまります。**起動時に、内部信号と内部電源レールは安定するまでにある程度の時間を必要とします。この期間のうち、および十分なブランキング時間が経過するまでは、pfcOKラッチを設定できません。**簡単にするために、Figure 72ではこのブランキング遅延を示していません。

pfcOKをHighに設定するためのもう1つの必須条件は、「BUVcomp」信号がLow状態になっていることです。この2番目の必要条件により、ピン1に印加された電圧が十分高く、BUV保護がただちにトリガされないことが保証されます。

pfcOKピンは、ダウンストリーム・コンバータをイネーブルするために使用します。

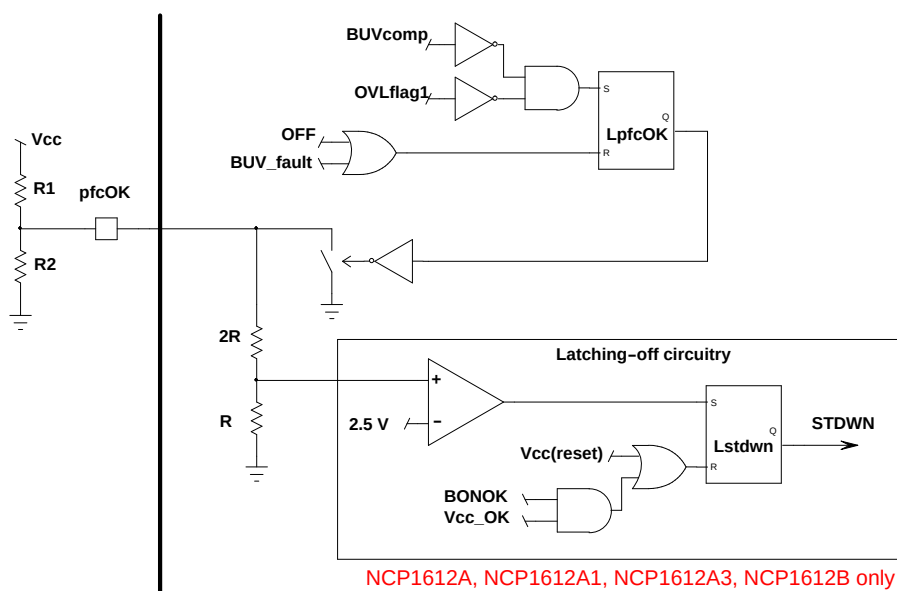


Figure 72. pfcOK Detection

NCP1612A, NCP1612A1, NCP1612A3およびNCP1612Bにおいては、この回路には、7.5 Vのスレッシュホールドとのコンパレータも内蔵されていて、pfcOKピンの電圧が7.5 Vを上回っているときはこのパートがラッチオフされます。このピンは、ダイの過熱のような顕著な障害が発生したときにデバイスを保護するためのものです。回復動作を実行するには、 V_{CC} が $V_{CC(reset)}$ 以下に低下していることが必要です。

ブラウニアウト検出

VSENSE ピン(ピン4)は、瞬時入力電圧(V_{in})の一部を受け取ります。 V_{in} は整流された正弦波なので、監視される信号値は、0または低い電圧と、ピーク値の間を変動します。

ブラウアウト・ブロックに関しては、ラインの
振幅が十分高く、動作が可能であることを確認する
必要があります。次の手順でこのことを確認できま
す。

- V_{SENSE} ピンの電圧を、1 Vのリファレンスと比較します。
- V_{pin4} が1 Vを上回っている場合は、入力電圧は十分とみなされます。
- V_{pin4} が50 msにわたって0.9 V以下にとどまっている場合は、回路はブラウンアウト状態を検出します(100 mVのヒステリシス)。

デフォルトでは、回路が動作を開始するときに、 V_{pin4} が 1 V を上回るまでは、回路は障害状態 (「BO NOK」が High) にとどまります。

「BO_NOK」がHighの場合は、駆動は無効になっていません。代わりに、50 μ Aの電流源がピン3に適用され、V_{CONTROL}を徐々に低下させます。その結果、SKIP機能がアクティブになっている(V_{CONTROL}がスキップ検出スレッシュホールドに達した)ときは、回路はパルス発生のみを停止します。この時点で、回路はターンオフします(Figure 4を参照)。この方法

で、偽トリガのあらゆるリスクを制限します。PFC ステージの入力にはインピーダンスがあるので、流入する電流が大きい場合は入力電圧にある程度の降下が発生します。主電源から大電流を吸収している間にPFCステージの動作が停止した場合は、電流の突然の減衰により、入力電圧の上昇が生じ、回路はラインの正しいレベルを検出します。代わりに、 V_{CONTROL} が徐々に低下した場合は、ライン電流の中断を避け、偽トリガのリスクを制限できます。

ピン4も、フィードフォワードの目的でラインの検知に使用されます。同様の方法を使用します。

- V_{SENSE} ピンの電圧を、2.2 Vのリファレンスと比較します。
- V_{pin4} が2.2 Vを上回った場合は、回路は高ライン状態を検出し、ループ・ゲインを3で割ります(内部PWMのランプ・スロープを3倍急峻にします)。

- この動作が発生し、 V_{pin4} が25 msにわたって1.7 V以下にとどまっている場合は、回路は低ライン状態を検出します(500 mVのヒステリシス)。

起動時に、 V_{pin4} が2.2 Vを上回るまでは、回路は低ライン状態(「LLine」がHigh)にあります。

ライン範囲検出回路により、汎用(入力電圧範囲の広い主電源)アプリケーションで、ループのゲイン制御をさらに最適化できます。

Figure 73に概要を示すように、ピン4の電圧は、周波数フォールドバック機能で必要とされる電流情報を生成する目的でも活用されます。

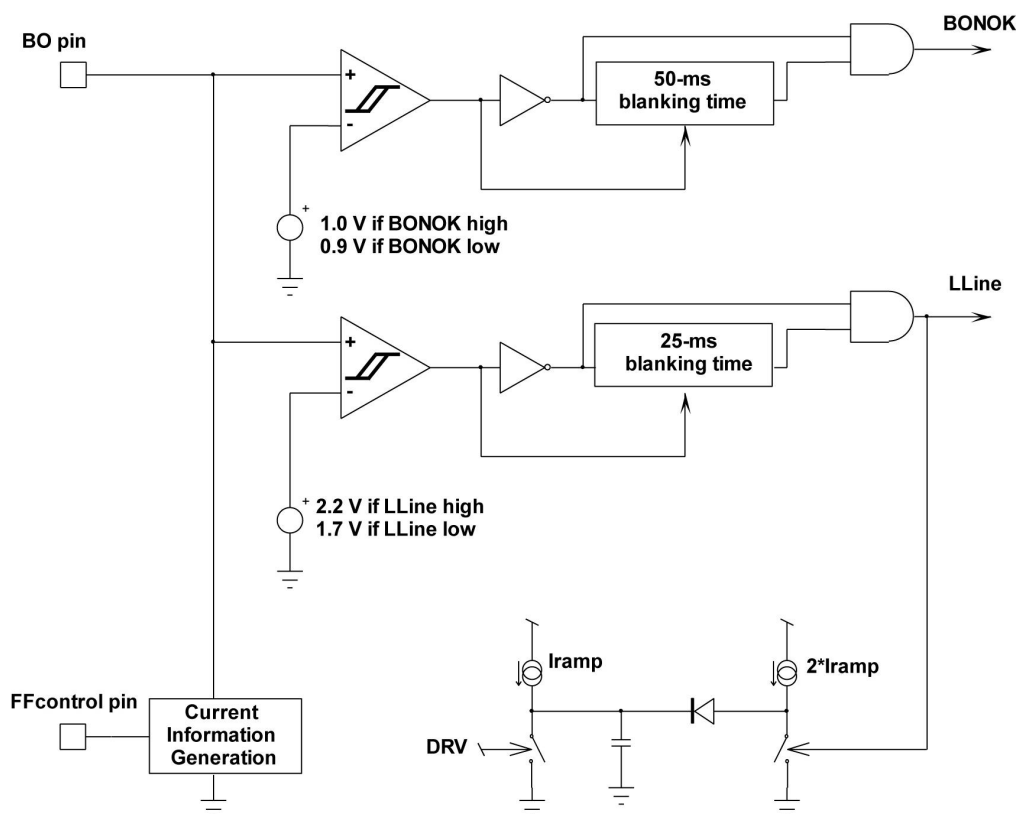


Figure 73. Input Line Sense Monitoring

サーマル・シャットダウン(TSD)

内部サーマル回路は、接合温度が150°Cを超えると回路のゲート・ドライブをディセーブルし、パワー・スイッチをオフ状態に保持します。出力ステージは、接合温度が約100°C (50°Cヒステリシス)以下に低下するとイネーブルされます。

出力駆動セクション

出力ステージには、高周波動作時の交差導通電流を最小化するように最適化されたトータム・ポールが含まれています。低電圧ロックアウトがアクティブな間、より一般的に言えば回路がオフになってい

る間、ゲート・ドライブはシンク・モードで維持されます。大電流機能(-500 mA/+800 mA)を活用して、ゲート電荷の大きいパワーMOSFETを効率的に駆動できます。回路が高い V_{CC} 範囲(最大35 V)を示している場合は、MOSFETゲートへの供給電圧が14 Vを上回らないようにDriveピンの電圧がクランプされます。

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

リファレンス・セクション

回路は、全温度範囲にわたって $\pm 2.4\%$ の精度を達成するように最適化された、高精度の内部2.5 Vリファレンス電圧(V_{REF})を採用しています。

オフ・モード

前述のように、次のフォールトのいずれかが検出されたときに回路はターンオフします。

- 回路への供給が適切に行われていない
($V_{CC} < V_{CC(off)}$ 、 $V_{CC(off)} = 9\text{ V}$ (通常)の場合に、「UVLO」はHighになる)。
- サーマル・シャットダウンによりダイ温度の超過が検出された。
- ブラウンアウト障害およびSKIP (ブロック図を参照)。
- 出力低電圧の状況(V_{pin2} が V_{REF} の12%未満の時)。
- V_{pin1} が V_{REF} の12%未満のときのUVP2 (NCP1612A, NCP1612A1, NCP1612A3およびNCP1612Bのみ)
- pfcOKピンを7.5 V超過のレベルにプルアップすることで(NCP1612A, NCP1612A1, NCP1612A3およびNCP1612B)、もしくはFast OVPコンパレータをトリガとすることで(NCP1612A2およびNCP1612B2)、ラッチオフを実行した。

一般的に言って、望ましい動作をするための条件が満たされていない場合、回路はオフになります。このモードでは、コントローラは動作を停止します。回路の主要部分はスリープに移行し、消費電力は最小化されます。

障害の検出

電源の製造時に、誤って素子が短絡したり、半田付け不良が発生する可能性があります。このような障害は、素子の劣化や過度のストレス、半田付け不良、または外部作用が原因で、時間が経過した後に発生することもあります。特に、コントローラの隣接ピンの短絡、ピンの接地や接続ミスが起こる可能性があります。このようなオープン/短絡状態で、一般的に要求されるのは、発火、発煙、大きなノイズなどを発生させないことです。NCP1612は、これらの要件を容易に満たすことができる機能を内蔵しています。これらは次のとおりです。

- フローティング・フィードバック・ピン
このピンがフローティング状態になったときに、250 nAのシンク電流源がフィードバック・ピンの

電圧をプルダウンし、それによってUVP保護がトリップして、回路の動作を防止します。この電流源は小さい(最大450 nA)ので、出力安定化やOVPレベルへの影響は無視でき、通常はバルク電圧を検知するために抵抗分圧回路を使用します。

● GND接続の障害

GNDピンが正しく接続されている場合は、 V_{CC} コンデンサの正端子から供給される電源電流はGNDピンから流出し、 V_{CC} コンデンサの負端子に帰還します。GNDピンが接続されていない場合は、回路のESDダイオードが代わりの帰還パスとして働きます。したがって、ESDダイオードのいずれかの導通状態を検出することで、GNDピンが偶発的に非接続状態になったことを検出できます。実際のところ、CS/ZCD ESDダイオードがモニタされます。200 μs の間にそのような障害が検出された場合は、回路は動作を停止します。

● CS/ZCDピンの不適切な接続の検出

CS/ZCDピンは、ピンがフローティング状態になっている場合に、1 μA の電流を供給してピン電圧をプルアップし、デバイスをディセーブルします。CS/ZCDピンが接地されている場合、回路はZCD信号をモニタできず、200 μs のウォッチドッグ・タイマが始動します。ウォッチドッグ時間が経過すると、回路は250 μA の電流源を供給して、CS/ZCDピンの電圧をプルアップします。CS/ZCDピンの電圧がZCDの0.75 Vスレッシュホールドを超えるまでは、ドライブ・パルスは開始されません。したがって、ピンが接地されている場合、回路は動作を停止します。回路が動作するには、ピンのインピーダンスが3.9 k Ω 以上であることが必要です。NCP1612のインピーダンス・テスト機能の許容差は、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の全温度範囲で考慮されています。

● ブーストまたはバイパス・ダイオードの短絡

NCP1612はブースト・ダイオードまたはバイパス・ダイオードの短絡に対処します(バイパス・ダイオードは一般的に入力および出力高電圧レール間に配置され、突入電流を迂回させます)。実際には、過剰ストレス保護を実装し、このような状態を検出して、障害が解決されるまで低デューティサイクル動作を強制します。

詳細については、APPLICATION NOTE [AND9079/D](#)を参照してください。

Table 5. ORDERING INFORMATION

Device	Circuit Version	Marking	Package	Shipping [†]
NCP1612ADR2G	NCP1612A	1612A	SOIC-10 (Pb-Free)	2500 / Tape & Reel
NCP1612A1DR2G	NCP1612A1	1612A1	SOIC-10 (Pb-Free)	2500 / Tape & Reel
NCP1612B2DR2G*	NCP1612B2	1612B2	SOIC-10 (Pb-Free)	2500 / Tape & Reel

NCP1612A, NCP1612B, NCP1612A1, NCP1612A2, NCP1612A3, NCP1612B2

Table 5. ORDERING INFORMATION

Device	Circuit Version	Marking	Package	Shipping [†]
--------	-----------------	---------	---------	-----------------------

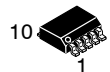
DISCONTINUED (Note 9)

NCP1612A2DR2G	NCP1612A2	1612A2	SOIC-10 (Pb-Free)	2500 / Tape & Reel
NCP1612A3DR2G	NCP1612A3	1612A3	SOIC-10 (Pb-Free)	2500 / Tape & Reel
NCP1612BDR2G	NCP1612B	1612B	SOIC-10 (Pb-Free)	2500 / Tape & Reel

*Please contact local sales representative for availability.

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

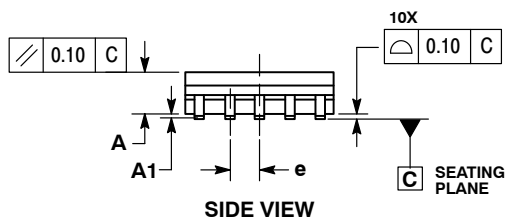
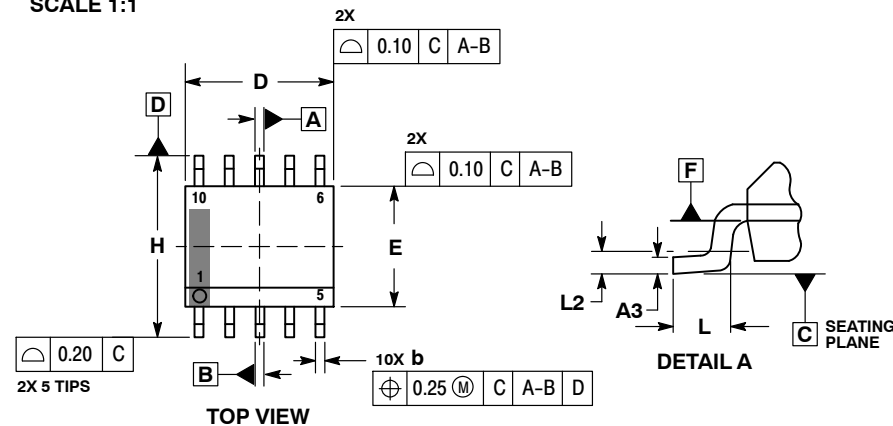
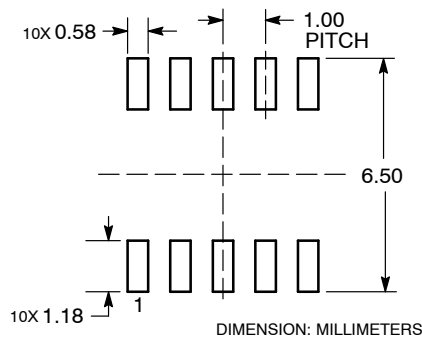
9. **DISCONTINUED:** These devices are not recommended for new design. Please contact your **onsemi** representative for information. The most current information on these devices may be available on www.onsemi.com.



SCALE 1:1

SOIC-10 NB
CASE 751BQ
ISSUE B

DATE 26 NOV 2013

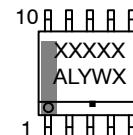

RECOMMENDED
SOLDERING FOOTPRINT*


*For additional information on our Pb-Free strategy and soldering details, please download the **onsemi** Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE PROTRUSION SHALL BE 0.10mm TOTAL IN EXCESS OF 'b' AT MAXIMUM MATERIAL CONDITION.
4. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH, PROTRUSIONS, OR GATE BURRS. MOLD FLASH, PROTRUSIONS, OR GATE BURRS SHALL NOT EXCEED 0.15mm PER SIDE. DIMENSIONS D AND E ARE DETERMINED AT DATUM F.
5. DIMENSIONS A AND B ARE TO BE DETERMINED AT DATUM F.
6. A1 IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY.

DIM	MILLIMETERS	
	MIN	MAX
A	1.25	1.75
A1	0.10	0.25
A3	0.17	0.25
b	0.31	0.51
D	4.80	5.00
E	3.80	4.00
e	1.00 BSC	
H	5.80	6.20
h	0.37 REF	
L	0.40	0.80
L2	0.25 BSC	
M	0°	8°

GENERIC
MARKING DIAGRAM*


XXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G", may or not be present.

DOCUMENT NUMBER:	98AON52341E	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-10 NB	PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales