

NCP1910

ATX電源用高性能コンボ・コントローラ

NCP1910はSO-24WBパッケージに収納されており、次世代のATXまたは薄型TV用コンバータへの電力供給を目的とする最先端回路を搭載しています。NCP1910は、65 kHzの連続導通モード力率コントローラおよび高電圧ドライバを提供するLLCコントローラを備え、85種類以上のオフライン電源に電力を供給できます。厳しい効率化の課題を解決するために、PFC回路は調整可能な周波数フォールドバックを実装し、負荷が軽くなる際のスイッチング損失を低減しています。ATXおよび薄型TVの仕様で必要とされるすべての信号シーケンスに対処するために、コントローラには2次側と1次側のハンドシェイクを可能にするいくつかの専用ピンが備わっています。これらの信号にはパワー・グッド・ラインだけでなく、オプトカプラを経由してコントローラをオン/オフする制御ピンも含まれています。安全性のために、第2のOVP入力で、メイン帰還ネットワークがドリフトする場合に必要な冗長性を提供しています。過電流状態が発生した場合、高速フォールト入力が自動リカバリ・ソフトスタート・シーケンスをトリガして直ちに反応します。

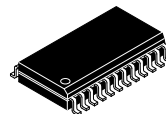
特長

- 固定周波数65 kHzのCCM力率コントローラ
- ライン電流の歪みを低減するための平均電流モード制御
- 大きなアンダシュートを削減する動的応答エンハンサ
- ラッチオフ機能付きの独立した過電圧保護センス・ピン
- 調整可能な周波数フォールドバックによる軽負荷効率の改善
- ホールドアップ時間仕様を満たすための50 ms遅延付き調整可能なライン・ブラウンアウト保護
- 最適化されたセンス抵抗に接続されるプログラム可能な過電流スレッシュホールド
- ± 1 Aピーク電流ドライブ能力
- LLCコントローラは25 kHzから500 kHzで動作
- 600 V高電圧ドライバ内蔵
- 1 A/0.5 Aのシンク/ソース能力
- 全温度範囲で $\pm 3\%$ の最小周波数精度
- 300 nsの内部固定デッドタイム値
- 調整可能なソフトスタート・シーケンス
- 迅速な自動リカバリ保護のためにソフトスタートをトリガする高速フォールト入力



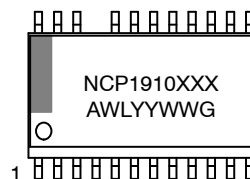
ON Semiconductor®

<http://onsemi.com>



SO-24WB Less Pin 21
DW SUFFIX
CASE 752AB

MARKING DIAGRAM



XXXXX = Specific Device Code
A = Assembly Location
WL = Wafer Lot
YY = Year
WW = Work Week
G = Pb-Free Package

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 37 of this data sheet.

- 2次側による遠隔制御のための $\overline{\text{on/off}}$ 制御ピン
- 正確なスレッシュホールド/ヒステリシス調整のための5 Vリファレンス電圧を内蔵
- パワー・グッド出力管理信号
- 2重グラウンド・ピン配列(スキップなし)のAバージョン、単一グラウンドとLLCコントローラ用スキップ動作を備えたBバージョン
- 20 V動作
- 鉛フリー・デバイス

代表的アプリケーション

- 複数出力のATX電源(Aバージョン)
- 薄型TV用電源(Bバージョン)

NCP1910

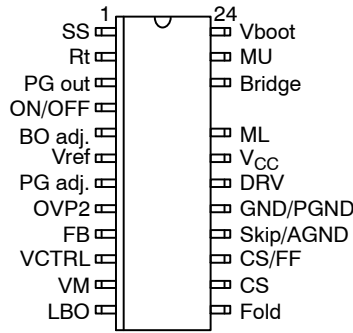
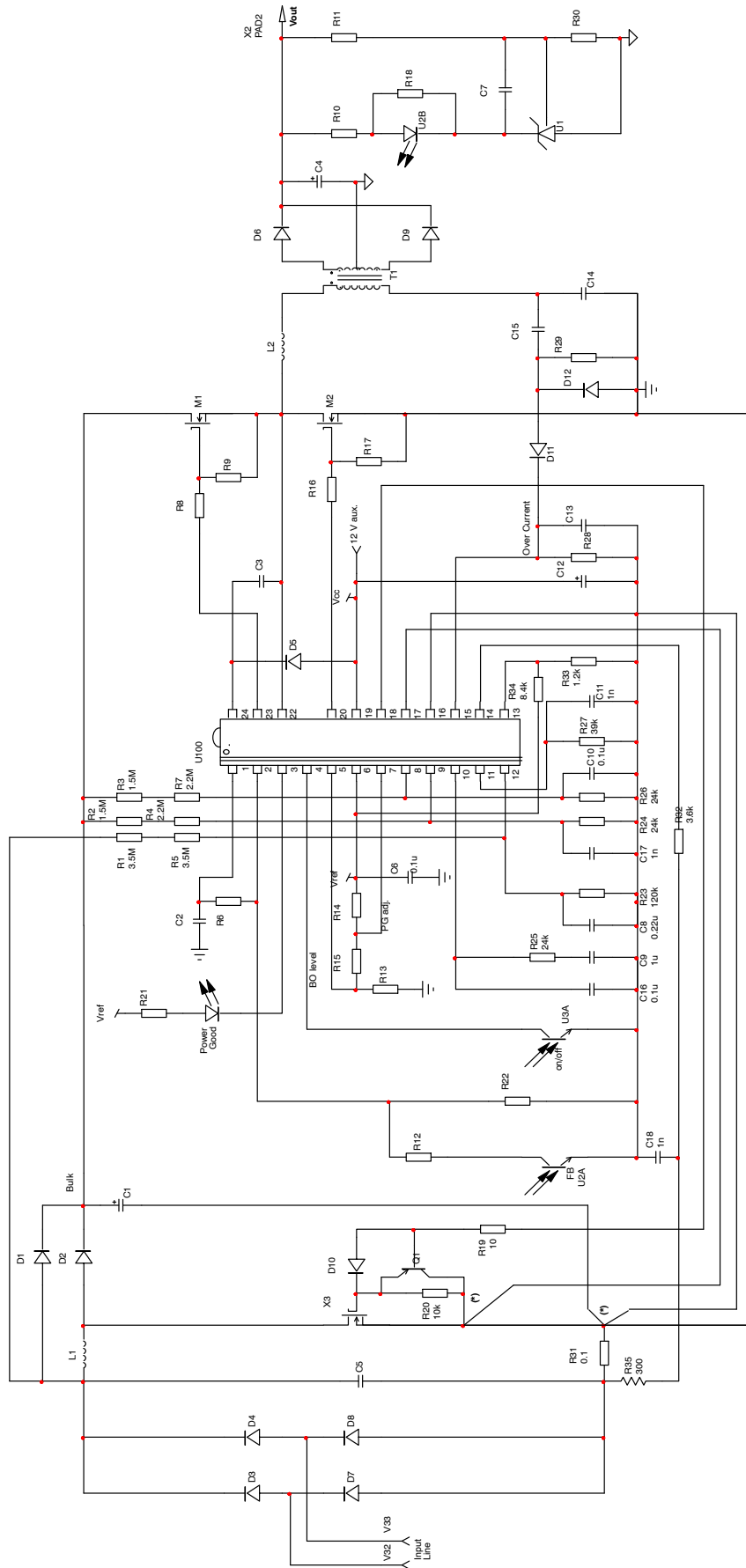


Figure 1. Pin Connections

PIN DESCRIPTION

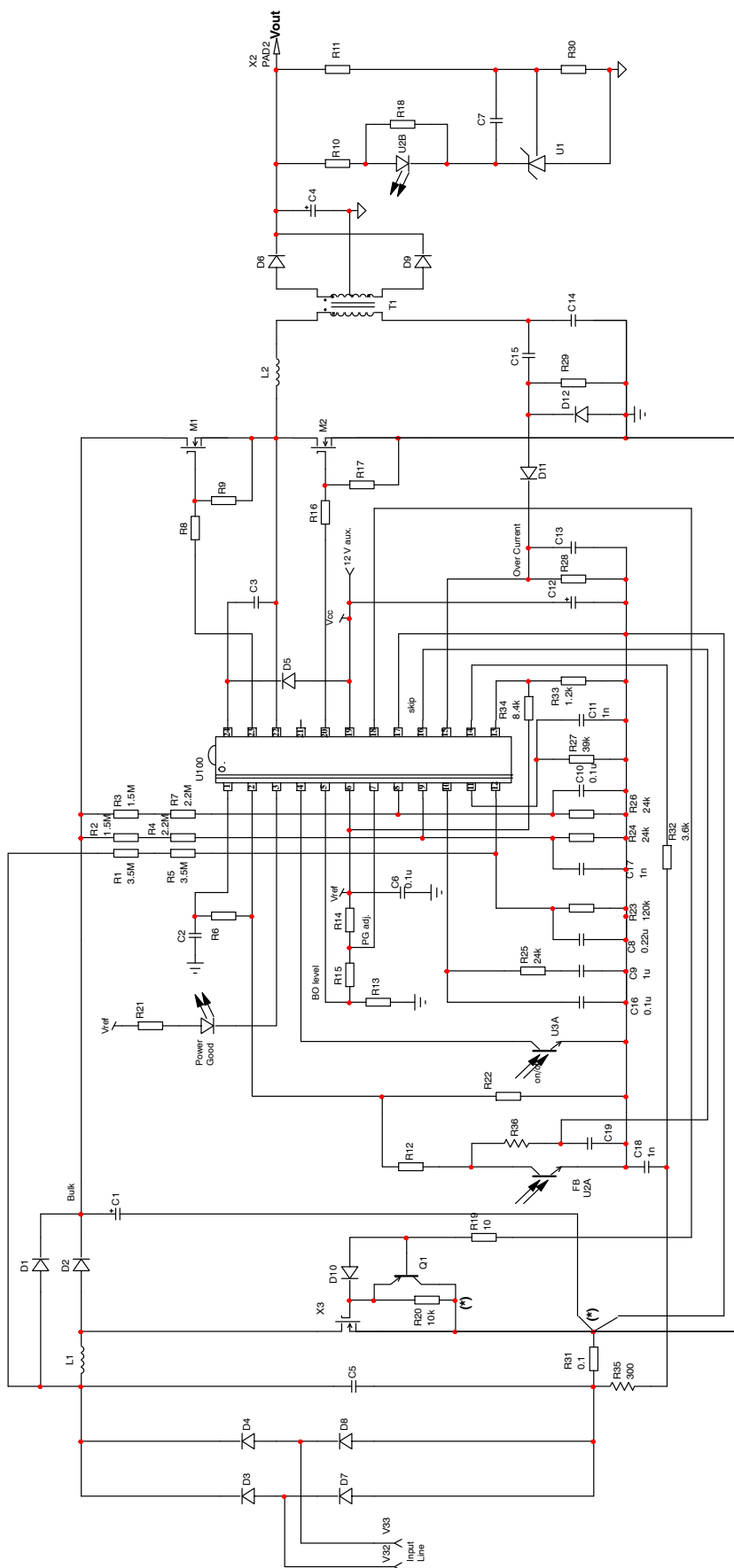
Pin N°	Pin Name	Function	Pin Description
1	SS	Soft-start	A capacitor to ground sets the LLC soft-start duration
2	Rt	The LLC feedback pin	A resistive arrangement sets the maximum and minimum switching frequencies with opto coupler-based feedback capabilities.
3	PG out	The open-collector power good signal	This pin is low when V _{bulk} is ok, opens when V _{bulk} passes below a level adjusted by PGadj pin.
4	on/off	Remote control	When pulled low, the circuit operates: the PFC starts first and once FB is in regulation, the LLC is authorized to work. When left open, the controller is in idle mode.
5	BO adj.	Brown-out adjustment	This pin sets the on and off levels for the PFC powering the LLC converter
6	Vref	The 5 V reference pin	This pin delivers a stable voltage for threshold adjustments
7	PG adj.	The power good trip level	From the Vref pin, a dc level sets the trip point for the PFC bulk voltage at which the PG out signal is down.
8	OVP2	Redundant OVP	A fully latched OVP monitoring the PFC bulk independently from FB pin.
9	FB	PFC feedback	Monitors the boost bulk voltage and regulates it. It also serves as a quick auto-recovery OVP
10	V _{CTRL}	PFC Error amplifier output	PFC error amplifier compensation pin
11	V _M	PFC current amplifier output	A resistor to ground sets the maximum power level
12	LBO	PFC line input voltage sensing	Line feed forward and PFC brown-out
13	Fold	PFC fold back	This pin selects the power level at which the frequency starts to reduce gradually.
14	CS	PFC current sense	This pin senses the inductor current and also programs the maximum sense voltage excursion
15	CS/FF	Fast-fault input	When pulled above 1 V, the LLC stops and re-starts via a full soft-start sequence.
16	Skip/AGND	Skip (B)/AGND (A)	This pin is either used as the analog GND for the signal circuit (A) or for skip operation (B).
17	GND/PGND	GND (B)/PGND (A)	The controller ground for the driving loop (A) or the lump ground pin for all circuits (B)
18	DRV	PFC drive signal	The driving signal to the PFC power MOSFET
19	V _{CC}	The controller supply	The power supply pin for the controller, 20 V max.
20	ML	Lower-side MOSFET	Drive signal for the lower side half-bridge MOSFET
22	Bridge	Half-bridge	This pin connects to the LLC half-bridge
23	MU	Upper-side MOSFET	Drive signal for the upper side half-bridge MOSFET
24	V _{boot}	Bootstrapped Vcc	The bootstrapped V _{CC} for the floating driver

NCP1910



*It is recommended to separate the traces of power ground and analog ground. The power ground (pin 17) for driving loop (PFC DRV and LLC ML) is connected to the PFC MOSFET directly. The analog ground for adjustment components is routed together first and then connected to the analog ground pin (pin 16) and the PFC sense resistor directly.

Figure 2. Typical Application Schematic in A Version



*It is recommended to separate the traces of power ground and analog ground. The analog ground traces for adjustment components are routed together first and then connected to the ground pin (pin 17). The power ground for driving loop (PFC DRV and LLC ML) is connected from ground pin (pin 17) to the PFC sense resistor directly and as short as possible.

Figure 3. Typical Application Schematic in B Version

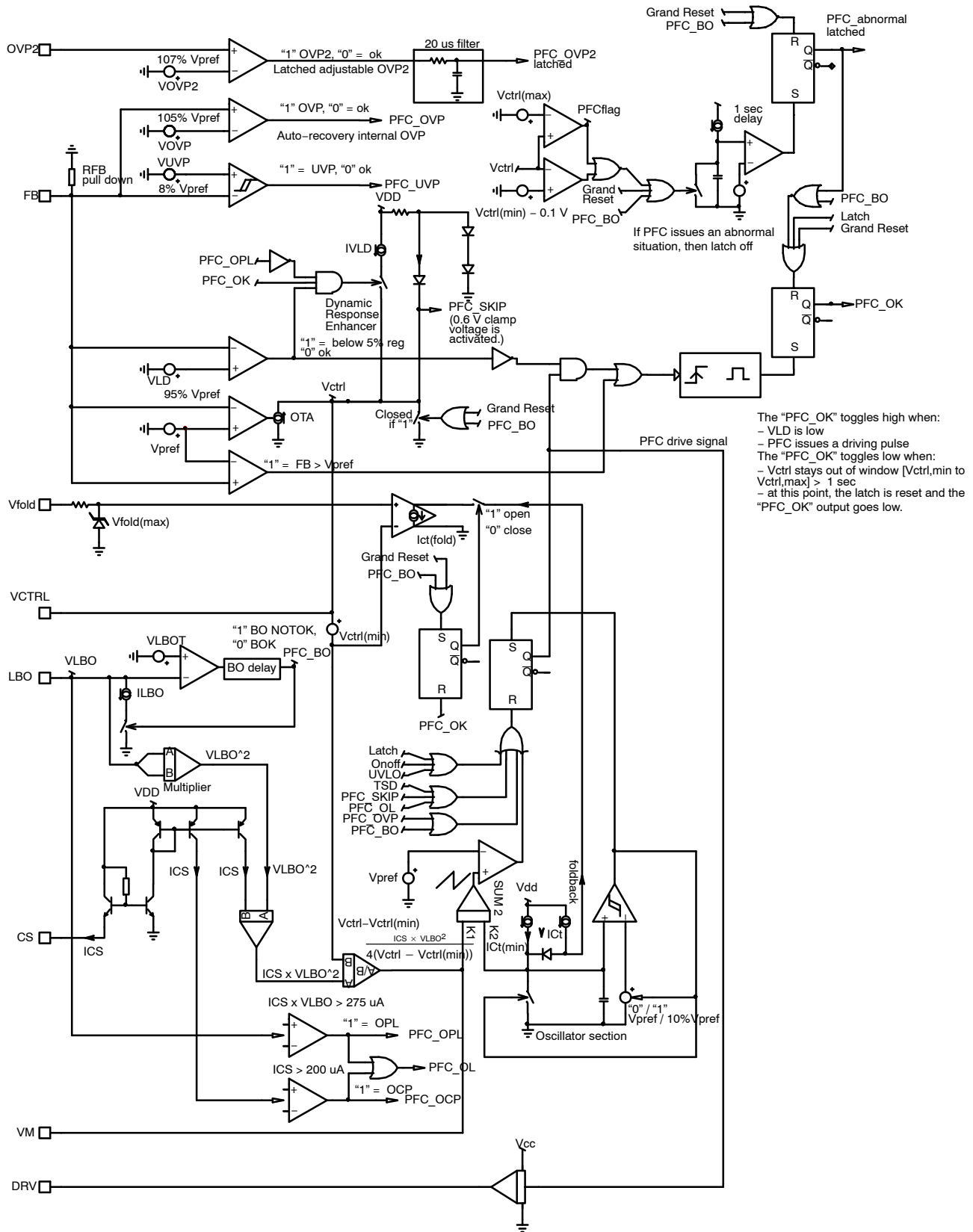


Figure 4. Internal PFC Block Diagram

NCP1910

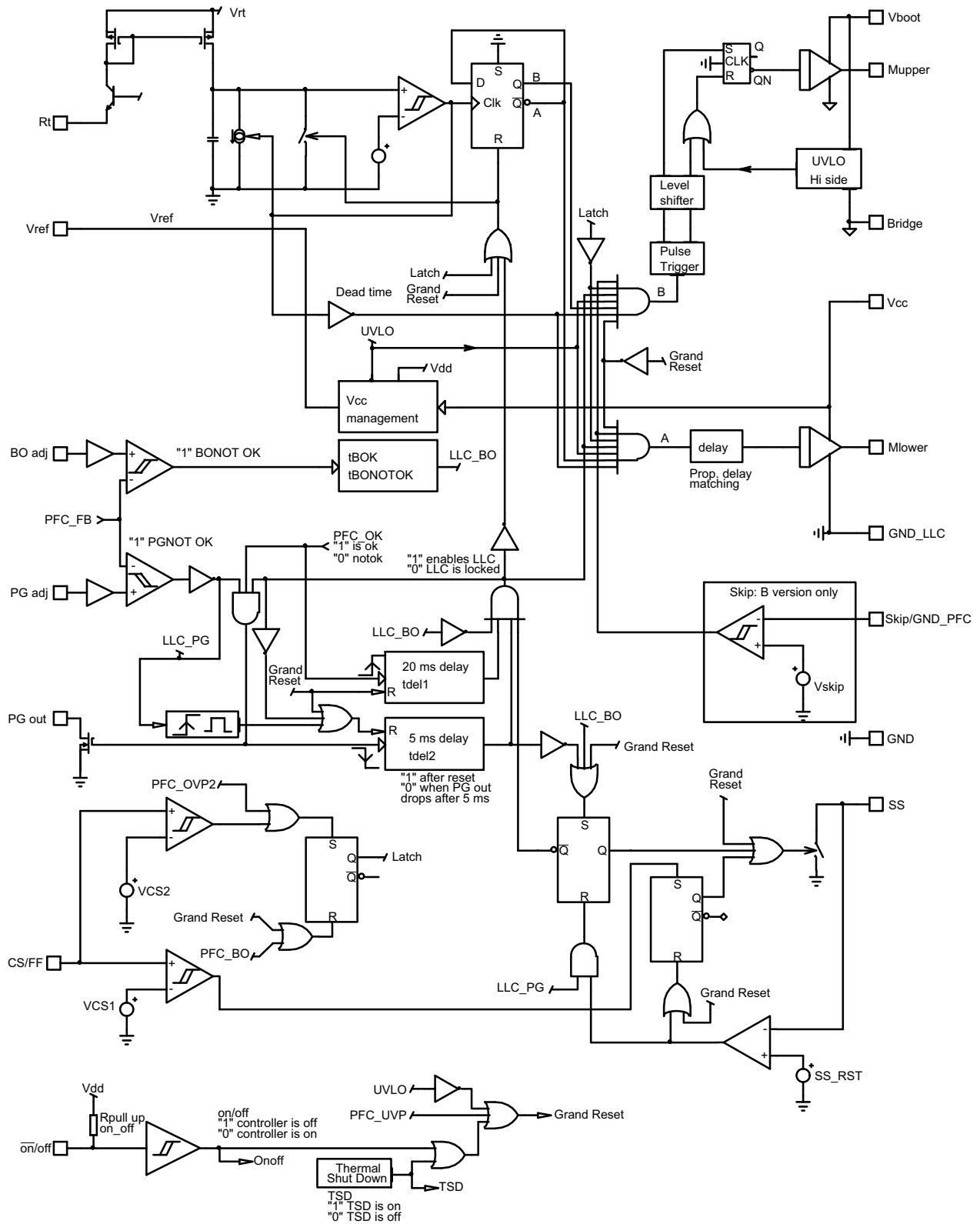


Figure 5. Internal LLC Block Diagram

MAXIMUM RATINGS TABLE

Symbol	Rating	Value	Unit
V_{Bridge}	Continuous High Voltage bridge pin, pin 22	-1 to 600	V
$V_{\text{BOOT}} - V_{\text{Bridge}}$	Floating supply voltage, pin 24-22	-0.3 to 20	V
$V_{\text{MU}}, V_{\text{DRV}}$	High side output voltage, pin 23	$V_{\text{BRIDGE}} - 0.3$ to $V_{\text{BOOT}} + 0.3$	V
V_{ML}	Low side output voltage, pin 18, 20	-0.3 to $V_{\text{CC}} + 0.3$	V
dV_{Bridge}/dt	Allowable output slew rate on the Bridge pin, pin 22	50	V/ns
V_{CC}	Power Supply voltage, pin 19	20	V
	Pin voltage, all pins (except pin 2, 6, 18 - 24, GND)	-0.3 to 10	V
$R_{\theta\text{JA}}$	Thermal Resistance Junction-to-Air 50 mm ² , 1 oz	80	°C/W
	650 mm ² , 1 oz	65	
	Storage Temperature Range	-60 to + 150	°C
	ESD Capability, Human Body Model (All pins except V_{CC} and HV)	2	kV
	ESD Capability, Machine Model	200	V
V_{CC}	Power Supply voltage, pin 19	20	V
	Pin voltage, all pins (except pin 2, 6, 18 ~ 24, GND)	-0.3 to 10	V
V_{Rt}	Rt pin voltage	-0.3 to 5	V
$V_{\text{ref_out}}$	V_{ref} pin voltage	-0.3 to 7	V
I_{MAX}	Pin current on pin 10, 12, and 13	0.5	mA
I_{PGout}	Pin current on pin 3	5	mA

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

1. This device(s) contains ESD protection and exceeds the following tests:
Human Body Model 2000 V per JEDEC Standard JESD22-A114E
Machine Model 200 V per JEDEC Standard JESD22-A115-A
2. This device contains latch-up protection and exceeds 100 mA per JEDEC Standard JESD78.

ELECTRICAL CHARACTERISTICS (For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{\text{CC}} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

COMMON TO BOTH CONTROLLERS

SUPPLY SECTION

$V_{\text{CC(on)}}$	Turn-on threshold level, V_{CC} going up	19	9.4	10.4	11.4	V
$V_{\text{CC(min)}}$	Minimum operating voltage after turn-on	19	8	9	10	V
$V_{\text{CC(Hys)}}$	Hysteresis between $V_{\text{CC(on)}}$ and $V_{\text{CC(min)}}$	19	1.2	-	-	V
$V_{\text{Boot(on)}}$	Startup voltage on the floating section	24,22	7.8	8.8	9.8	V
$V_{\text{Boot(min)}}$	Cutoff voltage on the floating section	24,22	7	8	9	V
I_{startup}	Startup current, $V_{\text{CC}} < V_{\text{CC(on)}}$	19	-	-	100	μA
I_{CC1}	PFC consumption alone, DRV pin unloaded, on/off pin grounded, LLC off (PFC is 65 kHz)	19	-	5.1	6.4	mA
I_{CC2}	PFC consumption, DRV pin loaded by 1 nF, on/off pin grounded, LLC off (PFC is 65 kHz)	19	-	5.9	7.4	mA

3. In normal operation, when the power supply is un-plugged, the bulk voltage goes down. At a first crossed level, the PG pin opens. Later, when the bulk crosses a second level, the LLC turns off. There is no timing link between these events, except the bulk capacitor discharge slope. However, if for an unknown reason the PFC is disabled (fault, short-circuit), the PG pin immediately opens and if sufficient voltage is still present on the bulk (e.g. in high line condition), the LLC will be disabled after a typical time of 5 ms.
4. Guaranteed by design.

NCP1910

ELECTRICAL CHARACTERISTICS (For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

COMMON TO BOTH CONTROLLERS

SUPPLY SECTION

I_{CC4}	IC consumption, both PFC and LLC loaded in no load conditions (PFC is 65 kHz and $R_t = 70\text{ k}\Omega$ (LLC is 25 kHz))	19	–	5.9	7.2	mA
I_{CC5}	IC consumption, both PFC and LLC loaded 1 nF load conditions (PFC is 65 kHz and $R_t = 70\text{ k}\Omega$ (LLC is 25 kHz))	19	–	6.9	8.6	mA
I_{CC6}	IC consumption in fault mode from V_{boot} (drivers disabled, $V_{boot} > V_{boot(min)}$)	19	–	64	300	μA
I_{CC7}	IC consumption in OFF mode from V_{CC} ($\overline{\text{on/off}}$ pin is open)	19	–	–	950	μA

REFERENCE VOLTAGE

$V_{ref-out}$	Reference voltage for external threshold setting @ $I_{out} = 5\text{ mA}$	6	4.75	5	5.25	V
$V_{ref-out}$	Reference voltage for external threshold setting @ $I_{out} = 5\text{ mA} - T_J = 25^\circ\text{C}$	6	4.9	5	5.1	V
$V_{refLineReg}$	Vcc rejection capability, $I_{out} = 5\text{ mA} - \Delta V_{CC} = 1\text{ V} - T_J = 25^\circ\text{C}$	6	–	0.01	5	mV
$V_{refLoadReg}$	Reference variation with load changes, $1\text{ mA} < I_{ref} < 5\text{ mA} - T_J = 25^\circ\text{C}$	6	–	1.6	7	mV
$I_{ref-out}$	Maximum output current capability	6	5	–	–	mA

NOTE: Maximum capacitance directly connected to V_{REF} pin must be under 100 nF.

DELAY

t_{DEL1}	Turn-on LLC delay after PFC OK signal is asserted	–	10	20	30	ms
t_{DEL2}	Turn-off LLC after power good pin goes low (Note 3)	–	2	5	8	ms

PROTECTIONS

$R_{Pull-up}$	$\overline{\text{on/off}}$ pin pull-up resistor	4	–	5	–	k Ω
$t_{on/off}$	Propagation delay from on to off (ML & MU are off) (Note 4)	4	–	–	1	μs
V_{on}	Low level input voltage on $\overline{\text{on/off}}$ pin (NCP1910 is enabled)	4	–	–	1	V
V_{off}	High level input voltage on $\overline{\text{on/off}}$ pin (NCP1910 is disabled)	4	3	–	–	V
V_{op}	Open voltage on $\overline{\text{on/off}}$ pin	4	–	7	–	V
I_{PG}	Maximum Power good pin sink current capability	3	5	–	–	mA
V_{PG}	Power good saturation voltage for $I_{PG} = 5\text{ mA}$	3	–	–	350	mV
I_{PGadj}	Input bias current, PGadj pin	7	–	10	–	nA
V_{PGadjH}	PG comparator hysteresis	7	–	100	–	mV
TSD	Temperature shutdown (Note 4)	–	140	–	–	$^\circ\text{C}$
TSDhyste	Temperature Hysteresis Shutdown	–	–	30	–	$^\circ\text{C}$

POWER FACTOR CORRECTION

GATE DRIVE SECTION

R_{POH}	Source Resistance @ $I_{DRV} = -100\text{ mA}$	18	–	9	20	Ω
R_{POL}	Sink Resistance @ $I_{DRV} = 100\text{ mA}$	18	–	6.6	18	Ω
t_{Pr}	Gate Drive Voltage Rise Time from 1.5 V to 10.5 V ($C_L = 1\text{ nF}$)	18	–	60	–	ns
t_{Pf}	Gate Drive Voltage Fall Time from 10.5 V to 1.5 V ($C_L = 1\text{ nF}$)	18	–	40	–	ns

- In normal operation, when the power supply is un-plugged, the bulk voltage goes down. At a first crossed level, the PG pin opens. Later, when the bulk crosses a second level, the LLC turns off. There is no timing link between these events, except the bulk capacitor discharge slope. However, if for an unknown reason the PFC is disabled (fault, short-circuit), the PG pin immediately opens and if sufficient voltage is still present on the bulk (e.g. in high line condition), the LLC will be disabled after a typical time of 5 ms.
- Guaranteed by design.

NCP1910

ELECTRICAL CHARACTERISTICS (For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

POWER FACTOR CORRECTION

REGULATION BLOCK

V_{PREF}	PFC Voltage reference	–	2.425	2.5	2.575	V
I_{EA}	Error Amplifier Current Capability	10	–	± 30	–	μA
G_{EA}	Error Amplifier Gain	–	100	200	300	μS
I_B	Bias Current @ $V_{FB} = V_{PREF}$	9	0	–	0.3	μA
V_{CTRL} $V_{CTRL(max)}$ $V_{CTRL(min)}$ ΔV_{CTRL}	Maximum Control Voltage @ $V_{FB} = 2\text{ V}$ Minimum Control Voltage @ $V_{FB} = 3\text{ V}$ $\Delta V_{CTRL} = V_{CTRL(max)} - V_{CTRL(min)}$	10 10 10	– – 2.7	3.6 0.6 3	– – 3.3	V
V_{OUTL} / V_{PREF}	Ratio (V_{OUT} Low Detect Threshold / V_{PREF}) (Note 4)	–	94	95	96	%
H_{OUTL} / V_{PREF}	Ratio (V_{OUT} Low Detect Hysteresis / V_{PREF})	–	–	0.5	–	%
$I_{VLD} + I_{EA}$	Source Current when (V_{OUT} Low Detect) is activated	10	190	230	260	μA

CURRENT SENSE

V_S	Current Sense Pin Offset Voltage, ($I_{CS} = 100\text{ }\mu\text{A}$)	14	–	10	–	mV
$I_{CS(OC)}$	Over-Current Protection Threshold	14	185	200	215	μA

POWER LIMIT

$I_{CS} \times V_{LBO}$	Over Power Limitation Threshold	–	215	275	335	μVA
$I_{CS(OPL1)}$ $I_{CS(OPL2)}$	Over-Power Current Threshold ($V_{LBO} = 1.8\text{ V}$, $V_M = 0\text{ V}$) Over-Power Current Threshold ($V_{LBO} = 3.6\text{ V}$, $V_M = 0\text{ V}$)	–	119 56	153 75	187 99	μA

PULSE WIDTH MODULATION

F_{PSW}	PFC Switching Frequency	18	58	65	72	kHz
$F_{PSW(fold)}$	Minimum Switching Frequency ($V_{fold} = 1.5\text{ V}$, $V_{CTRL} = V_{CTRL(min)} + 0.1\text{ V}$)	18	34	39	43	kHz
DC_{Pmax}	Maximum PFC Duty Cycle	18	–	97	–	%
DC_{Pmin}	Minimum PFC Duty Cycle	18	–	–	0	%
$V_{CTRL(fold)}$	V_{CTRL} pin voltage to start frequency foldback ($V_{fold} = 1.5\text{ V}$)	10	1.8	2	2.2	V
$V_{CTRL(foldend)}$	V_{CTRL} pin voltage as frequency foldback reducing to the minimum ($F_{PSW} = F_{PSW(fold)}$, $V_{fold} = 1.5\text{ V}$)	10	1.4	1.6	1.8	V
$V_{fold(max)}$	Maximum internal fold voltage (Note 4)	–	1.97	2	2.03	V

LINE BROWN-OUT DETECTION

V_{LBO}	Line Brown-Out Voltage Threshold	12	0.96	1.00	1.04	V
I_{LBOH}	Line Brown-Out Hysteresis Current Source	12	6	7	8	μA
$t_{LBO(blank)}$	Line Brown-Out Blanking Time	–	25	50	75	ms
$t_{LBO(window)}$	Line Brown-Out Monitoring Window (Note 4)	–	25	50	75	ms
$V_{LBO(clamp)}$	LBO Pin clamped voltage if $V_{BO} < V_{LBO}$ during $t_{LBO(BLANK)}$ ($I_{LBO} = 100\text{ }\mu\text{A}$)	12	–	980	–	mV
V_{LBOH}	Hysteresis ($V_{LBO} - V_{LBO(clamp)}$) (Note 4)	12	10	35	60	mV
$I_{LBO(clamp)}$	Current Capability of LBO	12	100	–	–	μA
$V_{LBO(PNP)}$	LBO pin voltage when clamped by the PNP Transistor ($I_{LBO} = 100\text{ }\mu\text{A}$)	12	0.4	0.7	0.9	V

- In normal operation, when the power supply is un-plugged, the bulk voltage goes down. At a first crossed level, the PG pin opens. Later, when the bulk crosses a second level, the LLC turns off. There is no timing link between these events, except the bulk capacitor discharge slope. However, if for an unknown reason the PFC is disabled (fault, short-circuit), the PG pin immediately opens and if sufficient voltage is still present on the bulk (e.g. in high line condition), the LLC will be disabled after a typical time of 5 ms.
- Guaranteed by design.

NCP1910

ELECTRICAL CHARACTERISTICS (For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

POWER FACTOR CORRECTION

LINE BROWN-OUT DETECTION

$V_{LBO(PD)}$	Pull Down V_{LBO} Threshold	12	1.8	2	2.2	V
$t_{LBO(Pdlimit)}$	Pull Down V_{LBO} Time Limitation	–	4.5	5	6.1	ms
$t_{PFCflag}$	Time Delay to Confirm that V_{CTRL} is the maximum to Pull down V_{LBO}	–	2.5	5	7.5	ms
$t_{LBO(Pdblank)}$	Pull Down V_{LBO} Blanking Time	–	55	77	90	ms

CURRENT MODULATION

I_{M1}	Multiplier Output Current ($V_{CTRL} = V_{CTRL(max)} - 0.2\text{ V}$, $V_{LBO} = 3.6\text{ V}$, $I_{CS} = 50\text{ }\mu\text{A}$)	11	46	58	72	μA
I_{M2}	Multiplier Output Current ($V_{CTRL} = V_{CTRL(max)} - 0.2\text{ V}$, $V_{LBO} = 1.2\text{ V}$, $I_{CS} = 150\text{ }\mu\text{A}$)	11	15	19	24.5	μA

OVER-VOLTAGE PROTECTION

V_{OVP1}	Internal Auto Recovery Over Voltage Threshold	9	2.536	2.615	2.694	V
V_{OVP1H}	Hysteresis of Internal Auto Recovery Over Voltage Threshold (Note 4)	9	–	44	60	mV
t_{OVP1}	Propagation Delay ($V_{FB} = 108\% V_{PREF}$) to Drive Low	9, 18	–	500	–	ns
V_{OVP2}	External Latched Over Voltage Threshold	8	2.595	2.675	2.755	V
K_{OVPH}	The difference between V_{OVP2} and V_{OVP1} over V_{PREF} ($(V_{OVP2} - V_{OVP1})/V_{PREF}$)	–	–	2	–	%
$t_{DELOVP2}$	External Latched OVP Integrating Filter Time Constant	–	–	20	–	μs
$I_{b,OVP2}$	Input bias current, OVP2	8	–	10	–	nA

UNDER-VOLTAGE PROTECTION

$V_{UVP(on)}/V_{PREF}$	UVP Activate Threshold Ratio	9	4	8	12	%
$V_{UVP(off)}/V_{PREF}$	UVP Deactivate Threshold Ratio	9	6	12	18	%
$V_{UVP(H)}$	UVP Lockout Hysteresis	9	–	4	–	%
t_{UVP}	Propagation Delay ($V_{FB} < 8\% V_{PREF}$) to Drive Low	9 – 18	–	7	–	μs

PFC ABNORMAL

$t_{PFCabnormal}$	PFC Abnormal Delay Time ($V_{CTRL} = V_{CTRL(max)}$ or $V_{CTRL} = V_{CTRL(min)} - 0.1\text{ V}$)	–	1	1.5	2.1	sec
-------------------	---	---	---	-----	-----	-----

LLC CONTROL SECTION

OSCILLATOR

$F_{Lsw,min}$	Minimum switching frequency, $R_t = 70\text{ k}\Omega$ on R_t pin	2	24.25	25	25.75	kHz
F_{Lsw}	switching frequency, $DT_L = 300\text{ ns}$, $R_t = 7\text{ k}\Omega$ on R_t pin	2	208	245	282	kHz
$F_{Lsw,max}$	Maximum switching frequency, $DT_L = 300\text{ ns}$, $R_t = 3.5\text{ k}\Omega$ on R_t pin	2	424	500	575	kHz
DC_L	Operating Duty-Cycle symmetry	23, 20	48	50	52	%
V_{refRt}	Reference voltage for oscillator charging current generation	2	3.33	3.5	3.67	V
R_{SS}	Discharge switch resistance	1	–	70	–	Ω
SS_{RST}	Soft-start reset voltage	1	–	200	–	mV
V_{Skip}	Skip cycle threshold, B version only	16	350	400	450	mV
$V_{skip,hyste}$	Hysteresis level on skip cycle comparator, B version only	16	–	50	–	mV

- In normal operation, when the power supply is un-plugged, the bulk voltage goes down. At a first crossed level, the PG pin opens. Later, when the bulk crosses a second level, the LLC turns off. There is no timing link between these events, except the bulk capacitor discharge slope. However, if for an unknown reason the PFC is disabled (fault, short-circuit), the PG pin immediately opens and if sufficient voltage is still present on the bulk (e.g. in high line condition), the LLC will be disabled after a typical time of 5 ms.
- Guaranteed by design.

NCP1910

ELECTRICAL CHARACTERISTICS (For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

LLC CONTROL SECTION

DRIVE OUTPUT

T_{Lr}	Output voltage rise-time @ $C_L = 1\text{ nF}$, 10–90% of output signal	23, 20	–	40	–	ns
T_{Lf}	Output voltage fall-time @ $C_L = 1\text{ nF}$, 10–90% of output signal	23, 20	–	20	–	ns
R_{LOH}	Source resistance	23, 20	–	12	26	Ω
R_{LOL}	Sink resistance	23, 20	–	5	11	Ω
DT_L	Dead time, measured between 50% of the rise and fall edge	23, 20	268	327	386	ns
$I_{HV,leak}$	Leakage current on high voltage pins to GND (600 Vdc)	22, 23, 24	–	–	5	μA

PROTECTIONS

I_{BOadj}	Input bias current, BOadj pin	5	–	15	–	nA
V_{BOadjH}	BO comparator hysteresis	5	–	100	–	mV
t_{BOK}	BO comparator Integrating Filter Time Constant from High to Low	5	–	150	–	μs
$t_{BONOTOK}$	BO comparator Integrating Filter Time Constant from Low to High	5	–	20	–	μs
V_{CS1}	Current-sense pin level that resets the soft-start capacitor	15	0.95	1	1.05	V
V_{CS2}	Current-sense pin level that permanently latches off the circuit	15	1.42	1.5	1.58	V
t_{CS}	Propagation delay from VCS1/2 activation to respective action	15	–	–	500	ns

- In normal operation, when the power supply is un-plugged, the bulk voltage goes down. At a first crossed level, the PG pin opens. Later, when the bulk crosses a second level, the LLC turns off. There is no timing link between these events, except the bulk capacitor discharge slope. However, if for an unknown reason the PFC is disabled (fault, short-circuit), the PG pin immediately opens and if sufficient voltage is still present on the bulk (e.g. in high line condition), the LLC will be disabled after a typical time of 5 ms.
- Guaranteed by design.

TYPICAL CHARACTERISTICS

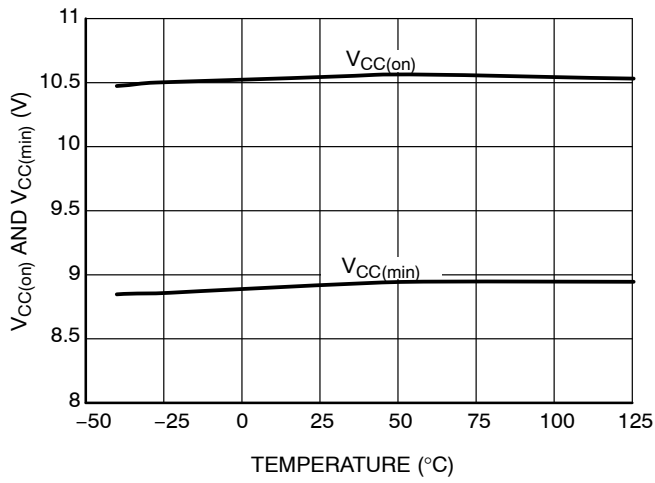


Figure 6. V_{CC(on)} and V_{CC(min)} vs. Temperature

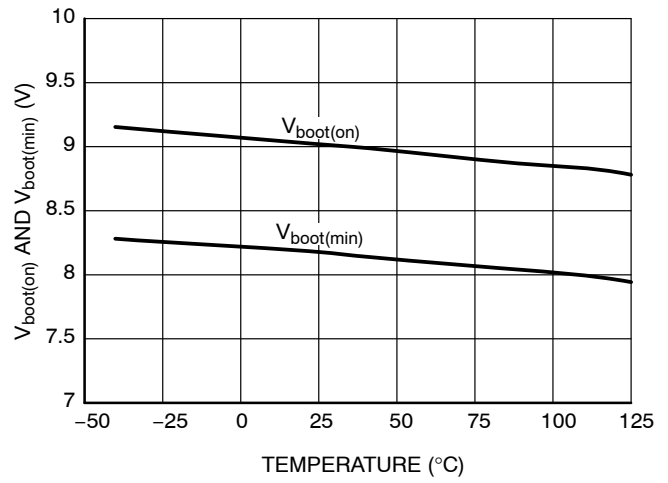


Figure 7. V_{boot(on)} and V_{boot(min)} vs. Temperature

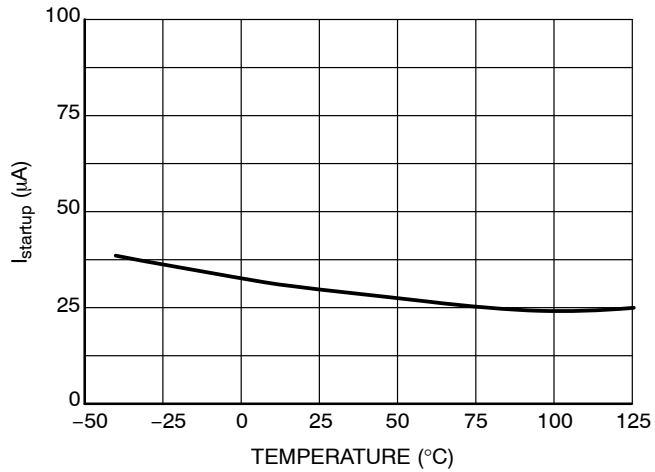


Figure 8. I_{startup} vs. Temperature

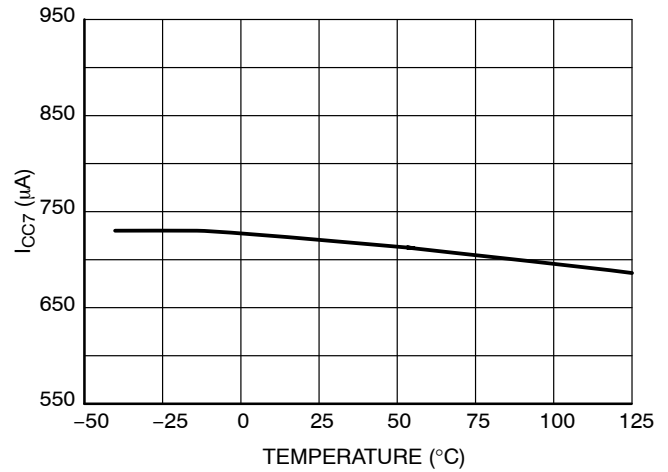


Figure 9. I_{CC7} vs. Temperature

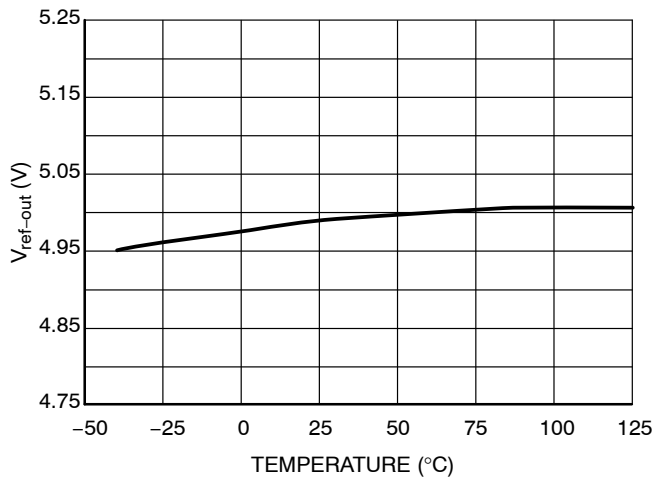


Figure 10. V_{ref-out} vs. Temperature

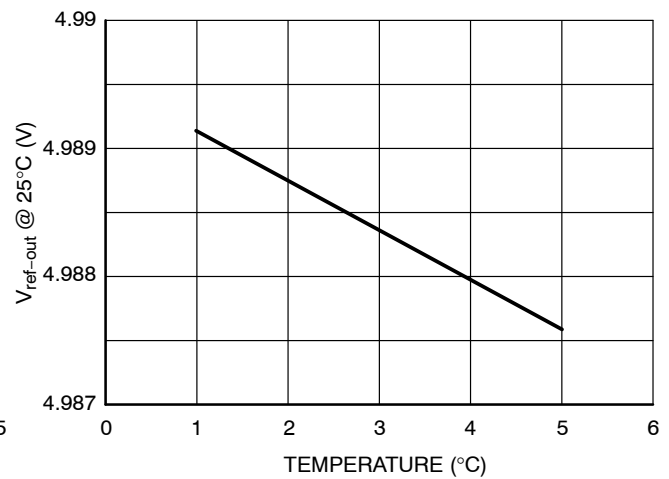


Figure 11. V_{ref-out} @ 25°C vs. I_{ref-out}

TYPICAL CHARACTERISTICS

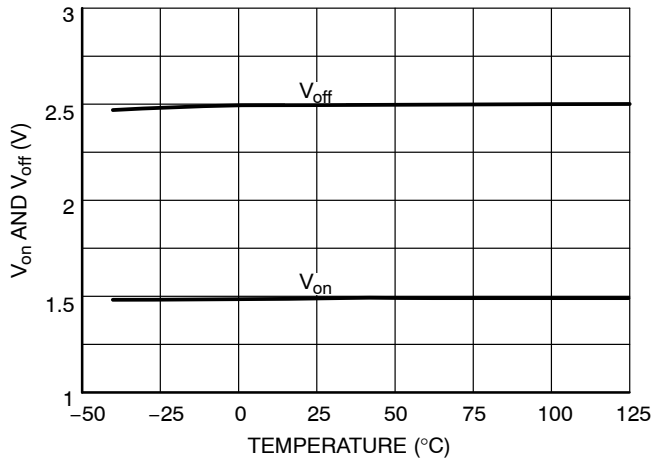


Figure 12. V_{on} and V_{off} vs. Temperature

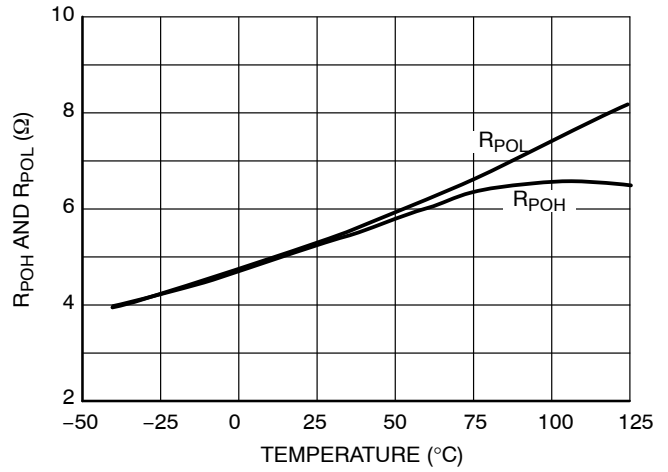


Figure 13. R_{POH} and R_{POL} vs. Temperature

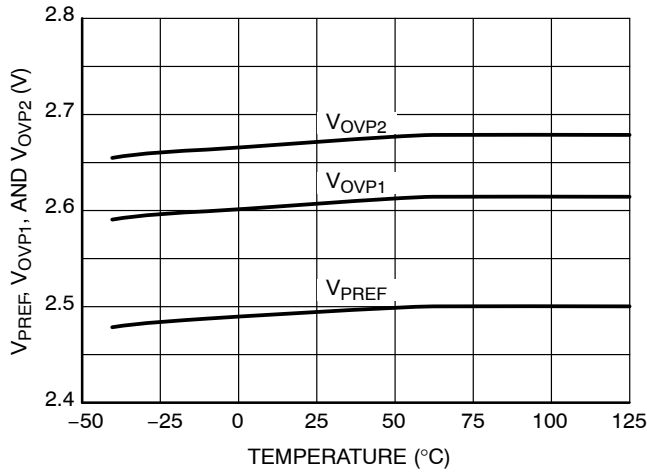


Figure 14. V_{PREF} , V_{OVP1} , and V_{OVP2} vs. Temperature

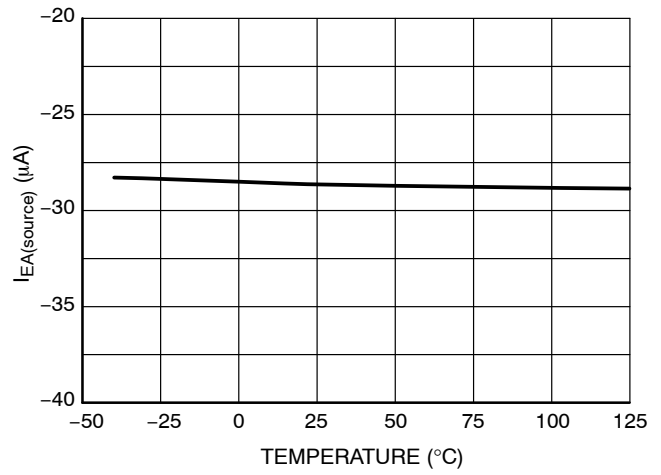


Figure 15. $I_{EA(source)}$ vs. Temperature

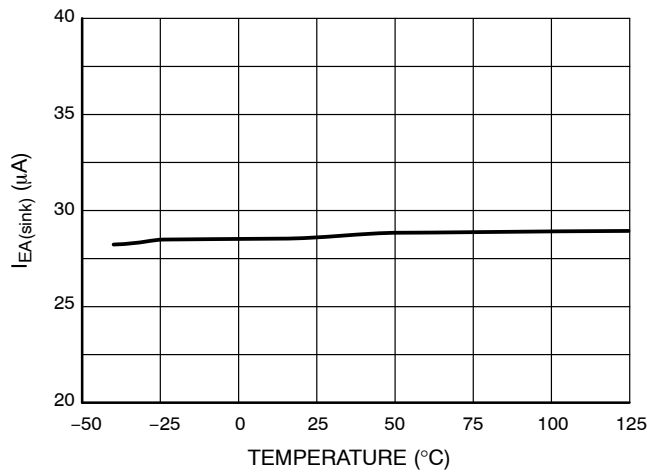


Figure 16. $I_{EA(sink)}$ vs. Temperature

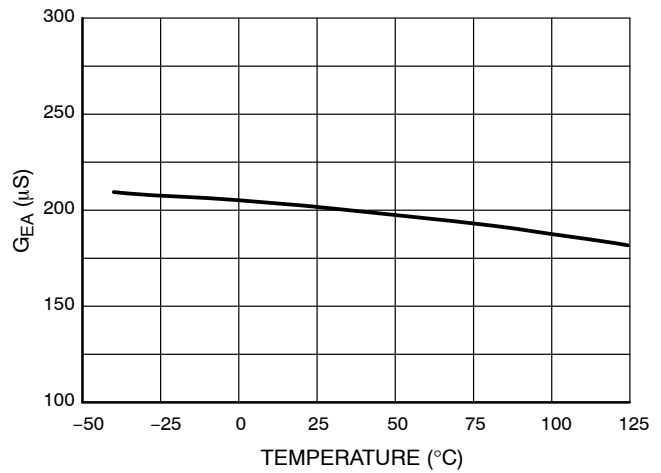


Figure 17. G_{EA} vs. Temperature

TYPICAL CHARACTERISTICS

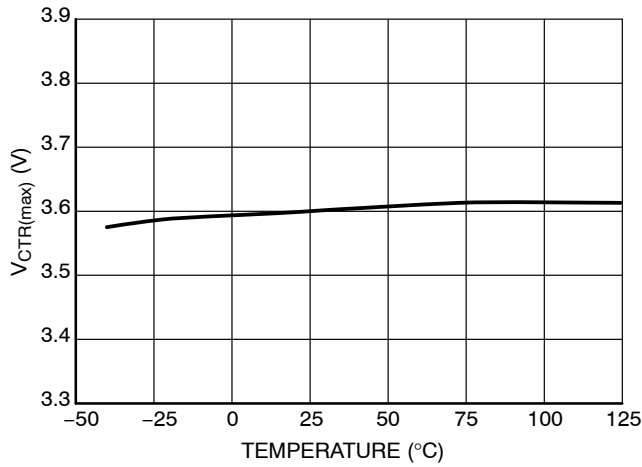


Figure 18. $V_{CTRL(max)}$ vs. Temperature

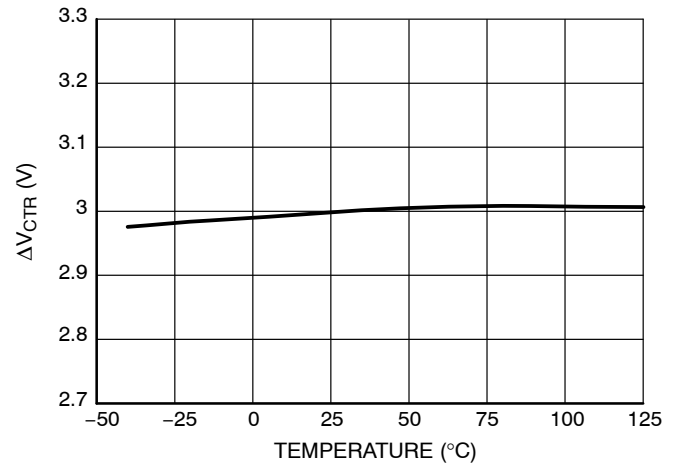


Figure 19. ΔV_{CTRL} vs. Temperature

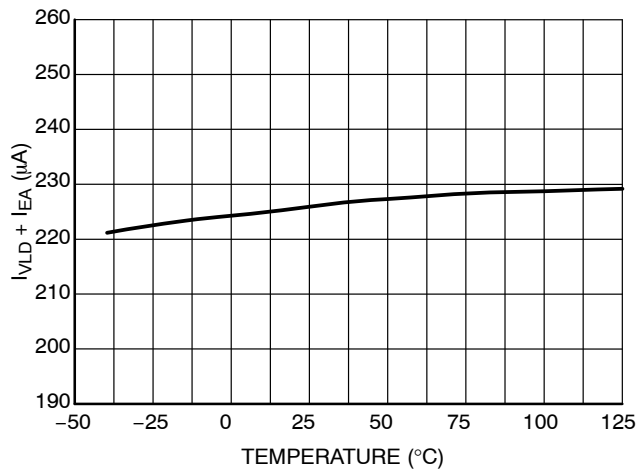


Figure 20. $I_{VLD}+I_{EA}$ vs. Temperature

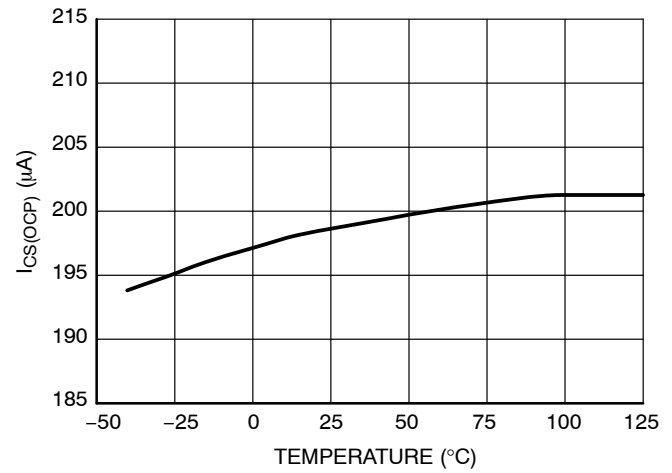


Figure 21. $I_{CS(ocp)}$ vs. Temperature

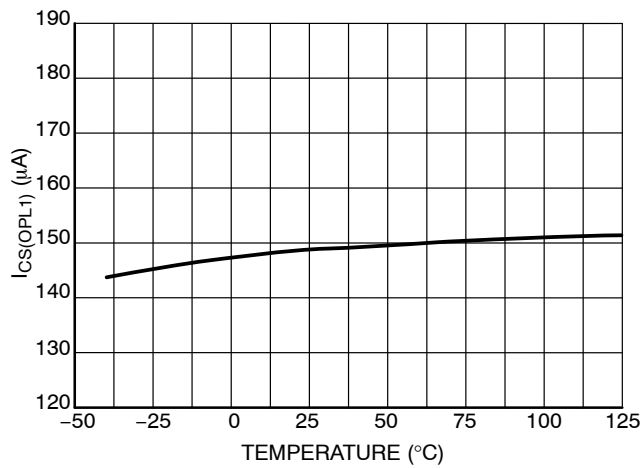


Figure 22. $I_{CS(OPL1)}$ vs. Temperature

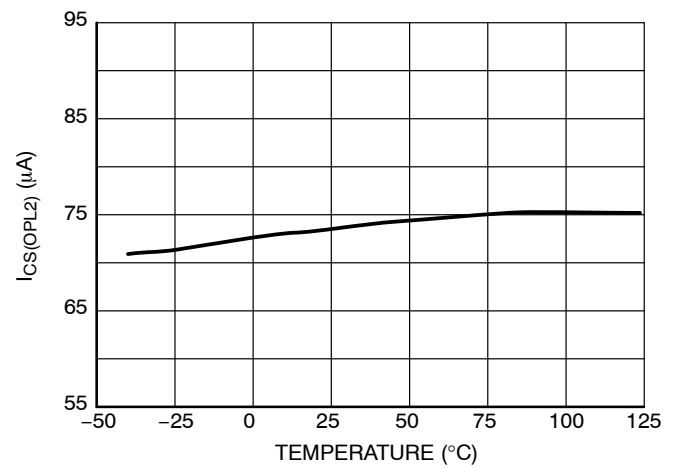


Figure 23. $I_{CS(OPL2)}$ vs. Temperature

TYPICAL CHARACTERISTICS

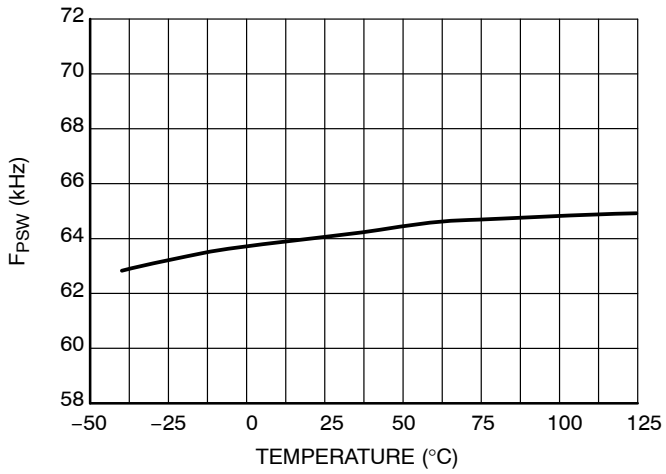


Figure 24. F_{PSW} vs. Temperature

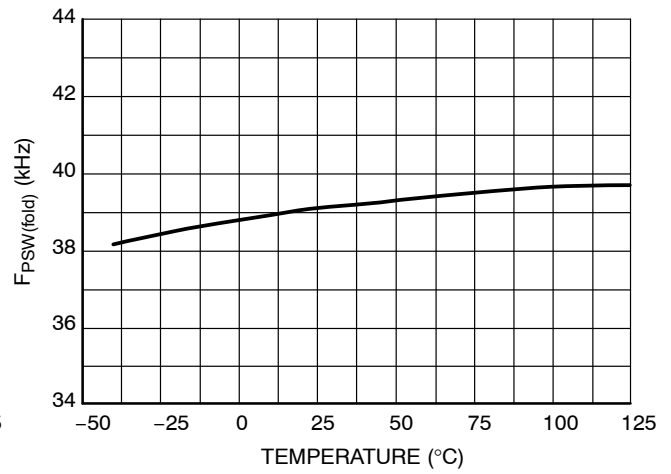


Figure 25. F_{PSW(fold)} vs. Temperature

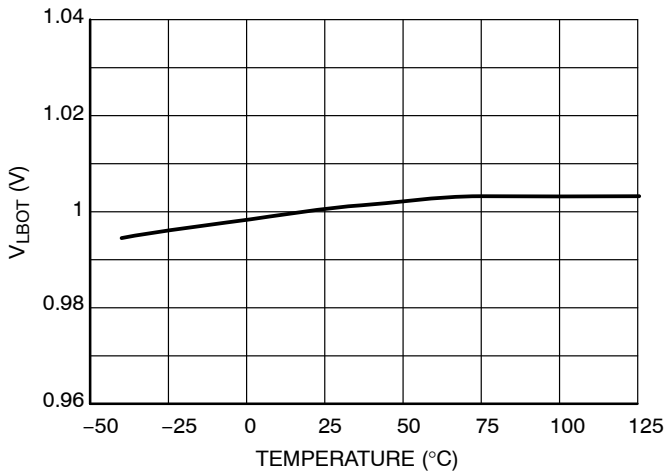


Figure 26. V_{LBOT} vs. Temperature

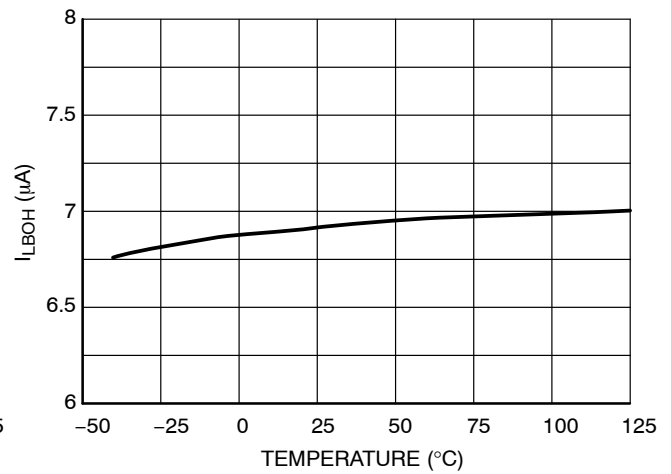


Figure 27. I_{LBOH} vs. Temperature

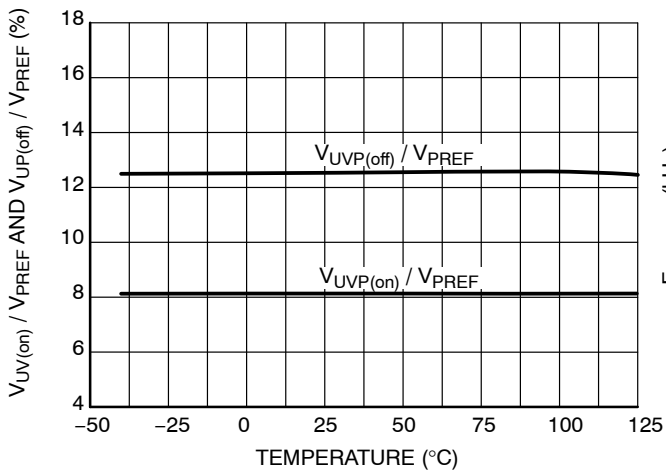


Figure 28. V_{UVP(on)}/V_{PREF} and V_{UVP(off)}/V_{PREF} vs. Temperature

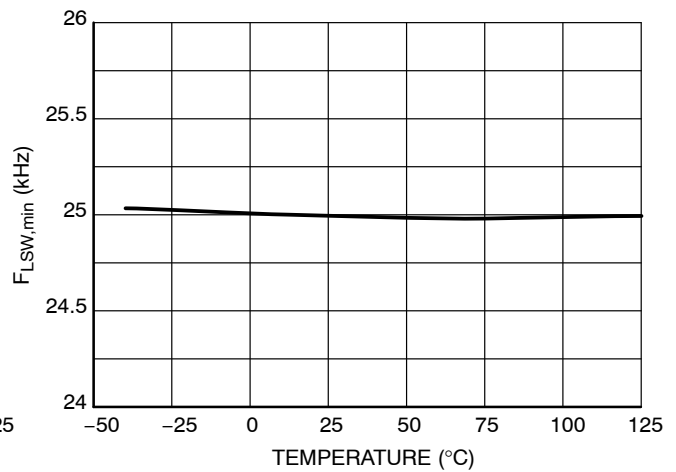


Figure 29. F_{LSW,min} vs. Temperature

TYPICAL CHARACTERISTICS

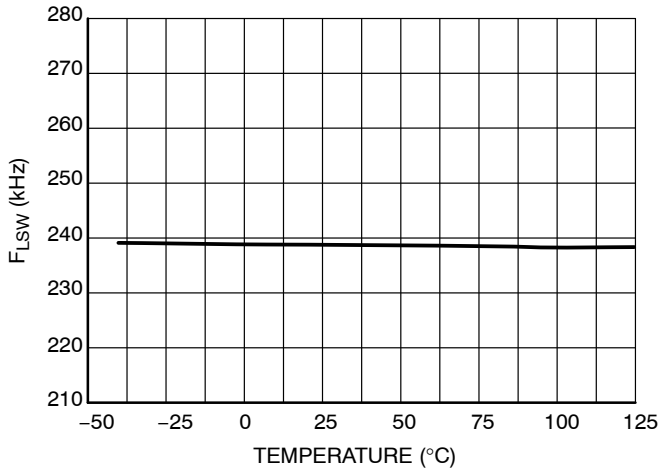


Figure 30. F_{LSW} vs. Temperature

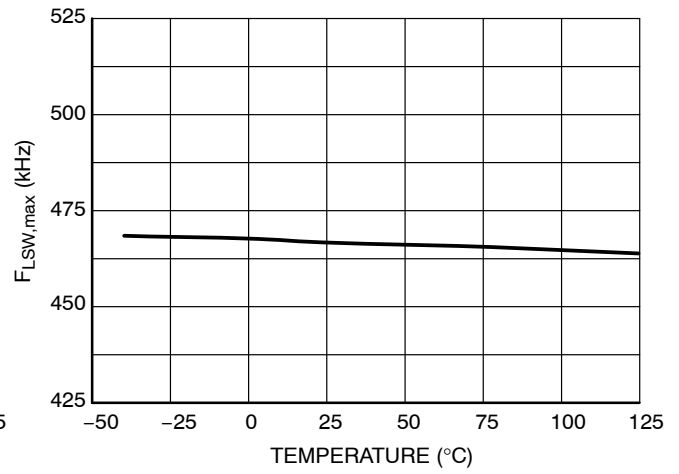


Figure 31. $F_{LSW,max}$ vs. Temperature

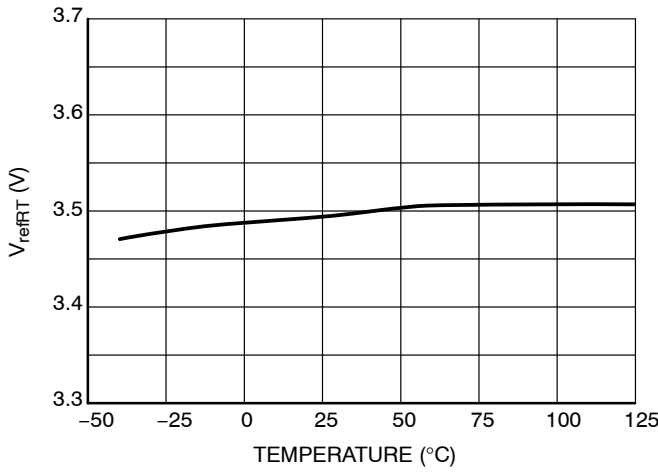


Figure 32. V_{refRt} vs. Temperature

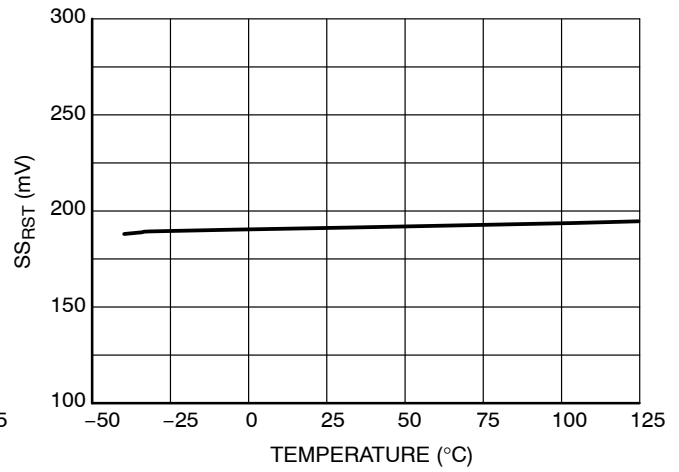


Figure 33. SS_{RST} vs. Temperature

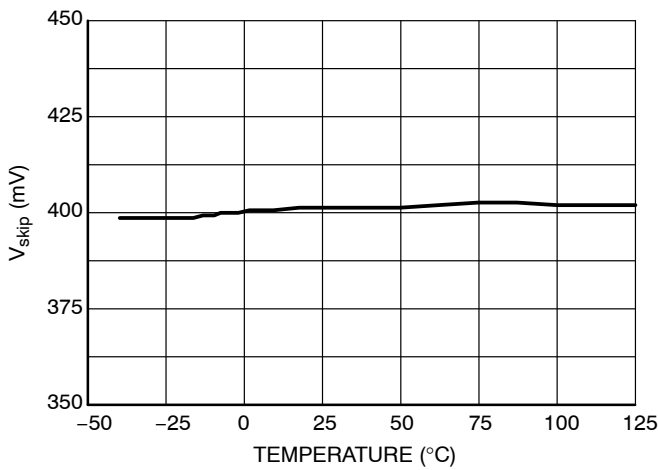


Figure 34. V_{skip} vs. Temperature

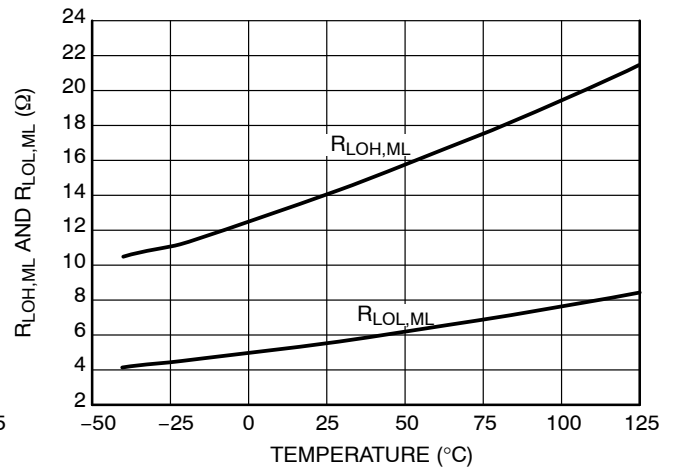


Figure 35. $R_{LOH,ML}$ and $R_{LOL,ML}$ vs. Temperature

TYPICAL CHARACTERISTICS

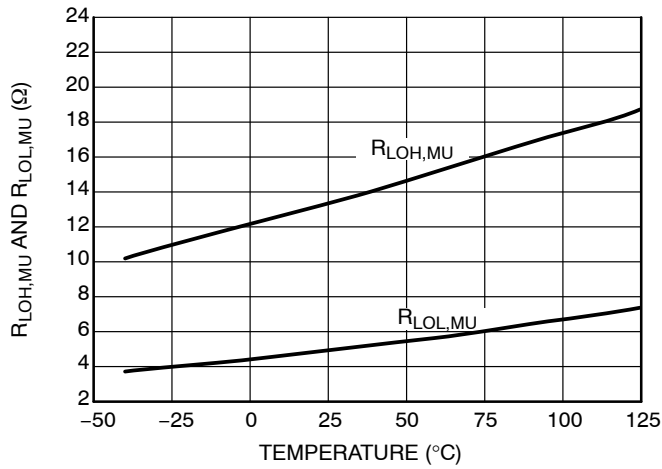


Figure 36. $R_{LOH,MU}$ and $R_{LOL,MU}$ vs. Temperature

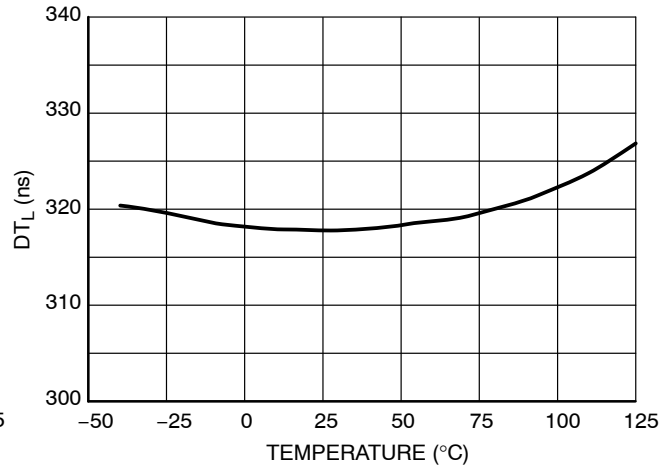


Figure 37. DT_L vs. Temperature

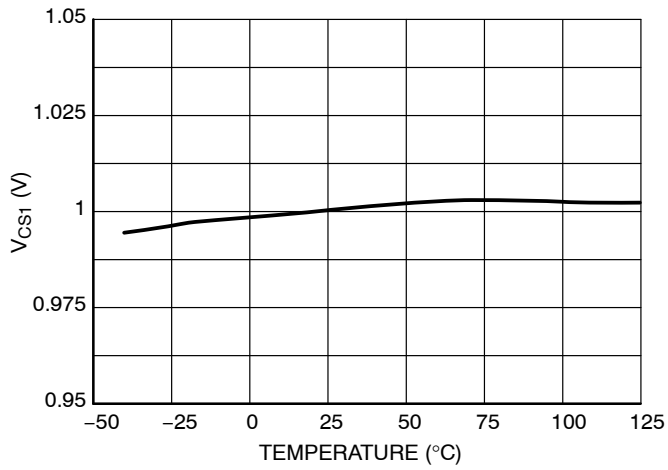


Figure 38. V_{CS1} vs. Temperature

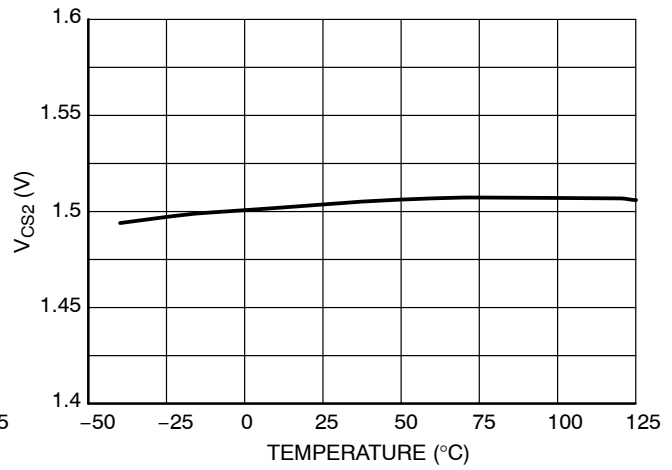


Figure 39. V_{CS2} vs. Temperature

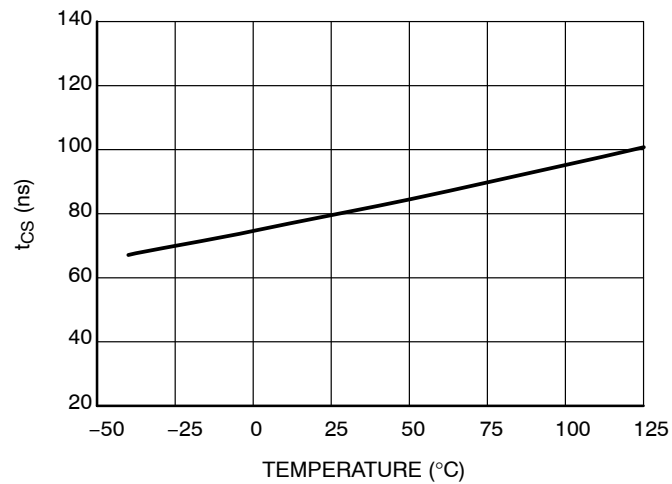


Figure 40. t_{CS} vs. Temperature

アプリケーション情報

NCP1910は、連続導通モード(CCM)力率補正(PFC)およびLLC共振制御の機能を実行する独立した2つのコアを連結することにより、新世代の制御回路を実現しています。これらのコアは、相互に作用して通常動作時だけでなくフォールト発生時におけるハンドシェイク機能を実現します。オン・セミコンダクター独自の高電圧技術に基づき、LLCセクションは、ゲートドライブ・トランスなしでLLCハーフブリッジのハイサイドMOSFETをドライブできます。

力率補正

● コンパクトかつ柔軟： NCP1910がCCM

PFC動作を実行するのに最少数の外付け部品しか必要としません。特に、PFCステージの設計が簡素化される回路構成となっています。さらに、この回路はライン・ブラウンアウト検出や真の電力制限など、PFC設計の最適化を可能にするいくつかの機能も提供します。

● 低消費電流およびシャットダウン機能：

NCP1910は、すべての動作モードで低消費電流となるように最適化されています。特に起動中およびシャットダウン・モード時の消費電流が低減され、回路がディセーブルされているときの電力損失が最小限に抑えられています。これによって、スタンバイ・モードの厳しい低電力仕様を満たすことができます。帰還ピンを接地して回路を強制的にスタンバイ・モードにすることができますが、on/offピンを使用しても同じことができます。

● 最大電流制限：回路は絶えずインダクタ電流を検出し、設定された電流制限を超えると、すぐに電源スイッチをオフにします。NCP1910はインダクタ電流が最大許容レベル以下に低下しない限り、電源スイッチをオンにしません。この機能によって、電源スイッチに設定されている制限よりも高い電流の切り替えによって生じる可能性のある過剰なストレスからMOSFETを保護します。特にこの方式は、起動時に大きな突入電流が発生してバルク・コンデンサを充電するときに、PFCステージを効果的に保護します。

● オープン・ループ保護のための低電圧保護：

回路は、帰還電圧が安定化レベルの約8%よりも低下すると、これを検出します。この場合、回路はターンオフし、消費電流は非常に低い値に下がります。この機能は、ACラインが低電圧状態、または帰還ネットワークにフォールト(接続不良など)が発生した場合に、PFCステージを起動動作から保護します。UVP回路が起動した場合、パワー・グッド信号がディセーブルされ、LLC回路がすぐに停止します。

● 高速過渡応答：安定化ブロックの帯域幅が狭い場合、起動時などに発生する負荷または入力電圧の突然の変動によって、PFCステージの出力電圧に過剰なオーバershootやアンダershootが生じる

可能性があります。バルク電圧が安定化レベルから大きく離れた場合、次の処理が行われます。

◆ 過電圧保護：NCP1910は、 V_{bulk} がOVPスレッシュホールド(安定化レベルの105%)を超えると、すぐに電源スイッチをターンオフします。これは自動リカバリ機能です。

◆ ダイナミック応答エンハンサ：NCP1910は、バルク電圧が安定化レベルの95%よりも低下すると、内部の200 μ Aの電流源によって、安定化ループを大きく加速します。

● ライン・ブラウンアウト検出：回路は、ACラインの低電圧状態を検出すると、PFCステージをディセーブルします。これによって、低電圧状態の場合に回路に損傷を与える可能性がある過剰なストレスから、主に電源スイッチを保護します。

● 過電力制限：NCP1910は、ブラウンアウト・ブロックで計測された平均入力電圧に基づいて最大許容電流を計算します。これはライン電圧に依存するスレッシュホールドを持つ第2のOCPです。回路は過剰な電力伝達を検出すると、すぐにドライバ出力をリセットします。

● 冗長過電圧保護：NCP1910は、冗長性を備えた安全機能として、OVP2ピンから入力可能な第2のラッチOVPを提供します。このピンの電圧が最大許容電圧を超えた場合、PFCとLLCはラッチオフされます。

● PFC異常保護：バルク電圧が許容時間以上継続して安定状態を下回るようなPFCの異常状態が発生した場合、PFCとLLCはラッチオフされます。

● 周波数フォールドバック：

ユーザは、軽出力負荷状態で発振器周波数を徐々に低下させる V_{CTRL} ピンのポイントをプログラムすることができます。これにより、PFC電力段単独で、十分な効率を維持できます。

● ソフトスタート：クリーンな起動シーケンスを提供し、パワーMOSFETへのストレスとバルク電圧オーバershootの両方を制限するために、30 μ Aの電流源によって V_{CTRL} ピンに配置されている補償ネットワークが充電され、これにより V_{CTRL} が徐々に上昇します。

● 出力段トーテンポール：NCP1910は、TO220またはTO247パワーMOSFETを効率的にドライブする ± 1.0 Aのゲート・ドライバを内蔵しています。

LLCコントローラ

● 幅広い周波数での動作：このデバイスは、 R_L ピンからグラウンドに抵抗ネットワークを接続することによって、最大500 kHzの周波数で動作できます。1つの抵抗で最大スイッチング周波数を設定し、もう1つの抵抗で最小スイッチング周波数を設定します。

- **内蔵デッドタイム**：ハーフブリッジ・レグでのシュートスルーをなくすために、コントローラにデッドタイムが含まれています(DT_Lパラメータ参照)。
- **ソフトスタート**：起動時に出力電圧を滑らか上昇させるために、専用ピンがコンデンサをグラウンドに放電します。起動周波数は、R_tピンとSSピンの間に接続された抵抗で設定される最大値です。R_tピンからグラウンドに接続されたコンデンサが、ソフトスタートの持続時間を固定します。フォールト・モードで、CS/FFピンの電圧が1 V(標準)を超えると、ソフトスタート・ピンがすぐに放電され、高周波数で再起動が行われます。
- **スキップ・サイクル動作**：NCP1910Bでは、軽負荷状態での周波数の暴走を回避するためだけでなく、スタンバイ・モード時の消費電力を改善するために、オプトカブラのコレクタを絶えず監視するスキップ入力(Skipピン)の使用を推奨しています。このピンが低電圧を検出すると、コレクタ電圧が再び上昇するまでLLC出力パルスは遮断されます。NCP1910Aにはスキップ機能がないため、代わりにピン16にはアナログ・グラウンドを接続します。
- **高電圧ドライバ**：LLCコントローラには、オン・セミコンダクターの技術を活用した、高電圧レールに直接接続可能な高電圧セクションが含まれています。そのため、ゲートドライブ・トランスを使用しないで、MOSFETレグを直接ドライブすることができます。
- **フォールト保護**：上述したように、CS/FFピンには2レベルの保護回路が接続されています。信号レベルが第1レベル(1 V)と交差した場合、LLCコンバータはすぐにスイッチング周波数を最大(R_tピンに接続された外部の抵抗分割器で設定)まで上昇させます。これは自動リカバリ保護モードです。フォールトがさらに深刻な場合は、CS/FFピンの信号が第2スレッシュホールド(1.5 V)と交差し、コンボ・コントローラ全体がラッチオフされます。
V_{CC}でUVLOが検出された場合、on/offピンがリセットされた場合、またはPFCステージでブラウンアウトが検出された場合は、リセットが発生します。このブラウンアウト検出によって、ユーザが電源を抜いてから差し込んだことが確認できます。

コンボ管理

- **起動遅延**：PFC起動シーケンスでは、しばしば出力のオーバーシュートと、それに続く発振の減衰が発生します。LLCコンバータが起動する前にPFC出力電圧を完全に安定させるために、内部PFC_ok

信号がアサートされた後に20 msの遅延が挿入されます。この遅延は、コンボがV_{CC}のULVO、ライン・ブラウンアウト状態から、またはon/offピンによって起動されると、常にリセットされます。

- **パワー・グッド信号**：パワー・グッド信号(PG)は、分離された2次側に配置されている下流回路に、コンボが動作していることを通知することを目的としています。PFCが起動すると、内部のPFC_OK信号がアサートされます。20 ms後に、PGピンがローになります。この信号は、次の2つのケースで消失します。バルク電圧が、P_{adj}ピンのリファレンス電圧で設定される異常レベルにまで減少した場合。このレベルは、通常はBO_{adj}ピンで設定されるLLCターンオフ電圧よりも高くなります。したがって、通常のターンオフ・シーケンスでは、最初にPGが消えて、2次側にシャットダウンの準備が必要であることを知らせます。PG信号が消失する可能性があるもう1つのイベントは、帰還経路の分断、重度の過負荷によって、PFCにフォールトが発生する場合です。この場合、PG信号はすぐにハイにアサートされ、5 msタイマが始動します。このタイマの時間が経過すると、LLCコンバータは安全に停止できます。
- **ラッチ・イベント**：過酷な動作状態では、PFCがラッチされたり(OVP2ピン)、LLCコントローラがラッチされる(CS/FFピン)ことがあります。いずれの場合も、コンボ・コントローラ全体がロックされ、V_{CC}のUVLO、ライン・ブラウンアウト、またはon/offピンでのレベル遷移によってのみリセットが可能です。
- **サーマル・シャットダウン**：接合部温度が140°C(標準)を超えると、内部サーマル回路がゲート・ドライブをディセーブルし、電源スイッチをオフに保持します。温度が約110°C(30°のヒステリシス)以下に下がると、回路は動作を再開します。

NCP1910構造の原理

PFCセクション

CCM PFCブースト・コンバータをFigure 41に示します。入力電圧は50 Hzまたは60 Hzの正弦波信号を整流したものです。MOSFETは高周波(NCP1910では標準65 kHz)でスイッチングするため、インダクタ電流I_Lは基本的に高周波成分と低周波成分から成ります。フィルタ・コンデンサC_{in}は、インダクタ電流I_Lの高周波成分を除去するのに不可欠な、非常に小さい値のコンデンサです。整流された正弦波入力電圧が歪んで力率が低下する可能性があるため、このフィルタ・コンデンサが大き過ぎてはなりません。

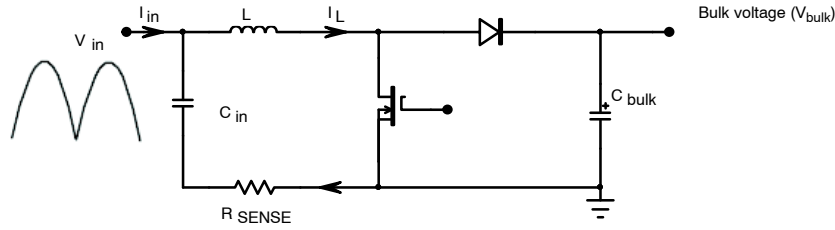


Figure 41. CCM PFC Boost Converter

PFC手法

NCP1910は、CCM動作のために特別に設計された独自のPFC回路を使用しています。このセクションではPFC手法について説明します。

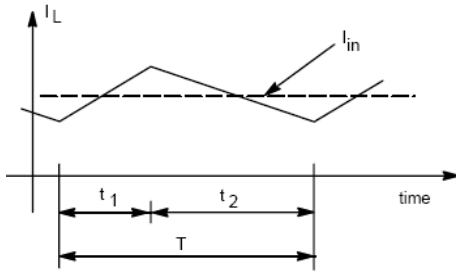


Figure 42. Inductor Current in CCM

Figure 42に示すとおり、スイッチング期間T内のインダクタ電流 I_L は、期間 t_1 の充電フェーズと期間 t_2 の放電フェーズの2つの期間に分けられます。電圧変換率は、式1で得られます。

$$\frac{V_{\text{bulk}}}{V_{\text{in}}} = \frac{t_1 + t_2}{t_2} = \frac{T}{T - t_1} \quad (\text{eq. 1})$$

$$V_{\text{in}} = \frac{T - t_1}{T} V_{\text{bulk}}$$

ここで、

- ◆ V_{bulk} はPFCステージの出力電圧、

- ◆ V_{in} は整流された入力電圧、
- ◆ T はスイッチング時間、
- ◆ t_1 はMOSFETのオンタイム、
- ◆ t_2 はMOSFETのオフタイムです。

入力フィルタ・コンデンサ C_{in} とフロントエンドEMIフィルタは、インダクタ電流 I_L の高周波成分を吸収します。これによって入力電流 I_{in} は、インダクタ電流の低周波信号のみになります。

$$I_{\text{in}} = I_{L-50} \quad (\text{eq. 2})$$

ここで、

- ◆ I_{in} は入力AC電流、
- ◆ I_L はインダクタ電流です。
- ◆ I_{L-50} は50 Hz動作を想定しています。末尾の50は、元の I_L の50 Hzの帯域幅を持つことを意味します。

式1と式2から、入力インピーダンス Z_{in} の計算式は次のようになります。

$$Z_{\text{in}} = \frac{V_{\text{in}}}{I_{\text{in}}} = \frac{T - t_1}{T} \frac{V_{\text{bulk}}}{I_{L-50}} \quad (\text{eq. 3})$$

ここで、 Z_{in} は入力インピーダンスです。

力率は、式3の入力インピーダンス Z_{in} が一定、または50 Hzないし60 Hzの帯域幅で緩やかに変化するとき補正されます。

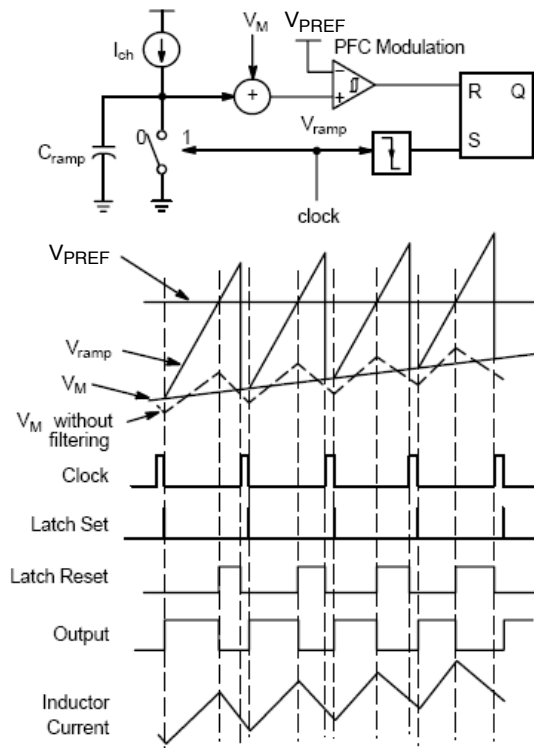


Figure 43. PFC Duty Modulation and Timing Diagram

PFC変調およびタイミング図を43に示します。MOSFETのオンタイム t_1 は、MOSFETがオンになってからリファレンス電圧 V_{PREF} とランプ電圧 V_{ramp} が交差する時点までです。次式4のような関係が得られます。

$$V_{\text{ramp}} = V_{\text{M}} + \frac{I_{\text{ch}} t_1}{C_{\text{ramp}}} = V_{\text{PREF}} \quad (\text{eq. 4})$$

ここで、

- ◆ V_{ramp} は内部ランプ電圧で、PFC変調コンパレータの正入力、
- ◆ V_{M} は V_{M} ピンに現れる増倍電圧、
- ◆ I_{ch} は内部充電電流、
- ◆ C_{ramp} は内部ランプ・コンデンサ、
- ◆ V_{PREF} はPFC変調コンパレータの負入力となる内部リファレンス電圧

I_{ch} 、 C_{ramp} 、および V_{PREF} は、スイッチング周波数のランプ信号としても働きます。したがって、充電電流 I_{ch} は、特に式5のとおり設計されています。したがって、増倍電圧 V_{M} は、 t_1 に関して式6のように表すことができます。

$$I_{\text{ch}} = \frac{C_{\text{ramp}} V_{\text{PREF}}}{T} \quad (\text{eq. 5})$$

$$V_{\text{M}} = V_{\text{PREF}} - \frac{t_1}{C_{\text{ramp}}} \frac{C_{\text{ramp}} V_{\text{PREF}}}{T} = V_{\text{PREF}} \frac{T - t_1}{T} \quad (\text{eq. 6})$$

式3および式6より、入力インピーダンス Z_{in} は式7のように書き直すことができます。

$$Z_{\text{in}} = \frac{V_{\text{M}}}{V_{\text{PREF}}} \frac{V_{\text{bulk}}}{I_{\text{L-50}}} \quad (\text{eq. 7})$$

V_{PREF} および V_{bulk} は時間に対してほぼ一定なので、PFCの目的で一定の Z_{in} を持つようにするには、増倍電圧 V_{M} が $I_{\text{L-50}}$ に比例するように設計します。この関係をFigure 44に示します。

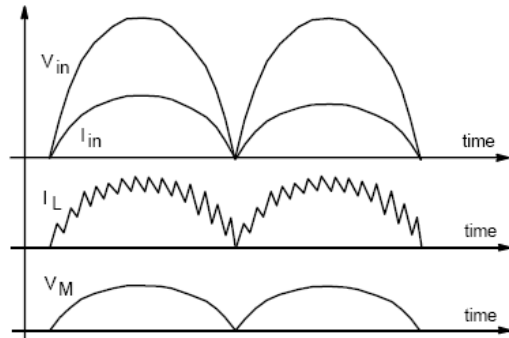


Figure 44. Multiplier Voltage Timing Diagram

Figure 43のタイミング図から、 V_{M} には本来インダクタ電流 I_{L} から生じたスイッチング周波数のリップルが含まれることが分かります。リップルによって、不正確なデューティ比が生成される可能性があります。この変調がいわゆる「ピーク電流モード」です。したがって、外部コンデンサ C_{M} を増倍電圧 V_{M} ピンに接続して、 V_{M} の高周波成分をバイパスすることが不可欠です。この変調はPFCに適した正確性を持つ、いわゆる「平均電流モード」になります。

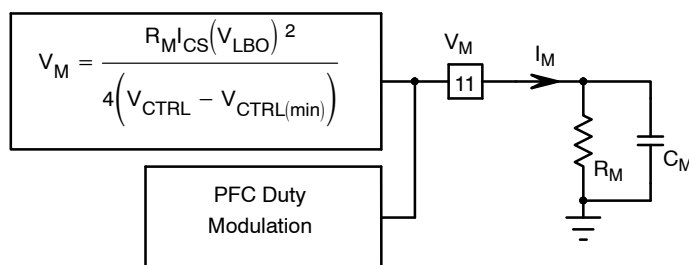


Figure 45. The Multiplier Voltage Pin Configuration

増倍電圧 V_M は、式8に従って生成されます。

$$V_M = \frac{R_M I_{CS} (V_{LBO})^2}{4(V_{CTRL} - V_{CTRL(min)})} \quad (\text{eq. 8})$$

ここで、

- ◆ R_M は、 V_M ピンに接続された一定の値を持つ外付け増倍抵抗です。
- ◆ V_{LBO} は、LBOピンに現れる入力電圧信号で、RMS入力電圧に比例します。
- ◆ I_{CS} は、インダクタ電流 I_L に比例するセンス電流です(式 13 で記述)。

- ◆ V_{CTRL} は、つまりオペレーショナル・トランスコンダクタンス・アンプ(OTA)の出力電圧である制御電圧信号です(式 17 で記述)。
- ◆ $V_{CTRL(min)}$ は、 V_{CTRL} の最小動作電圧であり、かつPFC電流変調のオフセット電圧です。

R_{M} は、最大入力電力能力を直接制限します。また、 V_{in}^2 フィードフォワード機能(V_{LBO} を二乗している部分)により、伝達関数および電力供給はACライン・レベルから独立しています。 V_{CTRL} と電力供給の関係については、後述します。

ライン・ブラウンアウト保護

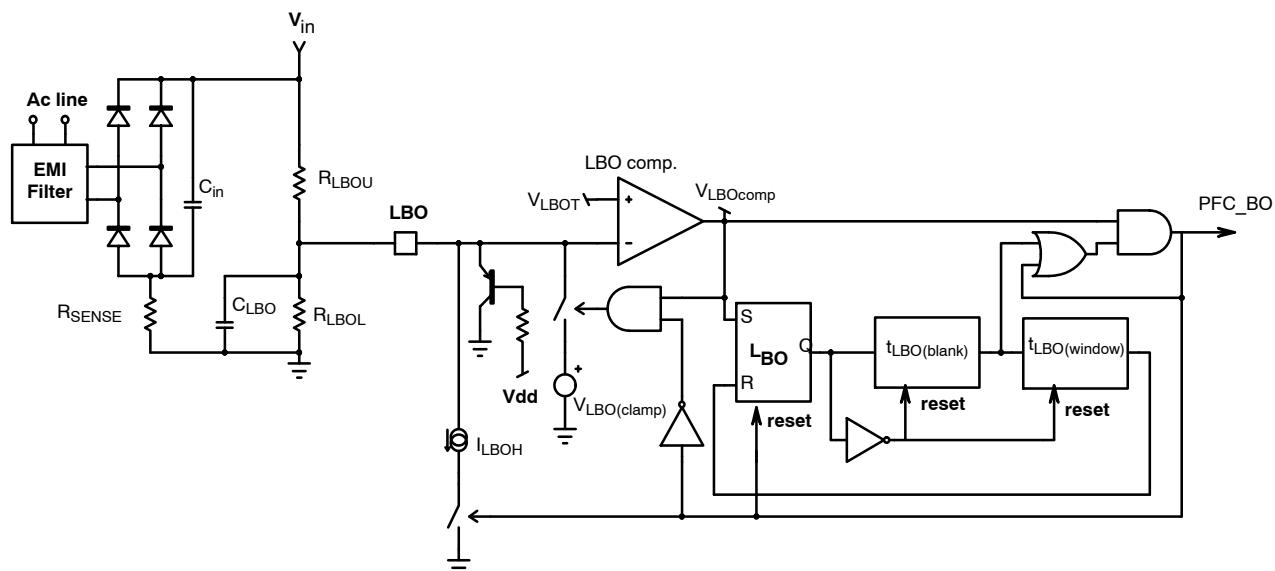


Figure 46. The Line Brown-Out Configuration

Figure 46に示すように、ライン・ブラウンアウト・ピン(LBOピンと表記)は、入力電圧(V_{in})の一部を受け取ります。 V_{in} は整流された正弦波なので、コンデンサでACライン・リップルを平滑化し、 V_{in} の平均値に比例する電圧がブラウンアウト・ピンに印加されるようにする必要があります。LBOブロックの主な機能は、入力電圧が低すぎる状態を検出することです。ブラウンアウト状態が検出された場合、7 μ Aの電

流源がLBOピンの電圧を低下させます。これはこの機能に必要なヒステリシスを得るためです。

通常動作中は、LBOピンに印加される電圧が内部リファレンス電圧 V_{LBO} (標準1 V)よりも高くなければなりません。この場合、LBOコンパレータの出力 $V_{LBOcomp}$ はローになります。反対に V_{LBO} が1 Vよりも低下すると、 $V_{LBOcomp}$ はハイになり、980 mV電圧源($V_{LBO(clamp)}$)がLBOピンに接続され、このピンの

電圧を1 V近くに維持します。次に50 msのブランキング遅延($t_{LBO(Blank)}$)が開始され、この間フォールトは検出されません。50 msの遅延の主な目的は、ホールドアップ要件を満たすことです。短い電源線障害が発生した場合、フォールトは検出されないためPFCとLLCは両方とも動作を継続します。さらに、LBOピンに980 mVが印加されているため、ラインが回復してからLBOピンに正常な電圧が印加されるまで、余分な遅延はほとんど発生しません。この電圧が印加されていない場合、入力電圧リップルを除去するためにLBOピンとグランド間に通常配置されている大容量コンデンサによって遅延が発生します。その結果、NCP1910は25 ms (50 msタイマの最小保証値)以内の電源線障害を効果的に除去します。このブランキング遅延($t_{LBO(Blank)}$)の終了時に、50 msウィンドウを設定する別のタイマが始動し、この間にフォールトを検出できます。これはFigure 46の

$t_{LBO(window)}$ の役割で、次のように実行されます。

- $V_{LBOcomp}$ が2番目の50 ms遅延($t_{LBO(window)}$)の間にハイになると、ライン・ブラウンアウト状態が確定し、PFC_BO信号がハイにアサートされます。
- $V_{LBOcomp}$ が時間 $t_{LBO(window)}$ の間ローを維持すると、フォールトは検出されません。

PFC_BO信号がハイになると、以下実行されます。

- PFCドライバがディセーブルされ、 V_{CTRL} ピンが接地されます。フォールトがなくなると、ソフトスタートによって動作が回復します。
- $V_{LBO(clamp)}$ 電圧源がLBOピンから除去されます。
- I_{LBOH} 電流源(標準7 μA)がイネーブルされ、ヒステリシスの目的でLBOピンの電圧を下げます。

起動時に $V_{CC} < UVLO$ 、on/offピンの解放、UVP、またはサーマル・シャットダウンが発生した場合、PNPトランジスタによってLBOピンの電圧低下が維持されます。これは回路が正常な状態、つまり“PFC_BO”ハイの状態で作動を開始することを保証するためです。NCP1910が動作可能な状態になると、PNPトランジスタがターンオフし、回路は I_{LBOH} をイネーブルします。また、このデバイスがオフ・モードのときは常に I_{LBOH} がイネーブルされますが、起動時には、 V_{CC} が $V_{CC(on)}$ に達するまで I_{LBOH} がディセーブルされます。

ライン・ブラウンアウト・ネットワークの計算

ライン・ブラウンアウト・ネットワークがブリッジ・ダイオード後の電圧に接続されている場合、モニタされる電圧は、次のようにフェーズごとに大きく異なります。

- 動作前、PFCステージはオフで、入力ブリッジはピーク検出器として動作します。その結果、入力電圧はほぼ平坦になり、 A_c ライン振幅 $\langle V_{in} \rangle = \sqrt{2} V_{ac,rms}$ にほぼ等しくなります。ここで、 $V_{ac,rms}$ はラインのRMS電圧です。前のセクションで説明したように、調整可能なライン・ブラウンアウト・ヒステリシスの目的で、PFCの動作前

に I_{LBOH} がターンオンします。このため、LBOピンにかかる平均電圧は、次のようになります。

$$V_{LBO} = \sqrt{2} V_{ac,rms} \frac{R_{LBOL}}{R_{LBOU} + R_{LBOL}} - I_{LBOH} \frac{R_{LBOU} \cdot R_{LBOL}}{R_{LBOU} + R_{LBOL}} \quad (\text{eq. 9})$$

$$V_{LBO} \approx \sqrt{2} V_{ac,rms} \frac{R_{LBOL}}{R_{LBOU} + R_{LBOL}} - I_{LBOH} R_{LBOL}$$

- PFCステージの動作開始後、入力電圧は整流正弦波になり、平均電圧は $\langle V_{in} \rangle = (2/\pi) \sqrt{2} V_{ac,rms}$ となり、RMS入力電圧のピーク値の $2/\pi$ に減衰します。したがって、LBOピンにかかる平均電圧は、 $\langle V_{LBO} \rangle = (2/\pi) \sqrt{2} V_{ac,rms} \frac{R_{LBOL}}{R_{LBOU} + R_{LBOL}}$ になります。LBOピンのリップルのために、 V_{LBO} の最小値は、ほぼ次の値になります。

$$V_{LBO} = \frac{2}{\pi} \sqrt{2} V_{ac,rms} \frac{R_{LBOL}}{R_{LBOU} + R_{LBOL}} \times \left(1 - \frac{f_{LBO}}{3f_{line}} \right) \quad (\text{eq. 10})$$

ここで、

- f_{LBO} は検出ネットワークの極周波数です。

$$f_{LBO} = \frac{R_{LBOU} + R_{LBOL}}{2\pi R_{LBOU} R_{LBOL} C_{LBO}}$$

- f_{line} はライン周波数です。
- R_{LBOL} は、LBOピンとグランド間にある抵抗分割器の下側の抵抗です。
- R_{LBOU} は、 V_{in} とLBOピンの間にある抵抗分割器の上側の抵抗です。

式10の項 $1 - \frac{f_{LBO}}{3f_{line}}$ によって、LBOピンの電圧リッ

プル(第1近似)を計算に含めることができます。

経験から、 $f_{LBO} = \frac{f_{line}}{10}$ と仮定できます。

式9と式10をまとめると、LBOピンに接続されたネットワークは次式で計算できます。

$$R_{LBOL} = \left[\frac{1}{1 - \frac{f_{LBO}}{3f_{line}}} \cdot \frac{\pi}{2} \cdot \frac{V_{ac,on}}{V_{ac,off}} - 1 \right] \cdot \frac{V_{LBOT}}{I_{LBOH}} \quad (\text{eq. 11})$$

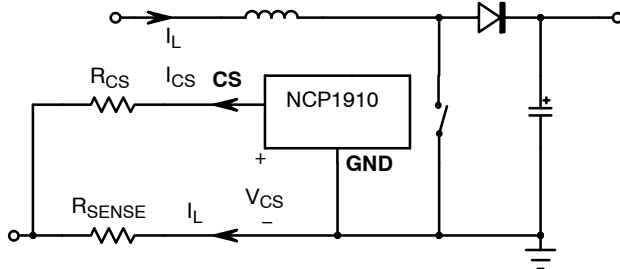
$$\approx \left(\frac{1}{0.967} \cdot \frac{\pi}{2} \cdot \frac{V_{ac,on}}{V_{ac,off}} - 1 \right) \cdot \frac{V_{LBOT}}{I_{LBOH}}$$

$$R_{LBOU} = \left(\frac{\sqrt{2} \cdot V_{ac,on}}{I_{LBOH} R_{LBOL} + V_{LBOT}} - 1 \right) R_{LBOL} \quad (\text{eq. 12})$$

ここで、

- ◆ $V_{ac,on}$ は、PFC動作を開始するためのAC RMS電圧です。
- ◆ $V_{ac,off}$ は、ライン・ブラウンアウト検出のためのRMS AC電圧です。

PFC電流検出



デバイスは、Figure 47の電流センス回路によってインダクタ電流 I_L を検出します。デバイスは、CSピンの電圧がゼロ(すなわち $V_{CS} = 0 \text{ V}$)になるよう維持します。したがって、次式が成立します。

$$I_{CS} = \frac{R_{SENSE}}{R_{CS}} I_L \quad (\text{eq. 13})$$

ここで、

- ◆ R_{SENSE} は、 I_L を検出するためのセンス抵抗
 - ◆ R_{CS} は、 CS ピンと R_{SENSE} の間のオフセット抵抗
- この方式は電流検出に必要な部品数が最少という利点があります。センス電流 I_{CS} は、インダクタ電流 I_L を示しており、PFCのデューティ変調で使用され、増倍電圧 V_M 、過電力制限(OPL)、および過電流保護を生成します。式 13は、 R_{SENSE} を柔軟に選択して、突入電流を検出できるという事実を明確に示しています。

PFC過電流保護(OCP)

PFC過電流保護は、 I_{CS} が $I_{S(OC)}$ (標準200 μ A)を超えると起動します。CSピンのオフセット電圧は、通常10 mVで、計算上は無視されます。したがって、OCPの最大インダクタ電流スレッシュホールド $I_{L(OC)}$ は、式14で得られます。

$$I_{L(OCP)} = \frac{R_{CS} I_{S(OCP)}}{R_{SENSE}} = \frac{R_{CS}}{R_{SENSE}} \times 200 \mu A \text{ (eq. 14)}$$

インダクタ電流が過電流保護スレッシュホールドに達すると、PFCドライブはローになります。インダクタ電流がスレッシュホールドより低下すると、デバイスは自動的に動作を再開します。

PFC過電力制限(OPL)

これはライン電圧によって変化するスレッシュホールドを持つ第2のOCPです。センス電流 I_{CS} はインダクタ電流 I_L を表しており、したがって近似入力電流を表します。入力電圧信号 V_{LBO} は、RMS入力電圧を示しています。積($I_{CS} \times V_{LBO}$)は、近似入力電力($I_L \times V_{ac}$)を表します。この関係をFigure 48に示します。

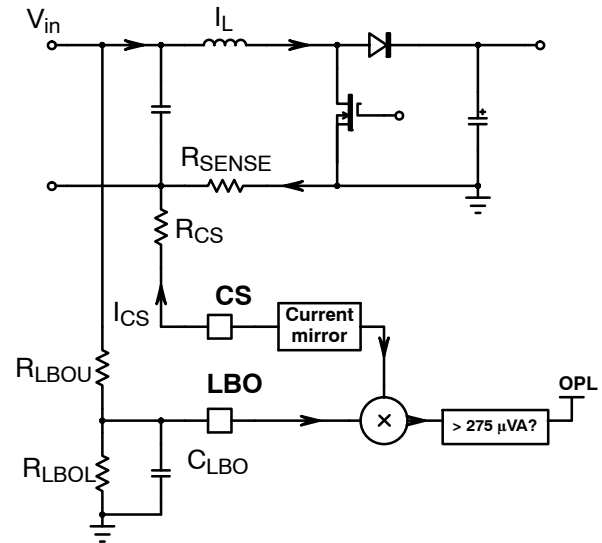


Figure 48. PFC Over-Power Limitation Configuration

積($I_{CS} \times V_{LBO}$)が許容レベル275 μ VAを超えると、デバイスはPFCドライバをターンオフし、入力電力が制限されます。OPLは、積($I_{CS} \times V_{LBO}$)が275 μ VAレベルより低くなると、自動的に非アクティブになります。この275 μ VAレベルは、近似入力電力($I_L \times V_{ac}$)に対応しており、式 15の特定の計算式よりも小さくなります。

$$\begin{aligned} I_{CS} V_{LBO} &< 275 \mu V A \\ \left(I_L \frac{R_{SENSE}}{R_{CS}} \right) \times \left(\frac{2\sqrt{2} K_{LBO}}{\pi} \cdot V_{ac} \right) &< 275 \mu V A \end{aligned} \quad (\text{eq. 15})$$

$$\left(I_L \frac{R_{\text{SENSE}}}{R_{\text{CS}}} \right) \times \left(\frac{2\sqrt{2}K_{\text{LBO}}}{\pi} \cdot V_{\text{ac}} \right) < 275 \mu\text{VA}$$

$$I_L \cdot V_{ac} < \frac{R_{CS} \cdot \pi}{R_{SENSE} \cdot K_{LBO}} \cdot 97 \mu VA$$

ここで、

$$K_{LBO} = \frac{R_{LBOL}}{R_{LBOU} + R_{LBOL}}$$

PFCリファレンス・セクション

内部リファレンス電圧(V_{PREF})は、全温度範囲にわたって $\pm 2\%$ の精度になるようトリミングできます(標準値は2.5 V)。 V_{PREF} は、PFCセクションの安定化に使用されるリファレンス電圧です。

PFCの帰還と補償

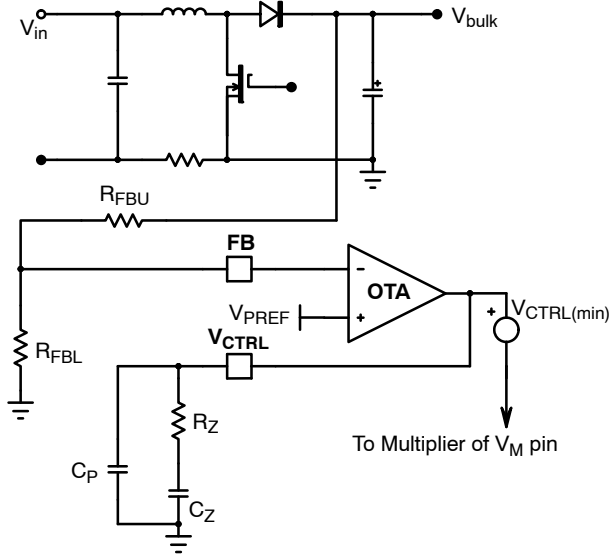


Figure 49. V_{CTRL} Type-2 Compensation

Figure 49に示すように、PFC回路の出力電圧 V_{bulk} は、抵抗分割器(R_{FBL} および R_{FBU})を介してFBピンで検出されます。 V_{bulk} は、式16に示すとおり安定化されます。

$$V_{bulk} = V_{PREF} \frac{R_{FBU} + R_{FBL}}{R_{FBL}} \quad (\text{eq. 16})$$

帰還信号 V_{FB} は出力電圧 V_{bulk} を表しており、出力電圧の安定化、過電圧保護(OVP)、高速過渡応答、および低電圧保護(UVP)に使用されます。

オペレーショナル・トランスコンダクタンス・アンプ(OTA)は、出力電力、すなわち V_{bulk} に応じて変化する制御電圧 V_{CTRL} を生成します。 V_{CTRL} の動作範囲は、 $V_{CTRL(min)}$ から $V_{CTRL(max)}$ までです。PFCデューティ変調に使用される信号は、オフセット電圧 $V_{CTRL(min)}$ を引いた後の信号、すなわち、 $V_{CTRL} - V_{CTRL(min)}$ です。

この制御電圧 V_{CTRL} は、緩やかに変化する信号であるPFCの出力電圧 V_{bulk} から生成される、ほぼ一定の電圧です。 V_{CTRL} の帯域幅は、外付けタイプ-2補償素子(Figure 49に示す R_Z 、 C_Z 、および C_P)を挿入することによって制限を追加できます。入力AC電圧が50 Hzの場合、力率補正の目的を達成するには、オープン・ループ・システムの交差周波数を標準20 Hz以下に制限することを推奨します。

$C_Z \gg C_P$ の場合は、 V_{bulk} から V_{CTRL} への電圧変換は式16に従って行われます。 G_{EA} はエラー・アンプのゲインです。

$$\frac{V_{CTRL}}{V_{bulk}} = \frac{R_{FBL} \cdot G_{EA} R_Z}{R_{FBL} + R_{FBU}} \cdot \frac{1 + sR_Z C_Z}{sR_Z C_Z (1 + sR_Z C_P)} \quad (\text{eq. 17})$$

PFCの電力解析と V_{in}^2 フィードフォワード

式7から式13により、入力インピーダンス Z_{in} は式18のように書き直すことができます。

$$Z_{in} = \frac{2R_M R_{SENSE} \cdot K_{LBO}^2 \cdot V_{ac}^2 \cdot V_{bulk} I_L}{\pi^2 R_{CS} \cdot (V_{CTRL} - V_{CTRL(min)}) \cdot V_{PREF} I_{L-50}} \quad (\text{eq. 18})$$

I_L が I_{L-50} と等しい場合、式18は式19のように書き直すことができます。

$$Z_{in} = \frac{2R_M R_{SENSE} \cdot K_{LBO}^2 \cdot V_{ac}^2 \cdot V_{bulk}}{\pi^2 R_{CS} \cdot (V_{CTRL} - V_{CTRL(min)}) \cdot V_{PREF}} \quad (\text{eq. 19})$$

増倍コンデンサ C_M は、増倍電圧 V_M の高周波成分を除去するためのものです。高周波成分は、基本的にインダクタ電流 I_L に由来しています。一方、入力フィルタ・コンデンサ C_{in} も同様に、インダクタ電流 I_L の高周波成分を除去します。コンデンサ C_M とコンデンサ C_{in} が、フィルタリング能力の点で互いに同等である場合、 I_L は I_{L-50} になります。入力インピーダンス Z_{in} は、50 Hzまたは60 Hzの帯域幅でほぼ一定となり、力率が補正されています。

回路効率 η が得られるか仮定できる場合、入力電力と出力電力(P_{in} と P_{out})は、式20および式21から導かれます。変数 V_{ac} は、RMS入力電圧を表しています。

$$P_{in} = \frac{V_{ac}^2}{Z_{in}} = \frac{\pi^2 \cdot R_{CS} \cdot (V_{CTRL} - V_{CTRL(min)}) \cdot V_{PREF}}{2R_M R_{SENSE} K_{LBO}^2 \cdot V_{bulk}} \propto \frac{(V_{CTRL} - V_{CTRL(min)})}{V_{bulk}} \quad (\text{eq. 20})$$

$$P_{in} = \eta P_{in} = \eta \frac{\pi^2 \cdot R_{CS} \cdot (V_{CTRL} - V_{CTRL(min)}) \cdot V_{PREF}}{2R_M R_{SENSE} K_{LBO}^2 \cdot V_{bulk}} \propto \frac{(V_{CTRL} - V_{CTRL(min)})}{V_{bulk}} \quad (\text{eq. 21})$$

V_{in}^2 フィードフォワードによって、電力供給は入力電圧から独立しています。したがって、電力段の伝達関数は入力電圧から独立しており、補償ループ設計が容易になります。

PFC周波数フォールドバック

NCP1910は、軽負荷時の効率を改善するために、PFCセクションに周波数フォールドバック機能を実装しています。 V_{in}^2 フィードフォワード機能により、出力電力は $(V_{CTRL} - V_{CTRL(min)})$ に比例します。そ

のためPFC周波数フォールドバックは、 $(V_{CTRL} - V_{CTRL(min)})$ とFoldピンの電圧 V_{fold} を比較して行います。

PFC周波数フォールドバック機能の簡略化ブロック図を、Figure 50に示します。

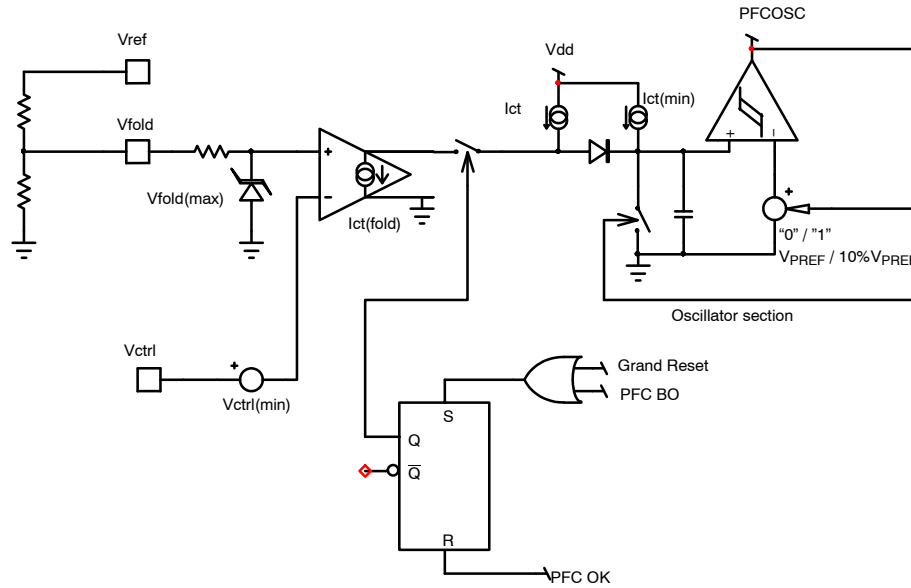


Figure 50. The PFC Frequency Foldback Block

ここで、

- ◆ $I_{Ct(min)}$ は最小動作周波数を制限します。
- ◆ I_{Ct} と $I_{Ct(min)}$ は発振器に充電電流を供給し、それによって公称動作周波数を制御します。
- ◆ V_{fold} は、周波数フォールドバックを開始する電力レベルを決定します。
- ◆ $I_{Ct(fold)}$ は、 V_{fold} と $(V_{CTRL} - V_{CTRL(min)})$ の間の誤差情報に従って、 I_{Ct} から電流を奪い、それによって動作周波数を低下させます。
- ◆ V_{CTRL} に対し周波数フォールドバックが遷移する傾きは、内部で固定されています。

- ◆ $V_{fold(max)}$ は、周波数フォールドバックの最大電力レベルを制限するためのもので、標準値は約2 Vです。

周波数フォールドバックは、起動時、すなわちFigure 50のPFCok信号がハイにアサートされる前にディセーブルされます。周波数フォールドバックが開始される電力レベルは、 V_{REF} ピンとFoldピン間の抵抗分割器を調節して調整できます。また、Foldピンを接地して周波数フォールドバックをディセーブルすることもできます。

Figure 51に、動作周波数と V_{CTRL} 間の関係を示します。

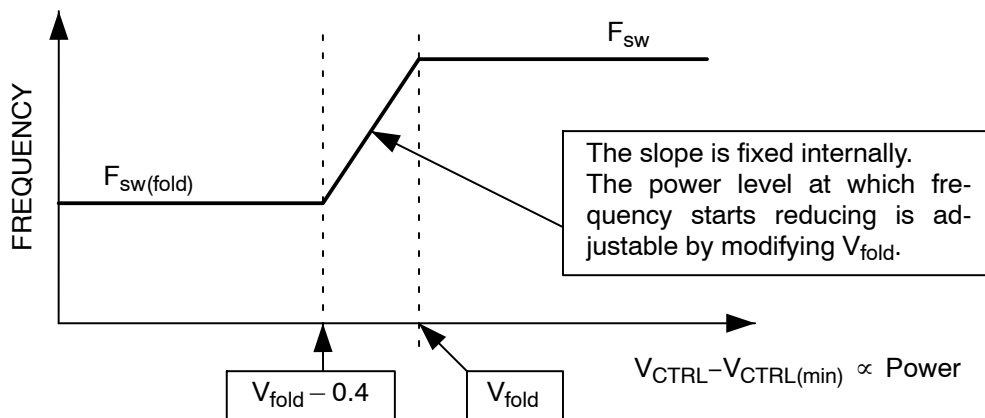


Figure 51. The Relationship between Frequency and V_{CTRL}

PFC電力ブースト

前のセクションで説明したように、 V_{in}^2 フィード・フォワードの効果によって、電力供給は入力電圧から独立しています。これによって、良好な効率や周波数フォールドバックの直接制御という利点が得られます。しかし、AC入力電圧が高ラインから低ラインに急激に低下するような特殊な状況では、LBOピン上のフィルタの入力電圧変化に追従する反応速度が低下するため、電力が制限されることがあります。最終的には、バルク電圧が過度に低下して、LLCコンバータが停止する可能性があります。そのためNCP1910は、いわゆるPFC電力ブースト機能を内蔵しています。この発想は、以下の場合にLBOピンを $V_{LBO(PD)}$ (標準2 V)にプルダウンするものです。

- V_{LBO} が $V_{LBO(PD)}$ (2 V)より高く、つまり入力が高ラインであり、かつ
- V_{CTRL} が、 $t_{PFCflag}$ で定義されたタイマ時間より長く継続して最大値となり、かつ
- V_{bulk} が公称出力の95%を下回っている、つまりVLDがトリガされている場合です。

最大プル・ダウン時間は、 $t_{LBO(PDlimit)}$ (標準5 ms)で定義されます。この電力ブースト機能の反応が早す

ぎないようにするために、約77 ms(標準)のブランキング・タイム $t_{LBO(PDblank)}$ が用意されています。起動時、バルク電圧が公称出力の95%を超えるまでは、PFC電力ブースト機能は抑止されます。

PFCスキップ・モード

無負荷状態で適切な安定化を行うために、 V_{CTRL} が最小レベルにあるとき、回路はサイクルをスキップします。 V_{CTRL} は、内部アクティブ・クランプによって約0.6 Vから3.6 Vの間に維持されます。スキップ・シーケンスは、0.6 Vのクランプ回路がトリガされている間に発生し、クランプ回路が非アクティブになるとスイッチング動作が回復します。

高速過渡応答

安定化ブロックの帯域幅が狭い場合、起動中などに発生する突然の負荷または入力電圧の変動によって、PFCステージの出力電圧に過剰なオーバershootやアンダシュートが生じる可能性があります。

Figure 52に示すように、NCP1910は出力電圧が安定状態から外れた場合のために、出力電圧の安定化を維持するための2つの機能を備えています。

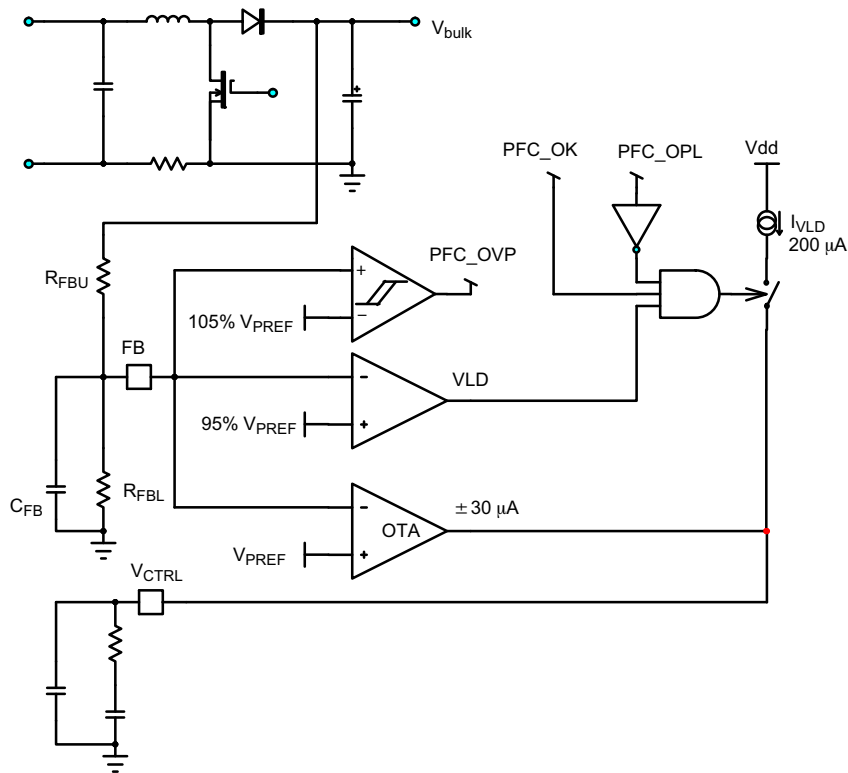


Figure 52. PFC OVP and VLD

- 過電圧保護(OVP) : V_{FB} が V_{PREF} の105%を超えた場合(すなわち、 $V_{bulk} >$ 公称バルク電圧の105%)、PFCドライバ出力は保護のためにローになります。 V_{FB} が V_{PREF} の103.2%よりも低下した場合(すなわち、OVPコンパレータで約44 mVのヒステリシ

ス)、回路は自動的に動作を再開します。公称 V_{bulk} が390 Vに設定されている場合、最大バルク電圧は390 Vの105% = 410 Vとなります。したがって、このアプリケーションには、小型で低価格な低電圧定格のバルク・コンデンサが適しています。

- **低電圧検出(VLD)** : NCP1910は、バルク電圧が安定化レベルの95%よりも低下した場合に、内部200 μA の拡張電流源によって、安定化ループを大幅に加速します。通常状態では、OTAの出力電流の最大シンクおよび最大ソース能力は、約30 μA です。「低 V_{out} 検出」ブロック(VLD)により、 V_{FB} が V_{PREF} の95%よりも低下すると、200 μA の補助電流源(Figure 52の I_{VLD})が V_{CTRL} を急速に上昇させ

ます。これによってPFC出力が低下しすぎるのを防ぎ、過渡応答性能を改善しています。 V_{CTRL} ピンと V_{FB} に流入または流出する電流の関係は、Figure 53に示すとおりです。ノイズの影響を防止するために、100 pF(標準)のデカップリング・コンデンサ C_{FB} を帰還ピンの隣に追加することを推奨します。

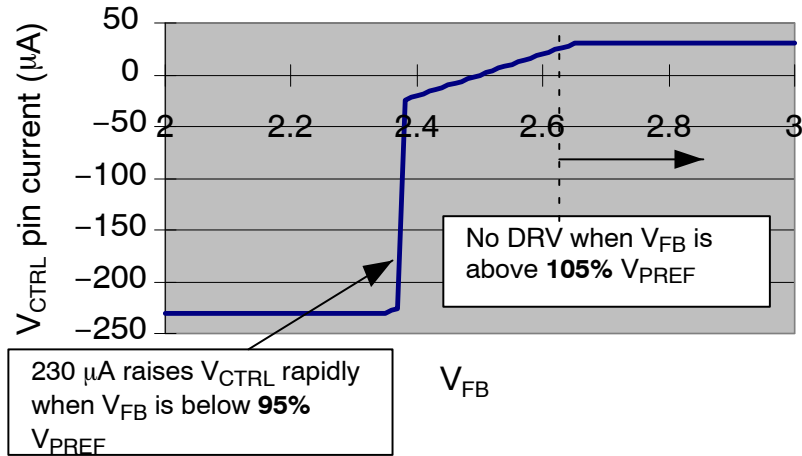


Figure 53. V_{FB} vs. Current Flowing in/out From V_{CTRL} Pin

PFCok信号

PFCはPFCok信号を供給し以下を実行します。

- V_{bulk} がPFCソフトスタート終了時の95%よりも低下した場合、ダイナミック応答エンハンサ(I_{VLD})をイネーブルする。
- PFC周波数フォールドバックをイネーブルする。
- LLC-HBコンバータを起動するためのタイマ(t_{DEL1})をイネーブルする。
- LLC-HBの起動後にPFCokがローにアサートされるか、 V_{bulk} がPGレベルよりも低下した場合、LLC-Hbコンバータを停止するためのタイマ(t_{DEL2})をイネーブルする。

PFCok信号は、PFCステージが通常動作時、すなわちPFGの出力が通常出力の95%を超えているときに

ハイになり、そうでないときはローになります。

Figure 54を参照してください。PFCok信号は、以下のいずれかの場合にローになります。

- PFCステージが起動した、
- いずれかのラッチオフ信号を受信した、
- ライン・ブラウンアウトが起動した。

PFCok信号は、以下の場合にハイになります。

- DRVが動作を開始し、PFCステージが目標の95%を超えた(VLDコンパレータの出力がハイ)、
- PFCステージが目標の100%を超えた(すなわち、PFC_{REG}コンパレータの出力がハイになった)。

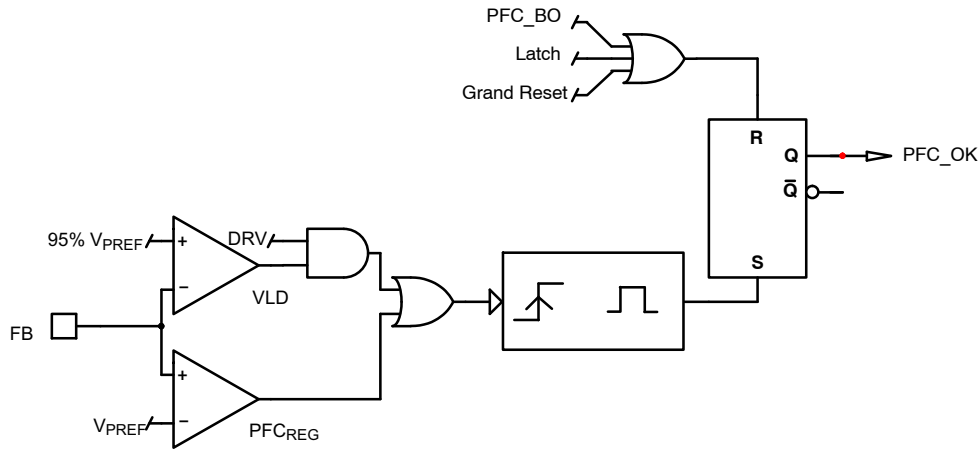


Figure 54. PFCok Signal Block Diagram

PFCソフトスタート

Figure 52および54参照してください。このデバイスは、 V_{CTRL} が $V_{CTRL(min)}$ よりも低下した場合は、PFCドライバ出力を供給しません。次の状態が発生した場合、 V_{CTRL} はローに引き下げられます。

- V_{CC} 低電圧ロックアウト
- on/offピンのオフ信号
- サーマル・シャットダウン(TSD)
- ライン・ブラウンアウト
- PFC低電圧保護

上記のいずれかの状況の場合、NCP1910は V_{CTRL} ピンを接地し、安定化ブロックの200 μ A電流源をターンオフします。

ICが再びターンオンすると、以下が実行されます。

- V_{CTRL} はローに引き下げられ、 V_{CTRL} が $V_{CTRL(min)}$ よりも低下し、PFCが最も低いデューティ・サイクルで開始するまで、PFCのDRV出力はオフのままです。
- 200 μ A電流源ブロックはオフ状態を維持します。オペレーショナル・トランスコンダクタ・アンプ(OTA)のみが、 V_{CTRL} をゆっくり上昇させます。これはデューティ・サイクルをゆっくり増加させて、MOSFETへの電圧および電流ストレスを抑えるためです。すなわち、ソフトスタート動作が得られます。

オープン・ループ保護のためのPFC低電圧保護(UVP)

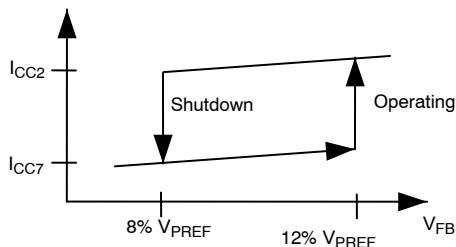


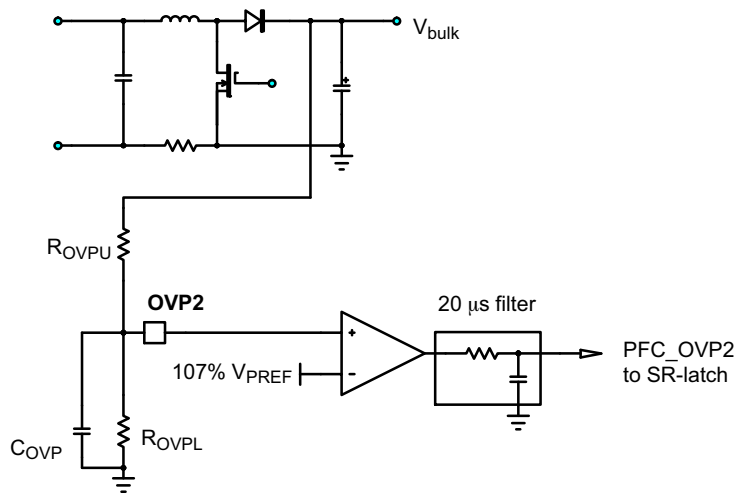
Figure 55. PFC Under-Voltage Protection

Figure 55に示すように、 V_{FB} が V_{PREF} の8%よりも低下した場合、デバイスはシャットダウンします。出力電圧が V_{PREF} の12%を超えると、デバイスは自動的に動作を開始します。昇圧コンバータ構成の通常状態では、NCP1910が動作するには、バルク電圧 V_{bulk} は常に入力電圧 V_{in} よりも高く、帰還信号 V_{FB} は常に V_{PREF} の8%または12%よりも高くなければなりません。この低電圧保護機能の主な目的は、 V_{FB} が接地されか帰還抵抗 R_{FBU} がオープン状態になるなど、帰還ループの異常による損傷から電力段を保護することです。

冗長過電圧保護(OVP2ピン)

NCP1910は、バルク電圧の冗長過電圧保護を行うために、FBピンでの過電圧保護の他に、もう1本の専用ピン、OVP2ピンを備えています。この機能の目的は、帰還抵抗のドリフトによる損傷から電力素子を保護することです。Figure 56に示すように、FBピンのOVPと比較した場合、OVP2には以下の3つの違いがあります。

- OVP2ピンが提供する保護モードはラッチオフです。OVP2がトリガされると、NCP1910はPFCとLLCが両方とも停止するラッチオフ・モードになります。
- 良好なノイズ耐性を得るために、A 20 μ sフィルタがOVP2コンパレータの後に組み込まれています。
- OVP2コンパレータのリファレンス電圧は、 V_{PREF} の107%です。 R_{OVPU} と R_{OVPL} の抵抗値は、OVP2レベルの要件に応じて、 R_{FBU} と R_{FBL} の抵抗値と同じにすることも可能です。その場合、FBピンのOVPのレベルは通常バルク電圧の105%ですが、OVP2のレベルは通常バルク電圧の107%になります。OVP2により高いレベルが必要な場合は、この値を自由に変更することができます。このOVP2の機能が不要な場合は、OVP2ピンを接地することによって、この機能をディセーブルできます。

Figure 56. PFC 2nd Over-Voltage Protection**PFCの異常**

PFCの異常は、 V_{CTRL} レベルを検知することによって検出します。 V_{CTRL} が $t_{PFCabnormal}$ 時間以上継続して $V_{CTRL(max)}$ に留まるか、 $V_{CTRL(min)} - 0.1\text{ V}$ よりも低下すると、PFCが最初にターンオフします。 t_{DEL2} 時間経過後、LLCがシャットダウンします。これはラッチオフ保護です。

この機能の主な目的は、PFCステージの補正動作なしでLLCが動作しないようにすることです。

LLCセクション**電流制御発振器(CCO)**

この電流制御発振器は、50 kHzから1 MHzまでの動作を可能にする高速回路を備えています。ただし、周波数を2分周するDフリップフロップが内部で2つの出力(Figure 57のAとB)を供給するため、LLCドライバ出力での最終的な有効信号(MLとMU)は、25 kHzから500 kHzの間でスイッチングします。CCOは、 R_t ピンから流出する電流が増加すると、スイッチング周波数も上昇するように構成されています。

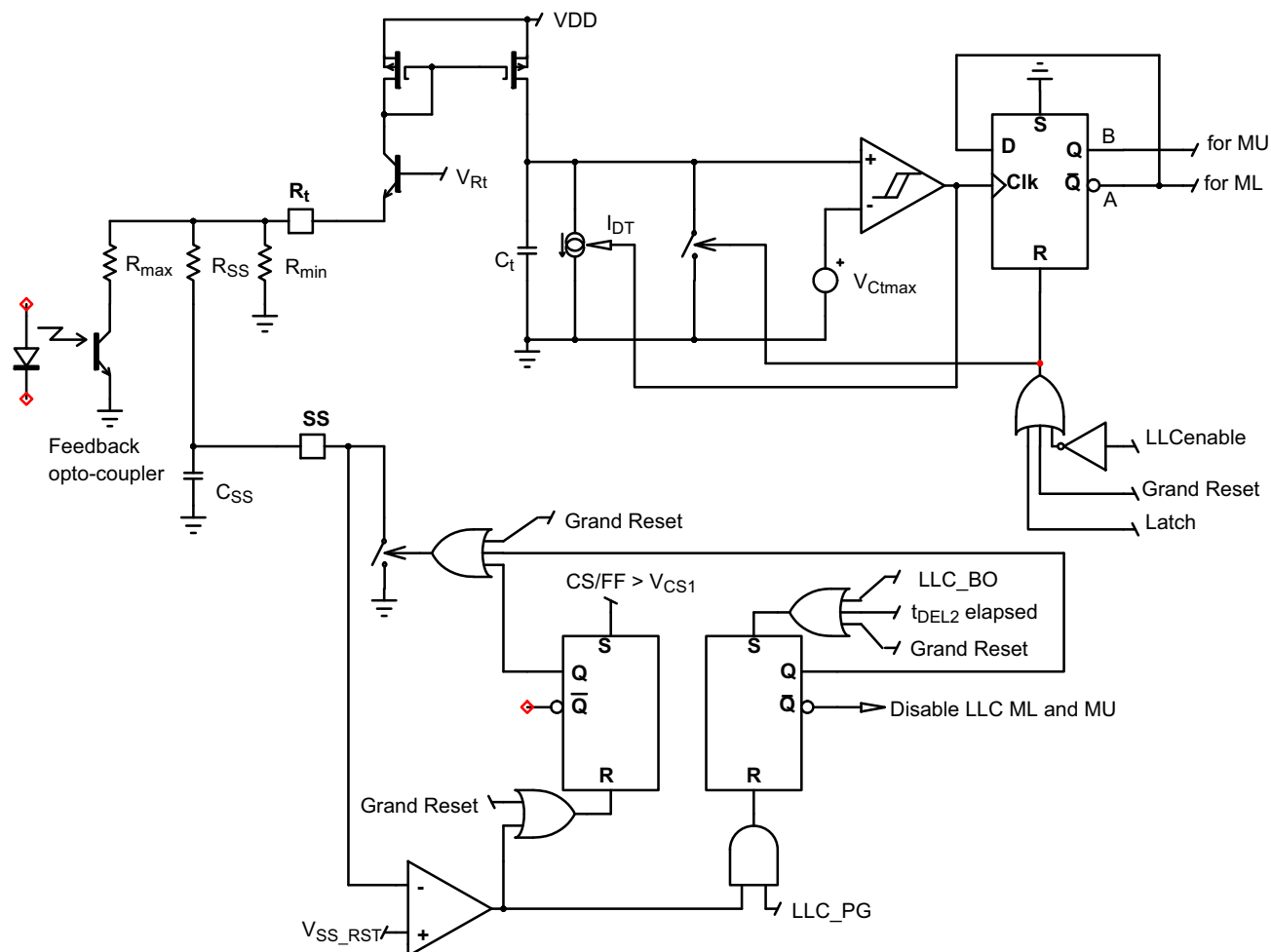


Figure 57. The Current Controlled Oscillator Architecture and Configuration

内部のタイミング・コンデンサ C_t は、 R_t ピンから流出する電流に比例する電流で充電されます。放電電流 i_{DT} は、このコンデンサの電圧が V_{Ctmax} に達すると適用されます。放電期間中には出力ドライバはディセーブルされるため、デッドタイムの長さは放電電流シンク能力によって決まります。タイミング・コンデンサの電圧がゼロになり、再び充電サイクルが始まると、放電シンクはディセーブルされます。いずれかの“turn-off LLC”信号が到着すると、 C_t が接地されて発振器をディセーブルします。共振アプリケーションでは、最小動作周波数を高精度で調整することが必要です。設計者は、最大動作および起動周波数を制限することも必要です。これらのパラメータはすべて、Figure 57に示すように、 R_t ピンに接続される外部コンポーネントを使用して調整できます。最小、最大および起動周波数では、それぞれ次のような近似的関係が当てはまります。

- 最小スイッチング周波数は、 R_{min} の抵抗値によって決まります。帰還動作がなく、ソフトスタート期間がすでに過ぎている場合は、この周波数に達します。

$$R_{\min} = \frac{490 \times 10^6 V_{Rt}}{F_{\min}} \quad (\text{eq. 22})$$

- 最大スイッチング周波数の動作範囲は、 R_{max} を選択すると制限されます。
最大周波数は、オプトカプラの飽和電圧値の影響を受けます。

$$R_{\max} = \frac{490 \times 10^6 V_{Rt}}{F_{\max} - F_{\min}} \quad (\text{eq. 23})$$

- 抵抗 R_{SS} とコンデンサ C_{SS} を組み合わせ、共振コンバータのソフトスタート期間を設定します。

$$R_{SS} = \frac{490 \times 10^6 V_{Rt}}{F_{SS} - F_{min}} \quad (\text{eq. 24})$$

ここで、

- ◆ $V_{Rt} = 3.5 \text{ V}$
- ◆ F_{min} は最小周波数
- ◆ F_{max} は最大周波数
- ◆ F_{SS} は最大ソフトスタート・スイッチング周波数

LLCのパワー・グッド信号とブラウンアウト(PG_{adj}ピン、PG_{out}ピン、およびBO_{adj}ピン)

Figure 22に示すように、NCP1910はV_{bulk}が低すぎる場合に、共振コンバータが動作しないよう保護する手段を提供するブラウンアウト回路(BO)を備えています。また、NCP1910は自身が正常状態にあることを分離された2次側に知らせるためのパワー・グッド信号(PG_{out})を提供します。

PFCが起動して、V_{bulk}を安定化電圧の95%を超えるまで上昇させると、内部PFC_OK信号がアサートされます。20 ms(t_{DEL1})遅れて、PG_{out}ピンがローになります。

次の2つの場合に、PG_{out}信号が消失してPG_{out}ピンをオープン状態に解放します。

- V_{bulk}が、P_{adj}ピンのリファレンス電圧で設定されたレベルまで低下した場合です。
このレベルは、通常はBO_{adj}ピンで設定されるLLCターンオフ電圧よりも高くなります。
したがって、通常のターンオフ・シーケンスでは、最初にPGが消失して、2次側にシャットダウンの準備が必要であることを知らせます。
- PG信号が消失する2つ目のイベントは、帰還経路の分断(PFC UVP)、PFC異常、または入力ライン・ブラウンアウトによってPFCにフォールトが発生した場合です。いずれの場合も、内部のPFCok信号が低下し、PG_{out}信号がハイにアサートされ、5 msタイマ(t_{DEL2})が始動します。このタイマの時間が経過すると、LLCコンバータは安全に停止できます。

起動、シャットオフ、および2つの遅延タイマ(t_{DEL1}およびt_{DEL2})の定義については、後の「コンボ管理セクション」で説明します。

ブラウンアウト・コンパレータの後には、他に次の2つの遅延タイマが組み込まれています。

- t_{BOK}は、V_{bulk}がBOレベルを超えた後に起動される遅延タイマです。
- t_{BONOTOK}は、V_{bulk}がBOレベルよりも低下した後、再起動される遅延タイマです。

NCP1910は、PFCのFBピンからV_{bulk}の情報を取得し、これを使用して高電圧センス回路の損失を最小

限に抑えます。Figure 22に示すとおり、V_{REF}ピン、PG_{adj}ピン、BO_{adj}ピン、およびグランドの間にある3本の抵抗(R₁、R₂、R₃)が、次式に従ってPG_{out}信号およびLLCブラウンアウトのレベルを決定します。

$$V_{PG} = \frac{R_2 + R_3}{R_1 + R_2 + R_3} \cdot V_{REF} \quad (\text{eq. 25})$$

$$= V_{\text{bulk,PG}} \cdot \frac{R_{FBL}}{R_{FBU} + R_{FBL}} = V_{\text{bulk,PG}} \cdot \frac{V_{\text{PREF}}}{V_{\text{bulk,nom}}}$$

$$V_{BO} = \frac{R_3}{R_1 + R_2 + R_3} \cdot V_{REF} \quad (\text{eq. 26})$$

$$= V_{\text{bulk,BO}} \cdot \frac{R_{FBL}}{R_{FBU} + R_{FBL}} = V_{\text{bulk,BO}} \cdot \frac{V_{\text{PREF}}}{V_{\text{bulk,nom}}}$$

ここで、

- ♦ V_{PG}はPG_{adj}ピンの電圧
 - ♦ V_{BO}はBO_{adj}ピンの電圧
 - ♦ V_{REF}はリファレンス電圧(標準5 V)
 - ♦ V_{PREF}は、PFC帰還OTA用の内部リファレンス電圧(標準2.5 V)
 - ♦ V_{bulk,PG}は、PG_{out}ピンがオープン状態になるときのバルク電圧
 - ♦ V_{bulk,BO}は、LLCのブラウンアウト機能が起動するときのバルク電圧
 - ♦ V_{bulk,nom}は、390 Vなどの通常のバルク電圧
- 式25を式26で除算すると、次式27のようなR₂とR₃の関係が求まります。

$$\frac{R_2}{R_3} = \frac{V_{\text{bulk,PG}}}{V_{\text{bulk,BO}}} - 1 \quad (\text{eq. 27})$$

これより、V_{bulk,PG}とV_{bulk,BO}が与えられ、最初のステップとしてR₃を選択すると、式27よりR₂、式26よりR₁を求めることができます。

例えば、V_{bulk,nom}が390 V、V_{bulk,PG}が340 V、V_{bulk,BO}が330 Vとします。R₃に10 kΩの抵抗を選択すると、R₂は303 Ωになります。最も近い標準抵抗として、300 Ωを選択します。これより、R₁は13.3 kΩになります。

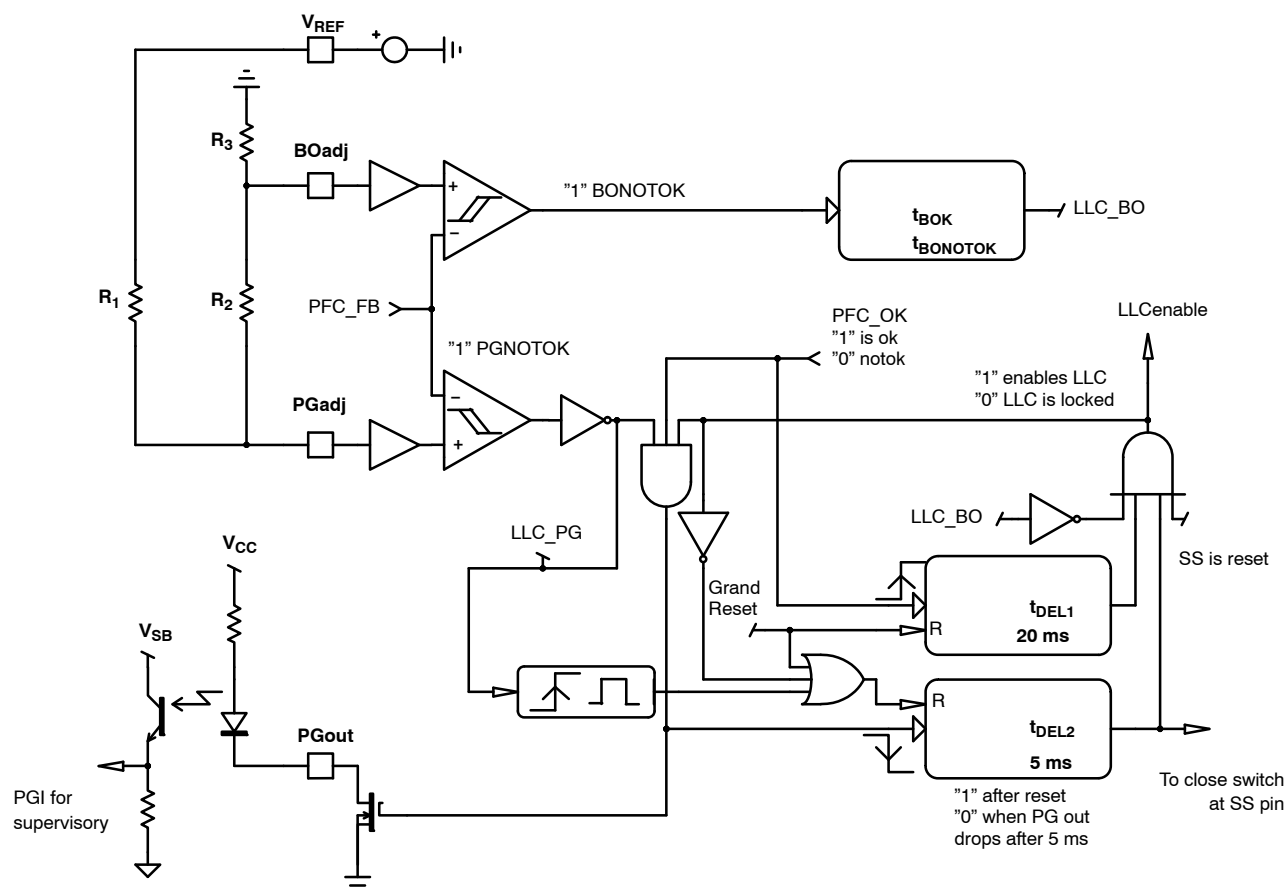


Figure 58. The PG and BO Block Diagram for LLC

LLC高速フォールト入力(CS/FF ピン)

Figure 59に示すように、NCP1910は1次側の過電流状態を検出して電力段を損傷から保護するための専用入力(CS/FFピン)を備えています。

CS/FFピンの電圧が V_{CS1} スレッシュホールド(標準1 V)を超えると、SS ピンの内部スイッチが閉じられて、 V_{SS} が V_{SS_RST} (標準150 mV)よりも低下するまで C_{SS} を放電します。これにより、LLCのスイッチング周

波数(MLとMU)が上昇して、1次電流を許容レベル内に保持します。

トランス短絡のような重い過負荷状態では、1次電流が急激に増加して危険レベルに達する可能性があります。そのためNCP1910は、CS/FFピンにデバイス(PFCとLLCの両方)を恒久的にラッチして破壊から保護する、追加コンパレータ V_{CS2} (標準1.5 V)を備えています。

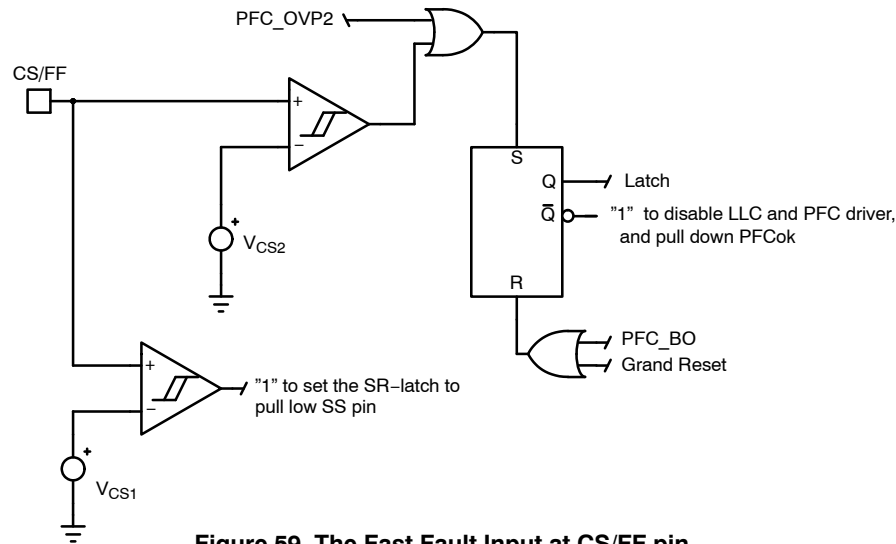


Figure 59. The Fast Fault Input at CS/FF pin

LLCソフトスタート(SSピン)

共振コンバータでは、共振回路に急に最大電流が流れるのを避けるために、ソフトスタートが必要です。NCP1910には、以下のフォールト状態に備えて、再起動前にソフトスタート・コンデンサを完全に放電するためのSSピンが用意されています。

- LCCブラウンアウトが起動
- ライン・ブラウンアウトまたはパワー・グッド・コンパレータによって t_{DEL2} タイマが始動してから、 t_{DEL2} 時間が経過
- LLCの高速フォールト入力であるCS/FFピンの電圧が V_{CS1} よりも上昇
- V_{CC} のUVLO
- PFCのUVP
- on/offピンのオフ信号
- サーマル・シャットダウン(TSD)

SSピン内側のスイッチが閉じてソフトスタート・コンデンサを放電すると、 V_{SS} が V_{SS_RST} (標準150 mV)よりも低下するまで、スイッチは閉じたままになります。これによって、再起動前にソフトスタート・

コンデンサが完全に放電し、確実に新たなソフトスタートを実行できます。LLC回路が動作を開始すると、SSピンの内部スイッチが開き、空のソフトスタート・コンデンサがソフトスタート抵抗 R_{SS} を通じて R_t ピンから電流を引き出します。この電流はソフトスタート・コンデンサを充電して、LLCの動作周波数を高くします。ソフトスタート・コンデンサが充電されると、LLCドライバ出力の周波数が徐々に低下して F_{min} になります。もちろん実際には、出力電圧が目標値に達すると、CCOの制御はすぐに帰還ループに引き継がれます。

LLCスキップ(Skipピン、Bバージョンのみ)

NCP1910Bでは、軽負荷状態での周波数暴走を回避するためだけでなく、スタンバイ・モード時の消費電力を改善するために、Figure 60に示すように、オプトカプラのコレクタを絶えず監視するスキップ・モード動作(Skipピン)の使用を推奨しています。このピンがコレクタの低電圧を検出すると、コレクタ電圧が再び上昇するまでLLC出力パルス(MLピンおよびMUピン)は遮断されます。

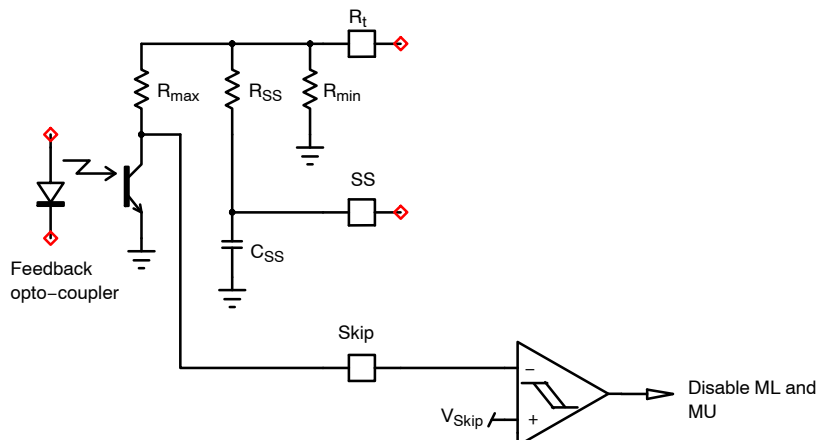


Figure 60. The LLC Skip Mode Configuration

LLC高電圧ドライバ

NCP1910は、LLCコンバータの上側MOSFETに直接接続可能な高電圧ドライバを内蔵しています。このデバイスは、上側MOSFETに十分なゲート電圧を供給できる上位UVLO回路も備えています。フローティング・ドライバ・セクションのバイアスは、 V_{boot} ピンとHBピンの間の C_{boot} コンデンサで供給されます。このコンデンサは外部ブートストラップ・ダイオードで再充電されます。フローティング部分は600 Vdcまで上昇できるため、400 VのPFCフロントエンド・ステージを持つオフライン・アプリケーションに最適です。

コンボ管理セクション

LLCとPGout信号(t_{DEL1} と t_{DEL2})の起動時および停止時の遅延

LLCを適切に動作させるために、PFCの準備が整っていない場合、LLCは起動できません。

「PFCok信号」セクションで説明したように、 V_{bulk} が通常バルク電圧の95%を超えると、内部PFCok信号はハイにアサートされます。PFCok信号がハイになった後、LLCが起動する前にPFCステージを完全に安定させるために、タイマ(t_{DEL1})が始動します。 t_{DEL1} 時間が経過すると、PGoutピンが接地され、LLCはドライバ出力(MLピンとMUピン)を開始します。

AC入力の引き抜きやライン・ブラウンアウト状態でシャットダウンが発生した場合、PGout信号はオープン状態になります。次に、別のタイマ(t_{DEL2})が始

動します。 t_{DEL2} が経過すると、LLCはドライバ(MLピンとMUピン)を停止します。

Figure 61に、LLCとPGoutの起動時および停止時の遅延を示します。

PFCの準備が整う(PFCokがハイにアサートされる)と、 t_{DEL1} (標準20 ms)が開始されます。この遅延時間が経過すると、次の処理が実行されます。

- PGoutピンがローにアサートされます。
- LLCドライバ(MLピンとMUピン)が動作を開始できます。

AC入力のプラグを抜いてシャットダウンすると、 V_{bulk} が低下し、次の処理が実行されます。

- V_{bulk} が、PGadjピンで調整されるPG信号レベルに達すると、PGoutピンはオープン状態になります。
- V_{bulk} が、LLCの停止レベル(BOadjピンで調整されるBOレベル)に達した場合、LLCは停止します。 V_{bulk} が軽負荷などで緩やかに低下した場合は、PGoutピンが解放されてから5 ms経過(t_{DEL2})後に、LLCドライバ(MLピンとMUピン)が停止します。

ライン・ブラウンアウト状態によってシャットダウンが発生すると、PFCok信号がプルダウンされ、次の処理が実行されます。

- この内部PFCok信号がローになると、PGoutピンはオープン状態になります。
- LLCドライバ(MLピンとMUピン)は、PGoutピンがオープン状態になって5 ms経過(t_{DEL2})後に停止します。

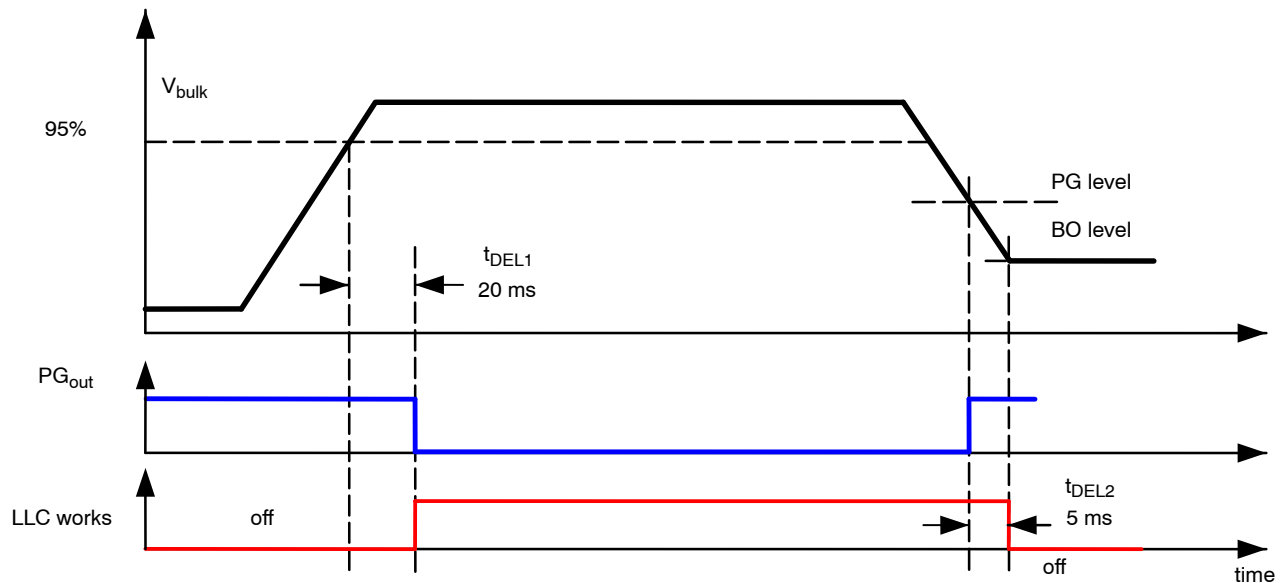


Figure 61. The Timing for t_{DEL1} and t_{DEL2}

リモート・オン/オフ(on/offピン)

NCP1910はリモート制御機能の専用ピンとして使用するon/offピンを備えています。

- on/offピンが1 V以下に引き下げられると、PFCが動作を開始します。 V_{bulk} が目標レベルの95%を超えてから20 ms経過した後、LLCが起動します。

- on/offピンが3Vを超えると、デバイスはすぐにPFCとLLCの両方を停止して、低消費電流状態を維持します。動作モードとon/offピンの関係を、Figure 62に示します。

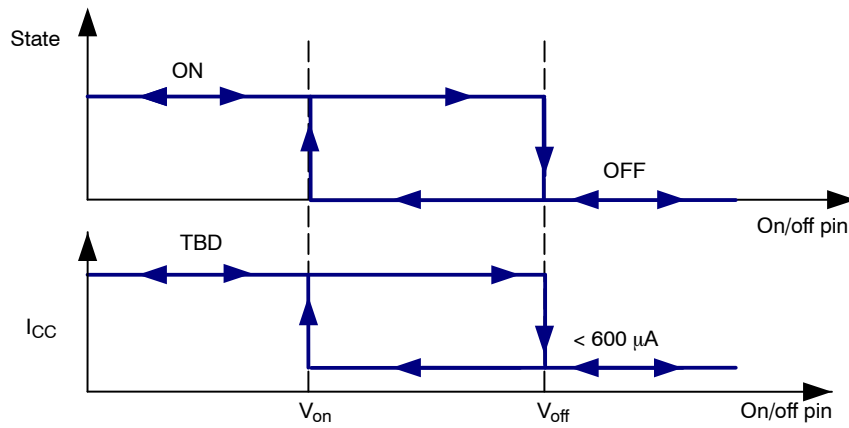
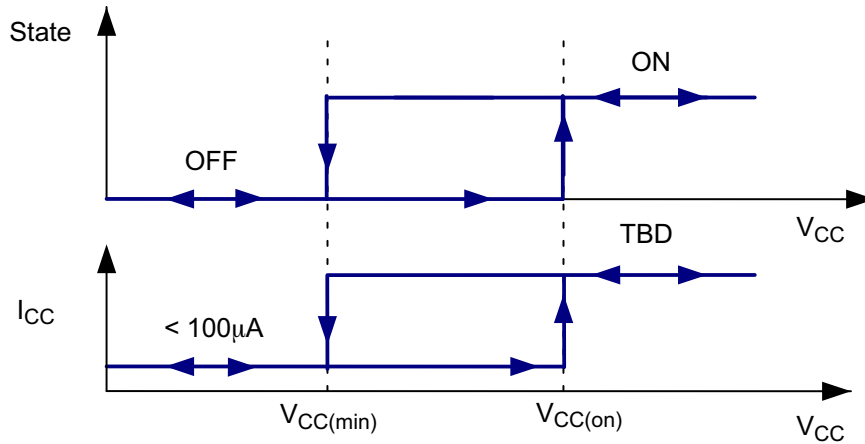


Figure 62. Remote on/off (on/off Pin)

V_{CC}低電圧ロックアウト(UVLO)

このデバイスは、適切な動作を保証するために、V_{CC}が低すぎるときに回路が動作しないよう低電圧ロックアウト・ブロックを内蔵しています。UVLOコンパレータは、V_{CC}ピンの電圧をモニタし、V_{CC}がV_{CC(on)}を超えるとNCP1910の動作を可能にします。コンパレータは、V_{CC}がスレッシュホールドを交差する

ときに誤動作しないよう、ある程度ヒステリシス(V_{CC(Hys)})を持っています。V_{CC}がUVLOコンパレータの下側のスレッシュホールド(V_{CC(min)})よりも低下すると、回路はターンオフします。この関係をFigure 63に示します。起動後の動作範囲は、9 Vから20 Vです。

Figure 63. V_{CC} Under-Voltage LockOut (UVLO)**コントローラのバイアス**

適切に動作させるために、V_{CC}ピンの近くに1 nF～100 nF(標準)のデカップリング・コンデンサを追加すること推奨します。NCP1910は外部電源でバイアスされるはずなので、V_{CC(on)}とV_{CC(min)}間のヒステリシスは小さくなっています。したがって、スタンバイ電源などの低電圧源でNCP1910をバイアスすることを推奨します。

サーマル・シャットダウン

内部サーマル回路は、接合部温度がTSDレベルを超えると、回路のゲート・ドライブをディセーブルし、電源スイッチをオフ状態に保持します。

温度が標準110°C(すなわち、TSD – TSD_{hyste})以下に低下すると、出力段がイネーブルされます。サーマル・シャットダウンは、偶発的な過熱状態に起因するデバイス故障を防止するために用意されています。

5 Vリファレンス電圧

V_{REF}ピンは、正確な(±2%標準)5 Vリファレンス電圧を提供します。したがって、LLCコンバータのパワー・グッド、ブラウンアウト、およびPFCの周波数フォールドバック・レベル(Foldピン)に、抵抗分割器で正確なリファレンス電圧を供給できます。

NCP1910

ラッチ保護とリセット

上記セクションで説明したように、PFCとLLCの両方をラッチオフする次の3つの故障モードがあります。

- PFCの異常
- PFCのOVP2
- LLCのCS/FFピンが V_{CS2} を超えた

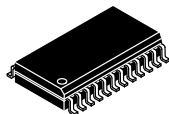
NCP1910は、次の3つのラッチオフ・モード解除方法を提供しています。

- V_{CC} をリサイクルします。つまり、 V_{CC} をいったん $V_{CC(min)}$ より低くしてから、再び $V_{CC(on)}$ より高くします。
- リモートon/off機能をリサイクルします。つまり、on/offピンをハイにしてから再びローに切り替えます。
- ライン・ブラウンアウト機能をリサイクルします。これはAC入力のプラグを一度抜いてから、差し込むことで行うことができます。

ORDERING INFORMATION

Device	Version	Marking	Package	Shipping [†]
NCP1910A65DWR2G	65 kHz – A	NCP1910A65	SOIC 24WB Less Pin 21 (Pb-Free)	1000 / Tape & Reel
NCP1910B65DWR2G	65 kHz – B	NCP1910B65	SOIC 24WB Less Pin 21 (Pb-Free)	1000 / Tape & Reel

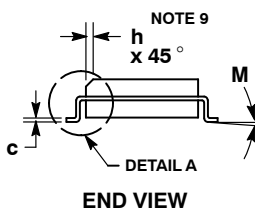
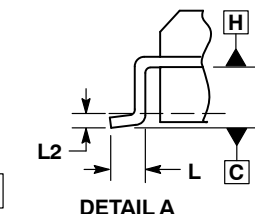
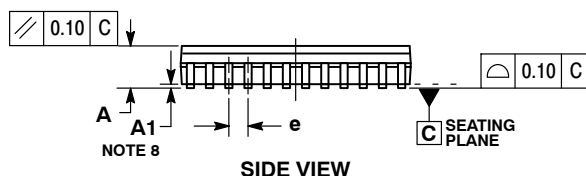
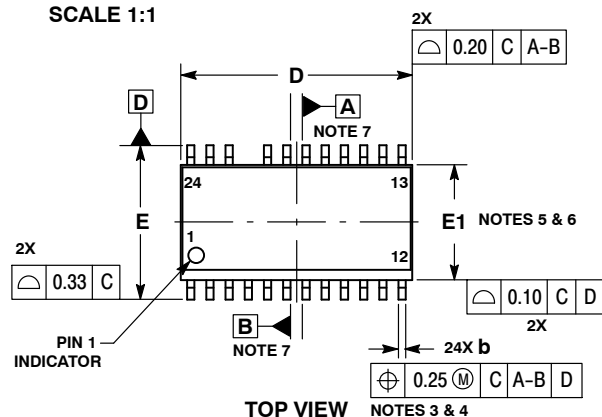
[†]For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.



SCALE 1:1

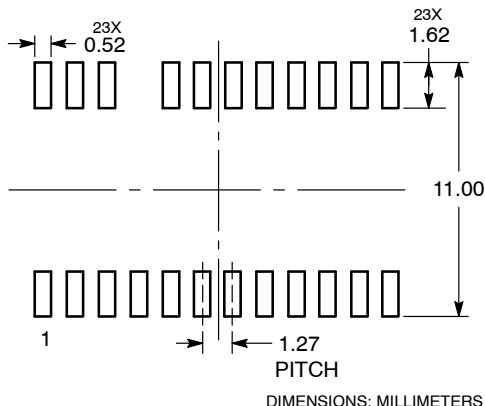
SOIC-24 WB LESS PIN 21
CASE 752AB
ISSUE O

DATE 17 AUG 2010

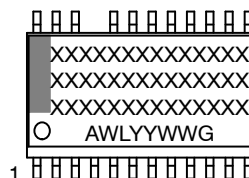

NOTES:

- DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
- CONTROLLING DIMENSION: MILLIMETERS.
- DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE PROTRUSION SHALL BE 0.10 mm TOTAL IN EXCESS OF 'b' AT MAXIMUM MATERIAL CONDITION.
- DIMENSIONS b and c APPLY TO THE FLAT SECTION OF THE LEAD AND ARE MEASURED BETWEEN 0.10 AND 0.25 FROM THE LEAD TIP.
- DIMENSIONS D AND E1 DO NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 mm PER SIDE. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE. DIMENSIONS D AND E1 ARE DETERMINED AT DATUM H.
- DIMENSIONS D AND E1 ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, PROTRUSIONS, TIE BAR BURRS, OR GATE BURRS BUT INCLUSIVE OF ANY MOLD MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
- DIMENSIONS A AND B ARE TO BE DETERMINED AT DATUM H.
- A1 IS DEFINED AS THE VERTICAL DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT ON THE PACKAGE BODY.
- THIS CHAMFER IS OPTIONAL. IF IT IS NOT PRESENT, THEN A PIN 1 IDENTIFIER MUST BE LOCATED IN THE INDICATED AREA.

DIM	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.29
b	0.31	0.51
J	0.20	0.33
D	15.40 BSC	
E1	10.30 BSC	
e	1.27 BSC	
h	0.25	0.75
L	0.40	1.27
L2	0.25 BSC	
M	0 °	8 °

**RECOMMENDED
SOLDERING FOOTPRINT***


*For additional information on our Pb-Free strategy and soldering details, please download the **onsemi** Soldering and Mounting Techniques Reference Manual, [SOLDERRM/D](#).

**GENERIC
MARKING DIAGRAM***


- XXXXXX = Specific Device Code
- A = Assembly Location
- WL = Wafer Lot
- YY = Year
- WW = Work Week
- G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "•", may or may not be present.

DOCUMENT NUMBER:	98AON52585E	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-24 WB LESS PIN 21	PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales