

1.5 A、昇圧/降圧/反転 スイッチング・レギュレータ

NCP3063, NCP3063B, NCV3063

NCP3063シリーズは、一般的なMC34063AおよびMC33063AモノリシックDC-DCコンバータをさらに高い周波数にアップグレードしたデバイスです。これらのデバイスは、内部の温度補償された基準電圧、コンパレータ、アクティブ電流制限回路付きの制御されたデューティ・サイクル・オシレータ、ドライバ、および高電流出力スイッチから構成されています。このシリーズは、最小の外付け部品数による降圧、昇圧、および電圧反転アプリケーションに組み込むために特別に設計されました。

特長

- 40 V入力までの動作
- 低スタンバイ電流
- 1.5 Aまでの出力スイッチ電流
- 出力電圧調整可能
- 150 kHzの周波数動作
- 高精度1.5%基準電圧
- 新しい特長 ヒステリシス付内部サーマル・シャットダウン
サイクル単位の電流制限
- 鉛フリー・パッケージを用意

アプリケーション

- 降圧、昇圧、および反転電源アプリケーション
- 大電力LED照明機器
- バッテリ・チャージャ

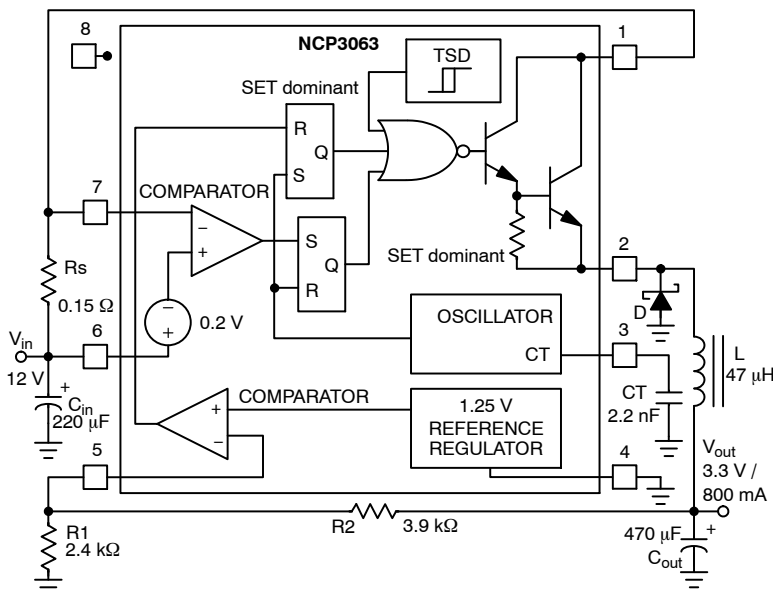
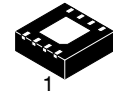
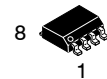


Figure 1. Typical Buck Application Circuit

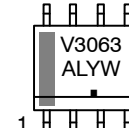
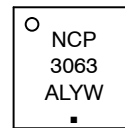
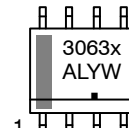
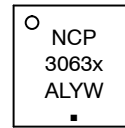


DFN-8
CASE 488AF



SOIC-8
D SUFFIX
CASE 751

MARKING DIAGRAMS



NCP3063x = Specific Device Code
x = B
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 16 of this data sheet.

NCP3063, NCP3063B, NCV3063

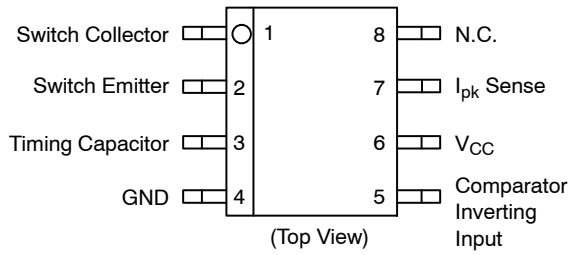
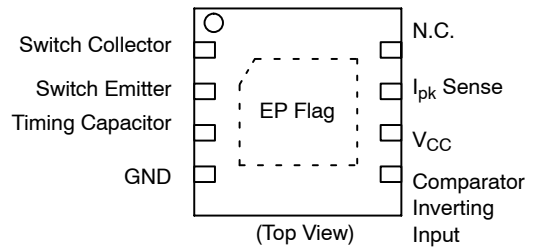


Figure 2. Pin Connections



NOTE: EP Flag must be tied to GND Pin 4 on PCB

Figure 3. Pin Connections

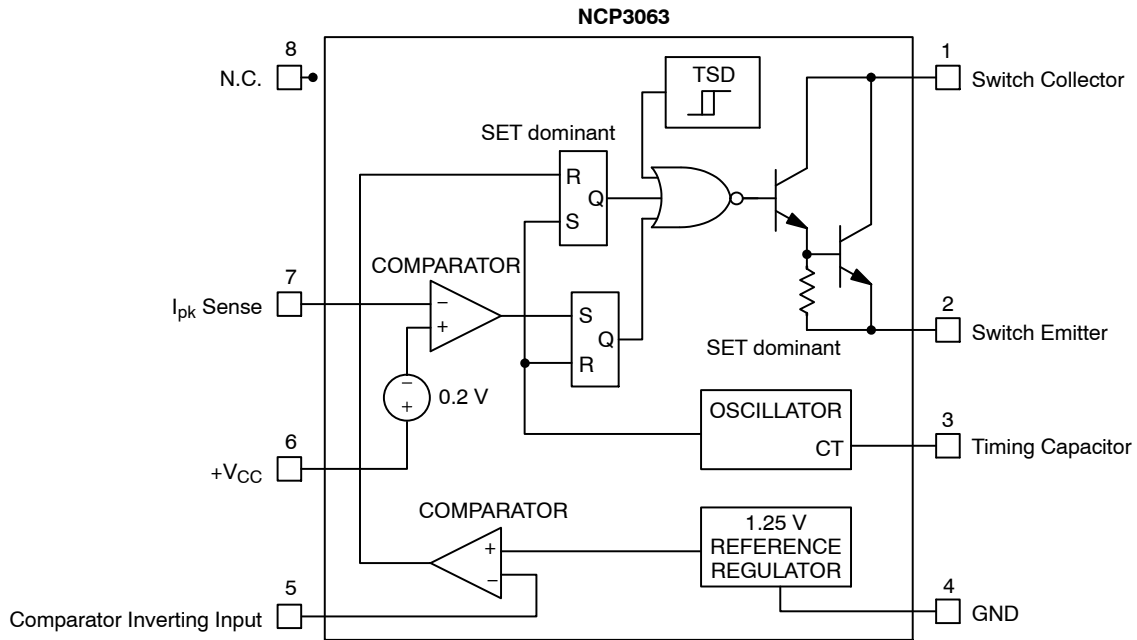


Figure 4. Block Diagram

NCP3063, NCP3063B, NCV3063

PIN DESCRIPTION

Pin No.	Pin Name	Description
1	Switch Collector	Internal Darlington switch collector
2	Switch Emitter	Internal Darlington switch emitter
3	Timing Capacitor Oscillator Input	Timing Capacitor
4	GND	Ground pin for all internal circuits
5	Comparator Inverting Input	Inverting input pin of internal comparator
6	V _{CC}	Voltage Supply
7	I _{pk} Sense	Peak Current Sense Input to monitor the voltage drop across an external resistor to limit the peak current through the circuit
8	N.C.	Pin Not Connected
Exposed Pad	Exposed Pad	The exposed pad beneath the package must be connected to GND (Pin 4). Additionally, using proper layout techniques, the exposed pad can greatly enhance the power dissipation capabilities of the NCP3063.

MAXIMUM RATINGS (measured vs. Pin 4, unless otherwise noted)

Rating	Symbol	Value	Unit
V _{CC} pin 6	V _{CC}	0 to +40	V
Comparator Inverting Input pin 5	V _{CII}	-0.2 to + V _{CC}	V
Darlington Switch Collector pin 1	V _{SWC}	0 to +40	V
Darlington Switch Emitter pin 2 (transistor OFF)	V _{SWE}	-0.6 to + V _{CC}	V
Darlington Switch Collector to Emitter pin 1-2	V _{SWCE}	0 to +40	V
Darlington Switch Current	I _{SW}	1.5	A
I _{pk} Sense Pin 7	V _{IPK}	-0.2 to V _{CC} + 0.2	V
Timing Capacitor Pin 3	V _{TCAP}	-0.2 to +1.4	V

POWER DISSIPATION AND THERMAL CHARACTERISTICS

Rating	Symbol	Value	Unit
SOIC-8 Thermal Resistance, Junction-to-Air Thermal Resistance, Junction-to-Case	R _{θJA} R _{θJC}	180 45	°C/W
DFN-8 Thermal Resistance, Junction-to-Air	R _{θJA}	80	°C/W
Storage Temperature Range	T _{STG}	-65 to +150	°C
Maximum Junction Temperature	T _{J MAX}	+150	°C
Operating Junction Temperature Range (Note 3) NCP3063 NCP3063B, NCV3063	T _J	0 to +70 -40 to +125	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

- This device series contains ESD protection and exceeds the following tests:
Pin 1-8: Human Body Model 2000 V per AEC Q100-002; 003 or JESD22/A114; A115
Machine Model Method 200 V
- This device contains latch-up protection and exceeds 100 mA per JEDEC Standard JESD78.
- The relation between junction temperature, ambient temperature and Total Power dissipated in IC is $T_J = T_A + R_θ \cdot P_D$
- The pins which are not defined may not be loaded by external signals

NCP3063, NCP3063B, NCV3063

ELECTRICAL CHARACTERISTICS ($V_{CC} = 5.0\text{ V}$, $T_J = T_{low}$ to T_{high} [Note 5], unless otherwise specified)

Symbol	Characteristic	Conditions	Min	Typ	Max	Unit
--------	----------------	------------	-----	-----	-----	------

OSCILLATOR

f_{OSC}	Frequency	($V_{Pin\ 5} = 0\text{ V}$, $CT = 2.2\text{ nF}$, $T_J = 25^\circ\text{C}$)	110	150	190	kHz
I_{DISCHG} / I_{CHG}	Discharge to Charge Current Ratio	(Pin 7 to V_{CC} , $T_J = 25^\circ\text{C}$)	5.5	6.0	6.5	–
I_{DISCHG}	Capacitor Discharging Current	(Pin 7 to V_{CC} , $T_J = 25^\circ\text{C}$)		1650		μA
I_{CHG}	Capacitor Charging Current	(Pin 7 to V_{CC} , $T_J = 25^\circ\text{C}$)		275		μA
$V_{IPK(Sense)}$	Current Limit Sense Voltage	($T_J = 25^\circ\text{C}$) (Note 6)	165	200	235	mV

OUTPUT SWITCH (Note 7)

$V_{SWCE(DROP)}$	Darlington Switch Collector to Emitter Voltage Drop	($I_{SW} = 1.0\text{ A}$, Pin 2 to GND, $T_J = 25^\circ\text{C}$) (Note 7)		1.0	1.3	V
$I_{C(OFF)}$	Collector Off-State Current	($V_{CE} = 40\text{ V}$)		0.01	100	μA

COMPARATOR

V_{TH}	Threshold Voltage	$T_J = 25^\circ\text{C}$		1.250		V
		NCP3063	-1.5		+1.5	%
		NCP3063B, NCV3063	-2		+2	%
REG_{LINE}	Threshold Voltage Line Regulation	($V_{CC} = 5.0\text{ V}$ to 40 V)	-6.0	2.0	6.0	mV
$I_{CII\ in}$	Input Bias Current	($V_{in} = V_{th}$)	-1000	-100	1000	nA

TOTAL DEVICE

I_{CC}	Supply Current	($V_{CC} = 5.0\text{ V}$ to 40 V , $CT = 2.2\text{ nF}$, Pin 7 = V_{CC} , $V_{Pin\ 5} > V_{th}$, Pin 2 = GND, remaining pins open)			7.0	mA
	Thermal Shutdown Threshold			160		$^\circ\text{C}$
	Hysteresis			10		$^\circ\text{C}$

5. NCP3063: $T_{low} = 0^\circ\text{C}$, $T_{high} = +70^\circ\text{C}$;
NCP3063B, NCV3063: $T_{low} = -40^\circ\text{C}$, $T_{high} = +125^\circ\text{C}$
6. The $V_{IPK(Sense)}$ Current Limit Sense Voltage is specified at static conditions. In dynamic operation the sensed current turn-off value depends on comparator response time and di/dt current slope. See the Operating Description section for details.
7. Low duty cycle pulse techniques are used during test to maintain junction temperature as close to ambient temperature as possible.
8. NCV prefix is for automotive and other applications requiring site and change control.

NCP3063, NCP3063B, NCV3063

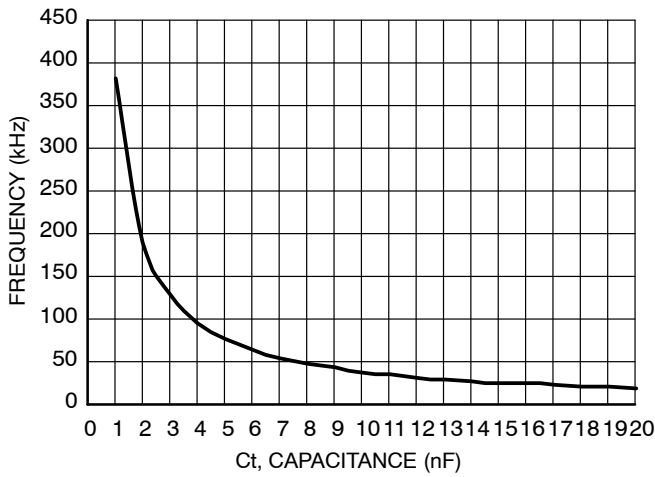


Figure 5. Oscillator Frequency vs. Oscillator Timing Capacitor

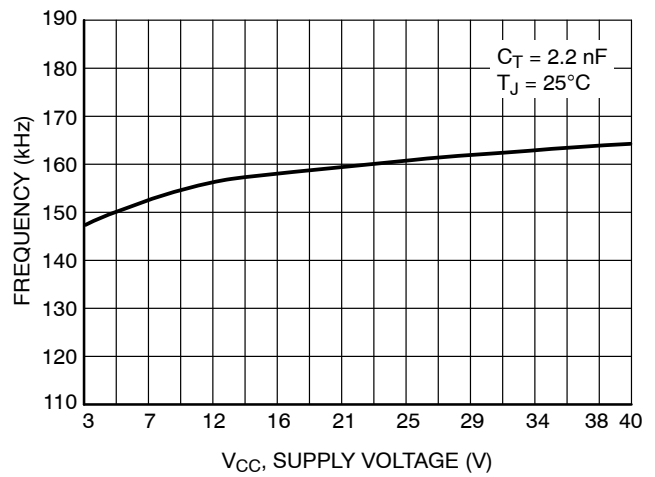


Figure 6. Oscillator Frequency vs. Supply Voltage

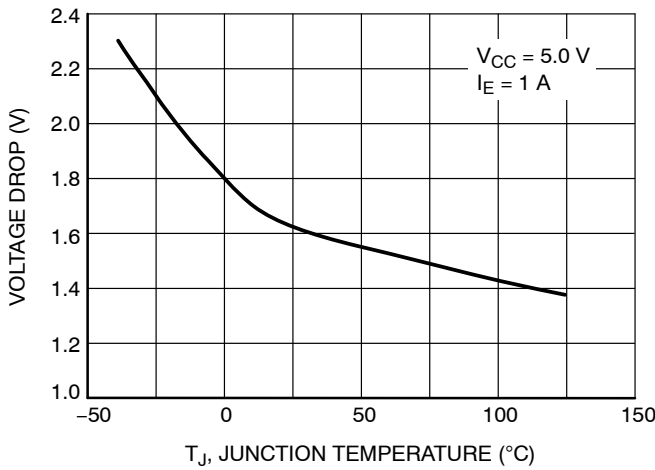


Figure 7. Emitter Follower Configuration Output Darlington Switch Voltage Drop vs. Temperature

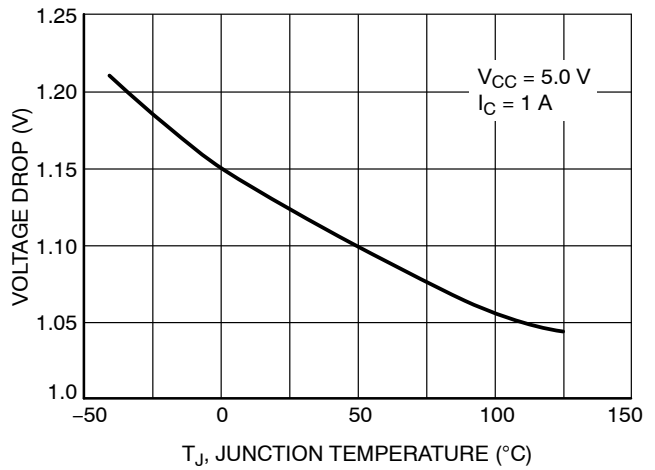


Figure 8. Common Emitter Configuration Output Darlington Switch Voltage Drop vs. Temperature

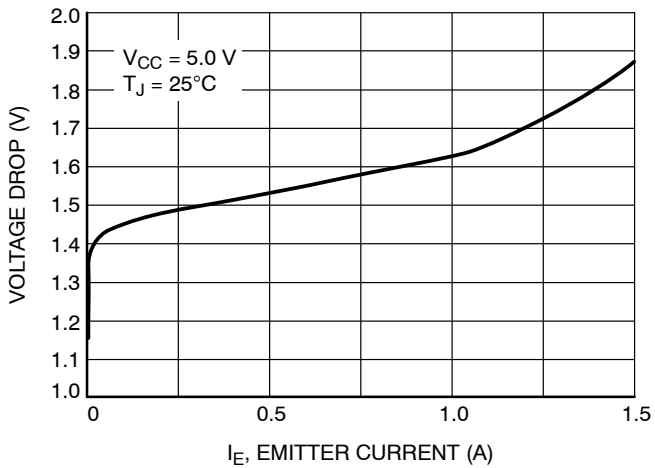


Figure 9. Emitter Follower Configuration Output Darlington Switch Voltage Drop vs. Emitter Current

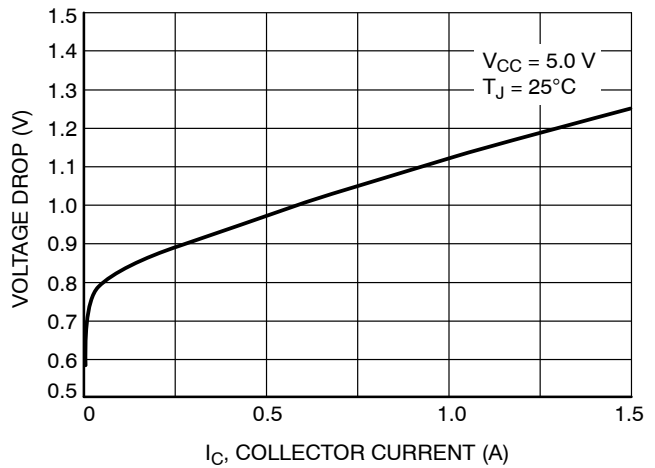


Figure 10. Common Emitter Configuration Output Darlington Switch Voltage Drop vs. Collector Current

NCP3063, NCP3063B, NCV3063

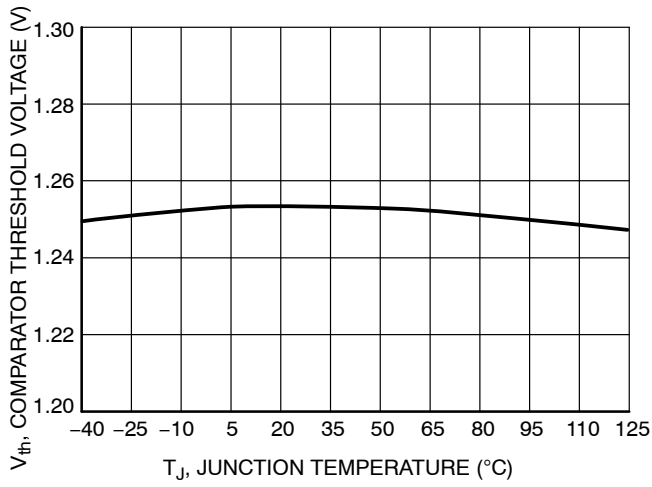


Figure 11. Comparator Threshold Voltage vs. Temperature

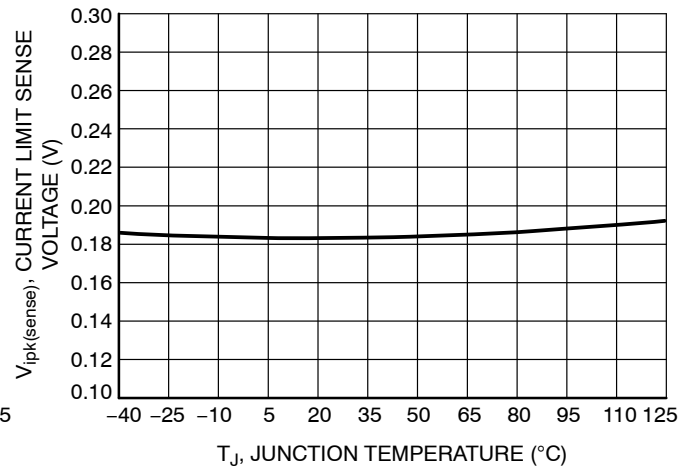


Figure 12. Current Limit Sense Voltage vs. Temperature

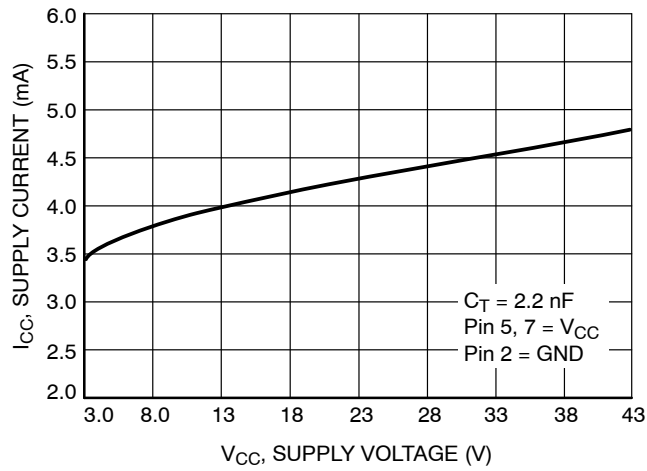


Figure 13. Standby Supply Current vs. Supply Voltage

はじめに

NCP3063は、DC-DCコンバータ・アプリケーション用に最適化されたモノリシック電源スイッチング・レギュレータです。各種の機能を組み合わせることによって、最小の外付け部品点数で、昇圧、降圧、および電圧反転コンバータを直接実現することができます。用途としては、コスト条件が厳しいコンシューマ製品や産業市場向け装置があります。代表的なブロック図をFigure 4に示します。

動作概要

NCP3063は、ヒステリシスを持つDC-DCコンバータで、ゲート制御発振器を使用して出力電圧を安定化します。一般に、この動作モードは、コンデンサ電荷ポンプにやや類似しており、コンバータの安定化に優勢極ループ補償は不要です。代表的な動作波形をFigure 14に示します。図示する出力電圧波形は降圧コンバータのものであり、明解にするためにリップルと位相は誇張してあります。コンバータの初期起動中に、フィードバック・コンパレータが出力電圧レベルが公称値以下であることを検知します。これによって、出力スイッチは発振器によって制御される周波数とデューティ・サイクルで、オン・オフを繰り返し、出力フィルタ・コンデンサをポンプアップします。出力電圧レベルが公称値に達すると

、出力スイッチの次サイクルのターンオンが禁止されます。フィードバック・コンパレータは、負荷電流によって出力電圧が公称値以下に低下すると直ちにスイッチングをイネーブルします。このような状態で、発振器サイクルの一部、発振器サイクルの一部と完全な1サイクル、複数サイクル、または一部サイクルと複数サイクルの間、出力スイッチの導通をイネーブルすることができます(詳細については、AN920/Dを参照)。

発振器

発振器周波数と出力スイッチのオフ時間は、タイミング・コンデンサ C_T に選択した値でプログラムされます。コンデンサ C_T は、1対6の比率の内部電流ソースとシンクによって充・放電され、ピン3に正ののこぎり波形を生成します。この比率は、 $6/(6+1)$ または0.857(標準)として、スイッチング・コンバータの最大 $t_{ON}/(t_{ON} + t_{OFF})$ を設定します。発振器のピークおよびバレー電圧は標準500 mVです。必要な発振器周波数に対する C_T のコンデンサ値を計算するには、Figure 15にある式を使用します。NCP3063の製品ページのwww.onsemi.comにExcelベースの設計ツールがあります。

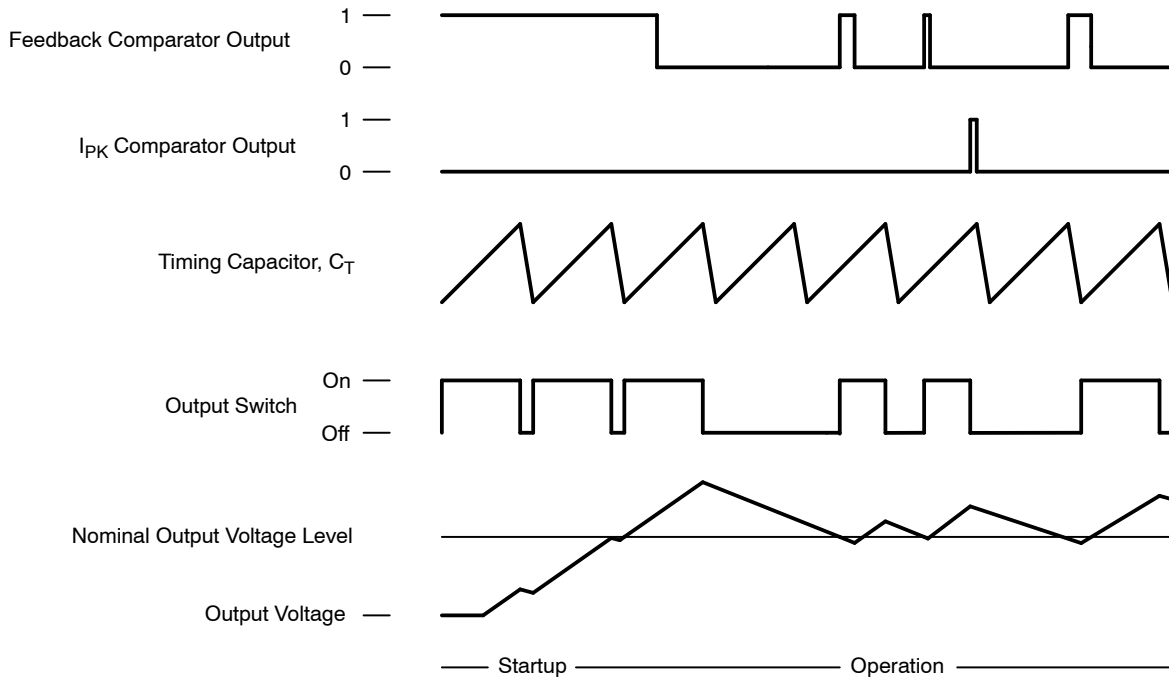
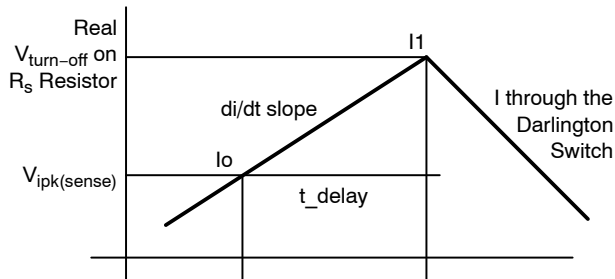


Figure 14. Typical Operating Waveforms

ピーク電流センス・コンパレータ

通常の状態で動作している電圧リップルがゲートされたコンバータでは、出力スイッチの導通は電圧フィードバック・コンパレータで開始され、発振器によって終了します。コンバータ出力が過負荷状態になったり、フィードバック電圧が検知できなくなると、異常動作状態が発生します。これらの条件下で、 I_{pk} 電流センス・コンパレータがダーリントン出力スイッチを保護します。 V_{CC} およびダーリントン出力スイッチと直列に小さな抵抗 R_{SC} を挿入して、スイッチ電流を電圧に変換します。 R_{SC} での電圧降下が電流センス・コンパレータによってモニタされます。電圧降下が V_{CC} に対して200 mVを超えると、コンパレータはラッチをセットして、サイクル単位で出力スイッチの導通を終了させます。このコンパレータ/ラッチ構成によって、ある発振器サイクル中に出力スイッチに1つのオン時間しかないことが保証されます。



$V_{IPK(Sense)}$ 電流制限センス電圧スレッシュホールドは、静的条件で規定されています。ダイナミック動作では、センスされた電流のターンオフ値は、コンパレータの応答時間および電流の傾き di/dt によって決まります。

アプリケーション

Figures 16~24に、NCP3063の簡潔性と柔軟性を示します。3つの主要コンバータ・トポロジが各回路図の下に、実際のテスト・データを掲載して例示してあります。

Figure 15に、重要パラメータに対する関連の設計計算式を示します。また、NCP3063の完全なアプリケーション設計支援情報は、www.onsemi.comに掲載されています。

Figure 25~ 31に、外部トランジスタを使用した代表的なNCP3063アプリケーションを示します。この

R_{SC} 抵抗での実際の $V_{turn-off}$ 。

$$V_{turn_off} = V_{ipk(sense)} + R_s \cdot (t_{delay} \cdot di/dt)$$

標準的な I_{pk} コンパレータの応答時間 t_{delay} (遅延)は350 nsです。電流の傾き di/dt は、インダクタ・ピンでの電圧差およびインダクタ値の減少に従って大きくなります。

アプリケーションでの実際の最大ピーク電流が最悪条件において、ダーリントン・スイッチ電流の最大定格1.5 Aを絶対に超えないことを確認してください。

サーマル・シャットダウン

最大接合部温度を超えた場合にICを保護するために、内部サーマル・シャットダウン回路を備えています。160°C(標準)で起動すると、出力スイッチがディセーブルされます。温度センス回路は10°Cのヒステリシスで設計されています。チップ温度が少なくとも150°Cのスレッシュホールドまで低下すると、スイッチは再びイネーブルされます。この機能は、予期しないデバイスの過熱による破壊的故障を防止するために用意されています。適切なヒートシンクの代用とするものではありません。

出力スイッチ

出力スイッチはダーリントン構成で設計されています。これによって、アプリケーション設計者は高速スイッチング速度および低電圧降下でのすべての条件で設計を行うことができます。ダーリントン出力スイッチは、最大40 Vのコレクタ-エミッタ電圧および最大1.5 Aの電流を切り替えるように設計されています。

ソリューションは、出力電流を増やすのに有効で、材料コストを抑えながら効率を高めるのに役立ちます。NMOSトランジスタでのブースト構成、PMOSトランジスタでのバック構成、および低 $V_{CE(sat)}$ PNPでのバック構成の代表的な回路図を示します。

外部トランジスタを使用する別の利点は、最大250 kHzまで可能な高い動作周波数です。その結果、インダクタやコンデンサなどの小型出力部品を使用することができます。

NCP3063, NCP3063B, NCV3063

(See Notes 9, 10, 11)	Step-Down	Step-Up	Voltage-Inverting
$\frac{t_{on}}{t_{off}}$	$\frac{V_{out} + V_F}{V_{in} - V_{SWCE} - V_{out}}$	$\frac{V_{out} + V_F - V_{in}}{V_{in} - V_{SWCE}}$	$\frac{ V_{out} + V_F}{V_{in} - V_{SWCE}}$
t_{on}	$\frac{\frac{t_{on}}{t_{off}}}{f \left(\frac{t_{on}}{t_{off}} + 1 \right)}$	$\frac{\frac{t_{on}}{t_{off}}}{f \left(\frac{t_{on}}{t_{off}} + 1 \right)}$	$\frac{\frac{t_{on}}{t_{off}}}{f \left(\frac{t_{on}}{t_{off}} + 1 \right)}$
C_T	$C_T = \frac{381.6 \cdot 10^{-6}}{f_{osc}} - 343 \cdot 10^{-12}$		
$I_{L(av)}$	I_{out}	$I_{out} \left(\frac{t_{on}}{t_{off}} + 1 \right)$	$I_{out} \left(\frac{t_{on}}{t_{off}} + 1 \right)$
$I_{pk} \text{ (Switch)}$	$I_{L(av)} + \frac{\Delta I_L}{2}$	$I_{L(av)} + \frac{\Delta I_L}{2}$	$I_{L(av)} + \frac{\Delta I_L}{2}$
R_{SC}	$\frac{0.20}{I_{pk} \text{ (Switch)}}$	$\frac{0.20}{I_{pk} \text{ (Switch)}}$	$\frac{0.20}{I_{pk} \text{ (Switch)}}$
L	$\left(\frac{V_{in} - V_{SWCE} - V_{out}}{\Delta I_L} \right) t_{on}$	$\left(\frac{V_{in} - V_{SWCE}}{\Delta I_L} \right) t_{on}$	$\left(\frac{V_{in} - V_{SWCE}}{\Delta I_L} \right) t_{on}$
$V_{ripple(pp)}$	$\Delta I_L \sqrt{\left(\frac{1}{8 f C_O} \right)^2 + (ESR)^2}$	$\approx \frac{t_{on} I_{out}}{C_O} + \Delta I_L \cdot ESR$	$\approx \frac{t_{on} I_{out}}{C_O} + \Delta I_L \cdot ESR$
V_{out}	$V_{TH} \left(\frac{R_2}{R_1} + 1 \right)$	$V_{TH} \left(\frac{R_2}{R_1} + 1 \right)$	$V_{TH} \left(\frac{R_2}{R_1} + 1 \right)$

9. V_{SWCE} – Darlington Switch Collector to Emitter Voltage Drop, refer to Figures 7, 8, 9 and 10.
 10. V_F – Output rectifier forward voltage drop. Typical value for 1N5819 Schottky barrier rectifier is 0.4 V.
 11. The calculated t_{on}/t_{off} must not exceed the minimum guaranteed oscillator charge to discharge ratio.

次のコンバータ特性を選択する必要があります。

V_{in} – 公称動作入力電圧

V_{out} – 希望の出力電圧

I_{out} – 希望の出力電流

ΔI_L – 希望のピーク-ピーク・インダクタ・リップル電流最大出力電流の場合、平均インダクタ電流 $I_{L(av)}$ の10%未満になるように ΔI_L を選択することを推奨します。これは、 $I_{pk} \text{ (Switch)}$ が R_{SC} で設定される電流制限スレッシュホールドに達しないようにするのに役立ちます。設計目標が最小インダクタンス値を使用することである場合、 $\Delta I_L = 2(I_{L(av)})$ とします。これがコンバータの出力電流供給能力を比例的に低減します。

f – 最大出力スイッチ周波数

$V_{ripple(pp)}$ – 希望のピーク-ピーク出力リップル電圧最高の性能を得るために、リップル電圧はラインおよび負荷レギュレーションに直接影響を及ぼすため、低い値に維持しなければなりません。コンデンサ C_O は、スイッチング・レギュレータ・アプリケーション向けに設計された等価直列抵抗(ESR)電解コンデンサでなければなりません。

Figure 15. Design Equations

NCP3063, NCP3063B, NCV3063

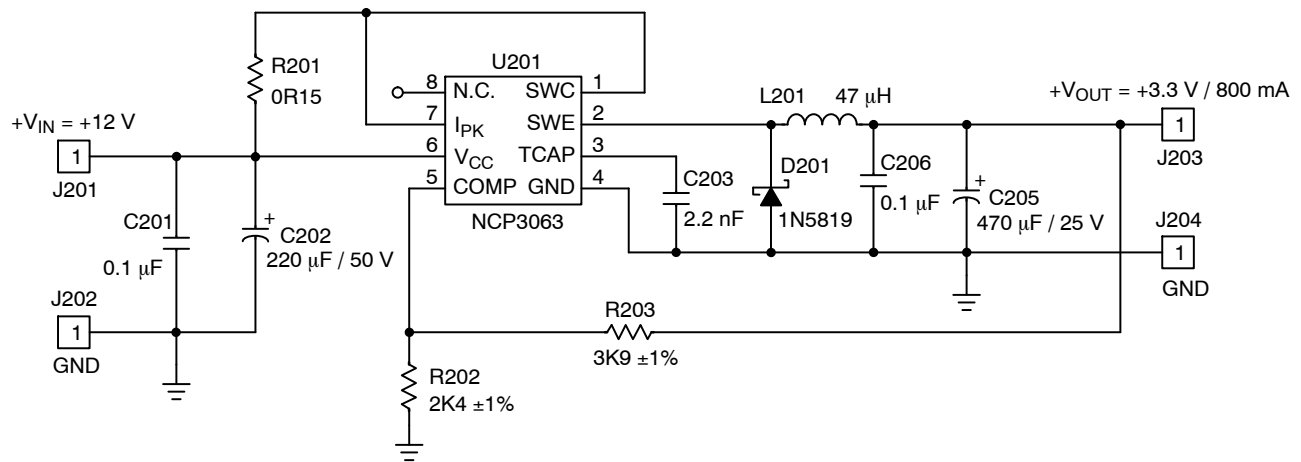


Figure 16. Typical Buck Application Schematic

Value of Components

Name	Value
L201	47 µH, $I_{sat} > 1.5$ A
D201	1 A, 40 V Schottky Rectifier
C202	220 µF, 50 V, Low ESR
C205	470 µF, 25 V, Low ESR
C203	2.2 nF Ceramic Capacitor

Name	Value
R201	150 mΩ, 0.5 W
R202	2.40 kΩ
R203	3.90 kΩ
C201	100 nF Ceramic Capacitor
C202	100 nF Ceramic Capacitor

Test Results

Test	Condition	Results
Line Regulation	$V_{in} = 9$ V to 12 V, $I_o = 800$ mA	8 mV
Load Regulation	$V_{in} = 12$ V, $I_o = 80$ mA to 800 mA	9 mV
Output Ripple	$V_{in} = 12$ V, $I_o = 40$ mA to 800 mA	≤ 85 mV _{pp}
Efficiency	$V_{in} = 12$ V, $I_o = 400$ mA to 800 mA	$> 73\%$
Short Circuit Current	$V_{in} = 12$ V, $R_{load} = 0.15$ Ω	1.25 A

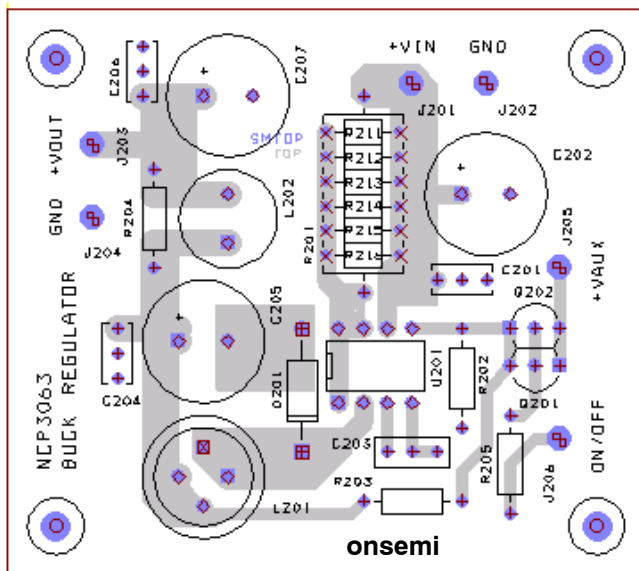


Figure 17. Buck Demoboard Layout

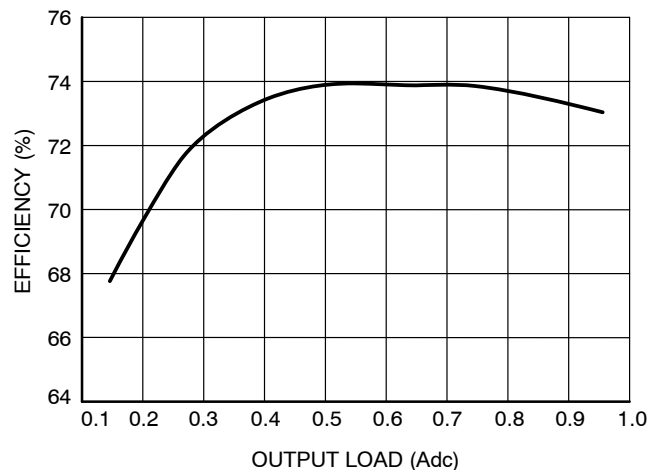


Figure 18. Efficiency vs. Output Current for the Buck Demo Board at $V_{in} = 12$ V, $V_{out} = 3.3$ V, $T_A = 25^\circ\text{C}$

NCP3063, NCP3063B, NCV3063

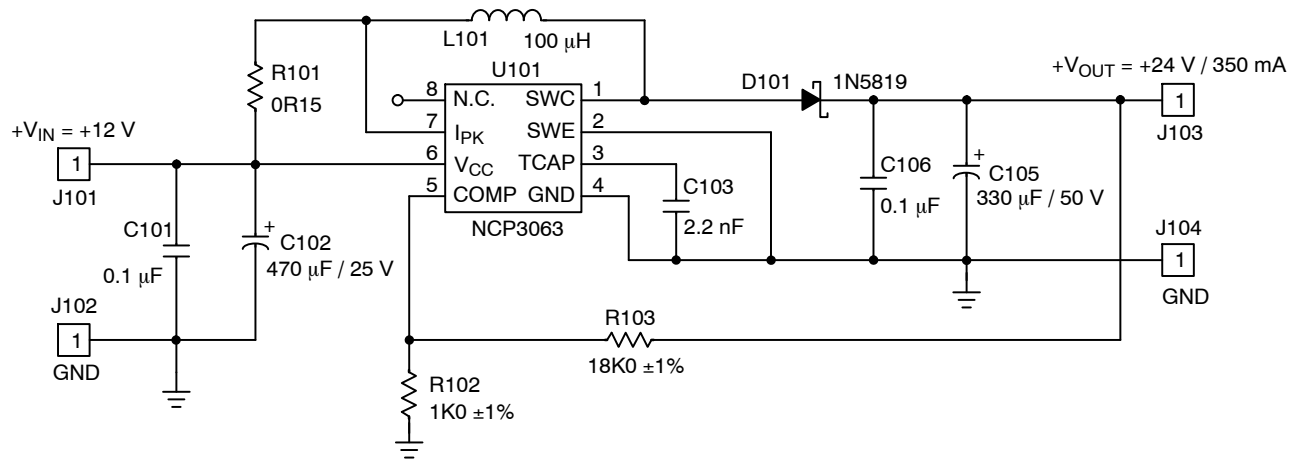


Figure 19. Typical Boost Application Schematic

Value of Components

Name	Value
L101	100 μH, $I_{sat} > 1.5$ A
D101	1 A, 40 V Schottky Rectifier
C102	470 μF, 25 V, Low ESR
C105	330 μF, 50 V, Low ESR
C103	2.2 nF Ceramic Capacitor

Name	Value
R101	150 mΩ, 0.5 W
R102	1.00 kΩ
R103	18.00 kΩ
C101	100 nF Ceramic Capacitor
C106	100 nF Ceramic Capacitor

Test Results

Test	Condition	Results
Line Regulation	$V_{in} = 9$ V to 15 V, $I_o = 250$ mA	2 mV
Load Regulation	$V_{in} = 12$ V, $I_o = 30$ mA to 350 mA	5 mV
Output Ripple	$V_{in} = 12$ V, $I_o = 10$ mA to 350 mA	≤ 350 mV _{pp}
Efficiency	$V_{in} = 12$ V, $I_o = 50$ mA to 350 mA	$> 85.5\%$

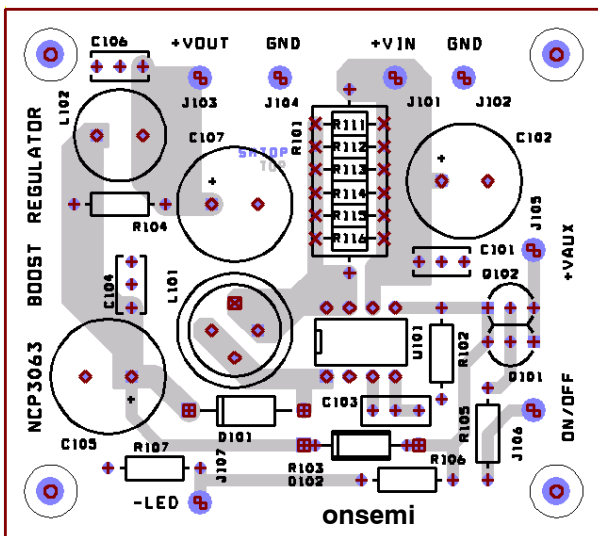


Figure 20. Boost Demoboard Layout

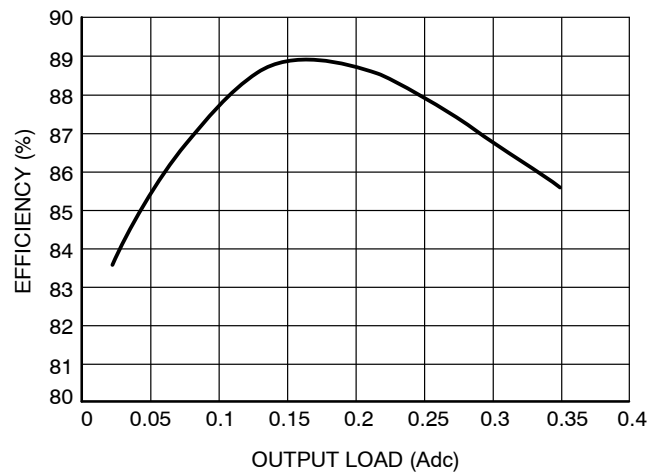


Figure 21. Efficiency vs. Output Current for the Boost Demo Board at $V_{in} = 12$ V, $V_{out} = 24$ V, $T_A = 25^\circ\text{C}$

NCP3063, NCP3063B, NCV3063

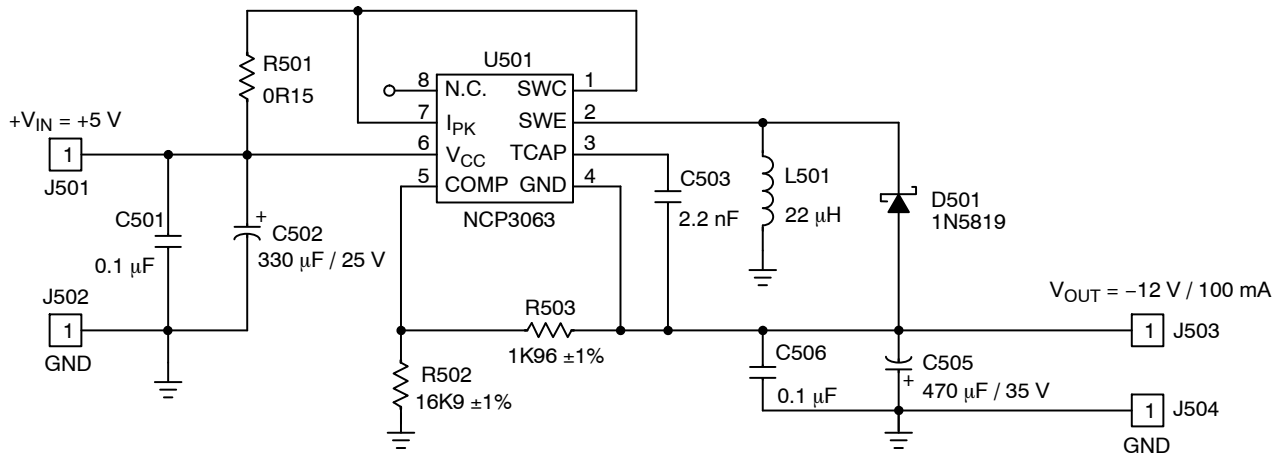


Figure 22. Typical Voltage Inverting Application Schematic

Value of Components

Name	Value
L501	22 μH, $I_{sat} > 1.5$ A
D501	1 A, 40 V Schottky Rectifier
C502	330 μF, 25 V, Low ESR
C505	470 μF, 35 V, Low ESR
C503	2.2 nF Ceramic Capacitor

Name	Value
R501	150 mΩ, 0.5 W
R502	16.9 kΩ
R503	1.96 kΩ
C501	100 nF Ceramic Capacitor
C506	100 nF Ceramic Capacitor

Test Results

Test	Condition	Results
Line Regulation	$V_{in} = 4.5$ V to 6 V, $I_o = 50$ mA	1.5 mV
Load Regulation	$V_{in} = 5$ V, $I_o = 10$ mA to 100 mA	1.6 mV
Output Ripple	$V_{in} = 5$ V, $I_o = 0$ mA to 100 mA	≤ 300 mV _{pp}
Efficiency	$V_{in} = 5$ V, $I_o = 100$ mA	49.8%
Short Circuit Current	$V_{in} = 5$ V, $R_{load} = 0.15$ Ω	0.885 A

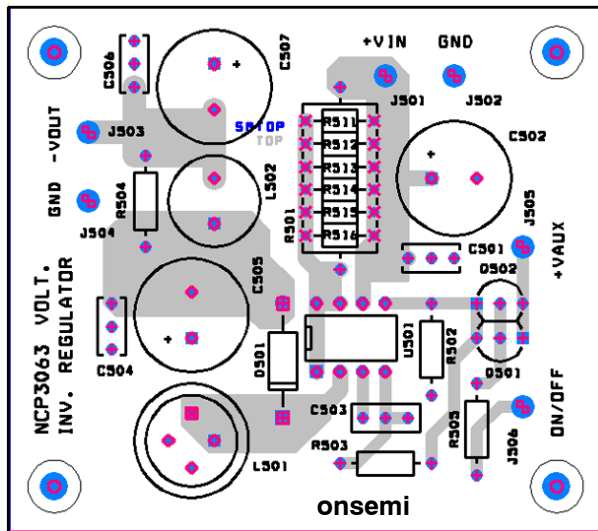


Figure 23. Voltage Inverting Demoboard Layout

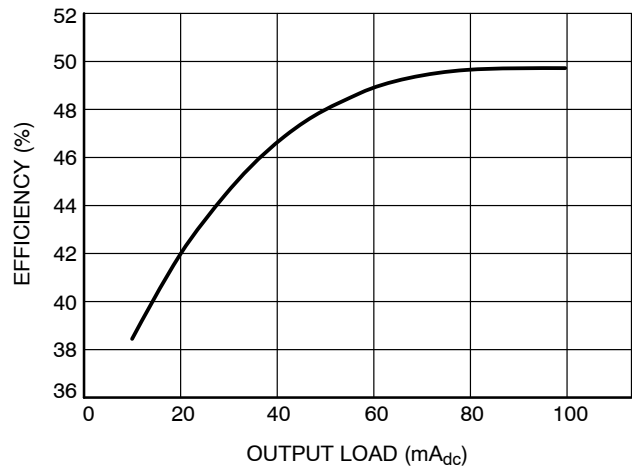


Figure 24. Efficiency vs. Output Current for the Voltage Inverting Demo Board at $V_{in} = +5$ V, $V_{out} = -12$ V, $T_A = 25^\circ\text{C}$

NCP3063, NCP3063B, NCV3063

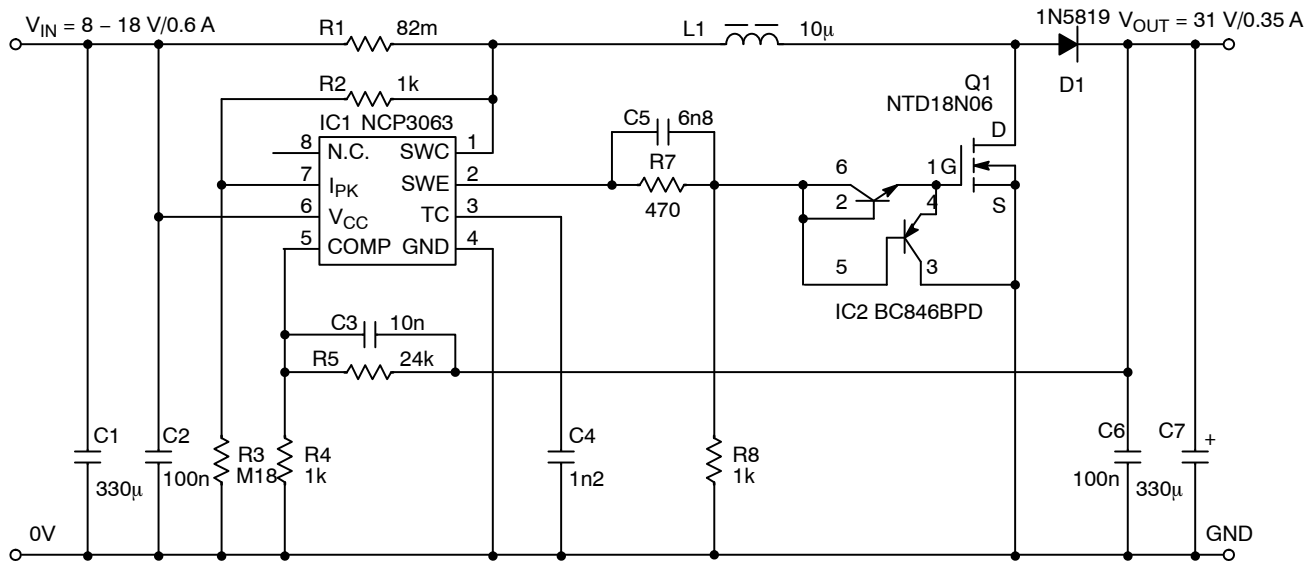


Figure 25. Typical Boost Application Schematic with External NMOS Transistor

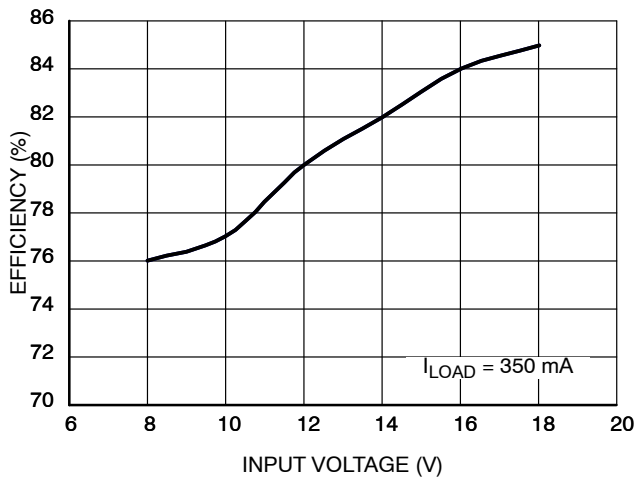


Figure 26. Typical Efficiency for Application Shown in Figure 25.

広い入力電圧範囲および高出力が要求されるアプリケーションでは外部トランジスタを推奨します。追加NMOSトランジスタを使用した適切な回路図およびそのドライブ電流をFigure 25に示します。ドライブ回路は、周波数補償された抵抗ダイバイダR7/R8を介してNCP3063のSWEピンから制御されます。ドライバIC2はオンセミの低コスト・デュアルNPN/PNPトランジスタBC846BPDです。そのNPNトランジスタはゲート・キャパシタンスを充電するための高性能ダイオードとして接続されます。PNPトランジスタは、ゲート・コンデンサを放電するためのエミッタ・フォロワとして働きます。この構成は、50~100 nsの鋭いドライブ・エッジを保証し、R7/R8ダイバイダの消費電力を50 mWに制限します。出力電流制限は抵抗R3で調整されます。低 $R_{DS(on)}$ NMOSトランジスタでの高速スイッチングが、車載アプリケーションで最大85%の効率を達成します。

NCP3063, NCP3063B, NCV3063

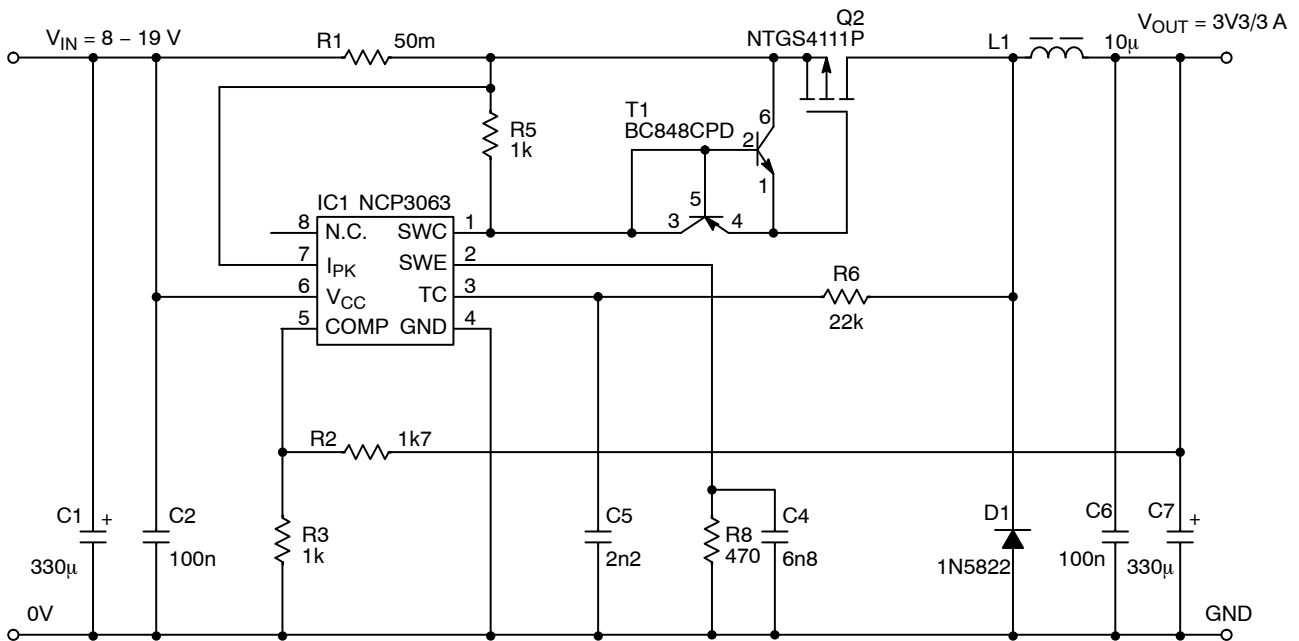


Figure 27. Typical Buck Application Schematic with External PMOS Transistor

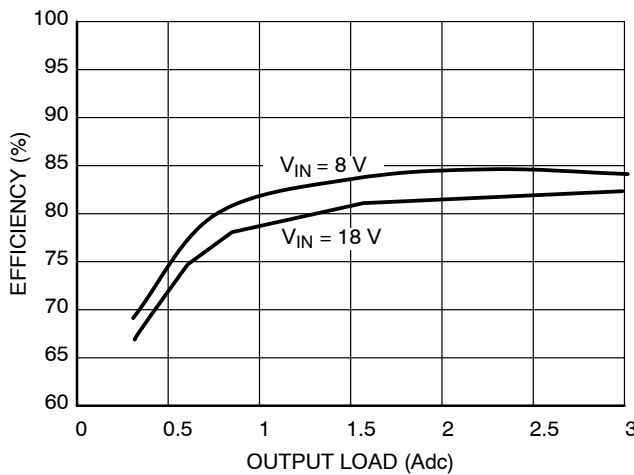


Figure 28. NCP3063 Efficiency vs. Output Current for Buck External PMOS at $V_{out} = 3.3\text{ V}$, $f = 220\text{ kHz}$, $T_A = 25^\circ\text{C}$

Figure 27に、外部PMOSトランジスタを使用した代表的なバック構成を示します。Figure 27に示すとおり、Q2ゲートをドライブする原理は同じです。

TCピンとSWEピン間に接続された抵抗 R6は、パルス化されたフィードバック電圧を供給します。広い入力電圧範囲を持つアプリケーション、入力電圧が+12Vを超えるアプリケーション、または出力リップルに関する仕様が厳しいアプリケーションで、このパルス化フィードバック方式を使用することを推奨します。抵抗R6の適切な値は10~68kです。パルス・フィードバック方式では、動作周波数が約20%高くなります。また、一定の動作周波数でより規則的なスイッチング波形を生成するため、出力リップル電圧が小さくなり、効率が改善されます。

パルス・フィードバックの抵抗値は、電気的特性表に記載されたコンデンサの充・放電電流を超えない値を選択する必要があります。選択を誤ると発振器が誤動作します。パルス・フィードバックを実装するとき、TCピンの最大電圧が1.4Vを超えることはできません。

NCP3063, NCP3063B, NCV3063

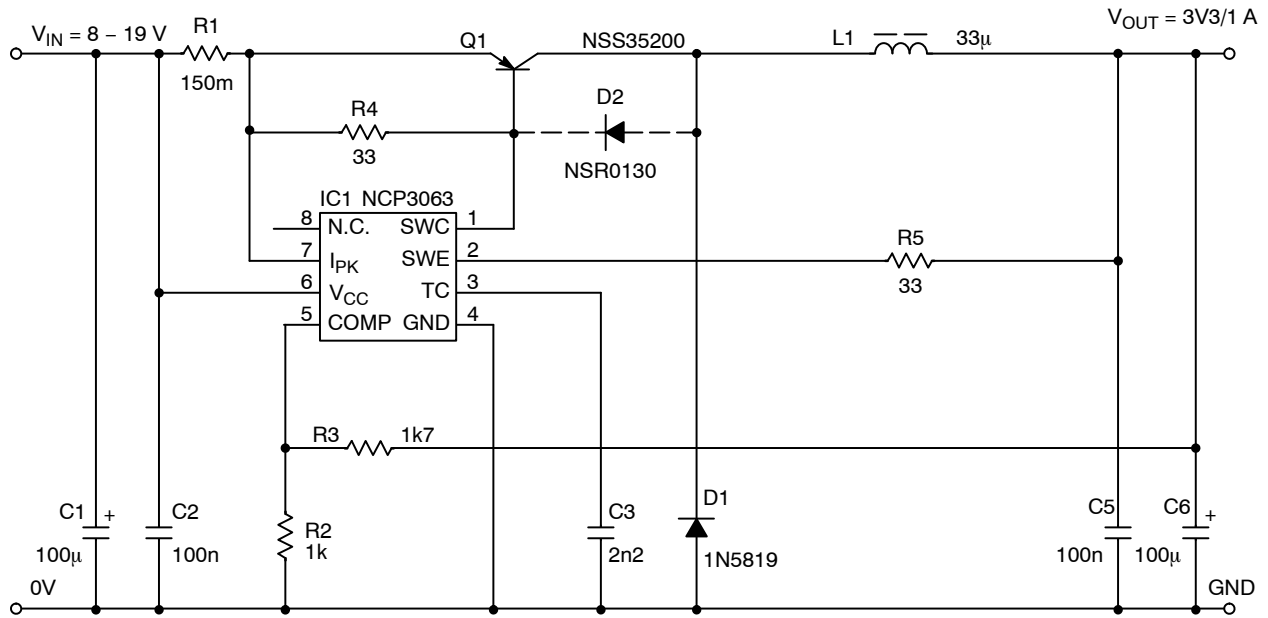


Figure 29. Typical Buck Application Schematic with External Low $V_{CE(sat)}$ PNP Transistor

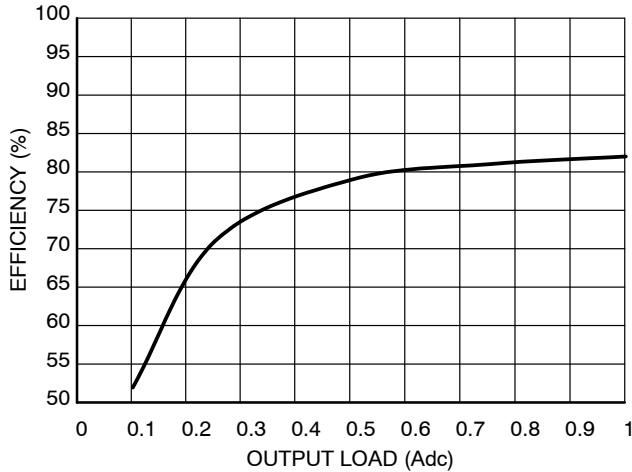


Figure 30. NCP3063 Efficiency vs. Output Current for External Low $V_{CE(sat)}$ at $V_{in} = +5\text{ V}$, $f = 160\text{ kHz}$, $T_A = 25^\circ\text{C}$

Figure 29に、外部バイポーラ・トランジスタを使用したバック・コンバータの代表的アプリケーションを示します。これは入力電圧と出力電圧の差が小さく、高効率が必要される構成向けの理想的なソリューションです。オンセミ製の低 $V_{CE(sat)}$ トランジスタNSS35200は、出力電流が1 A、入力電圧が最大15 V、動作周波数が100~150 kHzのアプリケーションに最適です。スイッチング速度は、飽和低減ダイオードD2を使用すると向上する場合があります。

NCP3063, NCP3063B, NCV3063

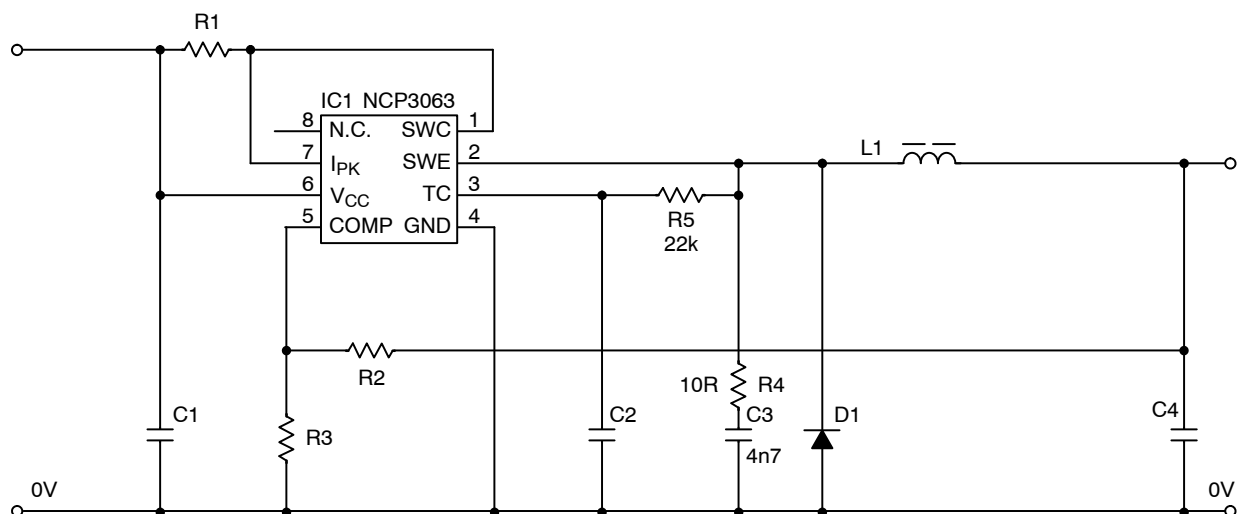


Figure 31. Typical Schematic of Buck Converter with RC Snubber and Pulse Feedback

入力/出力の組合せ、出力負荷変動、またはPCBレイアウトが原因で、出力で発振が生じるケースでは、SWEピンでのスナバ回路が発振を抑えるのに役

立ちます。一般的な使用法をFigure 31に示します。C3の値を2.2~6.8 nFに、R4を10 Ω~22 Ωに選択できます。

ORDERING INFORMATION

Device	Package	Shipping†
NCP3063BMNTXG	DFN-8 (Pb-Free)	4000 / Tape & Reel
NCP3063DR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP3063BDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP3063MNTXG	DFN-8 (Pb-Free)	4000 / Tape & Reel
NCV3063DR2G*	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCV3063MNTXG*	DFN-8 (Pb-Free)	4000 / Tape & Reel

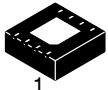
†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

*NCV Prefix for Automotive and Other Applications Requiring Unique Site and Control Change Requirements.

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

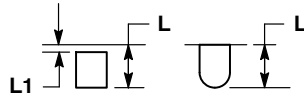
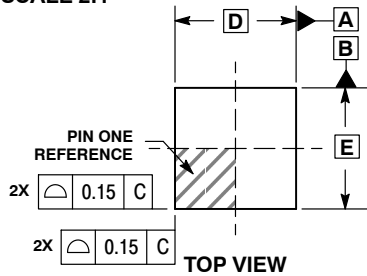
ON Semiconductor®



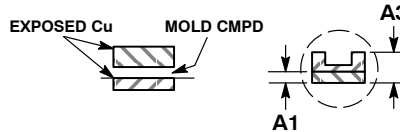
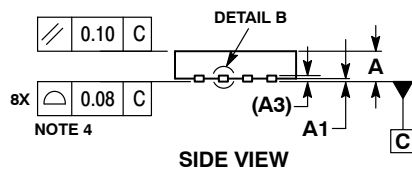
SCALE 2:1

DFN8, 4x4 CASE 488AF-01 ISSUE C

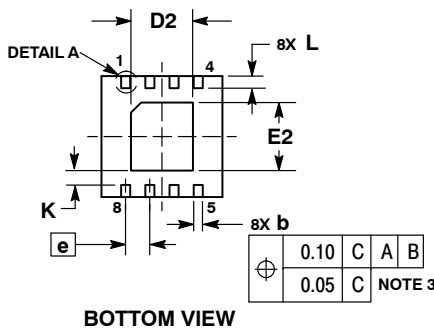
DATE 15 JAN 2009



DETAIL A
OPTIONAL
CONSTRUCTIONS

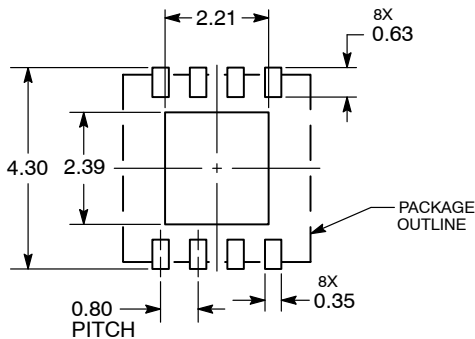


DETAIL B
ALTERNATE
CONSTRUCTIONS



BOTTOM VIEW

SOLDERING FOOTPRINT*



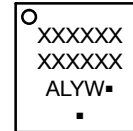
DIMENSIONS: MILLIMETERS

NOTES:

1. DIMENSIONS AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30MM FROM TERMINAL TIP.
4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.
5. DETAILS A AND B SHOW OPTIONAL CONSTRUCTIONS FOR TERMINALS.

MILLIMETERS		
DIM	MIN	MAX
A	0.80	1.00
A1	0.00	0.05
A3	0.20	REF
b	0.25	0.35
D	4.00	BSC
D2	1.91	2.21
E	4.00	BSC
E2	2.09	2.39
e	0.80	BSC
K	0.20	---
L	0.30	0.50
L1	---	0.15

GENERIC MARKING DIAGRAM*



- XXXX = Specific Device Code
- A = Assembly Location
- L = Wafer Lot
- Y = Year
- W = Work Week
- = Pb-Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98AON15232D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	DFN8, 4X4, 0.8P	PAGE 1 OF 1

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS



SCALE 1:1

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
 4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
 5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
 6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

XXXXXX = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 1 OF 2

onsemi and ONsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011

- | | | | |
|--|---|---|---|
| <p>STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. COLLECTOR
 4. EMITTER
 5. EMITTER
 6. BASE
 7. BASE
 8. EMITTER</p> | <p>STYLE 2:
 PIN 1. COLLECTOR, DIE, #1
 2. COLLECTOR, #1
 3. COLLECTOR, #2
 4. COLLECTOR, #2
 5. BASE, #2
 6. EMITTER, #2
 7. BASE, #1
 8. EMITTER, #1</p> | <p>STYLE 3:
 PIN 1. DRAIN, DIE #1
 2. DRAIN, #1
 3. DRAIN, #2
 4. DRAIN, #2
 5. GATE, #2
 6. SOURCE, #2
 7. GATE, #1
 8. SOURCE, #1</p> | <p>STYLE 4:
 PIN 1. ANODE
 2. ANODE
 3. ANODE
 4. ANODE
 5. ANODE
 6. ANODE
 7. ANODE
 8. COMMON CATHODE</p> |
| <p>STYLE 5:
 PIN 1. DRAIN
 2. DRAIN
 3. DRAIN
 4. DRAIN
 5. GATE
 6. GATE
 7. SOURCE
 8. SOURCE</p> | <p>STYLE 6:
 PIN 1. SOURCE
 2. DRAIN
 3. DRAIN
 4. SOURCE
 5. SOURCE
 6. GATE
 7. GATE
 8. SOURCE</p> | <p>STYLE 7:
 PIN 1. INPUT
 2. EXTERNAL BYPASS
 3. THIRD STAGE SOURCE
 4. GROUND
 5. DRAIN
 6. GATE 3
 7. SECOND STAGE Vd
 8. FIRST STAGE Vd</p> | <p>STYLE 8:
 PIN 1. COLLECTOR, DIE #1
 2. BASE, #1
 3. BASE, #2
 4. COLLECTOR, #2
 5. COLLECTOR, #2
 6. EMITTER, #2
 7. EMITTER, #1
 8. COLLECTOR, #1</p> |
| <p>STYLE 9:
 PIN 1. EMITTER, COMMON
 2. COLLECTOR, DIE #1
 3. COLLECTOR, DIE #2
 4. EMITTER, COMMON
 5. EMITTER, COMMON
 6. BASE, DIE #2
 7. BASE, DIE #1
 8. EMITTER, COMMON</p> | <p>STYLE 10:
 PIN 1. GROUND
 2. BIAS 1
 3. OUTPUT
 4. GROUND
 5. GROUND
 6. BIAS 2
 7. INPUT
 8. GROUND</p> | <p>STYLE 11:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. DRAIN 2
 7. DRAIN 1
 8. DRAIN 1</p> | <p>STYLE 12:
 PIN 1. SOURCE
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 13:
 PIN 1. N.C.
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> | <p>STYLE 14:
 PIN 1. N-SOURCE
 2. N-GATE
 3. P-SOURCE
 4. P-GATE
 5. P-DRAIN
 6. P-DRAIN
 7. N-DRAIN
 8. N-DRAIN</p> | <p>STYLE 15:
 PIN 1. ANODE 1
 2. ANODE 1
 3. ANODE 1
 4. ANODE 1
 5. CATHODE, COMMON
 6. CATHODE, COMMON
 7. CATHODE, COMMON
 8. CATHODE, COMMON</p> | <p>STYLE 16:
 PIN 1. EMITTER, DIE #1
 2. BASE, DIE #1
 3. EMITTER, DIE #2
 4. BASE, DIE #2
 5. COLLECTOR, DIE #2
 6. COLLECTOR, DIE #2
 7. COLLECTOR, DIE #1
 8. COLLECTOR, DIE #1</p> |
| <p>STYLE 17:
 PIN 1. VCC
 2. V2OUT
 3. V1OUT
 4. TXE
 5. RXE
 6. VEE
 7. GND
 8. ACC</p> | <p>STYLE 18:
 PIN 1. ANODE
 2. ANODE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. CATHODE
 8. CATHODE</p> | <p>STYLE 19:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. MIRROR 2
 7. DRAIN 1
 8. MIRROR 1</p> | <p>STYLE 20:
 PIN 1. SOURCE (N)
 2. GATE (N)
 3. SOURCE (P)
 4. GATE (P)
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 21:
 PIN 1. CATHODE 1
 2. CATHODE 2
 3. CATHODE 3
 4. CATHODE 4
 5. CATHODE 5
 6. COMMON ANODE
 7. COMMON ANODE
 8. CATHODE 6</p> | <p>STYLE 22:
 PIN 1. I/O LINE 1
 2. COMMON CATHODE/VCC
 3. COMMON CATHODE/VCC
 4. I/O LINE 3
 5. COMMON ANODE/GND
 6. I/O LINE 4
 7. I/O LINE 5
 8. COMMON ANODE/GND</p> | <p>STYLE 23:
 PIN 1. LINE 1 IN
 2. COMMON ANODE/GND
 3. COMMON ANODE/GND
 4. LINE 2 IN
 5. LINE 2 OUT
 6. COMMON ANODE/GND
 7. COMMON ANODE/GND
 8. LINE 1 OUT</p> | <p>STYLE 24:
 PIN 1. BASE
 2. EMITTER
 3. COLLECTOR/ANODE
 4. COLLECTOR/ANODE
 5. CATHODE
 6. CATHODE
 7. COLLECTOR/ANODE
 8. COLLECTOR/ANODE</p> |
| <p>STYLE 25:
 PIN 1. VIN
 2. N/C
 3. REXT
 4. GND
 5. IOUT
 6. IOUT
 7. IOUT
 8. IOUT</p> | <p>STYLE 26:
 PIN 1. GND
 2. dv/dt
 3. ENABLE
 4. ILIMIT
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. VCC</p> | <p>STYLE 27:
 PIN 1. ILIMIT
 2. OVLO
 3. UVLO
 4. INPUT+
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. DRAIN</p> | <p>STYLE 28:
 PIN 1. SW_TO_GND
 2. DASIC_OFF
 3. DASIC_SW_DET
 4. GND
 5. V_MON
 6. VBULK
 7. VBULK
 8. VIN</p> |
| <p>STYLE 29:
 PIN 1. BASE, DIE #1
 2. EMITTER, #1
 3. BASE, #2
 4. EMITTER, #2
 5. COLLECTOR, #2
 6. COLLECTOR, #2
 7. COLLECTOR, #1
 8. COLLECTOR, #1</p> | <p>STYLE 30:
 PIN 1. DRAIN 1
 2. DRAIN 1
 3. GATE 2
 4. SOURCE 2
 5. SOURCE 1/DRAIN 2
 6. SOURCE 1/DRAIN 2
 7. SOURCE 1/DRAIN 2
 8. GATE 1</p> | | |

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 2 OF 2

onsemi and **ONSEMI** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales