

NCP4303A, NCP4303B

高効率SMPSトポロジ用2次側同期整流ドライバ

NCP4303A/Bは、スイッチモード電源の同期整流回路を制御するように設計された、フル装備のコントローラおよびドライバです。汎用性を備えているため、フライバック、フォワード、およびハーフ・ブリッジ共振LLCなどの各種トポロジで使用できます。

外部で調整可能な最小オン時間とオフ時間の組み合わせは、PCBレイアウトやその他の寄生素子によって誘起されるリングングを抑えるのに役立ちます。したがって、信頼性が高くノイズのないSRシステム動作が保証されます。

きわめて短いターンオフ遅延時間、ドライバの高い電流シンク能力、およびパッケージ寄生インダクタンス自動補償システムが、同期整流MOSFETの導通時間を最大化することを可能にし、SMPS効率のさらなる向上を可能にします。

最後に、2つのバージョンのドライバ電圧クランプと広いV_{CC}動作範囲の組み合わせにより、24 V出力アプリケーションにおけるSRシステムの実装が容易になります。

特長

- CCM、DCM、およびQRフライバック・アプリケーションでの同期整流制御を内蔵
- 調整可能なスレッシュホールドを有する高精度の真の2次側ゼロ電流検出
- 自動寄生インダクタンス補償入力
- 電流センス入力からドライバまでのターンオフ遅延時間は標準40 ns
- 最大200 Vのゼロ電流検出ピン能力
- 深いCCMで動作するアプリケーションでの性能向上のための超高速トリガ・インタフェース(オプション)
- スタンバイまたは低消費電流モードに移行するためのディセーブル入力
- V_{CC}レベルに関係なく調整可能な最小オン時間
- V_{CC}レベルに関係なく調整可能な最小オフ時間
- 5 A/2.5 Aピーク電流シンク/ソース・ドライブ能力
- 最大30 Vの動作電圧範囲
- 12 V (NCP4303A)または6 V (NCP4303B)のゲート・ドライブ・クランプ
- 低起動時および低スタンバイ時消費電流
- 500 kHzまでの最大動作周波数
- SOIC-8パッケージ
- 鉛フリー・デバイス

代表的アプリケーション

- ノートブックPCアダプタ
- 高電力密度AC/DC電源
- ゲーム・コンソール
- 高効率を要求するすべてのSMPS



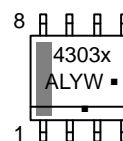
ON Semiconductor®

www.onsemi.jp

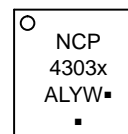
MARKING DIAGRAM



SOIC-8
D SUFFIX
CASE 751



DFN8
CASE 488AF



4303x = Specific Device Code
x = A or B

A = Assembly Location

L = Wafer Lot

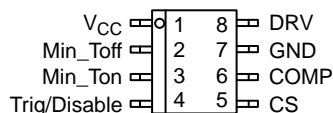
Y = Year

W = Work Week

▪ = Pb-Free Package

(Note: Microdot may be in either location)

PINOUT INFORMATION



(NOTE: For DFN the exposed pad must be either unconnected or preferably connected to ground. The GND pin must be always connected to ground.)

ORDERING INFORMATION

Device	Package	Shipping†
NCP4303ADR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP4303BDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP4303AMNTWG	DFN8 (Pb-Free)	4000 / Tape & Reel
NCP4303BMNTWG	DFN8 (Pb-Free)	4000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

NCP4303A, NCP4303B

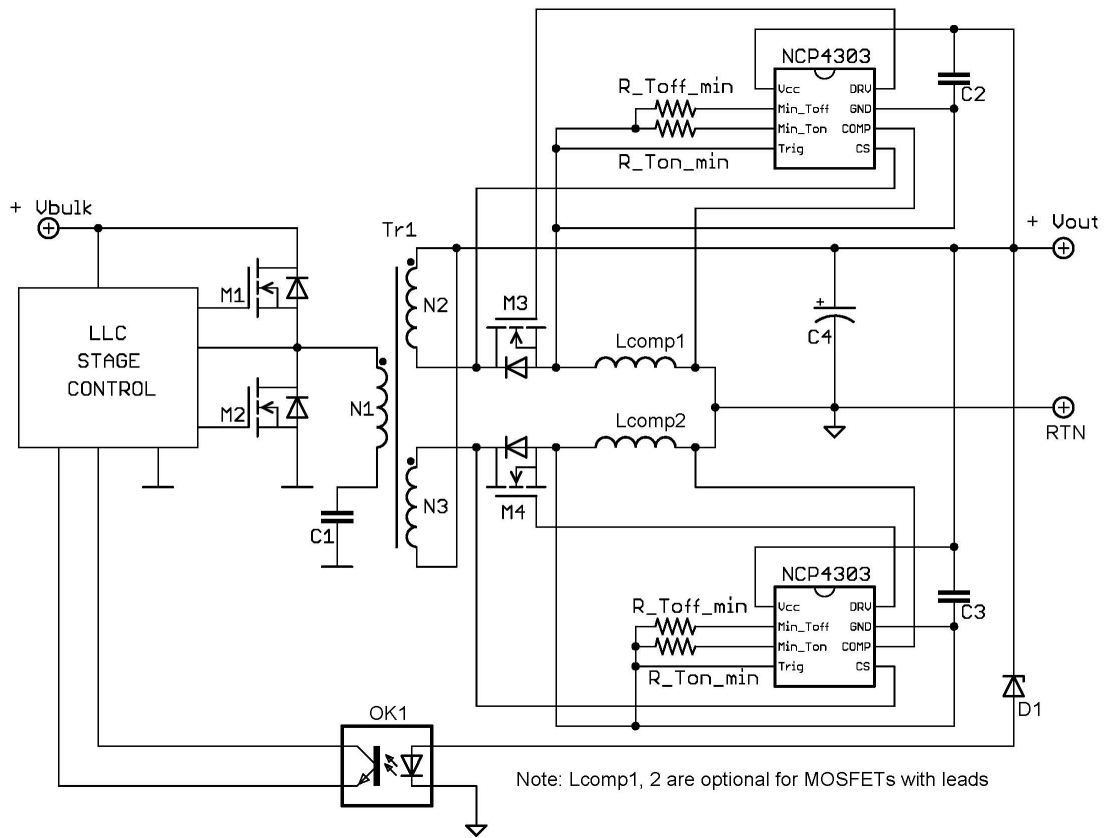


Figure 1. Typical Application Example – LLC Converter

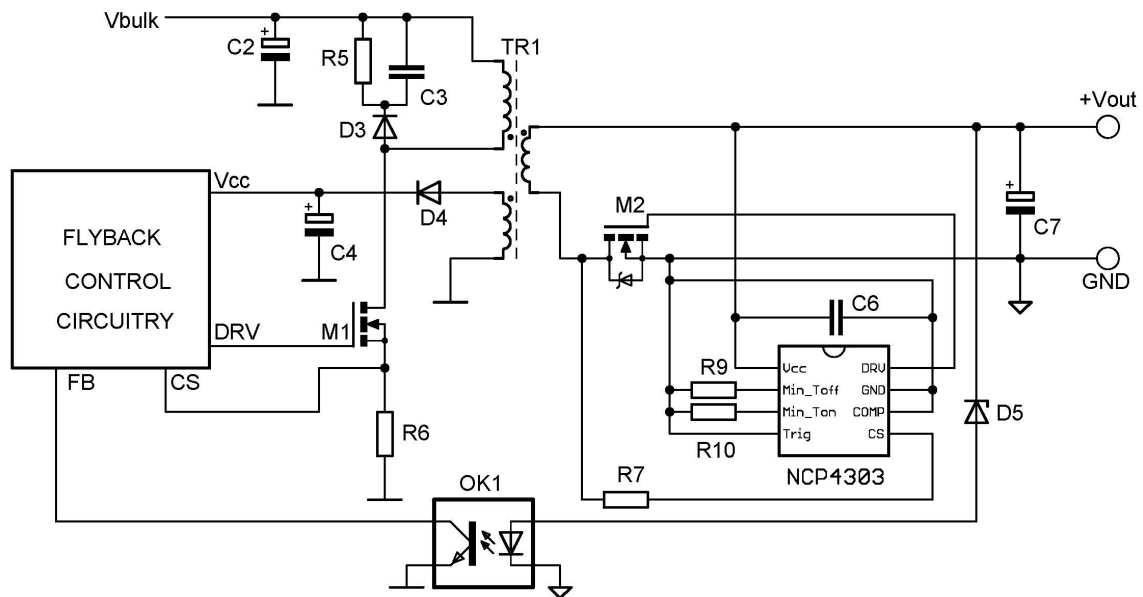


Figure 2. Typical Application Example – DCM, QR or CCM Flyback Converter

NCP4303A, NCP4303B

PIN FUNCTION DESCRIPTION

Pin No.	Pin Name	Function	Pin Description
1	VCC	Supplies the driver	V _{CC} supply terminal of the controller. Accepts up to 30 V continuously.
2	Min_toff	Minimum off time adjust	Adjust the minimum off time period by connecting resistor to ground.
3	Min_ton	Minimum on time adjust	Adjust the minimum on time period by connecting resistor to ground.
4	TRIG/Disable	Forced reset input	This ultrafast turn-off input offers the possibility to further improve efficiency and performance in applications that work in deep Continuous Conduction Mode (CCM). Activates sleep mode if pulled up for more than 100 μs. Connect this pin to GND when not used.
5	CS	Current sense of the SR MOSFET	This pin detects if the current flows through the SR MOSFET and/or its body diode. Basic turn off detection threshold is 0 mV. A resistor in series with this pin can modify the turn off threshold if needed.
6	COMP	Compensation inductance connection	Use as a Kelvin connection to auxiliary compensation inductance. If SR MOSFET package parasitic inductance compensation is not used (like for SMT MOSFETs), connect this pin directly to GND pin.
7	GND	IC ground	Ground connection for the SR MOSFET driver and V _{CC} decoupling capacitor. Ground connection for minimum ton, toff adjust resistors and trigger input. GND pin should be wired directly to the SR MOSFET source terminal/soldering point using Kelvin connection.
8	DRV	Gate driver output	Driver output for the SR MOSFET.

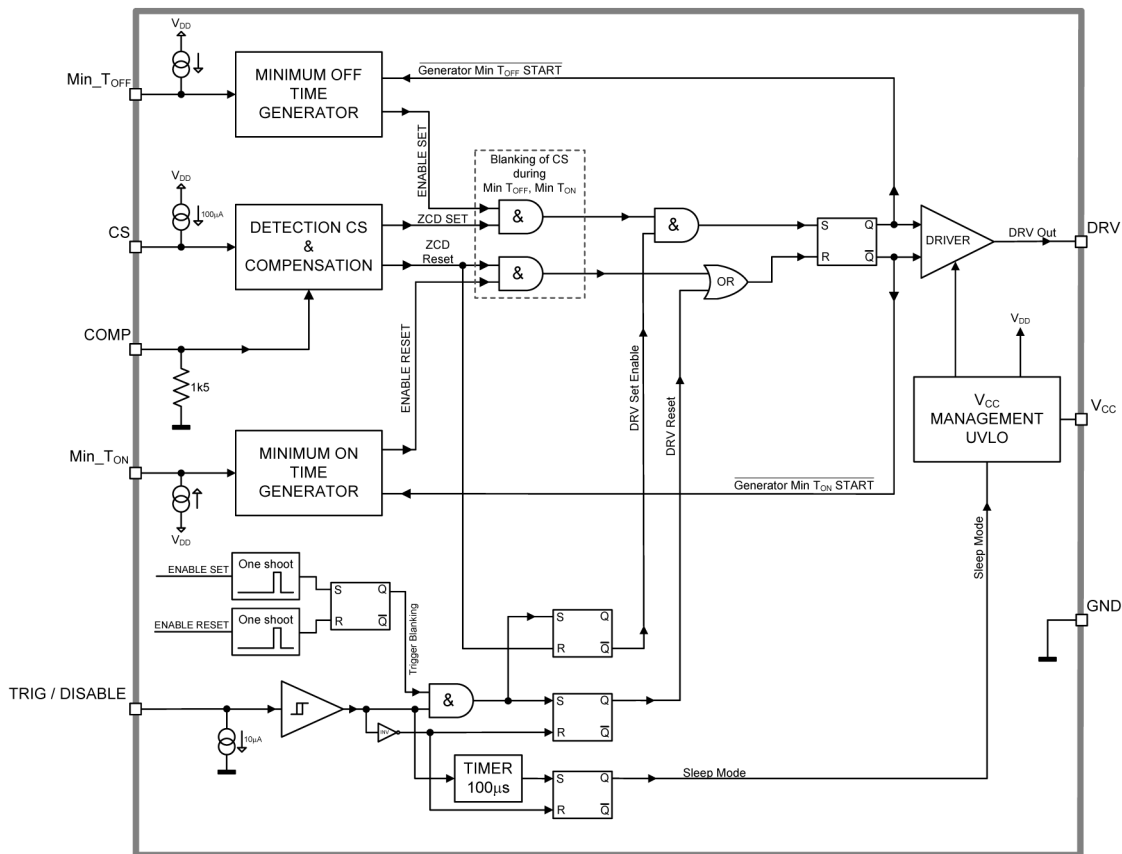


Figure 3. Internal Circuit Architecture

NCP4303A, NCP4303B

MAXIMUM RATINGS

Symbol	Rating	Value	Unit
V_{CC}	IC supply voltage	-0.3 to 30	V
V_{DRV}	Driver output voltage	-0.3 to 17	V
V_{CS}	Current sense input dc voltage	-4 to 200	V
V_{Csdyn}	Current sense input dynamic voltage ($t_{pw} = 200$ ns)	-10 to 200	V
V_{TRIG}	Trigger input voltage	-0.3 to 10	V
$V_{Min_ton}, V_{Min_toff}$	Min_Ton and Min_Toff input voltage	-0.3 to 10	V
$I_{Min_Toff}, I_{Min_Toff}$	Min_Ton and Min_Toff current	-10 to +10	mA
VGND-COMP	Static voltage difference between GND and COMP pins (internally clamped)	-3 to 10	V
VGND-COMP_dyn	Dynamic voltage difference between GND and COMP pins ($t_{pw} = 200$ ns)	-10 to 10	V
ICOMP	Current into COMP pin	-5 to 5	mA
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, SOIC version, A/B version	180	°C/W
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, DFN - A/B versions, 50 mm ² - 1.0 oz. Copper spreader	180	°C/W
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, DFN - A/B versions, 600 mm ² - 1.0 oz. Copper spreader	80	°C/W
T_{Jmax}	Maximum junction temperature	150	°C
T_{Smax}	Storage Temperature Range	-60 to +150	°C
T_{Lmax}	Lead temperature (Soldering, 10 s)	300	°C
	ESD Capability, Human Body Model except pin V_{CS} - pin 5, HBM ESD Capability on pin 5 is 650 V	2	kV
	ESD Capability, Machine Model	200	V
	ESD Capability, Charged Device Model	250	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

- This device series contains ESD protection and exceeds the following tests:
 Pin 1 - 8: Human Body Model 2000 V per JEDEC Standard JESD22-A114E
 Machine Model Method 200 V per JEDEC Standard JESD22-A115-A
 Charged Device Model 250 V per JEDEC Standard JESD22-C101E.
- This device meets latchup tests defined by JEDEC Standard JESD78.

NCP4303A, NCP4303B

ELECTRICAL CHARACTERISTICS

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$, $C_{load} = 0\text{ nF}$, $R_{min_ton} = R_{min_toff} = 10\text{ k}\Omega$, $V_{trig} = 0\text{ V}$, $f_{CS} = 100\text{ kHz}$, $DC_{CS} = 50\%$, $V_{CS_high} = 4\text{ V}$, $V_{CS_low} = -1\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

SUPPLY SECTION

V_{CC_on}	Turn-on threshold level (V_{CC} going up)	1	9.3	9.9	10.5	V
V_{CC_off}	Minimum operating voltage after turn-on (V_{CC} going down)	1	8.3	8.9	9.5	V
V_{CC_hyste}	V_{CC} hysteresis	1	0.8	1.0	1.3	V
I_{CC1_A} I_{CC1_B}	Internal IC consumption (no output load on pin 8, $F_{sw} = 500\text{ kHz}$, $R_{Ton_min} = R_{Toff_min} = 5\text{ k}\Omega$)	1	-	4.7 4	-	mA
I_{CC2_A} I_{CC2_B}	Internal IC consumption ($C_{load} = 1\text{ nF}$ on pin 8, $F_{sw} = 400\text{ kHz}$, $R_{Ton_min} = R_{Toff_min} = 5\text{ k}\Omega$)	1	-	9.3 6.4	-	mA
I_{CC3_A} I_{CC3_B}	Internal IC consumption ($C_{load} = 10\text{ nF}$ on pin 8, $F_{sw} = 400\text{ kHz}$, $R_{Ton_min} = R_{Toff_min} = 5\text{ k}\Omega$)	1	-	54 34	-	mA
I_{CC_SDM}	Startup current consumption ($V_{CC} = V_{CC_on} - 0.1\text{ V}$) and consumption during light load (disable) mode, ($F_{sw} = 500\text{ kHz}$, $V_{trig} = 5\text{ V}$)	1	-	390	550	μA
$I_{CC_SDM\ NS}$	Startup current consumption ($V_{CC} = V_{CC_on} - 0.1\text{ V}$) and consumption during light load (disable) mode, ($V_{CS} = 0\text{ V}$, $V_{trig} = 5\text{ V}$)	1	-	280	450	μA

DRIVE OUTPUT

t_{r_A}	Output voltage rise-time for A version ($C_{load} = 10\text{ nF}$), (Note 3)	8	-	120	-	ns
t_{r_B}	Output voltage rise-time for B version ($C_{load} = 10\text{ nF}$), (Note 3)	8	-	80	-	ns
t_{f_A}	Output voltage fall-time for A version ($C_{load} = 10\text{ nF}$), (Note 3)	8	-	50	-	ns
t_{f_B}	Output voltage fall-time for B version ($C_{load} = 10\text{ nF}$), (Note 3)	8	-	35	-	ns
R_{oh}	Driver source resistance (Note 3)	8	-	1.8	7	Ω
R_{ol}	Driver sink resistance	8	-	1	2	Ω
$I_{DRV_pk(source)}$	Output source peak current (Note 3)	8	-	2.5	-	A
$I_{DRV_pk(sink)}$	Output sink peak current (Note 3)	8	-	5	-	A
$V_{DRV(H)_A}$	Driver high level output voltage on A version ($C_{load} = 1\text{ nF}$)	8	10	-	-	V
$V_{DRV(H)_A}$	Driver high level output voltage on A version ($C_{load} = 10\text{ nF}$)	8	11.8	-	-	V
$V_{DRV(H)_B}$	Driver high level output voltage on B version ($C_{load} = 1\text{ nF}$)	8	5	-	-	V
$V_{DRV(H)_B}$	Driver high level output voltage on B version ($C_{load} = 10\text{ nF}$)	8	6	-	-	V
$V_{DRV(min)_A}$	Minimum drive output voltage for A version ($V_{CC} = V_{CC_off} + 200\text{ mV}$)	8	8.3	-	-	V
$V_{DRV(min)_B}$	Minimum drive output voltage for B version ($V_{CC} = V_{CC_off} + 200\text{ mV}$)	8	4.5	-	-	V
$V_{DRV(CLMP)_A}$	Driver clamp voltage for A version, ($12\text{ V} < V_{CC} < 28\text{ V}$, minimum $C_{load} = 1\text{ nF}$)	8	-	12	16	V
$V_{DRV(CLMP)_B}$	Driver clamp voltage for B version, ($12\text{ V} < V_{CC} < 28\text{ V}$, minimum $C_{load} = 1\text{ nF}$)	8	-	7	8.3	V

CS INPUT

T_{pd_on}	The total propagation delay from CS input to DRV output turn on (V_{CS} goes down from 4 V to -1 V , $t_{f_CS} = 5\text{ ns}$, COMP pin connected to GND)	5, 8	-	60	90	ns
T_{pd_off}	The total propagation delay from CS input to DRV output turn off (V_{CS} goes up from -1 V to 4 V , $t_{r_CS} = 5\text{ ns}$, COMP pin connected to GND), (Note 3)	5, 8	-	40	55	ns
I_{shift_CS}	Current sense input current source ($V_{CS} = 0\text{ V}$)	5	95	100	105	μA
$V_{th_cs_on}$	Turn on current sense input threshold voltage	5, 8	-120	-85	-50	mV

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

3. Guaranteed by design.

NCP4303A, NCP4303B

ELECTRICAL CHARACTERISTICS (continued)

(For typical values $T_J = 25^\circ\text{C}$, for min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$, $C_{load} = 0\text{ nF}$,

$R_{min_ton} = R_{min_toff} = 10\text{ k}\Omega$, $V_{trig} = 0\text{ V}$, $f_{CS} = 100\text{ kHz}$, $DC_{CS} = 50\%$, $V_{CS_high} = 4\text{ V}$, $V_{CS_low} = -1\text{ V}$ unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
--------	--------	-----	-----	-----	-----	------

CS INPUT

$V_{th_cs_off}$	Current sense pin turn off threshold voltage, COMP pin connected to GND (Note 3)	5, 8	-1	-	0	mV
G_{comp}	Compensation inverter gain (Note 3)	5,6,8	-	-1	-	-
$I_{CS_Leakage}$	CS input leakage current, $V_{CS} = 200\text{ Vdc}$	5	-	-	1	μA

TRIGGER/DISABLE INPUT

T_{trig_pw}	Minimum trigger pulse duration	4	30	-	-	ns
V_{trig}	Trigger input threshold voltage (V_{trig} goes up)	4	1.5	-	2.5	V
t_{p_trig}	Propagation delay from trigger input to the DRV output (V_{trig} goes up from 0 to 5 V $t_{r_trig} = 5\text{ ns}$)	4	-	-	30	ns
$t_{trig_light_load}$	Light load turn off filter duration	4	-	100	-	μs
$t_{trig_light_load_rec}$	IC operation recovery time when leaving light load disable mode (V_{trig} goes down from 5 to 0 V $t_{f_trig} = 5\text{ ns}$)	4	-	-	550	ns
I_{trig}	Trigger input pull down current ($V_{trig} = 5\text{ V}$)	4	-	10	-	μA

MINIMUM T_{on} AND T_{off} ADJUST

T_{on_min}	Minimum T_{on} period ($R_{T_on_min} = 0\ \Omega$)	3	-	300	-	ns
T_{off_min}	Minimum T_{off} period ($R_{T_off_min} = 0\ \Omega$)	2	-	620	-	ns
T_{on_min}	Minimum T_{on} period ($R_{T_on_min} = 10\text{ k}\Omega$)	3	0.9	1.0	1.1	μs
T_{off_min}	Minimum T_{off} period ($R_{T_off_min} = 10\text{ k}\Omega$)	2	0.9	1.0	1.1	μs
T_{on_min}	Minimum T_{on} period ($R_{T_on_min} = 50\text{ k}\Omega$)	3	-	4.8	-	μs
T_{off_min}	Minimum T_{off} period ($R_{T_off_min} = 50\text{ k}\Omega$)	2	-	4.8	-	μs

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

3. Guaranteed by design.

NCP4303A, NCP4303B

TYPICAL CHARACTERISTICS

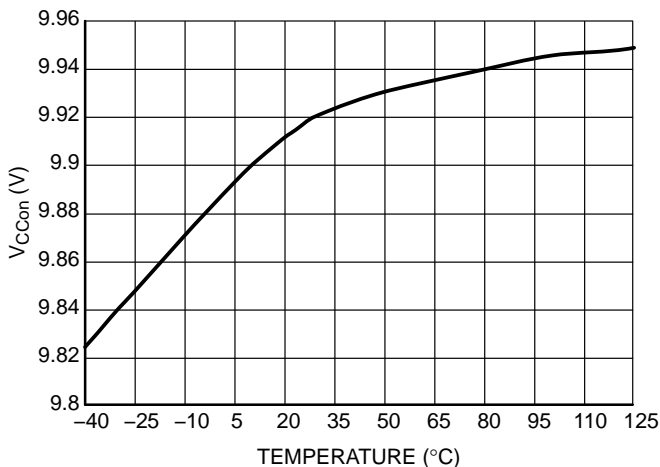


Figure 4. V_{CC} Startup Voltage

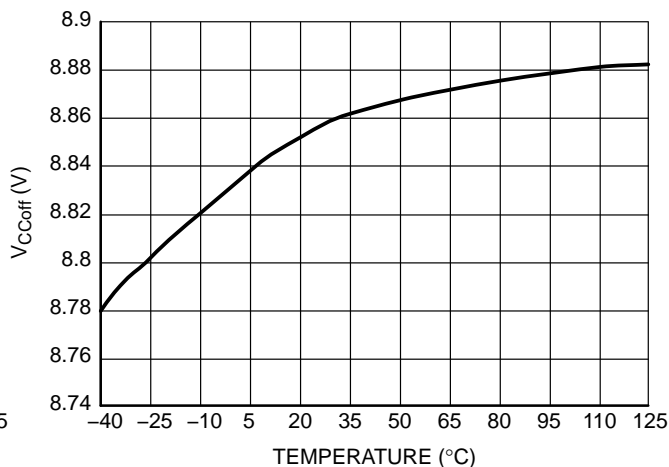


Figure 5. V_{CC} Turn-off Voltage

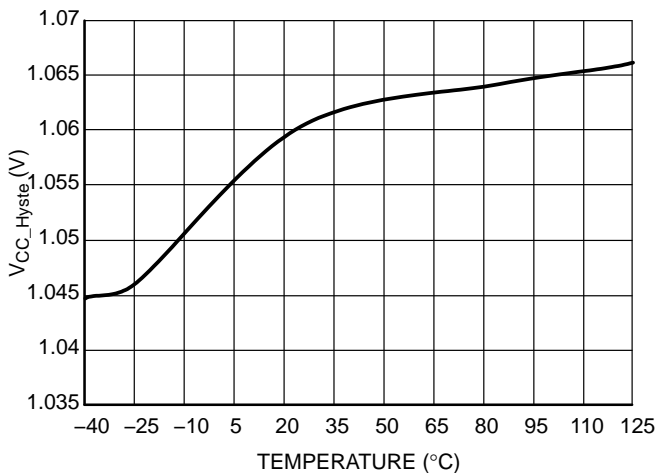


Figure 6. V_{CC} Hysteresis

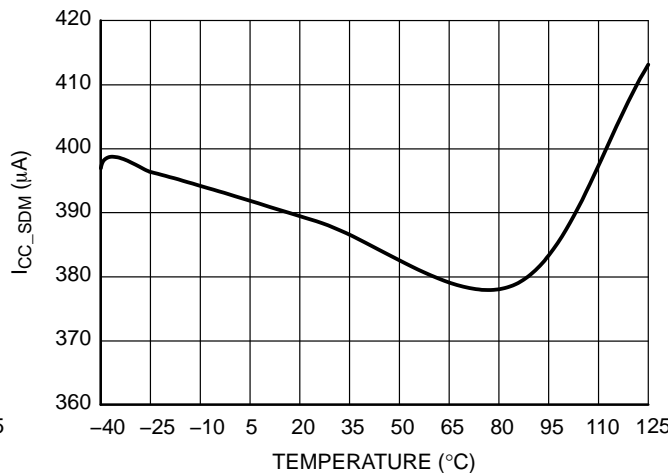


Figure 7. Startup Current

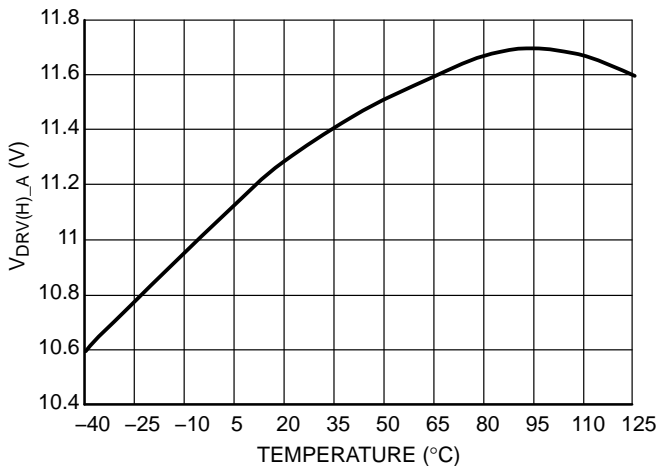


Figure 8. Driver High Level – A Version,
V_{CC} = 12 V and C_{load} = 1 nF

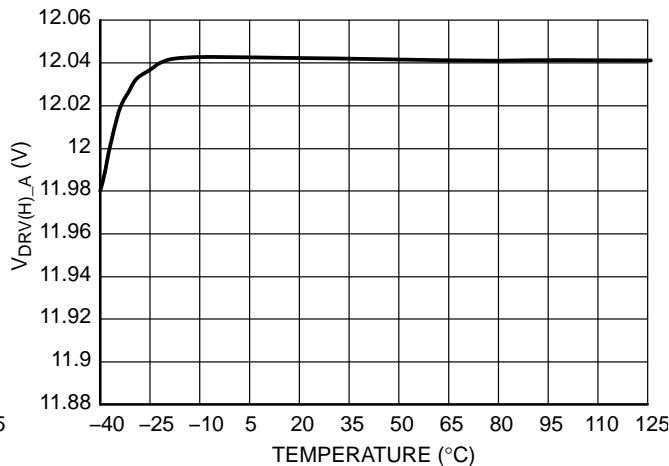


Figure 9. Driver High Level– A Version, V_{CC} =
12 V and C_{load} = 10 nF

NCP4303A, NCP4303B

TYPICAL CHARACTERISTICS

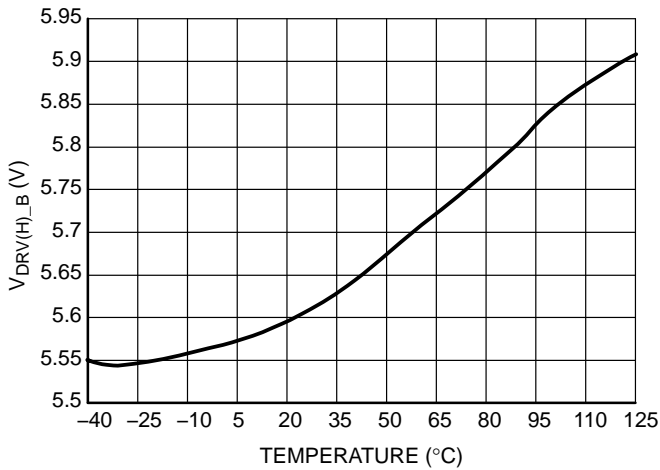


Figure 10. Driver High Level – B Version, $V_{CC} = 12\text{ V}$ and $C_{load} = 1\text{ nF}$

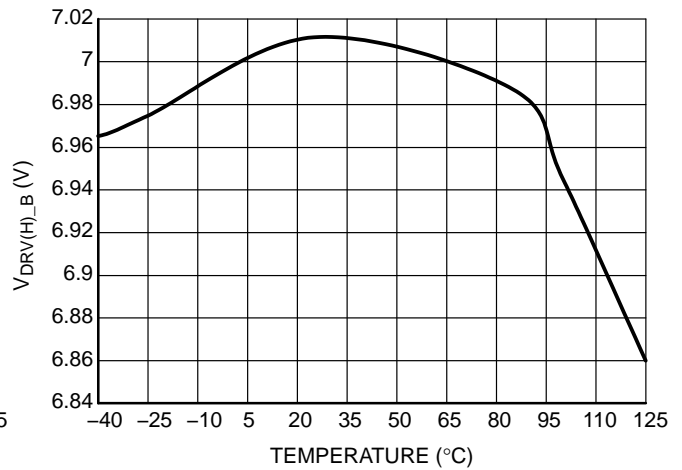


Figure 11. Driver High Level – B Version, $V_{CC} = 12\text{ V}$ and $C_{load} = 10\text{ nF}$

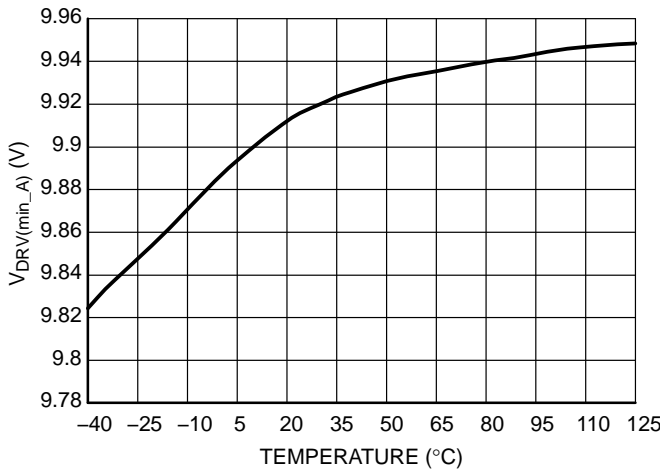


Figure 12. Minimal Driver High Level – A Version, $V_{CC} = V_{CC_OFF} + 0.2\text{ V}$ and $C_{load} = 0\text{ nF}$

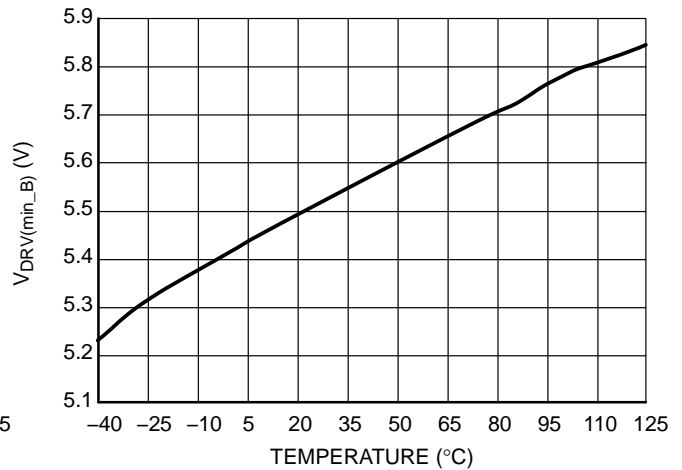


Figure 13. Minimal Driver High Level – B Version, $V_{CC} = V_{CC_OFF} + 0.2\text{ V}$ and $C_{load} = 0\text{ nF}$

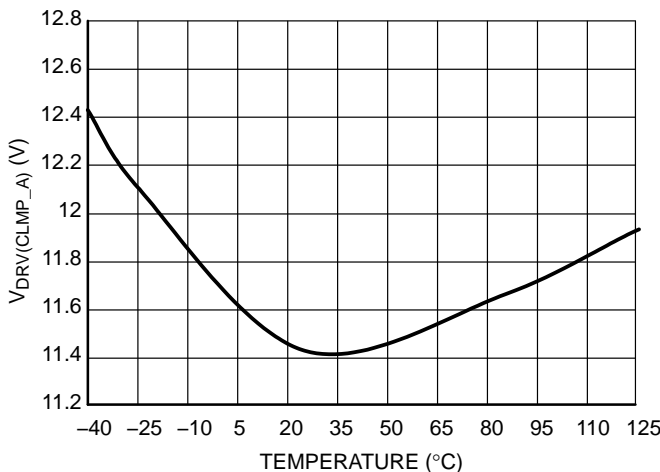


Figure 14. Driver Clamp Level – A Version, $V_{CC} = 28\text{ V}$ and $C_{load} = 1\text{ nF}$

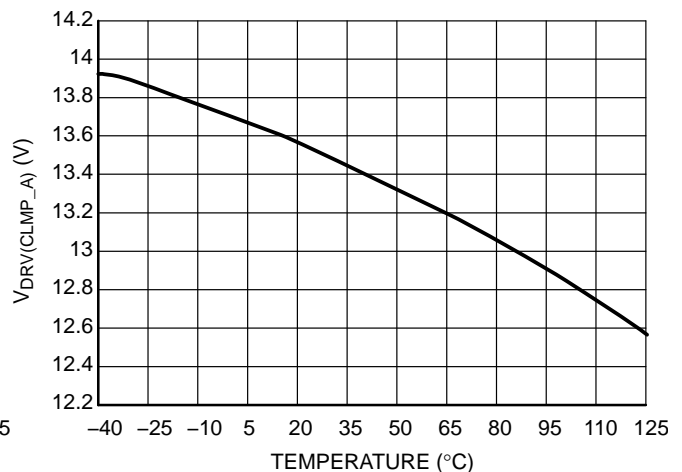


Figure 15. Driver Clamp Level – A Version, $V_{CC} = 28\text{ V}$ and $C_{load} = 10\text{ nF}$

NCP4303A, NCP4303B

TYPICAL CHARACTERISTICS

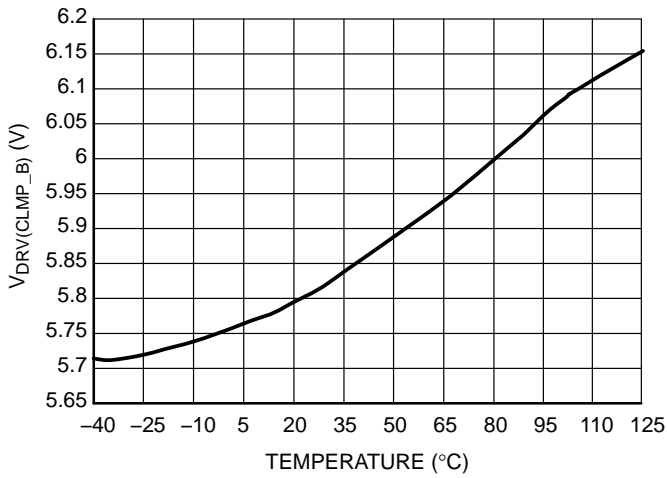


Figure 16. Driver Clamp Level – B Version, V_{CC} = 28 V and C_{load} = 1 nF

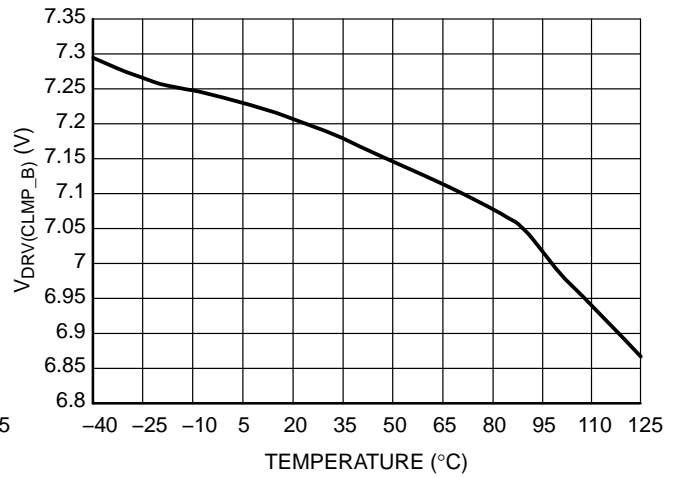


Figure 17. Driver Clamp Level – B Version, V_{CC} = 28 V and C_{load} = 10 nF

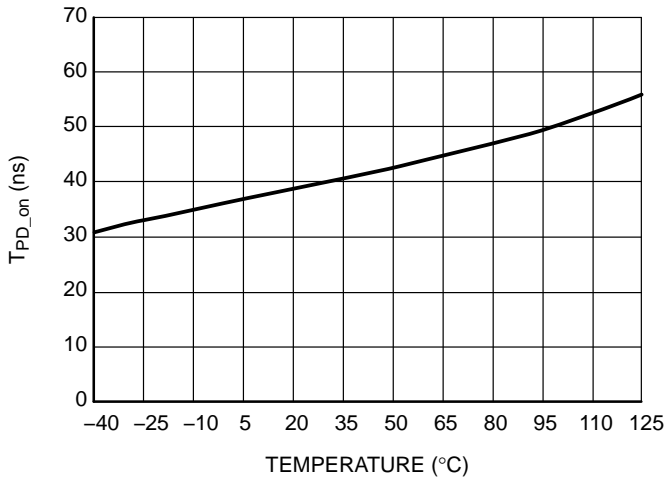


Figure 18. CS to DRV Turn-on Propagation Delay

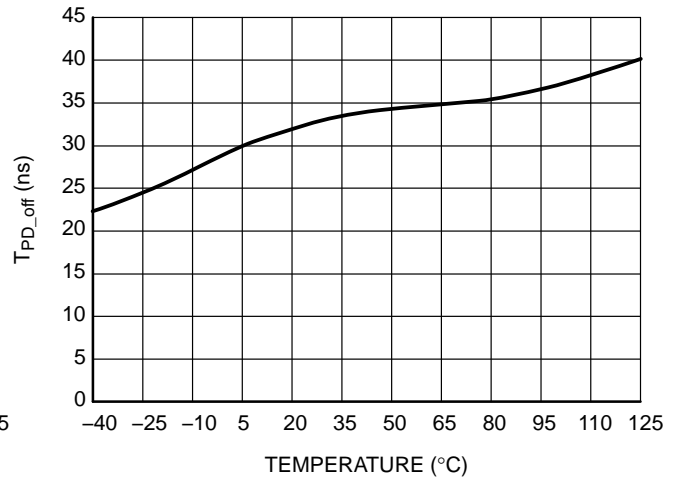


Figure 19. CS to DRV Turn-off Propagation Delay

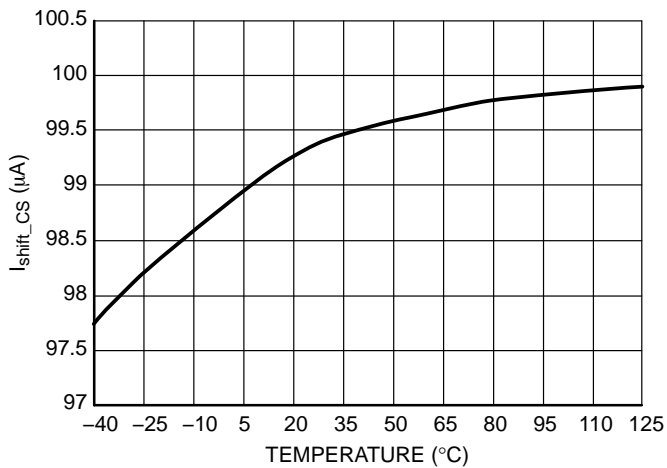


Figure 20. CS Pin Shift Current

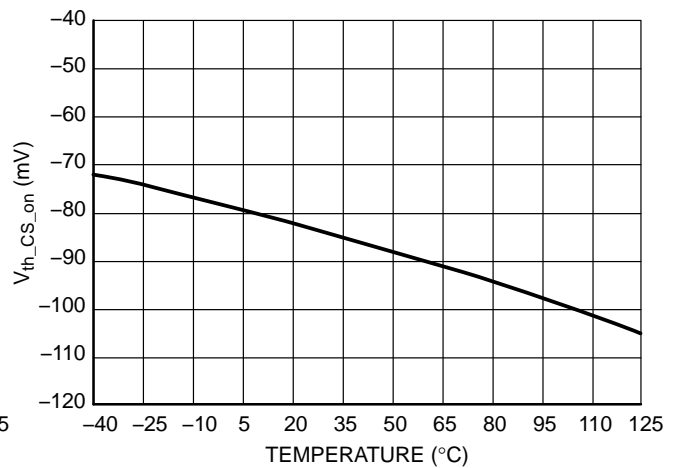


Figure 21. CS Turn-on Threshold

NCP4303A, NCP4303B

TYPICAL CHARACTERISTICS

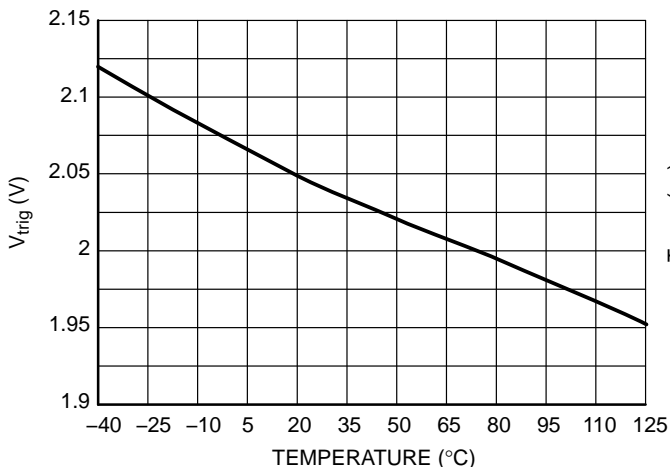


Figure 22. Trigger Input Threshold Voltage

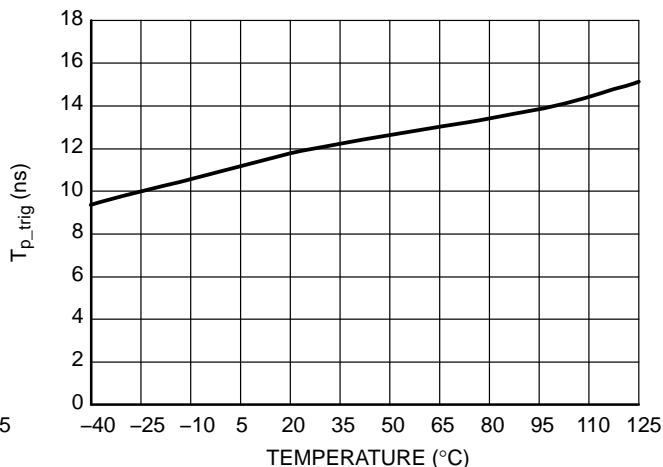


Figure 23. Propagation Delay from Trigger Input to DRV Turn-off

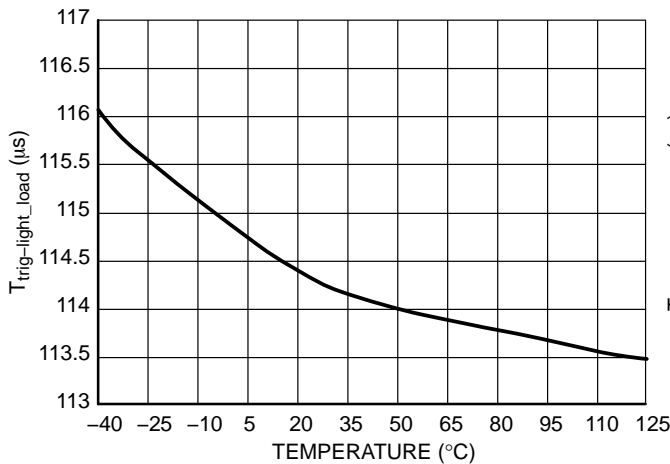


Figure 24. Light Load Transition Timer Duration

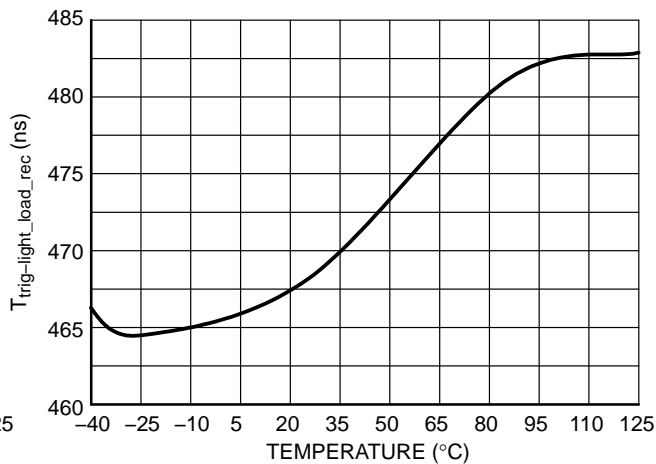


Figure 25. Light Load to Normal Operation Recovery Time

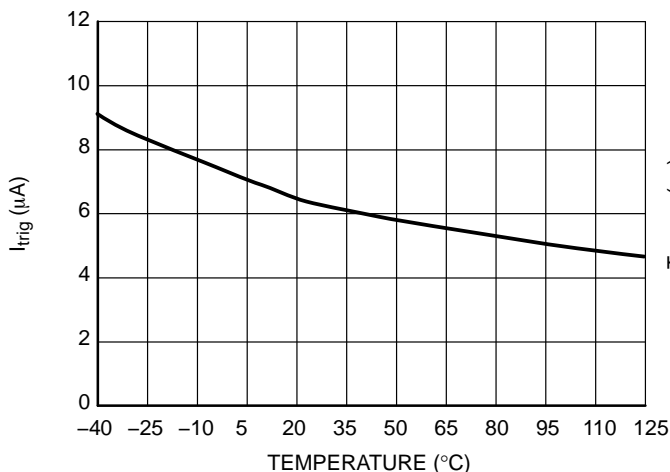


Figure 26. Trigger Input Pulldown Current

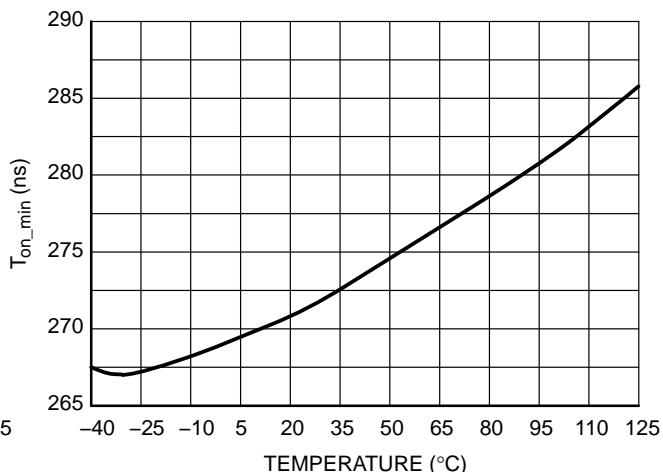


Figure 27. Minimum on Time @ R_{t_on_min} = 0 Ω

NCP4303A, NCP4303B

TYPICAL CHARACTERISTICS

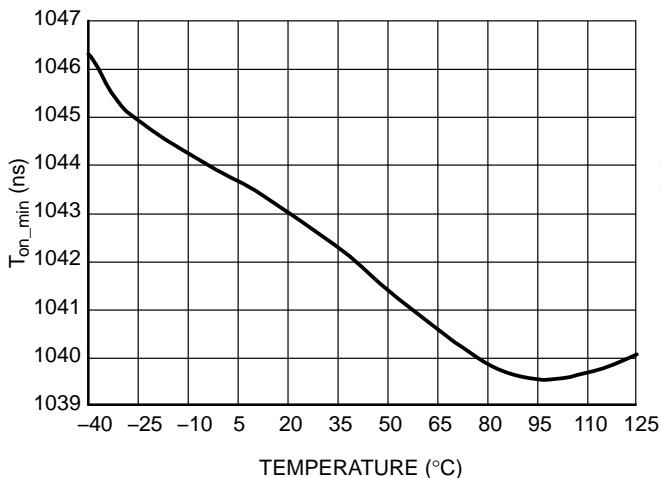


Figure 28. Minimum on Time @ $R_{t_on_min} = 10\text{ k}\Omega$

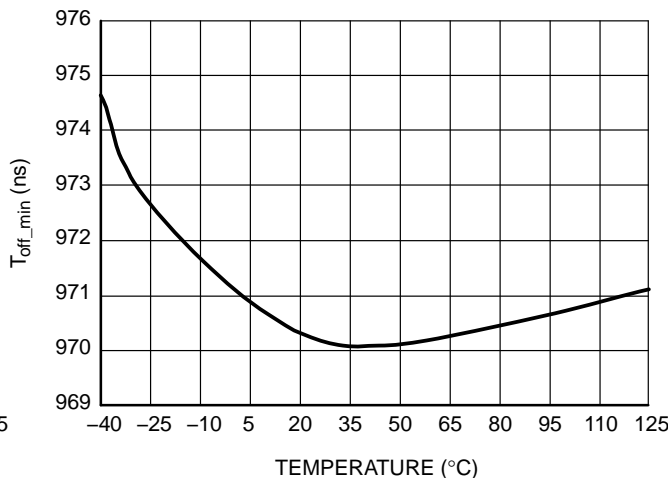


Figure 29. Minimum Off Time @ $R_{t_off_min} = 10\text{ k}\Omega$

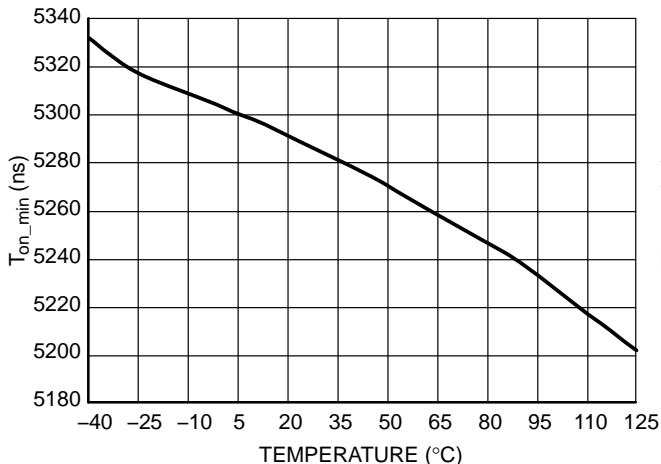


Figure 30. Minimum on Time @ $R_{t_on_min} = 53\text{ k}\Omega$

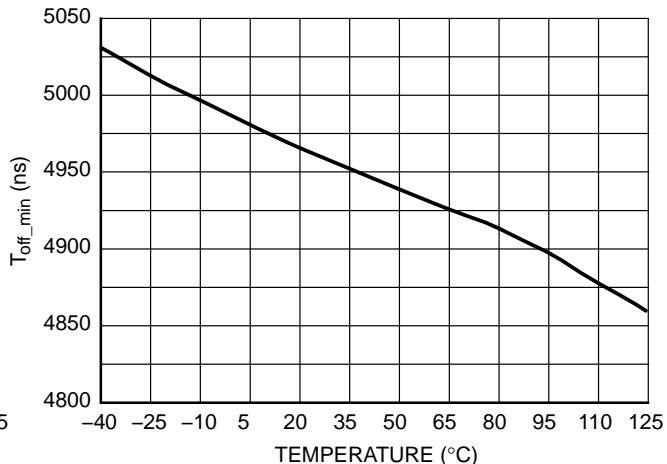


Figure 31. Minimum Off Time @ $R_{t_off_min} = 53\text{ k}\Omega$

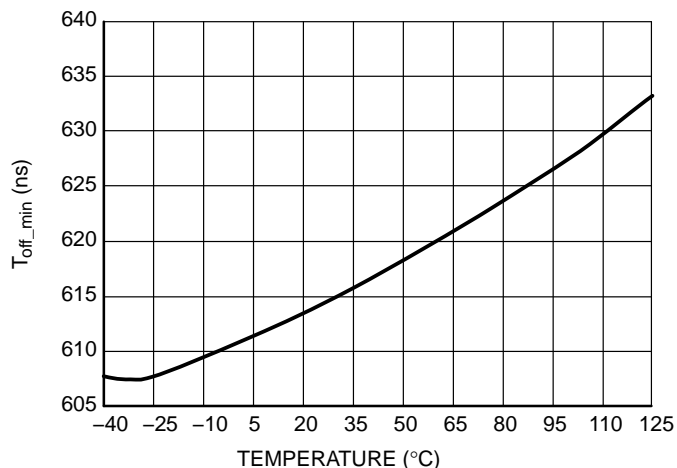


Figure 32. Minimum Off Time @ $R_{t_off_min} = 0\ \Omega$

アプリケーション情報

概要

NCP4303は、スタンドアロンIC、またはスイッチ・モード電源で効率的な同期整流の達成に役立つ1次側コントローラのコンパニオンICとして動作するように設計されています。このコントローラは、同期整流MOSFETに適切なタイミングのドライブ信号を供給するための高速ロジック回路と併せて高電流ゲート・ドライバを備えています。NCP4303は、新しいアーキテクチャを備えており、いかなる動作モードでも同期整流システムの高い効率を維持するのに十分な汎用性を有しています。

NCP4303は、10.4~28 V(標準)の電圧範囲を持つバイアス電圧源で動作します。広いV_{CC}動作範囲により、ノートブックPCやLCD TV用電源アダプタなど、大部分の電源アダプタのSMPS出力電圧への直接接続が可能です。その結果、NCP4303では特別なバイアス電源(例えば、5 V)を必要とする他のデバイスに比べて、回路動作が簡単になります。V_{CC}ピンの高電圧供給能力は、より広範なアプリケーション動作が可能のように設計された独自の特長でもあります。

電流センス・コンパレータの精密ターンオフ・スレッシュホールドと高精度オフセット電流源との組み合わせにより、ユーザは1本の抵抗を使用してSR MOSFETスイッチの所要ターンオフ・スレッシュホールドを調整できます。-10 mVから-5 mVの範囲のターンオフ・スレッシュホールドを供給する他のSRコントローラと比較して、NCP4303は0 mVのターンオフ・スレッシュホールドを供給し、R_{DS(on)}が小さいSR MOSFETとの組み合わせにより、ターンオフ電流スレッシュホールドを大幅に低減して効率を改善します。

ターンオンおよびターンオフ・イベント後の問題を解決するために、NCP4303は調整可能な最小オン時間および最小オフ時間のブランキング時間を提供します。ブランキング時間は、GNDに接続された抵抗を使用して、ICのV_{CC}とは関係なく調整できます。必要に応じて、追加部品を使用してブランキング時間を変更することも可能です。

NCP4303のZCDコンパレータには、ターンオフ遅延時間が非常に短いという特長があります。これによりSRコントローラは、余分な1次側同期回路なしで浅いCCMモードで動作するアプリケーションで使

用できます(Figure 2および60参照)。この回路は優れた効率を示します(Figure 58および59参照)。そのようなアプリケーションの代表例として、V_{bulk}が通常約180 Vより低いときにのみ浅いCCMモードに移行するフライバック型ノートブックPCアダプタが挙げられます。一方、ターンオフ遅延時間は深いCCMモードで動作するアプリケーション(高出力電流フライバックまたはフォワード・コンバータのような)に対しては長すぎる場合があります。SR MOSFETには一般に、大きな逆方向電流スパイクとドレイン電圧リンギングも発生します。これはSR MOSFETが完全にターンオフするのにある程度の時間を必要とするためです。NCP4303では、オプションで超高速ターンオフ・トリガ入力を供給することにより、これらの電流スパイクとドレイン電圧リンギングを抑えることができます。この入力は、1次側からの同期信号を用いてSR MOSFETを早期にターンオフさせるのに使用できます。SR MOSFETはドレイン電圧が逆転する前にターンオフするため、逆方向電流が最小に、効率が最大になります(深いCCMでのフライバック・コンバータ例は、Figure 46を参照)。トリガ入力の使用はオプションであり、深いCCMモードで動作するアプリケーションにのみ推奨されます。さらに、このトリガ入力はICをディセーブルして低消費電力のスタンバイ・モードに移行するのにも使用できます。この機能はSMPSのスタンバイ消費電力を低減するのに使用できます。

最後に、NCP4303はSR MOSFETの寄生インダクタンス効果を自動的に補償するのに使用できる特別な入力(COMP)を備えています。この手法は、利用可能な最大オン時間を達成し、それによって標準パッケージ(TO220やTO247など)のMOSFETを使用するときに効率を最適化します。SR MOSFETがSMTパッケージに封入され、インダクタンスが無視できる場合、この補償入力はGNDピンに接続されます。

ゼロ電流検出と寄生インダクタンスの補償

Figure 33は、電流センス入力のZCD回路の内部接続を示します。同期整流MOSFETは、補償システムの動作を説明するために寄生インダクタンスと共に図示されています。

NCP4303A, NCP4303B

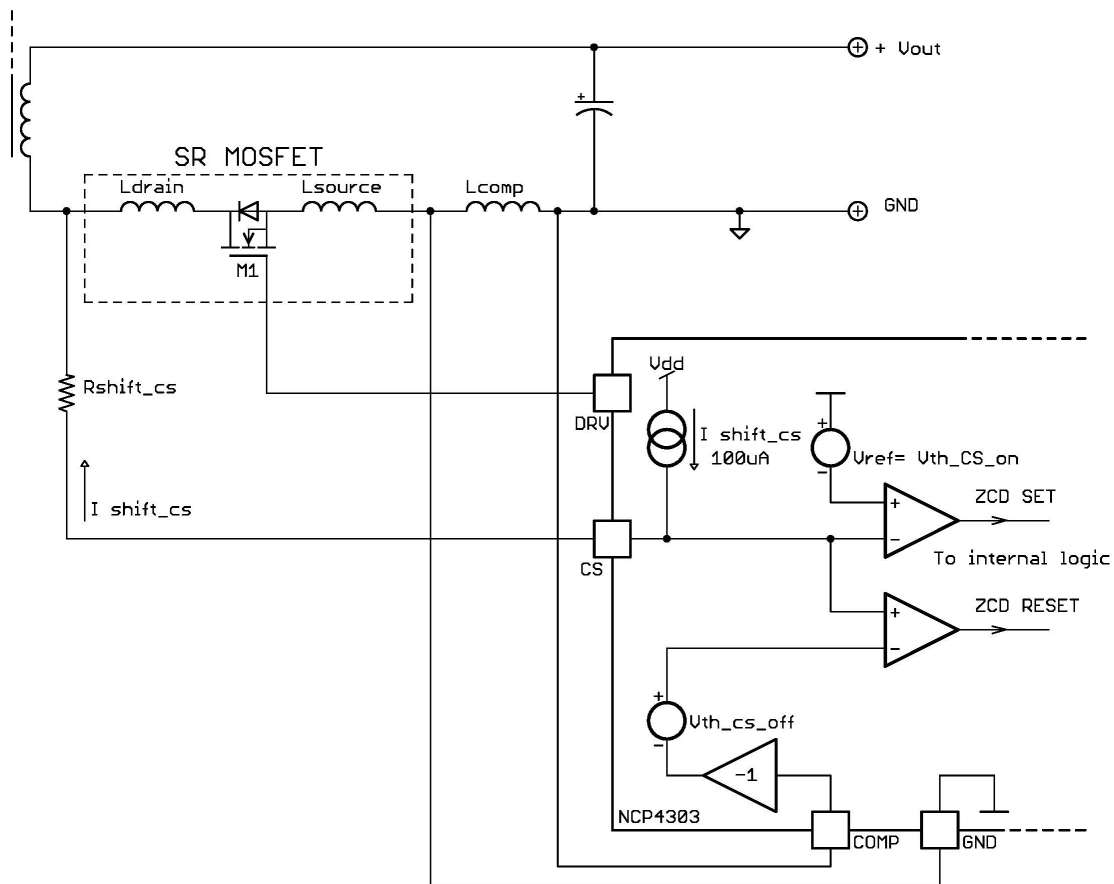


Figure 33. ZCD Sensing Circuitry Functionality

SMPSの2次側巻線上の電圧が逆転すると、ボディ・ダイオードM1が電流を流し始め、M1のドレイン電圧は約-1 Vまで低下します。CSピンは100 μ Aの電流を流出して、抵抗 $R_{\text{shift_cs}}$ に電圧降下を発生させます。CSピンの電圧が $V_{\text{th_cs_on}}$ スレッシュホールドを下回ると、M1がターンオンします。寄生インピーダンスのために、アプリケーションで大きなリングングが発生することがあります。このリングングによる突如のターンオフを避けるために、SR MOSFETの最小導通時間が設定されます。最小導通時間は、抵抗 $R_{\text{Min_Ton}}$ を使用して調整できます。

SR MOSFETは、CSピンの電圧が $V_{\text{th_cs_off}}$ を超えるとすぐにターンオフされます。同じリングングの理由により、ターンオフが検出されると最小オフ時間タイマがアサートされます。最小オフ時間は、抵抗 $R_{\text{Min_Toff}}$ を使用して外部で調整できます。MOSFET M1のチャネルは、2次側電流が減少すると導通するため、ターンオフ時間は $R_{\text{DS(on)}}$ に依存します。0 mVのスレッシュホールドは、ゲート・ターンオフに対して十分な時間余裕を維持しながら最適なスイッチング時間利用率を提供します。設計者は、抵抗 $R_{\text{shift_cs}}$ を用いて実際のターンオフ電流スレッシュホールドを変更(増加)することができます。

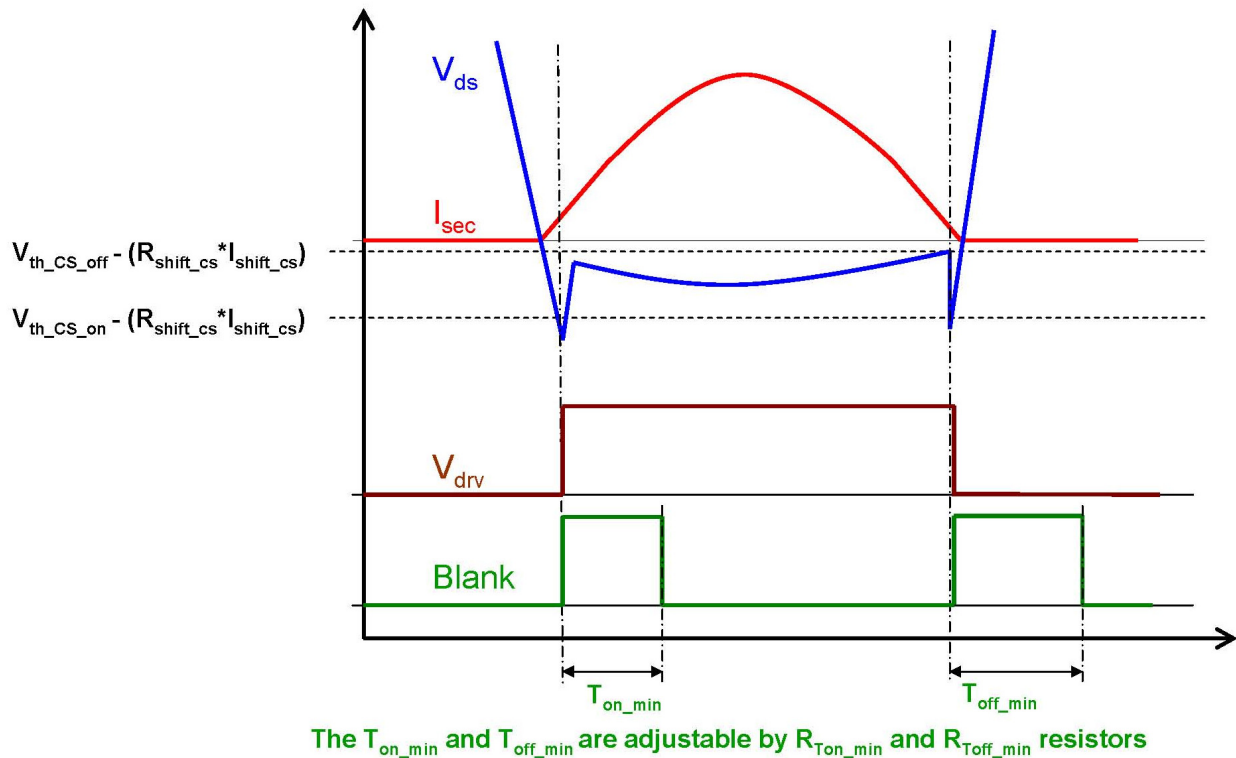


Figure 34. ZCD Comparators Thresholds and Blanking Periods Timing

抵抗 R_{shift_cs} を使用する場合、ターンオンおよびターンオフ・スレッシュホールドはCS入力仕様によって完全に決定されます(パラメータ表を参照)。ゼロ以外の抵抗 R_{shift_cs} を使用すると、CSピンのオフセット電流が以下の値に等しい電圧降下を発生するため、両方のスレッシュホールドが降下します(つまり、MOSFETのターンオフ電流が高くなる)。

$$V_{Rshift_cs} = R_{shift_cs} * I_{shift_cs} \quad (\text{eq. 1})$$

最終的なターンオンおよびターンオフ・スレッシュホールドは、次式で計算できます。

$$V_{CS_turn_on} = V_{th_CS_on} - (R_{shift_cs} * I_{shift_cs}) \quad (\text{eq. 2})$$

$$V_{CS_turn_off} = V_{th_CS_off} - (R_{shift_cs} * I_{shift_cs}) \quad (\text{eq. 3})$$

R_{shift_cs} がターンオン・スレッシュホールドに与える影響は、ターンオフ・スレッシュホールドよりも小さいことに注意してください。

TO220パッケージ(またはリードがある他のパッケージ)に封入されたSR MOSFETを使用する場合、パッケージ・リードの寄生インダクタンスによってターンオフ電流スレッシュホールドが上昇します。これはSR MOSFETを流れる電流の $di(t)/dt$ 値が大きくなり、SR MOSFETのリード・インダクタンスに誤差電圧を発生させるためです。この誤差電圧は2次側電流の微分係数に比例し、チャンネルにまだ大きな電流が流れている場合にCSピンの入力電圧をゼロ方向にシフトさせます。したがって、SR MOSFETチャンネルを通じてまだ電流が流れているときは、ゼロ電流スレッシュホールドが検出されます。理解を深めるためにFigure 35を参照してください。その結果、SR MOSFETが早期にターンオフされ、SMPSの効率は最適化されません。

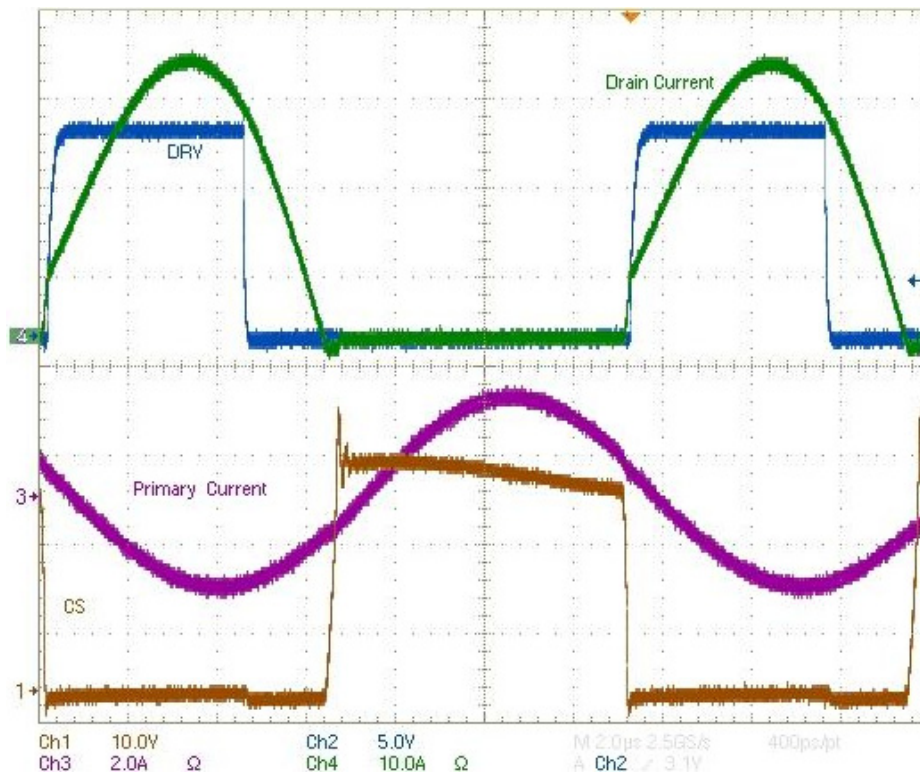


Figure 35. Waveforms from SR System Using MOSFET in TO220 Package without Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time is Reduced

寄生インダクタンスで発生した誤差電圧の効率への影響は、 $R_{DS(on)}$ が小さいMOSFETほど、また動作周波数が高くなるほど大きくなることに注意してください。

NCP4303はMOSFETの寄生インダクタンスの影響を補償する手段を提供します(Figure 36を参照)。

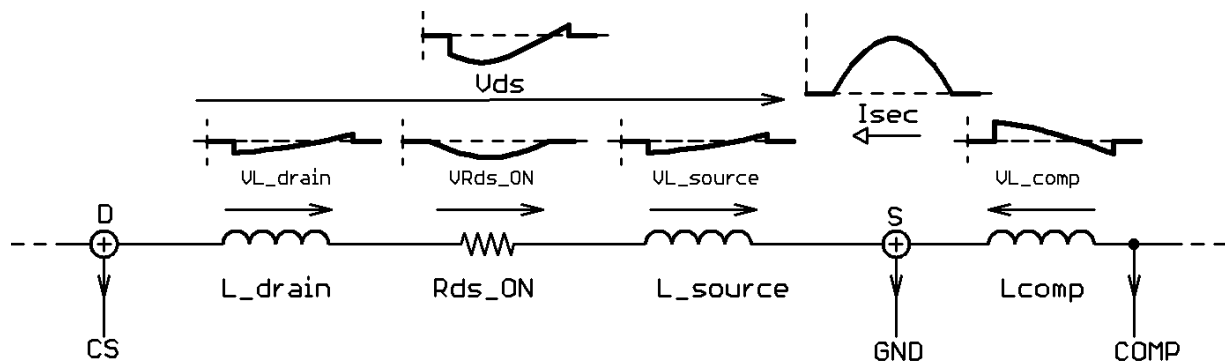


Figure 36. Package Parasitic Inductances Compensation Principle

補償専用入力(COMP)には、外付け補償用インダクタンス(ワイヤ・ストラップまたはPCB)を接続できます。この補償用インダクタンスの値が $L_{comp} = L_{drain} + L_{source}$ の場合、このインダクタンスに生成される補償電圧はドレインおよびソースの寄生インダクタンス上に生成される誤差電圧の合計、すなわち $V_{L_{drain}} + V_{L_{source}}$ に等しくなります。内部アナログ・インバータ(Figure 33)が補償電圧 $V_{L_{comp}}$ の極性を反転して、電流センス・コンパレータのターンオフ・

スレッシュホールドをオフセットします。したがって、電流センス・コンパレータは端子間で、リード・インダクタンスが存在しない場合にSR MOSFETのチャネル抵抗に現れる電圧を受け取るようになります。これにより、NCP4303の電流センス・コンパレータは2次側電流のゼロ・クロス点を非常に精密に検出できます。さらに、2次側電流のターンオフ・スレッシュホールドは $di(t)/t$ 値に依存するため、NCP4303はSRシステムの動作周波数を高くすることもできます。

補償インダクタンスの寄生抵抗は、SR MOSFETチャネルおよびリードの抵抗と比較して可能な限り小さくしなければならず、そうしないと補償効率が悪くなることに注意してください。TO220パッケージの場合、補償インダクタンスの標準値は7 nHです。寄生インダクタンスは、組立工程でリード線をどれだけ短くできるかで変化します。補償インダクタンスの

設計は、システムがパッケージングや組立工程のバラツキによって過剰補償となる状況に対応できるように、十分余裕をもって行う必要があります。補償されたSRシステムを有するアプリケーションの波形をFigure 37に示します。導通時間が大幅に延長され、ターンオフ電流が減少していることが分かります。

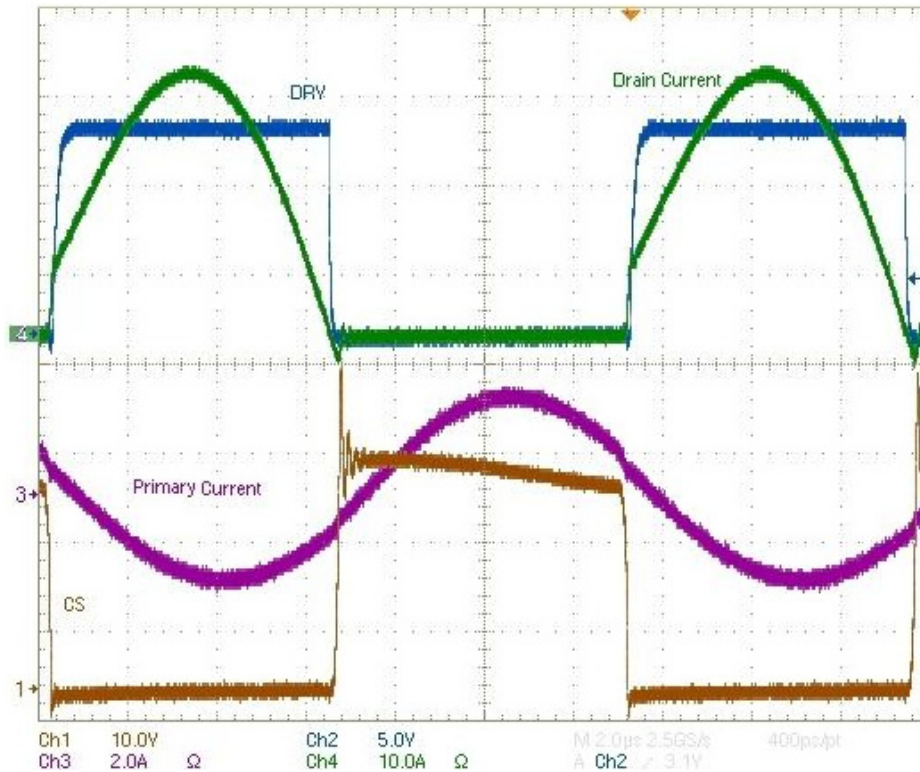


Figure 37. Waveforms from SR System Using MOSFET in TO220 Package with Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time Optimized

補償システムの使用は、SMT以外のパッケージに封入された低 $R_{DS(on)}$ のMOSFETを使用するアプリケーションでのみ有効であることに注意してください。補償方法を使用すると、標準TO220パッケージでの効率を最適化でき、コストを低減できます。SMTタイプのMOSFETの場合は、一般にハンダ・リフロー・プロセスや高価なPCBが必要です。

上記の説明とパラメータの表から、ターンオフ・スレッシュホールドの精度がきわめて重要であることが明らかです。1 m Ω の $R_{DS(on)}$ を持つSR MOSFETを想定した場合、CSピンで1 mVの誤差電圧は1 Aのターンオフ電流スレッシュホールドの差異を生じます。したがって、SRシステムを実装するときは、PCBのレイアウトが非常に重要になります。CSのターンオフ・コンパレータと補償入力にGNDピンを基準としていることに注意してください。寄生インピーダンス(抵抗性または誘導性、上記のm Ω およびnH値参照)は、大きな誤差電圧を生じることがあり、この電圧はCS

コンパレータによって評価されます。理想的には、CSターンオフ・コンパレータは、2次側電流によってSR MOSFETのチャネル抵抗に直接誘起される電圧を検出する必要があります。しかし、実際にはボンディング・ワイヤ、リード、ハンダなどのため不可能です。最善の効率結果を得るには、SrコントローラをKelvin接続で電源回路に接続することが必要です(例えば、GNDピンはSR MOSFETのソースのハンダ付け点、電流センス・ピンはSR MOSFETのドレインのハンダ付け点に接続)。SRコントローラ機能に対するPCBの寄生素子の影響を回避する必要があります。Figure 38および39はそれぞれ寄生インダクタンス補償を使用したSRシステムのレイアウト例(TO220パッケージ内の低 $R_{DS(on)}$ MOSFETの場合)、および補償を使用しないSRシステムのレイアウト例(TO220パッケージ内の大きな $R_{DS(on)}$ を持つMOSFET、またはSMTパッケージのMOSFETの場合)を示します。

NCP4303A, NCP4303B

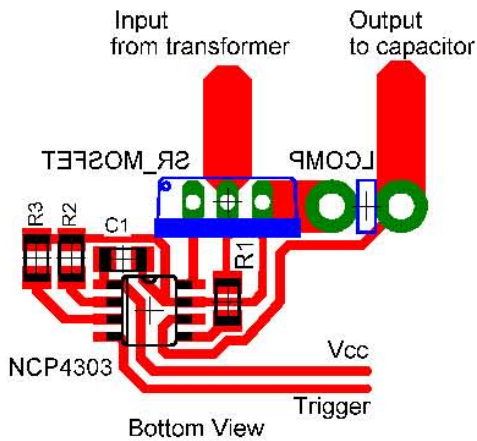


Figure 38. Recommended Layout for SO8 Package When Parasitic Inductance Compensation is Used

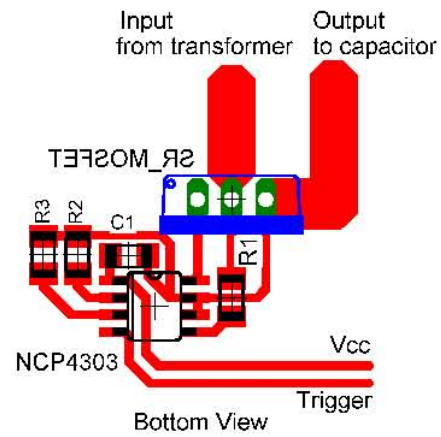


Figure 39. Recommended Layout for SO8 Package When Parasitic Inductance Compensation is Not Used

Trigger/Disable入力

NCP4303は、SR MOSFETの起動からターンオフまでの遅延時間が標準12 nsという超高速トリガ入力を備えています。この入力は、1次側から入ってくる信号を通じて深いCCMモードで動作するアプリケーションにおいて、SR MOSFETをターンオフする能力を備えています。そのため、効率とSR性能をさらに最適化できます(12ページのアプリケーション情報も参照)。1次側トリガ信号の立ち上がりエッジが、2次側電圧の極性が反転する前にトリガ入力に到達しなければなりません。したがって、1次スイッチのドライバ信号を遅延させる必要があります(CCMフライバック・トポロジでの1次側ドライブ信号の遅延

方法の一例は、Figure 46を参照)。トリガ信号は、最小オフ時間の終わりから最小オン時間の終わりまでディセーブルされます。この手法は、以下に使用されます。

- a) 同期パルスの幅が広すぎて1スイッチング期間あたり2回入ってくる場合(HbおよびHB LLCアプリケーション)、ゲート・ドライバの偽ターンオフを回避する。
- b) ターンオン・プロセス中にSMPSレイアウト内で発生する寄生リングングに対するトリガ入力ノイズ耐性を高める。

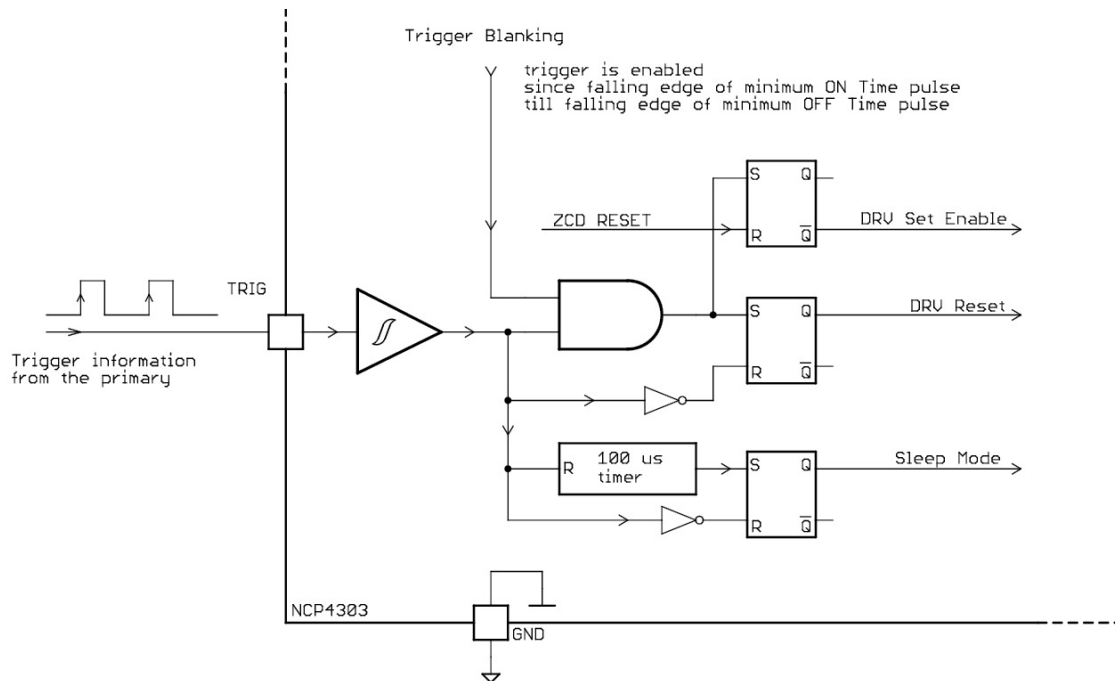


Figure 40. Trigger Input Internal Connection

NCP4303A, NCP4303B

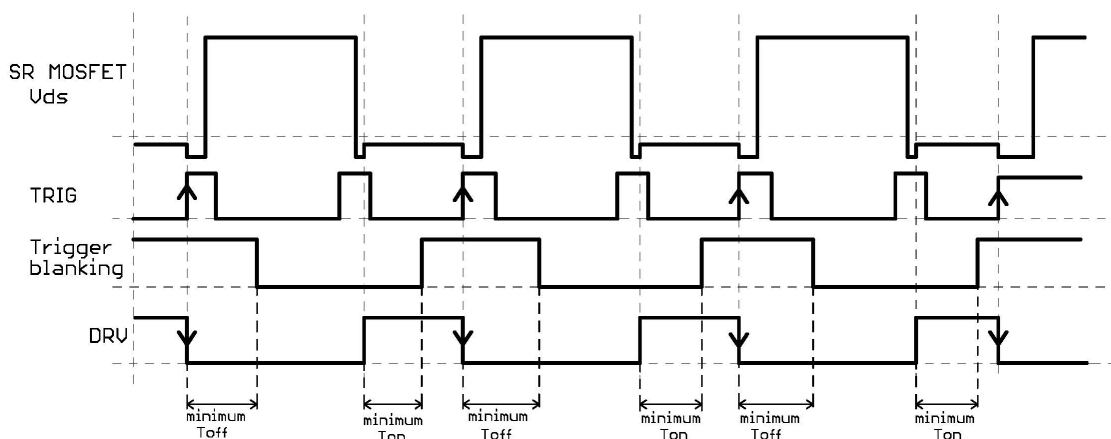


Figure 41. Trigger Input Functionality Waveforms

NCP4303の動作はTrigger/Disable入力を使用してディセーブルすることができます。Trigger/Disable入力がプルアップされると(1.5 V以上に)、ドライバはすぐにディセーブルされます。場合によっては、トリガ信号がまだブランクされているためドライバが電流センスによってもう一度起動されます。この最終ドライブ・パルスは最小オン時間の期間だけ続きます。トリガ信号が100 μ s以上ハイの場合、ドライバはスタンバイ・モードに移行します。遷移前のCS入力上でスイッチングがなかった場合、スリープ・モードへの移行中にDRVピンに、短いパルス(最大2 μ s)が現れる可能性があることに注意してください (Figure 44参照)。この振舞いは内部ICロジック構造

に関連し、アプリケーションによってはSR MOSFETの不要な起動を引き起こすことがあります。このような場合は、V_{CC}ピンを通じてNCP4303のドライバをディセーブルすることを推奨します。ICの消費電流は、スタンバイ・モード中は390 μ Aに減少します。トリガ入力電圧が再び低下すると、デバイスは500 ns以内に動作を回復します。電流センス入力電圧が負の期間中にこのICがイネーブルされる(2次側電流がショットキ・ダイオードまたはボディ・ダイオードを通じて流れる)場合、I_cはSR MOSFETをターンオンする別のスイッチング・サイクルを待ちます (Figure 42、43、44、および45参照)。

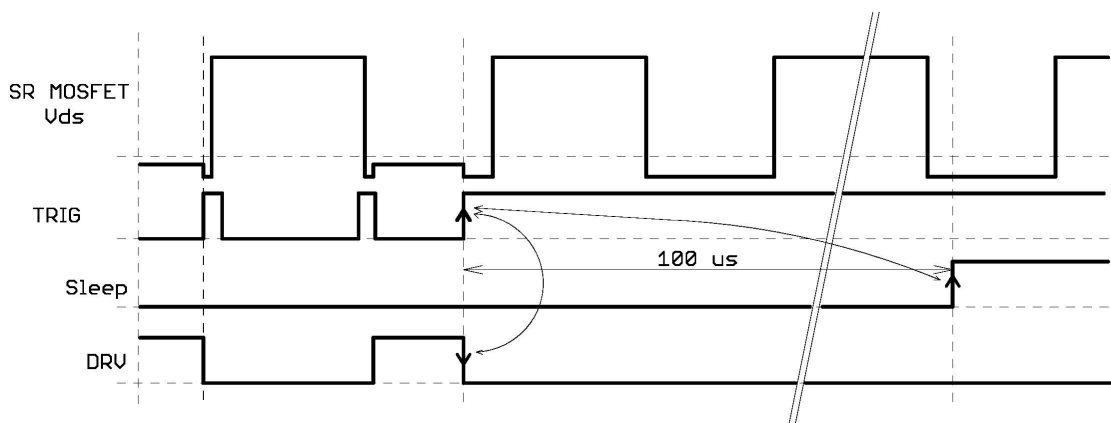


Figure 42. Operating Waveforms for the Trig/Disable Input – Device Sleep Mode Transition – Case 1

NCP4303A, NCP4303B

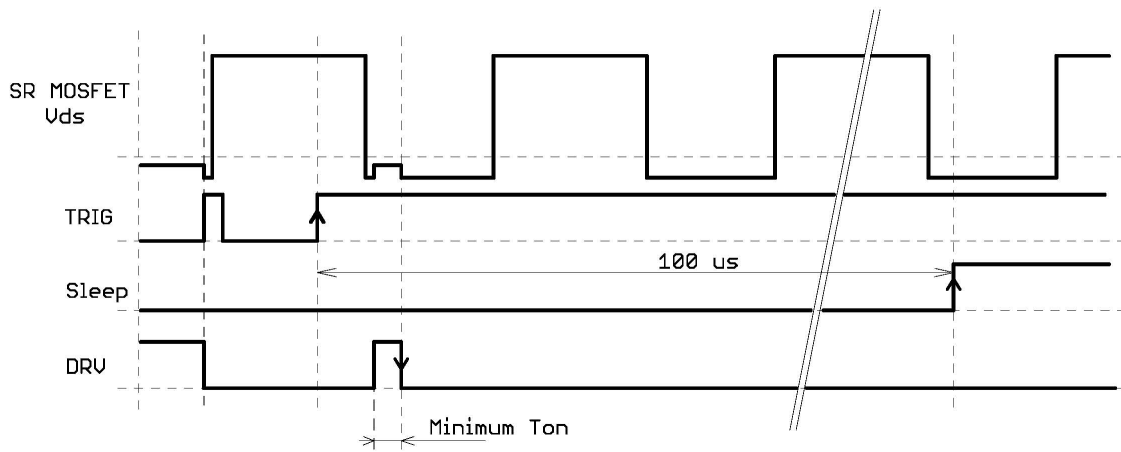


Figure 43. Operating Waveforms for the Trig/Disable Input – Device Sleep Mode Transition – Case 2

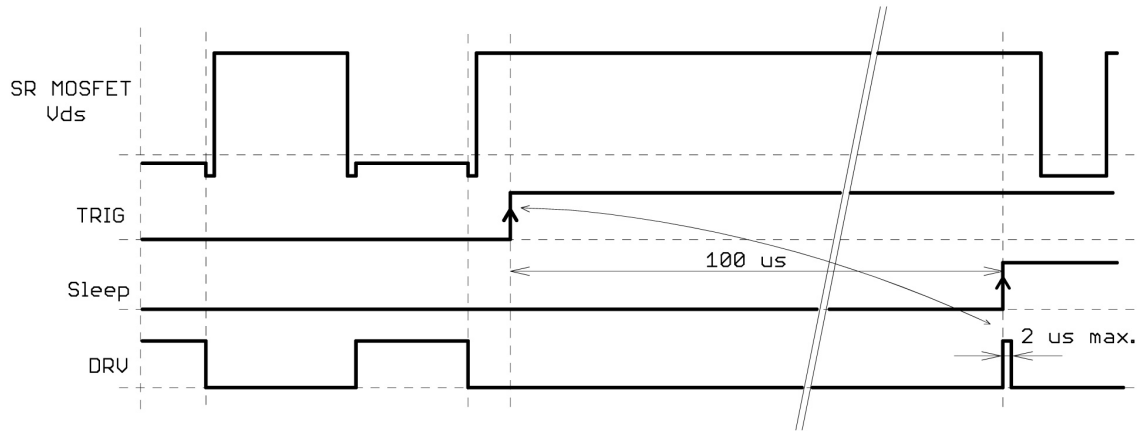


Figure 44. Operating Waveforms for the Trig/Disable Input – Device Sleep Mode Transition – Case 3

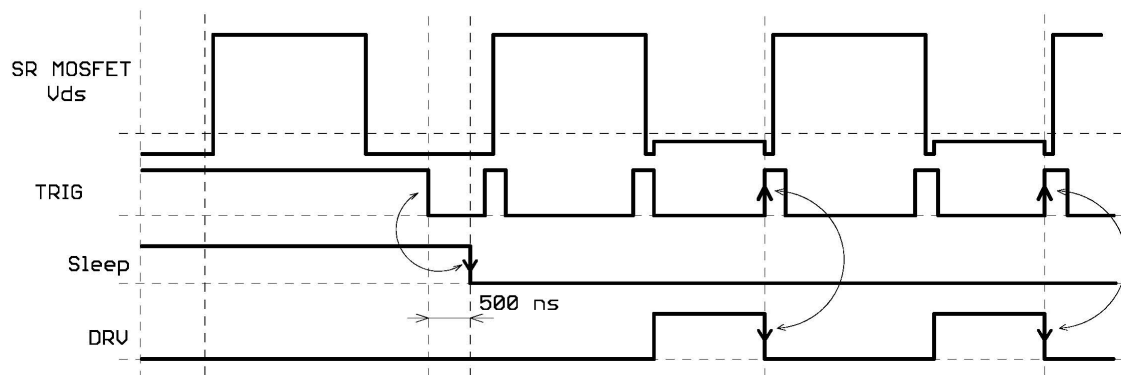


Figure 45. Operating Waveforms for the Trig/Disable Input –Wake-up from Sleep Mode

トリガ信号が周期的に到着し、トリガ・パルスが SR MOSFET の正ドレイン電圧に重なる場合(つまり、SR MOSFET ボディ・ダイオードのオフ時間全体に重

なる場合)、ドライバは次のサイクルはディセーブルされます(Figure 46を参照)。

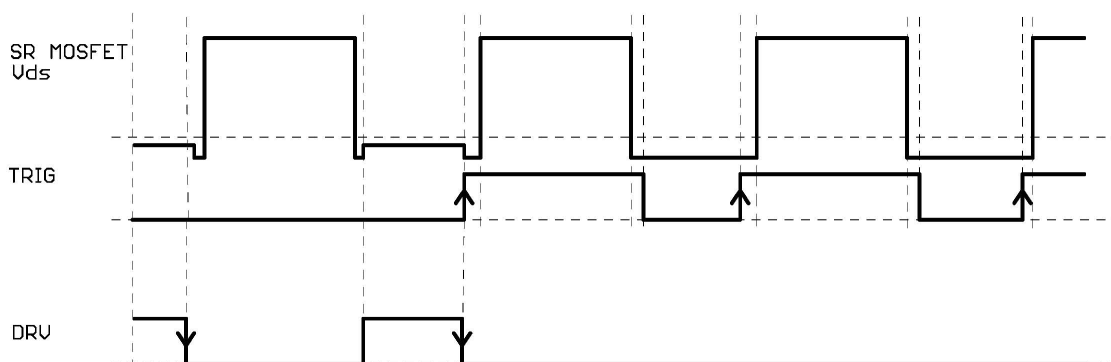


Figure 46. Operating Waveforms for the Trig/Disable Input with a Trigger Signal that is Periodical and Overlaps CS (SR MOSFET Vds) High Level

なお、トリガ入力は、内部フィルタリングを持たず非常に狭い電圧パルスにも反応する超高速入力です。したがって、この入力を低インピーダンス・パスに維持し、クリーンなトリガ信号を供給することが重要です。

深いCCMモードで動作するフライバック・コンバータの代表的アプリケーション構成をFigure 47に示します。このアプリケーションでは、トリガ信号はフライバック・コントローラ・ドライバから直接取り込まれ、パルス・トランスTR2によって2次側に伝達されます。トリガ入力は立ち上がりエッジ・センシティブなので、1次側ドライバ・パルス全体を2次側に伝達する必要はありません。パルス・トランス・コアのリセットを可能にするため、またNCP4303のトリガ入力に針状パルス(パルス幅が100 ns以下のパルス)が伝達されるように、カップリング・コンデンサC5が使用されています。針状トリガ・パルスを使用する利点は、パルス・トランスの所要電圧・秒積が非常に小さいため、設計者がきわめて小型で安

価な磁石を選択できることです。トリガ・トランスは、例えば、直径が8 mmの小さなドーナツ状フェライト・コアで作成できます。1次側と2次側の適切かつ安全な絶縁は、一方または両方の巻線に3重絶縁線を使用することによって容易に確保できます。

1次側MOSFETのゲート電圧の立ち上がりエッジは、トランジスタQ1、Q2および周辺素子から成る外部回路によって遅延します。したがって、1次側MOSFETがわずかな遅れでターンオンするため、2次側コントローラは1次側スイッチング前のトリガ信号でSR MOSFETをターンオフします。この方法によって、通信損失とSR MOSFETドレイン電圧スパイクが減少し、効率が向上します。

トリガ信号を送信するために、1次側と2次側間の容量性結合を使用することもできます(安全な絶縁耐性を持つ追加コンデンサを使用)。この手法は、1次側と2次側間の寄生容量を流れる電流がトリガ信号に影響を与え、それがシステム全体の機能にも影響するため、推奨されません。

NCP4303A, NCP4303B

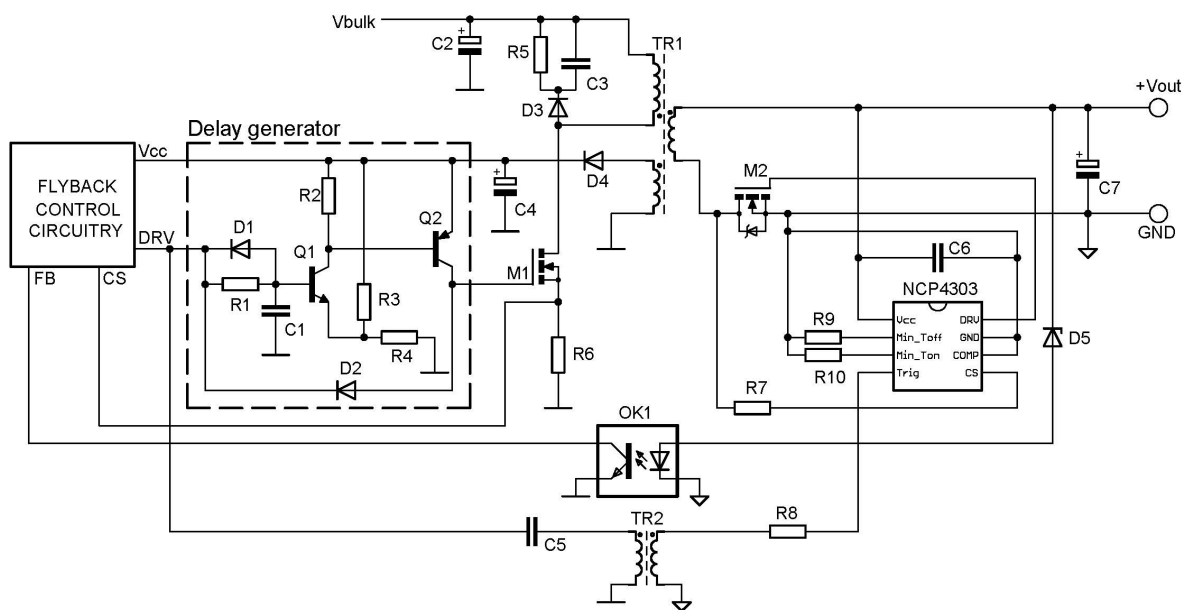


Figure 47. Optional Application Schematic When NCP4303 is Used in CCM Flyback Converter and Trigger Input is Implemented to Maximize Efficiency

最小 T_{on} および最小 T_{off} の調整

NCP4303は、電源への同期整流システムの実装を容易にする調整可能な最小オン時間および最小オフ時間を提供します。これらのタイマは、MOSFETがターンオンまたはターンオフした後、CS入力での偽

トリガの発生を回避します。調整は内部タイミング・コンデンサとGNDピンに接続された外付け抵抗で行うことができます(理解を深めるために、Figure 48を参照)。

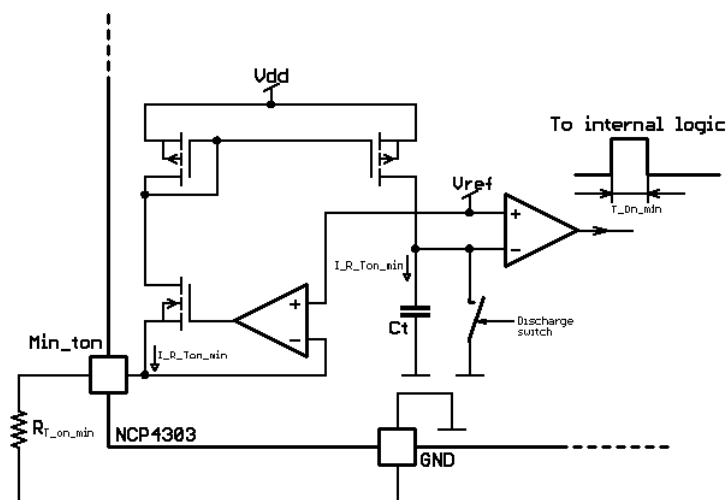


Figure 48. Internal Connection of the Min_Ton Generator (the Min_Toff Works in the Same Way)

Min_Ton調整抵抗を流れる電流は、次式で計算されます。

$$I_{R_Ton_min} = \frac{V_{ref}}{R_{Ton_min}} \quad (\text{eq. 4})$$

同じ電流が内部タイミング・コンデンサ(C_t)の充電に使用されるため、この式を使用して最小オン時間を計算することができます。

$$T_{on_min} = C_t \cdot \frac{V_{ref}}{I_{R_Ton_min}} = C_t \cdot \frac{V_{ref}}{\frac{V_{ref}}{R_{Ton_min}}} \quad (\text{eq. 5})$$

$$= C_t \cdot R_{Ton_min}$$

式5から分かるように、最小オン時間と最小オフ時間は V_{ref} や V_{CC} のレベルとは無関係です。電流

NCP4303A, NCP4303B

$I_{R_Ton_min}$ を直接使用した場合、内部コンデンサのサイズが大きくなり過ぎるため、この電流は内部カレント・ミラー比によって減少します。最小 T_{on} および T_{off} ブランキング期間は、次式を使用して計算できません。

$$T_{on_min} = 9.82 \cdot 10^{-11} \cdot R_{T_on_min} + 4.66 \cdot 10^{-8} \text{ [}\mu\text{s]} \quad (\text{eq. 6})$$

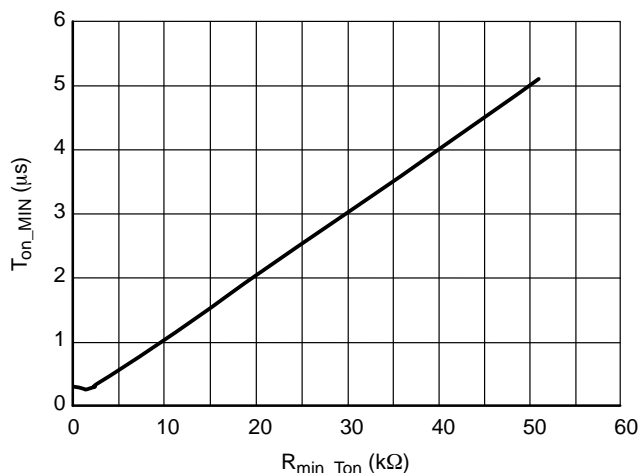


Figure 49. Min T_{on} Adjust Characteristic

$$T_{off_min} = 9.56 \cdot 10^{-11} \cdot R_{T_off_min} + 5.397 \cdot 10^{-8} \text{ [}\mu\text{s]} \quad (\text{eq. 7})$$

T_{on}/T_{off} 時間が可能な最小値付近に選択された場合、内部タイミング・コンパレータの遅延が式6および7の精度に影響することに注意してください。Figure 49および50の測定最小オンおよびオフ時間チャートを参照してください。

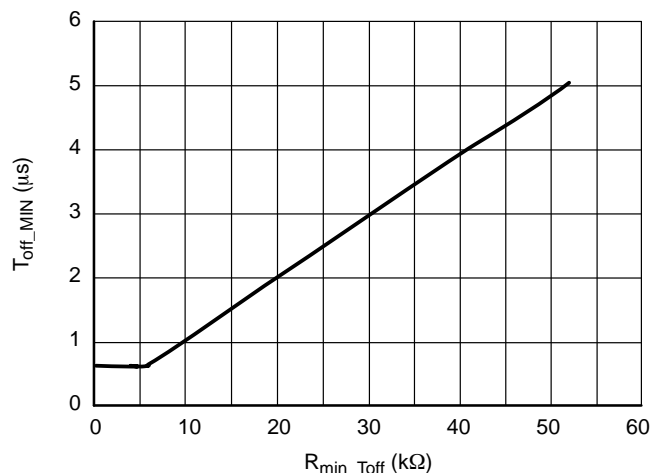


Figure 50. Min T_{off} Adjust Characteristic

Min_ T_{on} および/またはMin_ T_{off} 入力がGNDに短絡されて発生する可能性がある問題を防止するために、絶対最小 T_{on} 時間は内部で300 nsにクランプされ、最小 T_{off} 時間は600 nsにクランプされます。

アプリケーションによっては、適応可能な最小オンまたはオフ時間ブランキング期間が要求されま

す。NCP4303の場合、外部NPNトランジスタを使用してブランキング期間を調節できます(Figure 51を参照)。変調信号は、負荷電流または帰還レギュレータ電圧に基づいて生成できます。

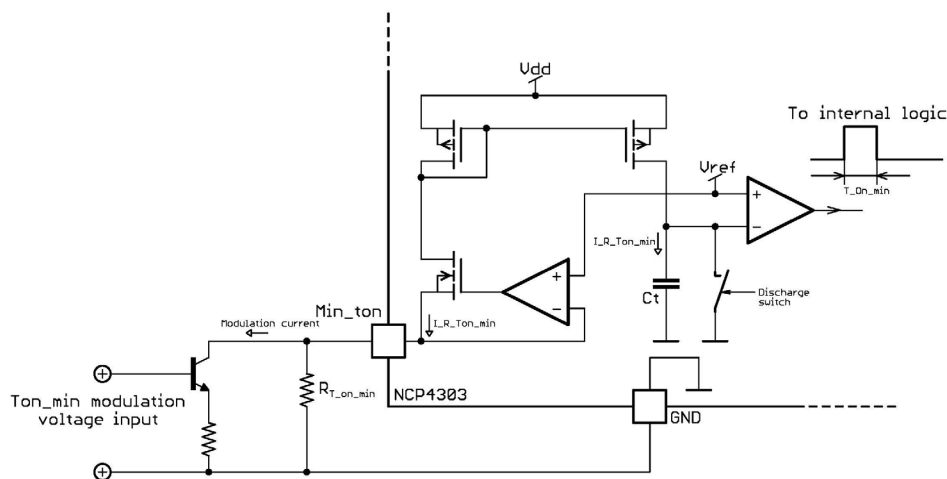


Figure 51. Possible Connection for Min T_{on} and T_{off} Modulation

非常に広い動作周波数範囲を持つLLCアプリケーションで、要求される最大動作周波数を達成するためには、最小オン時間と最小オフ時間をできるだけ短くすることが必要です。ただし、LLCコンバータが低周波で動作しているときは、最小オフ時間は短かすぎる場合があります。低ライン電圧および軽

負荷条件で動作中のLLCで生じる可能性がある問題を解消するには、最小オフ時間ブランキング期間を、抵抗 R_{drain1} および反対側のMOSFETのドレインから接続された抵抗 R_{drain2} を使用して延長することができます(Figure 52を参照)。

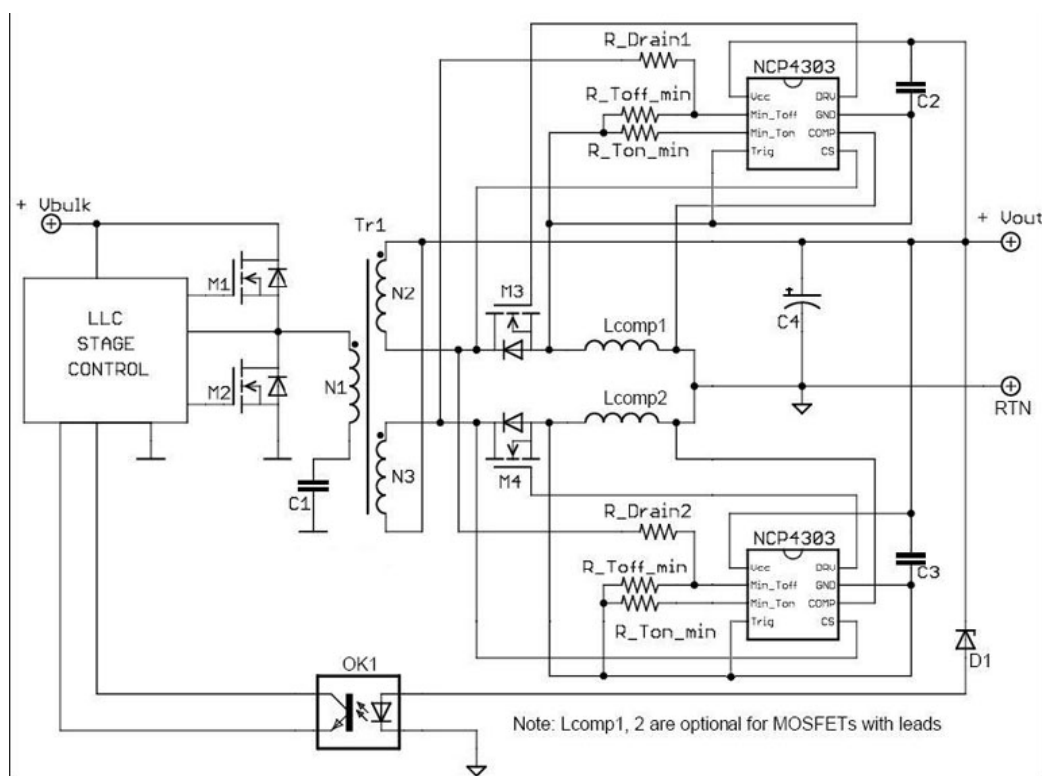


Figure 52. Possible Connection for Min Toff Prolongation in LLC Applications with Wide Operating Frequency Range

なお、 R_{drain1} と R_{drain2} は、 Min_Toff 調整ピンに流れ込む最大パルス電流が10 mA以下になるように設定する必要があります。 Min_Toff および Min_Ton ピンの電圧は内部の保護用ツェナー・ダイオードで10 Vにクランプされます。

電力消費の計算

SRシステムのMOSFETドライバでの電力消費を検討することが重要です。外部ゲート抵抗がなく、MOSFETの内部ゲート抵抗が非常に小さい場合、ゲート電荷に関連するほぼすべてのエネルギーはドライバで消費されます。したがって、過熱を避け、効率を最適化するために、目的のアプリケーションにおけるSRドライバの電力損失をチェックすることが必要です。

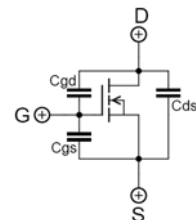
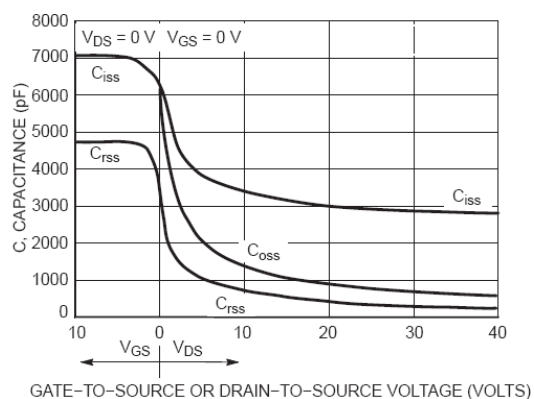
SRシステムでは、スレッシュホールド・レベル $V_{\text{th_cs_on}}$ が0 V以下のため、ターンオン前にSR MOSFETのボ

ディ・ダイオードが導通し始めます。一方、SR MOSFETのターンオフ・プロセスは、常にドレイン・ソース間電圧が十分立ち上がる前に始まります。したがって、同期整流システムに組み込まれたMOSFETスイッチは、常にゼロ電圧スイッチング(ZVS)条件下で動作します。

以下のステップは、NCP4303A/Bのコントローラの電力消費とダイ温度を概算する方法を示します。なお、実際の結果はPCBレイアウトが熱抵抗に与える影響によって変動することがあります。

ステップ1 - MOSFETのゲート・ソース間容量：

ZVS動作中は、ゲート・ドレイン間容量は、ドレイン・ソース間電圧がゼロに近く、その変化は無視できるため、ハード・スイッチング・システムでのようなミラー効果は持ちません。



$$C_{iss} = C_{gs} + C_{gd}$$

$$C_{rss} = C_{gd}$$

$$C_{oss} = C_{ds} + C_{gd}$$

Figure 53. Typical MOSFET Capacitances Dependency on V_{ds} and V_{gs} Voltages

したがって、ZVSモード動作しているMOSFETの入力容量はゲート・ソース間およびゲート・ドレイン間容量の並列容量(すなわち、与えられたゲート・ソース間電圧に対する C_{iss} 容量)で与えられます。市販されている大部分のMOSFETの総ゲート電荷 Q_{g_total} はハード・スイッチング条件に対して定義されています。SRシステムにおけるドライブング損失を正確に計算するには、特にZVSシステムでの動作に対するMOSFETのゲート電荷量を決定することが必要です。メーカーによっては、このパラメータを Q_{g_zvs} として定義しています。残念ながら、ほとんどのデータシートではこのデータが記載されていません。 C_{iss} (または Q_{g_zvs})パラメータが入手できない場合は、測定する必要があります。入力容量は直線ではないため(Figure 53を参照)、与えられたゲート電圧クランプ・レベルに対して評価する必要があることに注意してください。

ステップ 2- ゲート・ドライブ損失の計算

ゲート・ドライブ損失は、ゲート・ドライバ・クランプ電圧によって影響されます。ゲート・ドライバ・クランプ電圧の選択は、使用されるMOSFETのタイプ(スレッシュホールド電圧対チャネル抵抗の関係)によって決まります。ゲート・ドライバ・クランプ電圧を選択するときは、総電力損失(ドライブ損失と伝導損失)を考慮する必要があります。今日のSRシステム向けMOSFETの大部分は、5 Vの V_{gs} 電圧に対して低い $R_{DS(on)}$ を持っているため、NCP4303Bの使

用が適しています。しかし、市場には依然として高いゲート・ソース間電圧を要求する大きなMOSFETグループがあり、この場合はNCP4303Aを使用する必要があります。

総ドライブング損失は、選択したゲート・ドライバ・クランプ電圧とMOSFETの入力容量を使用して計算できます。

$$P_{DRV_total} = V_{CC} \cdot V_{clamp} \cdot C_{g_ZVS} \cdot f_{sw} \quad (\text{eq. 8})$$

ここで、

V_{cc} はNCP4303xの電源電圧、

V_{clamp} はドライバ・クランプ電圧、

C_{g_ZVS} はZVSモードでのMOSFETのゲート・ソース間容量、

f_{sw} は、対象アプリケーションのスイッチング周波数です。

総ドライブング電力損失はIC内でのみ消費されるとは限らず、外部ゲート抵抗(使用されている場合)やMOSFETの内部ゲート抵抗などの外部抵抗でも消費されます(Figure 54参照)。NCP4303A/Bはクランプされたドライバを備えているため、ハイサイド部分は等価抵抗と直列電圧源を持つ通常のドライバ・スイッチとしてモデル化できます。ローサイド・ドライバ・スイッチ抵抗はターンオフ時にすぐに減少しないため、計算には等価的な値($R_{drv_low_eq}$)を使用する必要があります。この方法では電力損失の計算が簡単になりますが、許容可能な精度を提供します。内部ドライバの電力消費は、式9で計算できます。

NCP4303A, NCP4303B

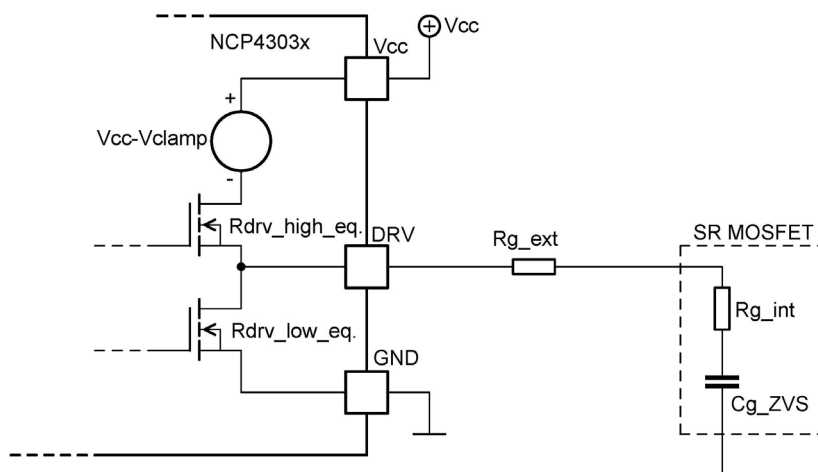


Figure 54. Equivalent Schematic of Gate Drive Circuitry

$$P_{\text{DRV_IC}} = \frac{1}{2} \cdot C_{\text{g_ZVS}} \cdot V_{\text{clamp}}^2 \cdot f_{\text{SW}} \cdot \left(\frac{R_{\text{drv_low_eq}}}{R_{\text{drv_low_eq}} + R_{\text{g_ext}} + R_{\text{g_int}}} \right) + C_{\text{g_ZVS}} \cdot V_{\text{clamp}} \cdot f_{\text{SW}} \cdot (V_{\text{CC}} - V_{\text{clamp}}) \quad (\text{eq. 9})$$

$$+ \frac{1}{2} \cdot C_{\text{g_ZVS}} \cdot V_{\text{clamp}}^2 \cdot f_{\text{SW}} \cdot \left(\frac{R_{\text{drv_high_eq}}}{R_{\text{drv_high_eq}} + R_{\text{g_ext}} + R_{\text{g_int}}} \right)$$

ここで、

$R_{\text{drv_low_eq}}$ は、NCP4303xドライバのローサイド・スイッチの等価抵抗(1.55 Ω)、

$R_{\text{drv_high_eq}}$ は、NCP4303xドライバのハイサイド・スイッチの等価抵抗(7 Ω)、

$R_{\text{g_ext}}$ は、外部ゲート抵抗(使用されている場合)、

$R_{\text{g_int}}$ は、MOSFETの内部ゲート抵抗です。

ステップ 3 – ICの電力消費の計算

このステップでは、IC内部の電力消費に関連する電力損失を計算します。この電力損失は、電流 I_{CC} とICの供給電圧によって与えられます。電流 I_{CC} はスイッチング周波数に依存し、また Min_T_{on} および $\text{Min_T}_{\text{off}}$ ピンから流出する電流も存在するため、選択された最小 T_{on} および最小 T_{off} 時間にも依存します。これらの損失を計算する最も正確な方法は、 $C_{\text{load}} = 0 \text{ nF}$ 、与えられた Min_T_{on} および $\text{Min_T}_{\text{off}}$ 調整抵抗で、ICが目標周波数でスイッチングしているときの電流 I_{CC} を測定することです。ドライバに負荷が接続されていないときの標準的なIC電力消費チャートについて、Figure 55も参照してください。ICの消費損失は次式で計算することができます。

$$P_{\text{IC}} = V_{\text{CC}} \cdot I_{\text{CC}} \quad (\text{eq. 10})$$

ステップ 4 – ICダイ温度上昇計算

総内部電力損失(ドライバ電力損失とIC内部の電力損失の合計)が求めたら、ダイ温度を計算することができます。SO-8パッケージの熱抵抗は、どのピンにも余分な銅プレートのない(標準ハンダ付けポイントを持つ各ピンへの0.5 mm配線を有する)厚さ35 μmの銅層に対する最大定格表で規定されています。

ダイ温度は次式で計算されます。

$$T_{\text{DIE}} = (P_{\text{DRV_IC}} + P_{\text{IC}}) \cdot R_{\theta\text{J-A}} + T_{\text{A}} \quad (\text{eq. 11})$$

ここで、

$P_{\text{DRV_IC}}$ は、ICドライバの内部電力消費、

P_{IC} は、ICコントローラの内部電力消費、

$R_{\theta\text{JA}}$ は、接合部から周囲までの熱抵抗、

T_{A} は、周囲温度です。

NCP4303A, NCP4303B

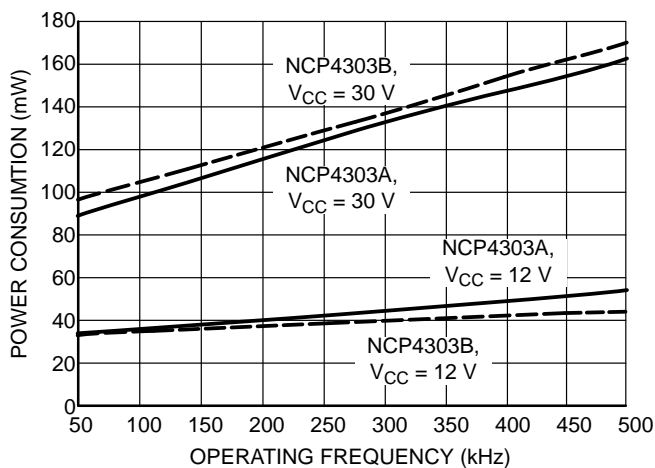


Figure 55. IC Power Consumption as a Function of Frequency for $C_{load} = 0$ nF, $R_{ton_min} = R_{toff_min} = 5$ k Ω

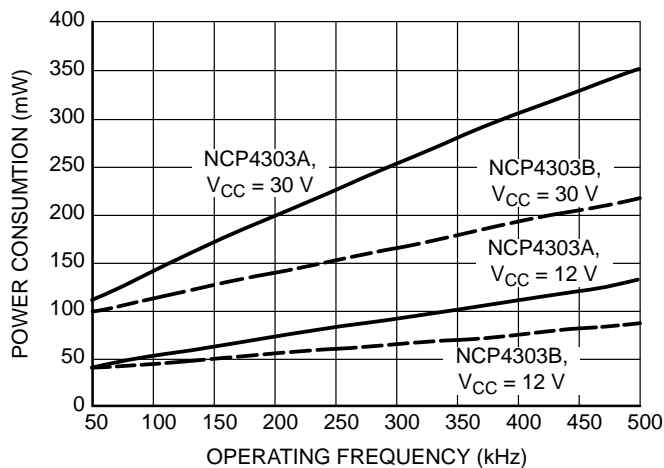


Figure 56. IC Power Consumption as a Function of Frequency for $C_{load} = 1$ nF, $R_{ton_min} = R_{toff_min} = 5$ k Ω

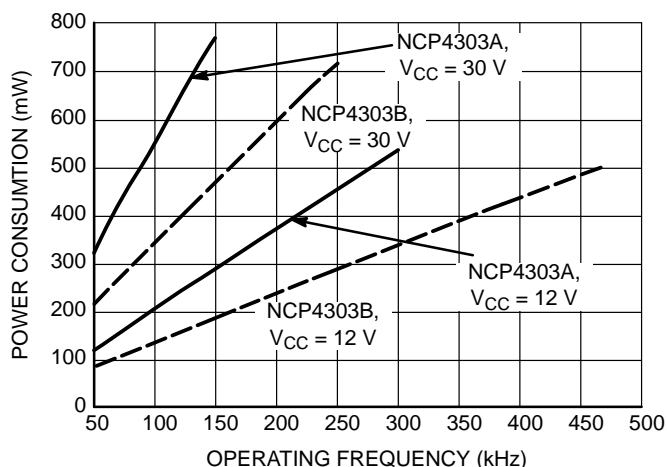


Figure 57. IC Power Consumption as a Function of Frequency for $C_{load} = 10$ nF, $R_{ton_min} = R_{toff_min} = 5$ k Ω

65 Wアダプタの設計例

これはNCP4303Aを使用した広い入力範囲のアプリケーションです。アプリケーションは、全負荷状態および $V_{in} < 130$ VacでCCMモードに入ります。

このアプリケーションで測定された効率の結果をFigure 58および59に示します。12 V/5.5 Vアダプタのアプリケーション回路構成をFigure 60に示します。

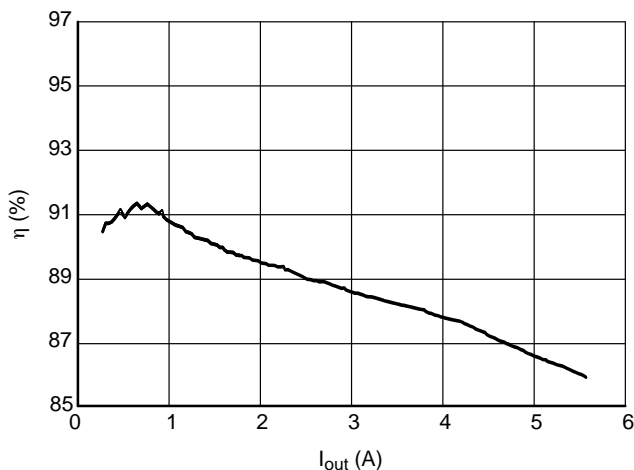


Figure 58.

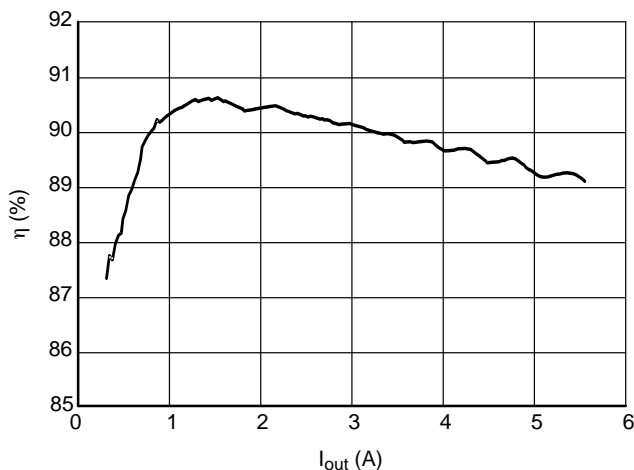


Figure 59.

NCP4303A, NCP4303B

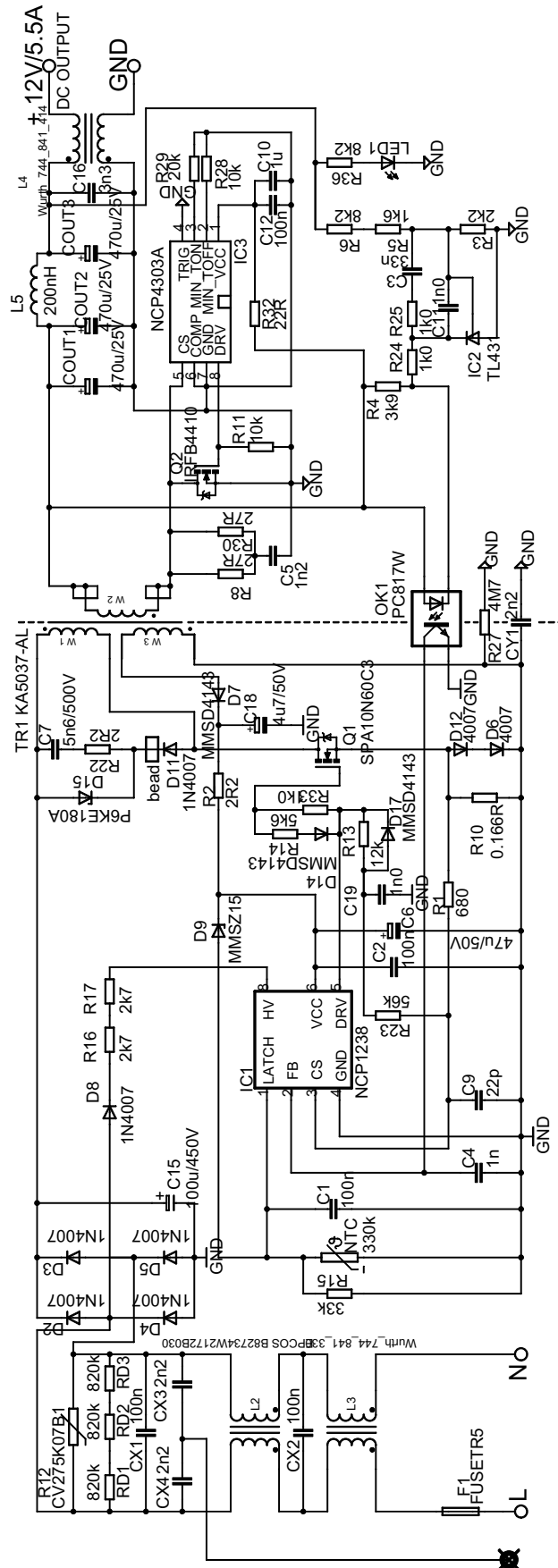


Figure 60. 65 W Adapter, $V_{in} = 85 - 265 \text{ Vac}$, $V_{out} = 12 \text{ V} / 5.5 \text{ A}$

NCP4303A, NCP4303B

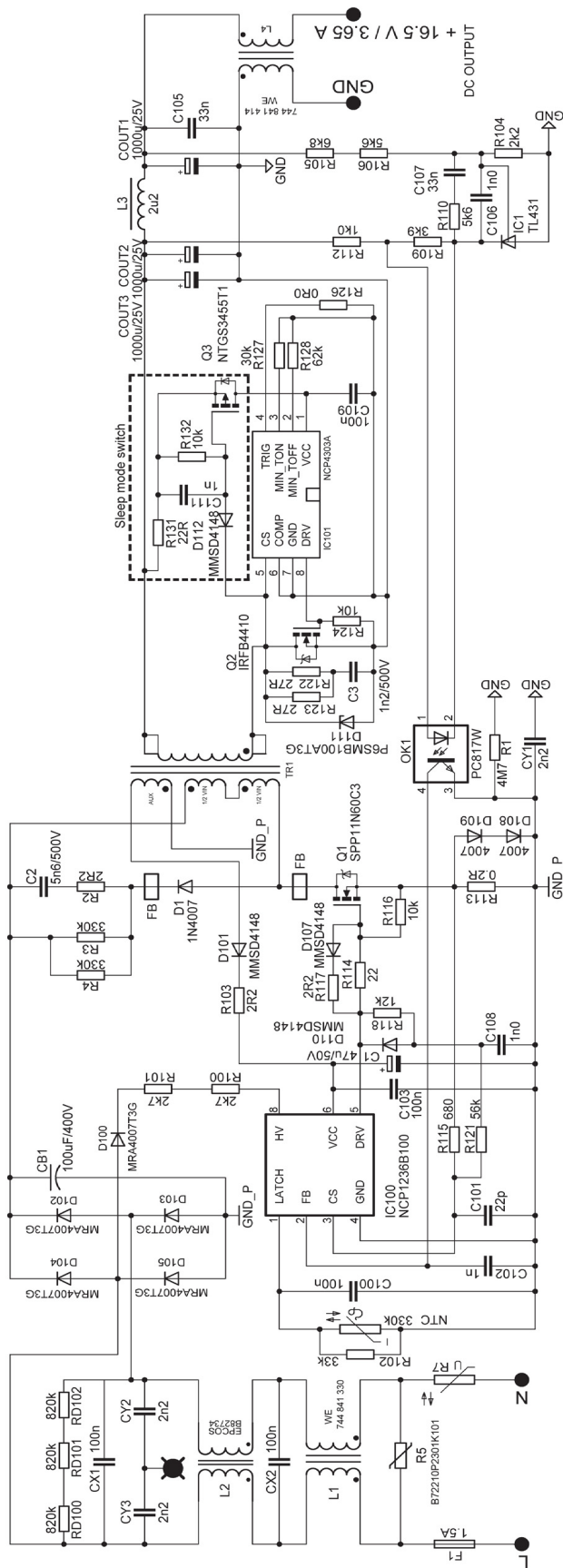
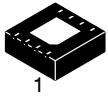


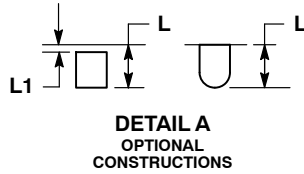
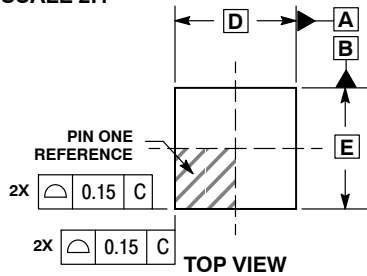
Figure 61. CCM Flyback Application with SR Sleep Mode Implemented via VCC Pin



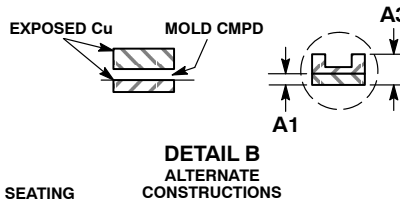
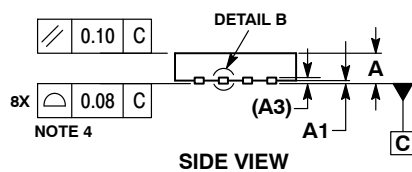
SCALE 2:1

DFN8, 4x4
CASE 488AF
ISSUE C

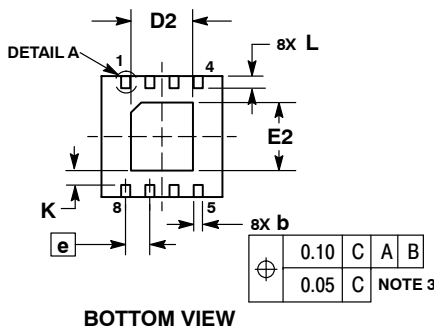
DATE 15 JAN 2009



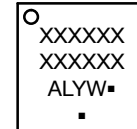
- NOTES:
1. DIMENSIONS AND TOLERANCING PER ASME Y14.5M, 1994.
 2. CONTROLLING DIMENSION: MILLIMETERS.
 3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30MM FROM TERMINAL TIP.
 4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.
 5. DETAILS A AND B SHOW OPTIONAL CONSTRUCTIONS FOR TERMINALS.



MILLIMETERS		
DIM	MIN	MAX
A	0.80	1.00
A1	0.00	0.05
A3	0.20	REF
b	0.25	0.35
D	4.00	BSC
D2	1.91	2.21
E	4.00	BSC
E2	2.09	2.39
e	0.80	BSC
K	0.20	---
L	0.30	0.50
L1	---	0.15



GENERIC MARKING DIAGRAM*

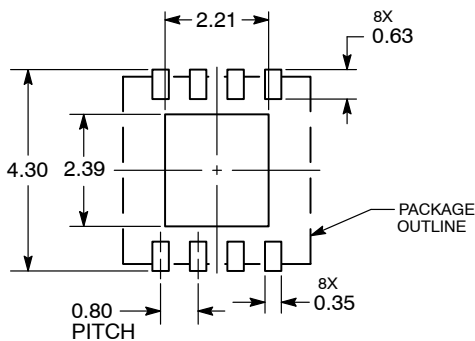


- XXXX = Specific Device Code
- A = Assembly Location
- L = Wafer Lot
- Y = Year
- W = Work Week
- = Pb-Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

SOLDERING FOOTPRINT*



DIMENSIONS: MILLIMETERS

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98AON15232D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	DFN8, 4X4, 0.8P	PAGE 1 OF 1

onsemi and ONsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.



SCALE 1:1

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: MILLIMETER.
 3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
 4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
 5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
 6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the onsemi Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

XXXXXX = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 1 OF 2

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

SOIC-8 NB
CASE 751-07
ISSUE AK

DATE 16 FEB 2011

- | | | | |
|--|---|---|---|
| <p>STYLE 1:
 PIN 1. EMITTER
 2. COLLECTOR
 3. COLLECTOR
 4. EMITTER
 5. EMITTER
 6. BASE
 7. BASE
 8. EMITTER</p> | <p>STYLE 2:
 PIN 1. COLLECTOR, DIE, #1
 2. COLLECTOR, #1
 3. COLLECTOR, #2
 4. COLLECTOR, #2
 5. BASE, #2
 6. EMITTER, #2
 7. BASE, #1
 8. EMITTER, #1</p> | <p>STYLE 3:
 PIN 1. DRAIN, DIE #1
 2. DRAIN, #1
 3. DRAIN, #2
 4. DRAIN, #2
 5. GATE, #2
 6. SOURCE, #2
 7. GATE, #1
 8. SOURCE, #1</p> | <p>STYLE 4:
 PIN 1. ANODE
 2. ANODE
 3. ANODE
 4. ANODE
 5. ANODE
 6. ANODE
 7. ANODE
 8. COMMON CATHODE</p> |
| <p>STYLE 5:
 PIN 1. DRAIN
 2. DRAIN
 3. DRAIN
 4. DRAIN
 5. GATE
 6. GATE
 7. SOURCE
 8. SOURCE</p> | <p>STYLE 6:
 PIN 1. SOURCE
 2. DRAIN
 3. DRAIN
 4. SOURCE
 5. SOURCE
 6. GATE
 7. GATE
 8. SOURCE</p> | <p>STYLE 7:
 PIN 1. INPUT
 2. EXTERNAL BYPASS
 3. THIRD STAGE SOURCE
 4. GROUND
 5. DRAIN
 6. GATE 3
 7. SECOND STAGE Vd
 8. FIRST STAGE Vd</p> | <p>STYLE 8:
 PIN 1. COLLECTOR, DIE #1
 2. BASE, #1
 3. BASE, #2
 4. COLLECTOR, #2
 5. COLLECTOR, #2
 6. EMITTER, #2
 7. EMITTER, #1
 8. COLLECTOR, #1</p> |
| <p>STYLE 9:
 PIN 1. EMITTER, COMMON
 2. COLLECTOR, DIE #1
 3. COLLECTOR, DIE #2
 4. EMITTER, COMMON
 5. EMITTER, COMMON
 6. BASE, DIE #2
 7. BASE, DIE #1
 8. EMITTER, COMMON</p> | <p>STYLE 10:
 PIN 1. GROUND
 2. BIAS 1
 3. OUTPUT
 4. GROUND
 5. GROUND
 6. BIAS 2
 7. INPUT
 8. GROUND</p> | <p>STYLE 11:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. DRAIN 2
 7. DRAIN 1
 8. DRAIN 1</p> | <p>STYLE 12:
 PIN 1. SOURCE
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 13:
 PIN 1. N.C.
 2. SOURCE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> | <p>STYLE 14:
 PIN 1. N-SOURCE
 2. N-GATE
 3. P-SOURCE
 4. P-GATE
 5. P-DRAIN
 6. P-DRAIN
 7. N-DRAIN
 8. N-DRAIN</p> | <p>STYLE 15:
 PIN 1. ANODE 1
 2. ANODE 1
 3. ANODE 1
 4. ANODE 1
 5. CATHODE, COMMON
 6. CATHODE, COMMON
 7. CATHODE, COMMON
 8. CATHODE, COMMON</p> | <p>STYLE 16:
 PIN 1. EMITTER, DIE #1
 2. BASE, DIE #1
 3. EMITTER, DIE #2
 4. BASE, DIE #2
 5. COLLECTOR, DIE #2
 6. COLLECTOR, DIE #2
 7. COLLECTOR, DIE #1
 8. COLLECTOR, DIE #1</p> |
| <p>STYLE 17:
 PIN 1. VCC
 2. V2OUT
 3. V1OUT
 4. TXE
 5. RXE
 6. VEE
 7. GND
 8. ACC</p> | <p>STYLE 18:
 PIN 1. ANODE
 2. ANODE
 3. SOURCE
 4. GATE
 5. DRAIN
 6. DRAIN
 7. CATHODE
 8. CATHODE</p> | <p>STYLE 19:
 PIN 1. SOURCE 1
 2. GATE 1
 3. SOURCE 2
 4. GATE 2
 5. DRAIN 2
 6. MIRROR 2
 7. DRAIN 1
 8. MIRROR 1</p> | <p>STYLE 20:
 PIN 1. SOURCE (N)
 2. GATE (N)
 3. SOURCE (P)
 4. GATE (P)
 5. DRAIN
 6. DRAIN
 7. DRAIN
 8. DRAIN</p> |
| <p>STYLE 21:
 PIN 1. CATHODE 1
 2. CATHODE 2
 3. CATHODE 3
 4. CATHODE 4
 5. CATHODE 5
 6. COMMON ANODE
 7. COMMON ANODE
 8. CATHODE 6</p> | <p>STYLE 22:
 PIN 1. I/O LINE 1
 2. COMMON CATHODE/VCC
 3. COMMON CATHODE/VCC
 4. I/O LINE 3
 5. COMMON ANODE/GND
 6. I/O LINE 4
 7. I/O LINE 5
 8. COMMON ANODE/GND</p> | <p>STYLE 23:
 PIN 1. LINE 1 IN
 2. COMMON ANODE/GND
 3. COMMON ANODE/GND
 4. LINE 2 IN
 5. LINE 2 OUT
 6. COMMON ANODE/GND
 7. COMMON ANODE/GND
 8. LINE 1 OUT</p> | <p>STYLE 24:
 PIN 1. BASE
 2. EMITTER
 3. COLLECTOR/ANODE
 4. COLLECTOR/ANODE
 5. CATHODE
 6. CATHODE
 7. COLLECTOR/ANODE
 8. COLLECTOR/ANODE</p> |
| <p>STYLE 25:
 PIN 1. VIN
 2. N/C
 3. REXT
 4. GND
 5. IOUT
 6. IOUT
 7. IOUT
 8. IOUT</p> | <p>STYLE 26:
 PIN 1. GND
 2. dv/dt
 3. ENABLE
 4. ILIMIT
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. VCC</p> | <p>STYLE 27:
 PIN 1. ILIMIT
 2. OVLO
 3. UVLO
 4. INPUT+
 5. SOURCE
 6. SOURCE
 7. SOURCE
 8. DRAIN</p> | <p>STYLE 28:
 PIN 1. SW_TO_GND
 2. DASIC OFF
 3. DASIC_SW_DET
 4. GND
 5. V_MON
 6. VBULK
 7. VBULK
 8. VIN</p> |
| <p>STYLE 29:
 PIN 1. BASE, DIE #1
 2. EMITTER, #1
 3. BASE, #2
 4. EMITTER, #2
 5. COLLECTOR, #2
 6. COLLECTOR, #2
 7. COLLECTOR, #1
 8. COLLECTOR, #1</p> | <p>STYLE 30:
 PIN 1. DRAIN 1
 2. DRAIN 1
 3. GATE 2
 4. SOURCE 2
 5. SOURCE 1/DRAIN 2
 6. SOURCE 1/DRAIN 2
 7. SOURCE 1/DRAIN 2
 8. GATE 1</p> | | |

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 2 OF 2

onsemi and **ONSEMI** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales

