高効率SMPS構成向け2次側同期整流式ドライバ

NCP4304A, NCP4304B

NCP4304A/Bは、スイッチ・モード電源(SMPS)内の同期整流回路の制御用にカスタマイズされた、豊富な機能を備えたコントローラおよびドライバです。これらの多機能デバイスは多様性に優れ、フライバック、フォワードおよびハーフ・ブリッジ共振LLCなどの各種電源構成で使用できます。

最小オン時間と最小オフ時間の組み合わせを外部で調整できるので、PCBレイアウトやその他の寄生素子によって誘発されるリンギングに対処するのに役立ちます。したがって、信頼性が高く、ノイズが非常に小さいSRシステムの動作を保証できます。

これらのドライバには、非常に短いターンオフ遅延時間、大電流のシンク能力、パッケージに起因する寄生インダクタンス内に対応する自動補償システムという特性があるので、同期整流式MOSFETの導通時間を最大化し、SMPSの効率をさらに向上させることができます。

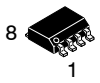
さらに、広い動作電源電圧(V_{CC})範囲を、2種類のドライバ・クランプ電圧仕様と組み合わせた結果、24 V出力アプリケーションでSRシステムを容易に実装できます。

特長

- CCM、DCM、およびQRフライバック・アプリケーション内の同期整流回路に対する自蔵型制御
- スレッショルドが調整可能で、2次側のゼロ電流検出を高精度で正確に実施
- 寄生インダクタンスを自動補償する入力
- 電流センス入力からドライバのターンオフまでの遅延の標準値は40 ns
- ゼロ電流検出ピンの最大耐圧は200 V
- 深いCCMで動作するアプリケーションでのいっそうの性能向上を図る、オプションの超高速トリガ・インタフェース
- スタンバイ・モードまたは低消費電力モードに移行するための入力ディセーブル
- V_{CC}レベルに依存しない、調整可能な最小オン時間
- V_{CC}レベルに依存しない、調整可能な最小オフ時間
- 5 A/2.5 Aのピーク電流シンク/ソース駆動能力
- 動作電圧範囲は最大30 V
- ゲート駆動クランプ電圧は、12 V (NCP4304A)または6 V (NCP4304B)
- 起動時とスタンバイ時の低消費電流
- 最大500 kHzの動作周波数
- SOIC−8パッケージ
- 鉛フリー・デバイス

代表的アプリケーション

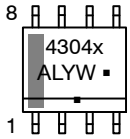
- ノートブックのアダプタ
- 電力密度の高いAC/DC電源
- ゲーム・コンソール
- 高い効率要件を満たすあらゆるSMPS (スイッチ・モード電源)



SOIC−8
D SUFFIX
CASE 751

DFN8
MN SUFFIX
CASE 488AF

MARKING DIAGRAMS



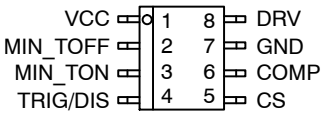
SOIC−8

DFN8

4304x	= Specific Device Code x = A or B
A	= Assembly Location
L	= Wafer Lot
Y	= Year
W	= Work Week
▪	= Pb−Free Package

(*Note: Microdot may be in either location)

PINOUT INFORMATION



(NOTE: For DFN the exposed pad must be either unconnected or preferably connected to ground. The GND pin must be always connected to ground.)

ORDERING INFORMATION

Device	Package	Shipping†
NCP4304ADR2G	SOIC−8 (Pb−Free)	2,500 / Tape & Reel
NCP4304BDR2G	SOIC−8 (Pb−Free)	2,500 / Tape & Reel
NCP4304AMNTWG	DFN8 (Pb−Free)	4,000 / Tape & Reel

DISCONTINUED (Note 1)

NCP4304BMNTWG	DFN8 (Pb−Free)	4,000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

1. **DISCONTINUED:** This device is not recommended for new design. Please contact your **onsemi** representative for information. The most current information on this device may be available on www.onsemi.com.

© Semiconductor Components Industries, LLC, 2016

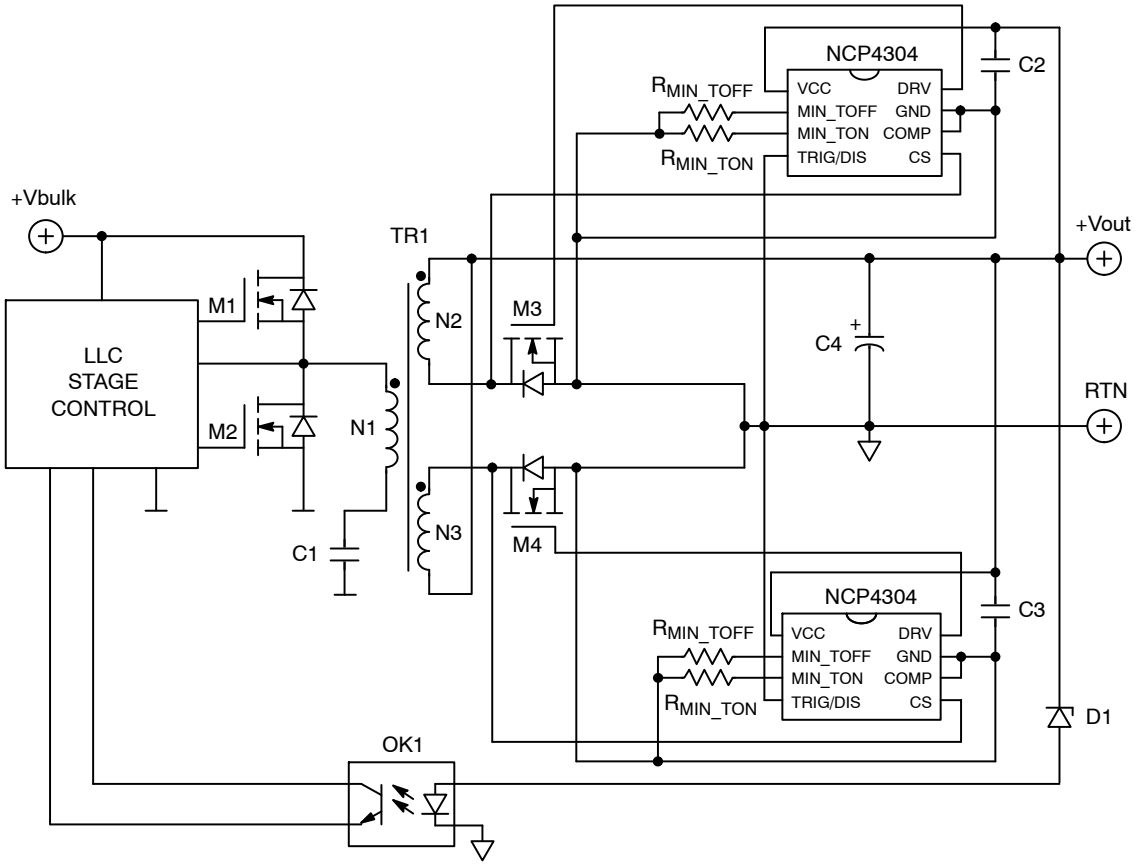


Figure 1. Typical Application Example – LLC Converter

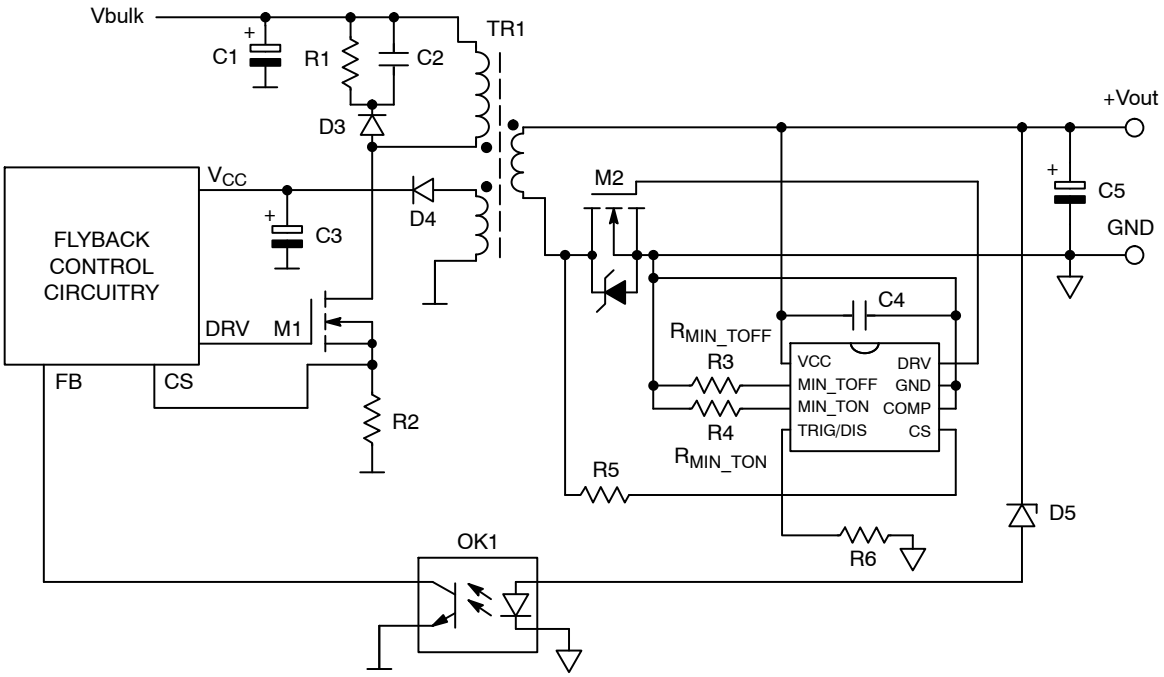


Figure 2. Typical Application Example – DCM or QR Flyback Converter

PIN FUNCTION DESCRIPTION

Pin No.	Pin Name	Function	Pin Description
1	VCC	Supplies the driver	Supply terminal of the controller. Accepts up to 30 V continuously.
2	MIN_TOFF	Minimum off time adjust	Adjust the minimum off time period by connecting resistor to ground.
3	MIN_TON	Minimum on time adjust	Adjust the minimum on time period by connecting resistor to ground.
4	TRIG/DIS	Forced reset input	This ultrafast input turns off the SR MOSFET in CCM applications. Activates sleep mode if pulled up for more than 100 μs.
5	CS	Current sense of the SR MOSFET	This pin detects if the current flows through the SR MOSFET and/or its body diode. Basic turn off detection threshold is 0 mV. A resistor in series with this pin can modify the turn off threshold if needed.
6	COMP	Compensation inductance connection	Use as a Kelvin connection to auxiliary compensation inductance. If SR MOSFET package parasitic inductance compensation is not used (like for SMT MOSFETs), connect this pin directly to GND pin.
7	GND	IC ground	Ground connection for the SR MOSFET driver and V_{CC} decoupling capacitor. Ground connection for minimum ton, toff adjust resistors and trigger input. GND pin should be wired directly to the SR MOSFET source terminal/soldering point using Kelvin connection.
8	DRV	Gate driver output	Driver output for the SR MOSFET.

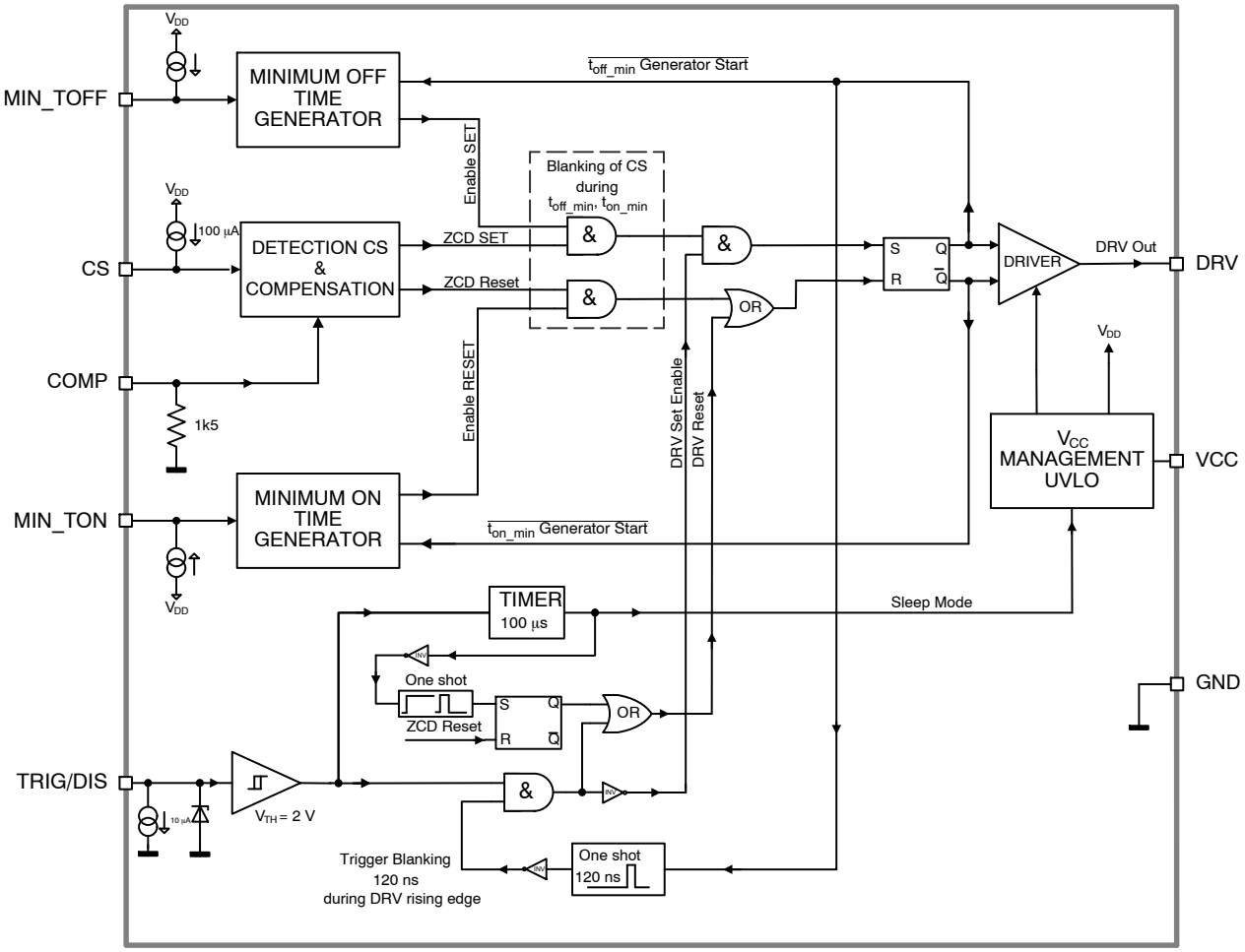


Figure 3. Internal Circuit Architecture

MAXIMUM RATINGS

Symbol	Rating	Value	Unit
V_{CC}	IC Supply Voltage	−0.3 to 30	V
V_{DRV}	Driver Output Voltage	−0.3 to 17	V
V_{CS}	Current Sense Input dc Voltage	−4 to 200	V
V_{Csdyn}	Current Sense Input Dynamic Voltage (t_{pw} = 200 ns)	−10 to 200	V
$V_{TRIG/DIS}$	Trigger Input Voltage	−0.3 to 10	V
V_{MIN_TON}, V_{MIN_TOFF}	MIN_TON and MIN_TOFF Input Voltage	−0.3 to 10	V
I_{MIN_TON}, I_{MIN_TOFF}	MIN_TON and MIN_TOFF Current	−10 to +10	mA
V_{COMP}	Static Voltage Difference between COMP and GND Pins (Internally Clamped)	−3 to 10	V
V_{COMP_dyn}	Dynamic Voltage Difference between COMP and GND Pins (t_{pw} = 200 ns)	−10 to 10	V
I_{COMP}	Current into COMP Pin	−5 to 5	mA
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, SOIC − A/B Versions	180	°C/W
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, DFN − A/B Versions, 50 mm^2 − 1.0 oz. Copper Spreader	180	°C/W
$R_{\theta JA}$	Thermal Resistance Junction-to-Air, DFN − A/B Versions, 600 mm^2 − 1.0 oz. Copper Spreader	80	°C/W
T_{Jmax}	Maximum Junction Temperature	150	°C
T_{Smax}	Storage Temperature Range	−60 to +150	°C
T_{Lmax}	Lead Temperature (Soldering, 10 s)	300	°C
	ESD Capability, Human Body Model except Pin V_{CS} − Pin 5, HBM ESD Capability on Pin 5 is 650 V per JEDEC Standard JESD22−A114E	2	kV
	ESD Capability, Machine Model per JEDEC Standard JESD22−A115−A	200	V

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.
(参考訳)
最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。
1. This device meets latchup tests defined by JEDEC Standard JESD78.

ELECTRICAL CHARACTERISTICS

(For typical values T_J = 25°C, for min/max values T_J = −40°C to +125°C, V_{CC} = 12 V, C_{DRV} = 0 nF, R_{MIN_TON} = R_{MIN_TOFF} = 10 kΩ, $V_{TRIG/DIS}$ = 0 V, f_{CS} = 100 kHz, DC_{CS} = 50%, V_{CS_high} = 4 V, V_{CS_low} = −1 V unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
SUPPLY SECTION						
V_{CC_on}	Turn-on threshold level (V_{CC} going up)	1	9.3	9.9	10.5	V
V_{CC_off}	Minimum operating voltage after turn-on (V_{CC} going down)	1	8.3	8.9	9.5	V
V_{CC_hyste}	V_{CC} hysteresis	1	0.6	1.0	1.4	V
I_{CC1_A} I_{CC1_B}	Internal IC consumption (no output load on pin 8, f_{SW} = 500 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)	1	− −	4.5 4.0	6.6 6.2	mA
I_{CC2_A} I_{CC2_B}	Internal IC consumption (C_{DRV} = 1 nF on pin 8, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)	1	− −	9.0 6.5	12 9	mA
I_{CC3_A} I_{CC3_B}	Internal IC consumption (C_{DRV} = 10 nF on pin 8, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)	1	− −	57.0 35.0	80 65	mA
$I_{CC_StartUp}$	Startup current consumption (V_{CC} = V_{CC_on} − 0.1 V, no switching at CS pin)	1	−	35	75	μA
$I_{CC_Disable_1}$	Current consumption during disable mode (No switching at CS pin, $V_{TRIG/DIS}$ = 5 V)	1	−	45	90	μA
$I_{CC_Disable_2}$	Current consumption during disable mode (CS pin is switching, f_{SW} = 500 kHz, V_{CS_high} = 4 V, V_{CS_low} =−1 V, $V_{TRIG/DIS}$ = 5 V)	1	−	200	330	μA
DRIVE OUTPUT						
t_{r_A}	Output voltage rise-time for A version (C_{DRV} = 10 nF)	8	−	120	−	ns
t_{r_B}	Output voltage rise-time for B version (C_{DRV} = 10 nF)	8	−	80	−	ns
t_{f_A}	Output voltage fall-time for A version (C_{DRV} = 10 nF)	8	−	50	−	ns
t_{f_B}	Output voltage fall-time for B version (C_{DRV} = 10 nF)	8	−	35	−	ns

ELECTRICAL CHARACTERISTICS (continued)
(For typical values T_J = 25°C, for min/max values T_J = −40°C to +125°C, V_{CC} = 12 V, C_{DRV} = 0 nF, R_{MIN_TON} = R_{MIN_TOFF} = 10 kΩ, $V_{TRIG/DIS}$ = 0 V, f_{CS} = 100 kHz, DC_{CS} = 50%, V_{CS_high} = 4 V, V_{CS_low} = −1 V unless otherwise noted)

Symbol	Rating	Pin	Min	Typ	Max	Unit
DRIVE OUTPUT						
R_{oh}	Driver source resistance (Note 1)	8	–	1.8	7	Ω
R_{ol}	Driver sink resistance	8	–	1	2	Ω
$I_{DRV_pk(source)}$	Output source peak current	8	–	2.5	–	A
$I_{DRV_pk(sink)}$	Output sink peak current	8	–	5	–	A
$V_{DRV(min_A)}$	Minimum drive output voltage for A version (V_{CC} = V_{CC_off} + 200 mV)	8	8.3	–	–	V
$V_{DRV(min_B)}$	Minimum drive output voltage for B version (V_{CC} = V_{CC_off} + 200 mV)	8	4.5	–	–	V
$V_{DRV(CLMP_A)}$	Driver clamp voltage for A version (12 < V_{CC} < 28, C_{DRV} = 1 nF)	8	10	12	14.3	V
$V_{DRV(CLMP_B)}$	Driver clamp voltage for B version (12 < V_{CC} < 28, C_{DRV} = 1 nF)	8	5	6	8	V
CS INPUT						
t_{pd_on}	The total propagation delay from CS input to DRV output turn on (V_{CS} goes down from 4 V to −1 V, t_{f_CS} = 5 ns, COMP pin connected to GND)	5, 8	–	60	90	ns
t_{pd_off}	The total propagation delay from CS input to DRV output turn off (V_{CS} goes up from −1 V to 4 V, t_{r_CS} = 5 ns, COMP pin connected to GND), (Note 1)	5, 8	–	40	55	ns
I_{shift_CS}	Current sense input current source (V_{CS} = 0 V)	5	95	100	105	μA
$V_{th_cs_on}$	Current sense pin turn-on input threshold voltage	5, 8	−120	−85	−50	mV
$V_{th_cs_off}$	Current sense pin turn-off threshold voltage, COMP pin connected to GND (Note 1)	5, 8	−1	–	0	mV
G_{comp}	Compensation inverter gain	5,6,8		−1		–
$I_{CS_Leakage}$	Current Sense input leakage current, V_{CS} = 200 V	5	–	–	1	μA
TRIGGER/DISABLE INPUT						
t_{TRIG/DIS_pw_min}	Minimum trigger pulse width (Note 1)	4	30	–	–	ns
$V_{TRIG/DIS}$	Trigger input threshold voltage ($V_{TRIG/DIS}$ goes up)	4	1.5	–	2.5	V
$t_{p_TRIG/DIS}$	Propagation delay from trigger input to the DRV output ($V_{TRIG/DIS}$ goes up from 0 to 5 V, $t_{r_TRIG/DIS}$ = 5 ns)	4	–	13	30	ns
t_{TRIG/DIS_light_load}	Light load turn off filter duration	4	70	100	130	μs
$t_{TRIG/DIS_light_load_rec.}$	IC operation recovery time when leaving light load disable mode ($V_{TRIG/DIS}$ goes down from 5 to 0 V, $t_{f_TRIG/DIS}$ = 5 ns)	4	–	–	10	μs
t_{TRIG/DIS_blank}	Blanking time of trigger during DRV rising edge (V_{CS} < $V_{th_cs_on}$, single pulse on trigger t_{TRIG/DIS_pw} = 50 ns)	4	–	120	–	ns
$I_{TRIG/DIS}$	Trigger input pull down current ($V_{TRIG/DIS}$ = 5 V)	4	–	10	–	μA
t_{on_min} AND t_{off_min} ADJUST						
t_{on_min}	Minimum t_{on} period (R_{MIN_TON} = 0 Ω)	3	–	130	–	ns
t_{off_min}	Minimum t_{off} period (R_{MIN_TOFF} = 0 Ω)	2	560	600	690	ns
t_{on_min}	Minimum t_{on} period (R_{MIN_TON} = 10 kΩ)	3	0.9	1.0	1.1	μs
t_{off_min}	Minimum t_{off} period (R_{MIN_TOFF} = 10 kΩ)	2	0.9	1.0	1.1	μs
t_{on_min}	Minimum t_{on} period (R_{MIN_TON} = 50 kΩ)	3	–	4.8	–	μs
t_{off_min}	Minimum t_{off} period (R_{MIN_TOFF} = 50 kΩ)	2	–	4.8	–	μs
t_{on_min}	Minimum t_{on} period (R_{MIN_TON} = 100 kΩ) (Note 2)	3	8.64	9.6	10.56	μs
t_{off_min}	Minimum t_{off} period (R_{MIN_TOFF} = 100 kΩ) (Note 2)	2	8.55	9.5	10.45	μs

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.
(参考訳)
製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

1. Guaranteed by design.
2. Guaranteed by design and verified by characterization, see Figure 4. t_{on_min} on R_{MIN_TON} dependency.

TYPICAL CHARACTERISTICS

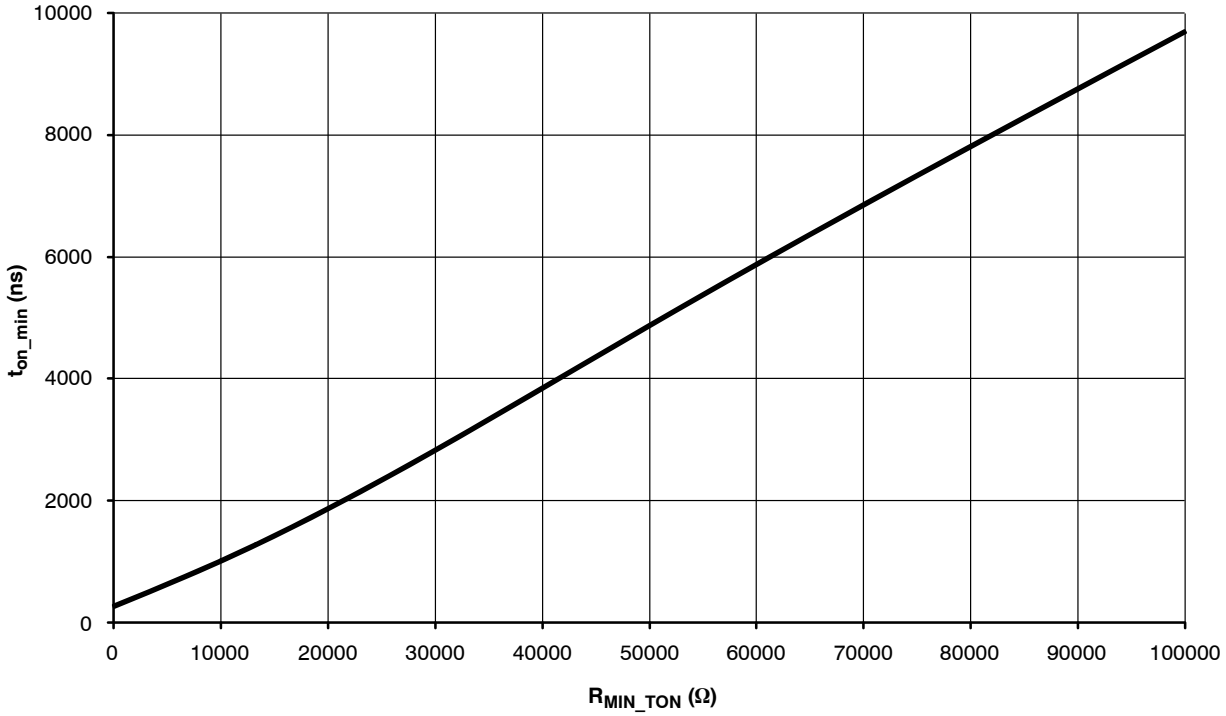


Figure 4. t_{on_min} on R_{MIN_TON} Dependency

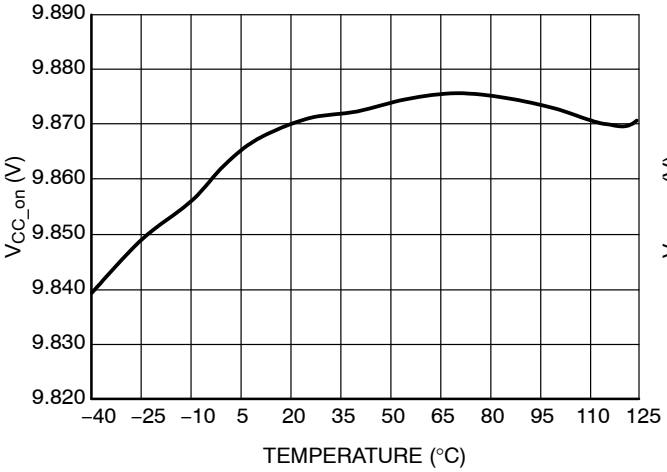


Figure 5. VCC Startup Voltage

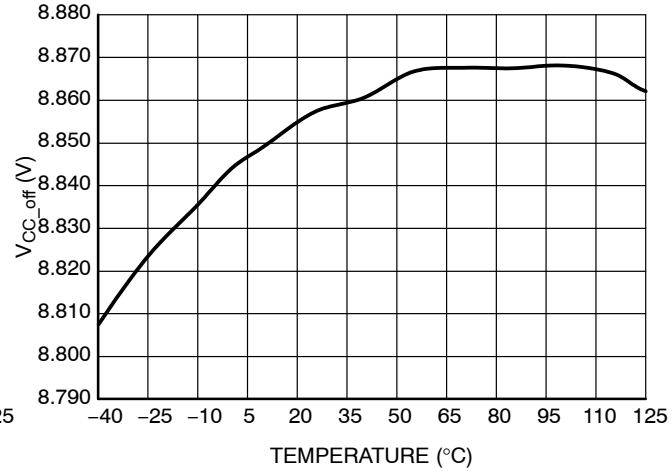


Figure 6. VCC Turn-off Voltage

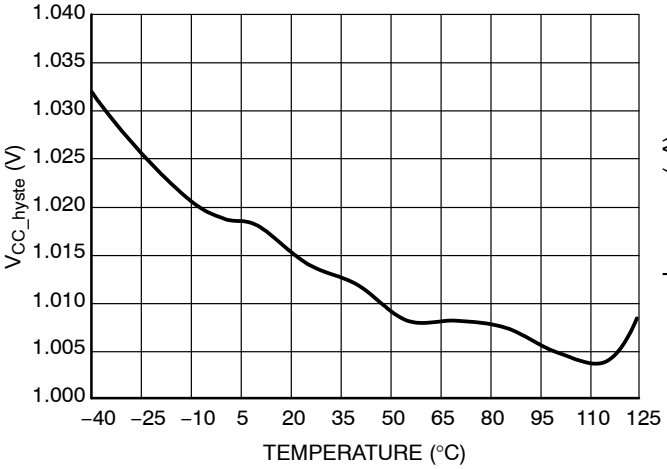


Figure 7. VCC Hysteresis

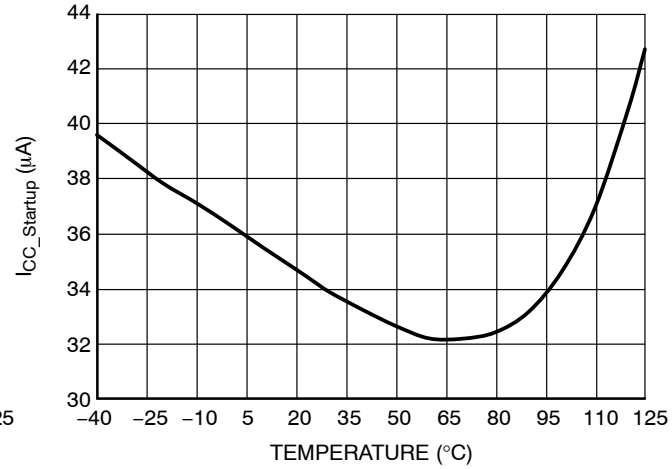


Figure 8. Startup Current

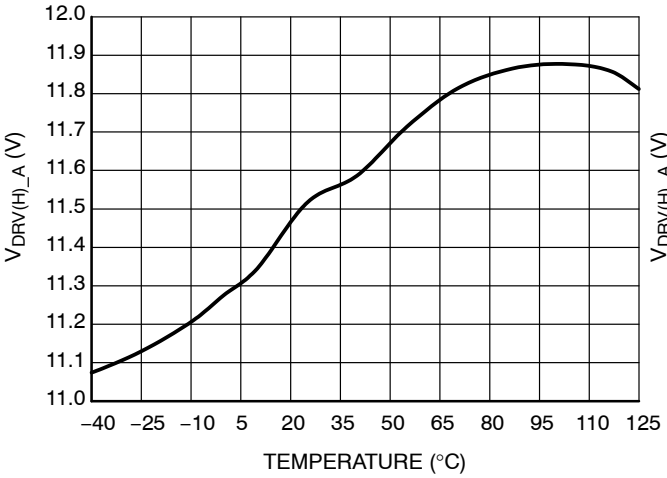


Figure 9. Driver High Level – A Version, V_{CC} = 12 V and C_{DRV} = 1 nF

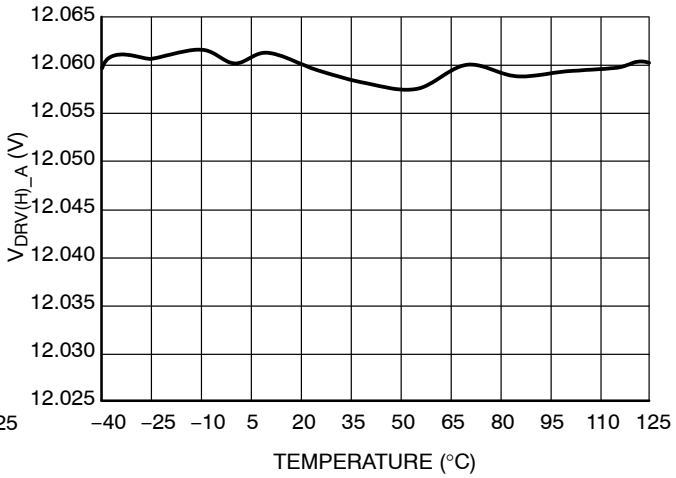


Figure 10. Driver High Level – A Version, V_{CC} = 12 V and C_{DRV} = 10 nF

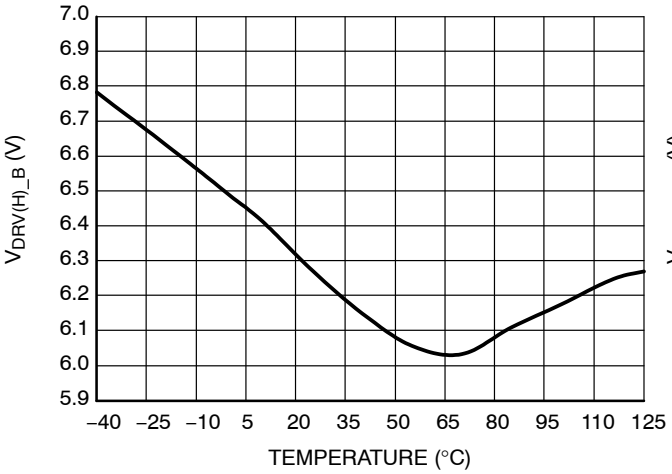


Figure 11. Driver High Level – B Version, V_{CC} = 12 V and C_{DRV} = 1 nF

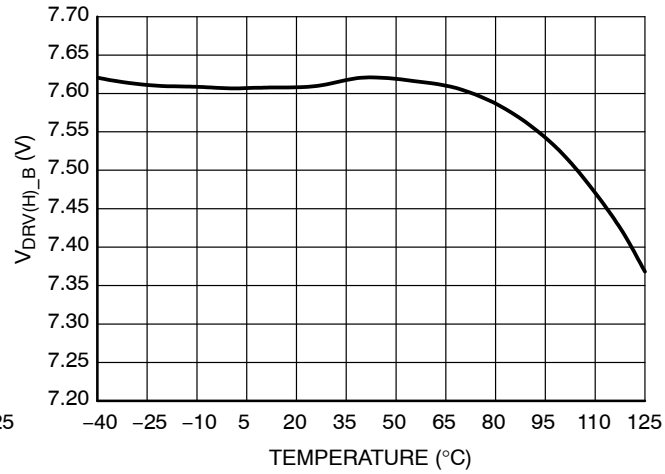


Figure 12. Driver High Level – B Version, V_{CC} = 12 V and C_{DRV} = 10 nF

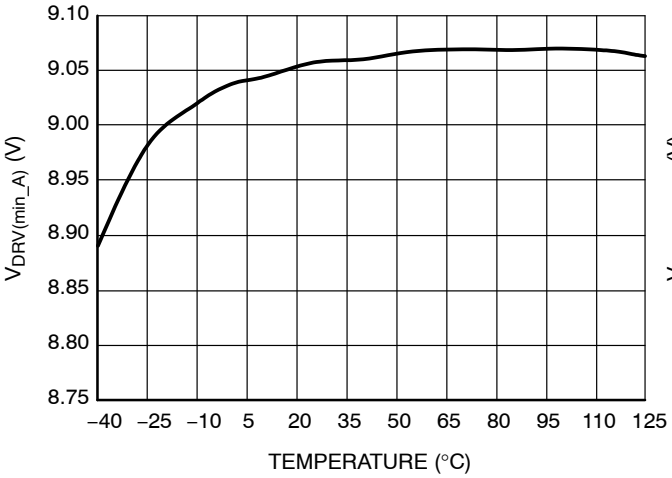


Figure 13. Minimal Driver High Level – A Version, V_{CC_off} + 0.2 V and C_{DRV} = 0 nF

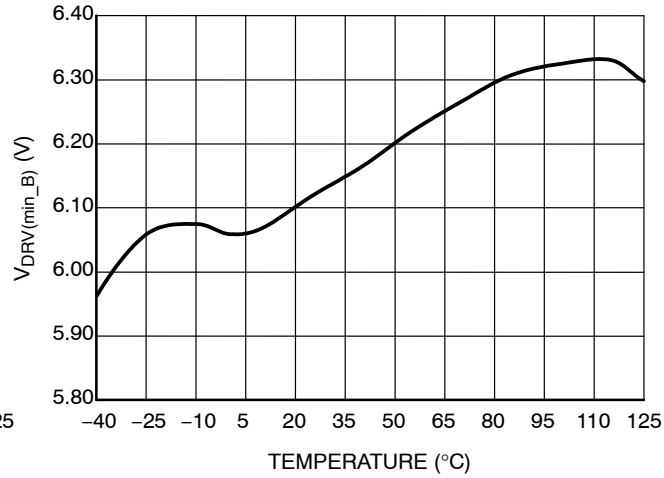


Figure 14. Minimal Driver High Level – B Version, V_{CC_off} + 0.2 V and C_{DRV} = 0 nF

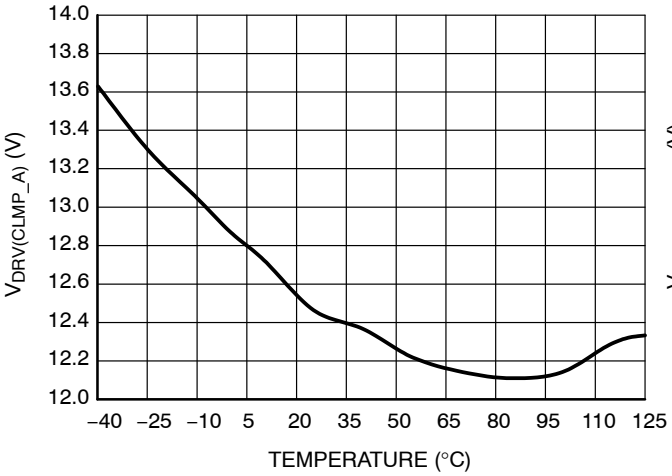


Figure 15. Driver Clamp Level – A Version, V_{CC} = 28 V and C_{DRV} = 1 nF

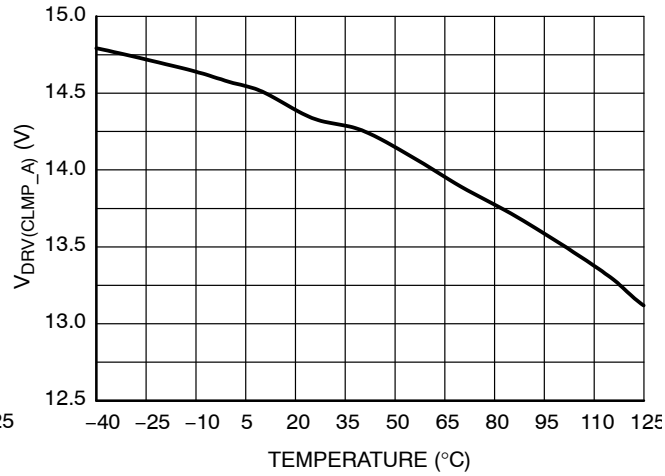


Figure 16. Driver Clamp Level – A Version, V_{CC} = 28 V and C_{DRV} = 10 nF

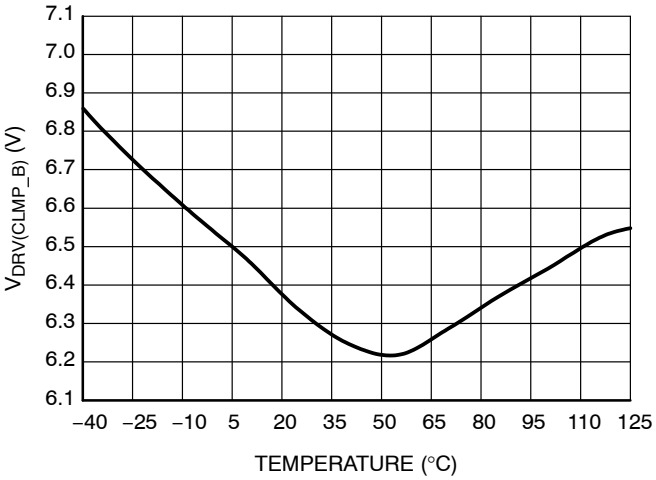


Figure 17. Driver Clamp Level − B Version, V_{CC} = 28 V and C_{DRV} = 1 nF

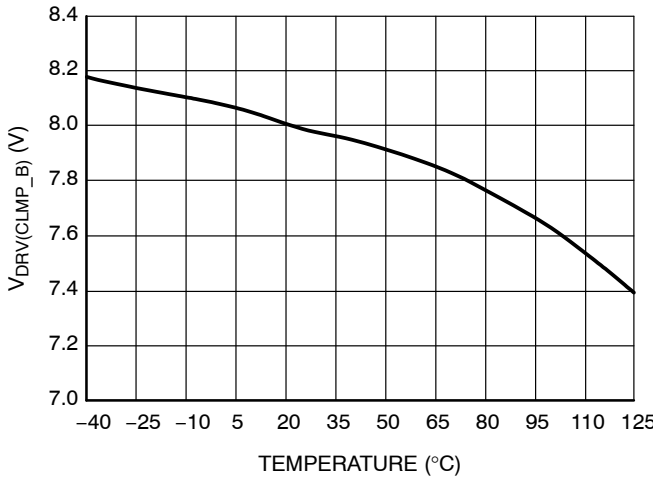


Figure 18. Driver Clamp Level − B Version, V_{CC} = 28 V and C_{DRV} = 10 nF

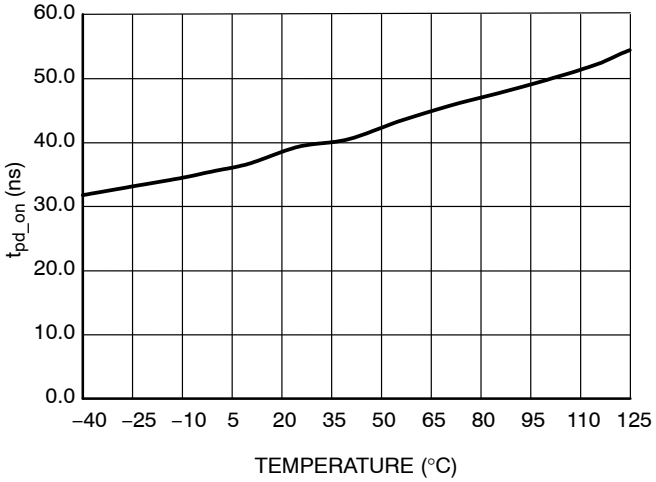


Figure 19. CS to DRV Turn-on Propagation Delay

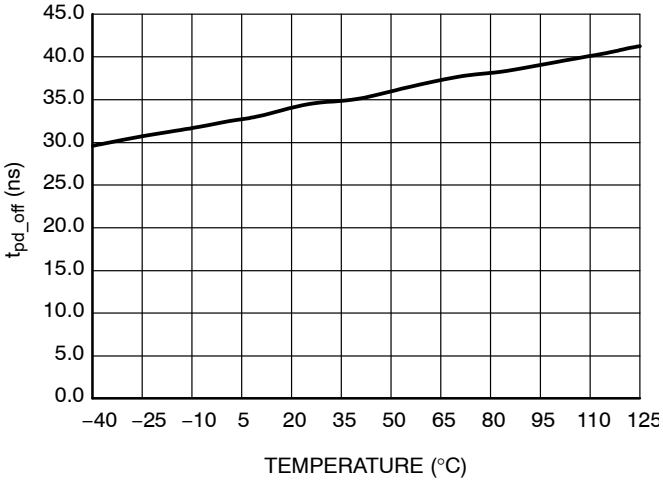


Figure 20. CS to DRV Turn-off Propagation Delay

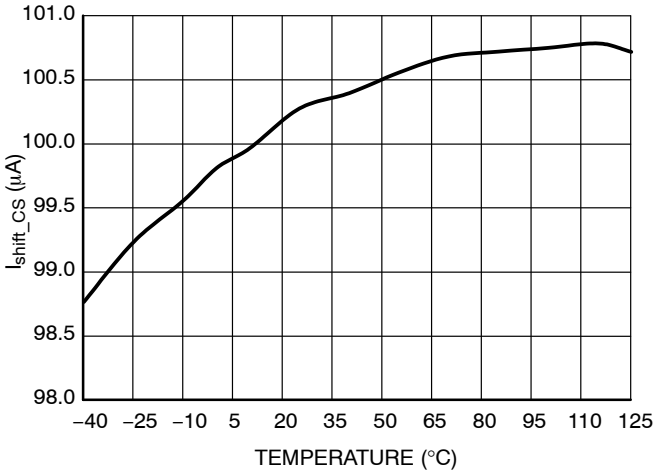


Figure 21. CS Pin Shift Current

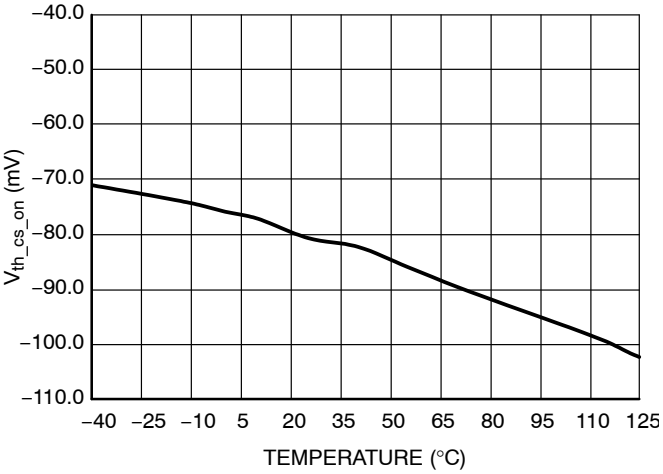


Figure 22. CS Turn-on Threshold

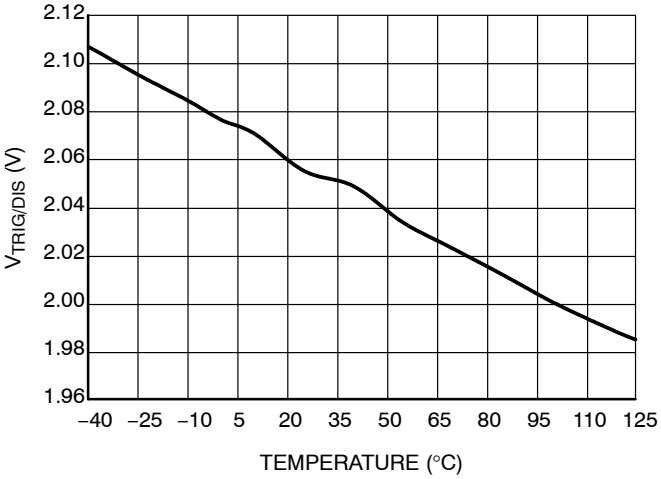


Figure 23. Trigger Input Threshold Voltage

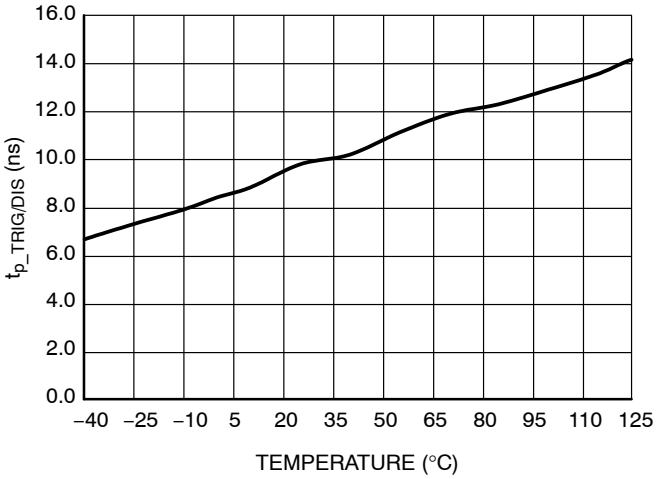


Figure 24. Propagation Delay from Trigger Input to DRV Turn-off

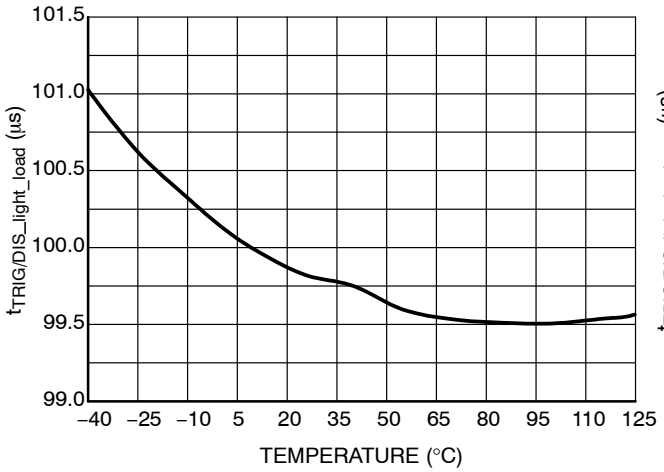


Figure 25. Light Load Transition Timer Duration

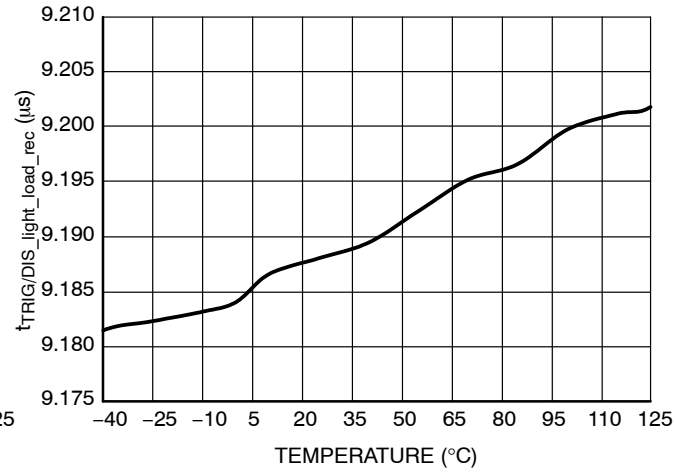


Figure 26. Light Load to Normal Operation Recovery Time

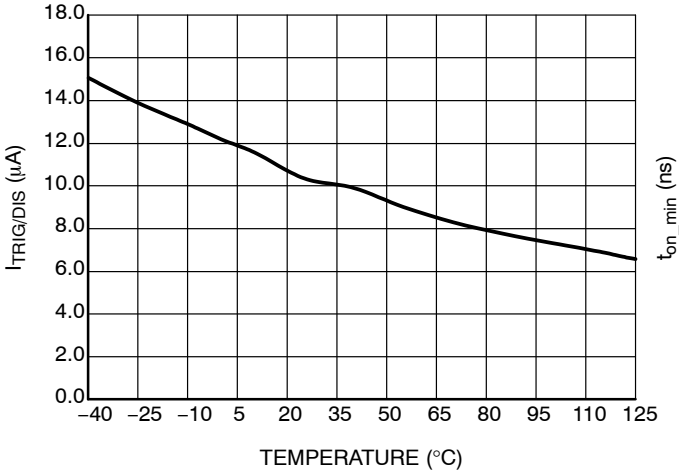


Figure 27. Trigger Input Pulldown Current

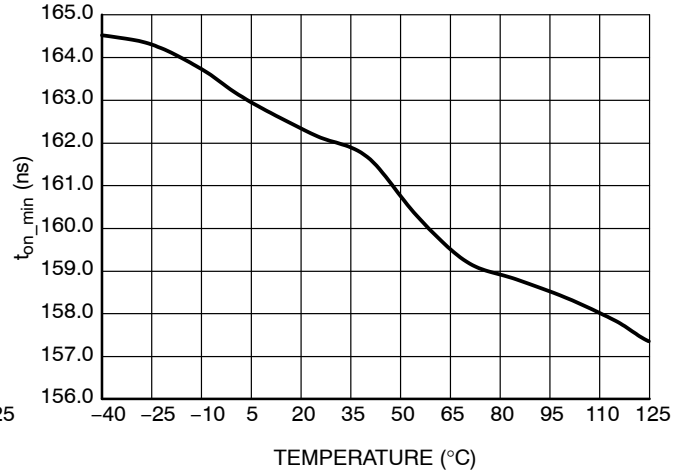


Figure 28. Minimum on Time @ R_{MIN_TON} = 0 Ω

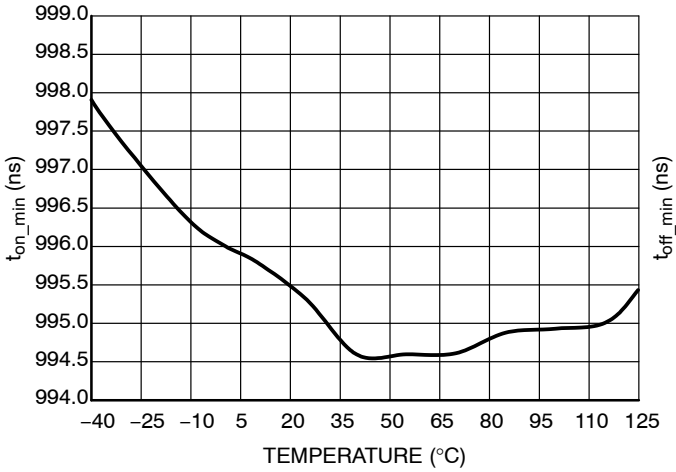


Figure 29. Minimum On Time @ R_{MIN_TON} = 10 kΩ

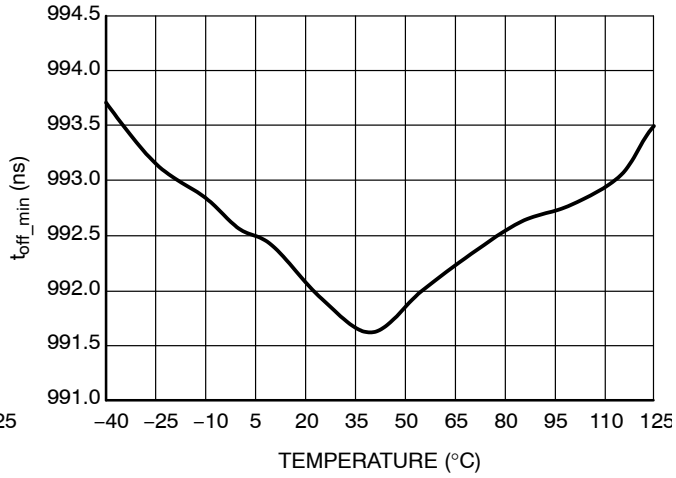


Figure 30. Minimum Off Time @ R_{MIN_TOFF} = 10 kΩ

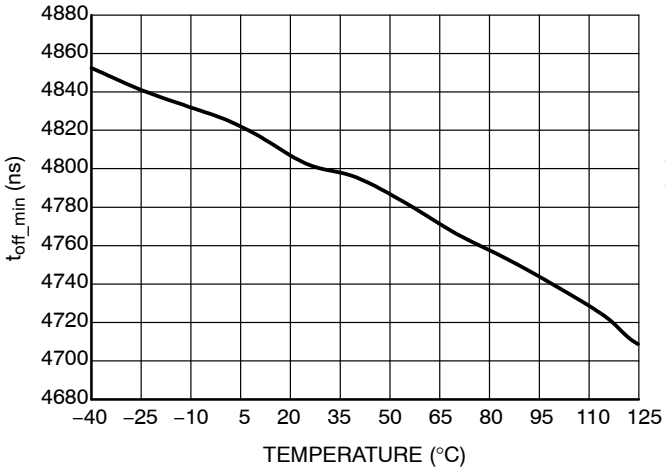


Figure 31. Minimum Off Time @ R_{MIN_TOFF} = 50 kΩ

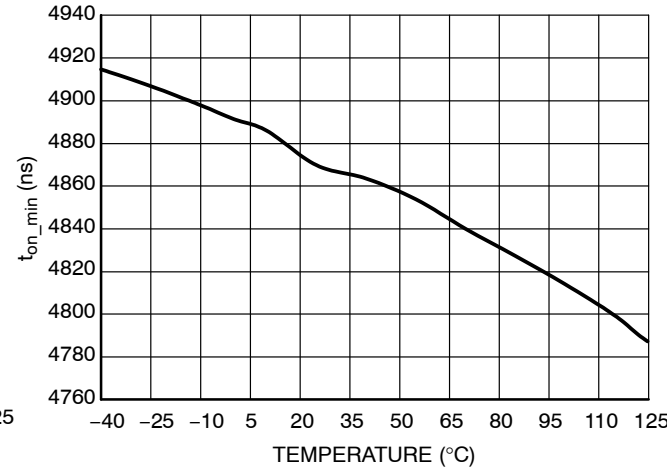


Figure 32. Minimum On Time @ R_{MIN_TON} = 50 kΩ

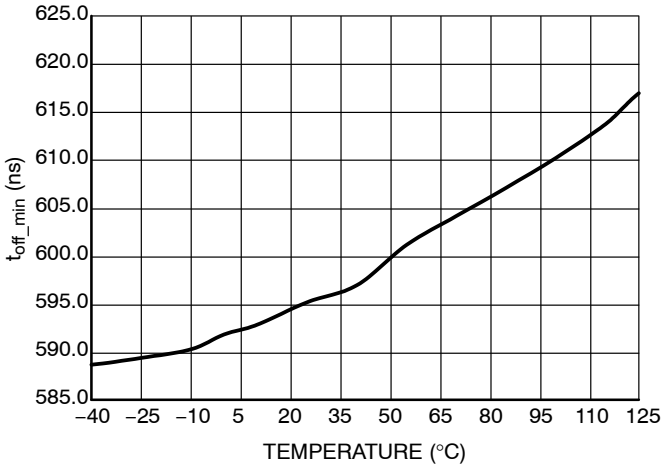


Figure 33. Minimum Off Time @ R_{MIN_TOFF} = 0 Ω

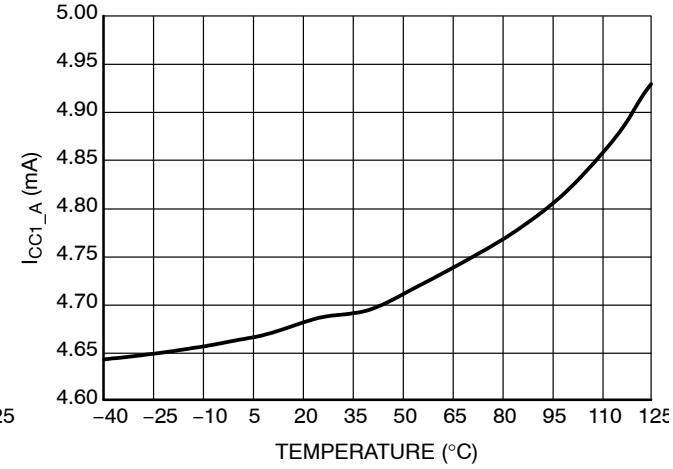


Figure 34. Internal IC Consumption (A Version, No Load on Pin 8, f_{SW} = 500 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)

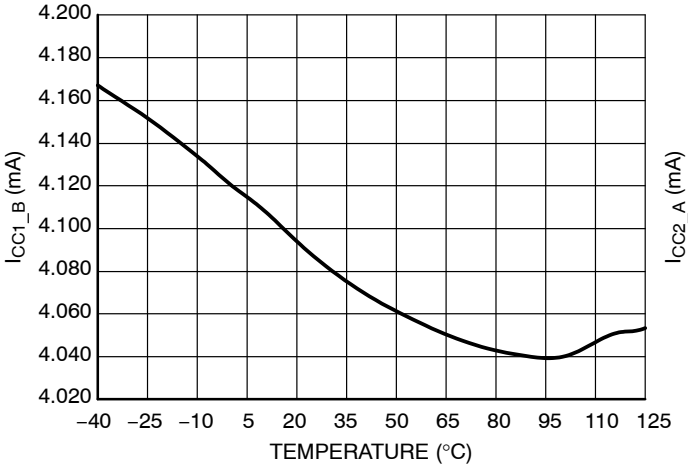


Figure 35. Internal IC Consumption (B version, C_{DRV} = 0 nF, f_{SW} = 500 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)

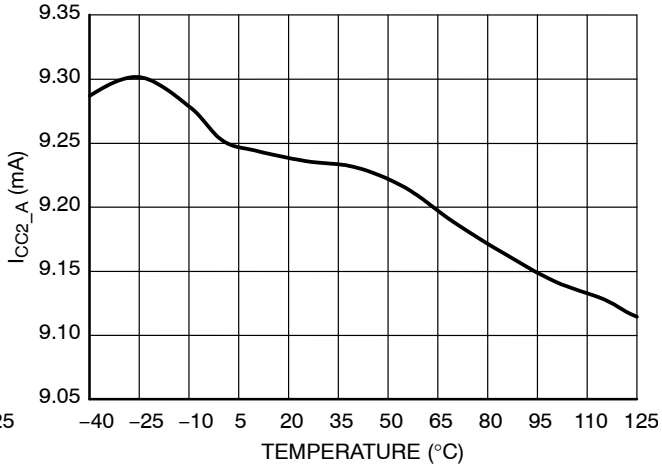


Figure 36. Internal IC Consumption (A Version, C_{DRV} = 1 nF, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)

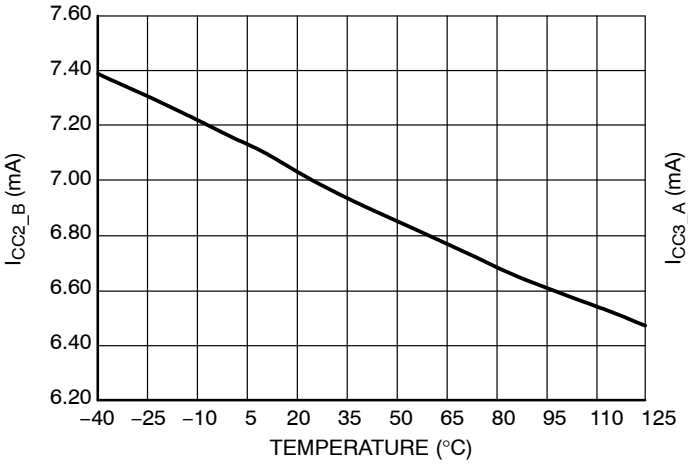


Figure 37. Internal IC Consumption (B Version, C_{DRV} = 1 nF, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)

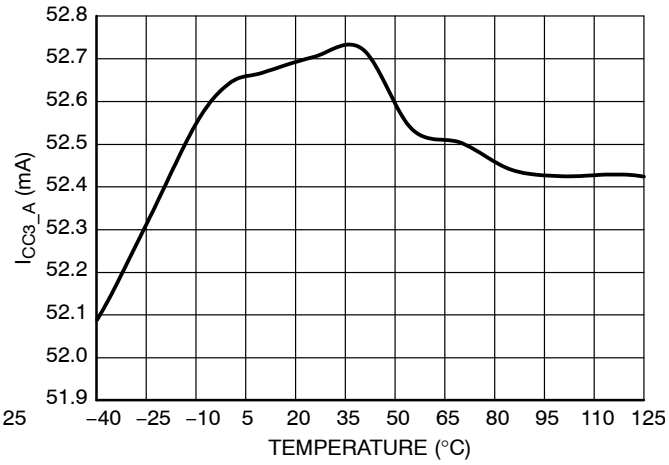


Figure 38. Internal IC Consumption (A Version, C_{DRV} = 10 nF, f_{SW} = 400 kHz, t_{on_min} = 500 ns, t_{off_min} = 620 ns)

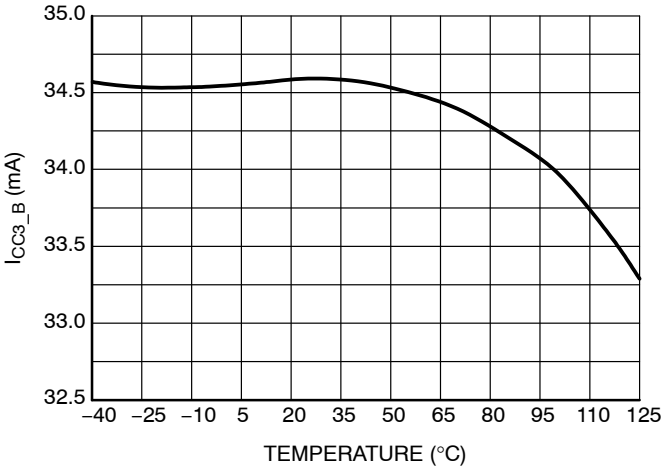


Figure 39. Internal IC Consumption (B Version, C_{DRV} = 10 nF, f_{SW} = 400 kHz, $t_{on\ min}$ = 500 ns, $t_{off\ min}$ = 620 ns)

アプリケーション情報

全般的な説明

NCP4304A/Bは、スタンドアロンIC、または1次側コントローラに対応するコンパニオンICとして動作し、スイッチ・モード電源(SMPS)内の同期整流回路の高効率達成を支援します。このコントローラは、大電流ゲート・ドライバと高速ロジック回路を採用し、同期整流式MOSFETに適切なタイミングの駆動信号を供給します。NCP4304A/Bは革新的なアーキテクチャを採用して十分な多様性を実現し、同期整流回路があらゆる動作モードで高い効率を維持できるようにします。

NCP4304A/Bは、一般的なバイアス電源電圧で動作し、電圧範囲は10.4 V~28 V(標準値)にわたります。V_{CC}範囲が広いので、ノートブックや液晶TVなどほとんどのアダプタで、SMPSの出力電圧に直接接続できます。その結果、特定のバイアス電源電圧(5 Vなど)を必要とする他のデバイスに比べて、NCP4304A/Bを使用する場合は回路の動作を簡略化できます。高電圧のV_{CC}に対応できる独自の特性も、より広範囲のアプリケーションでの動作を意図して設計されたものです。

電流センス・コンパレータの高精度ターンオフ・スレッショルドと、高精度のオフセット電流源の組み合わせにより、ユーザーは1本の抵抗を使用するだけで、SR MOSFETをスイッチングするターンオフ電流のスレッショルドを、必要な任意の値に調整できます。他のSRコントローラが–10 mV~–5 mVの範囲でターンオフ・スレッショルドを設定するのに対し、NCP4304A/Bは0mVのターンオフ・スレッショルドを達成しており、$R_{DS(on)}$の小さいSR MOSFETとの組み合わせにより、ターンオフ電流スレッショルドを大幅に低下させて効率を向上させます。

ターンオン動作とターンオフ動作の後に発生する問題を克服するために、NCP4304A/Bではオン時間とオフ時間のそれぞれに対して調整可能な最小消去期間を設定できます。これらの消去期間は、ICのV_{CC}から独立しており、GNDに接続された抵抗を使用して調整できます。必要に応じて、追加のコンポーネントを使用して消去期間を調整することもできます。

超高速トリガ入力は、(CCMフライバックやフォワードなど) CCMアプリケーション内での同期整流システムの導入に役立ちます。トリガ入力からドライバのターンオフ動作までの遅延時間は10 ns (標準値)です。さらに、トリガ入力を使用してICをディセーブルにし、低消費のスタンバイ・モードを有効にすることもできます。この機能を使用して、SMPSのスタンバイ消費電力を削減することもできます。

最後に、NCP4304A/Bが採用している特別な入力を活用して、SR MOSFETの寄生インダクタンスによる効果を自動的に補償することができます。この手法により、標準的なパッケージ(TO−220やTO247など)に封入されたMOSFETを使用している場合は、実現可能な中で最大のオン時間を達成し、効率を最適化することができます。SR MOSFETが、寄生インダクタンスを無視できるSMTパッケージに封入されている場合は、補償入力をGNDピンに接続します。

ゼロ電流検出と寄生インダクタンスの補償

Figure 40に、電流センス入力に対するZCD回路の内部接続を示します。補償システムの動作を示すために、同期整流式MOSFETは、寄生インダクタンスを明示して図示しています。

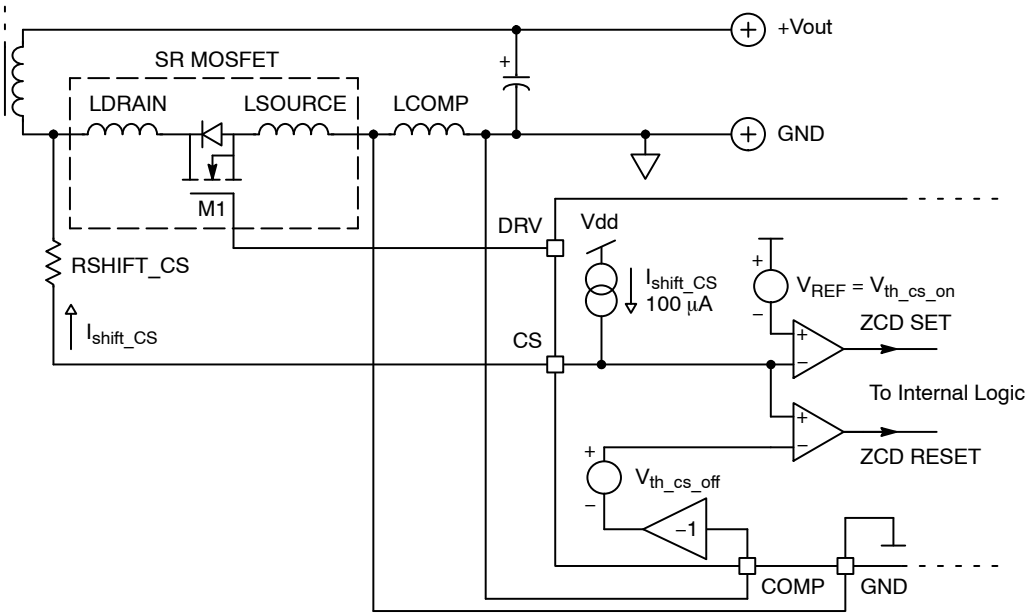


Figure 40. ZCD Sensing Circuitry Functionality

SMPSの2次巻線の電圧が反転した時点で、M1のボディ・ダイオードの電流導通が開始されM1のドレイン電圧に約−1 Vの降下が生じます。CSピンのソース電流は100 μAであり、RSHIFT_CS抵抗との積による電圧降下が生じます。CSピンの電圧が$V_{th_cs_on}$のスレッショルドを下回ると、M1がオンになります。寄生インピーダンスが原因で、アプリケーションで顕著なリンギングが発生する可能性があります。上記のリンギングに起因する突然のターンオフという問題を克服するために、SR MOSFETの最小導通時間を有効にします。最小導通時間は、R_{MIN_TON}抵抗を使用して調整できます。

CSピンの電圧が$V_{th_cs_off}$を上回った直後に、SR MOSFETはターンオフします。同じリンギングの理由により、ターンオフが検出された時点で、最小オフ時間タイマも1回主張されます。最小オフ時間は、R_{MIN_TOFF}抵抗を使用して外部調整できます。2次電流が減少している間はMOSFET M1は導通しているので、ターンオフ時間はMOSFETの$R_{DS(on)}$に依存します。0 mVのスレッショルドにより、スイッチング期間を最適な方法で使用すると同時に、ゲートがターンオフするまでの十分な時間マージンを確保することができます。設計者は抵抗RSHIFT_CSを使用して、実際のターンオフ電流スレッショルドを変更する(大きくする)ことができます。

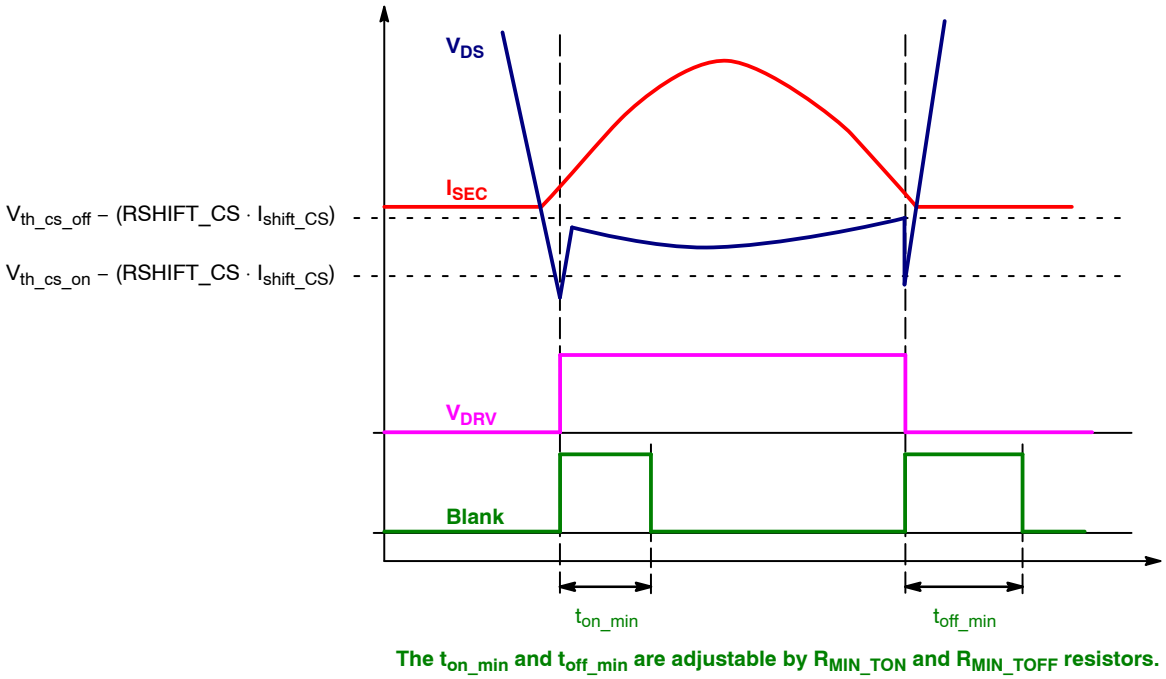


Figure 41. ZCD Comparators Thresholds and Blanking Periods Timing

RSHIFT_CS抵抗を使用しない場合は、ターンオフとターンオンのスレッショルドは完全に、CSの入力仕様によって決定されます(パラメータ表を参照)。CSピンのオフセット電流が電圧降下を発生させるので、ゼロ以外のRSHIFT_CS抵抗を使用する場合は、どちらのスレッショルドも小さくなります(つまり、MOSFETのターンオフ電流は大きくなります)。この電圧降下は、次の式に等しくなります。

$$V_{RSHIFT_CS} = RSHIFT_CS \cdot I_{shift_CS} \qquad \text{(eq. 1)}$$

最終的なターンオン・スレッショルドとターンオフ・スレッショルドは、次のように計算できます。

$$V_{CS_turn_on} = V_{th_cs_on} - \left(RSHIFT_CS \cdot I_{shift_CS}\right) \qquad \text{(eq. 2)}$$

$$V_{CS_turn_off} = V_{th_cs_off} - \left(RSHIFT_CS \cdot I_{shift_CS}\right) \qquad \text{(eq. 3)}$$

ターンオン・スレッショルドに対するRSHIFT_CSの影響は、ターンオフ・スレッショルドに対する影響に比べると決定的ではありません。

TO−220パッケージ(またはリード端子を実装した他のパッケージ)に封入されたSR MOSFETを使用する場合は、パッケージのリード端子に起因する寄生インダクタンスが原因で、ターンオフ電流スレッショルドが増加します。SR MOSFETを流れるする電流はdi(t)/dtがかなり大きいので、SR MOSFETリード端子のインダクタンスによる誤差電圧を誘発します。この誤差電圧は2次電流の微分係数に比例し、大きな電流がチャネル経由で引き続き流れている間に、CS入力電圧をゼロにシフトさせます。そのため、電流がSR MOSFETのチャネルを貫流している間に、ゼロ電流スレッショルドが検出されます。より明確に理解できるように、Figure 42を参照してください。その結果、SR MOSFETは早すぎる時期にターンオフし、SMPSの効率が最適化されません。

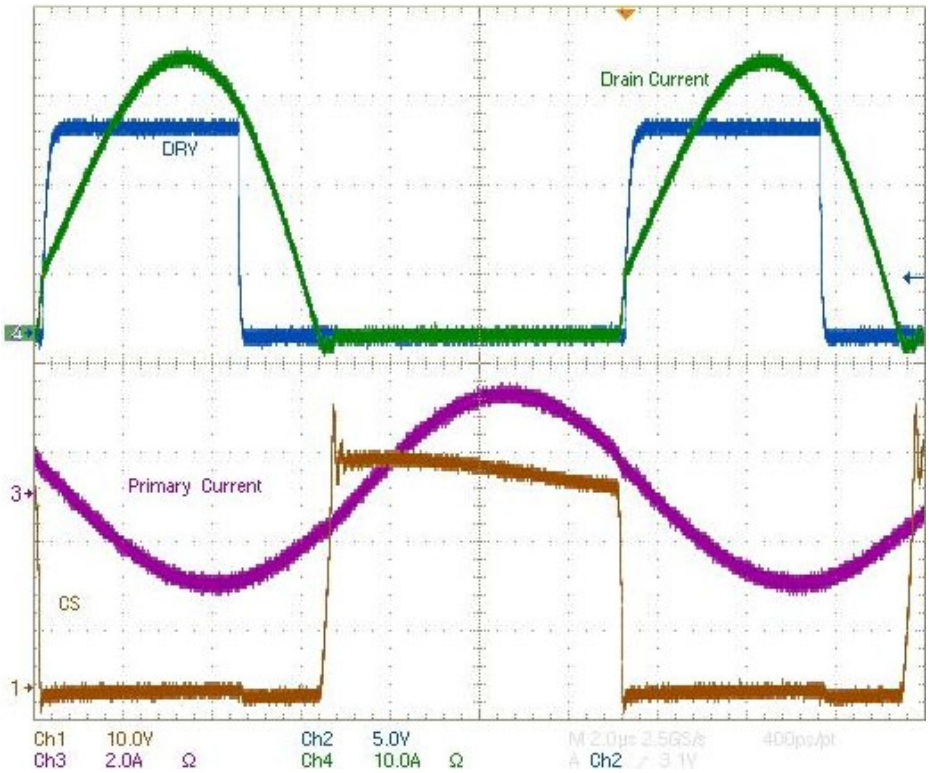


Figure 42. Waveforms from SR System Using MOSFET in TO−220 Package Without Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time is Reduced

MOSFETの$R_{DS(on)}$が小さくなるほど、また動作周波数が高くなるほど、寄生インダクタンスによる誤差が効率に及ぼす影響が大きくなることに注意してください。

NCP4304A/Bは、MOSFETの寄生インダクタンスによる効果を補償する方法を用意しています。Figure 43を参照してください。

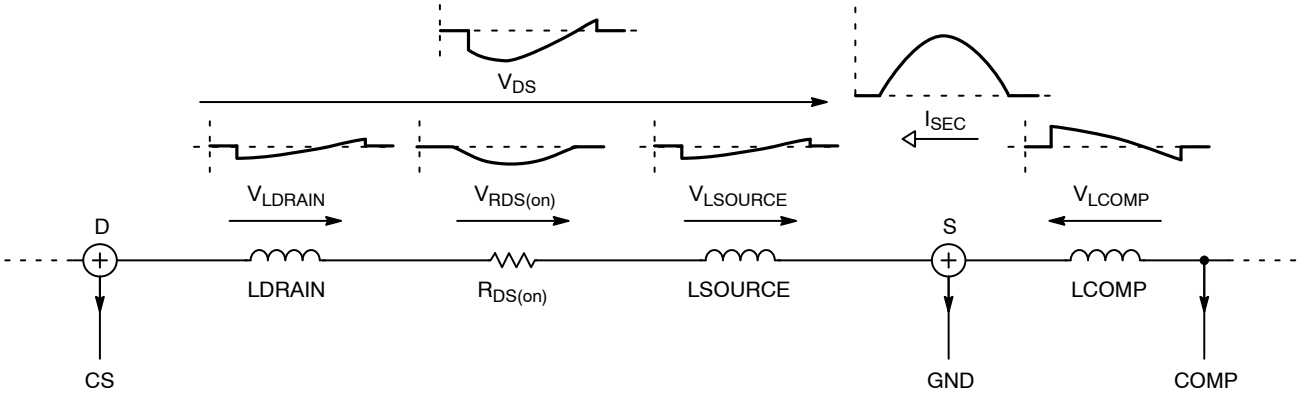


Figure 43. Package Parasitic Inductances Compensation Principle

専用入力ピン(COMP)を使用して、補償用の外部インダクタンス(ワイヤ・ストラップまたはPCB)を活用することができます。この補償インダクタンスがLCOMP = LDRAIN + LSOURCEである場合は、補償インダクタンスによって生成される補償電圧が、ドレインとソースの寄生インダクタンスによって生成される誤差の和、つまり$V_{LDRAIN} + V_{LSOURCE}$に完全に等しくなります。内蔵されているアナログ・インバータ(Figure 40)は、補償電圧V_{LCOMP}を反転し、電流センス・コンパレータのターンオフ・スレッショルドに対するオフセットとして供給します。この結果、電流センス・コンパレータは自らの複数の端子の間で生じている電圧を認識しますが、これはリード端子のインダクタンスが存在しない場合にSR MOSFETのチャネル抵抗で観察されるはずの値です。したがって、NCP4304A/Bの電流センス・コン

パレータは2次側の電流ゼロ・クロスを非常に高い精度で検出できます。さらに、2次側電流のターンオフ・スレッショルドはdi(t)/dtからは独立しているので、NCP4304A/BはSRシステムの動作周波数の上昇に対応できます。補償インダクタンスの寄生抵抗は、SR MOSFETのチャネルおよびリード端子の抵抗に比べて、できるだけ小さくする必要があります。この条件が満たされていない場合は、十分な補償を達成できません。TO−220パッケージに対応する補償インダクタンスの代表的な値は、7 nHです。補償されたSRシステムを使用した場合のアプリケーションから得られた波形をFigure 44に示します。導通時間が大幅に長くなり、ターンオフ電流が減少したことがわかります。

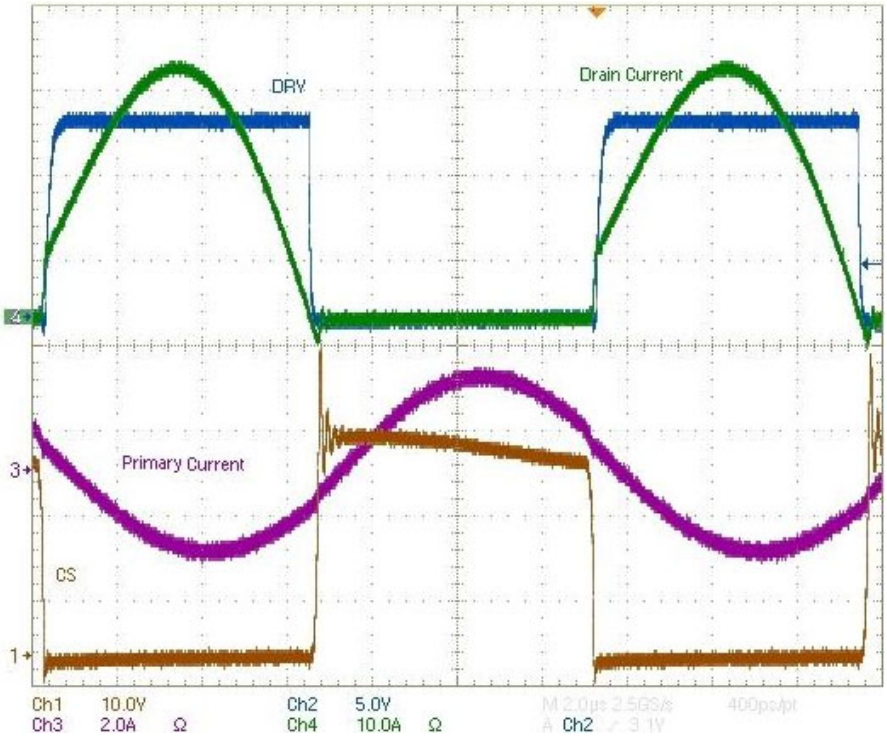


Figure 44. Waveforms SR System Using MOSFET in TO−220 Package with Parasitic Inductance Compensation – SR MOSFET Channel Conduction Time is Optimized

補償システムを使用する価値があるのは、SMT以外のパッケージに封入された、$R_{DS(on)}$の小さいMOSFETを使用する場合のみであることに注意してください。この補償方法では、標準的なTO−220パッケージを使用している場合に効率を最適化できます。また、SMT MOSFETは通常、リフロー半田プロセスを必要とし、より高価なPCBも要求されることから、TO−220パッケージを使用するとコストの削減にもつながります。

これまでの説明とパラメータ表から考えて、ターンオフ・スレッショルドの精度が非常に重要であることは明確です。$R_{DS(on)}$が1 mΩであるSR MOSFETを想定すると、CSピンでの誤差電圧が1 mVである場合は、ターンオフ電流スレッショルドに1 Aの差が生じます。したがって、SRシステムを実装するときに、PCBレイアウトが非常に重要な役割を果たします。CSのターンオフ・コンパレータと補償入力の両方が、GNDピンを基準としていることに注意してください。あらゆる寄生インピーダンス(抵抗性と誘導性で、それぞれmΩ単位とnH単位の値)が大きな誤差電圧を発生させる可能性があり、それらはCSコンパレータの入力として評価されます。理想的には、CSのターンオフ・コンパレータが、SR MOSFETのチャネル抵抗を流れる2次電流によって直接的に生成された電圧を検出できることが望まれます。実践的には、ボンディング・ワイヤ、リード端子、半田付けが存在するので、このような検出は不可能です。最善の効率という結果を保証するために、電源回路に対するSRコントローラのケルビン接続(つまり、GNDピンをSR MOSFETのソース半田付けポイントに接続し、電流センス・ピンをSR MOSFETのドレイン半田ポイントに接続する)を実装する必要があります。次に、SRコントローラの機能に対するPCBの寄生素子の効果も回避します。Figure 45およびFigure 46に、寄生インダクタンスの補償を使用した(つまり、$R_{DS(on)}$が小さくTO−220パッケージに封入されたMOSFETの場合) のSRシステムのレイアウトと、補償を使用していない(つまり、$R_{DS(on)}$が大きくTO−220パッケージに封入されたMOSFET、またはSMTパッケージに封入されたMOSFETの場合)のSRシステムのレイアウトを示します。

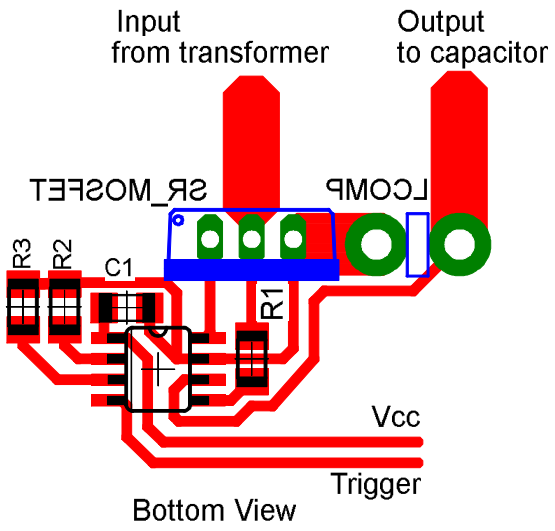


Figure 45. Recommended Layout When Parasitic Inductance Compensation is Used

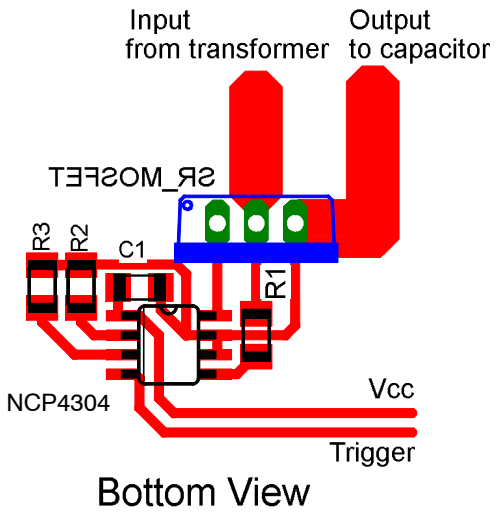


Figure 46. Recommended Layout When Parasitic Inductance Compensation is Not Used

トリガ/ディセーブル入力

NCP4304A/Bは、超高速トリガ入力を採用しており、トリガのアクティブ化からSR MOSFETのターンオフまでの代表的な遅延時間はわずか10 nsです。この入力の主要な目的は、CCMモードで動作するアプリケーションで、1次側から到着した信号を通じてSR MOSFETをターンオフさせること、または1次側コントローラの信号に応じて直接同期式のSR MOSFETのターンオフとターンオンを実行することです。TRIG/DIS入力を使用して、NCP4304A/Bの動作を無効にすることもできます。TRIG/DIS入力が“H” (2.5 V以上)にプルアップされると、ドライバはただちに無効になります。ただし、DRVの立ち上がりエッジの最中は、TRIG/DISが120 nsにわたって消去されるので、このような無効化は発生しません。トリガ信号が100 µs以上の長さにわたってハイの状態にとどまる場合は、ドライバはスタンバイ・モードに入ります。スタンバイ・モードの間は、ICの消費電流は100 µA未満に減少します。トリガ電圧が上昇してスタンバイ・モードを終了する場合は、デバイスは10 µs後に動作を回復します。消去期間を除き、TRIG/DIS入力はCS入力より優先されます。TRIG/DIS信号はSR MOSFETをターンオフします。またはTRIG/DISが$V_{TRIG/DIS}$より高い値にプルアップされている場合は、SR MOSFETのターンオンを無効にします。

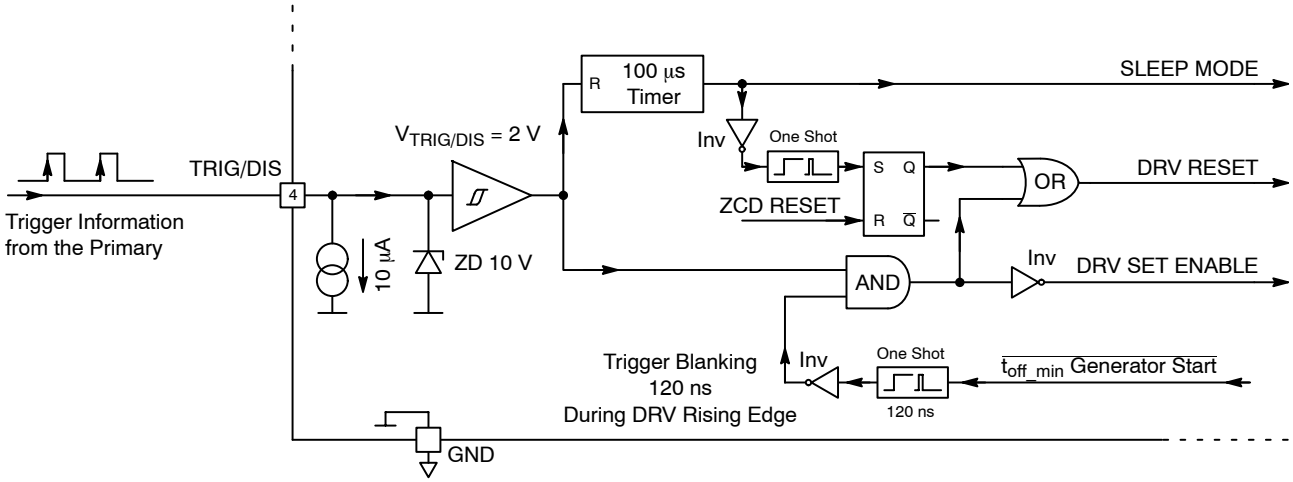


Figure 47. Trigger Input Internal Circuitry

Figure 48に、ドライバのターンオン動作を示します。CS (V_{DS})信号が$V_{th_cs_on}$のスレッショルド以下であり、TRIG/DISが“L”にプルダウンされている(t1~t3の期間)場合は、SR MOSFETのターンオンを実行できます。

CS (V_{DS})が$V_{th_cs_on}$のスレッショルドに達し、TRIG/DISが“H”にプルアップされている場合は、ドライバは“L”にとどまります(t6とt7の時間マーカ)。TRIG/DISが“L”にプルダウンされ、CS (V_{DS})が引き続き$V_{th_cs_on}$のスレッショルド以下である場合は、DRVはターンオンします(t7マーカ)。

Figure 48内の時間マーカt14とt15は、CS (V_{DS})が$V_{th_cs_on}$のスレッショルドを上回り、TRIG/DISが“L”にプルダウンされている状況を示します。この状況では、ドライバは“L”にとどまります(t12~t15のマーカ)。

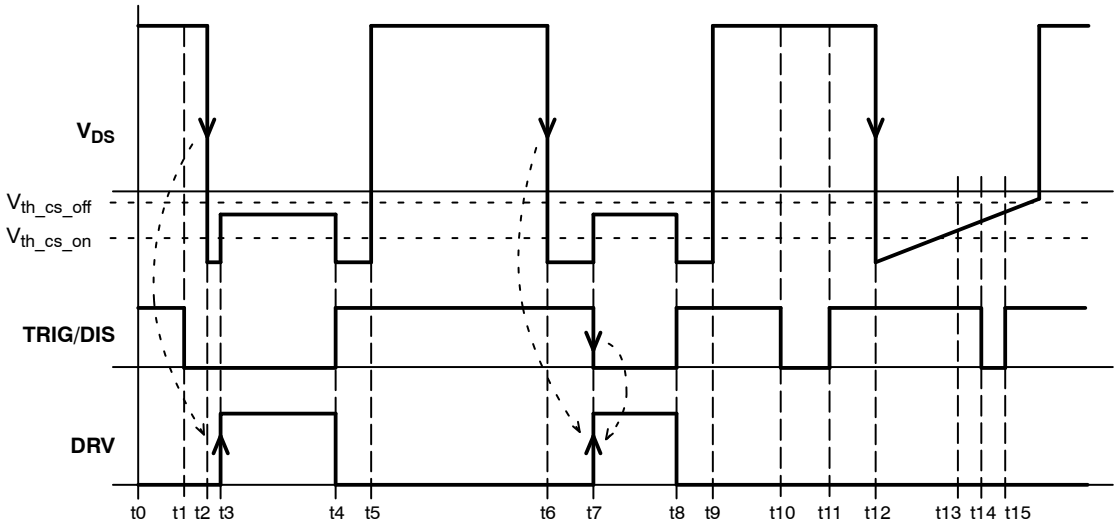


Figure 48. DRV Turn ON Events

DRVが信号を設定した後、SR MOSFETのターンオン動作の間に望ましくない挙動が発生することを回避するために、120 nsにわたってTRIG/DIS入力は消去されます。この消去期間を“H”のスレッショルド電圧(2 V)と組み合わせると、SR MOSFETのターンオン・プロセスの実行中にTRIG/DIS入力ピンで発生する可能性のあるリンギングとスパイクをトリガすることを防止できます。TRIG/DIS・ピンで発生する短いニードル・パルスに対するDRVの応答をFigure 49に示します。この短いパルスによって、DRVは120 nsにわたってターンオンします。

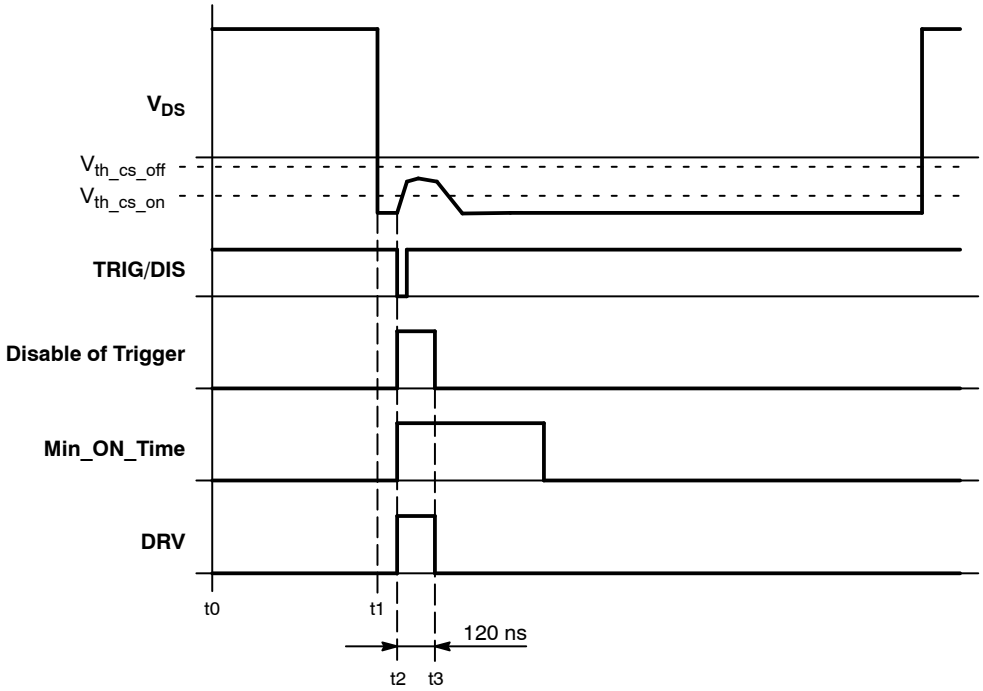


Figure 49. Trigger Needle Pulse and Trigger Blank Sequence

DRVのターンオン動作中にトリガ消去期間を設定することの利点は、Figure 50からも明白です。DRV信号の立ち上がりエッジによって、TRIG/DIS入力に追加のスパイクが発生する可能性があります。これらのスパイクが、超高速の高性能トリガ・ロジックと組み合わされることにより、不適切な時期にSR MOSFETのターンオフが発生する恐れがあります。トリガの消去期間を実装すると、このような状況の回避に役立ちます。

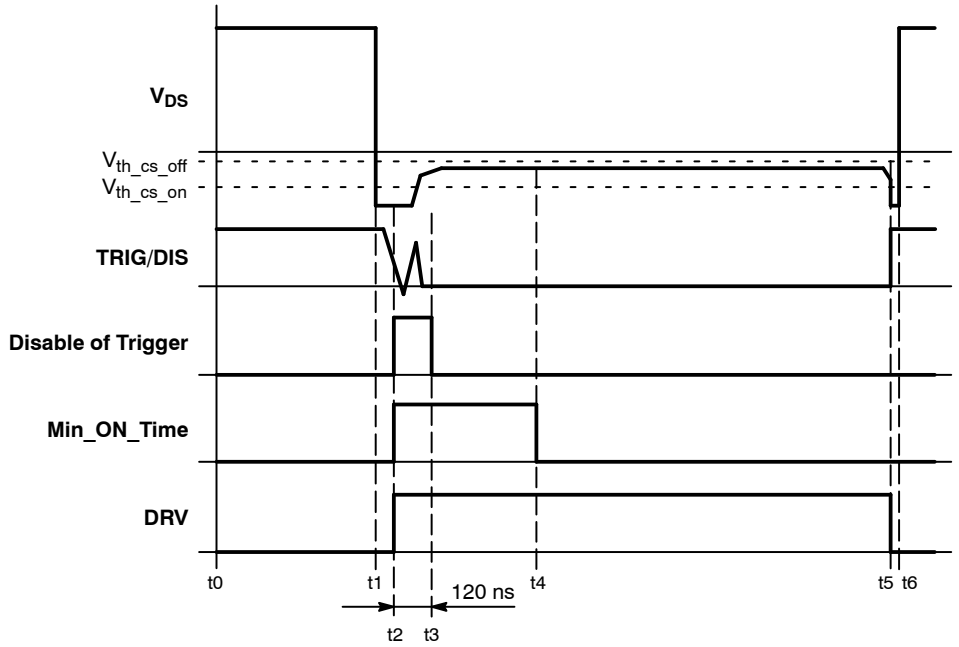


Figure 50. Trigger Blanking Masked-out Noise in Trigger Signal During Switch-ON Event

Figure 51に、ドライバのターンオフ動作の詳細を示します。CS (V_{DS})が$V_{th_cs_off}$のスレッショルド以下にとどまる場合は、TRIG/DIS信号の立ち上がりエッジに従ってドライバはターンオフします。TRIG/DISは、最小オン時間の期間にもドライバをターンオフできます(Figure 51のt2およびt3時刻マーカ)。

Figure 52に、ドライバのもう1つのターンオフ動作の詳細を示します。ドライバはCS (V_{DS})信号に従って、最小オン時間が経過した後でのみ、ターンオフします(t2マーカ)。この動作が発生している間に、TRIG/DIS信号を“L”にする必要があります。TRIG/DISピンが“L”である間に、最小オン時間による期間が終了する前にCS (V_{DS})電圧が$V_{th_cs_off}$のスレッショルドに達した場合は、最小オン時間の期間終了時に発生する立ち下がりエッジでDRVがターンオフします(Figure 52のt4およびt6時刻マーカ)。

Figure 53に、トリガ・ピンを継続的に“L”にプルダウンした場合のNCP4304A/Bコントローラの性能を示します。この状況では、CS (V_{DS})信号に従ってDRVがターンオンおよびターンオフします。ドライバがターンオフすることができるのは、最小オン時間の期間が経過した後のみです。CS (V_{DS})が$V_{th_cs_on}$のスレッショルドに達したときに、ドライバがターンオンします(t1~t2、t5~t6およびt9~t10の各マーカ間)。CS (V_{DS})信号が$V_{th_cs_off}$のスレッショルドに達したときにDRVがターンオフします(t4マーカ)。最小オン時間の期間が経過する前にCS (V_{DS})が$V_{th_cs_off}$に達した場合は、DRVのオン時間は、最小オン時間の期間終了時に発生する立ち下がりエッジまで延長されます(t7~t8、t11~t12の各マーカ間)。

Figure 54に、スリープ・モードに入る状況を示します。TRIG/DISが100 μs以上の長さにわたってプルアップされた場合は、NCP4304A/Bは低消費電力モードに入ります。スリープ・モードに入る間、DRVは“L”(無効)にとどまります。

Figure 55に、スリープ・モードへの移行に関する2番目の状況を示します。つまり、トリガの消去期間中に、TRIG/DISの立ち上がりエッジが発生する場合です。

Figure 56に、スリープ・モードに入る状況と、ウェイクアップ・シーケンスを示します。

Figure 57とFigure 58に、ウェイクアップの状況を詳細に示します。NCP4304A/Bがスリープ・モードにあるときに、TRIG/DISが“L”にプルダウンされた場合は、NCP4304A/Bはすべての内部回路を通常の動作状態に回復するまでに最大10 μsの期間を必要とします。その後、CS (V_{DS})信号の次のサイクルでのみドライバが有効になります。ウェイクアップ時間の期間中、DRVは“L”にとどまります。

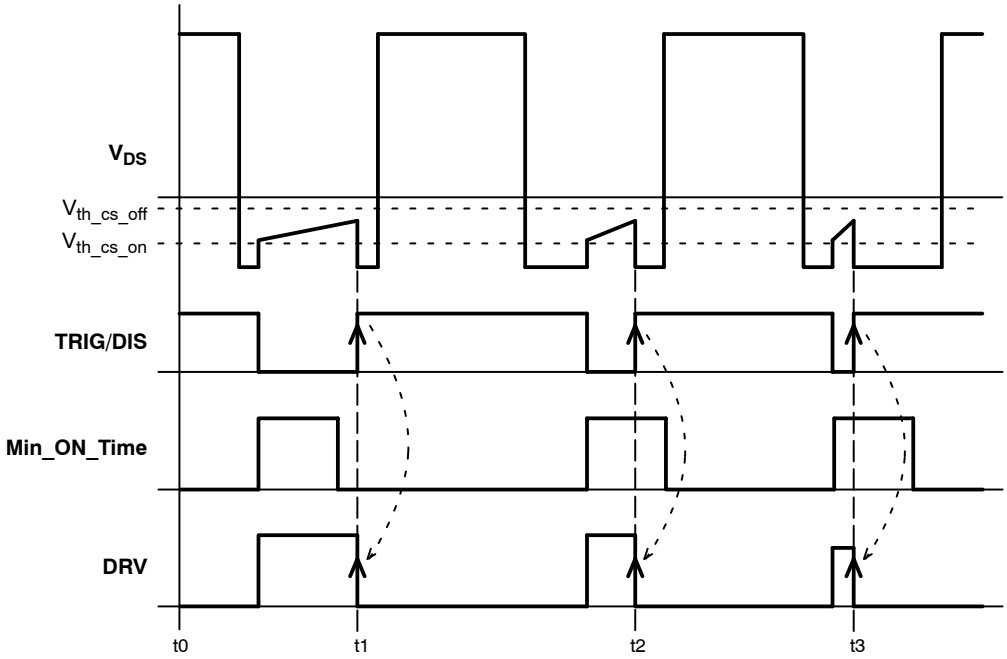


Figure 51. Driver Turn-OFF Events Based on the TRIG/DIS Input

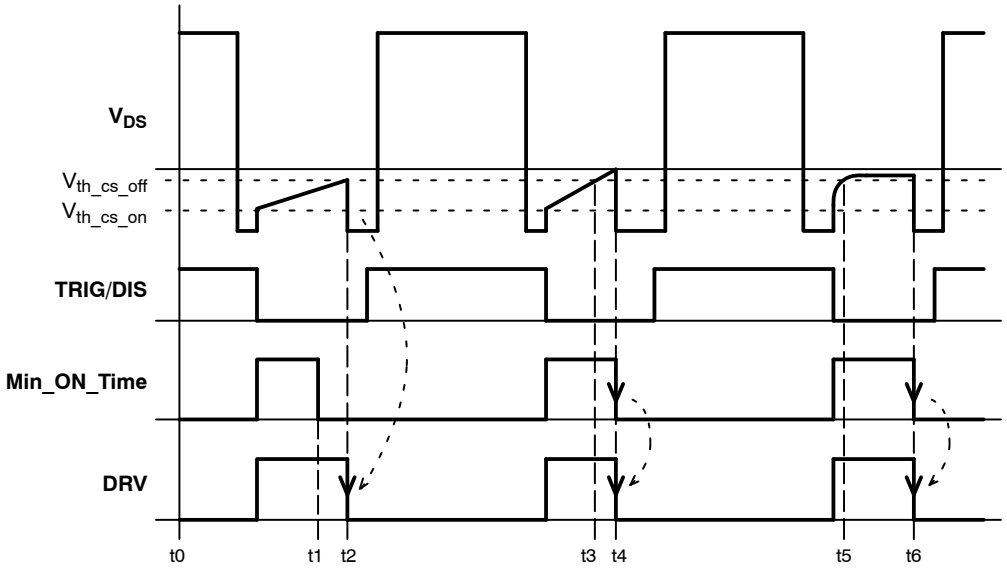


Figure 52. Driver OFF Sequence Chart 2

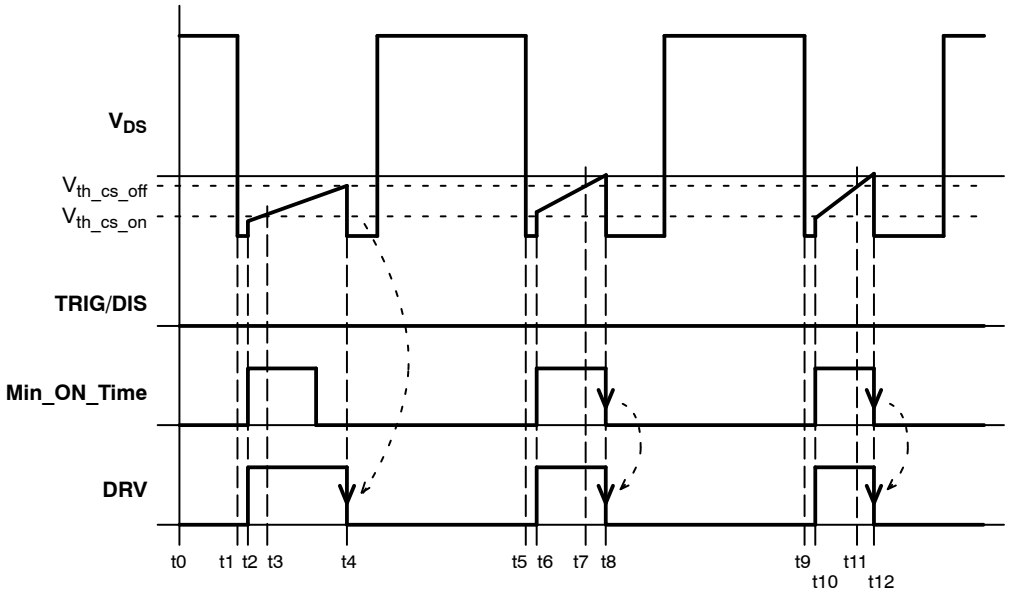


Figure 53. TRIG/DIS is LOW Sequence Chart

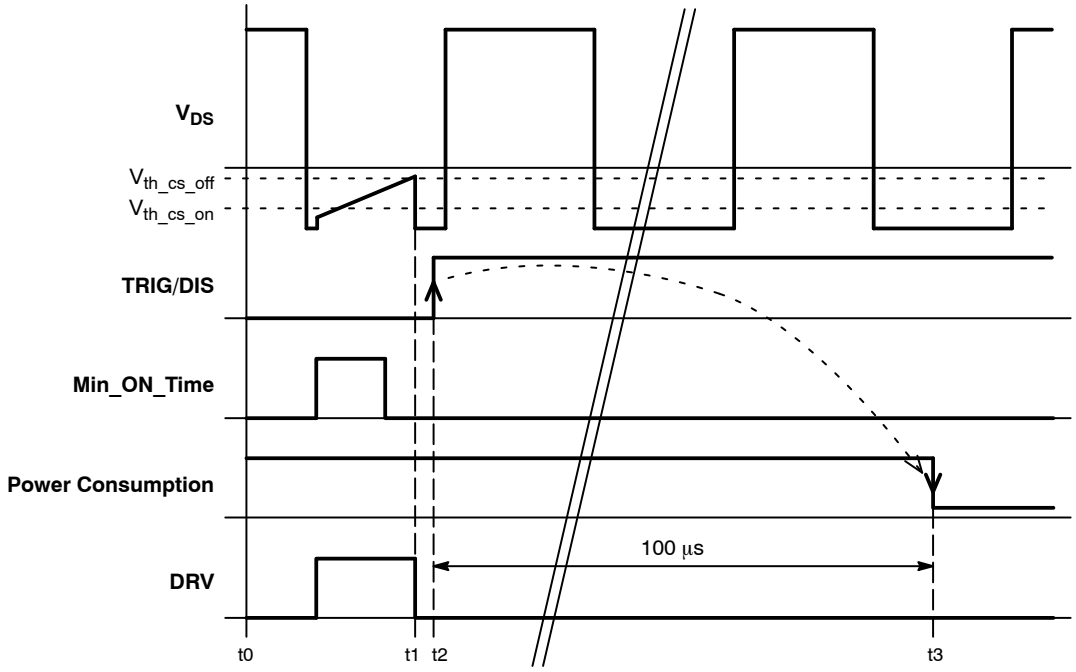


Figure 54. TRIG/DIS from LOW to HIGH Sequence 1

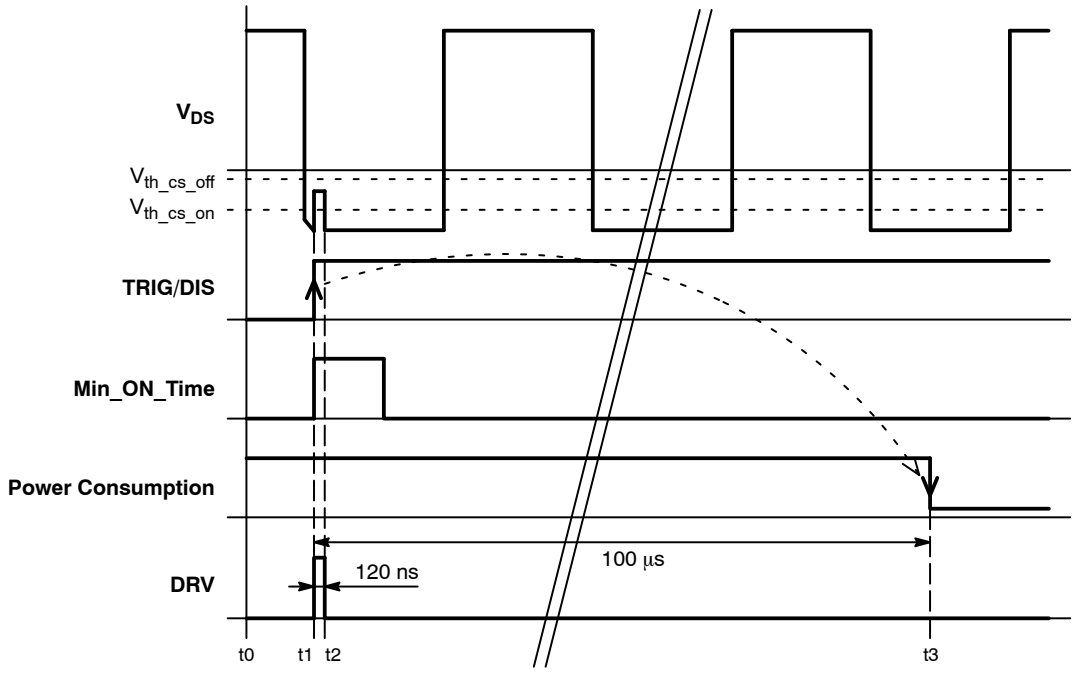


Figure 55. TRIG/DIS from LOW to HIGH Sequence 2

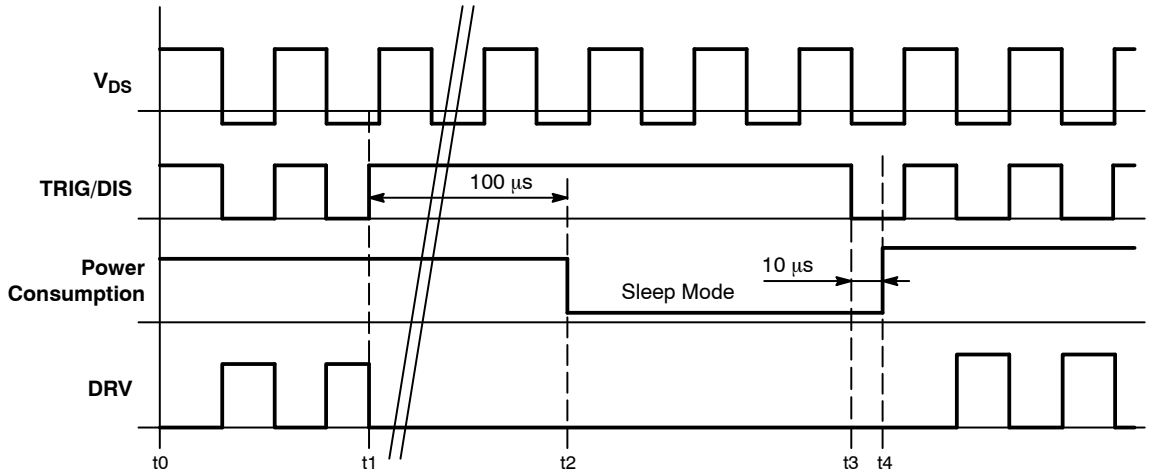


Figure 56. Sleep Mode Sequence

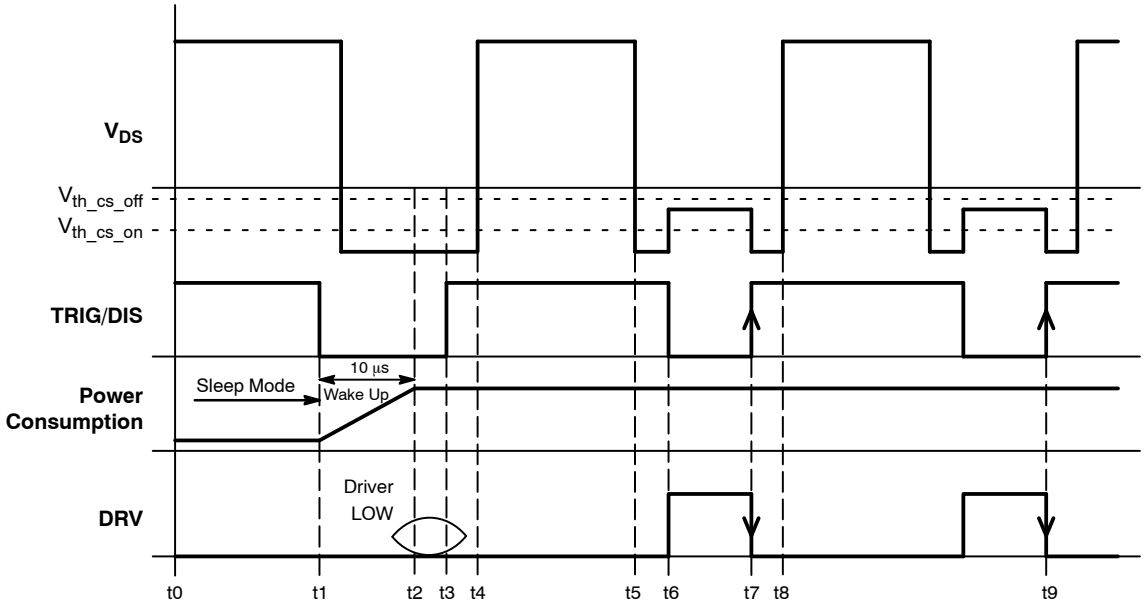


Figure 57. Waking-up Sequence

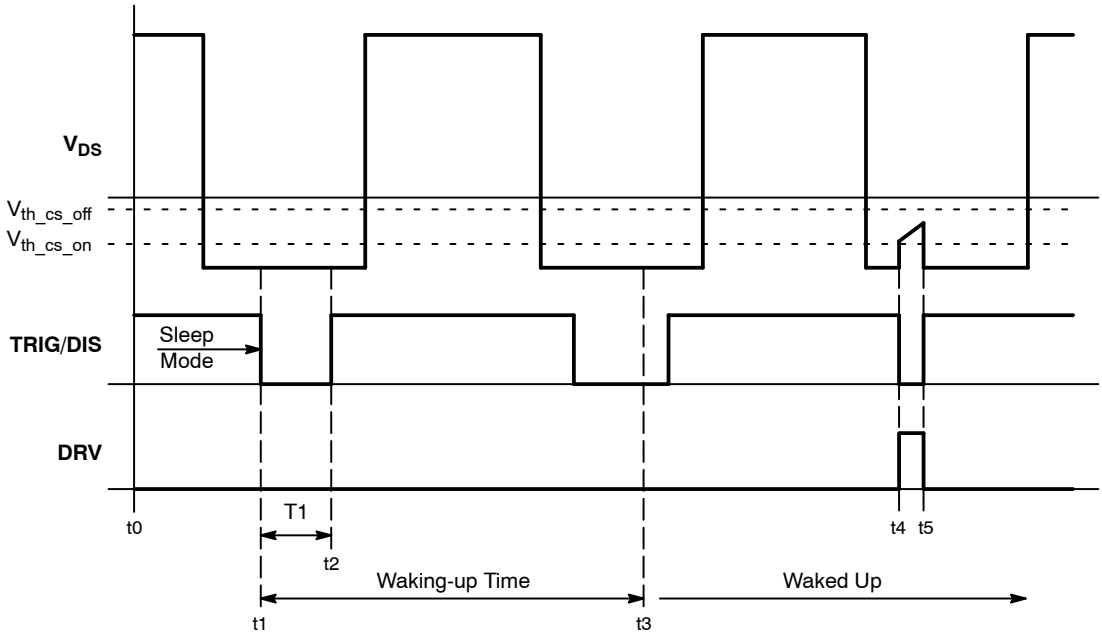


Figure 58. Wake-up Time Sequence

Figure 59に、V_{DS} (CS)信号の1サイクル内でトリガ信号のパルスが2回発生した場合のICの挙動を示します。V_{DS}電圧が$V_{th_cs_on}$のスレッショルド電圧以下なので、TRIG/DISにより、ドライバは時刻t1で有効になり、DRVはターンオンします。時刻t2で、トリガ信号が原因で、DRV出力が立ち下がります。時刻t2で最小オフ時間ジェネレータがトリガされます。時刻t3でTRIG/DISは“L”に下降しますが、最小オフ時間のシーケンスが継続しているので、DRV出力は“L”にとどまります。時刻t4で最小オフ時間シーケンスが経過した時点で、DRVはターンオンします。時刻
t5でトリガ信号は立ち上がり、CS信号のこのサイクルは時刻t5で終了します。次のサイクルは時刻t6で開始されます。トリガによってDRVは有効になり、V_{DS}は$V_{th_cs_on}$のスレッショルド以下なので、DRVは時刻t6でターンオンします。時刻t7でTRIG/DIS信号はハイ・レベルまで立ち上がり、その結果、DRVはターンオフし、これによって最小オフ時間ジェネレータが開始されます。最小オフ時間の期間は、V_{DS}のサイクル終了までの残り時間より長いので、DRVは無効になります。

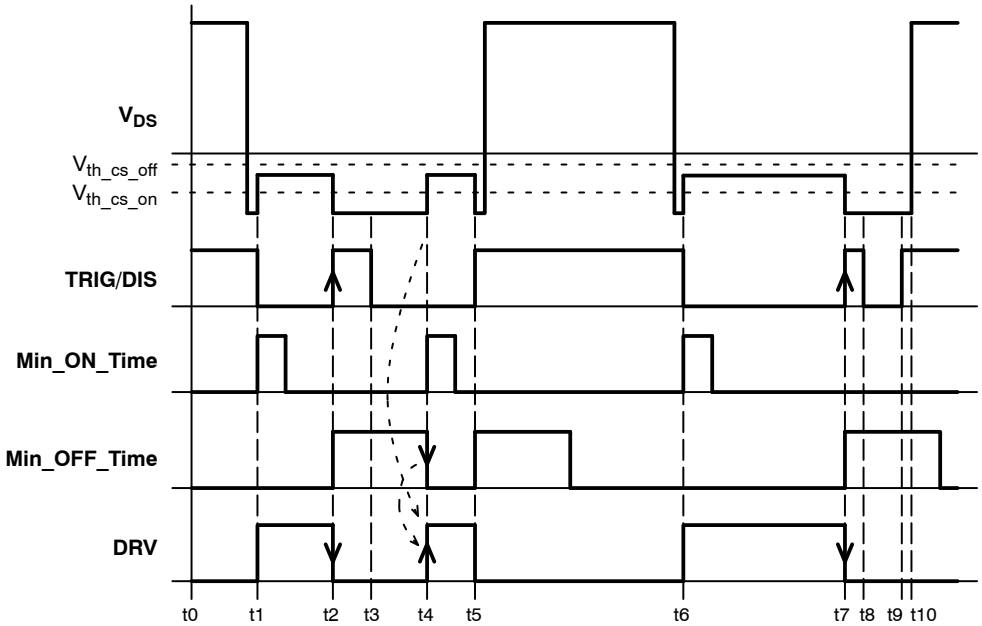


Figure 59. IC Behavior when Multiple Trigger Pulses Appear on TRIG/DIS Input

TRIG/DIS入力が超高速入力であり、非常に幅の狭い電圧パルスであっても反応することに注意してください。したがって、この入力を低インピーダンス・パスに接続し、この入力が内部ロジックによって有効になっているときはクリーンなトリガ信号を供給するのが最善です。

NCP4304A/Bドライバを使用したCCMフライバック・コンバータの代表的なアプリケーション回路図をFigure 60に示します。このアプリケーションでは、フライバック・コントローラ・ドライバの出力からトリガ信号を直接取得し、パルス・トランスTR2を使用して2次側に送信します。TRIG/DIS入力はエッジに応答するので、1次側ドライバ・パルス全体を2次側に送信する必要はありません。カップリング・コンデンサC5は、パルス・トランスのコアをリセットするため、およびNCP4304A/BのTRIG/DIS入力にニードル・パルス(幅が100 ns未満のパルス)を送信する準備をするために使用します。ニードル・トリガ・パルスを使用することの利点は、パルス・トランスで要求される電圧と時間(秒)の積が非常に小さく、その結果、設計者が非常に小型かつ安価な磁気回路を使用できることです。例えば、トリガ・トランスは、直径8 mmの小型トロイダル・フェライト・コアで作成できます。1次側と2次側の間で十分な安全性を持つ絶縁は、両方の巻線に対して三重絶縁された配線を使用することで容易に保証できます。

1次側にあるMOSFETのゲート電圧の立ち上がりエッジは、トランジスタQ1とQ2および周辺素子によって形成される外部回路により遅延されます。その結果、1次側のMOSFETはわずかな遅延でターンオンし、2次側のコントローラは1次側のスイッチングに先行するトリガ信号により、SR MOSFETをターンオフします。この方法で、整流損失とSR MOSFETのドレイン電圧のスパイクを減らし、効率を向上させる結果がもたらされます。

また、1次側と2次側の間で(安全性を高める絶縁の一環として追加のコンデンサを使用して)容量性結合を使用してトリガ信号を送信することも可能になります。ただし、1次側と2次側の間の寄生容量電流がトリガ信号に影響し、その結果、システム全体の機能に影響を及ぼす可能性があるので、この技法は推奨しません。

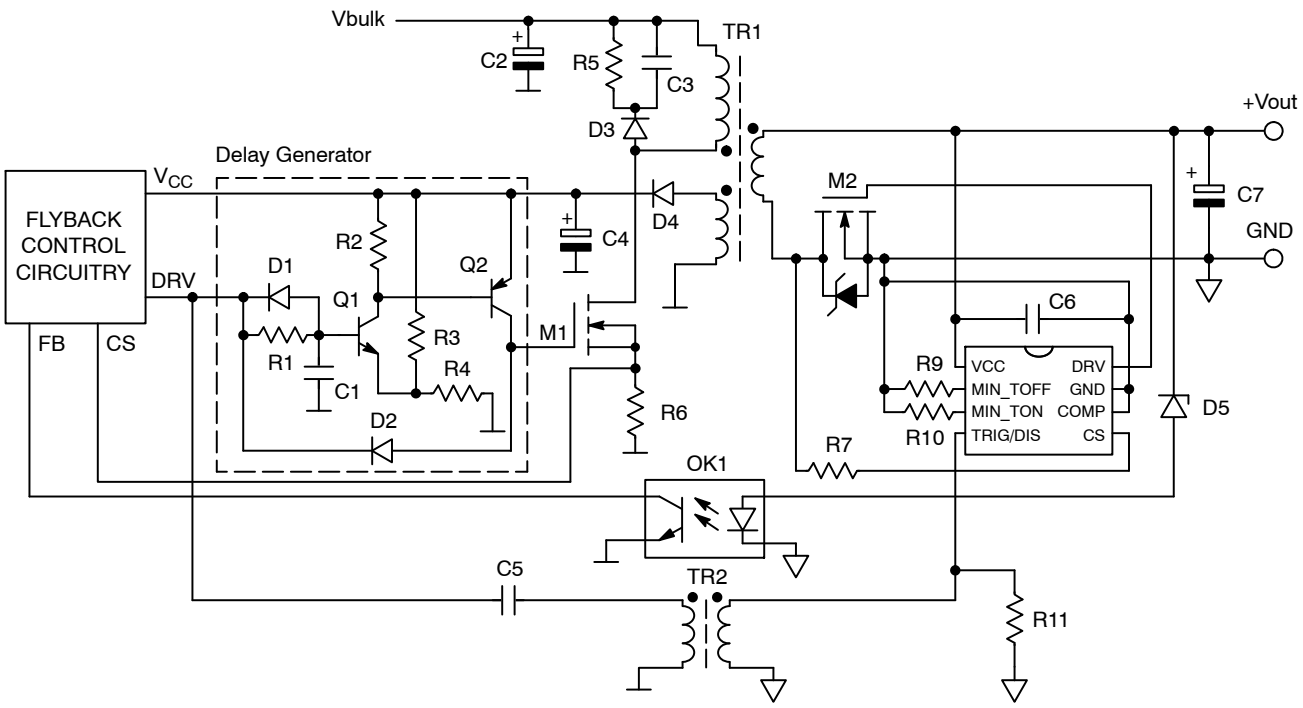


Figure 60. Typical Application Schematic when NCP4304A/B is Used in CCM Flyback Converter

t_{on_min}とt_{off_min}の調整

NCP4304A/Bでは、最小オン時間の期間と最小オフ時間の期間が調整可能であり、電源内での同期整流システムの実装が容易です。これらのタイマにより、MOSFETがターンオンまたはターンオフしたときのCS入力での誤トリガを回避できます。調整は、内部のタイミングコンデンサと、GNDピンに接続する外付け抵抗に基づいています。より明確に理解できるように、Figure 61を参照してください。

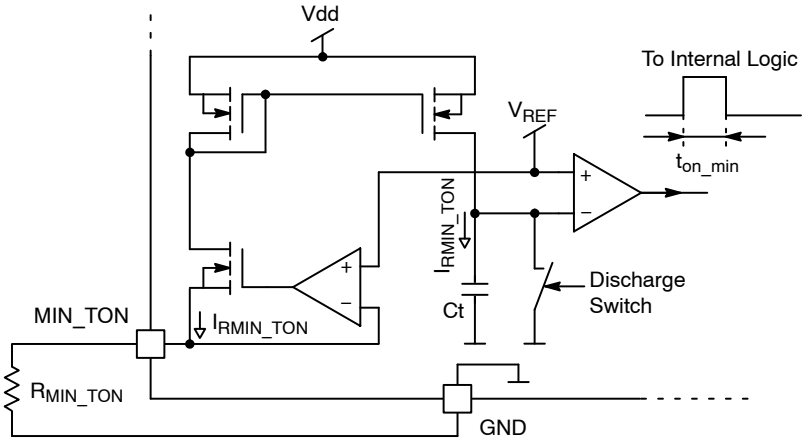


Figure 61. Internal Circuitry of t_{on_min} Generator (t_{off_min} Generator Works in the Same Way)

調整抵抗R_{MIN_TON}を流れる電流は、次のように計算できます。

$$I_{RMIN_TON} = \frac{V_{REF}}{R_{MIN_TON}} \qquad \text{(eq. 4)}$$

内部のタイミングコンデンサ(C_t)の充電に同じ電流が使用されるので、次の式を使用して、最小オン時間の持続時間を計算できます。

$$t_{on_min} = C_t \cdot \frac{V_{REF}}{I_{RMIN_TON}} = C_t \cdot \frac{\frac{V_{REF}}{V_{REF}}}{R_{MIN_TON}} \qquad \text{(eq. 5)}$$

$$= C_t \cdot R_{MIN_TON}$$

Equation 5から確認できるように、最小オン時間と最小オフ時間はV_{REF}レベルやVCCレベルから独立し

ています。電流I_{RMIN_TON}を直接使用する場合、内部コンデンサ・サイズが大きくなり過ぎるので、内部電流ミラー比でこの電流を減らします。図62および図63の測定値から、最少オン時間と最小オフ時間のブランキング時間を推定することが出来ます。

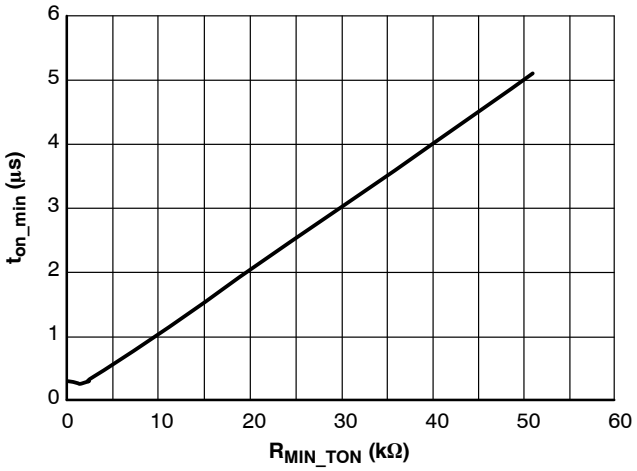


Figure 62. MIN_TON Adjust Characteristic

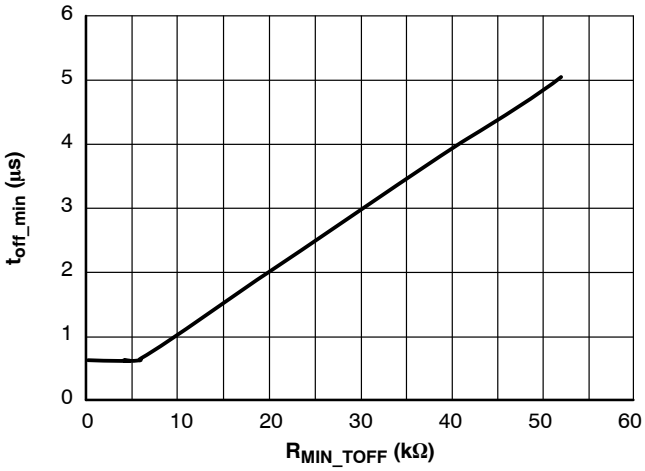


Figure 63. MIN_TOFF Adjust Characteristic

最小t_{on}や最小t_{off}に関係する入力がGNDに短絡されたことが原因で生じる可能性のある問題を防止するために、絶対最小t_{on}の持続時間は内部で130 nsにクランプされ、最小t_{off}の持続時間は600 nsにクランプされます。

一部のアプリケーションでは、最小オン時間と最小オフ時間の消去期間をアダプティブに調整する必要が生じることがあります。NCP4304A/Bでは、外付けNPNトランジスタを使用して消去期間を変調することができます。Figure 64を参照してください。変調信号は、負荷電流またはフィードバック・レギュレータ電圧から導出することができます。

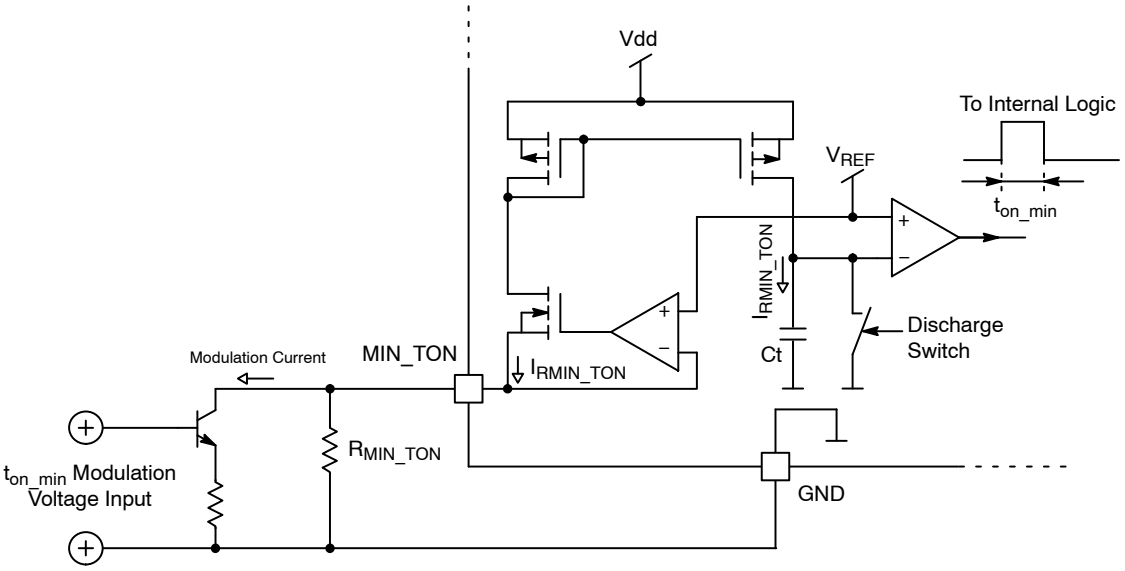


Figure 64. Possible Connection for t_{on_min} and t_{off_min} Modulation

動作周波数範囲が非常に広いLLCアプリケーションでは、必要とされる最大動作周波数を達成するために、最小オン時間と最小オフ時間の期間を非常に短くする必要が生じます。一方、LLCコンバータが低周波数で動作している場合は、最小オフ時間の期間が短かすぎることもあります。低いライン電圧と軽い負荷の条件下で動作するLLCで発生する可能性のある問題を克服するために、反対側にあるSR MOSFETのドレインから接続する抵抗R_{DRAIN1}とR_{DRAIN2}を使用して、最小オフ時間の消去期間を延長することができます。Figure 65を参照してください。

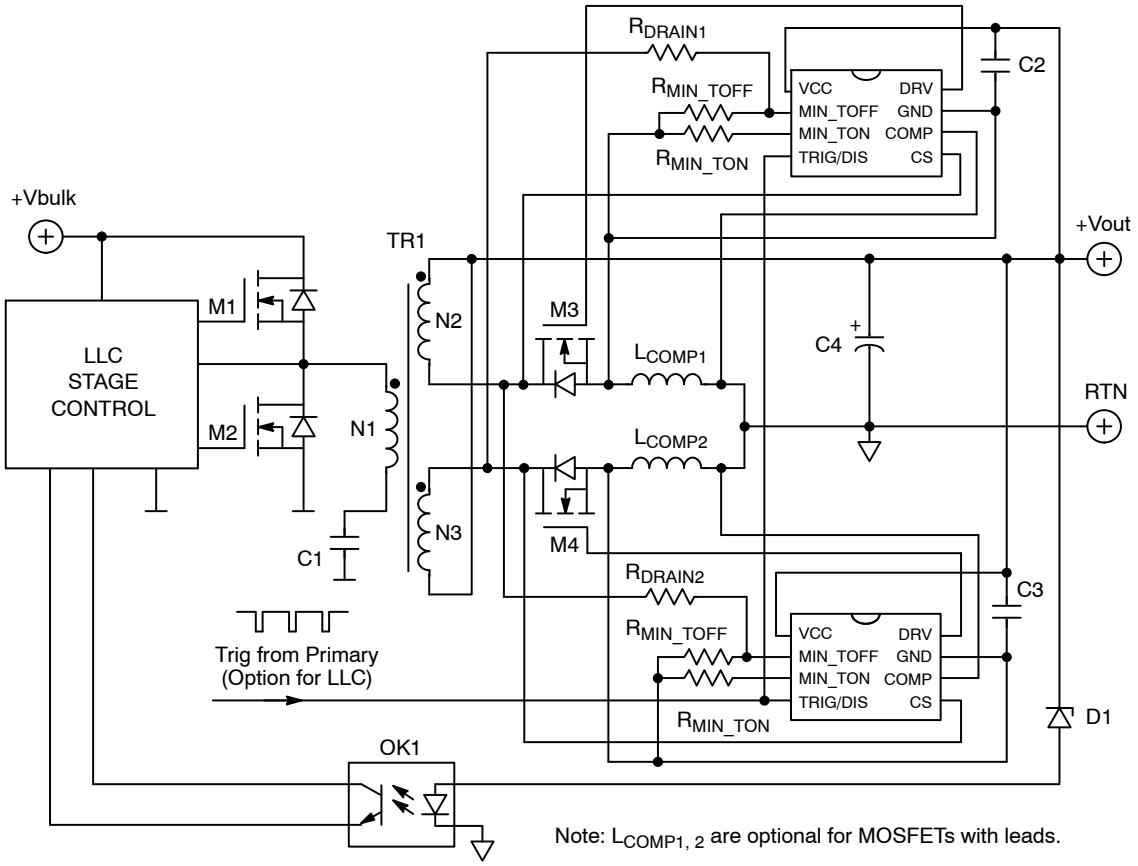


Figure 65. Possible Connection for t_{off_min} Prolongation in LLC Application with Wide Operating Frequency Range

R_{DRAIN1}とR_{DRAIN2}は、MIN_TOFF調整ピンに流れる最大パルス電流が10 mAを下回るように設計する必要があります。MIN_TOFFとMIN_TONの各ピンの電圧は、内部ツェナー保護により10 Vにクランプされます。

消費電力の計算

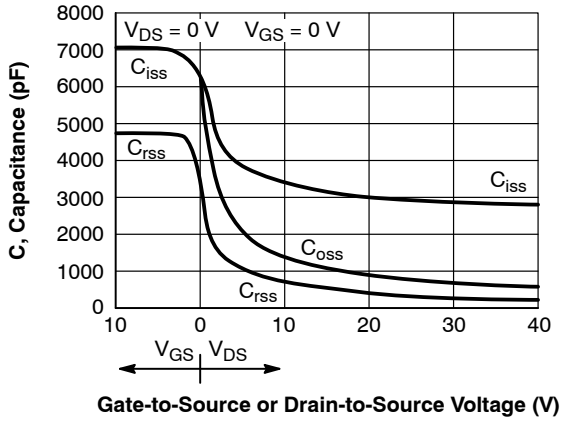
SRシステムのMOSFETドライバ内での消費電力を計算することは重要です。外付けゲート抵抗を使用せず、MOSFETの内部ゲート抵抗が非常に小さい場合は、ゲート充電に関連するほぼすべてのエネルギー損失がドライバ内で消費されることになります。したがって、温度超過を防止し、効率を最適化するために、ターゲット・アプリケーション内でのSRドライバの電力損失を確認することが重要です。

SRシステム内では、$V_{th_cs_on}$のスレッショルド・レベルが0 V以下であることが原因で、ターンオンより前にSR MOSFETのボディ・ダイオードが導通を開始します。一方、SR MOSFETのターンオフ・プロセスは必ず、ドレイン–ソース間電圧が十分上昇するより前に開始されます。したがって、同期整流システム内に実装する場合は、MOSFETスイッチは常にゼロ電圧スイッチング(ZVS)条件下で動作します。

以下のステップで、NCP4304A/Bコントローラの消費電力とダイ温度を近似計算する方法を示します。熱抵抗に対するPCBレイアウトの効果が原因で、実際の結果が大きく変化する可能性があることに注意してください。

ステップ1 – MOSFETのゲート – ソース間容量：

ZVS動作中は、ゲート–ドレイン間容量には、ハード・スイッチング方式のようなミラー効果が存在しません。ドレイン–ソース間電圧が0に近く、その変化は無視できる範囲だからです。



$C_{iss} = C_{gs} + C_{gd}$
$C_{rss} = C_{gd}$
$C_{oss} = C_{ds} + C_{gd}$

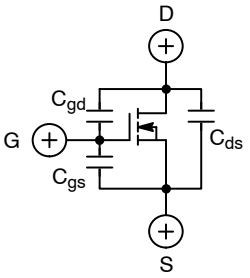


Figure 66. Typical MOSFET Capacitance Dependency on V_{DS} and V_{GS} Voltage

したがって、ZVSモードで動作しているMOSFETの入力容量は、ゲート−ソース間容量とゲート−ドレイン間容量の並列結合で求められます(つまり、特定のゲート−ソース電圧に対してC_{iss}の容量)。市場で入手できるほとんどのMOSFETの合計ゲート電荷Q_{g_total}は、ハード・スイッチング方式を想定して定義されています。SRシステムで駆動損失を正確に計算するには、ZVSシステム特有の動作に対応するMOSFETのゲート電荷を判定する必要があります。いくつかのメーカはこのパラメータをQ_{g_ZVS}として定義しています。残念ながら、ほとんどのデータシートではこのデータが規定されていません。Ciss(またはQ_{g_ZVS})パラメータが入手できない場合は、測定する必要があります。(Figure 66に示すように)入力容量が線形でないこと、および特定のゲート電圧クランプ・レベルに対して特性化する必要があることに注意してください。

ステップ2 – ゲート駆動損失の計算：

ゲート駆動損失は、ゲート・ドライバ・クランプ電圧の影響を受けます。ゲート・ドライバ・クランプ電圧の選択は、使用するMOSFETのタイプ(スレッショルド電圧とチャネル抵抗のどちらを重視するか)によって異なります。ゲート・ドライバ・クランプ電圧を選択するときに、合計電力損失(駆動損失と導通損失)を考慮する必要があります。SRシステムを対象とする現在のMOSFETのほとんどは、5 VのV_{GS}電圧での動作時に小さい$R_{DS(on)}$を達成しているので、ドライバのBバージョンを使用するのが有用です。ただし、市場には依然として高いゲート−ソース間電圧を必要とする大きなMOSFETグループが存在しています。この場合は、Aバージョンを使用する必要があります。

選択したゲート・ドライバ・クランプ電圧と、MOSFETの入力容量を使用して、合計駆動損失を計算できます。

$$P_{DRV_total} = V_{CC} \cdot V_{clamp} \cdot C_{g_ZVS} \cdot f_{SW} \quad \text{(eq. 6)}$$

ここで、

V_{CC}	は電源電圧
V_{clamp}	はドライバのクランプ電圧
C_{g_ZVS}	はゲート−ソース間容量で、MOSFETがZVSモードにあることが前提
f_{sw}	はターゲット・アプリケーションのスイッチング周波数

合計駆動電力損失は、IC内のみではなく、外付けゲート抵抗のような外付け抵抗(使用している場合)や、MOSFETの内部ゲート抵抗でも消費されます(Figure 67を参照)。NCP4304A/Bはクランプされたドライバを採用しているので、ハイサイド部分は、等価抵抗と直列電圧源を持つ通常のドライバ・スイッチとしてモデル化することができます。ローサイド・ドライバ・スイッチの抵抗は、ターンオフ時にただちに減少することはないので、計算するには等価値($R_{drv_low_eq}$)を使用する必要があります。この方法により、電力損失の計算を簡略化すると同時に、受け入れ可能な制度を達成できます。その後、Equation 7を使用して内部ドライバの消費電力を計算できます。

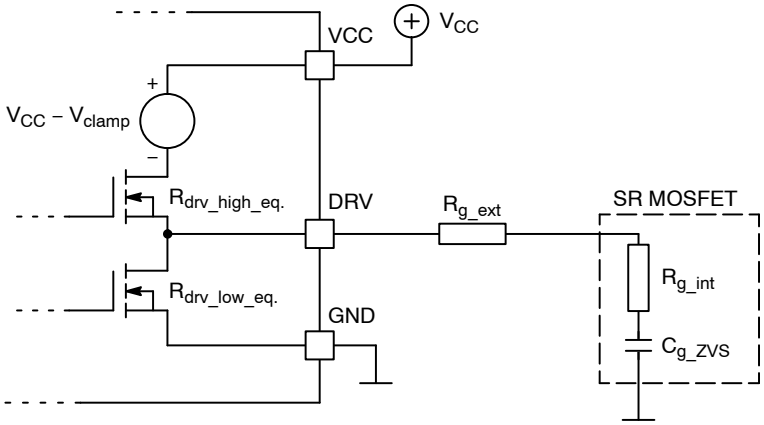


Figure 67. Equivalent Schematic of Gate Drive Circuitry

$$P_{DRV_IC} = \frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}{}^{2} \cdot f_{SW} \cdot \left(\frac{R_{drv_low_eq}}{R_{drv_low_eq} + R_{g_ext} + R_{g_int}} \right) + C_{g_ZVS} \cdot V_{clamp} \cdot f_{SW} \cdot \left(V_{CC} - V_{clamp} \right)$$

$$+ \frac{1}{2} \cdot C_{g_ZVS} \cdot V_{clamp}{}^{2} \cdot f_{SW} \cdot \left(\frac{R_{drv_high_eq}}{R_{drv_high_eq} + R_{g_ext} + R_{g_int}} \right) \quad \text{(eq. 7)}$$

ここで、

$R_{drv_low_eq}$	はドライバのローサイド・スイッチ等価抵抗(1.55 Ω)
$R_{drv_high_eq}$	はドライバのハイサイド・スイッチ等価抵抗(7 Ω)
R_{g_ext}	は外付けゲート抵抗(使用する場合)
R_{g_int}	はMOSFETの内部ゲート抵抗

ステップ3 – ICの消費電力の計算：

このステップでは、ICの内部消費に関連する電力損失を計算します。この電力損失は、電流I_{CC}とICの電源電圧によって求めることができます。電流I_{CC}はスイッチング周波数に依存し、選択したt_{on_min}期間とt_{off_min}期間にも依存します。MIN_TONピンとMIN_TOFFピンから流れ出る電流も存在するからです。これらの損失を計算する最も精度の高い方法は、C_{DRV} = 0 nFに設定し、ICをターゲット周波数でスイッチングし、t_{on_min}とt_{off_min}に特定の抵抗を接続して電流I_{CC}を測定することです。ドライバに負荷を接続していないときのICの代表的な消費電力を示すグラフについては、Figure 68を参照してください。ICの消費による損失は、次のように計算できます。

$$P_{ICC} = V_{CC} \cdot I_{CC} \quad \text{(eq. 8)}$$

ステップ4 – ICのダイ温度上昇の計算

合計内部電力損失(ドライバ損失とICの内部消費損失の和)が決まったので、ダイの温度を計算できます。SO−8パッケージの熱抵抗は35 μmの薄い銅配線パターンに配置し、どのピンにも追加の銅製プレートを実装していない条件(つまり、標準的な半田付けポイントを使用して各ピンに0.5 mmの配線のみを接続)で規定されています。ダイ温度は次のように計算します。

$$T_{DIE} = \left(P_{DRV_IC} + P_{ICC} \right) \cdot R_{\theta JA} + T_A \quad \text{(eq. 9)}$$

ここで、

P_{DRV_IC}	はICドライバの内部消費電力
P_{ICC}	はIC制御回路の内部消費電力
$R_{\theta JA}$	は接合部から周囲への熱抵抗
T_A	は周囲温度

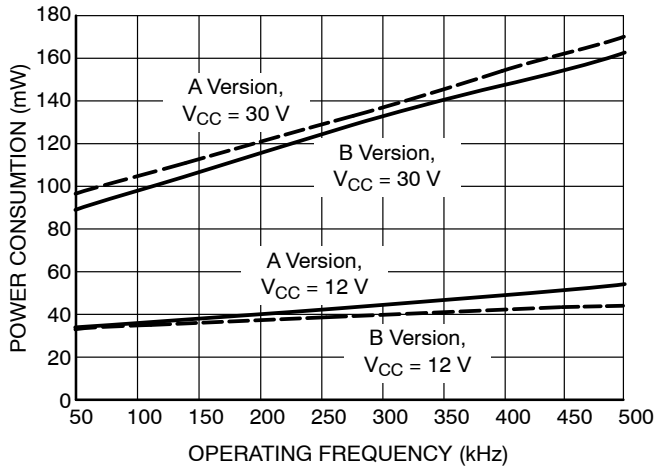


Figure 68. IC Power Consumption as a Function of Frequency for C_{DRV} = 0 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 kΩ

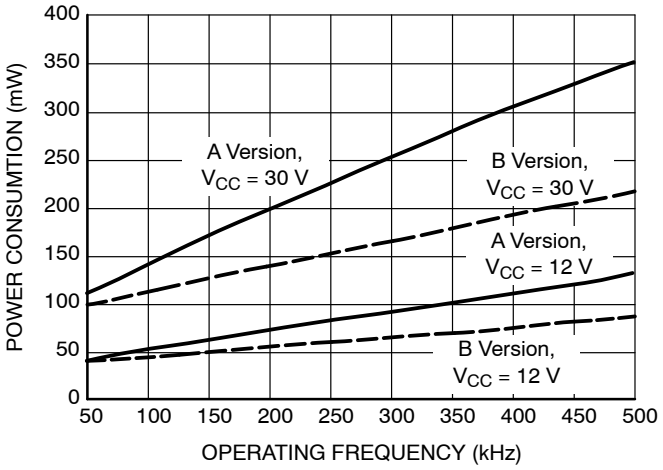


Figure 69. IC Power Consumption as a Function of Frequency for C_{DRV} = 1 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 kΩ

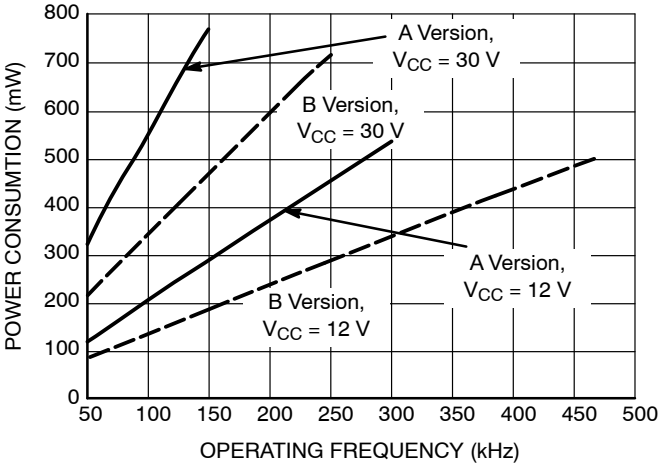
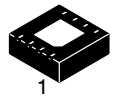


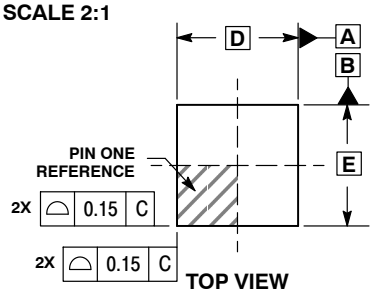
Figure 70. IC Power Consumption as a Function of Frequency for C_{DRV} = 10 nF, R_{MIN_TON} = R_{MIN_TOFF} = 5 kΩ

DFN8, 4x4
CASE 488AF
ISSUE C

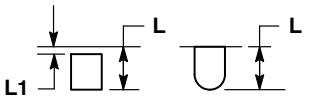
DATE 15 JAN 2009



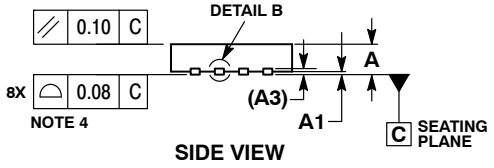
SCALE 2:1



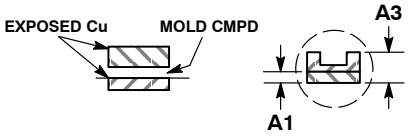
TOP VIEW



DETAIL A
OPTIONAL CONSTRUCTIONS



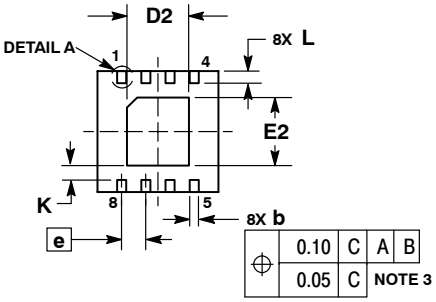
SIDE VIEW



DETAIL B
ALTERNATE CONSTRUCTIONS

NOTES:
1. DIMENSIONS AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30MM FROM TERMINAL TIP.
4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.
5. DETAILS A AND B SHOW OPTIONAL CONSTRUCTIONS FOR TERMINALS.

	MILLIMETERS	
DIM	MIN	MAX
A	0.80	1.00
A1	0.00	0.05
A3	0.20 REF	
b	0.25	0.35
D	4.00 BSC	
D2	1.91	2.21
E	4.00 BSC	
E2	2.09	2.39
e	0.80 BSC	
K	0.20	---
L	0.30	0.50
L1	---	0.15



BOTTOM VIEW

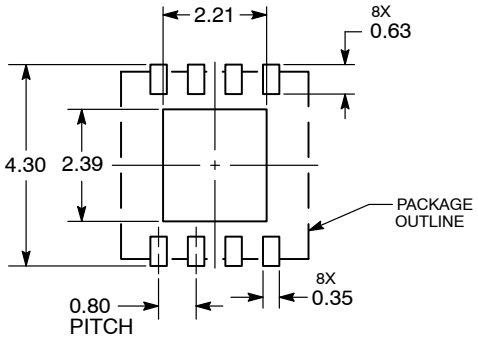
GENERIC MARKING DIAGRAM*

XXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb−Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking. Pb−Free indicator, "G" or microdot " ▪", may or may not be present.

SOLDERING FOOTPRINT*



DIMENSIONS: MILLIMETERS

*For additional information on our Pb−Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

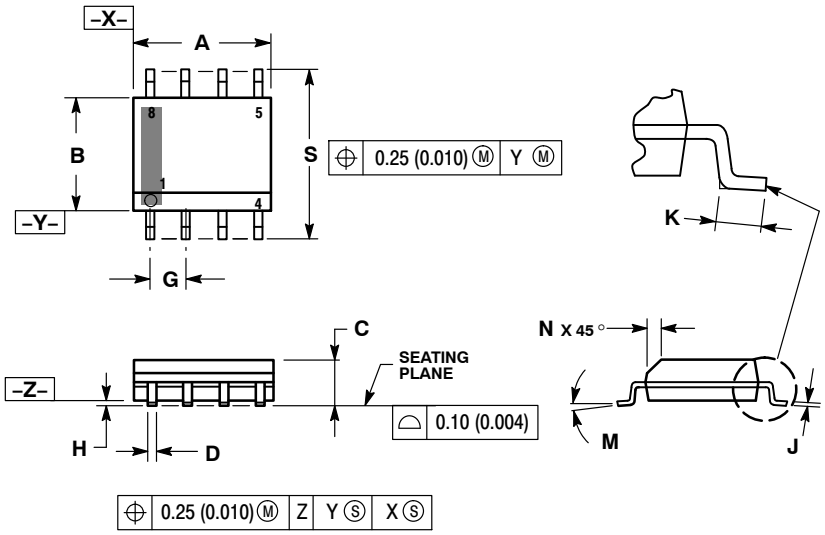
DOCUMENT NUMBER:	98AON15232D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.	
DESCRIPTION:	DFN8, 4X4, 0.8P		PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

SCALE 1:1

SOIC−8 NB
CASE 751−07
ISSUE AK

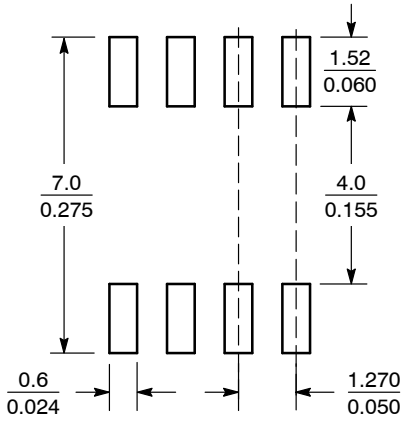
DATE 16 FEB 2011



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. 751−01 THRU 751−06 ARE OBSOLETE. NEW STANDARD IS 751−07.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0 °	8 °	0 °	8 °
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

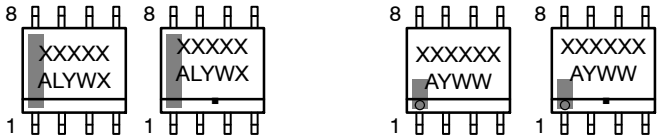
SOLDERING FOOTPRINT*



SCALE 6:1 (mm / inches)

*For additional information on our Pb−Free strategy and soldering details, please download the **onsemi** Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb−Free Package

XXXXXX = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb−Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb−Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC−8 NB	PAGE 1 OF 2

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

SOIC−8 NB
CASE 751−07
ISSUE AK

DATE 16 FEB 2011

STYLE 1:
PIN 1. EMITTER
2. COLLECTOR
3. COLLECTOR
4. EMITTER
5. EMITTER
6. BASE
7. BASE
8. EMITTER

STYLE 2:
PIN 1. COLLECTOR, DIE, #1
2. COLLECTOR, #1
3. COLLECTOR, #2
4. COLLECTOR, #2
5. BASE, #2
6. EMITTER, #2
7. BASE, #1
8. EMITTER, #1

STYLE 3:
PIN 1. DRAIN, DIE #1
2. DRAIN, #1
3. DRAIN, #2
4. DRAIN, #2
5. GATE, #2
6. SOURCE, #2
7. GATE, #1
8. SOURCE, #1

STYLE 4:
PIN 1. ANODE
2. ANODE
3. ANODE
4. ANODE
5. ANODE
6. ANODE
7. ANODE
8. COMMON CATHODE

STYLE 5:
PIN 1. DRAIN
2. DRAIN
3. DRAIN
4. DRAIN
5. GATE
6. GATE
7. SOURCE
8. SOURCE

STYLE 6:
PIN 1. SOURCE
2. DRAIN
3. DRAIN
4. SOURCE
5. SOURCE
6. GATE
7. GATE
8. SOURCE

STYLE 7:
PIN 1. INPUT
2. EXTERNAL BYPASS
3. THIRD STAGE SOURCE
4. GROUND
5. DRAIN
6. GATE 3
7. SECOND STAGE Vd
8. FIRST STAGE Vd

STYLE 8:
PIN 1. COLLECTOR, DIE #1
2. BASE, #1
3. BASE, #2
4. COLLECTOR, #2
5. COLLECTOR, #2
6. EMITTER, #2
7. EMITTER, #1
8. COLLECTOR, #1

STYLE 9:
PIN 1. EMITTER, COMMON
2. COLLECTOR, DIE #1
3. COLLECTOR, DIE #2
4. EMITTER, COMMON
5. EMITTER, COMMON
6. BASE, DIE #2
7. BASE, DIE #1
8. EMITTER, COMMON

STYLE 10:
PIN 1. GROUND
2. BIAS 1
3. OUTPUT
4. GROUND
5. GROUND
6. BIAS 2
7. INPUT
8. GROUND

STYLE 11:
PIN 1. SOURCE 1
2. GATE 1
3. SOURCE 2
4. GATE 2
5. DRAIN 2
6. DRAIN 2
7. DRAIN 1
8. DRAIN 1

STYLE 12:
PIN 1. SOURCE
2. SOURCE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 13:
PIN 1. N.C.
2. SOURCE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 14:
PIN 1. N−SOURCE
2. N−GATE
3. P−SOURCE
4. P−GATE
5. P−DRAIN
6. P−DRAIN
7. N−DRAIN
8. N−DRAIN

STYLE 15:
PIN 1. ANODE 1
2. ANODE 1
3. ANODE 1
4. ANODE 1
5. CATHODE, COMMON
6. CATHODE, COMMON
7. CATHODE, COMMON
8. CATHODE, COMMON

STYLE 16:
PIN 1. EMITTER, DIE #1
2. BASE, DIE #1
3. EMITTER, DIE #2
4. BASE, DIE #2
5. COLLECTOR, DIE #2
6. COLLECTOR, DIE #2
7. COLLECTOR, DIE #1
8. COLLECTOR, DIE #1

STYLE 17:
PIN 1. VCC
2. V2OUT
3. V1OUT
4. TXE
5. RXE
6. VEE
7. GND
8. ACC

STYLE 18:
PIN 1. ANODE
2. ANODE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. CATHODE
8. CATHODE

STYLE 19:
PIN 1. SOURCE 1
2. GATE 1
3. SOURCE 2
4. GATE 2
5. DRAIN 2
6. MIRROR 2
7. DRAIN 1
8. MIRROR 1

STYLE 20:
PIN 1. SOURCE (N)
2. GATE (N)
3. SOURCE (P)
4. GATE (P)
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 21:
PIN 1. CATHODE 1
2. CATHODE 2
3. CATHODE 3
4. CATHODE 4
5. CATHODE 5
6. COMMON ANODE
7. COMMON ANODE
8. CATHODE 6

STYLE 22:
PIN 1. I/O LINE 1
2. COMMON CATHODE/VCC
3. COMMON CATHODE/VCC
4. I/O LINE 3
5. COMMON ANODE/GND
6. I/O LINE 4
7. I/O LINE 5
8. COMMON ANODE/GND

STYLE 23:
PIN 1. LINE 1 IN
2. COMMON ANODE/GND
3. COMMON ANODE/GND
4. LINE 2 IN
5. LINE 2 OUT
6. COMMON ANODE/GND
7. COMMON ANODE/GND
8. LINE 1 OUT

STYLE 24:
PIN 1. BASE
2. EMITTER
3. COLLECTOR/ANODE
4. COLLECTOR/ANODE
5. CATHODE
6. CATHODE
7. COLLECTOR/ANODE
8. COLLECTOR/ANODE

STYLE 25:
PIN 1. VIN
2. N/C
3. REXT
4. GND
5. IOUT
6. IOUT
7. IOUT
8. IOUT

STYLE 26:
PIN 1. GND
2. dv/dt
3. ENABLE
4. ILIMIT
5. SOURCE
6. SOURCE
7. SOURCE
8. VCC

STYLE 27:
PIN 1. ILIMIT
2. OVLO
3. UVLO
4. INPUT+
5. SOURCE
6. SOURCE
7. SOURCE
8. DRAIN

STYLE 28:
PIN 1. SW_TO_GND
2. DASIC_OFF
3. DASIC_SW_DET
4. GND
5. V_MON
6. VBULK
7. VBULK
8. VIN

STYLE 29:
PIN 1. BASE, DIE #1
2. EMITTER, #1
3. BASE, #2
4. EMITTER, #2
5. COLLECTOR, #2
6. COLLECTOR, #2
7. COLLECTOR, #1
8. COLLECTOR, #1

STYLE 30:
PIN 1. DRAIN 1
2. DRAIN 1
3. GATE 2
4. SOURCE 2
5. SOURCE 1/DRAIN 2
6. SOURCE 1/DRAIN 2
7. SOURCE 1/DRAIN 2
8. GATE 1

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC−8 NB	PAGE 2 OF 2

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, onsemi, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent−Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as−is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
Technical Library: www.onsemi.com/design/resources/technical−documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales