NCS8353

プログラム可能なパワー制限および選択可能なゲインを備えたステレオ20W/ChクラスDオーディオ・パワー・アンプ

NCS8353は、最大20W/チャネルの連続出力を8Ωブリッジ接続負荷(BTL)に供給可能なステレオ・クラスDオーディオ・パワー・アンプです。フラット・パネル・テレビ(FPTV)システムでの既存の24Vレールから電源を供給できます。NCS8353は86%という高効率のため、高電力を駆動する際の外部ヒート・シンク要件が緩和されます。

デジタル・パワー・リミット機能により、10、12、15または20W/チャネルで出力パワー制限をプログラムできるため、FPTVオーディオ・アプリケーションにおいてNCS835をシングル・システム・ソリューションで使用できます。

NCS8353にはデジタル・パワー制限機能を備えています。デジタル・パワー・リミッタは、高振幅信号が出力に過剰なクリッピングを引き起こす可能性があるときは、アンプの内部ゲインをすばやく低減します。

NCS8353は、電源オン/オフ時、シャットダウンへの移行時または復帰時、およびミュート時に、過渡電圧および過渡電流を低減して、オーディオ・システムでのポップ/クリック・アーチファクトを抑えます。シャットダウン機能は、アンプの静止電流ドローを100μA(標準)に低減します。ミュート機能により、オーディオ・ソースの切り替え時にオーディオ信号が出力に現れません。

NCS8353のゲインは、G0とG1の2本のゲイン・ピンでプログラムされ、20dB、26dB、32dB、36dBの選択可能な4つのレンジを提供します。

自動回復短絡および全温度範囲保護回路を内蔵し、短絡および高温イベント発生後のデバイス機能を保証します。

特長

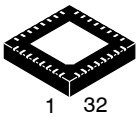
- FPTVバックライト電源(24V±5%)を含む8V～26V電源で動作。
- 2つの外部ビットで制御されるデジタル・パワー・リミッタ(10W、12W、15W、または20W/チャネル)
  - ♦ 最大のシステム柔軟性を実現
  - ♦ 過剰入力での歪みを低減
- ポップ/クリック抑制
- 選択可能なゲイン：20dB、26dB、32dB、36dB
- 高効率のため外部ヒート・シンクが不要
- 低電源電流：12Vでのシャットダウン時I_Q = 100μA(標準)
- ミュート機能
- 自動回復短絡保護
- 全温度範囲での保護
- 完全差動アーキテクチャ
- 鉛フリー・パッケージ

代表的アプリケーション

- フラット・パネル・テレビ(FPTV)
- パワード・スピーカ

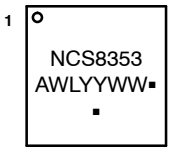
ON Semiconductor®

http://onsemi.com



QFN32
MN SUFFIX
CASE 488AM

MARKING DIAGRAMS



A	= Assembly Location
WL	= Wafer Lot
YY	= Year
WW	= Work Week
▪	= Pb−Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

Device	Package	Shipping†
NCS8353MNTXG	QFN32 (Pb−Free)	2500 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specification Brochure, BRD8011/D.

© Semiconductor Components Industries, LLC, 2011

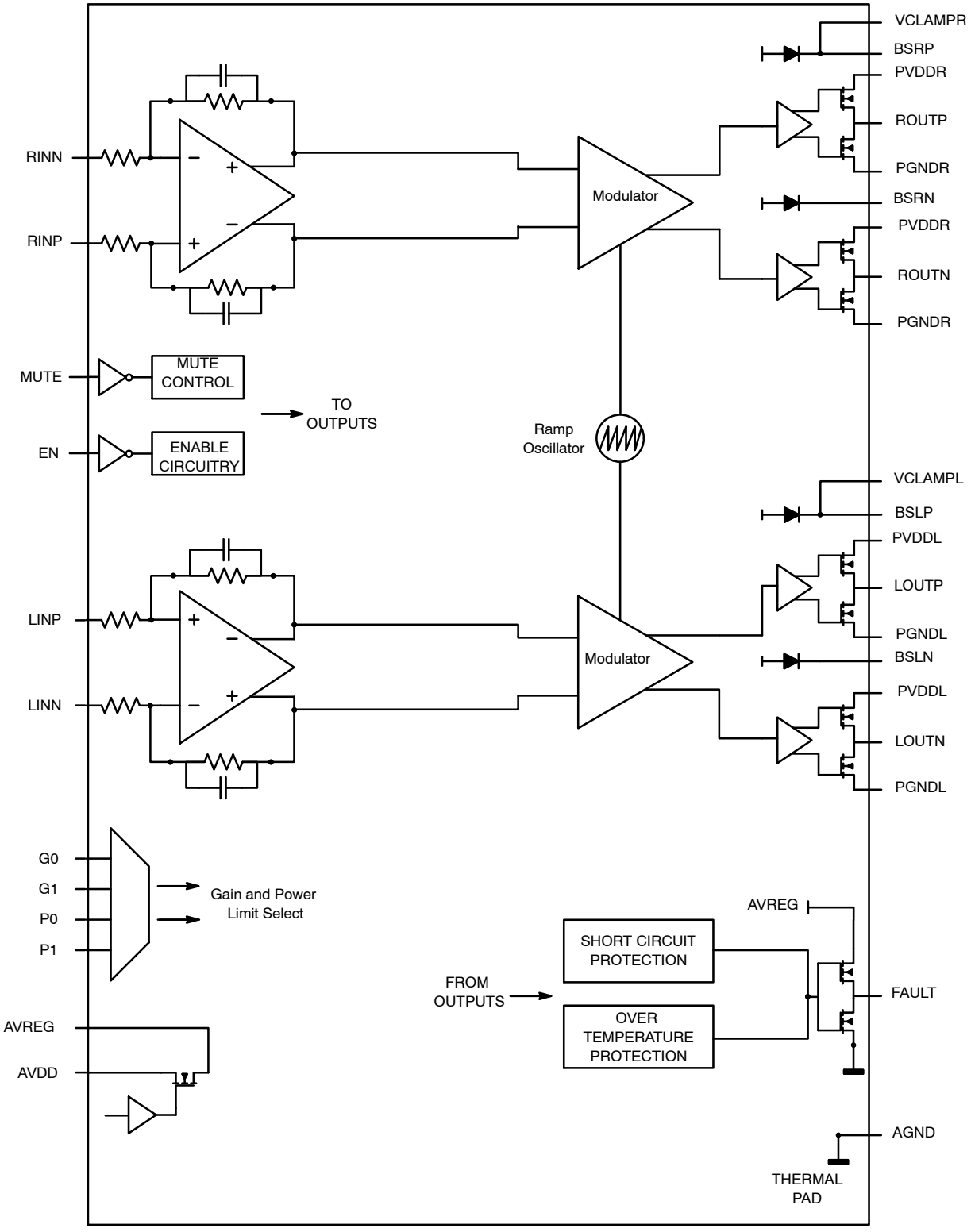


Figure 1. NCS8353 Basic Connections

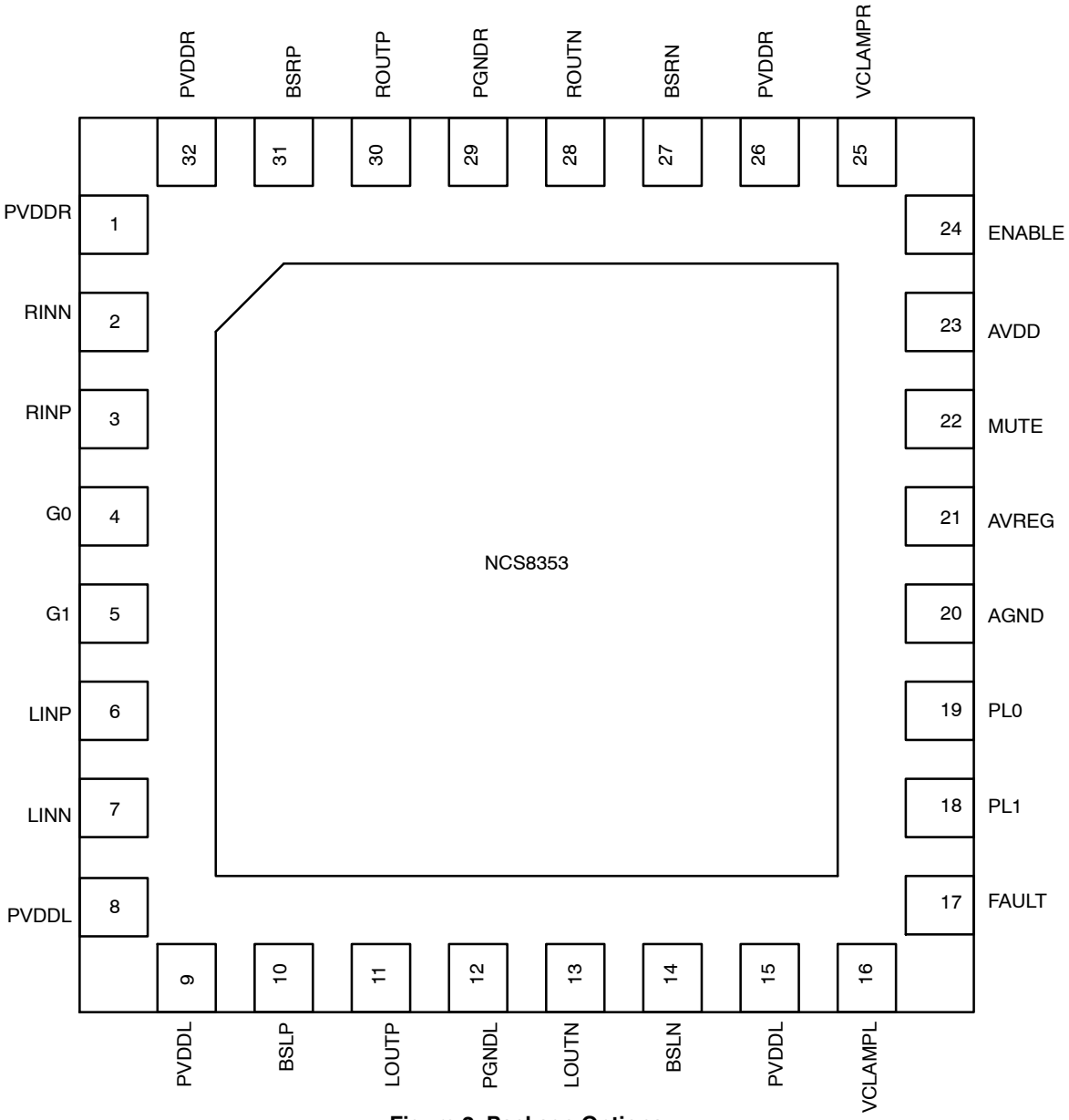


Figure 2. Package Options

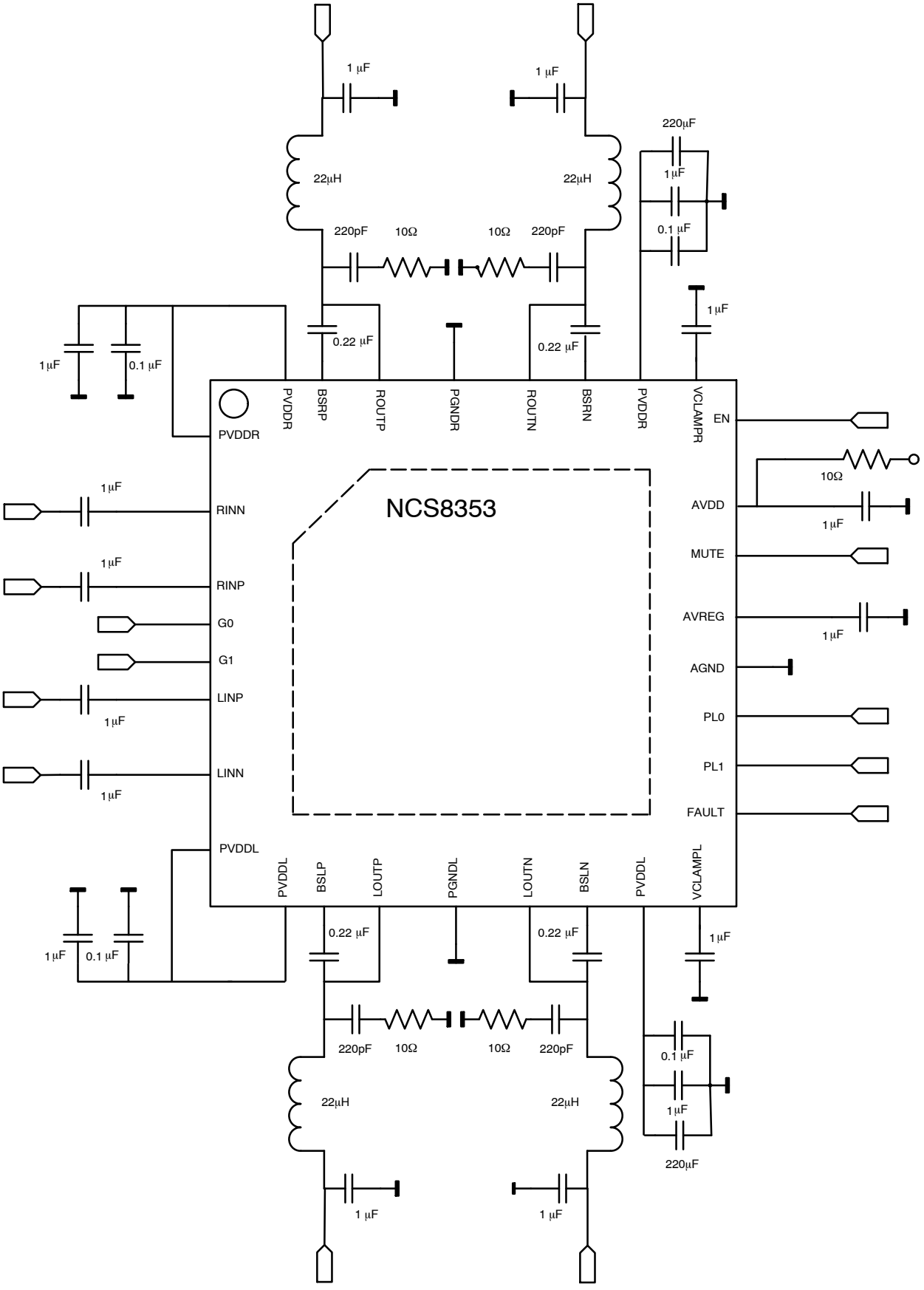


Figure 3. Typical Application Connection for 8 Ω Speaker

PIN FUNCTION AND DESCRIPTION

Pin#	Name	Input/output	Description
1	PVDDR	Power	Power supply for right channel.
2	RINN	Input	Right Input − Negative.
3	RINP	Input	Right Input − Positive.
4	G0	Input	LSB Gain Setting.
5	G1	Input	MSB Gain Setting.
6	LINP	Input	Left Input Positive.
7	LINN	Input	Left Input Negative.
8	PVDDL	Power	Power supply for left channel.
9	PVDDL	Power	Power supply for left channel.
10	BSLP	−	Bootstrap for positive left speaker output.
11	LOUTP	Output	Positive Left Speaker Output.
12	PGNDL	Ground	Power ground for left channel.
13	LOUTN	Output	Negative Left Speaker Output.
14	BSLN	−	Bootstrap for negative left speaker output.
15	PVDDL	Power	Power supply for left channel.
16	VCLAMPL	−	Internal voltage supply for left channel bootstrap capacitor.
17	FAULT	Output	TTL compatible output. Asserts HIGH during thermal shutdown or short circuit conditions.
18	PL1	Input	MSB − Power Limit.
19	PL0	Input	LSB − Power Limit.
20	AGND	Ground	Analog ground reference.
21	AVREG	Output	Regulator output voltage.
22	MUTE	Input	TTL compatible input. Mutes the device when a logic HIGH is present.
23	AVDD	Power	Analog high voltage supply.
24	ENABLE	Input	TTL compatible input. Enable for right and left channels when logic HIGH is present.
25	VCLAMPR	−	Internal voltage supply for right channel bootstrap capacitor.
26	PVDDR	Power	Power supply for right channel.
27	BSRN	−	Bootstrap for right negative output.
28	ROUTN	Output	Negative right speaker output.
29	PGNDR	Ground	Power ground for right channel.
30	ROUTP	Output	Positive right speaker output.
31	BSRP	−	Bootstrap for right positive output.
32	PVDDR	Power	Power supply for right channel.

MAXIMUM RATINGS TABLE

Parameter	Symbol	Rating	Unit
Power Supply Voltage (PVDDR, PVDDL)	P_{VDD}	30	V
Analog Supply Voltage (AVDD)	A_{VDD}	30	V
Input voltage (ENABLE, G0, G1, RINN, RINP, LINN, LINP)	V_{in}	−0.3 V to AV_{reg}	V
Input voltage Mute function (MUTE)	V_{in}	−0.3 V to 3.6 V	V
Output Current (ROUTP, ROUTN, LOUTP LOUTN)	I_O	4.7	A
Maximum Junction Temperature	T_J	150	°C
Operating Ambient Temperature	T_A	−40 to +85	°C
Storage Temperature	T_{STG}	160	°C
Junction−to−Air Thermal Resistance QFN−32 (Note 1)	$R_{\theta JA}$	31.4	°C/W

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

1. Board size: 5” x 4”, 4−layer, 2 oz copper.

RECOMMENDED OPERATING CONDITIONS, T_A = 25°C unless otherwise noted

Specification Name	Conditions	Symbol	Min	Typ	Max	Unit
Operating Supply Voltage Range		P_{VDD}	8		26	V
Analog Supply Voltage range		A_{VDD}	8		26	V
High−level input voltage	G0, G1, PL0, PL1, ENABLE, MUTE	V_{IH}	2	3.3	3.6	V
Low−level input voltage	G0, G1, PL0, PL1, ENABLE, MUTE	V_{IL}			0.8	V
High Level Output Voltage	Fault, I_{OH} = +1 mA	V_{OH}	A_{VREG} − 0.4			V
Low Level Output Voltage	Fault, I_{OL} = −1 mA	V_{OL}			A_{GND} + 0.4	V
Internal Oscillator Frequency		f_{OSC}		315		kHz

DC ELECTRICAL CHARACTERISTICS, AVDD = PVDDR = PVDDL = 12 V, R_L = 8 Ω, T_A = 25°C unless otherwise noted

Specification Name	Conditions	Symbol	Min	Typ	Max	Unit
Differential Output Offset Voltage	Inputs AC GND, C_{IN} = 1 μF, A_V = 20 dB, Measured differentially	V_{OSDIFF}		15	50	mV
5.0 V Internal Regulator	No load, C_{reg} = 1 μF	A_{VREG}	4.5	5	5.5	V
Voltage input common mode range	Inputs AC coupled, C_{IN} = 1 μF, V_{bias} = 2.15 V	V_{ICR}	A_{GND} + 0.35		A_{VREG} − 1.35	V
Quiescent Current	No load, No filter	I_Q		28	42	mA
Shutdown Quiescent Current	No load, No filter, ENABLE ≤ 0.8 V	I_{QSHDN}		100	200	μA
On Resistance Drain to Source	Io = 500 mA	R_{DSon}		360		mΩ
Gain	G0 = G1 ≤ 0.8 V	A_V	19	20	21	dB
	G0 ≤ 0.8 V, G1 ≥ 2 V		25	26	27	
	G0 ≥ 2 V, G1 ≤ 0.8 V		31	32	33	
	G0 = G1 ≥ 2 V		35	36	37	
Gain Matching	R_{OUTN} / R_{OUTP}, L_{OUTN} / L_{OUTP}			0.5		dB
Turn on time	ENABLE ≥ 2 V	t_{ON}		250		ms
Turn off time	ENABLE ≤ 0.8 V	t_{OFF}		60		ms

DC ELECTRICAL CHARACTERISTICS, AVDD = PVDDR = PVDDL = 24 V, R_L = 8 Ω, T_A = 25°C unless otherwise noted

Specification Name	Conditions	Symbol	Min	Typ	Max	Unit
Differential Output Offset Voltage	Inputs AC GND, C_{IN} = 1 μF, A_V = 20 dB, Measured differentially	V_{OSDIFF}		15	50	mV
5.0V Internal Regulator	No load, C_{reg} = 1 μF	A_{VREG}	4.5	5	5.5	V
Voltage input common mode range	Inputs AC coupled, C_{IN} = 1 μF, V_{bias} = 2.15 V	V_{ICR}	A_{GND} + 0.35		A_{VREG} − 1.35	V
Quiescent Current	P_{VDD} = 24 V, No load, No filter	I_Q		33	45	mA
Shutdown Quiescent Current	P_{VDD} = 24 V, No load, No filter, ENABLE ≤ 0.8 V	I_{QSHDN}		100	200	μA
On Resistance Drain to Source	I_O = 500 mA	$r_{DS(on)}$		360		mΩ
Gain	G0 = G1≤ 0.8 V	A_V	19	20	21	dB
	G0 ≤ 0.8 V, G1 ≥ 2 V		25	26	27	
	G0 ≥ 2 V, G1 ≤ 0.8 V		31	32	33	
	G0 = G1 ≥ 2 V		35	36	37	
Gain Matching	R_{OUTN} / R_{OUTP}, L_{OUTN} / L_{OUTP}			0.5		dB
Turn on time	ENABLE ≥ 2 V	t_{ON}		250		ms
Turn off time	ENABLE ≤ 0.8 V	t_{OFF}		60		ms

AC ELECTRICAL CHARACTERISTICS, AVDD = PVDDR = PVDDL = 12 V, R_L = 8 Ω, T_A = 25°C unless otherwise noted

Specification Name	Conditions	Symbol	Min	Typ	Max	Unit
AC Power Supply Rejection Ratio	No supply bypass, 200 mVpp ripple, f_{in} = 1 kHz, A_V = 36 dB	$PSRR_{AC}$		−69		dB
Common Mode Rejection Ratio IEC	Inputs shorted together, V_{IN} = 32 mVpp, f_{in} = 1 kHz, Av = 36 dB	$CMRR_{IEC}$		−55		dB
Output Power	A_V = 36 dB, THD+N = 1%	Pout		7.5		W
Total Harmonic Distortion + Noise	A_V = 36 dB, P_{OUT} = 1 W, f_{in} = 1 kHz	THD+N		0.05		%
Efficiency	THD+N = 0.03%, P_{OUT} = 5 W	n		85		%
Voltage noise (RTI)	Inputs AC GND thru 100 nF, A_V = 20 dB, A−weighting	V_{en}		100		μVrms
Crosstalk	Po = 1 W, f_{in} = 1 kHz, AV = 36 dB	X_{TALK}		−85		dB
Signal to Noise Ratio	V_{IN} = 100 mVpp, Av = 20 dB	SNR		90		dB
Thermal trip point	Thermal Shutdown	TSD		160		°C
Thermal hysteresis		THS		30		°C

AC ELECTRICAL CHARACTERISTICS, AVDD = PVDDR = PVDDL = 24 V, R_L = 8 Ω, T_A = 25 °C unless otherwise noted

Specification Name	Conditions	Symbol	Min	Typ	Max	Unit
AC Power Supply Rejection Ratio	No supply bypass, 200 mVpp ripple, f_{in} = 1 kHz, A_V = 36 dB	$PSRR_{AC}$		−69		dB
Common Mode Rejection Ratio (IEC)	V_{IN} = 32 mVpp, f_{in} = 1 kHz, Av = 36 dB	$CMRR_{IEC}$		−55		dB
Output Power	A_V = 36 dB, THD+N = 1%	Pout		20		W
Total Harmonic Distortion + Noise	A_V = 20 dB, P_{OUT} = 10 W (Max value from 20 Hz to 20 kHz)	THD+N		0.03		%
Efficiency	THD+N = 1%, P_{OUT} = 20 W			83		%
Voltage noise (RTI)	Inputs AC GND thru 100 nF, A_V = 32 dB, A−Weighting	V_{en}		100		μVrms
Crosstalk	Po = 1 W, f_{in} = 1 kHz, Av = 36 dB	X_{TALK}		−85		dB
Signal to Noise Ratio	V_{IN} =100 mVpp, f_{in} = 1 kHz, Av = 36 dB	SNR		90		dB
Thermal trip point	Thermal Shutdown	TSD		160		°C
Thermal hysteresis		THS		30		°C

TYPICAL CHARACTERISTICS

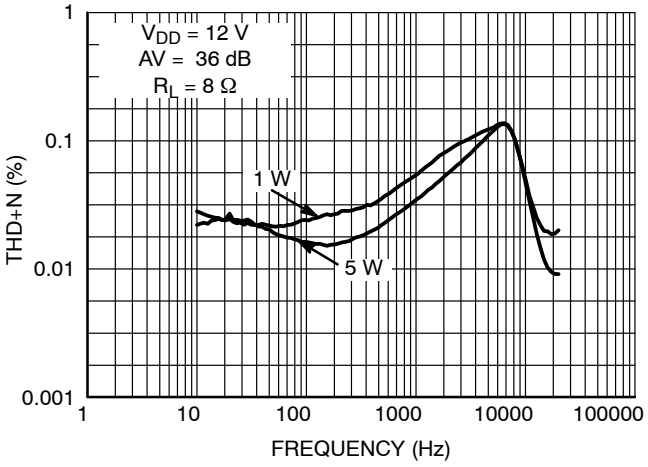


Figure 4. THD+N vs. Frequency (BTL)

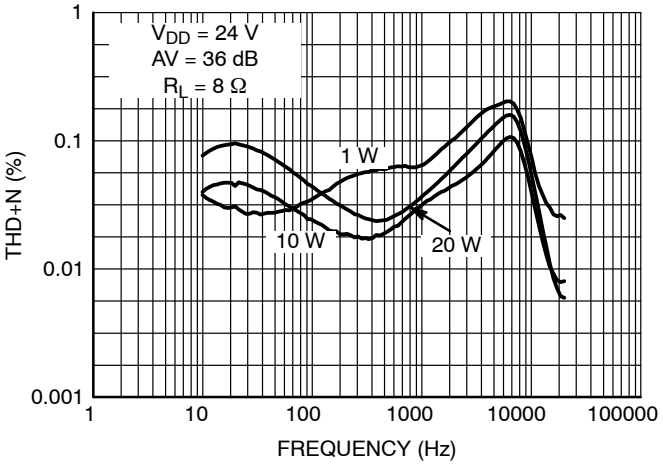


Figure 5. THD+N vs. Frequency (BTL)

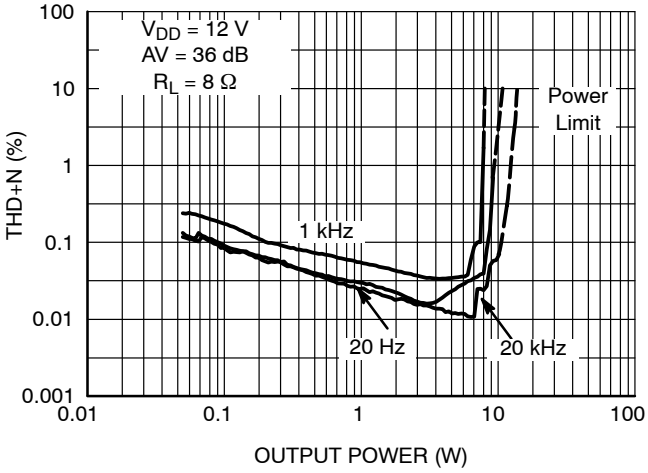


Figure 6. THD+N vs. P_{OUT}

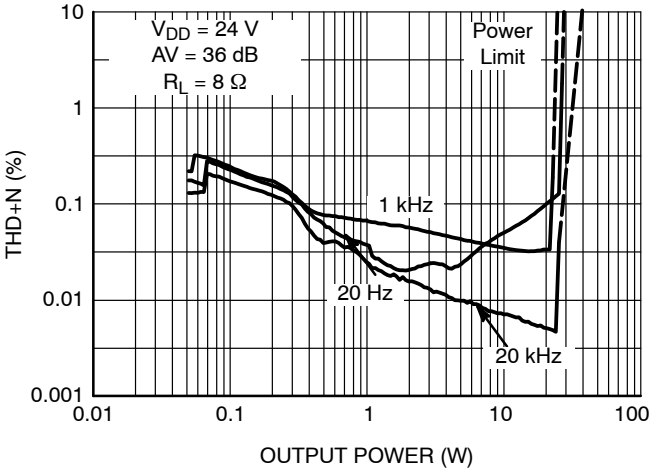


Figure 7. THD+N vs. P_{OUT}

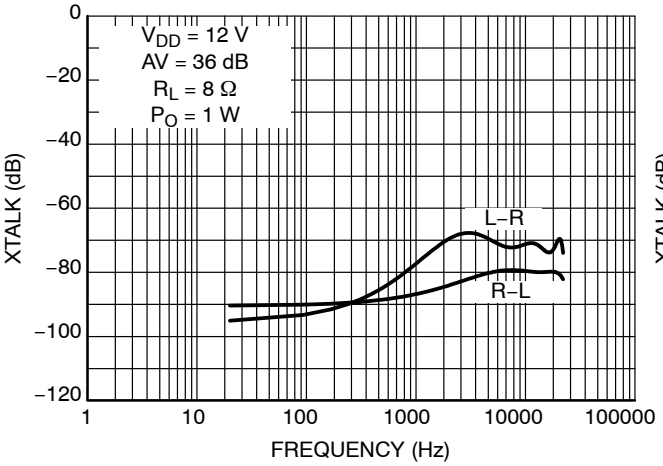


Figure 8. Crosstalk L to R and R to L (20 Hz to 20 kHz)

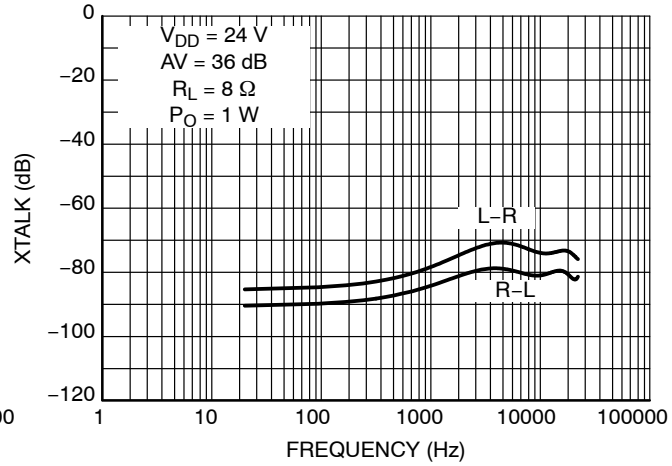


Figure 9. Crosstalk L to R and R to L (20 Hz to 20 kHz)

TYPICAL CHARACTERISTICS

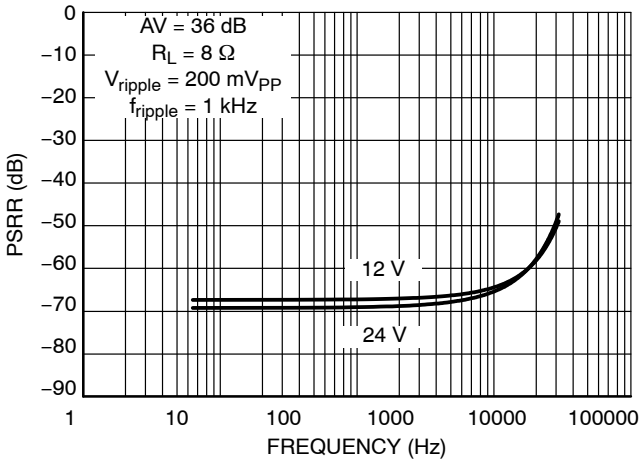


Figure 10. PSRR vs. Frequency

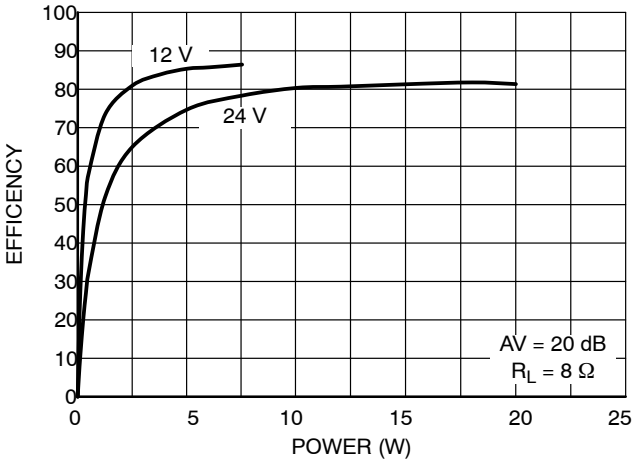


Figure 11. Efficiency vs. P_{out}

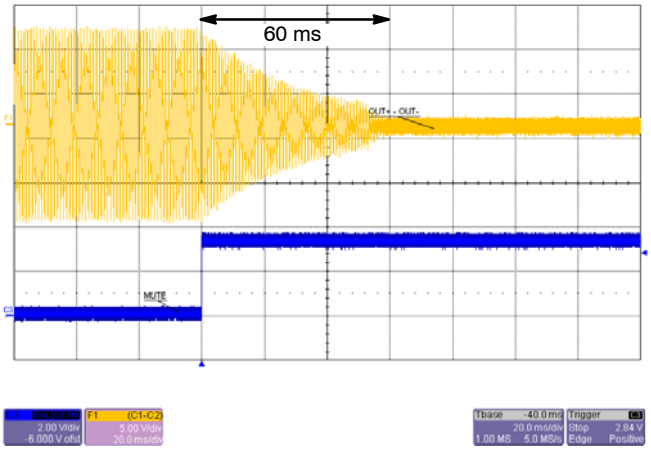


Figure 12. Turn−off Time − Mute

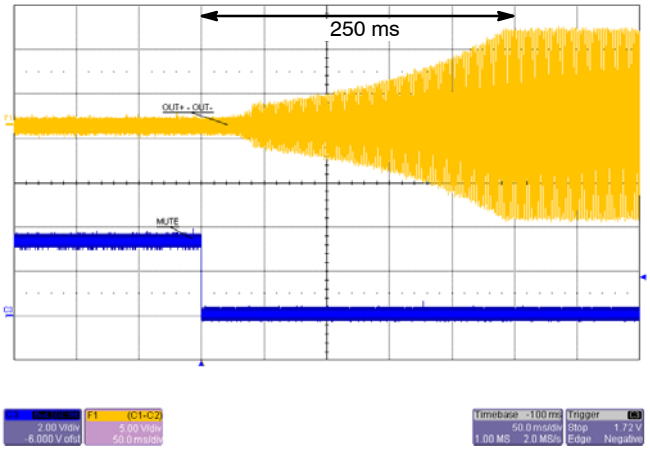


Figure 13. Turn−on Time − Unmute

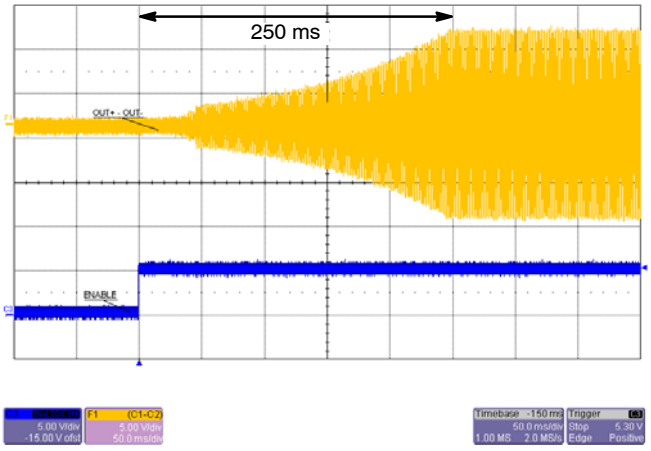


Figure 14. Turn−on Time − Enable

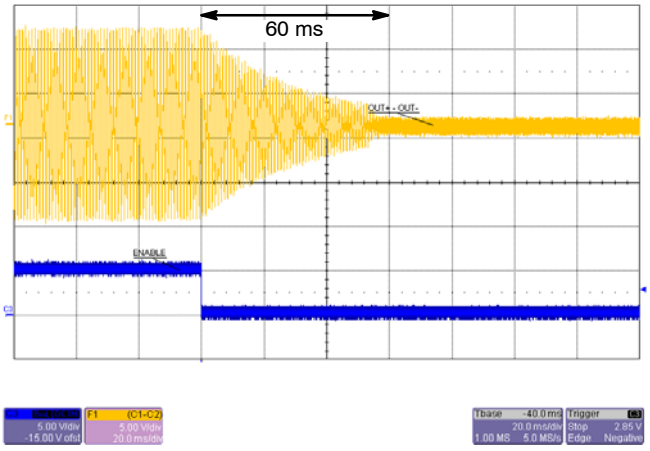


Figure 15. Turn−off Time − Disable

アプリケーション情報

デジタル・パワー・リミッタ

NCS8353は、出力パワーを10W、12W、15W、または20W/チャネルに制限するデジタル・パワー・リミッタ(DPL)機能を利用しています。これはTTLレベル互換のPL0とPL1の2本の外部パワー制限ピンによって達成されます。

パワー制限を変更する場合、最初にNCS8353をディセーブルしてから、新しいパワー制限を設定する必要があります。最後に、NCS8353が再イネーブルされると、新しいパワー制限が有効になります。

Table 1は、パワー制限ピンのロジック・レベルによって変化するNCS8353のチャネル毎のパワー制限を示しており、8Ωのスピーカ負荷に基づきます。

Table 1.

PL1	PL0	Power Limit
0	0	10 W
0	1	12 W
1	0	15 W
1	1	20 W

Figure 16に、標準的な出力波形とアプリケーションに望ましい出力パワーを示します。例えば、入力振幅が大きいため、出力波形が必要以上に高い出力パワーを生成する場合、NCS8353のDPL機能が起動します。

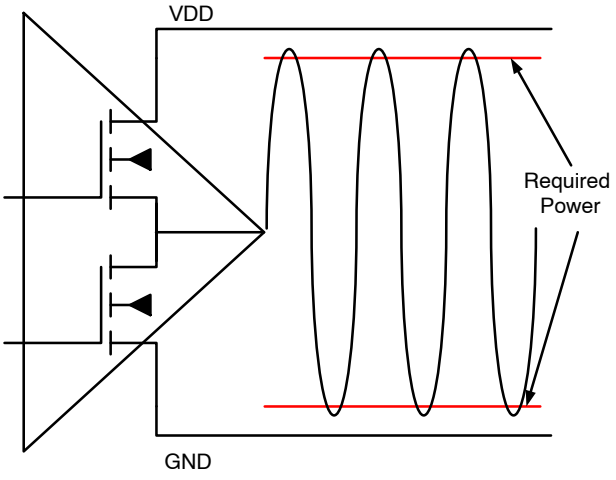


Figure 16. Before DPL Operation

DPLがNCS8353の内部ゲインを低減するため、出力電圧を低下させて、プログラムされたパワー制限を超えないことを保証します。Figure 17に、DPLが起動された後の出力電圧波形を示します。

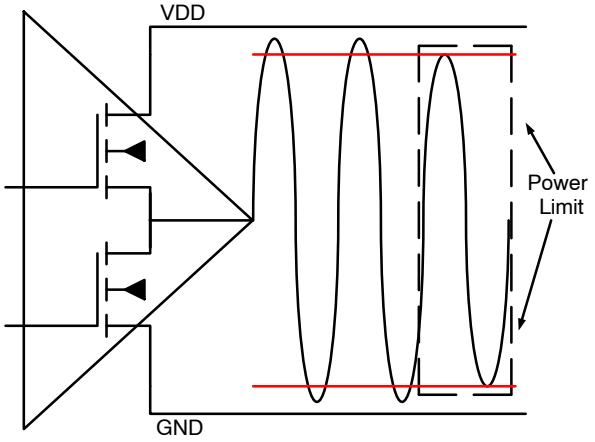


Figure 17. DPL Activated

DPLは入力基準電圧レベルをモニタし、NCS8353のプログラムされたゲインに応じて動作します。12ページにあるTable 2は、8Ω負荷を想定したときにDPLが起動するタイミングを確認するためのクイック・リファレンスです。入力電圧がTable 2に示す入力基準レベルを超えると、DPLが起動します。

Figure 18に、プログラムされたパワー制限での出力パワー対入力電圧を示します。

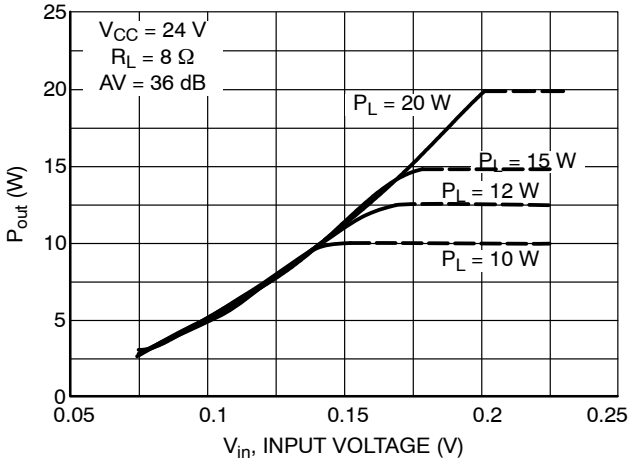


Figure 18. Power Limiter vs. V_{in}

Table 2. ALL POWER LIMITS AND VOLTAGES REFERENCED TO 8 Ω LOAD

P_{limit} / A_V	20 W	15 W	12 W	10 W
20 dB	1.789 Vin(p)	1.549 Vin(p)	1.386 Vin(p)	1.265 Vin(p)
26 dB	894 mVin(p)	775 mVin(p)	693 mVin(p)	632 mVin(p)
32 dB	447 mVin(p)	387 mVin(p)	346 mVin(p)	316 mVin(p)
36 dB	284 mVin(p)	246 mVin(p)	220 mVin(p)	201 mVin(p)

プログラム可能なゲイン制御

NCS8353の2ビット・ゲイン制御は、デジタル制御またはゲイン制御ピンG0、G1をロジック・ハイまたはローにブートストラッピングしてプログラムでき、ソフト・プログラミングのニーズを対応するTTL互換入力です。最小レベルおよび最大レベルの電気的特性表を参照してください。Table 3に示す論理表は、ゲイン設定に基づくアンプのゲイン設定(dB)を示しています。

Table 3.

G1	G0	AMPLIFIER GAIN (dB) (Typ)
0	0	20
0	1	26
1	0	32
1	1	36

DPLと同様に、ゲインを変更したい場合は、NCS8353をディセーブルする必要があります。ディセーブルした後、新しい希望のレベルにゲインをプログラムし、再びイネーブルして新しいゲイン設定をラッチすることができます。

フォールト検出

NCS8353はフォールト検出回路を内蔵していまます。短絡が発生すると、FAULTピンがロジック・ハイにアサートされ、システム設計者にモニタリングのためのエラー・フラグを提供します。

FAULTフラグは、NCS8353がサーマル・シャットダウンに入ったときにもハイにアサートされます。NCS8353が130°Cまで冷えるか、短絡状態がなくなると、FAULTフラグはローに戻ります。

短絡保護

短絡はV_{DD}、V_{SS}に対して、または負荷で生じます。短絡保護回路は、短絡時に出力ステージが負荷に電流を供給しないようにします。短絡保護回路が動作しているとき、内部消費電力は最小限に抑えられます。

NCS8353の短絡保護は、電源のヒカップ・モード電流制限動作に類似しています。短絡が検出されると、NCS8353は出力ステージをディセーブルし、180ms後に再イネーブルしようとします。短絡がなくなると、出力ステージは再びイネーブルされて正常に動作します。しかし、短絡が存在したままの場合は、再びこのサイクルが開始されます。保護回路のリセット時間中にのみ電流が流れるため、内部での放熱は最小限に抑えられます。ヒカップ・モードは短絡がなくなるまで継続します。

全温度範囲での保護

NCS8353の熱保護回路は、ダイの最大接合部温度をモニタします。温度が規定最大接合部温度の150°Cまで上昇すると、接合部温度が約130°Cになるまでデバイスの内部ゲインが減少します。ゲイン低下によって接合部の温度上昇を制限できない場合、接合部温度が160°C以上に上昇すると、熱保護回路が出力ステージを完全にディセーブルします。接合部温度が130°Cまで低下すると、NCS8353は出力ステージを再びイネーブルします。これによって、30°の熱ヒステリシスを提供します。

イネーブル

NCS8353は左右のオーディオ・チャネル用に1つのENABLE制御を内蔵しています。ENABLEがロジック・ローにアサートされると、内部回路が各チャネルを完全にディセーブルして、電源からの静止電流ドローを低減します。NCS8353の標準シャットダウン電流は100μA(標準)/チャネルで、シャットダウンからの起動時間は標準で250ms以下です。条件に対する電気的仕様を参照してください。

また、ENABLE機能はゲインおよびDPLに対する新しい値をラッチする働きもします。新しいレベルが必要なときは、NCS8353をディセーブルし、新しい値をプログラムしてから再びイネーブルして、新しい値がラッチされるようにしなければなりません。パワー制限およびゲイン値については、Tables 1および3を参照してください。

ミュート機能

MUTE機能は、入力にどのようなオーディオ信号が加えられても、スピーカ負荷では音が聞こえません。この間、左右のチャネルはシャットダウン状態にはありません。MUTE状態の間、出力は50%のデューティ・サイクルでスイッチングし続けますが、変調オーディオ信号は存在しません。MUTE機能は、ロジック・ハイ信号でアクティブになり、ロジック・ロー信号で非アクティブになります。

ポップ/クリック抑制

ポップ/クリックは多くの場合は、入力カップリング・コンデンサとバイパス・コンデンサの電荷の違い、スピーカ両端の瞬時差動オフセット電圧、またはラウドスピーカを流れる電流の急激な変化を引き起こす入力ソース(コーデック)の状態変化に関係します。すべてのケースで、これらのポップ/クリック現象は以下のパワー・シーケンス中に発生します。

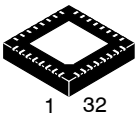
- 電源のパワーアップまたはパワーダウン(コーデックまたはアンプ)。
- シャットダウン/ミュートに入るか終了する(コーデックまたはアンプ)。
- オーディオ・コーデックでの状態変化。 例えば、オーディオ・ソースの切り替え。

オーディオ信号チェーンでの電圧変化により、瞬時電流がラウドスピーカに流れます。ラウドスピーカのボイス・コイルを電流が流れると、ダイヤフラムが動き、ポップ/クリック音が発生します。

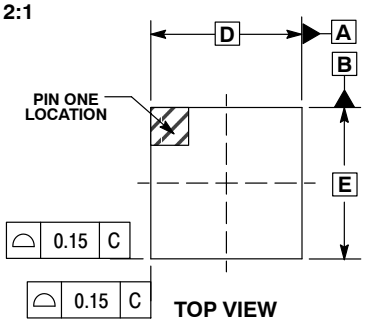
NCS8353は、前述の出力シーケンス中に低速ランプを発生させてアンプをバイアスする、ポップ/クリック抑制回路を内蔵しています。遷移中に「ポップ/クリック」ノイズをなくすには、負荷の出力パワーが突然オンまたはオフしないようにしなければなりません。ロジック・ハイがシャットダウン・ピンに印加されると、内部バイアス電圧が急上昇し、出力DCレベルがコモン・モード電圧近くになると、ゲインがゆっくり確立されます。このデバイス・ターンオン方法は、「ポップ/クリック」ノイズ除去に関して最適化されています。デバイスは、イネーブル・ピンのロジック・ローでターン・オフしたときも同様に動作します。イネーブル・ピンの立ち下がりエッジから60ms後は、負荷に電力が供給されません。ターンオンおよびターンオフ時間が高速であるため、シャットダウン信号をミュート信号として使用することもできます。

QFN32 5x5, 0.5P
CASE 488AM
ISSUE A

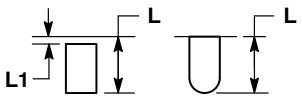
DATE 23 OCT 2013



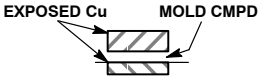
SCALE 2:1



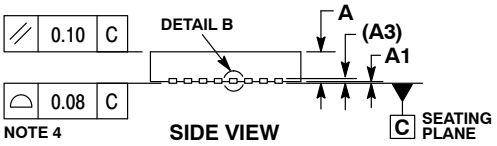
TOP VIEW



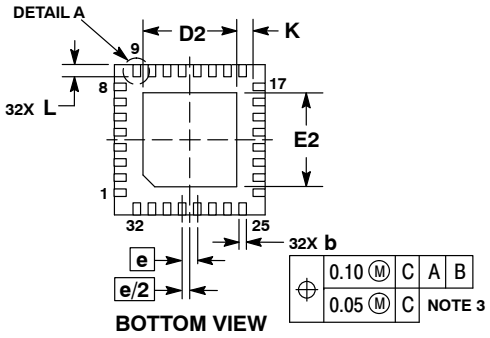
DETAIL A
ALTERNATE TERMINAL CONSTRUCTIONS



DETAIL B
ALTERNATE CONSTRUCTION



SIDE VIEW

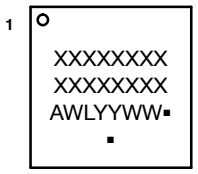


BOTTOM VIEW

NOTES:
1. DIMENSIONS AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS.
3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30MM FROM THE TERMINAL TIP.
4. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.

	MILLIMETERS	
DIM	MIN	MAX
A	0.80	1.00
A1	---	0.05
A3	0.20 REF	
b	0.18	0.30
D	5.00 BSC	
D2	2.95	3.25
E	5.00 BSC	
E2	2.95	3.25
e	0.50 BSC	
K	0.20	---
L	0.30	0.50
L1	---	0.15

GENERIC MARKING DIAGRAM*

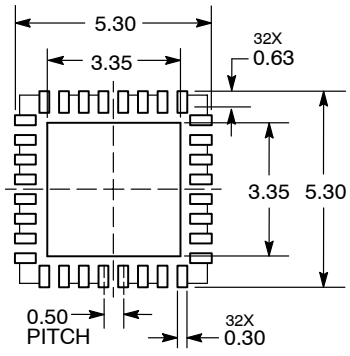


XXXXX = Specific Device Code
A = Assembly Location
WL = Wafer Lot
YY = Year
WW = Work Week
▪ = Pb−Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking.
Pb−Free indicator, “G” or microdot “ ▪”, may or may not be present.

RECOMMENDED SOLDERING FOOTPRINT*



DIMENSION: MILLIMETERS

*For additional information on our Pb−Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	**98AON20032D**	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped “CONTROLLED COPY” in red.
DESCRIPTION:	**QFN32 5x5 0.5P**	**PAGE 1 OF 1**

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

© Semiconductor Components Industries, LLC, 2005

onsemi, ONSEMI , and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent−Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as−is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
Technical Library: www.onsemi.com/design/resources/technical−documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales