

NCV4276B

400 mA 低ドロップ 電圧レギュレータ

NCV4276Bは、厳しい車載環境での使用を目的として設計された、出力電流400 mAの高集積低ドロップアウト・レギュレータ・ファミリです。このファミリには、幅広い動作温度範囲および動作入力電圧範囲に対応する派生製品が含まれています。デバイスには、設出力電圧が3.3 V、5.0 Vのバージョンや、可変出力電圧のバージョンなどがあり、出力電圧の精度が2%の製品も供給されています。高いピーク入力電圧を許容し、逆入力電圧保護機能もあります。また、デバイスには過電流保護、温度超過保護、および出力電圧の状態を制御する禁止(Inhibit)機能があります。NCV4276Bファミリは、DPAKおよびD²PAKの表面実装パッケージで供給されます。出力コンデンサの広い容量範囲とESR範囲にわたって、出力は安定しています。NCV4276Bは、入力電圧の過渡期間における起動動作を改善した製品です。

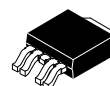
特長

- 設出力電圧が3.3 V、5.0 Vのバージョンや、可変出力電圧のバージョン (2.5 V~20 V)、出力電圧の精度が±2%の製品
- 400 mAの出力電流
- 500 mV(最大)のドロップアウト電圧(5.0 V出力時)
- 入力の禁止
- 超低消費電流
- フォールト保護
 - ◆ +45 Vのピーク過渡電圧
 - ◆ -42 Vの逆電圧
 - ◆ 短絡
 - ◆ 熱過負荷
- NCVで始まる製品番号は特有の工場および変更管理を必要とする車載およびその他の用途に対応
- 鉛フリー・デバイス

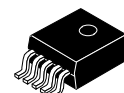


ON Semiconductor®

<http://onsemi.com>

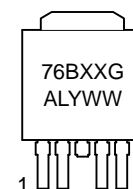


DPAK
CASE 175AA

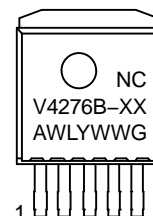


D²PAK
CASE 936A

MARKING DIAGRAMS



DPAK
5-PIN



D²PAK
5-PIN

*Tab is connected to Pin 3 on all packages.

A	= Assembly Location
WL, L	= Wafer Lot
Y	= Year
WW	= Work Week
G	= Pb-Free Device
XX	= 33 (3.3 V) = 50 (5.0 V) = AJ (Adj. Voltage)

ORDERING INFORMATION

See detailed ordering and shipping information in the ordering information section on page 16 of this data sheet.

NCV4276B

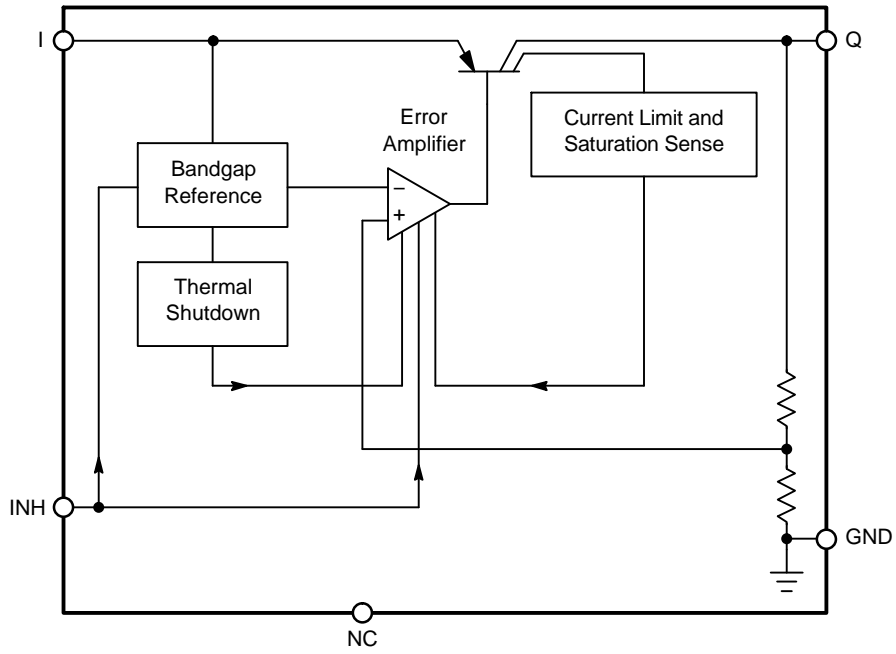


Figure 1. NCV4276B Block Diagram

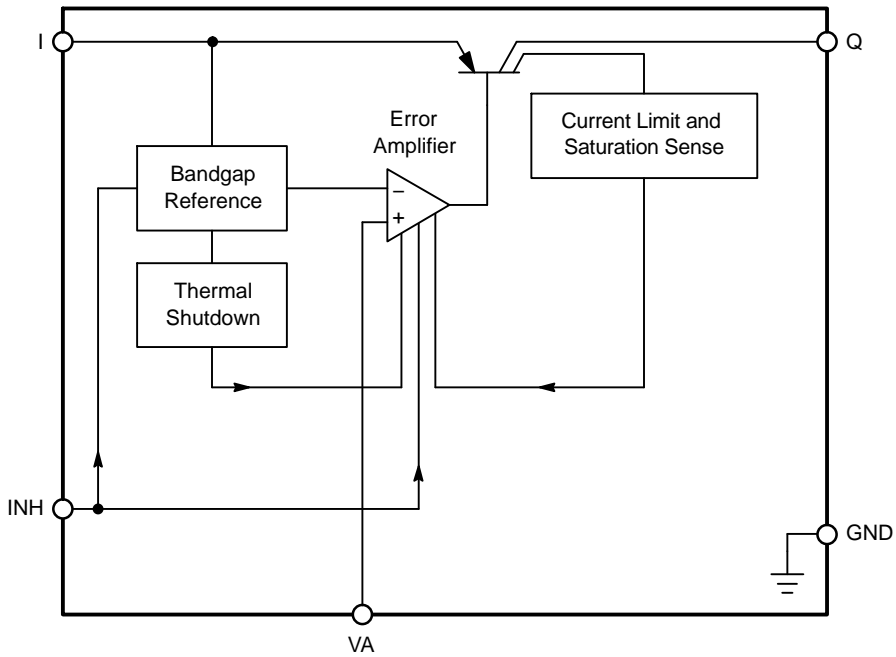


Figure 2. NCV4276B Adjustable Block Diagram

NCV4276B

Table 1. PIN FUNCTION DESCRIPTION

Pin No.	Symbol	Description
1	I	Input; Battery Supply Input Voltage.
2	INH	Inhibit; Set low-to-inhibit.
3	GND	Ground; Pin 3 internally connected to heatsink.
4	NC/VA	Not connected for fixed voltage version/Voltage Adjust Input for adjustable voltage version; use an external voltage divider to set the output voltage
5	Q	Output; Bypass with a capacitor to GND. See Figures 3 to 7 and Regulator Stability Considerations section.

Table 2. MAXIMUM RATINGS*

Rating	Symbol	Min	Max	Unit
Input Voltage	V_I	-42	45	V
Input Peak Transient Voltage	V_I	-	45	V
Inhibit INH Voltage	V_{INH}	-42	45	V
Voltage Adjust Input VA	V_{VA}	-0.3	10	V
Output Voltage	V_Q	-1.0	40	V
Ground Current	I_q	-	100	mA
Input Voltage Operating Range	V_I	$V_Q + 0.5\text{ V}$ or 4.5 V (Note 1)	40	V
ESD Susceptibility	(Human Body Model)	-	4.0	kV
	(Machine Model)	-	250	V
	(Charged Device Model)	-	1.25	kV
Junction Temperature	T_J	-40	150	°C
Storage Temperature	T_{stg}	-50	150	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

*During the voltage range which exceeds the maximum tested voltage of I, operation is assured, but not specified. Wider limits may apply. Thermal dissipation must be observed closely.

1. Minimum $V_I = 4.5\text{ V}$ or ($V_Q + 0.5\text{ V}$), whichever is higher.

Table 3. LEAD TEMPERATURE SOLDERING REFLOW (Note 2)

Lead Temperature Soldering	T_{SLD}			°C
Reflow (SMD styles only), Leaded, 60–150 s above 183, 30 s max at peak		-	240	
Reflow (SMD styles only), Lead Free, 60–150 s above 217, 40 s max at peak		-	265	
Wave Solder (through hole styles only), 12 sec max		-	310	

2. Per IPC/JEDEC J-STD-020C.

Table 4. THERMAL CHARACTERISTICS (Notes 3 and 4)

Characteristic	Test Conditions (Typical Value)		Unit
DPAK 5-PIN PACKAGE			
	Min Pad Board (Note 5)	1" Pad Board (Note 6)	
Junction-to-Tab (ψ_{JLx} , ψ_{JLx})	4.2	4.7	C/W
Junction-to-Ambient ($R_{\theta JA}$, θ_{JA})	100.9	46.8	C/W
D²PAK 5-PIN PACKAGE			
	0.4 sq. in. Spreader Board (Note 7)	1.2 sq. in. Spreader Board (Note 8)	
Junction-to-Tab (ψ_{JLx} , ψ_{JLx})	3.8	4.0	C/W
Junction-to-Ambient ($R_{\theta JA}$, θ_{JA})	74.8	41.6	C/W

3. Minimum $V_I = 4.5\text{ V}$ or ($V_Q + 0.5\text{ V}$), whichever is higher.

4. Per IPC/JEDEC J-STD-020C.

5. 1 oz. copper, 0.26 inch² (168 mm²) copper area, 0.062" thick FR4.

6. 1 oz. copper, 1.14 inch² (736 mm²) copper area, 0.062" thick FR4.

7. 1 oz. copper, 0.373 inch² (241 mm²) copper area, 0.062" thick FR4.

8. 1 oz. copper, 1.222 inch² (788 mm²) copper area, 0.062" thick FR4.

NCV4276B

Table 5. ELECTRICAL CHARACTERISTICS ($V_I = 13.5\text{ V}$; $-40^\circ\text{C} < T_J < 150^\circ\text{C}$; unless otherwise noted.)

Characteristic	Symbol	Test Conditions	NCV4276B			Unit
			Min	Typ	Max	
OUTPUT						
Output Voltage, 5.0 V Version	V_Q	$5.0\text{ mA} < I_Q < 400\text{ mA}$, $6.0\text{ V} < V_I < 28\text{ V}$	4.9	5.0	5.1	V
Output Voltage, 5.0 V Version	V_Q	$5.0\text{ mA} < I_Q < 200\text{ mA}$, $6.0\text{ V} < V_I < 40\text{ V}$	4.9	5.0	5.1	V
Output Voltage, 3.3 V Version	V_Q	$5.0\text{ mA} < I_Q < 400\text{ mA}$, $4.5\text{ V} < V_I < 28\text{ V}$	3.234	3.3	3.366	V
Output Voltage, 3.3 V Version	V_Q	$5.0\text{ mA} < I_Q < 200\text{ mA}$, $4.5\text{ V} < V_I < 40\text{ V}$	3.234	3.3	3.366	V
Output Voltage, Adjustable Version	AV_Q	$5.0\text{ mA} < I_Q < 400\text{ mA}$ $V_Q + 1 < V_I < 40\text{ V}$ $V_I > 4.5\text{ V}$	-2%	-	+2%	V
Output Current Limitation	I_Q	$V_Q = 90\% V_{Q\text{Typ}}$ ($V_{Q\text{Typ}} = 2.5\text{ V}$ for ADJ Version)	400	700	1100	mA
Quiescent Current (Sleep Mode) $I_q = I_I - I_Q$	I_q	$V_{\text{INH}} = 0\text{ V}$	-	-	10	μA
Quiescent Current, $I_q = I_I - I_Q$	I_q	$I_Q = 1.0\text{ mA}$	-	130	200	μA
Quiescent Current, $I_q = I_I - I_Q$	I_q	$I_Q = 250\text{ mA}$	-	10	15	mA
Quiescent Current, $I_q = I_I - I_Q$	I_q	$I_Q = 400\text{ mA}$	-	25	35	mA
Dropout Voltage, Adjustable Version	V_{DR}	$I_Q = 250\text{ mA}$, $V_{\text{DR}} = V_I - V_Q$ $V_I > 4.5\text{ V}$	-	250	500	mV
Dropout Voltage (5.0 V Version)	V_{DR}	$I_Q = 250\text{ mA}$ (Note 9)	-	250	500	mV
Load Regulation	$\Delta V_{Q,\text{LO}}$	$I_Q = 5.0\text{ mA}$ to 400 mA	-	3.0	20	mV
Line Regulation	ΔV_Q	$\Delta V_I = 12\text{ V}$ to 32 V , $I_Q = 5.0\text{ mA}$	-	4.0	15	mV
Power Supply Ripple Rejection	PSRR	$f_r = 100\text{ Hz}$, $V_r = 0.5 V_{\text{PP}}$	-	70	-	dB
Temperature Output Voltage Drift	dV_Q/dT	-	-	0.5	-	mV/K
INHIBIT						
Inhibit Voltage, Output High	V_{INH}	$V_Q \geq V_{Q\text{MIN}}$	-	2.3	2.8	V
Inhibit Voltage, Output Low (Off)	V_{INH}	$V_Q \leq 0.1\text{ V}$	1.8	2.2	-	V
Input Current	I_{INH}	$V_{\text{INH}} = 5.0\text{ V}$	5.0	10	20	μA
THERMAL SHUTDOWN						
Thermal Shutdown Temperature*	T_{SD}	$I_Q = 5.0\text{ mA}$	150	-	210	$^\circ\text{C}$

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

*Guaranteed by design, not tested in production.

9. Measured when the output voltage V_Q has dropped 100 mV from the nominal valued obtained at $V = 13.5\text{ V}$.

NCV4276B

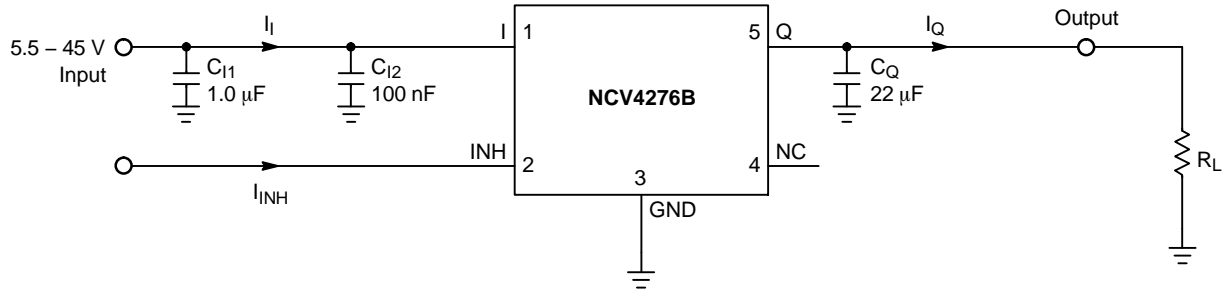
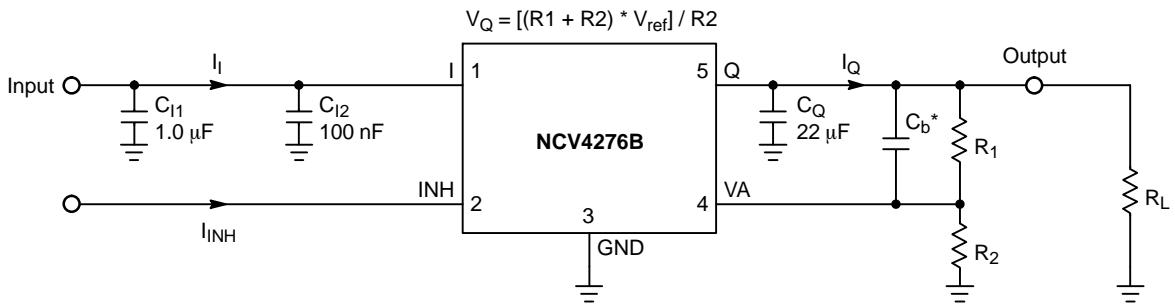


Figure 3. Applications Circuit; Fixed Voltage Version



C_b^* – Required if usage of low ESR output capacitor C_Q is demand, see Regulator Stability Considerations section

Figure 4. Applications Circuit; Adjustable Voltage Version

NCV4276B

TYPICAL PERFORMANCE CHARACTERISTICS

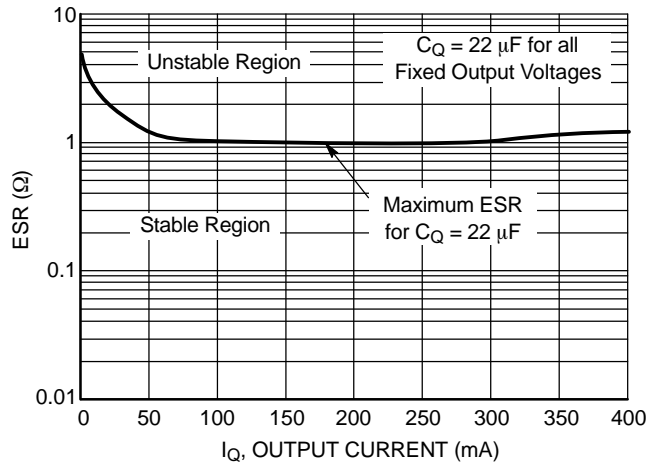


Figure 5. Output Stability with Output Capacitor ESR, 5.0 V and 3.3 V Regulator

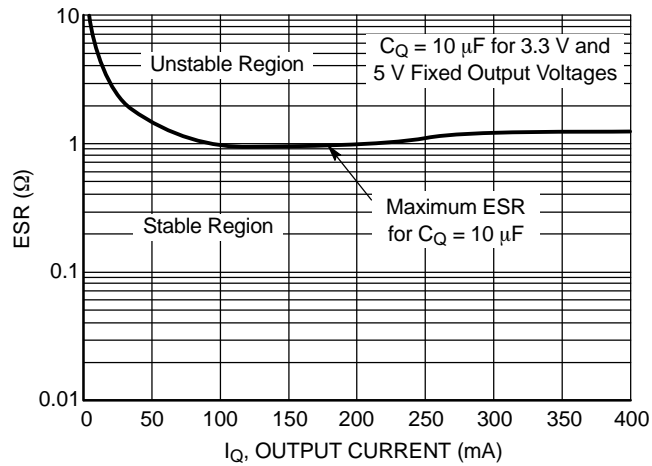


Figure 6. Output Stability with Output Capacitor ESR, 5.0 V and 3.3 V Regulator

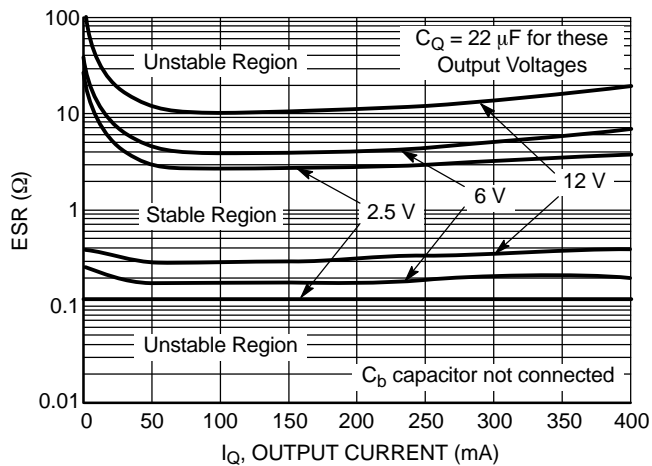


Figure 7. Output Stability with Output Capacitor ESR, Adjustable Regulator

TYPICAL PERFORMANCE CHARACTERISTICS – 4276B Version

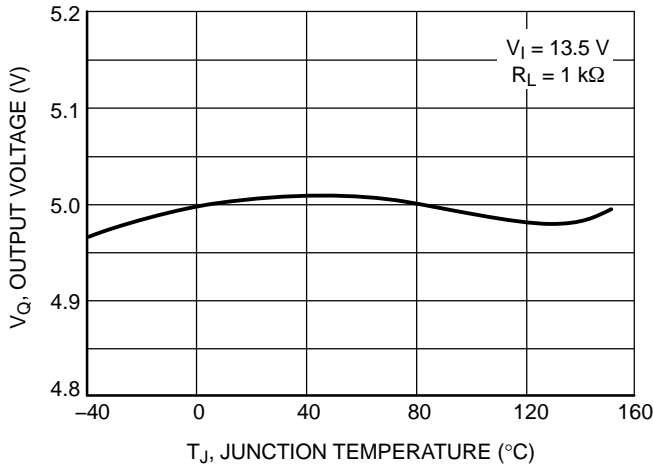


Figure 8. Output Voltage vs. Junction Temperature, 5.0 V Version

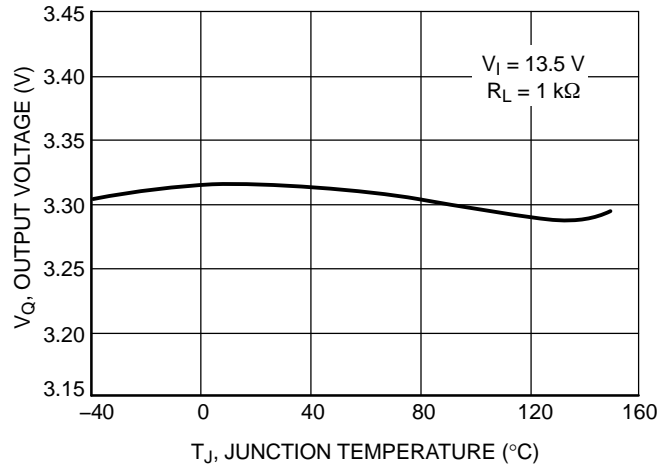


Figure 9. Output Voltage vs. Junction Temperature, 3.3 V Version

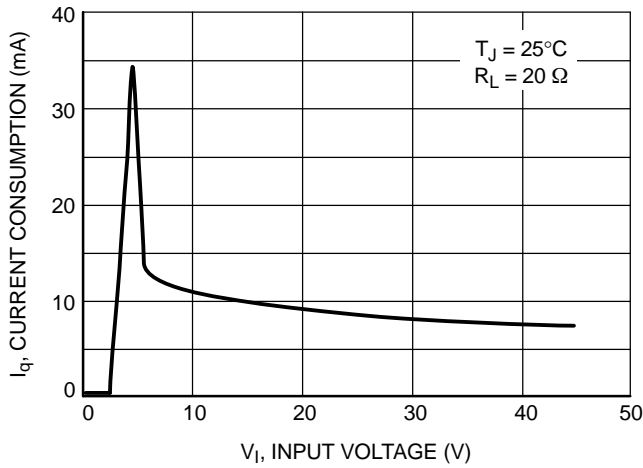


Figure 10. Current Consumption vs. Input Voltage, 5.0 V Version

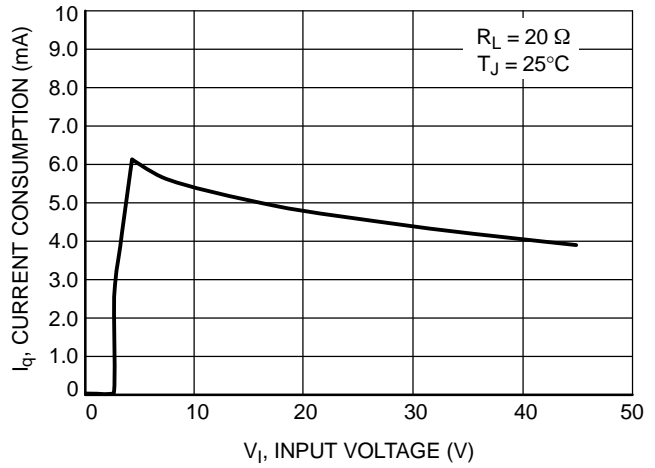


Figure 11. Current Consumption vs. Input Voltage, 3.3 V Version

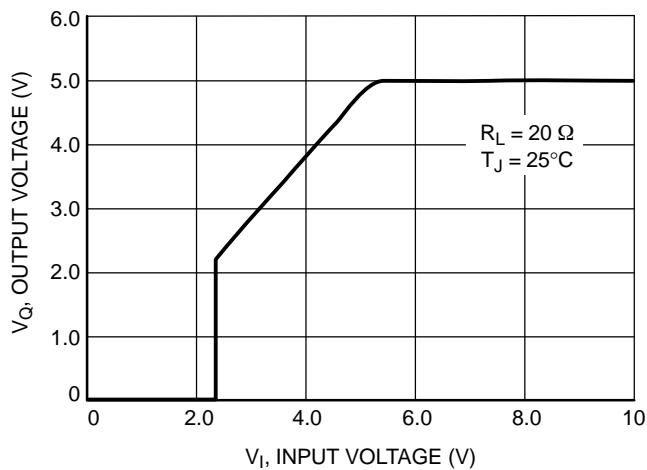


Figure 12. Low Voltage Behavior, 5.0 V Version

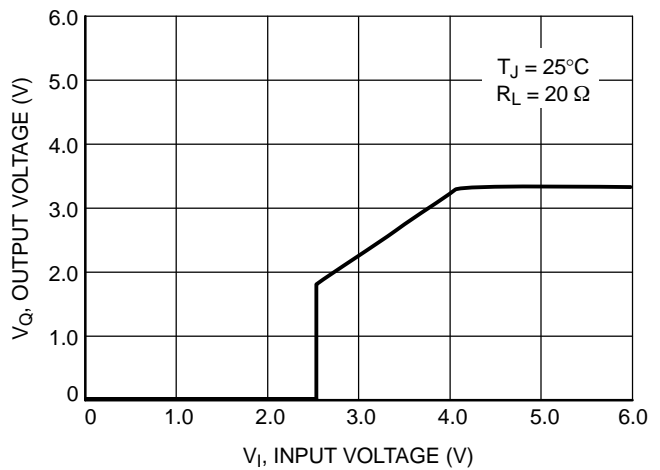


Figure 13. Low Voltage Behavior, 3.3 V Version

TYPICAL PERFORMANCE CHARACTERISTICS – 4276B Version

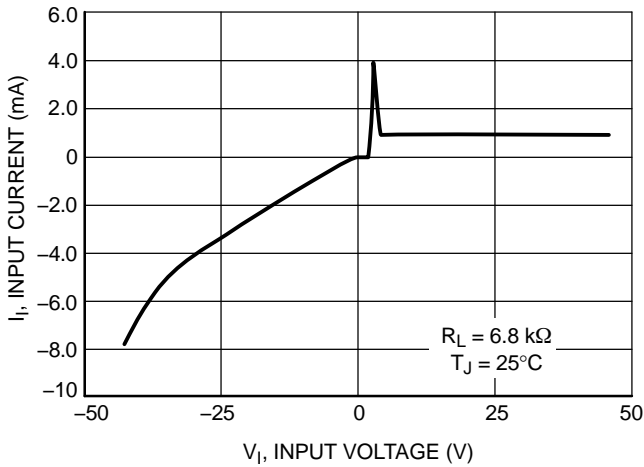


Figure 14. Input Current vs. Input Voltage, 5.0 V Version

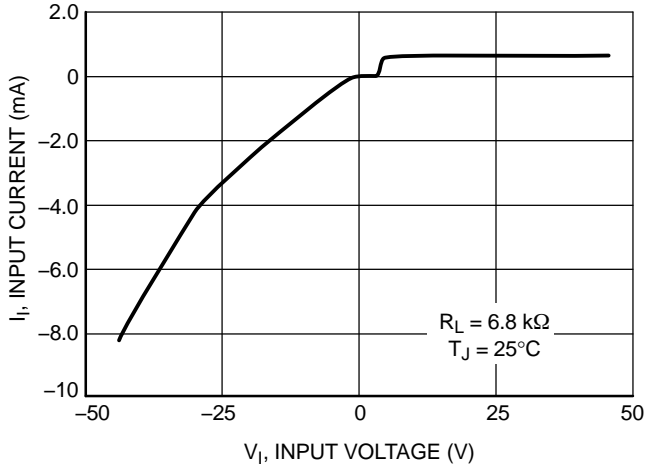


Figure 15. Input Current vs. Input Voltage, 3.3 V Version

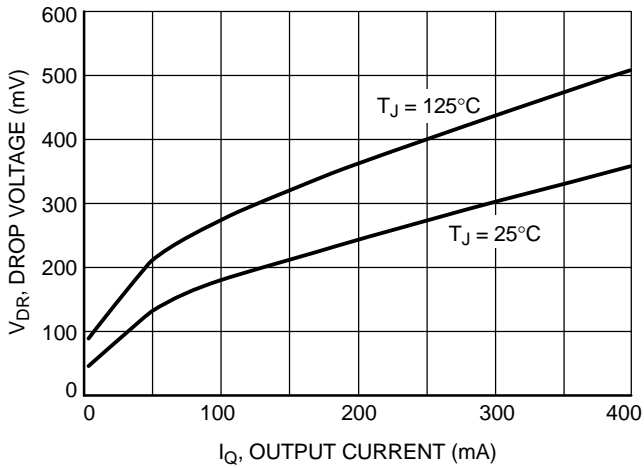


Figure 16. Dropout Voltage vs. Output Current

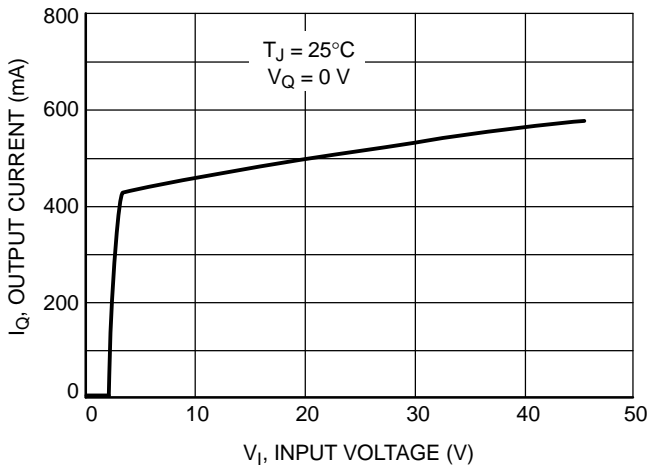


Figure 17. Maximum Output Current vs. Input Voltage

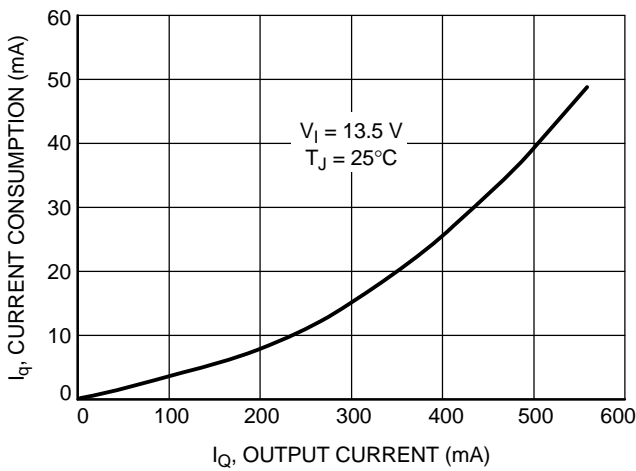


Figure 18. Current Consumption vs. Output Current (High Load)

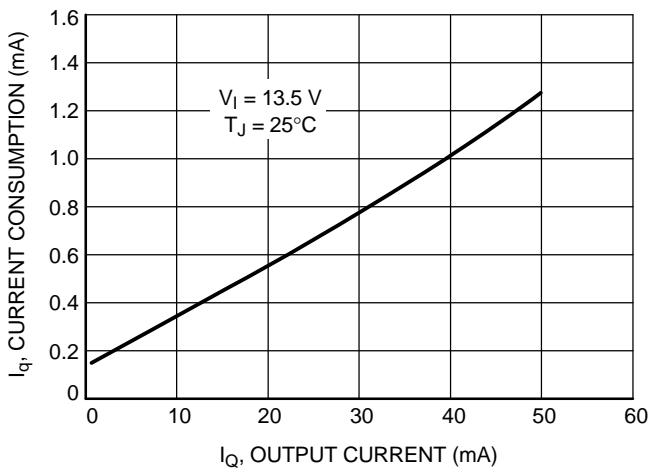


Figure 19. Current Consumption vs. Output Current (Low Load)

TYPICAL PERFORMANCE CHARACTERISTICS – Adjustable Version

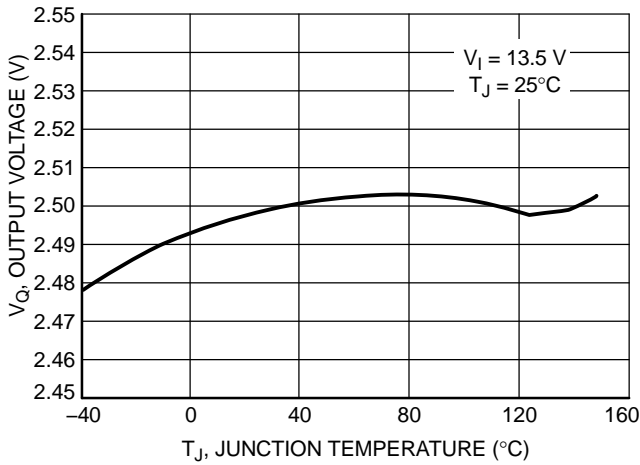


Figure 20. Output Voltage vs. Junction Temperature, Adjustable Version

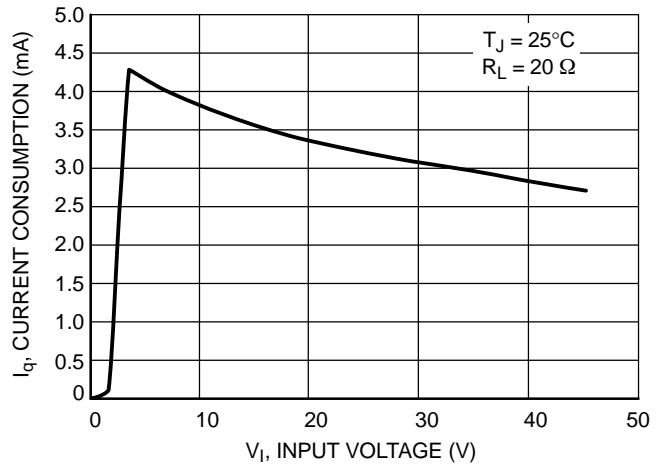


Figure 21. Current Consumption vs. Input Voltage, Adjustable Version

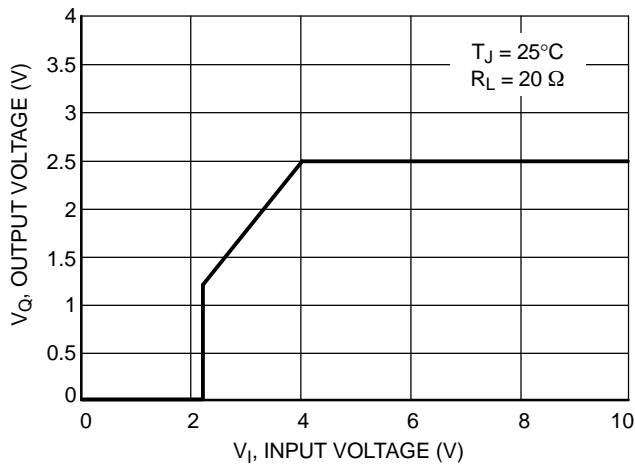


Figure 22. Low Voltage Behavior, Adjustable Version

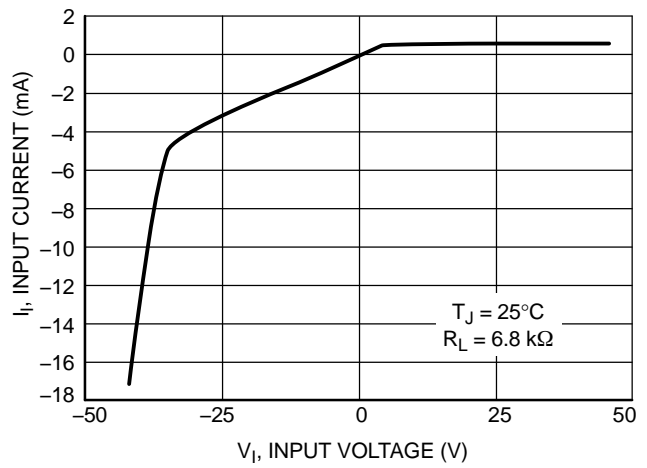


Figure 23. High Voltage Behavior, Adjustable Version

TYPICAL PERFORMANCE CHARACTERISTICS – Adjustable Version

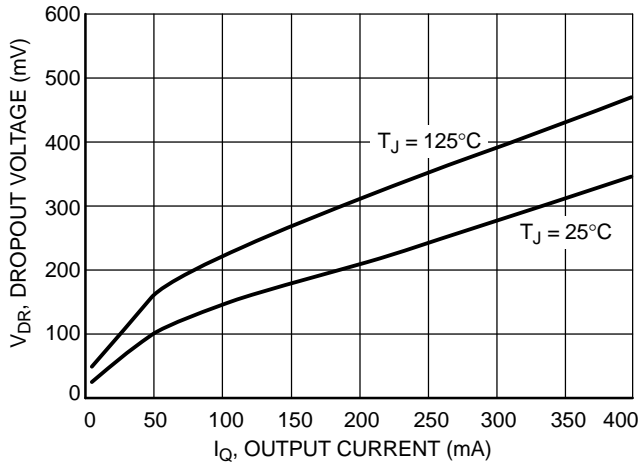


Figure 24. Dropout Voltage vs. Output Current, Regulator Set at 5.0 V, Adjustable Version

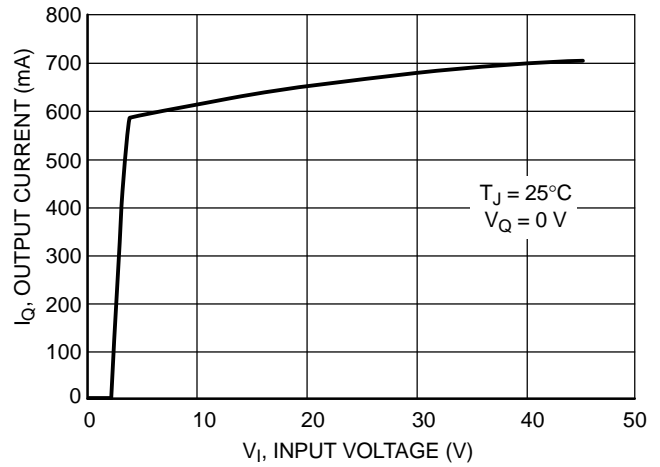


Figure 25. Maximum Output Current vs. Input Voltage, Adjustable Version

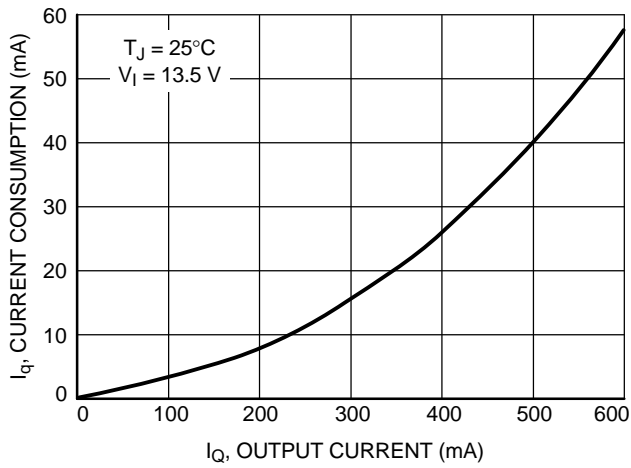


Figure 26. Current Consumption vs. Output Current (High Load), Adjustable Version

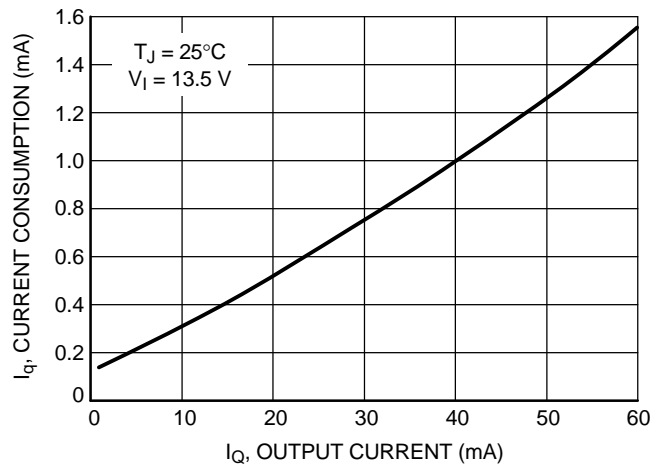


Figure 27. Current Consumption vs. Output Current (Low Load), Adjustable Version

回路の説明

NCV4276Bは、安定化電圧で400 mAを出力する高集積低ドロップアウト・レギュレータです。このデバイスは、INH(禁止)ピンにハイを入力することでイネーブルになります。レギュレータの電圧は、バンドギャップ・リファレンス付きエラー・アンプによって制御されるPNPパス・トランジスタから供給され、達成可能な範囲でできるだけ低いドロップアウト電圧を実現しています。電流出力能力は400 mAであり、ベース駆動静止電流は制御され、入力電圧が低い場合や出力が過負荷の場合の過飽和を防止しています。このレギュレータは、電流制限とサーマル・シャットダウンの両方によって保護されています。過負荷が発生した状況、または気温が極端に上昇した状況で、デバイスが150°Cを上回った時点でサーマル・シャットダウンが発生し、このICを保護します。

レギュレータ

エラー・アンプは、リファレンス電圧を出力電圧(V_Q)のサンプルと比較し、バッファ経由でPNP直列パス・トランジスタのベースを駆動します。リファレンスは温度安定出力が得られるバンドギャップ設計となっています。PNPの飽和制御は、負荷電流と入力電圧の関数として表現されます。出力電力デバイスの過飽和は防止されており、グランド・ピンの静止電流は最小化されます。回路要素の名称を図示したFigure 4のテスト回路を参照してください。

レギュレータの安定性に関する考慮事項

入力インピーダンスを安定させて電圧ラインからの影響を防ぐには、入力コンデンサ(C_{I1}およびC_{I2})が必要です。約1.0 Ωの抵抗をC_{I2}と直列に使用することにより、浮遊インダクタンスおよび浮遊容量によって発生する電位振動を抑制できます。

出力コンデンサは、起動遅延、負荷過渡応答、およびループ安定性というリニア・レギュレータの3つの主要特性を決定する役割を果たします。コンデンサの容量とタイプは、価格、入手のしやすさ、サイズ、および温度制約に基づいて決定する必要があります。アルミ電解コンデンサは最も安価な解決策ですが、回路が低温(-25°C~-40°C)で動作する場合は、コンデンサの容量とESRの両方が大幅に変化します。コンデンサ・メーカーのデータ・シートには通常、この情報が記載されています。

Figure 3に示された出力コンデンサC_Qの値はほとんどのアプリケーションで有効ですが、Figure 5~7も参照し、さまざまな負荷条件および出力コンデンサのESR条件での出力安定性を確認してください。Figure 5~7におけるESRの安定領域は、出力負荷電流がどのように動的に変化してもLDO出力電圧に持続的な振動を引き起こさないESRの値を示しています。ESRの境界値として示したのは、負荷が変化した後、4周期で出力電圧波形の振幅が完全に減衰し(収束)、それ以降振動が観察されない値です。

ESR特性は、セラミック・コンデンサおよびESRをエミュレートする追加直列抵抗を使用して計測し

ました。接合部温度を周囲温度付近に維持するために、低デューティ・サイクルのパルス負荷電流手法を使用しました。C_Q=22 μFに対する最小ESRとして示したのは、固定出力電圧デバイスが安定的に動作する状況で測定された、セラミック・コンデンサ固有のESRです。以下のMURATAセラミック・コンデンサを使用しました。

GRM32ER71C226KE18 (22 μF, 16 V, X7R, 1210)、
GRM31CR71C106KAC7 (10 μF, 16 V, X7R, 1206)

バイパス・コンデンサの計算

可変出力レギュレータで、低ESRセラミック・コンデンサを使用する必要がある場合、Figure 4のアプリケーション回路に従って、電圧調整ピンとQピンの間にバイパス・コンデンサC_bを接続します。

バイパス・コンデンサC_bを帰還抵抗R₁と並列に配置することで、デバイスの変換関数にゼロ点が付与されてデバイスのループ安定性に影響を与えるので、この容量は最適化する必要があります。出力コンデンサの容量とそのESRには、十分な注意を払う必要があります。この点の詳細については、『Stability in High Speed Linear LDO Regulators Application Note, AND8037/D』を参照してください。

バイパス・コンデンサの最適値は、次の式から得られます。

$$C_b = \frac{1}{2 \times \pi \times f_z \times R_1} \cdot (F) \quad (eq. 1)$$

ここで、

R₁ = 上側帰還抵抗

f_z = 外付け部品R₁とC_bによってデバイスの変換関数に追加されたゼロ点の周波数

抵抗R₁は、出力電圧の要件に従って設定します。出力容量C_Qに対応するf_zの値については、以下の表を参照して選択してください。

C _Q (μF)	10	22	47	100
f _z Range (kHz)	20 - 50	14 - 35	10 - 20	7 - 14

上記表内の低ESR出力コンデンサC_Qとして、以下に挙げる型番のセラミック・コンデンサを使用し、安定化に必要な追加ゼロ点の周波数範囲を決定しました。

GRM31CR71C106KAC7 (10 μF, 16 V, X7R, 1206)
GRM32ER71C226KE18 (22 μF, 16 V, X7R, 1210)
GRM32ER61C476ME15 (47 μF, 16 V, X5R, 1210)
GRM32ER60J107ME20 (100 μF, 6.3 V, X5R, 1210)

禁止入力

INH(禁止)ピンは、レギュレータをオン/オフするために使用します。このピンの電圧を1.8 V未満に維持すると、レギュレータの出力はオフになります。INH(禁止)ピンの電圧が2.8 Vを上回ると、レギュレータの電力出力がイネーブルになり、安定化電圧を出力します。レギュレータ出力を定常的にイネーブ

ルにするために、INH(禁止)ピンを入力ピンに直接接続することも可能です。

出力電圧の設定(可変出力バージョン)

可変出力バージョンの出力電圧は、2.5 V~20 Vの範囲で設定できます。電圧設定を実現するには、外付け抵抗分割器を使用して電圧をICにフィードバックし、電圧調整ピンVAを経由してその電圧をエラー・アンプに返します。内部のリファレンス電圧は、2.5 Vの温度安定化(温度の影響を受けない)リファレンス電圧に設定されています。

出力電圧は、次の式によって計算されます。VAピンに流れるバイアス電流を無視した場合、出力電圧は次のようになります。

$$VQ = [(R1 + R2) * Vref] / R2 \quad (eq. 2)$$

VAのバイアス電流が原因で出力電圧の大きな誤差が発生することを防止するために、 $R2 < 50\text{ k}$ の抵抗を使用してください。

R1とR2を介さずにVAをQに直接接続すると、2.5 Vの出力電圧が発生します。

設計者は設計時に、R1とR2の許容誤差を考慮する必要があります。

可変出力バージョンが動作する入力(1ピン)電圧範囲は、 $(VQ + 0.5\text{ V}) \sim 40\text{ V}$ です。内部バイアスが必要なので、最小入力電圧は4.5 Vと規定されています。出力電圧が4.0 V未満の場合のドロップアウト電圧は、 $(4.5\text{ V} - VQ)$ となります。

シングル出力レギュレータの消費電力計算

シングル出力レギュレータ(Figure 28)の最大消費電力は、次のようになります。

$$PD(max) = [VI(max) - VQ(min)]IQ(max) + VI(max)Iq \quad (eq. 3)$$

ここで、

- $VI(max)$ は最大入力電圧
- $VQ(min)$ は最小出力電圧
- $IQ(max)$ はアプリケーション側で利用できる最大出力電流
- Iq は $IQ(max)$ を出力する場合にレギュレータが消費する静止電流

$PD(max)$ が求まると、次のように $R\theta JA$ の最大許容値を計算することができます。

$$R\theta JA = \frac{150^\circ\text{C} - TA}{PD} \quad (eq. 4)$$

計算された $R\theta JA$ の値を、このデータ・シートのパッケージ・セクションに記載されている値と比較できます。パッケージの $R\theta JA$ が式4で計算した値よりも小さい場合は、ダイ温度は150°C未満に保たれます。

特定の状況では、どのパッケージも、ICから生じる熱をパッケージ単体で十分に放散することができません。その場合は、外付けヒートシンクが必要になります。

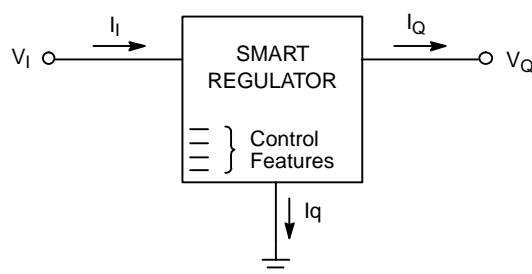


Figure 28. Single Output Regulator with Key Performance Parameters Labeled

ヒートシンク

ヒートシンクはパッケージの表面積を実質的に増やし、ICから周辺の空气中に放熱する流れを改善します。

Ic と外部環境の間の熱流路に存在する各材質には、熱抵抗があります。直列電気抵抗と同様に、次のように各熱抵抗を合計すると、 $R\theta JA$ の値が決まります。

$$R\theta JA = R\theta JC + R\theta CS + R\theta SA \quad (eq. 5)$$

ここで、

- $R\theta JC$ は結合部-ケース間熱抵抗
- $R\theta CS$ はケース-ヒートシンク間熱抵抗
- $R\theta SA$ はヒートシンク-大気間熱抵抗

$R\theta JC$ は、このデータ・シートのパッケージ・セクションに記載されています。 $R\theta JA$ と同様に、この値もパッケージ・タイプによって変化します。 $R\theta CS$ と $R\theta SA$ は、パッケージ・タイプ、ヒートシンク、およびそれらを接続するインタフェースによって変化します。これらの値は、ヒートシンク・メーカーのデータ・シートに記載されています。

熱、取り付け、およびヒートシンクについての考察は、オン・セミコンダクターのアプリケーション・ノートAN1040/Dで説明されています。

サーマル・モデル

サーマル・モデルパラメータの詳細については13~16ページをご覧ください。

NCV4276B

Table 6. DPAK 5-LEAD THERMAL RC NETWORK MODELS

Drain Copper Area (1 oz thick)			168 mm ²	736 mm ²		168 mm ²	736 mm ²	
(SPICE Deck Format)			Cauer Network			Foster Network		
			168 mm ²	736 mm ²	Units	Tau	Tau	Units
C_C1	Junction	GND	1.00E-06	1.00E-06	W-s/C	1.36E-08	1.361E-08	sec
C_C2	node1	GND	1.00E-05	1.00E-05	W-s/C	7.41E-07	7.411E-07	sec
C_C3	node2	GND	6.00E-05	6.00E-05	W-s/C	1.04E-05	1.029E-05	sec
C_C4	node3	GND	1.00E-04	1.00E-04	W-s/C	3.91E-05	3.737E-05	sec
C_C5	node4	GND	4.36E-04	3.64E-04	W-s/C	1.80E-03	1.376E-03	sec
C_C6	node5	GND	6.77E-02	1.92E-02	W-s/C	3.77E-01	2.851E-02	sec
C_C7	node6	GND	1.51E-01	1.27E-01	W-s/C	3.79E+00	9.475E-01	sec
C_C8	node7	GND	4.80E-01	1.018	W-s/C	2.65E+01	1.173E+01	sec
C_C9	node8	GND	3.740	2.955	W-s/C	8.71E+01	8.59E+01	sec
C_C10	node9	GND	10.322	0.438	W-s/C			sec
			168 mm ²	736 mm ²		R's	R's	
R_R1	Junction	node1	0.015	0.015	C/W	0.0123	0.0123	C/W
R_R2	node1	node2	0.08	0.08	C/W	0.0585	0.0585	C/W
R_R3	node2	node3	0.4	0.4	C/W	0.0304	0.0287	C/W
R_R4	node3	node4	0.2	0.2	C/W	0.3997	0.3772	C/W
R_R5	node4	node5	2.97519	2.6171	C/W	3.115	2.68	C/W
R_R6	node5	node6	8.2971	1.6778	C/W	3.571	1.38	C/W
R_R7	node6	node7	25.9805	7.4246	C/W	12.851	5.92	C/W
R_R8	node7	node8	46.5192	14.9320	C/W	35.471	7.39	C/W
R_R9	node8	node9	17.7808	19.2560	C/W	46.741	28.94	C/W
R_R10	node9	GND	0.1	0.1758	C/W			C/W

NOTE: Bold face items represent the package without the external thermal system.

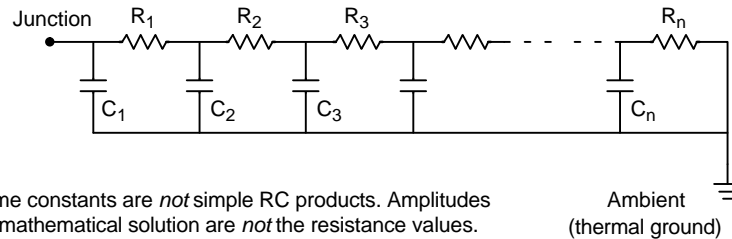


Figure 29. Grounded Capacitor Thermal Network ("Cauer" Ladder)

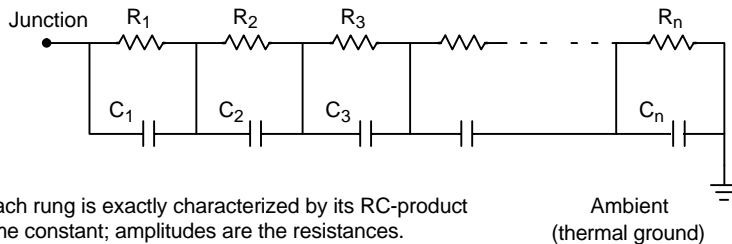


Figure 30. Non-Grounded Capacitor Thermal Ladder ("Foster" Ladder)

Table 7. D²PAK 5-LEAD THERMAL RC NETWORK MODELS

Drain Copper Area (1 oz thick)			241 mm ²	788 mm ²		241 mm ²	788 mm ²	
(SPICE Deck Format)			Cauer Network			Foster Network		
			241 mm ²	653 mm ²	Units	Tau	Tau	Units
C_C1	Junction	GND	1.00E-06	1.00E-06	W-s/C	1.361E-08	1.361E-08	sec
C_C2	node1	GND	1.00E-05	1.00E-05	W-s/C	7.411E-07	7.411E-07	sec
C_C3	node2	GND	6.00E-05	6.00E-05	W-s/C	1.005E-05	1.007E-05	sec
C_C4	node3	GND	1.00E-04	1.00E-04	W-s/C	3.460E-05	3.480E-05	sec
C_C5	node4	GND	2.82E-04	2.87E-04	W-s/C	7.868E-04	8.107E-04	sec
C_C6	node5	GND	5.58E-03	5.95E-03	W-s/C	7.431E-03	7.830E-03	sec
C_C7	node6	GND	4.25E-01	4.61E-01	W-s/C	2.786E+00	2.012E+00	sec
C_C8	node7	GND	9.22E-01	2.05	W-s/C	2.014E+01	2.601E+01	sec
C_C9	node8	GND	1.73	4.88	W-s/C	1.134E+02	1.218E+02	sec
C_C10	node9	GND	7.12	1.31	W-s/C			sec
			241 mm ²	653 mm ²		R's	R's	
R_R1	Junction	node1	0.015	0.0150	C/W	0.0123	0.0123	C/W
R_R2	node1	node2	0.08	0.0800	C/W	0.0585	0.0585	C/W
R_R3	node2	node3	0.4	0.4000	C/W	0.0257	0.0260	C/W
R_R4	node3	node4	0.2	0.2000	C/W	0.3413	0.3438	C/W
R_R5	node4	node5	1.85638	1.8839	C/W	1.77	1.81	C/W
R_R6	node5	node6	1.23672	1.2272	C/W	1.54	1.52	C/W
R_R7	node6	node7	9.81541	5.3383	C/W	4.13	3.46	C/W
R_R8	node7	node8	33.1868	18.9591	C/W	6.27	5.03	C/W
R_R9	node8	node9	27.0263	13.3369	C/W	60.80	29.30	C/W
R_R10	node9	GND	1.13944	0.1191	C/W			C/W

NOTE: Bold face items represent the package without the external thermal system.

一般にCauer回路には物理的な意義があり、回路のある部分に起因する熱的挙動を他の部分から分離するために、ノード間で分割することもできます。一方、Foster回路を（前述のように）時定数の順に並べ替えるとCauer回路にある程度相関したものになります。Foster回路は実際のところ、単純に利便性を高めた算術的モデルです。Cauer回路は回路シ

ミュレーション・ツールを使用して簡単に実装できるのに対し、Foster回路は次の式に従い、算術的なツール（たとえば、スプレッドシート・プログラム）を使用してより簡単に実装できます。

$$R(t) = \sum_{i=1}^n R_i (1 - e^{-t/\tau_i}) \quad (\text{eq. 6})$$

NCV4276B

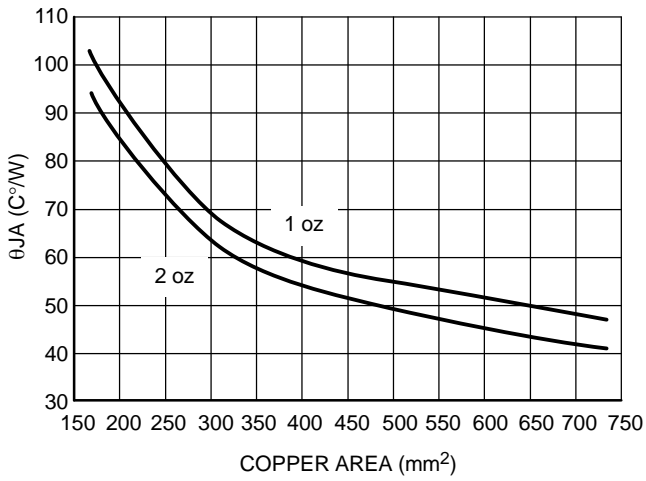


Figure 31. θ_{JA} vs. Copper Spreader Area, DPAK 5-Lead

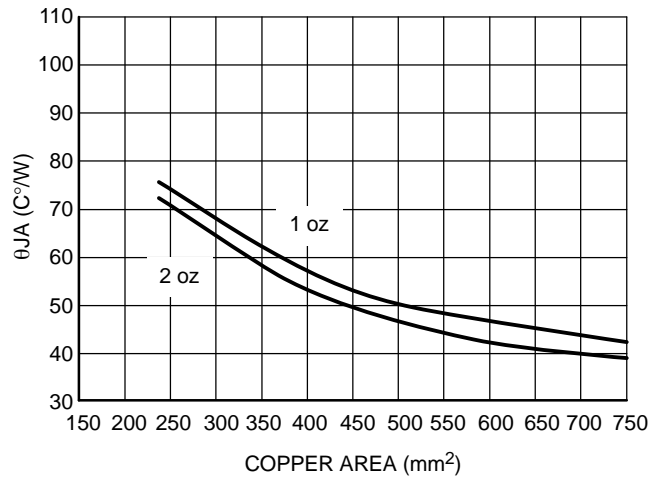


Figure 32. θ_{JA} vs. Copper Spreader Area, D^2PAK 5-Lead

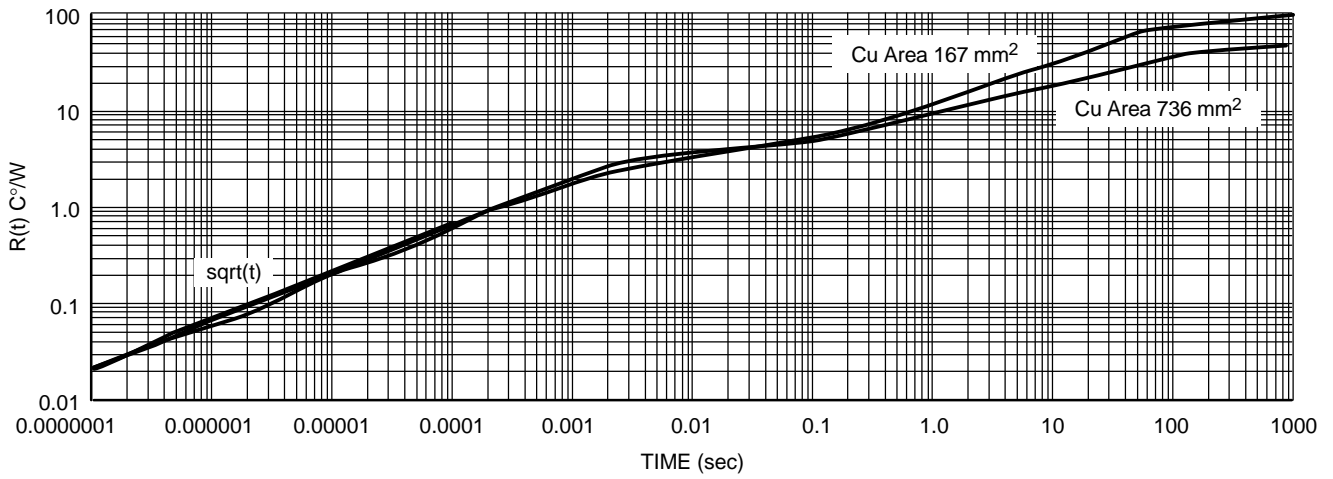


Figure 33. Single-Pulse Heating Curves, DPAK 5-Lead

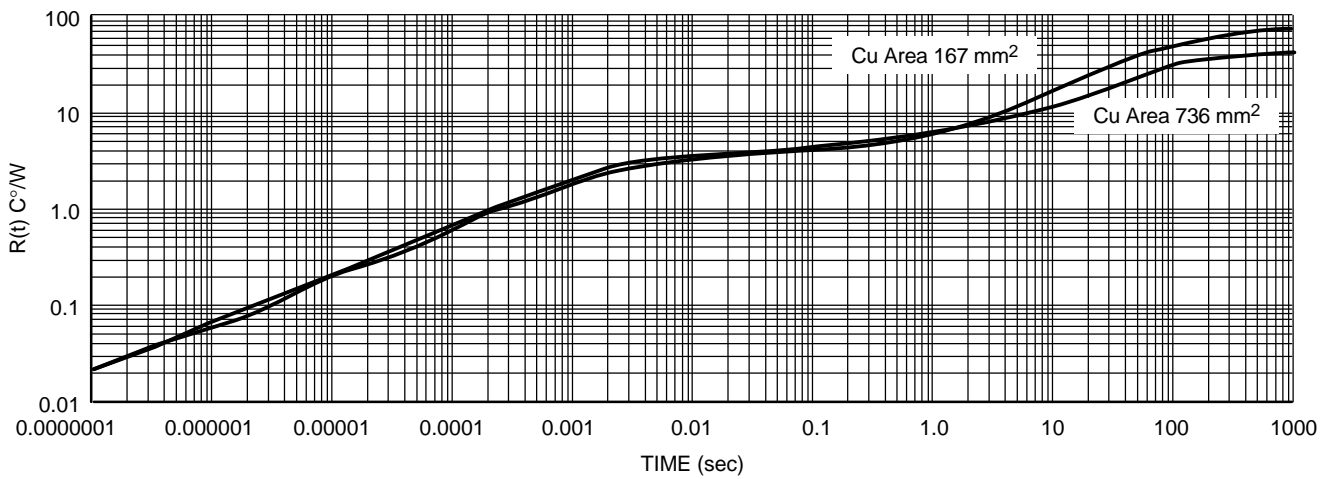


Figure 34. Single-Pulse Heating Curves, D^2PAK 5-Lead

NCV4276B

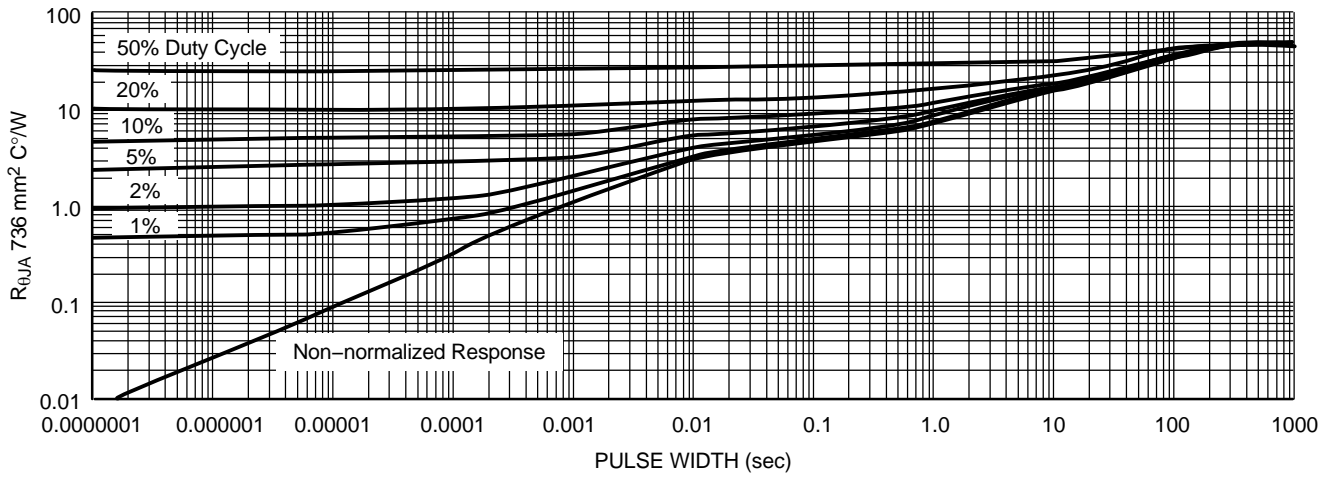


Figure 35. Duty Cycle for 1" Spread Boards, DPAK 5-Lead

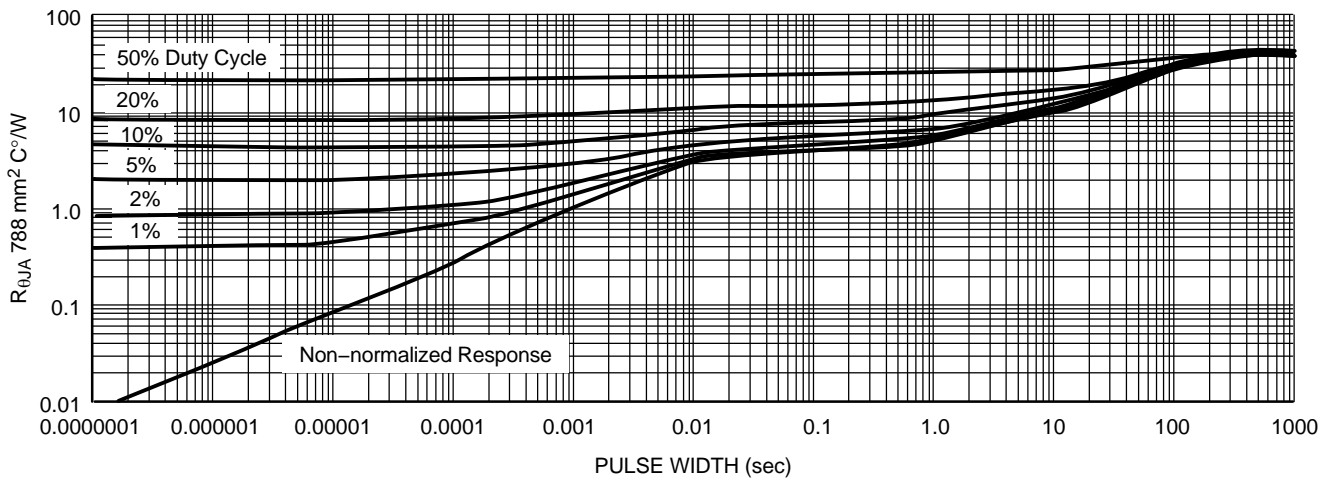


Figure 36. Duty Cycle for 1" Spread Boards, D²PAK 5-Lead

Table 8. ORDERING INFORMATION

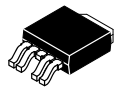
Device	Output Voltage Accuracy	Output Voltage	Package	Shipping [†]	
NCV4276BDT33RKG	2%	3.3 V	DPAK, 5-Pin (Pb-Free)	2,500 / Tape & Reel	
NCV4276BDS33R4G			D ² PAK, 5-Pin (Pb-Free)	800 / Tape & Reel	
NCV4276BDT50RKG		5.0 V	DPAK, 5-Pin (Pb-Free)	2,500 / Tape & Reel	
NCV4276BDS50R4G			D ² PAK, 5-Pin (Pb-Free)	800 / Tape & Reel	
NCV4276BDTADJRKG		Adjustable	Adjustable	DPAK, 5-Pin (Pb-Free)	2,500 / Tape & Reel
NCV4276BDSADJR4G				D ² PAK, 5-Pin (Pb-Free)	800 / Tape & Reel

[†]For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

ON Semiconductor®



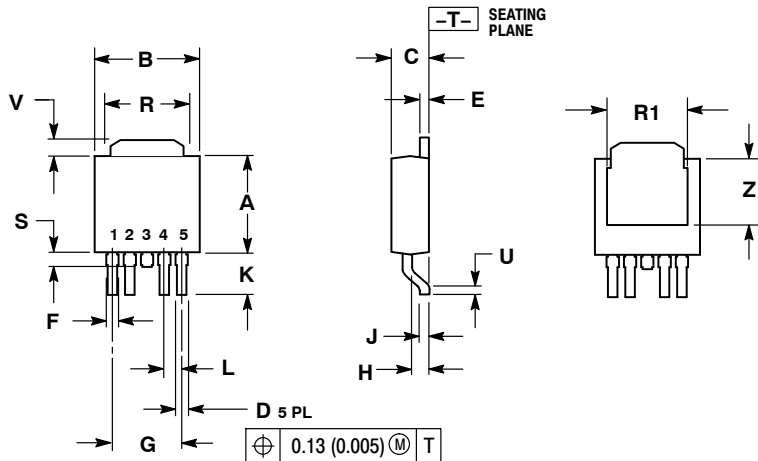
DPAK-5, CENTER LEAD CROP

CASE 175AA

ISSUE B

DATE 15 MAY 2014

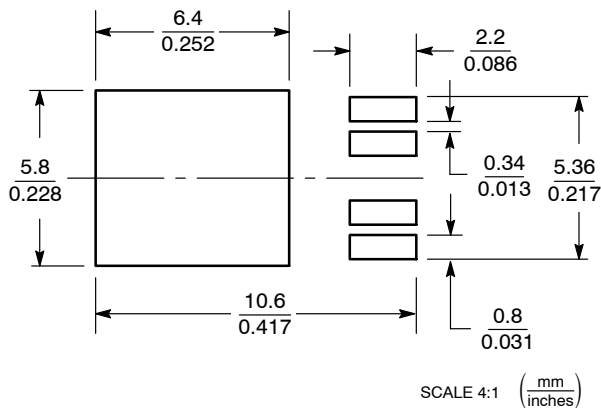
SCALE 1:1



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.

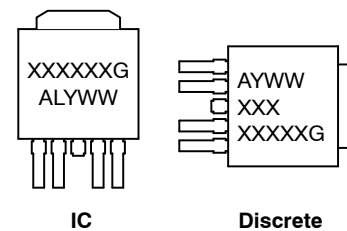
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.235	0.245	5.97	6.22
B	0.250	0.265	6.35	6.73
C	0.086	0.094	2.19	2.38
D	0.020	0.028	0.51	0.71
E	0.018	0.023	0.46	0.58
F	0.024	0.032	0.61	0.81
G	0.180 BSC		4.56 BSC	
H	0.034	0.040	0.87	1.01
J	0.018	0.023	0.46	0.58
K	0.102	0.114	2.60	2.89
L	0.045 BSC		1.14 BSC	
R	0.170	0.190	4.32	4.83
R1	0.185	0.210	4.70	5.33
S	0.025	0.040	0.63	1.01
U	0.020	---	0.51	---
V	0.035	0.050	0.89	1.27
Z	0.155	0.170	3.93	4.32

RECOMMENDED SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAMS*



- XXXXXX = Device Code
 A = Assembly Location
 L = Wafer Lot
 Y = Year
 WW = Work Week
 G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

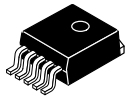
DOCUMENT NUMBER:	98AON12855D	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	DPAK-5 CENTER LEAD CROP	PAGE 1 OF 1

ON Semiconductor and are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

MECHANICAL CASE OUTLINE

PACKAGE DIMENSIONS

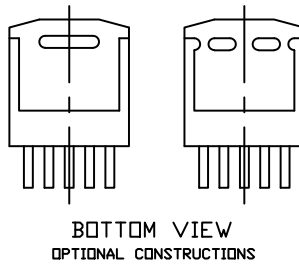
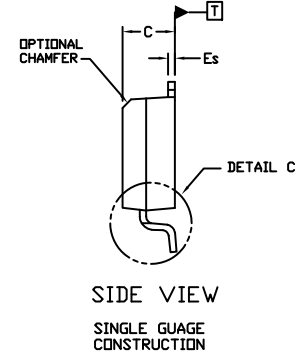
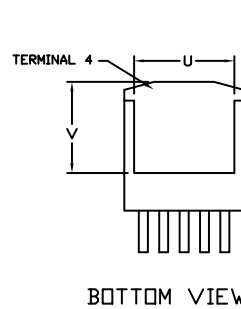
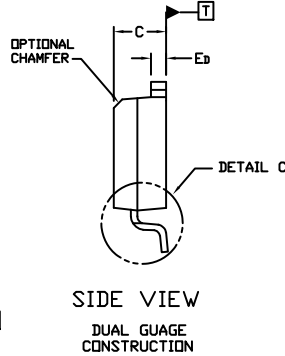
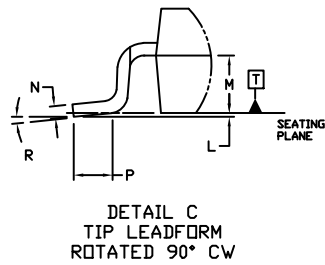
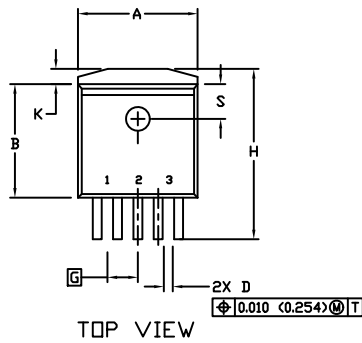
ON Semiconductor®



D²PAK 5-LEAD CASE 936A-02 ISSUE E

DATE 28 JUL 2021

SCALE 1:1

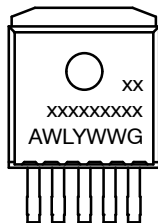


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION INCHES
3. TAB CONTOUR OPTIONAL WITHIN DIMENSIONS A AND K.
4. DIMENSIONS U AND V ESTABLISH A MINIMUM MOUNTING SURFACE FOR TERMINAL 4.
5. DIMENSIONS A AND B DO NOT INCLUDE MOLD FLASH OR GATE PROTRUSIONS. MOLD FLASH AND GATE PROTRUSIONS NOT TO EXCEED 0.025 (0.635) MAXIMUM.

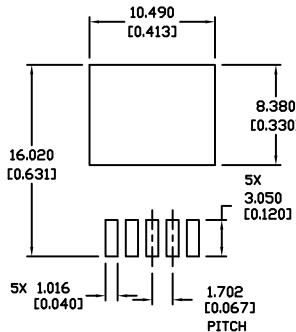
DIM	INCHES		MILLIMETERS	
	MIN.	MAX.	MIN.	MAX.
A	0.396	0.403	9.804	10.236
B	0.356	0.368	9.042	9.347
C	0.170	0.180	4.318	4.572
D	0.026	0.036	0.660	0.914
Ed	0.045	0.055	1.143	1.397
Es	0.018	0.026	0.457	0.660
G	0.067	BSC	1.702	BSC
H	0.539	0.579	13.691	14.707
K	0.050	REF	1.270	REF
L	0.000	0.010	0.000	0.254
M	0.088	0.102	2.235	2.591
N	0.018	0.026	0.457	0.660
P	0.058	0.078	1.473	1.981
R	0°	8°	0°	8°
S	0.116	REF	2.946	REF
U	0.200	MIN	5.080	MIN
V	0.250	MIN	6.350	MIN

GENERIC MARKING DIAGRAM*



- xxxxxx = Device Code
- A = Assembly Location
- WL = Wafer Lot
- Y = Year
- WW = Work Week
- G = Pb-Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "•", may or may not be present. Some products may not follow the Generic Marking.



* For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98ASH01006A	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	D2PAK 5-LEAD	PAGE 1 OF 1

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales