

SO8フラット・リードの ボード実装ノート

はじめに

オン・セミコンダクターの各種半導体デバイスは、Quad Flat No-Lead (QFN、クワッド・フラット、リードなし)パッケージという、パワー用途の高度なリードレス・パッケージに封入されています。パワーQFNプラットフォームは最新の表面実装パッケージ・テクノロジーを反映しています。この資料に概要を示す推奨ガイドラインに従って、プリント基板(PCB)の設計と組立工程を進めることが重要です。



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

SO8FLパッケージの概要

SO8FLパッケージは、大きいMOSFETダイを標準的なSO8ICフットプリントに収容できるようにする目的で作成されました。このパッケージはリード・フレーム設計を採用し、モールド・パッケージ本体外側へのリードの張り出しを許容しています。これにより、目視検査の際に半田フィレットを確認できます。次のFigure 1を参照してください。

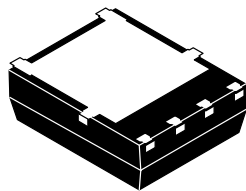


Figure 1. The Underside of an SO8FL Package

Figure 2に、ダイとワイヤ・ボンド・パッドの両方を同じ面に配置することで、パッケージの高さを最小限に縮小した方法を示します。実装時にリードと本体は、場所をとるリード付きパッケージ特有のスタンドオフなしで、ボードに直接取り付けられます。

また、Figure 2では、リードの先端がモールド・パッケージの縁より先にどのように突き出しているかも示しています。この構成により、所定のフットプリント内に最大のダイ・サイズを収容でき、その結果、ボード面積利用率を最大限に高めることができます。

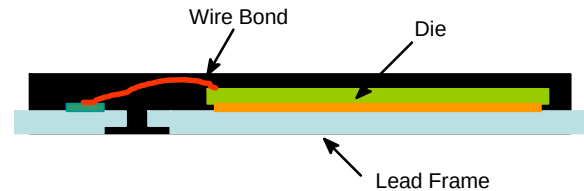


Figure 2. Cross-section of SO8FL Package

これらの特徴に加えて、SO8FLパッケージは優れた放熱特性を備えています。また高効率かつコンパクトな設計によって電氣的寄生素子が減少しています。

プリント基板設計の考慮事項

SMDとNSMDのパッドに関する考慮事項

表面実装QFNスタイルのパッケージで一般的に使用されるPCBのパッド構成には、2種類があります。これらのI/O構成は以下のとおりです。

- Non Solder Masked Defined (NSMD、半田でマスクされていない定義域)
- Solder Masked Defined (NSMD、半田でマスクされた定義域)

タイトルが示すとおり、Figure 3のように、NSMD接触パッドでは半田付け可能な金属化部分から半田マスクが引き離されているのに対し、SMDパッドでは金属化部分のエッジが半田マスクで覆われています。SMDパッドを使用すると、半田マスクで金属化部分の上部にまで半田ペーストが流れないようにしているため、金属パッドのサイドに沿って半田が流れることはありません。これは半田が金属化部分の上部とサイドの両方に流れるNSMD構成とは異なります。

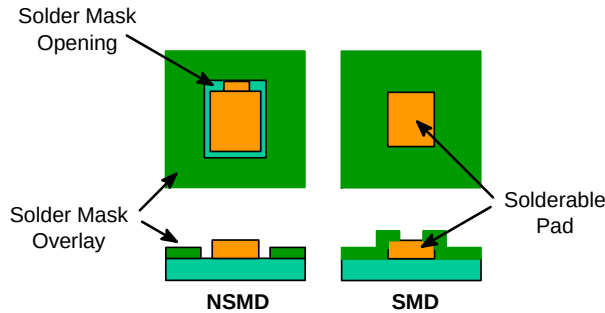


Figure 3. Comparison of NSMD vs. SMD Pads

一般に、半田マスクよりも銅パッドの位置とサイズを定義する方が簡単なので、SMD構成よりもNSMDパッドが好まれます。これは半田マスク・プロセスよりも、銅のエッチング・プロセスの方が厳密な許容差を実現できるという事実によるものです。

加えて、SMDパッドには、半田がリードの上部にあるパッドを覆う箇所に、ストレス集中ポイントが形成されるという固有の特徴もあります。NSMD構成でリードの側面に半田が流れ落ちる場合は、このストレス集中ポイントをなくすことができます。

NSMDパッドの考慮事項

寸法的に可能な場合は、半田マスクを半田付け可能なパッドから $\pm 0.076 \text{ mm}$ (0.003インチ)以上離す必要があります。この間隔は、半田マスクの割当て許容差を補正するため、そして金属パッドのサイドに沿って半田がリフローする際に、半田がマスクで遮られないようにするために使用されます。

PCBの半田付け可能パッドの寸法は、半田フィレットを目視検査できるように、デバイスのフットプリントより大きくする必要があります。これをFigure 4に示します。パッケージのパッド構成とPCBのパッド構成の比率は、配置の精度と信頼性が最適になるように設定されます。

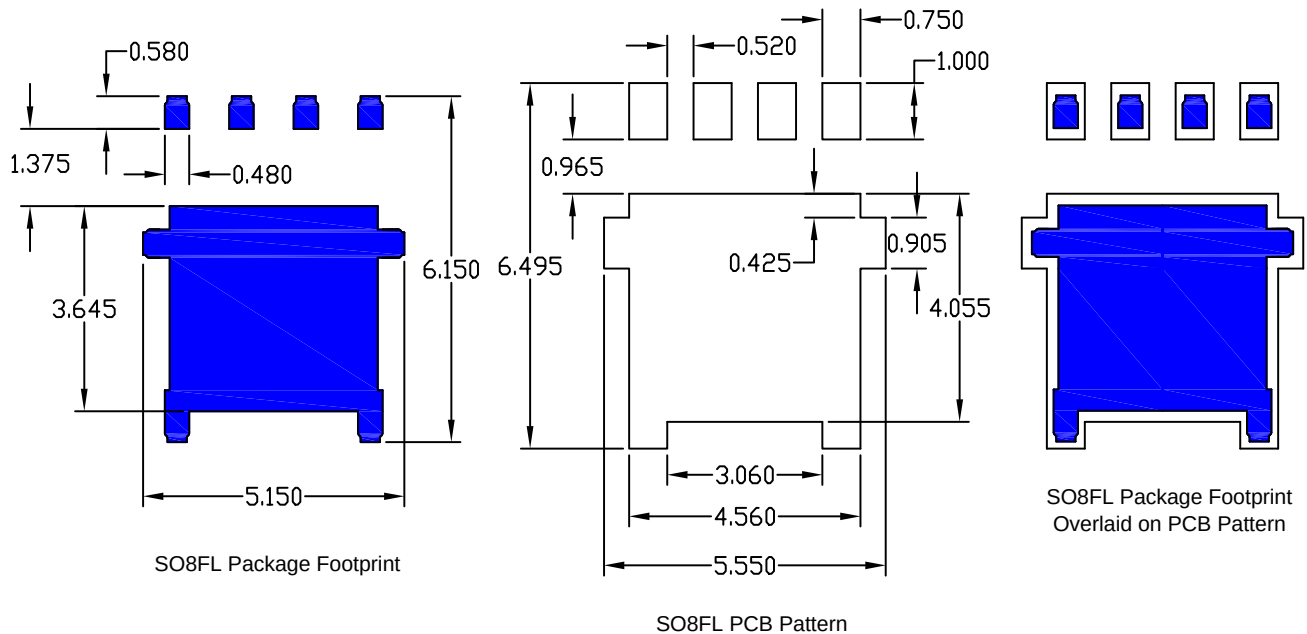


Figure 4. Printed Circuit Board Layout Using Non-solder Masked Defined I/O Pads

SO8FLのボード実装プロセス

表面実装プロセスを最適化するには、最初に以下のプロセスを定義し、制御します。

1. PCBの接点で、半田付け可能な金属化部分を作成し確保します。
2. 適切な半田ペーストを選択します。
3. 半田ペーストをPCBに転写/塗布します。
4. パッケージをPCBに配置します。
5. 半田ペーストをリフローします。
6. 半田接合点の最終検査を行います。

これらの各プロセスに関する推奨事項を以下に記載します。

PCBの半田付け可能な金属化部分

2つの一般的なメッキ仕上げされた半田付け可能な金属化部分があり、PCBの表面実装デバイスに使用されます。どちらの場合も、一貫して半田付け可能なシステムを維持するために、メッキが一様であり、規定に準拠し、不純物が混入していないことが不可欠です。

最初の金属化部分の仕上げは、銅メッキ・パッドを覆うプリフラックス(OSP)コーティングです。有機物コーティングにより、酸化を減少させて、半田付けのための銅金属化部分を保護できます。

2番目に推奨される半田付け可能な金属化部分の仕上げには、銅パッドを覆う無電解メッキ・ニッケルと、その後続く液浸金を使用します。無電解ニッケル層の厚さは、許容可能な内部材料ストレスと、寿命全期間にわたってボードが晒される可能性がある温度変動に基づいて決定します。金による金属化部分は通常、自己制限プロセスを使用する場合であっても、厚さを少なくとも0.05 μm にする必要があります。半田接合部で金を過剰に使用すると、金の含有率が増えて、接合部の信頼性に影響を及ぼすおそれがあります。

半田の種類

半田ペーストとして、Cookson ElectronicsのP/N WS3060、Type 3またはそれ以下の粒子サイズが推奨されます。WS3060は洗浄を想定した水溶性フラックスです。洗浄を想定しないフラックスが望ましい場合は、Cookson ElectronicsのP/N C0106Aを使用することもできます。

鉛フリー半田であるSn-Ag-Cu (錫-銀-銅)を使用する場合は、次の合金(Sn 94.5%、Ag 4.5%、Cu 0.5%)ペーストが望まれます。

PCBへの半田の転写

プリント基板への半田の塗布による転写は業界で一般的に使用されている手法です。推奨される塗布の厚さは、0.075~0.127 mm (0.003インチ~0.005インチ)で、塗布開口部の側壁は約5°の角度で先細りにして、塗布をプリント基板から取り除くときにペーストを容易に除去できるようにします。

PCBの端部にある標準的な端子パッドの場合は、塗布の開口部をPCB実装パッドと同じサイズにする必要があります。ただし、デバイスのパッドをPCBに半田付けする場合は、Figure 5に示すように、塗布の開口部をより小規模な空隙に分割する必要があります。大きいパッドをより小さい転写開口部に分割すると、半田付けが無効になるリスクが低減され、小さい端子パッドに対応する半田接合部をより大きいパッドと同じ高さにすることができます。代表的な半田カバレッジは露出しているパッド面積の60~80%です。

PCBへのパッケージ配置

標準許容差が ± 0.05 mm以下の実装機が推奨されます。パッケージは自己センタリングおよび半田の表面張力によって、リフロー・プロセス中にわずかな配置誤差が訂正される傾向があります。

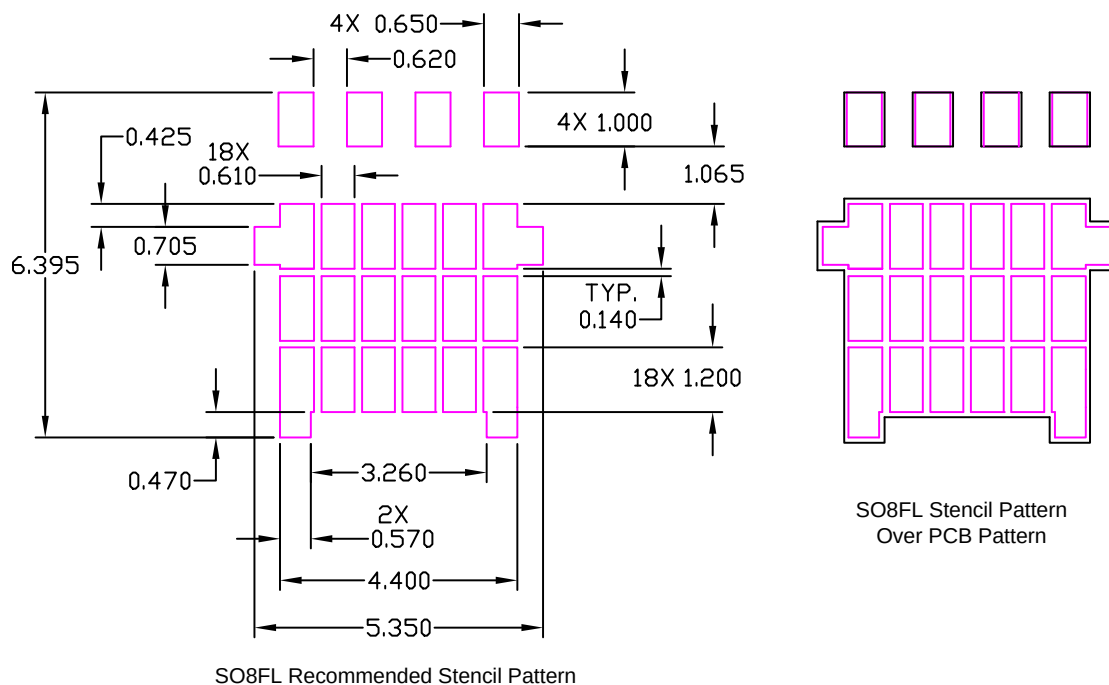


Figure 5. Solder Stencil Design Illustrating how Stencil Openings are Divided into an Array for Large Die Pads

半田リフロー

半田ペーストに沿ってパッケージをプリント基板に配置した後、標準的な表面実装リフロー・プロセスを使用してパーツを実装することができます。Figure 6とFigure 7は、一般的に使用されている錫/鉛(Sn/Pb)の半田、および鉛フリー半田合金に対応する標準的なリフロー・プロファイルの例です。S08FLは、JEDEC Specification J-STD-020Cに準拠した鉛フ

リー・プロファイル要件への適合が認定されていることに注意してください。

フラックス・マトリクスの化学成分と粘度は異なるため、ペースト・メーカから推奨プロファイルが提供されています。正確なプロファイルは、ボードの密度と厚さに基づいてプロセス・エンジニアが決定するものです。このような差異があるので、最適

プロセスを実現するために、プロファイルをわずかに変更する必要があります。

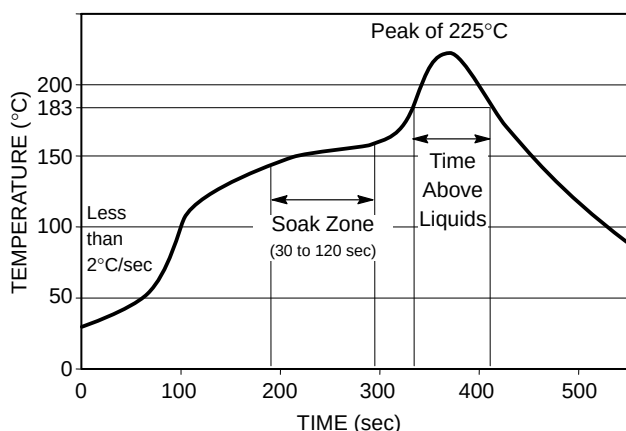


Figure 6. Typical Reflow Profile for Standard Tin/Lead Solder

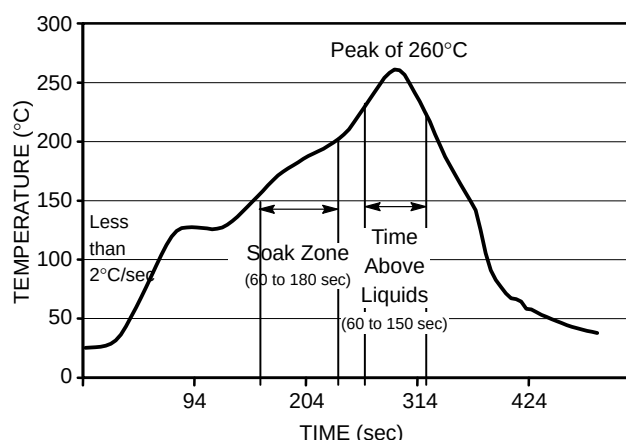


Figure 7. Typical Reflow Profile for Standard Pb-free Solder

一般的に、リフロー・プロファイルの初期段階で、25°C/secを上回る温度勾配でパーツの温度を上昇させないでください。その後、パーツが約150°Cに達した時点で液浸ゾーンが発生しますが、それを鉛フリー・プロファイルでは60～180秒(SnPbプロフ

ファイルでは30～120秒)にわたって持続させる必要があります。通常、液浸ゾーンにあるこの時間を長くすると、半田内部でボイドが発生するリスクが低減されます。次いで、温度が上昇し、この温度はボードの質量に応じて、半田の液相線(固体から液体、またはその逆の変化が発生する温度線)を上回る状態で、鉛フリー・プロファイルの場合は60～150秒(SnPbプロファイルの場合は30～100秒)にわたって維持されます。プロファイルのピーク温度は、鉛フリー半田合金の場合は245～260°C(SnPb合金の場合は205～225°C)の範囲にする必要があります。

必要な場合は、フラックス・メーカーで規定される推奨手順を使用して、残存半田フラックスの除去を完了することもできます。

半田の最終検査

半田接合部の検査は一般的に、X線検査システムを使用して実行します。このツールを使用すると、パッド間の短絡、接合部の開放、半田内部のボイド、外部に付着した半田などの欠陥を突き止めることができます。

欠陥の探索に加えて、実装したデバイスを回転させて側面を観察し、X線検査システムで半田接合部の側面を検査することもできます。半田接合部には十分な量の半田が付着して適切な離隔の高さを確保していること、およびFigure 8の下に示すような「砂時計」型の接続が形成されていないことが求められます。「砂時計」型の半田接合部には信頼性の懸念があり、回避する必要があります。

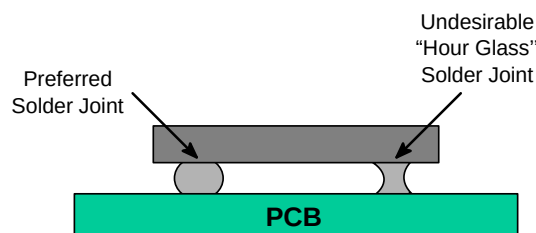


Figure 8. Side View of QFN Attachment Illustrating Preferred and Undesirable Solder Joint Shapes

リワーク手順

SO8FLがリードレス・デバイスなので、半田接合部に問題がある場合は、パッケージ全体をプリント基板から取り外す必要があります。通常、複数のデバイスが互いに接近して配置されているため、パッケージを取り外す際に、近傍のデバイスを過熱させる可能性を抑えることが重要です。

この手順では、空気流と温度勾配を注意深く制御している、標準的なSMTリワーク・システムが推奨されます。また、過剰な湿気をパッケージから取り除くために、パーツを加熱する前に、プリント基板を125°Cのオーブン内に4～8時間入れておくことも推奨されます。リフロー温度に晒される領域を制御

するために、SO8FLの場所に相当するボード裏面に熱を伝導させ、ボードを100°Cに加熱しておく必要があります。通常、その後は加熱ノズルを使用して、部分的に温度を上昇させます。

SO8FLの半田接合部を液相線温度以上に加熱した後、パッケージを速やかに取り外し、プリント基板上のパッドを洗浄する必要があります。パッドの洗浄は通常、ブレード形状の導電ツールと、半田吸い取りブレードを使用して実施します。手順を簡略化するために、このプロセスでは、洗浄を想定しないフラックスを使用します。

次に、新しいデバイスを実装する準備として、所定の場所に半田ペーストを配置または転写します。ほとんどのプリント基板の構成では、近傍のパッケージが接近して配置されているため、通常は個別のコンポーネントを対象とした塗布用の小型ステンシルが必要になります。パッケージを実装するときに使用した元のステンシル設計と同じものを、パッド修復用の小型ステンシルとして適用することができます。

SO8FLの小型パッド構成のため、またパッドがパッケージの下に位置するため、拡大補助なしの手動によるピックアンドプレイス手順を実行することは推奨されません。代わりに、パッケージ下面をプリント基板に揃えることができる2画像表示光学システムを使用する必要があります。

ボードへのコンポーネントのリフローは、ボードを元と同じリフロー・プロファイルで処理するか、SO8FLを取り外すときに使用したのと同じプロセスをSO8FLのみに選択的に適用する方法で実施できます。2回目のリフローの際にボード全体を対象にする方法の長所は、定義済みプロファイルを使用して、一貫性のある方法でSO8FLが実装されることです。この方法の短所は、同じ種類の半田で実装済みの他のデバイスに対して2回目のリフローが適用されることです。すべてのパーツに対して2回目の適用を行うことは、特定のアプリケーションでは懸念があるか、または受け入れできず、その場合は局所的なリフロー・オプションを使用することが推奨手順となります。

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえば、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative