



過渡電圧抑制ダイオード回路に関するアプリケーションのヒント

はじめに

過渡電圧抑制(TVS)ダイオードは、回路のEMIおよびESD耐性レベルを高める簡易なソリューションを実現しますが、効果的なサージ保護を達成するために従う必要のあるガイドラインは少数が公開されているのみです。この資料では、アプリケーションで使用する場合のアバランシェTVSとダイオード・アレイに関するいくつかの重要な特徴について分析します。さらに、単方向と双方向の各TVSデバイスの長所と短所を実証する例も掲載しています。回路設計に関する以下の検討事項を分析します。

- IC内部と外部のTVS保護回路の比較
- TVSダイオードのターンオン電圧
- ダイオード・アレイに関するアプリケーションのヒント
- 同相オフセット電圧
- バックドライブ保護
- 差動入出力アプリケーションのガイドライン

IC内部と外部のTVS保護回路の比較

過渡電圧抑制(TVS)ダイオードを使用して、ICのサージ耐性レベルを強化することができます。ほとんどのICは、アセンブリ内で発生するおそれのあるESD障害を防止する目的で適切に機能する内部保護回路を搭載しています。ただし、多くの場合は、通常の製品使用時に発生するサージ現象からICを保護するにはこのような内部保護回路は不十分です。シリコンTVSダイオードの耐サージ能力は、そのサイズに直接的に関連しており、外部デバイスは通常、IC内部のTVSデバイスに比べて少なくとも10倍

ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

の単位で高い耐性を有しています。大型の保護デバイスをICに内蔵することは通常は実用的ではないので、ICよりサイズの制約が緩やかな外部TVSダイオードは、ICより高いレベルのサージ保護能力を実現します。さらに、ほとんどのICの内部保護回路はわずか数回のESD現象を処理するように設計されているのに対し、外部TVSデバイスは無限量のサージへの耐性を提供します。

ICの内部サージ保護回路について知識は、適切な電力定格とターンオン電圧を達成する外部TVSデバイスを選択するのに役立ちます。残念なことに、ほとんどのICのデータシートはESD定格を掲載するのみで、内部保護回路に関する情報を公開していません。ICの内部保護回路は、高電圧トランジスタ、ツェナ・ダイオード、ダイオード・アレイ、サイリスタ、および過電圧検出スイッチを使用して作成できます。Figure 1に、内部サージ保護を達成する目的で使用される2つの一般的なIC回路を示します。サージ現象が内部保護回路の電力定格を上回らないことを保証するためのガイドラインを、以下のセクションで説明します。

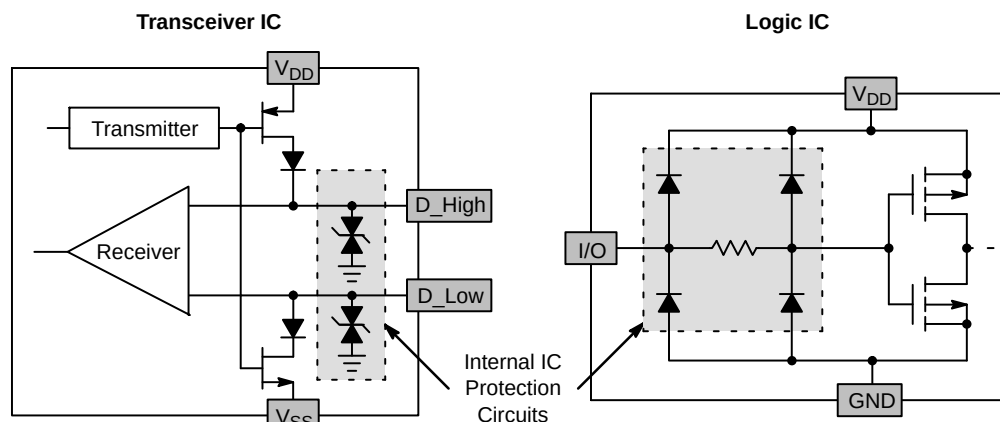


Figure 1. Zener Diodes are a Popular Choice for the Internal Protection Circuit of a Transceiver IC that Requires Power Surge and ESD Protection. Diode Arrays are a Frequent Choice for the Internal ESD Protection Circuit of a Logic IC

TVSダイオード・アレイのターンオン電圧

外部TVSデバイスの主な機能は、サージ電圧の大きさを小さくする特性により、ICに流れる電流を制限することです。理想的な外部TVSデバイスは、ICの内部回路より先にターンオンし、サージ・パルスの全エネルギーを吸収します。実際には、サージ現象が発生したときは通常は、外部と内部両方の保護回路がターンオンします。内部保護回路に流れる電流が低い値に制限されている場合、ICの信頼性は影響を受けません。また、TVSデバイスの位置は、サージ・エネルギーの大半が外部保護回路によって吸収されるかどうかを決定する重要な要素です。参考資料[4]に、ICの内部保護回路ではなく外部TVSデバイスによってサージ保護を達成するのに役立つPCBレイアウトのガイドラインが掲載されています。

多数のICがESD保護用ダイオード・アレイを内蔵しているので、内部および外部保護回路はしばしば類似トポロジを採用しています。これをFigure 2に示します。0.7 Vおよび0.3 Vという値を使用して、外部スイッチング・ダイオードとショットキ・ダイオードそれぞれのターンオン電圧を推定することができます。IC内部保護回路のターンオン電圧は、バイポーラ・プロセスの場合は通常0.7 Vです。ただし、CMOSデバイスの値は複数のプロセス変数の関数であり、以下に示すMOSFETダイオードの電圧式で表されます。

$$V_{\text{MOSFET_Diode}} = V_T + \sqrt{\frac{I_{DS}}{\frac{1}{2}\mu_0 C_{ox} \left(\frac{W}{L}\right)}} \quad (\text{eq. 1})$$

ここで、

V_T = スレッショルド電圧

I_{DS} = ドレイン-ソース間電圧

μ_0 = 電子移動度

C_{ox} = 単位面積当たりのゲート酸化物の静電容量

W/L = 幅と長さの寸法

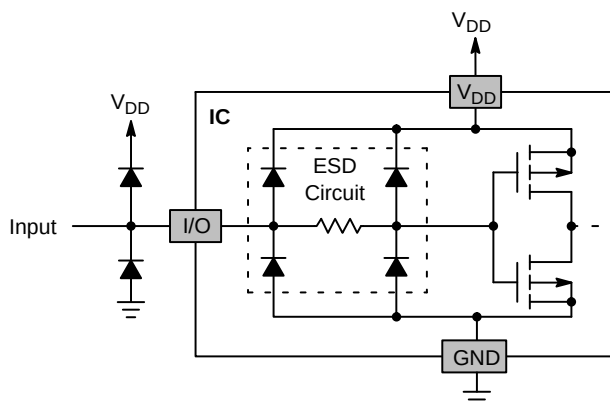


Figure 2. An External Diode Array often has a Similar Topology to the IC's Internal ESD Protection Circuit; however, the Turn-on Voltages of the Two Arrays can be Different

多くの場合、CMOS ICはグラウンド・ノイズへの耐性を強化するために、 V_T が0.7 Vより大きいMOSFETダイオードを実装するように設計されています。したがって、外部アレイは通常、これより低いターンオン電圧を持つ製品を採用します。一方、低電圧ICの V_T はこれよりかなり低い値になっていることがあるため、MOSFETダイオードのターンオン電圧が、標準的なダイオードの0.7 Vという値より小さくなるおそれがあります。この問題に対する1つの解決策は、Figure 3に示すようにショットキ・ダイオード・アレイを使用することです。ショットキ・ダイオードでは一般にターンオン電圧は約0.3 Vです。

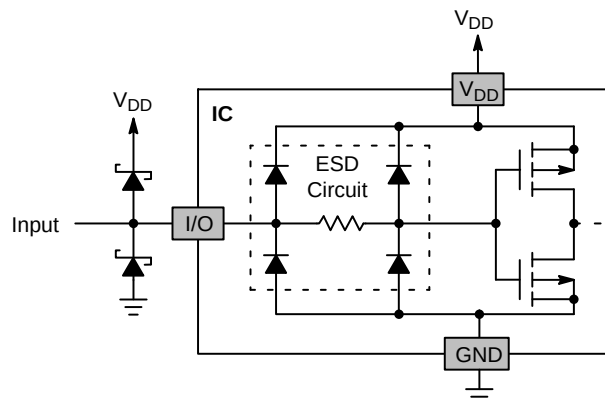


Figure 3. The Low Turn-on Voltage of a Schottky Diode can be Used to Provide Surge Protection for Low Voltage ICs

Figure 4に示す回路は、内部および外部アレイのターンオン電圧が類似している場合に発生するおそれがある、潜在的な問題を解決するための別の選択肢です。これら2つのアレイ間に抵抗を実装すると、サージ・エネルギーの大半が外部回路で消費されるようになります。ICの内部ダイオードもターンオンしますが、これらのデバイスを流れる電流は、外部ダイオード電流に比べて比較的小さくなります。

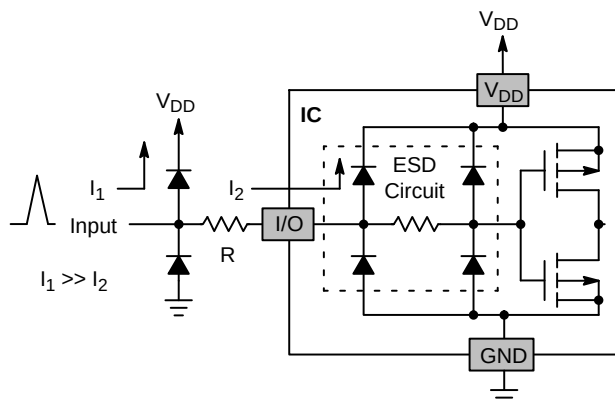


Figure 4. R Forces $I_1 \gg I_2$, which Ensures that the Majority of the Surge Energy is Diverted by the External Diode Array rather than by the IC's Internal ESD Circuit

ダイオード・アレイ・アプリケーションのヒント

電源のデカップリング

ダイオード・アレイは電源レールに流れ込むサージ電流に対処します。ダイオード・アレイで過渡電圧パルスのエネルギーが消費されます。この様子を

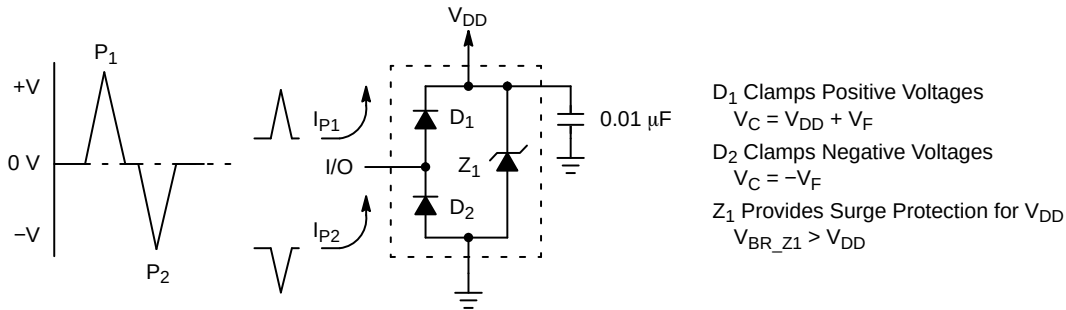


Figure 5. Adding a Decoupling Capacitor and Avalanche TVS to a Diode Array Enhances the Ability to Clamp the Surge Voltage to a Diode Drop above or below the Power Rails

デカップリング・コンデンサとアバランシェ・ダイオードは、サージの影響が及んでいる間に電源のロード・レギュレーションを改善する2つの簡易ソリューションです。電源ピンの両端に約0.01~0.1 μF のRFセラミック・コンデンサを配置すると、サージ・パルスの振幅を低減できます。ブレークダウン電圧が V_{DD} よりわずかに高いアバランシェ・ダイオードを備えたダイオード・アレイを使用することによって、追加サージ保護を実現できます。TVS IC内にアバランシェ・ダイオードを集積すると、デバイス接続に関連するインダクタンスが抑えられ、 $V = L (\Delta I / \Delta t)$ の式に起因するサージ・パルスの振幅を低減できます。

ダイオード・アレイのクランプに関する式は、電源レール V_{DD} と V_{SS} が定電圧を供給すると想定しています。これは低周波負荷変動の場合は良好な想定ですが、サージ・パルスの負荷需要が高周波で変動している間は有効でないおそれがあります。例えば、IEC 61000-4-2のESDパルスの立ち上がり時間が1.0 ns未満で、ピーク電流は30 Aです。ESDパルスの大きいピーク・エネルギーのために、電源の出力インピーダンスが増加するおそれがあります。インピーダンスの変動が原因で、ピーク・クランプ電圧はFigure 5の式による予測を大幅に上回る振幅に達します。参考資料[4]に、ダイオード・アレイのクランプ性能を最大化するために使用できる追加の推奨事項を示します。

Figure 5に示します。正のサージ・パルスは電源電圧(V_{DD})に順方向ダイオード電圧降下を加えた電圧にクランプされます。通常 V_{SS} ピンはグラウンドに接続します。したがって、負のパルスはグラウンド電位よりダイオード電圧降下分だけ低い電圧にクランプされます。

ダイオード・アレイのサージ定格

サージ定格はテスト構成に依存するので、ダイオード・アレイのデータシート仕様を注意深く検討する必要があります。ダイオード・アレイには、 V_{DD} ピンに印加した電力を使用して電力定格を測定するものや、サージ・テスト中に電源ピンをフロートさせるものがあります。この問題は、ショットキ・ダイオードを使用する場合、電力が印加されていないアレイの定格は電力が印加されているアレイよりはるかに低くなるので、特に重要です。電力が供給されていないショットキ・アレイのサージ対処能力が低いのは、標準的なダイオードと比較して逆バイアス定格が比較的低いためです。

ダイオードの逆バイアス・サージ定格は、アレイに電力が印加されている場合は通常、問題になりません。ダイオード D_2 の逆バイアス条件が発生するのは、 V_{DD} が高インピーダンスまたはフローティング状態にあるときに、I/Oピンに負のサージ・パルスが印加される場合のみです。アレイに電力が印加されている場合、DC電圧源は高周波AC信号に対するグラウンドとして機能し、サージ・パルスが逆並列構成を採用した2個のダイオードに実質的に印加されます(Figure 6を参照)。これらのダイオードの1つは順方向にバイアスされるので、このダイオードのターンオン電圧は他のダイオードの最大逆方向バイアス電圧より十分低い値になります。

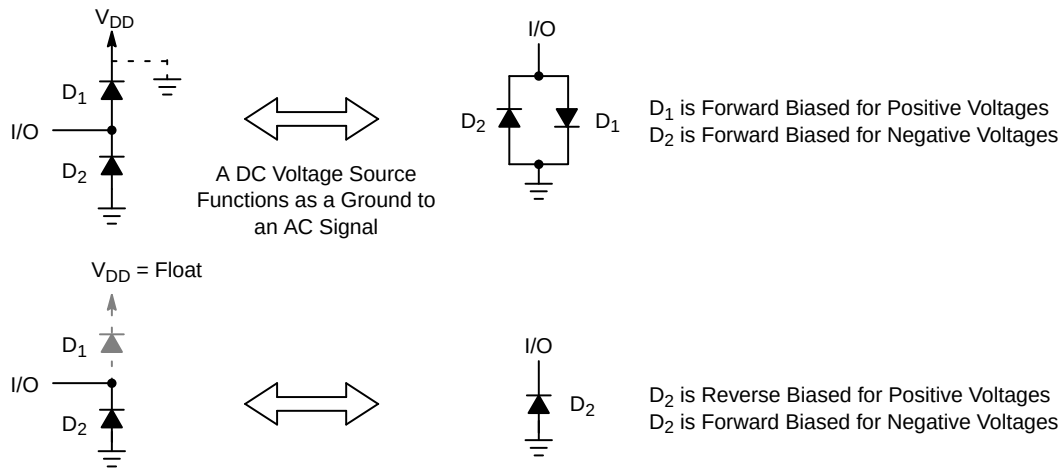


Figure 6. The Power Pin (V_{DD}) Functions as a Ground for High Frequency AC Signals. The Diodes will be Exposed to a Reverse Biased Voltage only if V_{DD} is Floating

同相オフセットの問題

共通グラウンドを使用し、長いケーブルを通じて複数のリモート・モジュールが接続されているシステムでは、潜在的に同相オフセット問題が存在します。送信ノードと受信ノードのグラウンド基準間に大

きな電位差が存在する場合、同相電圧が生成されます。同相オフセットとは、データ・ラインの電圧に対しその公称電圧レベルに数ボルトの正または負のオフセットが加わる可能性があることを意味します。

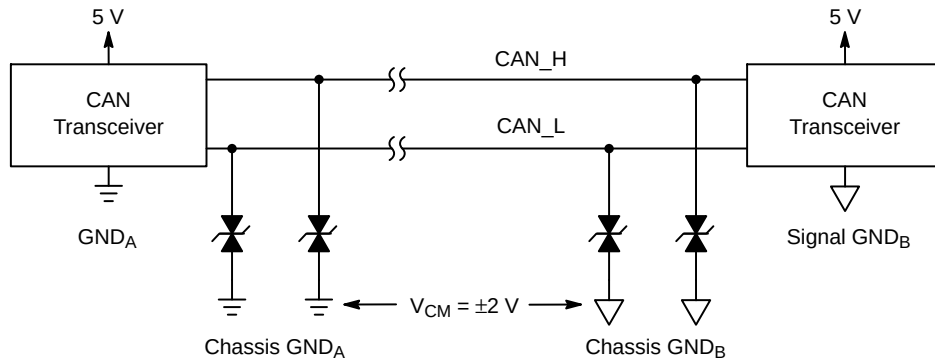


Figure 7. Bidirectional TVS Devices Solve the ±2.0 V Common Mode Offset Voltage (V_{CM}) Requirement of CAN Transceivers

Figure 7に示すコントローラ・エリア・ネットワーク(CAN)は、同相電圧仕様が規定されているシステムの例です。CANは車載用および産業用制御アプリケーション向けの一般的なシリアル通信ネットワークです。CANの同相電圧仕様が原因で、複数のデータ・ライン間の差動電圧が変化することはありません。ただし、Figure 8に示すように、CAN_H信号とCAN_L信号の絶対値が最大2V変動する可能性があります。

ます。規定されている同相範囲内でデータ・ラインのオフセットが発生した場合に、保護デバイスがクランプされないようにするには、双方向TVSデバイスを使用する必要があります。単方向アバランシェおよびダイオード・アレイを使用するのは、グラウンド基準に対する電位差が小さいシステムのみに限定する必要があります。

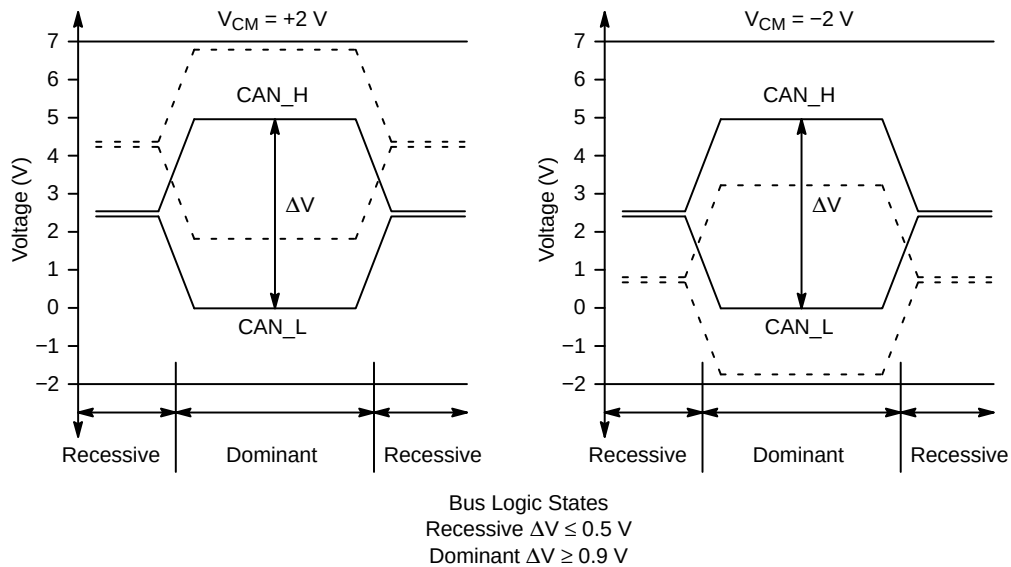


Figure 8. CAN Data Lines have a Normal Voltage Range of 0 to +5.0 V; However, the Common Mode (V_{CM}) Requirement can Shift the Level of the Signals by $\pm 2.0 \text{ V}$

バックドライブ保護

Figure 9に、ダイオード・アレイで発生する可能性のあるバックドライブ問題を示します。バックドライブが発生するのは、データ・ライン経由でダイオード・アレイに電流が流れる経路が存在するときです。 V_{DD2} が V_{DD1} より大きい場合は、2つのモジュールを接続するデータ・ラインは非意図的にモジュール1に電力を供給するおそれがあります。この状態は、複数のロジックICが関係するパワーアップ問題と、ユニットに電力が供給されていないときでもモジュール1の表示灯の点灯などの異常動作を引き起こすおそれがあります。

バックドライブ問題は、Figure 10とFigure 11に示す2つの保護回路で解決できます。Figure 10の回路は、アバランシェTVSダイオードを使用して、2つのモジ

ュール間の電流経路をなくします。ただし、モジュール1のICに内部ダイオード・アレイが内蔵されている場合は、経路は依然として存在しています。2番目のオプションは、Figure 11に示すように、ダイオード・アレイに対してアバランシェ・ダイオードとブロッキング・ダイオードを追加する方法で実装でき、バックドライブ問題を解決できます。アバランシェ・ダイオードを使用してサージ減少の電流を吸収すると同時に、ブロッキング・ダイオードは V_{DD1} への経路を阻止します。I/Oコネクタの近くに外部ダイオードを配置すると、 $I_{PU2} < I_{PU1}$ の関係を保証できるようになります。 I_{PU1} の電流経路のインピーダンスが小さくなると、サージ現象発生時のエネルギーの大半が確実に外部ダイオード・アレイで消費されるようになります。

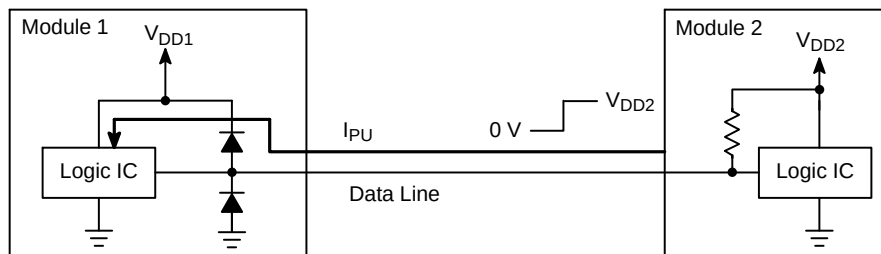


Figure 9. A Diode Array Creates a Back Drive Current Path (I_{PU}) to Provide Power through a Data Line when $V_{DD2} > V_{DD1}$

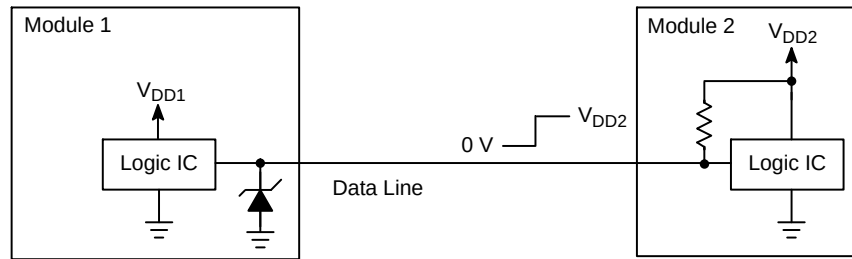


Figure 10. A TVS Avalanche Diode Eliminates the Current Path (I_{PU}) for Back Drive; However, the Problem will Still Exist if Module 1's Logic IC Uses a Diode Array for ESD Protection

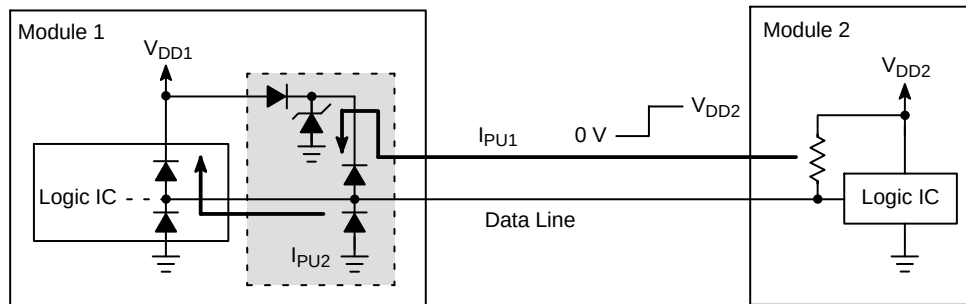


Figure 11. Back Drive Protection can be Implemented by Adding an Avalanche and Blocking Diode to the Diode Array. The Blocking Diode Eliminates the I_{PU1} Current Path; However, Current Path I_{PU2} will Exist if the IC has a Diode Connected between the Output and Power Supply Pins

差動アンプ回路

単方向と双方向のTVSデバイスでクランプ電圧が異なることが原因で、差動入力または差動出力を採用した回路のノイズ性能に違いが生じることがあります。2個のTVSデバイスの違いは、Figure 12に示すように、ノイズ信号を振幅の大きい正弦波として表現し、それぞれのクランプ特性を確認することで明示できます。単方向および双方向TVSデバイスは正

弦波を方形波に変換しますが、それぞれのDC平均はおおよそ $V_{BR}/2$ と0Vになります。アンプがより良好なノイズ除去仕様を示すのは、一般に入力信号の平均が0Vに等しい場合です。また、ノイズ信号の平均が0Vになるようにバイアス電圧を供給すると、オーディオ・アンプでDCバイアス電圧に関連するハムを低減することができます。

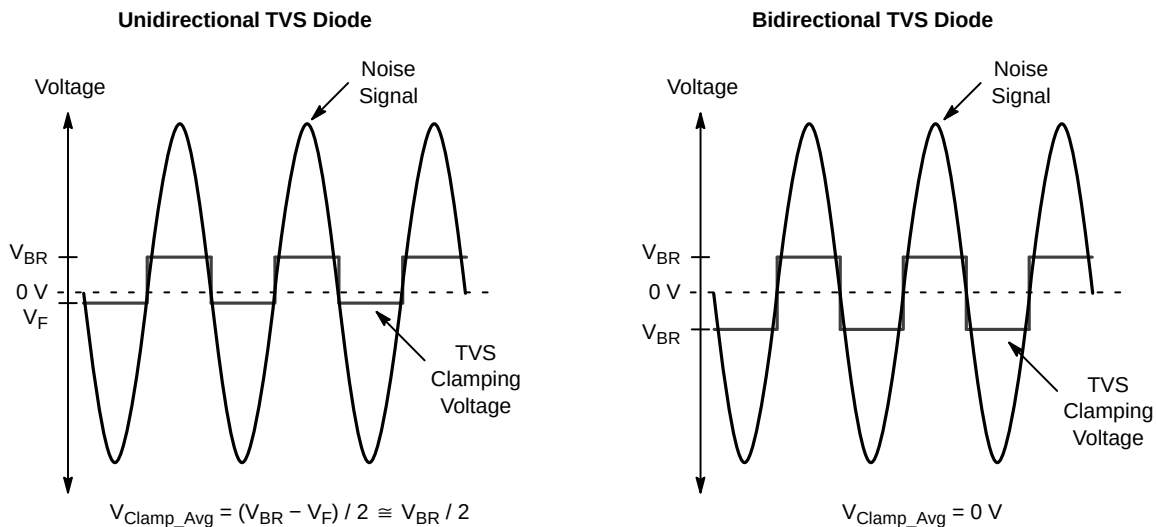


Figure 12. The Average Clamping Voltage of a Unidirectional TVS Diode for a Sine Wave Input is $V_{BR}/2$. The Symmetrical Breakdown Voltages of a Bidirectional Device has an Average Clamping Voltage that is Biased at 0 V

Figure 13に示すリモート・センサ・アンプの回路は、対称型クランプの利点を示しています。リモート・センサは長い配線を経由してアンプに接続されていますが、このような接続方法はしばしば電子回路にノイズを持ち込むことになります。シールド・ツイストペア・ケーブルを使用すると、信号ライン

に電圧を誘導すると放射される干渉を最小限に抑えることができ、またコネクタにフィードスルー・コンデンサを内蔵すると、入力ラインの信号がPCBに入る前にノイズを低減できます。次に、アンプを使用して差動増幅を実行し、センサ信号を増幅しノイズ信号を減衰させます。

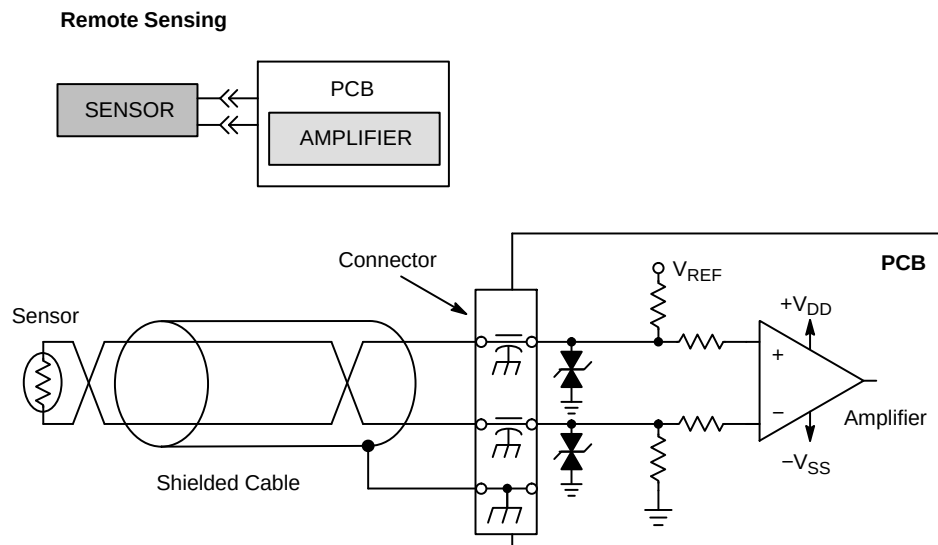


Figure 13. Remote Sensor Circuits are an Example of an Application that Can Benefit from the Symmetrical Clamping Feature of a Bidirectional TVS Diode

理想的なアンプは無限大の同相除去比(CMRR)を達成し、2本の入力ピン間の電圧差のみを増幅します。それに対し、実際のアンプは低周波では高いCMRRを達成しますが、周波数が高くなるとCMRRは低下します。理想的なアンプ特性からの偏差により生じる誤差は、回路基板に入り込むノイズをできるだけ低減し、双方向TVSデバイスを使用することで最小化できます。理想アンプは、2本の信号ラインに共通なすべての信号を除去します。一方、実際のアンプは通常、信号が電源電圧の中間点をベースにしている場合に良好な増幅特性とCMRR特性を示します。これはデュアル電源(+V_{DD}と-V_{SS})デバイスの場合は、グラウンドの電位に相当します。一方、単一電源(+V_{DD}とV_{SS} = 0 V)アンプの場合は、ノイズ信号の最適なバイアス点は通常、V_{DD}/2となります。

このリモート・センサ回路では、TVSデバイスの周波数応答が理想的でない場合の一般的な解決策も

示します。フィードスルー・コンデンサのようなRFコンデンサをTVSデバイスと並列に配置すると、ダイオードのパッケージで生成される寄生インダクタンス成分を打ち消すことができます。TVSダイオードの周波数応答は、Figure 14に示すように、抵抗、インダクタ、コンデンサを接続することによってモデル化できます。SMTパッケージの場合、500~800 MHz以下の低周波ではインダクタンス成分は比較的小さく、容量性インピーダンスが大きくなります。したがって、デバイスはほぼ理想的なコンデンサとして機能します。高周波では、インダクタンス成分が大きく、容量成分が小さくなるので、デバイスはインダクタとして機能します。このようにインピーダンスの性質が変化するので、入力信号は減衰されるのではなく、整流および増幅される結果になります。

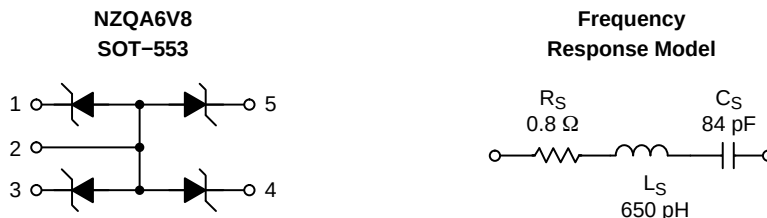


Figure 14. The Frequency Response of an Avalanche TVS Diode can be Modeled by a Resistor, Inductor and Capacitance that are Connected in Series. This Model is Valid for Signals that are Smaller in Magnitude than the Clamping Voltage

参考文献

- [1] ー, “AP-209 – Design Considerations for ESD Protection Using ESD Protection Diode Arrays”, California Micro Devices, 1998.
- [2] ー, “App. Note 0007 – TVS Device Selection, Location and Connection for EMC Design”, Protek, 1997.
- [3] Lepkowski, J., “AND8031 – Circuit Configuration Options for Transient Voltage Suppression Diodes”, ON Semiconductor, 2005.
- [4] Lepkowski, J., “AND8032 – PCB Design Guidelines that Maximize the Performance of TVS Diodes”, ON Semiconductor, 2005.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえば、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative