



ON Semiconductor®

<http://onsemi.com>

APPLICATION NOTE

はじめに

NCP1611とNCP1612はPFCステージの設計時に必要なほとんどの機能を装備するように設計されています。しかし、設計者はコントローラ周辺に、特定回路の追加が必要となる可能性がある独自の仕様に対応しなければならないこともよくあります。このアプリケーション・ノートでは、電源の開発時によく聞かれる一般的な質問に言及しています。以下のトピックを取り扱います。

1. ブラウンアウト機能は必要ない
2. ライン・ブラウンアウト・ヒステリシスを大きくしたい
3. スキップ機能を禁止したい
4. 高いPFおよびTHD性能が必要
5. ライン電圧が低いとき、または低ライン・レンジと高ライン・レンジの間の境界で、バースト動作が発生する

この文書が提供する解決策は、通常はNCP1611に基づく回路図によって説明されます。ただし、これらはNCP1612のアプリケーションにも流用できます。

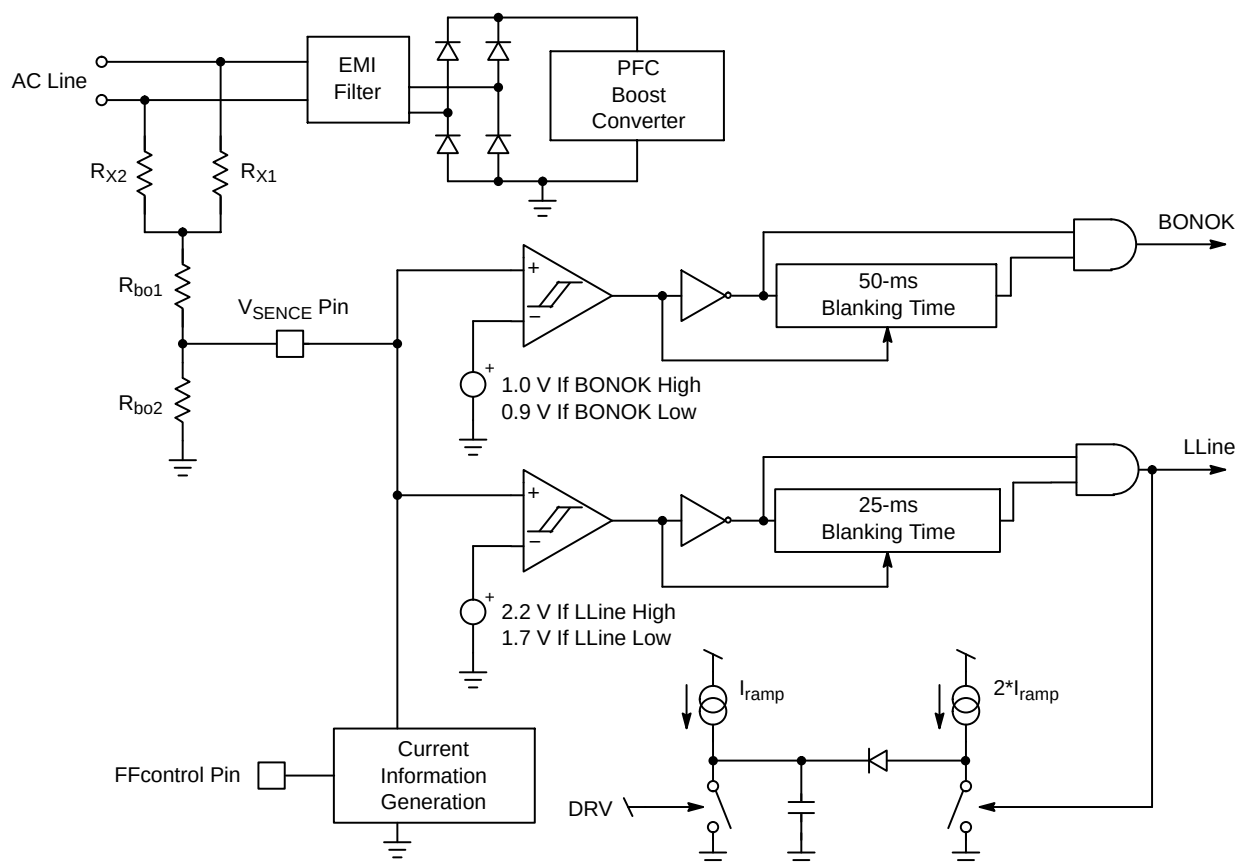


Figure 1. Brown-Out and Line Range Detection Block

ブラウンアウト機能は必要ない

NCP1611とNCP1612はACラインの低電圧状態を検知して動作を停止し、PFCステージを過剰なストレスから保護するように設計されています。

そのためには、 V_{SENSE} ピンが瞬時入力電圧(V_{in})の一部を受け取る必要があります。 V_{in} は整流された正弦波なので、モニタする信号は通常はゼロ(または微小電圧)からピーク値の間で変化します。

そのため、入力電圧がプリセット・レベルを超えると容易に検出できます。反対に、入力電圧は整流正弦波の特性を持つため、ライン・サイクルの下側または非常に低い部分となります。ライン電圧の大きさは、ライン・サイクルより長くプリセット・レベルを超えることができなければ、低すぎると見なされます。

実際には、

- 入力電圧の一部を受け取る V_{SENSE} ピンの電圧は、1 Vリファレンスと比較されます。
- V_{SENSE} が1 Vを超える場合、入力電圧は十分とみなされ、PFCステージは動作に入ることができます。
- V_{SENSE} が50 msの間0.9 Vより低いままである場合は、回路がブラウンアウト状態(100 mVヒステリシス)を検出し、PFCステージは動作を停止します。20 msの電源ライン障害の場合、PFCステージの動作停止を防ぐ50 msの遅れは、許容差を考慮すると35 msの最小値となるため、通常のホールドアップ時間仕様を満たすのに役立ちます。

同様に、NCP1611とNCP1612は、フィードフォワードのためのライン・レンジを検出します。デフォルトでは、回路は「低ライン・ゲイン」モードで動作します。この状態では、オン時間は25 μ s(標準)に制限されます。 V_{SENSE} が2.2 Vを超える場合は、回路はハイ・ライン状態を検出し、ループ・ゲインと最大オン時間の両方が3 (ton, max $\cong$ 8.3 μ s、標準)の比率で低下します。Figure 1は対応する回路の概略図です。

ブラウンアウト機能を禁止する簡単な方法の一つは、 V_{SENSE} ピンに V_{CC} 部分を印加することです。NCP1611に対するこのオプションの概略図をFigure 2に示します。NCP1612にも同じオプションを使用できます。可能な最大値を考慮すると、1 Vブラウンアウト基準電圧は1.04 Vとなり、抵抗 R_{sense1} と R_{sense2} は、以下になるように選択する必要があります。

$$\left(\frac{R_{sense2}}{R_{sense1} + R_{sense2}} \cdot V_{CC} \geq 1.04 \right) \quad (eq. 1)$$

他に次の2つの制約を考慮に入れる必要がある場合があります。

- これらの抵抗は V_{CC} レールの負荷になります。起動時に V_{CC} コンデンサを充電するために起動抵抗を使用する場合は、そこで消費される余分な電力を最小限にする必要があります。この場合、それらの影響を軽減するためにハイインピーダンスを使用します。500 k Ω 以上の($R_{sense1} + R_{sense2}$)が一般に良い結果をもたらします。
- V_{SENSE} に印加される電圧は、PFCステージが8.3 μ sより高い最大オン時間を必要とする場合は、2.2 Vのライン・レンジ検出上側スレッシュホールド(最小2.1 V)を超えてはなりません。

最後に、抵抗 R_{sense1} と R_{sense2} の上記要件は、次のように要約できます。

$$R_{sense1} + R_{sense2} \geq 500 \text{ k}\Omega$$

$$1.04 \leq \frac{R_{sense2} \cdot V_{CC}}{R_{sense1} + R_{sense2}} \leq 2.10 \quad (eq. 2)$$

例えば、 V_{CC} が10 Vと18 Vの間で変化する場合は、次の例を使用することができます。

$$\begin{aligned} R_{sense2} &= 56 \text{ k}\Omega \\ R_{sense1} &= 470 \text{ k}\Omega \end{aligned} \quad (eq. 3)$$

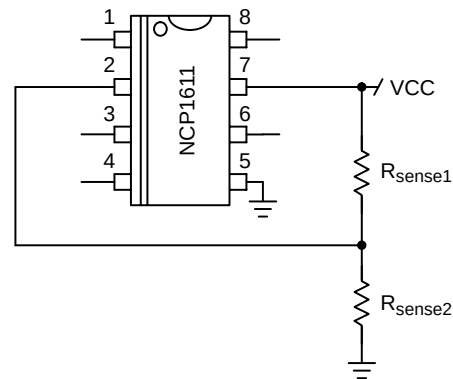


Figure 2. Inhibiting the Brown-out Function

8.3- μ sの最大オンタイムが充分なアプリケーションでは、2.3 V以上が V_{sense} ピンに印加されるように、Figure 2の R_{sense1} と R_{sense2} を選択します。そうすることによって、その回路は、高ライン・モードに入り、それにより、最大オンタイムを通常8.3- μ sに制限します。最適動作の為に推奨されている最大 V_{sense} 電圧が4.5 Vで有るので、とにかく V_{sense} を4.5 Vより低く維持してください。

ライン・ブラウンアウト・ヒステリシスを大きくしたい

上記セクション1(ブラウンアウト機能は必要ない)で述べたとおり、ブラウンアウト・コンパレータには100 mVのヒステリシスがあり、これは上位レベルの10%を表します。このため、PFCステージは、ライン振幅が動作開始に必要なレベルの90%となったときにブラウンアウト状況を検出すると想定されます。この10%のヒステリシスは、動作に入る際にPFC動作で測定ライン電圧に生じる可能性があるわずかな低下(ケーブルおよびEMIフィルタ抵抗部品内の入力電流による減衰)に対応するには、一般的に十分なものです。

そうでない場合、ヒステリシスは、回路の動作中に V_{SENSE} ピン電圧をオフセットすれば、簡単に高くすることができます。実際、 V_{SENSE} ピン電圧を V_{OFFSET} 量だけ引き上げて、ブラウンアウト障害検出スレッシュホールドを0.9 Vから(0.9 V - V_{OFFSET})まで減少させます。DRV信号は、回路がオフの場合はハイの状態となり、コントローラがアクティブな場合にのみハイになります。そして、このオフセットを発生させるのに使用する適切な信号となります。Figure 3にこれを行うための3つの方法を示します。

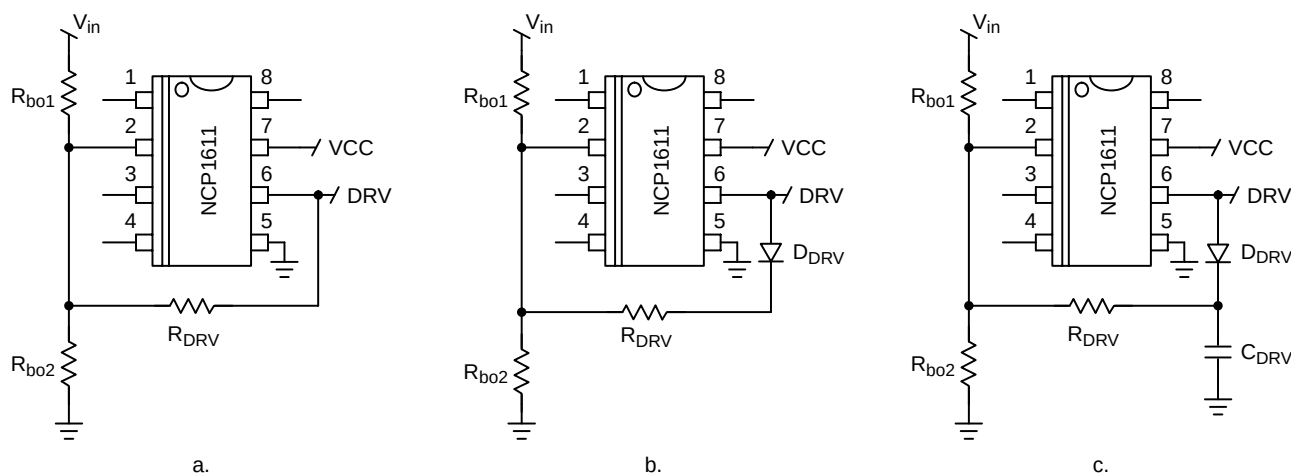


Figure 3. Increasing the Brown-out Hysteresis

Figure 3aでは、単にDRVと V_{SENSE} ピンの間に単純な抵抗が挿入されています。ここでは、DRVピンがロー状態のときに、 V_{SENSE} ピンに印加されるライン電圧の一部が、 R_{DRV} によって重大な影響を受けることがないように、($R_{DRV} \gg R_{bo1} \parallel R_{bo2}$)と仮定されています。したがって、PFCステージが動作に入ることが可能な最小ライン電圧は、 R_{DRV} による影響を受けません。そうでない場合、ロー状態時にDRVの干渉をダイオードが防止するなら、Figure 3aのオプションが適しています。したがって、動作に入るためのライン電圧はツークの影響を受けません。

オプションa)とb)は、すべてのライン・サイクルがブラウンアウト状況を検出しなくなった後、強制的に V_{SENSE} ピンを1 V以上に上げることが条件となります(この間、Figure 1の50 msのブランキング時間タイマがリセットされる)。これが V_{OFFSET} のパルス発生機能のオフセットが可能になる理由です。ただし、通常は V_{SENSE} ピンに、特にDRVパルス短い場合に V_{OFFSET} を大幅に軽減できるフィルタ・コンデンサが配置されます。このケースで、DRVパルスが整流されてコンデンサ C_{DRV} の両端で直流電圧が生成される場合はオプションc)が適しています。

3つのケースで、 D_{DRV} 、 V_{OFFSET} 両端の電圧低下を無視する場合は、概略で次のように規定されます。

$$V_{OFFSET} = \frac{R_{bo1} \parallel R_{bo2}}{R_{DRV} + R_{bo1} \parallel R_{bo2}} \cdot V_{DRV} \quad (\text{eq. 4})$$

ここで、 V_{DRV} は、 V_{CC} であるハイ状態のDRVピン電圧または、 V_{CC} が $V_{DRV(\text{high})}$ より高い場合は $V_{DRV(\text{high})}$ となります。 $V_{DRV(\text{high})}$ はDRV電圧クランプです。

通常は、 R_{bo1} は R_{bo2} と比較した場合非常に大きく、等式4は次のように簡略化できます。

$$V_{OFFSET} \approx \frac{R_{bo2}}{R_{DRV} + R_{bo2}} \cdot V_{DRV} \quad (\text{eq. 5})$$

例えば、 V_{DRV} が12 V($V_{DRV(\text{high})}$)、 R_{bo2} が120 k Ω 、 R_{DRV} が10 M Ω とすると、次のように表すことができます。

$$V_{OFFSET} \approx \frac{120 \text{ k}}{10000 \text{ k} + 120 \text{ k}} \cdot 12 \approx 0.14 \text{ V} \quad (\text{eq. 6})$$

ここで、ブラウンアウトの下側スレッシュホールドは、0.90 Vから0.76 Vに変化しています。

スキップ機能を禁止したい

NCP1611とNCP1612は、(整流された)ライン電流に比例する電流をソースするFFコントロール・ピンを備えています。推奨されるとおり、抵抗でピンをグラウンドに接続した場合は、FFコントロール・ピン電圧は入力電圧と同相で正弦波に整流されます。PFCステージは、FFコントロール・ピン電圧が0.65 Vより下がると動作を停止し、この電圧が0.75 Vを超えるまでサイクルをスキップし続けます。これにより、電力伝達が特に不十分な場合に、PFCステージのライン・ゼロ交差付近での動作が防止されます。したがって、効率は改善されます(特に軽負荷時)が、一方で、スキップ機能により電流の歪みが若干増加する結果となります。より高い力率が要求される場合は、スキップ機能を禁止するために、FFコントロール・ピンが0.65 V未満に低下しないようにしなければなりません。適切な余裕を得るには(スキップ・スレッシュホールドの許容差を考慮して)、FFコントロール・ピンに0.8 Vの最小電圧を強制することを推奨します。

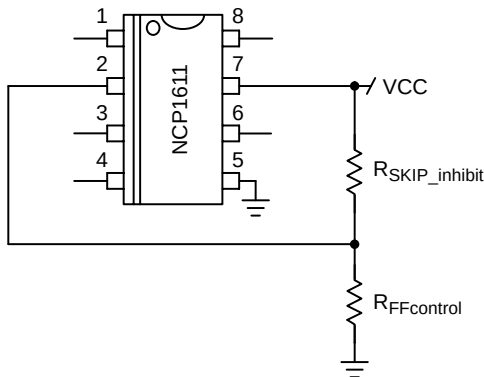


Figure 4. Inhibiting the Skip Mode Function

Figure 4に示すとおり、禁止は抵抗 $R_{SKIP_inhibit}$ を V_{CC} レールとFFコントロール・ピンの間に追加することにより可能です。 $R_{SKIP_inhibit}$ は、電流制御周波数フォールドバック特性を調整するために挿入される通常の抵抗です。

この回路構成では、FFコントロール・ピン電圧は次のとおりです。

$$V_{FFcontrol} = \left((R_{FFcontrol} \parallel R_{skip-inhibit}) \cdot I_{FFcontrol} \right) + \left(\frac{R_{FFcontrol} \cdot V_{CC}}{R_{FFcontrol} + R_{skip-inhibit}} \right) \quad (\text{eq. 7})$$

したがって、FFコントロール・ピンの最小電圧は、

$$\left(\frac{R_{FFcontrol} \cdot V_{CC}}{R_{FFcontrol} + R_{skip-inhibit}} \right)$$

そして、以下を強制する必要があります。

$$\frac{R_{FFcontrol} \cdot V_{CC}}{R_{FFcontrol} + R_{SKIP_inhibit}} = 0.8 \text{ V}$$

V_{CC} の公称電圧が16 Vの場合、

$$\frac{R_{FFcontrol} \cdot 16}{R_{FFcontrol} + R_{skip-inhibit}} = 0.8 \text{ V} \quad (\text{eq. 8})$$

$$\Rightarrow \frac{R_{FFcontrol}}{R_{FFcontrol} + R_{SKIP_inhibit}} = \frac{0.8}{16} = 0.05$$

上の例で示すとおり、要求される比率が低いと、 $R_{SKIP_inhibit}$ は $R_{FFcontrol}$ に比べて大きくなります。そこで、FFコントロール・ピンの計算式は、次のように単純化することができます。

(eq. 9)

$$V_{FFcontrol} \cong (R_{FFcontrol} \cdot I_{FFcontrol}) + \left(\frac{R_{FFcontrol}}{R_{SKIP_inhibit}} \cdot V_{CC} \right)$$

そのため、FFコントロール・ピンの電圧が0.8 Vだけオフセットされ、CCFF特性をわずかに変化させます。この変更は一般的に許容されるものです。許容されない場合、別のオプションをFigure 8に示しますが、ここでFFコントロール・ピン電圧は0.8 Vより高いときは変化せず、そうでないときはクランプされます。そのために、1.5 Vの電圧が V_{CC} ($(R_{SKIP_inhibit2} \times V_{CC}) / (R_{SKIP_inhibit1} + R_{SKIP_inhibit2})$)から生成され、ダイオードを通じて印加されて約(1.50 V - 0.65 V)の最小電圧がFFコントロール・ピンに印加されます。 $(R_{SKIP_inhibit1} / R_{SKIP_inhibit2})$ のインピーダンスは、 $R_{FFcontrol}$ に比べて小さくしなければならないことに注意してください。そうしないと、ダイオードのアノードで生成された電圧が、 $R_{FFcontrol}$ の影響を受けます。

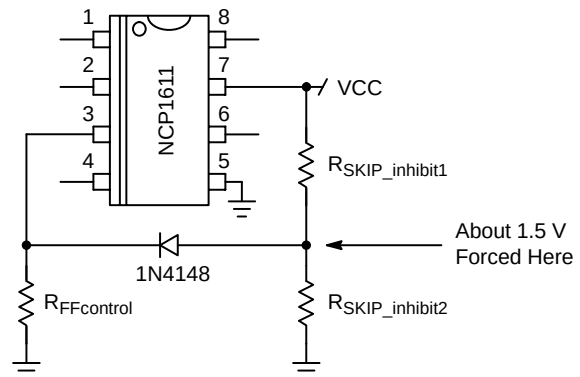


Figure 5. FFcontrol Pin Voltage being Prevented from Dropping below 0.8 V

高いPFおよびTHD性能が必要

NCP1611とNCP1612は、THDとPFで優れた性能を発揮するように設計されています。低周波数モード¹で適切な電流整形用デッドタイムを補償する回路と合わせて、周波数を低下させるだけでも、従来の臨界導通モード(CrM)ソリューションと比較して、低負荷性能を改善する役に立ちます。

極端に高度なPFおよびTHD性能が要求される場合には、まだ解決策があります。この場合は、さらに動作を改善しなければならないこともあります。このセクションでは可能な選択肢とチェックすべき要点について述べます。包括的なものではありません。

V_{CONTROL}リップルの低減

PFCステージは正弦波ライン電圧から正弦波電流を吸収します。そのため、これらのコンバータは平均だけの需要に合致する二乗正弦波電力の負荷を供給します。バルク・コンデンサのバッファ機能にもかかわらず、これにより出力電圧の低周波数リップル(例えば、米国では120 Hz)の発生を招きますが、エラー・アンプの出力電圧は適切な電流整形のために、可能な限り一定に保つ必要があるため、安定化ループでそれに対応してはなりません。

このリップルを制限するために、安定化帯域幅を可能な限り低く設定する必要があるのはこのためです。ループを最適に調整するために、ウェブ上で利用できる設計ツールを参照できます([1]または[2]を参照)。

NCP1611とNCP1612はダイナミック応答エンハンサ²や、正確でソフトな過電圧保護を備えており、負荷やラインが鋭く変化する場合に、バルク電圧が安定化ポイントから偏移する可能性を大幅に制限することに留意してください。

このリップルの影響は実際には、V_{CONTROL} dc電流値に関連するその相対的な大きさにより決定されます。 $((\Delta V_{\text{CONTROL}})/(V_{\text{CONTROL,avg}}))$ 、ここで(V_{CONTROL,avg})は平均されたV_{CONTROL}またはdc電流値、そして(ΔV_{CONTROL})、V_{CONTROL}リップルは、最小化する実際の大きさです。フィードフォワード機能を備えていない回路のループ・ゲインは、ラインの大きさの二乗に比例します。このことは、V_{CONTROL,avg}とrmsライン電圧の二乗により決定される電力供給計算式、

$(P_{\text{in,avg}} = k \times ((V_{\text{line,rms}})^2 \times V_{\text{CONTROL,avg}})/(L))$ により証明されます(ここでkは定数)。したがって、V_{CONTROL} dc電流値は高ラインでは非常に低く低負荷で、負荷が増加するかラインが減少する場合に大きくなります。

V_{CONTROL} dc電流値が小さい高ライン低負荷では、リップルの影響がより大きくなるのはこのためです。NCP1611とNCP1612は、高ラインにおけるV_{CONTROL}減衰を制限する2レベルのフィードフォワード機能を装備して、この状況を改善しました。

まだ不十分であれば、電力計算式の分母に示されるインダクタ値に注目すると良いでしょう。したがって、インダクタ値が高いほど、動作ポイントのV_{CONTROL} dc電流値が高くなります(データ・シートに規定される正確な電力計算式を参照)。この観点から、よりインダクタンスが高いコイルを使用すれば、PF/THD性能の改善に役立ちます。

スキップ・モード機能の禁止

スキップ・モードは、特に低負荷時の効率を最適化するために、ライン・ゼロ交差付近の動作を防止します。しかし、これによってTHDがいくらか劣化します。スキップ・モード機能は、THDが低すぎる場合は禁止しなければなりません。「スキップ機能を禁止したい」のセクションを参照してください。

X2コンデンサのサイズを制限する

力率は通常は高ライン状態では低下します。この減衰は、主にEMIフィルタと特にX2コンデンサ、それに他のフィルタ・コンデンサによるものです。実際、これらのコンデンサの両端の電圧は正弦波です。そして、これらのコンデンサは、この正弦波電圧($i_c(t) = C \times ((d)/(dt))(v_c(t))$)を強制するため必要に応じて充電・放電する無効電流の発生源となります。これらの電流はPFCステージによりライン電流から流れる電流に付加されます。

Figure 6の単純なシミュレーション回路はこの現象を示すものです。正弦波電圧源V₁はフィルタC₁、L₁およびC₂を通して抵抗R₂に印加されます。素子V₃、V₄、V₅、およびV₂は0 V電圧源で、これらを通る電流をモニタするためだけに使用されます。R₂負荷抵抗は、純粋な正弦波電流を流す理想的なPFCステージを表します。

1. 一般的に、不連続導通モードのPFCステージは、実際には臨界導通モードで動作するように設計されます。これらは、スイッチング周波数がクランプされると、相対的に低いPF比を発生させます。オン・セミコンダクターの周波数クランプCrMコントローラ(例えば、NCP1605やNCP1631)は、この問題を先行するスイッチング期間に検知されたデッドタイムに関連してオン時間を変調する「V_{TON}ブロッキング・ブロック」の実装によって解決します。同じ実証済みの構造が、最新のNCP1611とNCP1612のCCFF回路にも再使用されています(データ・シート参照)。
2. ダイナミック応答エンハンサは、出力電圧がその安定化レベルの95.5%より低くなると、安定化ループを大幅に高速化します。

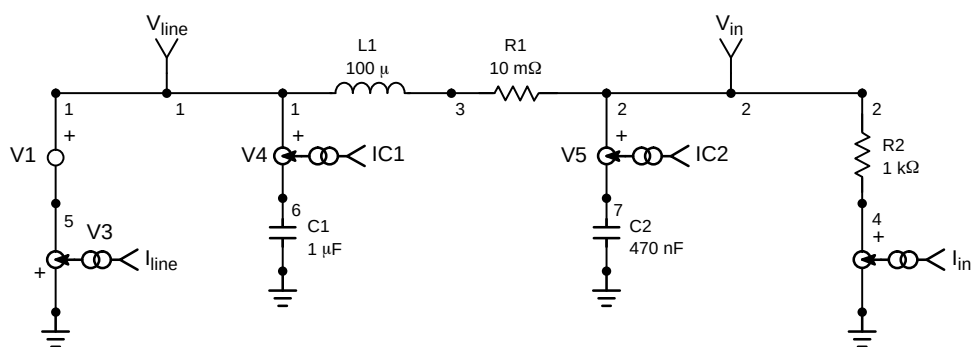


Figure 6. A Simple Circuit to Simulate the Impact of the EMI Capacitors

Figure 7に示すとおり、 $C_1(I_{c1})$ と $C_2(I_{c2})$ を流れる電流は正弦波ですが、ラインに比べて270°位相シフトしています。それらは、ライン電流を得るためにPFC電流(I_{R2})に付加する必要があります。最終的

に、ライン電流は3つの正弦波電流($I_{in} + I_{c1} + I_{c2}$)の和となり、位相シフトした正弦波となります。以下を参照してください。

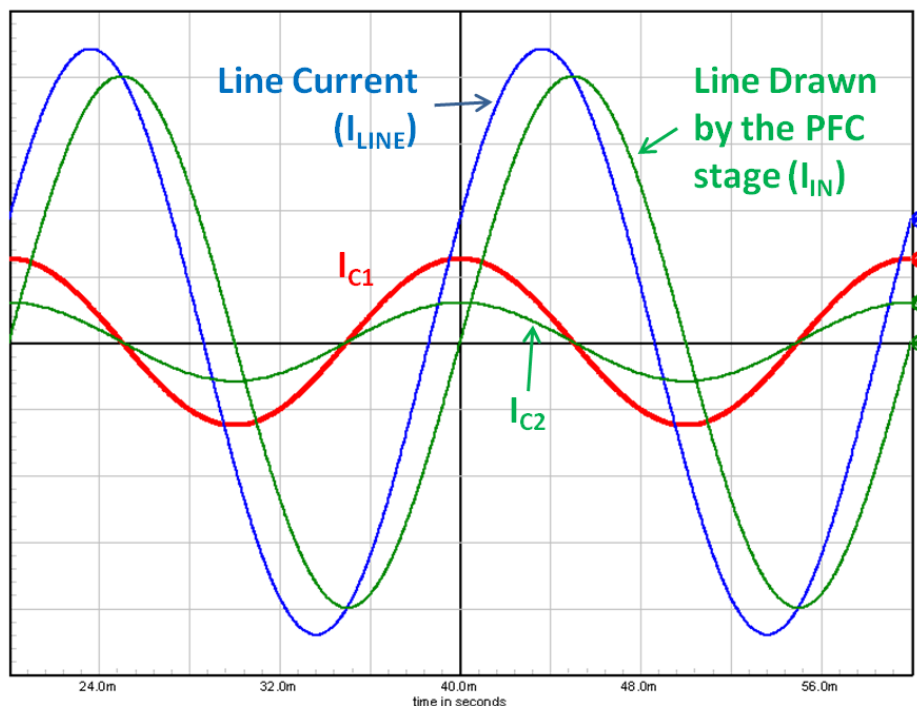


Figure 7. Line Current

低負荷では、全負荷に比べて効果は劣ります。実際、PFCステージ電流(I_{in})は、電力需要が低いと小さくなります。一方、ライン周波数とラインの大きさのみに依存するコンデンサ内の無効電流はそれでも減衰しません。このため、 $I_{c1} + I_{c2}$ は、 $I_{in} + I_{c1} + I_{c2}$ の和である I_{line} により高い相対的影響を持ちます。PFが低負荷条件で低下するのはそのためです。

ところで、入力電圧の交流成分は高ライン条件ではより大きくなります。そのため、 C_1 および C_2 電圧が変動し、 I_{c1} および I_{c2} 電流も変動します。高ラインおよび低負荷状態で、高PF比を得ることが特に難しいのはこのためです。

このように、高PF比にはEMIの制約が許す限り低容量のコンデンサが求められます。

スイッチング周波数の変化を制限する

NCP1611とNCP1612は、いわゆる周波数制御周波数フォールドバック(CCFB)でPFCブースト・ステージを駆動するように設計されています。このモードでは、PFCステージは一般的には、ライン電流がプログラム可能な値を超えると臨界導通モード(CrM)で動作します。電流がこのプリセット・レベルより低い場合、NCP1612は周波数を直線的に低下させ、電流値がほぼゼロの場合は約20 kHzまで低下します。CCFBは公称負荷と低負荷の両方で、効率を最大化

します。特に、スタンバイ損失は最小限に抑えられます。**FCCrM**コントローラと同様に、スイッチング周波数が低下した場合でも、内部回路により1に近い力率が可能になります。

特に、内部計算の結果、**FF**コントロール・ピンがライン電流を代表する電流をソースします。次に、**FF**コントロール・ピンとグランド・ピンの間に1個の抵抗が接続され、ライン電流を代表する電圧を生成します。この電圧が内部2.5 Vリファレンス(V_{REF})を超えると、回路は臨界導通モードで動作します。**FF**コントロール・ピン電圧($V_{FFcontrol}$)が2.5 Vより低

い場合は、 $(66 \mu s \times (1 - (V_{FFcontrol}/V_{REF})))$ にほぼ等しいデッドタイムが生成されます。この方法によって、回路はライン電流が小さい場合および電流値が高くても短い場合に、より長いデッドタイムを強制します。前述のとおり、**FF**コントロール・ピンが0.65 Vより低くなるたびに、回路はさらにサイクルをスキップして、電力伝達が特に非効率な場合は**PFC**ステージがライン・ゼロ交差付近で動作しないようにします。

CCFF動作はFigure 8に要約されています。

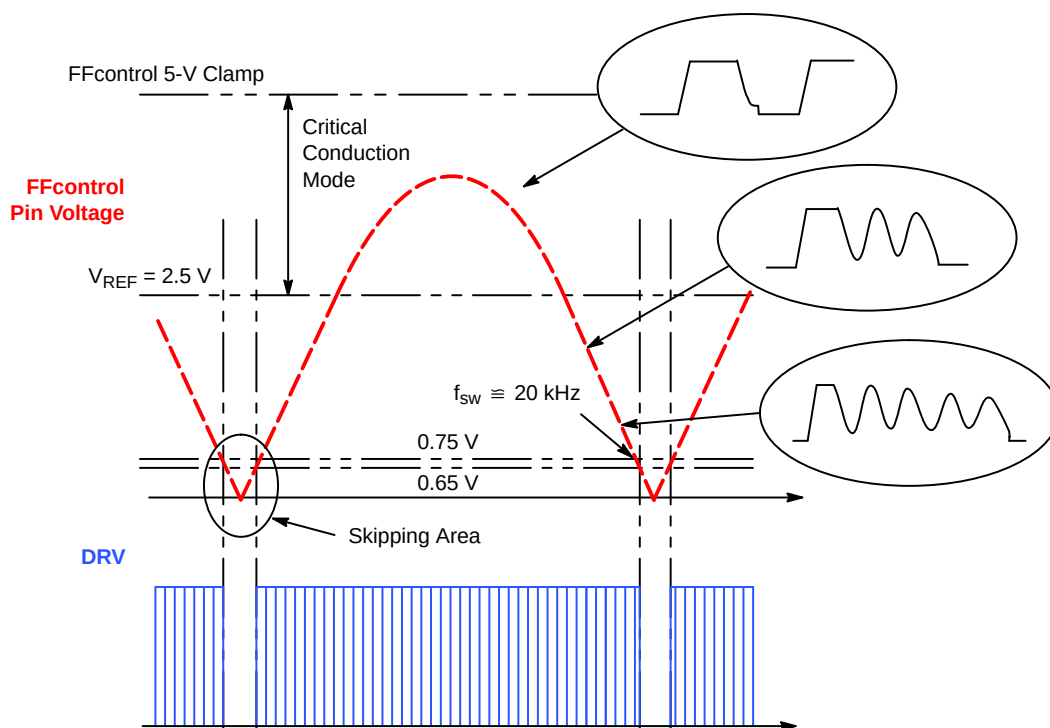


Figure 8. Current Controlled Frequency Fold-back

前述のとおり、CrM PFCブーストのスイッチング周波数をクランプすると、従来の電流整形方式は臨界導通モード動作を行うので、ライン電流に歪みが生じる原因となります。従来からのこの制約は、NCP1611とNCP1612では、オン・セミコンダクターの**FCCrM**回路(例えば、NCP1605)と同じ方法で解決されました。 V_{TON} プロセッシング・ブロックが統合され、オン時間を変調してデッドタイムの発生を補償します。このブロックは、積分器をベースにしており(詳細はデータ・シートを参照)、時定数はスイッチング・リップルが適切にフィルタされていればほぼ100 μs です。

Figure 8に示すとおり、スイッチング周波数は、20 kHz DCM動作から高負荷でのCrM動作に、非常に

迅速に変化することが可能です。 V_{TON} プロセッシング・ブロックには、デッドタイム期間での急速な変化に対応して、それらをタイミングよく補正することが困難な場合があります。これはFigure 10a)に示すライン電流形状に見られる環状グリッチの原因となり、THDを劣化させる可能性があります。

THDへの影響は、Figure 9に示すとおり、**FF**コントロールの変動(そして、同様に周波数変動)を制限することにより最小化できます。図中、 R_{FF} は**FF**コントロール・ピンに配置された抵抗で、必要なライン電流レベルをCCFFより低く設定し、スイッチング周波数を低下させます(例えば、NCP1611またはNCP1612のデザイン・ワークシート³で返されているとおり)。

3. デザイン・ツールは以下から入手できます。

<http://www.onsemi.com/PowerSolutions/supportDoc.do?type=tools&rpn=NCP1611> (NCP1611)

または<http://www.onsemi.com/PowerSolutions/supportDoc.do?type=tools&rpn=NCP1612> (NCP1612)

- FFコントロールの変動は、いずれの場合も信号振幅の約30%です。このような量は、ラインに同期したスキップ・モードを維持するのに適しています。

- システムがスイッチング周波数をそれ以下に低下させるライン電流は、ツィークが適用されない場合とほぼ同じです。

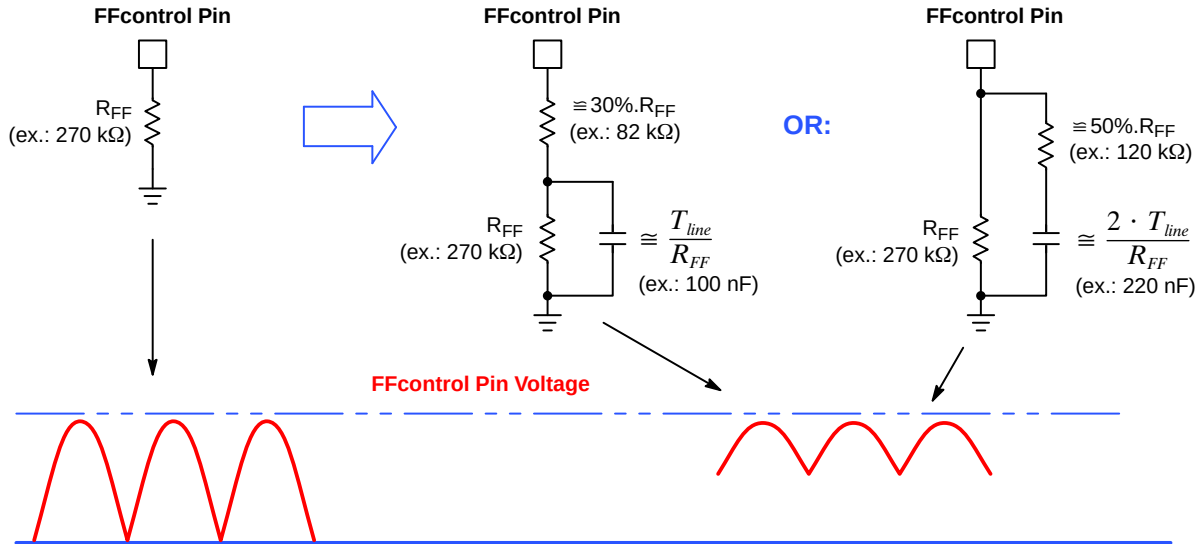
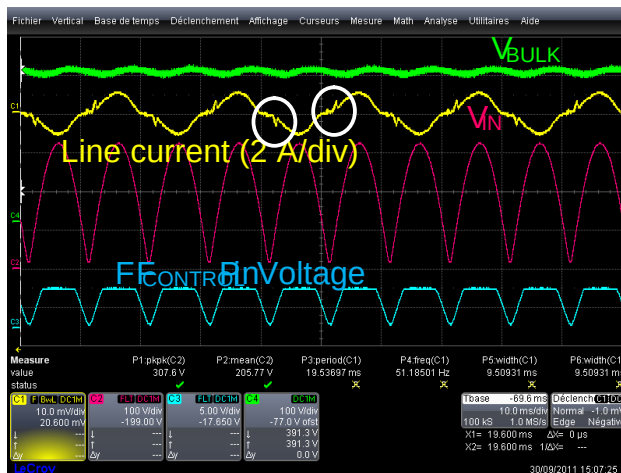


Figure 9. Reducing the FFcontrol Pin Swing to Slow Down the Switching Frequency Variations

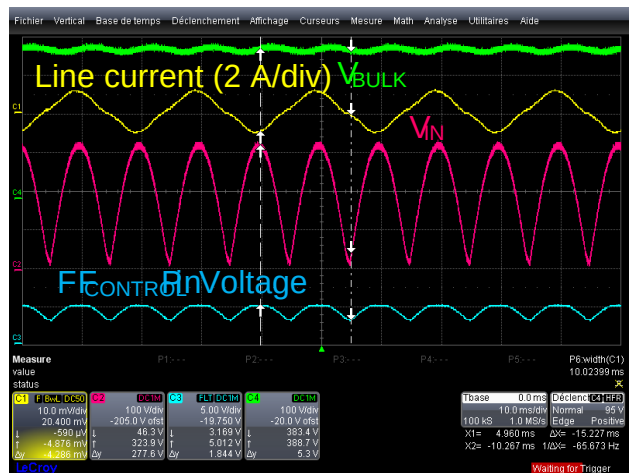
NCP1611評価ボード「NCP1611GEVB」とは異なり、NCP1612評価ボード「NCP1612GEVB」はツィークで構成されます。

Figure 10b)に示すとおり、NCP1612GEVBのライン電流が、グリッチが抑制されてよりクリーンなのはこのためです。THDは軽負荷条件では特に改善されています。例えば、20%の負荷では、115 Vで20%か

ら8%に、230 Vでは33%から18%に改善されています。詳細なデータは評価ボードのマニュアルに記載されています(NCP1612GEVBはhttp://www.onsemi.com/pub_link/Collateral/EVBUM2051-D.PDF、NCP1611GEVBはhttp://www.onsemi.com/pub_link/Collateral/EVBUM2051-D.PDFを参照)



a. NCP1611EVB Configuration



b. NCP1612GEVB Configuration

Figure 10. NCP1611/2 Evaluation Board @ 230 V, full load

ライン電圧が低いとき、または低ライン・レンジと高ライン・レンジの間の境界で、バースト動作が発生する

同様に、NCP1611とNCP1612はフィードフォワードのためにライン・レンジを検出します。デフォルトでは、回路は「低ライン・ゲイン」モードで動作します。この状態では、オン時間は25 μ s(標準)に制限されます。 V_{SENSE} が2.2 Vを超える場合、回路はハイ・ライン状態で動作していることを検出し、PWM ゲインと最大オン時間の両方が3

($t_{on,max} \cong 8.3 \mu$ s、標準)の比率で減少します。PFC ステージは、 V_{SENSE} が25 msより長く1.7 V未満の値になるまで、高ライン構成に留まります。Figure 1を参照してください。この2ステップのフィードフォワード機能は、開ループ・ゲインの変動を制限します(Figure 11参照)。そうでない場合は、ライン振幅の二乗の関数として変動します。

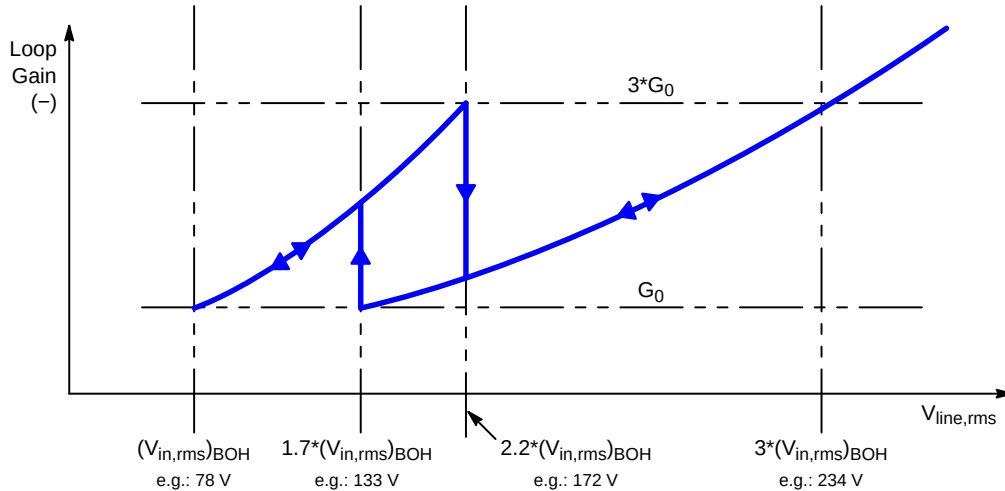


Figure 11. Open Loop Gain Characteristics

ライン電圧が緩やかに減衰し、 V_{SENSE} ピン電圧を1.7 V未満まで低下させると、低ライン・レンジが検出されます。フィードフォワード機能によって、オンタイムは突然3倍になります。電力供給も同様です。過渡電力が大きくなりますが、これは高負荷条件では特に過剰です。低ループ帯域幅を発生させているPFCステージは、反応が鈍くバルク電圧の上昇を急激に制御することは困難です。その結果、過電圧保護がトリップする可能性があり、また電源供給を急に停止する(本来は緩慢です・データシート参照)ことがあります。ただし、通常はEMIフィルタに挿入される差動モード・インダクタが、ライン電流の急激なゼロまでの低下を防止します。そのため、ライン電流は差動モード・インダクタが完全に放電されるまで流れ続けます。この放電遅延の間に、PFCステージは磁性素子によって加えられるライン電流を吸収しなければなりません。出力への供給を停止します。最終的には、主電源から流れるエネルギーが入力コンデンサ(PFCステージ入力部のブリッジ・ダイオード両端に配置された C_{in})を充電します。

C_{in} 両端の電圧をコントローラによってモニタすれば、コントローラは V_{SENSE} ピンが2.2 Vのライン・レンジ検出上側スレッシュホールドを超えたことを検知して、高ライン・レンジの検出を設定できます。このように、回路は正確な初期構成を復元します。新たな低ライン・レンジの検出は、OVPイベントを伴い、新しい高ラインの検出によりすべて完了します。

このヒカップ機能は、Figure 12に示してあります。

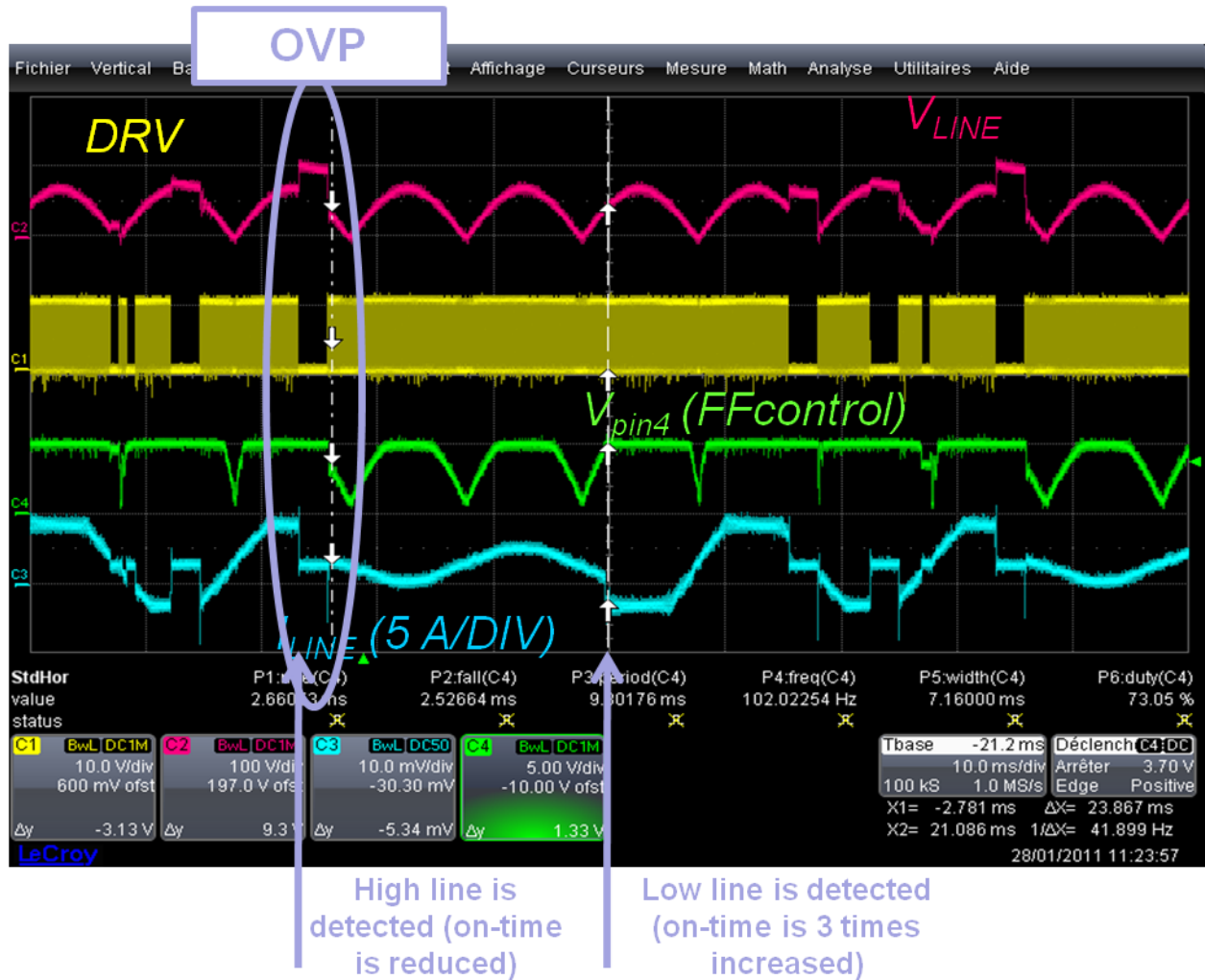


Figure 12. Hesitations Between the Low-Line and High-Line Ranges

このようなリスクは、ソフトOVP機能(データシート参照)と、ライン・レンジ検出コンパレータの大きなヒステリシス(スレッシュホールドは2.2 Vと1.7 V)によって厳しく抑止されます。しかし、入力電圧をFigure 13に示すとおり検知することが賢明です。ライン電圧は差動モード・インダクタの主電源側でモニタされるため、PFCステージの動作が突然停止した場合でも、検出された電圧は影響を受けません。この解決策では、一般にX2コンデンサ(安全要件)放電用の2本のライン線の上に配置された抵抗を再使用します。これらの抵抗、 R_{X1} と R_{X2} は、入力電流をスケール・ダウンし、コントローラが容易に検出できるようにしています。詳細は、[3]または[4]を参照してください。

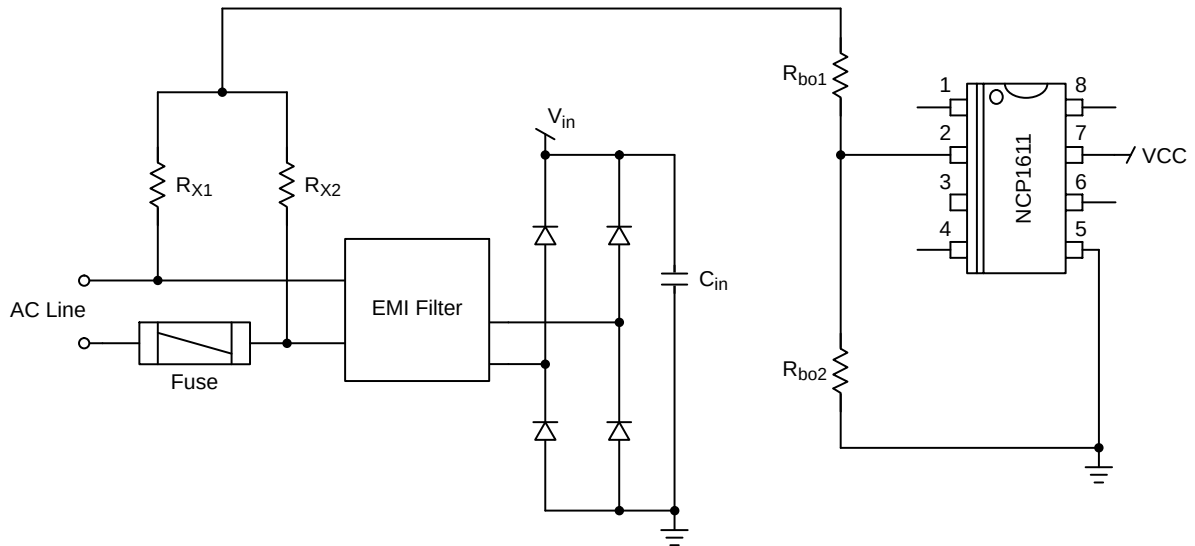


Figure 13. Sensing the Line Voltage

参考文献

- [1] NCP1611 Design Worksheet, refer to <http://www.onsemi.com/PowerSolutions/supportDoc.do?type=tools&rpn=NCP1611>
- [2] [NCP1612 Design Worksheet, refer to <http://www.onsemi.com/PowerSolutions/supportDoc.do?type=tools&rpn=NCP1612>
- [3] Joel Turchi, “5 key steps to design a compact, high-efficiency PFC Stage Using The NCP1611”, Application note AND9062/D, http://www.onsemi.com/pub_link/Collateral/AND9062JP.pdf
- [4] Joel Turchi, “5 key steps to design a compact, high-efficiency PFC Stage Using The NCP1612”, Application note AND9065/D, http://www.onsemi.com/pub_link/Collateral/AND9065-D.PDF

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標である。SCILLCは特許、商標、著作権、企業秘密と他の知的所有権に対する権利を所有するものとする。SCILLCの製品/特許の適用対象リストについては、以下でアクセスできる。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしでこのリストにある製品の変更を行う権利を保有する。SCILLCは、特定目的のための製品の適合性に関して保証、表明をせず、SCILLCはまた、製品や回路の応用や使用から生じるいかなる責任も負わず、特に特別、結果的、付随的な損害を含むが、これらに限定されない全責任を否認するものとする。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、異なるアプリケーションでは変化する可能性があり実際に変化した実際の性能は時間とともに徐々に変化する可能性がある。「標準的」を含むすべての動作パラメータは、顧客の技術専門家によって顧客アプリケーションごとに確認されなければならない。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも譲渡しないものとする。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、SCILLC製品の故障により、怪我や死を引き起こす状況が起こり得るようなアプリケーションなどへの使用を目的に設計されておらず、また認可も受けていない。買い手が、そのような意図されたものではない、未許可のアプリケーション用にSCILLC製品を購入または使用した場合、たとえ申し立てにおいて、SCILLCがその部品の設計または製造に関して怠慢だったと主張されたとしても、買い手は、そのような意図せぬ使用、また未許可の使用に関連した怪我や死から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、また妥当な弁護士料のすべてを補償し、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、何らの損害も与えないものとする。SCILLCは雇用機会均等/差別撤廃雇用主である。この資料はあらゆる著作権法の対象となっており、いかなる方法によっても再販不可とする。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative