

CCDの基本

はじめに

本稿は、CCDイメージ・センシング・アプリケーションに関心があり、CCDセンサの原理と動作に関するメカニズムを知りたい方に向けて書かれたものです。CCDを支える詳細な理論に深く踏み込むことはなく、特に言及しない限り、シリコン・ベースのCCDを使用していることとします。また、従来の表面照射型検出器システムを利用することを想定しています。まとめに、いくつかの参考文献を列挙しました。

電荷結合素子(CCD)は、多くのテクノロジーと同じく、発明当初とはまったく異なる使われ方をするようになりました。1960年代後半にベル研究所の研究者たちによって発明され、当初は新たなコンピュータ・メモリ回路として考えられていて、1970年にはそのためのデモンストレーションが行われました。間もなく、CCDには他にも信号処理や撮像など多数の用途があることが明らかになりました。シリコンは1.1 μm 以下の波長に反応する光感受性を有し、撮像素子に適していたからです(可視スペクトルは0.4~0.7 μm)。以来、メモリ素子としての当初の期待は潰えましたが、その優れた光検出能力によって、CCDは優秀なイメージ・センサ素子へと変貌しました。

CCDの各種方式

イメージ・センシングは、ポイント・スキャン、ライン・スキャン、エリア・スキャンという3つの基本技術を使用して実行されます。CCDはその性質上、ライン・スキャンとエリア・スキャンの2つの方式が利用できます。

ポイント・スキャン

シングル・セル検出器(画素)を1個だけ使用し、個々のXY座標ごとに連続して被写体情報を検出する方法でイメージをスキャンします。この方式の利点は、分解能が高い、個々のXY座標での測定値に均一性がある、検出器が安価でシンプルである、ことです。欠点としては、位置合わせ誤差(被写体または検出器が縦方向、横方向に移動するため)、フレームスキャン・レート(入射が繰り返される)、システムの複雑さ(縦方向、横方向への動きが必要なため)、などがあります(Figure 1参照)。

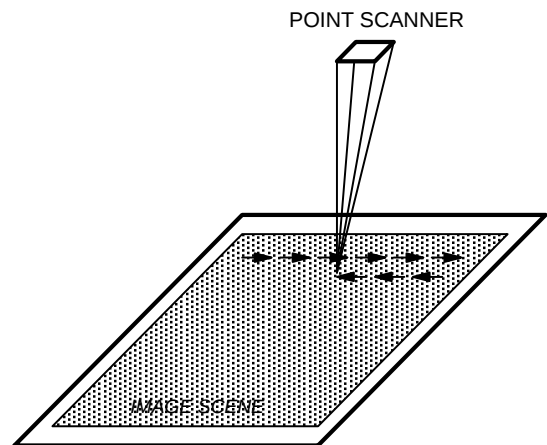


Figure 1. Point Scanning



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

CCDは、集積回路(IC)と同じように、一連の精巧な手順で処理された薄いシリコン・ウェハ上に形成されます。この精巧な手順によって回路内に様々な機能が造り込まれます。各ウェハには「チップ」と呼ばれる同一のデバイスが複数含まれていて、それぞれから機能デバイスが得られます。各チップは様々なスクリーニング・テストで選別された後、システムで使えるようウェハから切り出されてキャリアにパッケージされます。

この初歩的な解説書の目的は、CCDによる撮像の基礎を説明することです。ここで述べる解説はすべて基本的に、シリコン・ベースの撮像素子に関する内容であり、波長は可視スペクトルに限ります。

ライン・スキャン

スキャンが一方方向のみに行われるように、複数のシングル・セル検出器を1列に並べることができます(Figure 2を参照)。この方式では、1列の情報を被写体から得た後その情報をCCDから読み出してから、次の1列の情報を得る処理に進みます。リニアCCDスキャナの物理的な長さの限界は、CCDの製造に使用される最初のシリコン・ウェハのサイズによってのみ決まります。この限界は、端から端まで複数のリニアCCDを並べて全体の長さを伸ばせば克服できる場合もあります(非常に複雑かつ高コストになる)。ライン・スキャンは、ポイント・スキャンに比べてスキャン・タイムが大幅に改善されます。他の利点としては、解像度が適度に高いことやスキャンの仕組みがそれほど複雑ではないことなどがあります。それでも、1方向での画素同士の距離と画素のサイズによって解像度が制約を受けます。測定値精度についても、場合によってシステムで除去する必要がある有限の不均一性が画素ごとにあります。数秒ないし数分間というスキャン時間はやはり多くの用途に不向きであり、リニアCCDのコストはシングル・セル検出器に比べて相当高くなります。1枚のシリコン・ウェハに形成できるCCDチップ数が少なく、歩留まりが低下するため、処理変動によってコストが増大します。

エリア・スキャン

1回の照射でイメージ全体を捕捉できるように検出器を2次元に配列すると、検出器も被写体も動かす必要がありません(Figure 3を参照)。エリア・スキャナは、画素間の位置合わせ精度が最も高いので、最高のフレーム・レートを達成できます。システムの複雑さについても最低限に抑えられます。ただし、解像度は2方向に制限されてしまいます。その他の短所としては、1枚のウェハから採れるデバイス数が少なくなり、多くの理由で歩留まりが低下するため、一般に信号対雑音性能が低下し、コストが増大することが挙げられます。

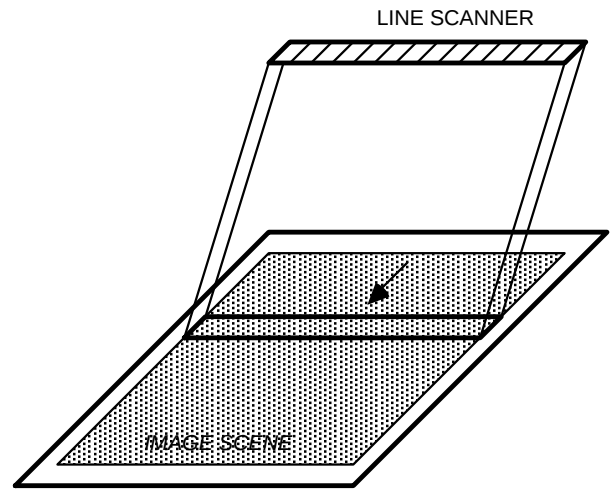


Figure 2. Line Scanning

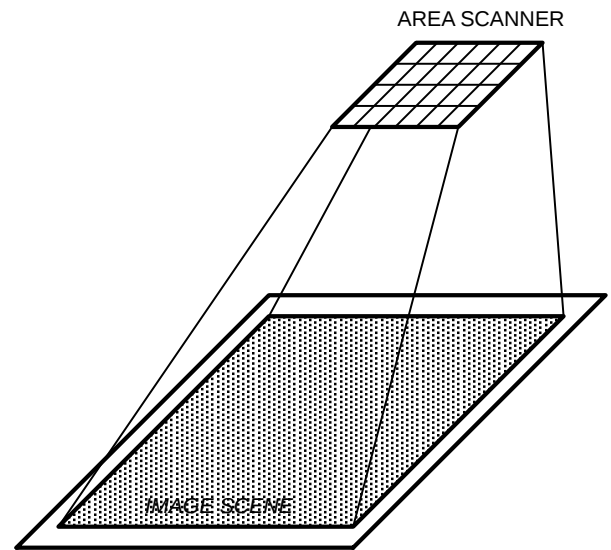


Figure 3. Area Scanning

CCDのアーキテクチャ

CCDには様々なアーキテクチャがあります。現在使用されている代表的なアーキテクチャには、フルフレーム・トランスファ(FE)、フレームトランスファ(FT)、インタライン・トランスファ(IL)があります。FEおよびFTは、検出器としてMOSフォトキャパシタを使用しています。ILは、検出器としてフォトダイオードとフォトキャパシタを使用します。それぞれを以下で説明します。エリアCCDセンサに利用するものとして説明しますが、概念はリニアCCDセンサにも通用します。本書では述べませんが、他のイメージ・センシング・アーキテクチャとしては、フレームインタライン・トランスファ、アコーディオン、チャージ・インジェクション、MOS XYアドレス方式などがあります。

フルフレーム(FE)

フルフレームCCDは、構造が一番単純で、製造するのも動作させるのも一番簡単です。パラレルCCDシフト・レジスタ、シリアルCCDシフト・レジスタ、信号検知出力アンプの3つで構成されます(Figure 4を参照)。イメージは、イメージ・プレーンとして働くパラレル・アレイ上に光学的に投射されます。デバイスは被写体情報を取り込み、イメージを画素数で定義される個数の要素に分割し、被写体を「量子化」します。こうして得られた複数列の被写体情報が並列にシリアル・レジスタにシフトされ、それを受けたシリアル・レジスタは、各列の情報をシリアル・ストリーム・データとして出力にシフトします。このプロセスはすべての列のデータが

チップ外に転送されるまで繰り返されます。イメージはその後、システムの指示どおりに再構築されます。被写体の検出と読み取りの両方にパラレル・レジスタを使用するため、機械的シャッタか同期式ストロボ発光を使用しないと、被写体を完全に捉えることはできません。FF方式は構造が簡単なので、最高の解像度と密度を備えたCCD撮像装置を実現できます。

フレームトランスファ(FT)

FT CCDはフルフレーム・アーキテクチャに非常によく似ています(Figure 5を参照)。違いは、ストレージ・アレイと呼ぶ感光能力のない別の同一パラレル・レジスタを追加している点です。この狙いは、捉えた被写体を感光アレイまたはイメージ・アレイから迅速にストレージ・アレイにシフトすることです。ストレージ・アレイが次のフレームを蓄積している間に、フルフレーム・デバイスで上述したとおり、ストレージ・レジスタからチップ外に読み出し処理が実行されます。このアーキテクチャの利点は、連続動作またはシャッタレス/ストロボレス動作を実行して、フレーム・レートを高速化できることです。ただし、イメージがストレージ・アレイに出力されている間も蓄積が行われるので、イメージの「スミア」が発生するという短所があります。また、このアーキテクチャを実現するには2倍のシリコン領域が必要なので、FT CCDはFF CCDに比べると、解像度が低く、コストははるかに高くなります。

インタライン(IL)

IL CCDは、FT CCDの短所を克服する手段として考え出されました(Figure 6を参照)。これは、感光能力がない遮光されたパラレル・リードアウトCCDを何列か並べ、その列と列の間に別に感光領域を設けることによって光検出機能と読み出し機能を分離して実現します。被写体が蓄積された後、各画素に溜まった信号は、遮光パラレルCCDに向けて一度に転送されます。その後は、FF CCDおよびFT CCDと同じように出力部への転送が実行されます。読み出し中は、FT CCDと同じく次のフレームが蓄積されているため、連続動作およびフレーム・レートの高速化が可能です。このアーキテクチャは、FT CCDに比べると、読み出し中のイメージ・スミアが著しく改善されます。

IL CCDアーキテクチャの大きな短所は、ユニット・コストの上昇を招く複雑さと、低い感度です。感度低下の原因は、遮光リードアウトCCDのために各画素の感光面積が狭くなる(開口率が低くなる)ためです。さらに、開口が減るため量子化(サンプリング)誤差が増えます。また、フォトダイオードを使用する一部のILアーキテクチャは、フォトダイオードからCCDへ電荷転送する影響で、イメージの「ラグ」が発生してしまいます。

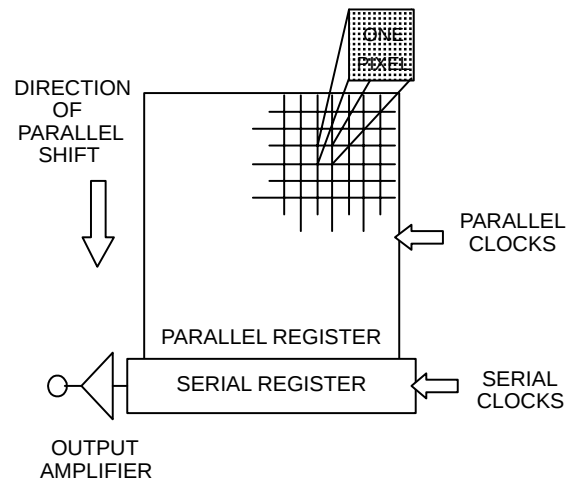


Figure 4. Full-Frame Architecture

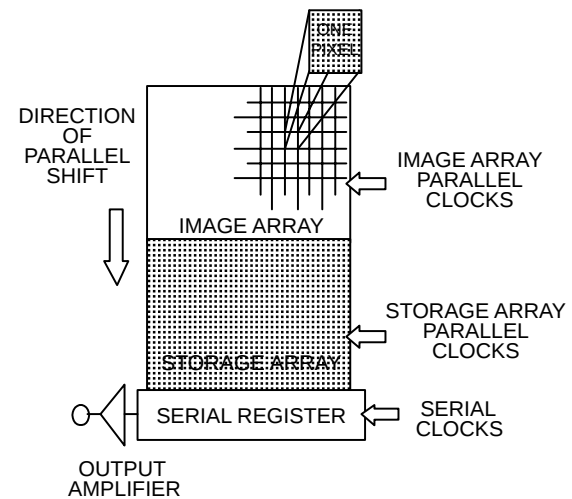


Figure 5. Frame-Transfer Architecture

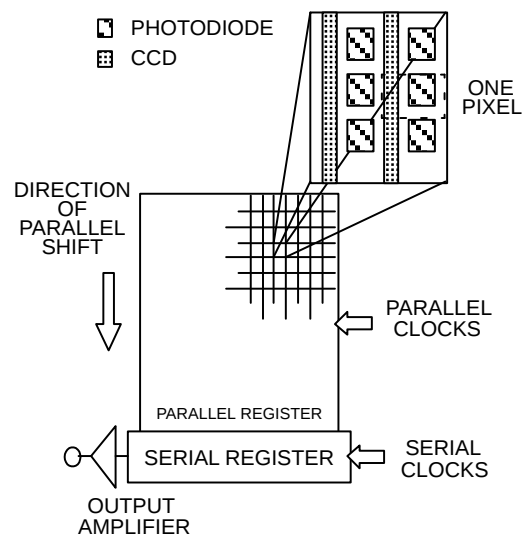


Figure 6. Interline Architecture

CCDの基礎

CCDによる撮像は、以下の3つの手順で実行されます。

1. 入射(画素と呼ばれる個々の点に当たった光を電子電荷に変換する)
2. 電荷転送(シリコン基板内で電荷パケットを移動させる)
3. 電荷を電圧に変換して出力アンプへ送り込む

光(光子)を電子電荷に変換する

イメージは、入射光が光子という形で画素アレイに当たったときに取り込まれます。各光子のエネルギーがシリコンに吸収され、それによってある種の反応が起こります。この反応によって正孔電荷対(単純に言えば電子)が生じます(Figure 7を参照)。

各画素に溜まる電子の数は、光の強さと入射時間に対しては線形的に変化しますが、波長に対しては非線形変化を見せます。光子の検出能力を左右する要因は多数あります。例えば、シリコン基板の表面に材料を成長、堆積させた薄膜は、フォトキャパシタの場合と同じように、光を吸収しやすくなることもあれば、光を反射しやすくなることもあります。また、光子がシリコンのどこまで深く吸収されるかは、光子の波長によって異なります。光子によって誘起された電子は、シリコン内での発生場所によっては検出されないこともあります。

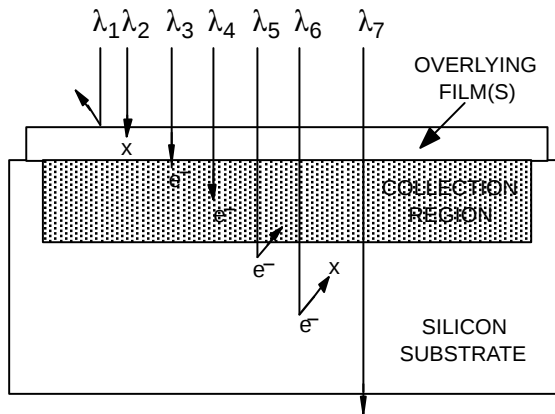


Figure 7. Photon Interaction with Silicon

ポテンシャルウェル、ポテンシャル障壁

CCDは、Metal Oxide Semiconductor (MOS)デバイスの基本的な物理学の原理に従います。CCD MOSの構造は、絶縁性の高い材料(二酸化ケイ素)を導電体(ドーパ・ポリシリコン)と半導体(シリコン)で上下から挟み込むという単純なものです。ポリシリコン、すなわち「ゲート」電極に電圧を加えると、シリコン内部の静電ポテンシャルを変化させることができます。電圧値が適切であれば、入射光によって生じた局在化電子を溜め込む能力を持つポテンシャル「ウェル」を形成できます(Figure 8を参照)。ポテンシャルウェルに溜まった電子が逃げないように、その周囲をポテンシャル障壁で取り囲めば、ゲートの下に電子を閉じ込めることができます。ゲートに印加するバイアス電圧次第で、ポテンシャルウェルを形成することも蓄積された電荷を逃がさないポテンシャル障壁を形成することも可能です。

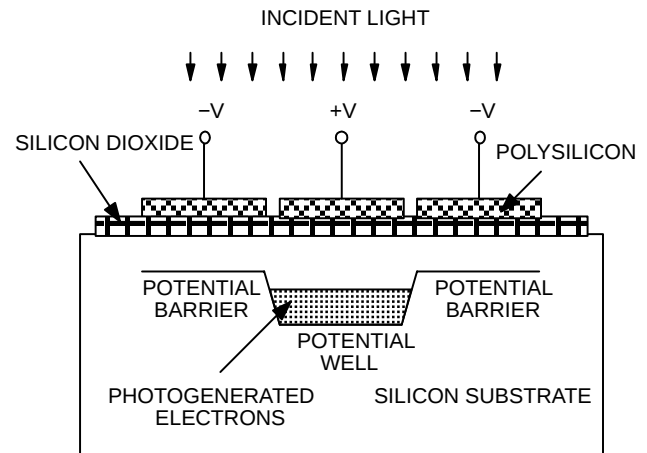


Figure 8. Photon Wells and Barriers

電荷転送手法

画素によって電荷の蓄積と局在化が行われた後は、画素とは物理的に分離されているセンス・アンプにその電荷を転送する手段が必要です。現在よく使用されている電荷転送方式は4つあり、それぞれ以下で説明します。説明の際に留意すべきことは、ある画素の電荷が移動するときは、同時にその列または行に関連する全画素が移動するということです。

4相(4Φ) CCD

CCDシフト・レジスタは、1本の軸に沿って複数のゲートが長く1列に並ぶようにポリシリコン電極を配置することで形成されます。いずれかのゲートに高い電圧を印加すると、そのゲートの下にポテンシャルウェルが形成されます。印加電圧が低い場合はポテンシャル障壁が形成されます。ゲート4つで画素1つの構成です。Figure 9のタイミング・ダイアグラムに示すように、電荷の蓄積中、Φ1およびΦ2の両ゲートに印加される電圧を高く保持し、かつΦ3およびΦ4の両ゲートに印加される電圧を低く保持すれば、画素 P_n のポテンシャルウェルが形成され、そこに光誘起された電荷を蓄積して溜め込めるようになります。

その後でΦ1およびΦ3の極性が変化する(すなわちΦ1が“H”から“L”へ、Φ2が“L”から“H”へ変化する)と、電荷パケットは静電ポテンシャルによってΦ2およびΦ3の下での移動を強制されます。今度はΦ2およびΦ4の極性が反転し、電荷はΦ3およびΦ4の電極によって形成されたポテンシャルウェルを占有したままさらに先に移動します。このプロセスは次の画素(P_{n+1})のΦ1ゲートおよびΦ2ゲートの下に電荷パケットが来るまで実行され、これで1回の転送サイクルが完了します。このサイクルはすべての電荷パケットが出力に到達するまで繰り返されます。したがって、画素1つ当たり4ゲートが使用されます。

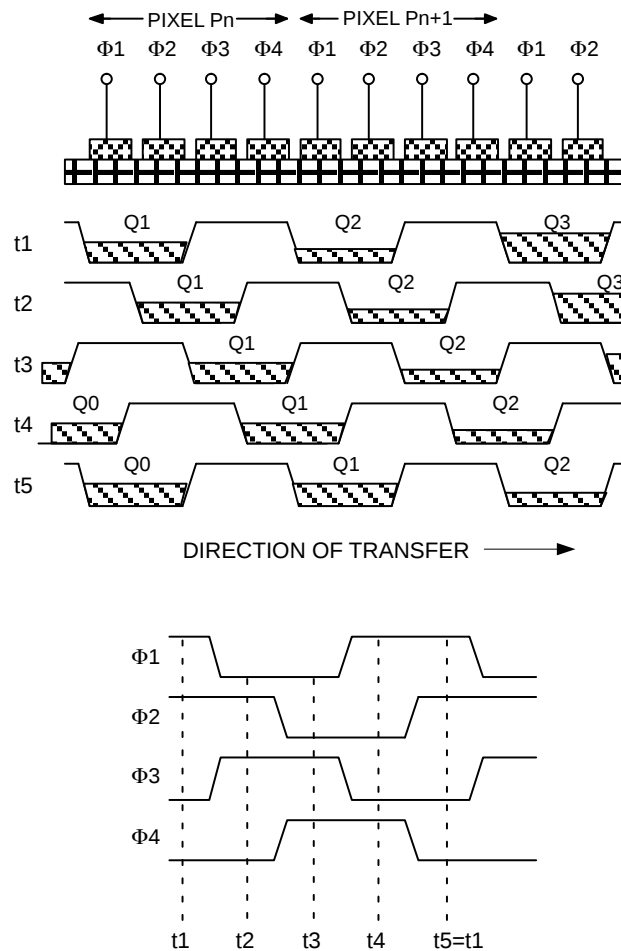


Figure 9. Four-Phase CCD

3相(3Φ) CCD

ウェルバイアス印加電極を分離する障壁バイアス印加ゲート数が $\Phi 2$ から $\Phi 1$ に減少するが、タイミング要件はほとんど同じであることを除いて、3Φ CCDは4Φ CCDに類似しています(Figure 10を参照)。この方式では、 $\Phi 2$ および $\Phi 3$ が障壁状態に保持されている間、電荷は $\Phi 1$ の下に存在します。その後で $\Phi 2$ が高レベルになり、ついで短時間だけ $\Phi 1$ が低レベルになります。上述したのと同じ方法で $\Phi 2$ および $\Phi 3$ を操作することにより、 $\Phi 2$ ゲートの下に存在する電

荷が $\Phi 3$ ゲートの下でシフトされます。転送サイクルは電荷が次の画素の $\Phi 1$ ゲートにシフトされた時点で完了します。

この方式の利点は、3つのゲートだけで1つの画素が構成されるため、密度(および解像度)の高いCCDが実現できることです。3Φが4Φよりも不利な点は、CCDを駆動するのにより複雑なクロックを生成する必要があることです。

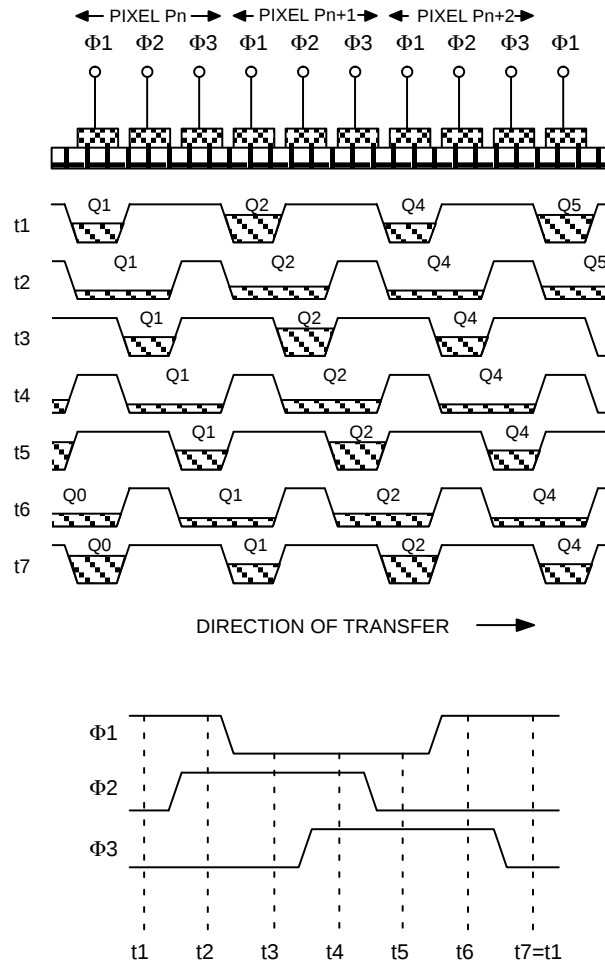


Figure 10. Three-Phase CCD

疑似2相(P2Φ) CCD

P2Φ CCDは、2相クロックだけで転送処理ができる点を除いて、4Φと動作がよく似ています。Figure 11に示したように、相とゲートが1対1になっておらず、1つの相が2つのゲートにつながっています。転送動作中に複数の画素が混合しないようにする手段として、特定のゲート・バイアスに対してレ

ベルの異なる静電ポテンシャルが生じるように交代ゲートが処理されます。この処理が達成されると、2相だけで適切に転送できるので、CCDの駆動に求められる複雑さが軽減されます。この利点を引き出すために余分な処理を実行しています。

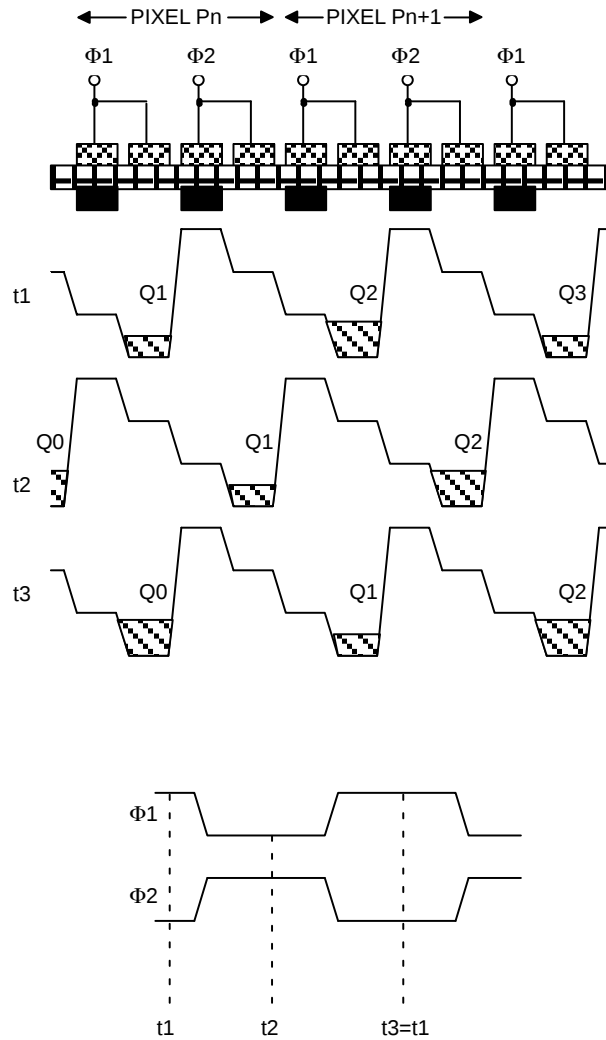


Figure 11. Pseudo Two-Phase CCD

真の2相 (T2Φ) CCD

T2Φは、Figure 12に示したように、1画素あたりのゲート数、およびCCDの駆動に必要な相数がわずか2つに減ります。これは段差状ポテンシャルを作り出す手段として隣接する2つのゲートを必要とするP2Φとは対照的に、各ゲートの下に段差状ポテンシャルを作り出すことで達成されます。

T2Φは、超高密度と超高解像度が実現できる点を除いて、前述したP2Φとまったく同様にクロック制御されます。短所は処理が膨大になってコストがかさむことです。

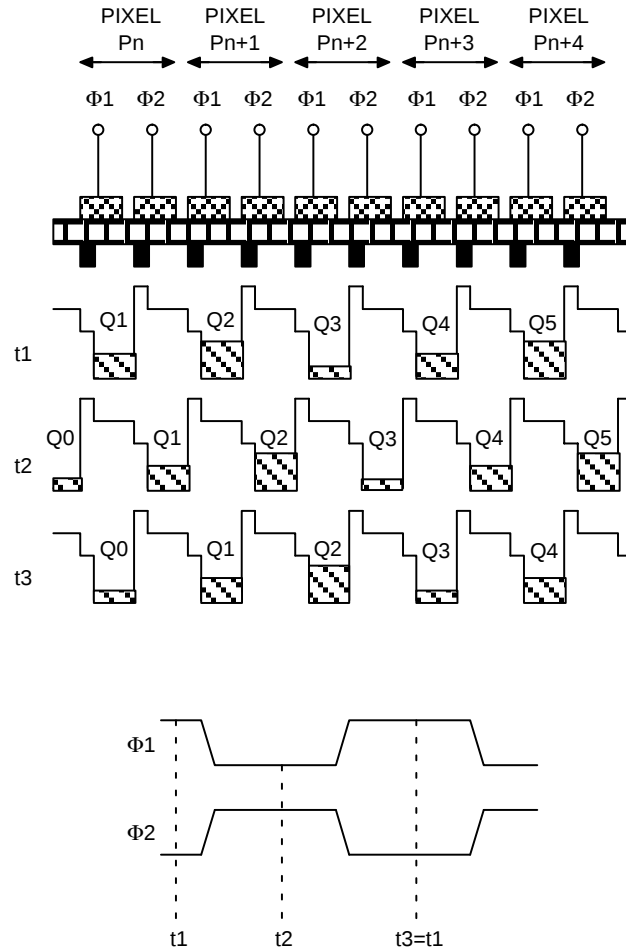


Figure 12. True Two-Phase CCD

仮想位相(V Φ) CCD

V Φ CCDは、Figure 13に示したように、1画素あたりのゲート数、およびCCDの駆動に必要な相数がわずか1つに減ります。V Φ CCDの特徴は、 $\Phi 1$ ゲートの範囲内にポリシリコン電極が一切存在しないことです。このため、V Φ CCDは光(特に青色光)に対する感度が高いという性質を備えています。これは光の吸収または反射をもたらす積層構造が薄くなるためです。

電荷転送の効率は、シリコン内に「固定された」段差状ポテンシャルを作り出すことで保持されます。このアーキテクチャなら高画素密度を達成できます。短所は、 $\Phi 1$ に振幅の大きいクロックが必要であることや、複数の造り込み時の複雑さに起因すると思われる性能低下の問題がまだいくつか解決されていないことなどです。

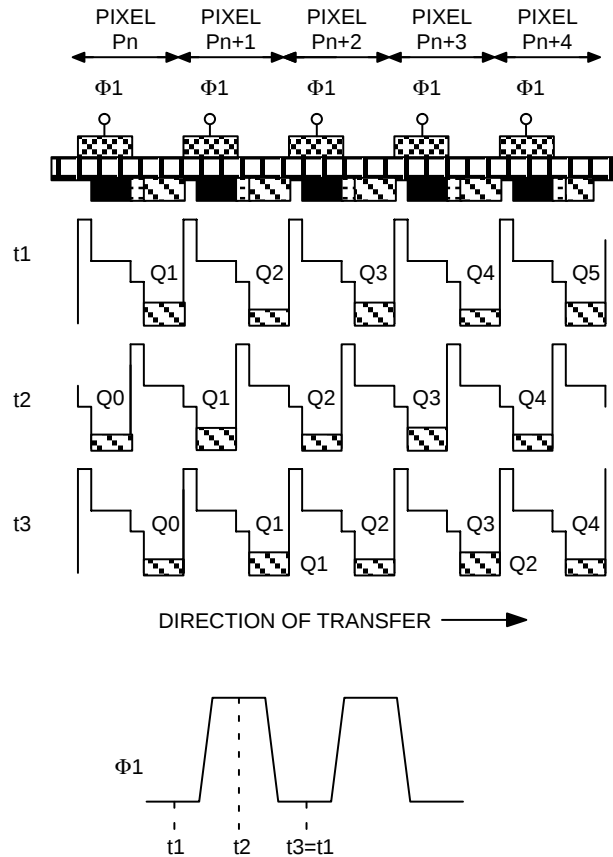


Figure 13. Virtual Phase CCD

読み出し手法

電荷パケットは最終的に、出力センス・ノードにシフトされ、そこで電子(要するに電荷)から、チップ外部で処理しやすい電圧に変換されます。従来方式では、フローティング・ディフュージョン・センス・ノードの後段にソース・フォロワなどの電荷電圧変換アンプを配置するのが普通です。このプロセスは、リセット・ポテンシャルを制御するリセット・ゲートとリセット・ドレインを通じてフローティング・ディフュージョン・センス・ノードをリセットするところから始まります。このリセット・ポ

テンシャル、すなわちゼロ信号レベルは、電圧に変換された後、CCDの出力端子の基準レベルとして処理されます。電荷はCCD内の最後の相からシフトされ、フローティング・ディフュージョン・センス・ノードに出力されます。

結果としてポテンシャルの変化が電圧に変換され、それがチップ外部に出力されて検知されます。基準レベルまたはリセット・レベルとフローティング・ディフュージョンのポテンシャル・シフトの差によって信号が確定します(Figure 14を参照)。

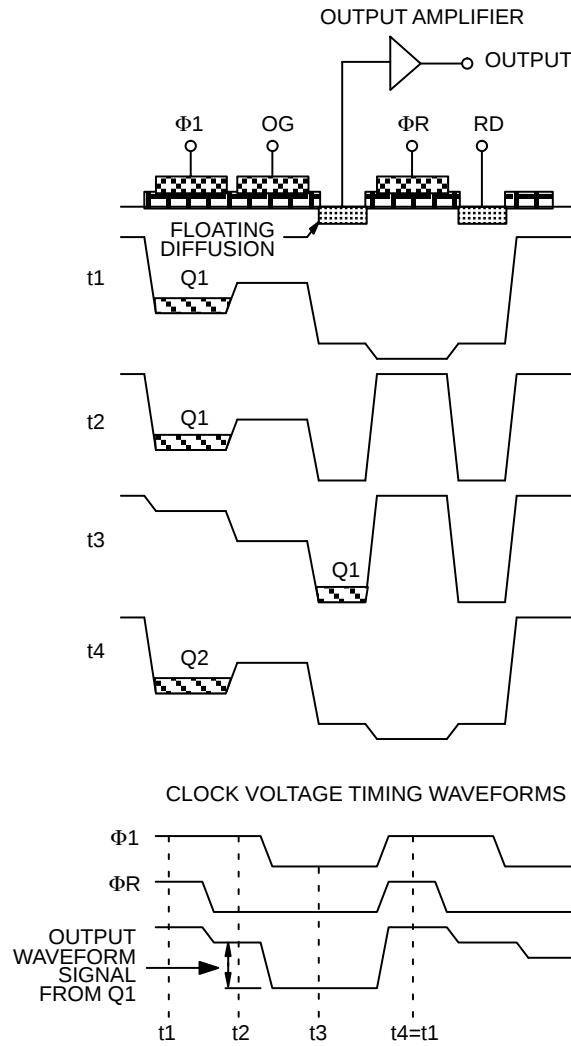


Figure 14. Floating Diffusion Readout Structure

CCDの高度化を図る関連技術

CCDによるカラー撮像

シリコン・ベースのCCDは本質的にモノクロです。つまり、そのままでは各画素に入射された光を構成している赤、緑、青(RGB)の色配合が変化しても識別できません。特定の被写体からカラー情報を引き出す方法は3つあります。どのカラー撮像方式にも共通する問題は、必要な情報量が3倍になることです。

カラー・シーケンシャル方式

この方式では、必要なRGB特性を持つ光学フィルタをいくつか切り替えながら連続して3回、光を入射させる方法によりCCDでカラー・イメージを作成します(Figure 15を参照)。結果として得られるイメージは、チップ外部に出力されて再構築されます。この方式の利点は、CCD自体の解像度を維持できることです。短所は、3回の入射が必要でフレーム・タイムが3分の1以下に減少してしまうことです。また、フィルタ・スイッチング機構のせいでシステムの機械的複雑さも増大します。

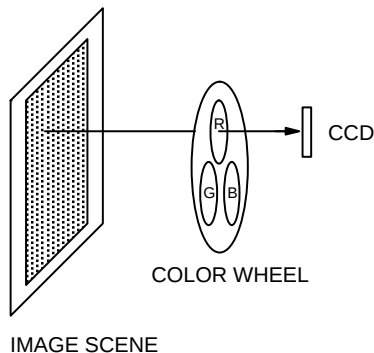


Figure 15. Color Sequential Capture

3チップ・カラー方式

この方式では、カラー・フィルタ・ホイールで各色を切り替える代わりに、光学系を使用して被写体を3つの別々のイメージ・プレーンに分割します(Figure 16を参照)。CCDセンサ1個とそれに対応するカラー・フィルタ1個をペアにして、3つのイメージ・プレーンのそれぞれに1ペアずつ配置します。3つのCCDの各出力を同期させることによりカラー・イメージが1回で検出できるので、フレーム・レートはセンサ1個で構成されたシステムのフレーム・レートまで低下します。短所は、極端に複雑になること、有効データ・レート(帯域幅)が3倍になること、センサ同士の位置合わせと較正が難しいことです。

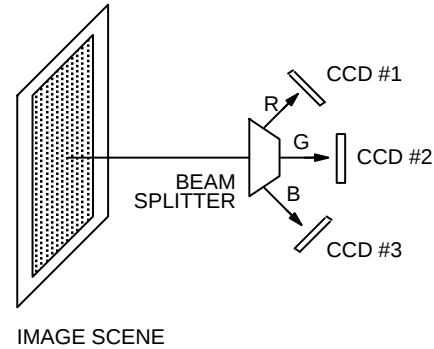


Figure 16. Three-Chip Color Capture

インテグラル・カラー・フィルタ・アレイ(CFA)方式

この方式では、チップ外部でカラー・フィルタリングを実行するのではなく、所定の特性を備えたフィルタをチップに配置するという方法を採用します(Figure 17を参照)。この処理はデバイス製造時に、シアン、マゼンタ、イエロに染色されたフォトレジストを様々なパターンで配置して行うことができます。この方式の利点はシステムの複雑さが大幅に軽減されることです。大きな問題は、フィルムとは異なり、各画素のパターンが1色(原色RGB)、2色(等色CMY)、組み合わせのいずれかのパターンにしかできないことです。どの選択でも情報に欠落が生じるので、有効解像度は低下し、サンプリング(量子化)に伴う偽信号が増えます。もう1つの短所は、画素間で欠落したカラー情報を「穴埋め」する手段としてチップ外部での処理が必要になり、システムの複雑さが増大することです。

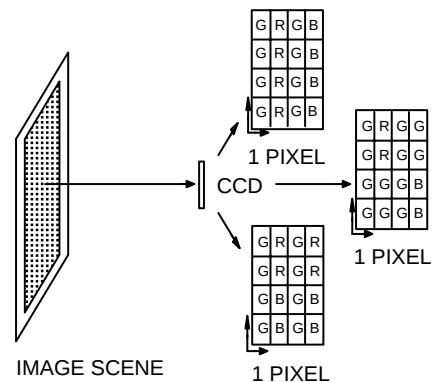


Figure 17. Integral Color Filter Array Patterns

アンチブルーミング

CCDの問題の1つは、写真フィルムとは異なり、非常に強い光が入射したときに起こります。前述したように、発生する電子の数は、入射する光の強さに正比例します。CCD内部で形成されるポテンシャルウェルが浅くて、蓄積される電荷を溜めきれない状態にあると、その電荷が隣接する画素に溢れ出して、被写体情報が損なわれます。この現象は「ブルーミング」と呼ばれますが、「アンチブルーミング」すなわちオーバーフロー・ドレイン構造をCCD内部に設けることで抑えることが可能です。一般的なアンチブルーミング構造は、垂直オーバーフロー・ドレイン (VOD)と水平オーバーフロー・ドレイン(LOD)の2つです。オーバーフロー・ドレインを組み込む副効果は、照射制御またはシャッタ制御が電子制御できるようになることです。入射を電子制御できれば、機械式シャッタよりもはるかに精度、信頼性が高くなるため、システムやカメラでの汎用性が大幅に向上します。

垂直オーバーフロー・ドレイン(VOD)

VODは、バイアスが印加された基板に対する静電ポテンシャル障壁を内部に有する構造となっています。この障壁は、画素間の障壁よりもレベルが低くなるように設定されます。蓄積された電荷が、このレベルを超えるとシリコン基板を通して垂直方向に溢れ出し、基板のバイアスによって排出されます(Figure 18を参照)。この構造の短所は、デバイスが複雑になってコストが増大し、通常はポテンシャルウェルの能力が低下するため、ダイナミック・レンジが低下することです。

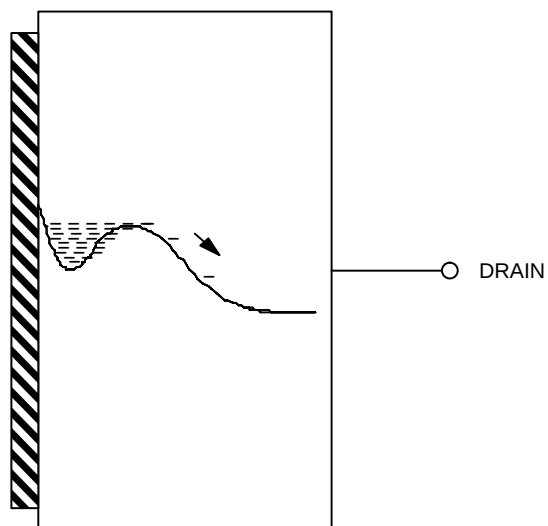


Figure 18. Vertical Overflow Drain

水平オーバーフロー・ドレイン(LOD)

VODの問題の1つは、入射する光が強すぎる場合の能力が不足していることです。特に厳しい状況ではLOD構造が使用されます。LODはその他の構造物

が存在するシリコン表面に実装されます(Figure 19を参照)。

電荷が蓄積されている画素の近傍にポテンシャル障壁が形成され、電荷はドレインへ向かって水平方向へ溢れ出してチップ外に排出されます。このような構造の短所は、フィル・ファクタすなわち開口率が低下するため、感光性が悪くなることです。

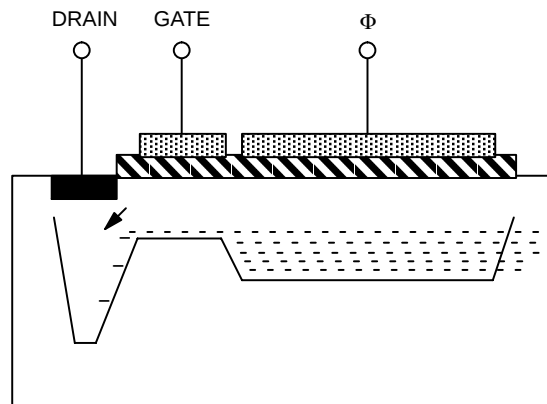


Figure 19. Lateral Overflow Drain

シリコンの薄厚化

前述のように、画素を覆っている膜は入射光の波長次第で、その光を吸収または反射します。シリコンの表面付近で生じる電子(紫外線～青色の波長によって生じる電子)も、酸化物とシリコンとが接する部分の再結合によって失われます。センサの感度を高めるために、ウェハの裏面を10～15μmまで薄くします(Figure 20を参照)。適切に薄厚化されたCCDは、裏面から照射するとUV～青色に対する感度が著しく向上します。薄厚化できるのは、FFおよびFTアーキテクチャのうちVOD構造を持たないアーキテクチャに限られます。これほど深く薄厚化するのは困難で、歩留まりの低下とコスト上昇を招きます。取り扱いもきわめて難しくなります。

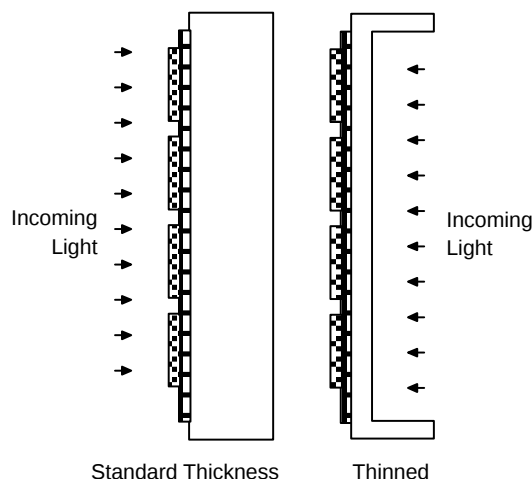


Figure 20. Normal and Thinned CCD

UV強化コーティング

ウェハの薄厚化という問題を回避する手段として、CCDの表面に直接堆積できるUV蛍光体が利用できます。この蛍光体は $0.45\ \mu\text{m}$ 以上の波長に対しては透明であり、UV～藍色の波長は吸収し、それよりも長い波長に対しては蛍光を發します。このコーティングの唯一の短所は、光散乱が原因で空間解像度が低下することです。

マイクロレンチキュラ・アレイ

ILおよびLODアーキテクチャは、前述したように開口率すなわち光学的フィル・ファクタが小さいことが難点で、そのために感度が低下します。感度を改善するために、各画素の上に直接マイクロレンチキュラ・アレイが形成されます(Figure 21およびFigure 22を参照)。これらのアレイは「レンズレット」と呼ばれる極小レンズで、普通なら感光性のない領域に入射する光を、感光性のある領域へ集中させる働きをします。この方法を用いて感度を3倍に改善できます。短所は、処理が増える、アレイ全体でのレンズの均一性に難がある、パッケージングが困難であるなどです。

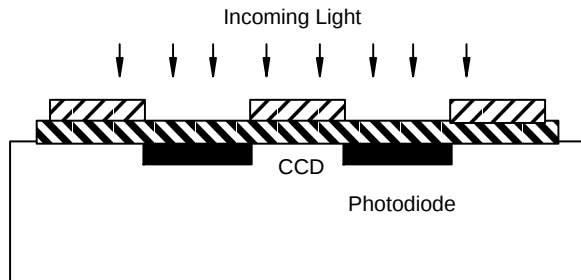


Figure 21. Interline CCD Showing Photodiode and Non Sensitive CCD Covered by a Light Shield

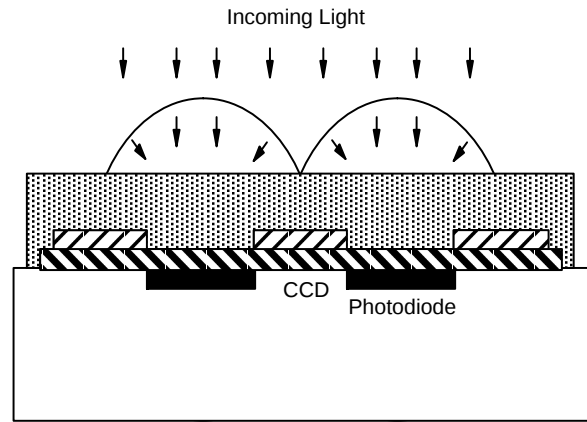


Figure 22. Interline CCD with Microlenticular Arrays

高速CCD

最高のフレーム・レートを達成するには、各種アーキテクチャと設計をいくつか組み合わせます。CCD高速化の制限要因は、大電力を消費することなく最高速度が出せるオンチップ・アンプの設計です。電力損失が増えれば、チップの一部だけが過熱して均一性が低下する傾向があります。この問題を克服するために、複数の出力を使用してデバイスをいくつかのブロックに分割し、データを並列に読み出せるようにします。出力を2つ使用すれば、有効データ・レートは2倍に増えます。並列化を進めるほど、各出力に必要な帯域幅は減少します。もちろん、それほど多くの出力を処理する上で問題も生じます。高速シフト・レジスタは、MOSベースのCCDデバイスに付随する静電容量のために、チップ外部のクロック・ドライバの性能によって制約を受けることがあります。高速CCDに関するもう1つの問題は、CCDの容量性特性のためにシステムからデバイスへのノイズの結合です。

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative