

## NCL30086制御 LEDドライバの設計



ON Semiconductor®

[www.onsemi.jp](http://www.onsemi.jp)

### APPLICATION NOTE

#### 説明

この資料では、LEDストリングに電力を供給するNCL30086搭載フライバック・コンバータを素早く設計するための重要なステップについて提案します。実用的な10 Wのユニバーサル・ライン電圧アプリケーションを通じて、このプロセスを示します。

- 最大出力電力：10 W
- 入力電圧範囲：90～265 V rms
- 出力電圧範囲：12～20 V dc
- 出力電流：500 mA

#### はじめに

NCL30086は、絶縁型および非絶縁型の「スマート調光可能」定電流LEDドライバをターゲットにする力率改善フライバック・コントローラです。2次側からのフィードバックがなくても、力率0.99、出力電流変動率±2%未満(代表値)という優れた値が得られるように、独自の内部回路で入力電流を制御します。電流モードの擬似共振アーキテクチャにより、ドレイン-ソース間電圧が最小のとき(バレーのとき)にMOSFETをターン・オンして効率の最適化を図ります。ライン電圧が高いときには、2番目の谷が検出されるまでMOSFETのターン・オンを遅延させて、スイッチング損失を低減します(Figure 1を参照)。このデバイスは、特に非常にコンパクトでスペース効率の良い設計を意図しており、平均LED電流を制御するための専用調光入力を採用したアナログ調光とPWM調光をサポートしています。バレー・ロックアウトと周波数フォールドバック機能を採用して、調光条件下で高い効率性能を維持します。さらに、強力な保護機能をいくつも備えているため、余分な部品やオーバデザインが必要なく、堅牢なLEDドライバを設計できます。これらの利点に加えて、以下の特長を挙げるすることができます。

- 過熱サーマル・フォールドバック：1本のNTCをSDピンに接続すると、温度が過剰となったときにLED電流を公称値の50%まで徐々に低下させることができます。電流が減少しても温度が第2レベルに達した場合は、コントローラは動作を停止します(SDピンOTP)。

- 過電圧保護：ツェナ・ダイオードをSDピンに接続すれば、OVP保護を可変にできます(SDピンのOVP)。
- サイクル単位のピーク電流制限：電流センス電圧が内部スレッシュホールド( $V_{ILIM}$ )を超えると、直ちにMOSFETがターンオフします(サイクル単位の電流制限)。
- 巻線および出力ダイオード短絡保護(WOD\_SCP)：CSピンの電圧が4サイクル連続して( $150\% \cdot V_{ILIM}$ )を超えると、追加コンパレータがコントローラの動作を停止します。この機能により、巻線または出力ダイオードが短絡した場合や単にトランスが飽和した場合に、コンバータを保護することができます。
- 出力短絡保護(AUX\_SCP)：ZCDピン電圧が90 msにわたって低いままの場合、コントローラは4秒経過するまでパルス動作を停止します。
- LEDの開回路保護：V<sub>CC</sub>ピン電圧がOVPスレッシュホールドを超えた場合、コントローラはシャットダウンし、4秒待機してからスイッチング動作を再開します。
- フローティング短絡ピンの検出：回路はこれらの状況の大半を検出できるので、安全性試験に合格するうえで効果的です[1]。

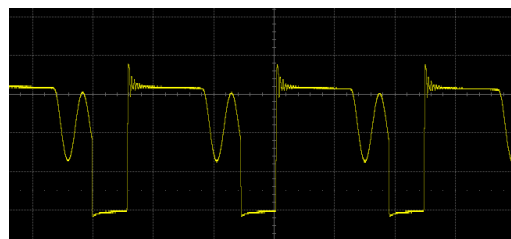
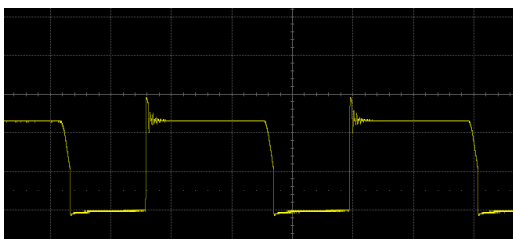


Figure 1. Quasi-Resonant Mode in Low Line (Left), Turn On at Valley 2 when in High Line (Right)

## 適切なNCL30086バージョンの選択

NCL30086には4つのバージョンがあります。違いは以下のとおりです。

- 該当する保護モード。AUX\_SCP、WOD\_SCP、SDピンの過熱(SD\_OTP)と過電圧(SD\_OVP)の各保護機能は、AおよびCバージョンではラッチオフ型、BおよびDバージョンでは自動回復型(4秒間の遅延後に回路は動作を再開)となります。
- 内部デューティ比の制限。NCL30086A/Bのデューティ比は内部で、ライン電圧が最小の場合に正弦波の上端で50%に制限されます。最小ライン・ピーク電圧がインダクタの減磁電圧を上回る場合は、これらのバージョンが推奨されます。つまり以下の値を上回る場合です。

- ◆ 非絶縁型コンバータでは $(\sqrt{2} \cdot (V_{in,rms})_{LL} \geq V_{out} + V_f)$
- ◆ フライバック・アプリケーションでは $(\sqrt{2} \cdot (V_{in,rms})_{LL} \geq \frac{n_p}{n_s} (V_{out} + V_f))$

ここで、 $(V_{in,rms})_{LL}$ はライン電圧が最小の場合のrms電圧(一般に85または90 V rms)、 $(V_f)$ は出力ダイオードの順方向電圧です。CおよびDバージョンでは、ライン電圧が最小の場合に正弦波の上端でデューティ比が60%に達することが許容されており、上記以外の場合はこれらのバージョンを優先してください。

Table 1に4つのバージョン間の違いを要約します。

Table 1. SELECTING THE RIGHT NCL30086 VERSION

	AUX_SCP, WOD_SCP, SD_OTP, SD_OVP Protection Mode	Output Voltage Range for Non-Isolated Converters (Note 1)	Output Voltage Range for Flyback Converters (Note 1)
NCL30086A (Note 2)	Latching Off	$V_{out} + V_f \leq \sqrt{2} \cdot (V_{in,rms})_{LL}$	$V_{out} + V_f \leq \frac{n_s}{n_p} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$
NCL30086B	Auto-Recovery	$V_{out} + V_f \leq \sqrt{2} \cdot (V_{in,rms})_{LL}$	$V_{out} + V_f \leq \frac{n_s}{n_p} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$
NCL30086C (Note 2)	Latching Off	$V_{out} + V_f \leq \frac{3}{2} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$	$V_{out} + V_f \leq \frac{n_s}{n_p} \cdot \frac{3}{2} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$
NCL30086D	Auto-Recovery	$V_{out} + V_f \leq \frac{3}{2} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$	$V_{out} + V_f \leq \frac{n_s}{n_p} \cdot \frac{3}{2} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL}$

1.  $(V_{in,rms})_{LL}$  is the lowest-line rms voltage (e.g., 85 V rms),  $(V_f)$ , the output diode forward voltage.
2. Please contact local sales representative for availability.

一例として、入力AC電圧90~265 V rms、出力150 Vの非絶縁型バックブースト・コンバータを設計すると仮定しましょう。NCL30086AまたはNCL30086Bが使用できるかどうかを検討してみます。

$$\begin{aligned} \sqrt{2} \cdot (V_{in,rms})_{LL} &= \sqrt{2} \cdot 90 \cong 127 \text{ V} \leq \\ &\leq V_{out} + V_f \cong 150 \text{ V} \end{aligned} \quad (\text{eq. 1})$$

Eq. 1は、AおよびBバージョンを使用する場合、非絶縁型コンバータ・アプリケーションでTable 1の条件が満たされないことを示しています。したがって、A/Bバージョンは推奨されませんが、次式が成立するためCまたはDバージョンは使用可能です。

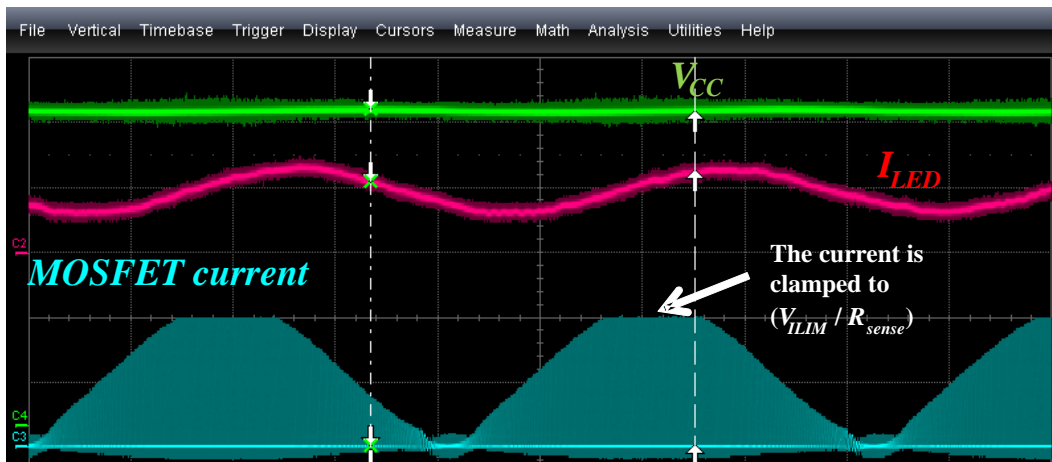
$$\begin{aligned} \frac{3}{2} \cdot \sqrt{2} \cdot (V_{in,rms})_{LL} &= \frac{3}{2} \cdot \sqrt{2} \cdot 90 \cong 191 \text{ V} \geq \\ &\geq V_{out} + V_f \cong 150 \text{ V} \end{aligned} \quad (\text{eq. 2})$$

一般的に言って、AおよびBバージョンを使用する場合の条件が満たされる状況では常に、対象アプリケーションに対するLEDドライバの電力能力を最適に適合させるために、これらのバージョンが推奨さ

れます。この観点から、NCL30086AとNCL30086Bは通常、ほとんどのフライバック・コンバータ\*と対応するライン電圧幅が狭い非絶縁型LEDドライバに推奨されます。CおよびDバージョンは一般に、対応するライン電圧の幅が広い非絶縁型LEDドライバに選択されます。

アプリケーションでデューティ比の制限を上回る場合は、最小ライン電圧時のLED電流は公称値より小さくなりますが、入力電圧レベルが十分であればターゲットの値を満たすことができます。したがって、最初はNCL30086AかNCL30086Bで設計を開始し、最小ライン電圧時にLED電流が小さすぎる場合は、NCL30086CまたはNCL30086Dの使用を検討してください。ところで、Figure 2に示すように、デューティ比制限の影響に関する兆候が観測されることがあります。ここでは、正常の負荷条件時に過電流保護機能によって入力電流がクランプされています。

\*絶縁型フライバック・コンバータの巻線比によって、ある程度の柔軟性が得られます(Table 1の条件を参照)。



**Figure 2. Current Over-Current Limitation**  
**( $V_{ILIM}$  is the Over-Current Threshold,  $R_{SENSE}$  the Current Sense Resistor)**

本資料でのアプリケーションはフライバック・コンバータです。この場合は、適切なバージョンを選

択するときは巻線比を考慮する必要があります。このケースではNCL30086Bが適切な選択肢です。

# AND9217/D

## LEDドライバの回路構成

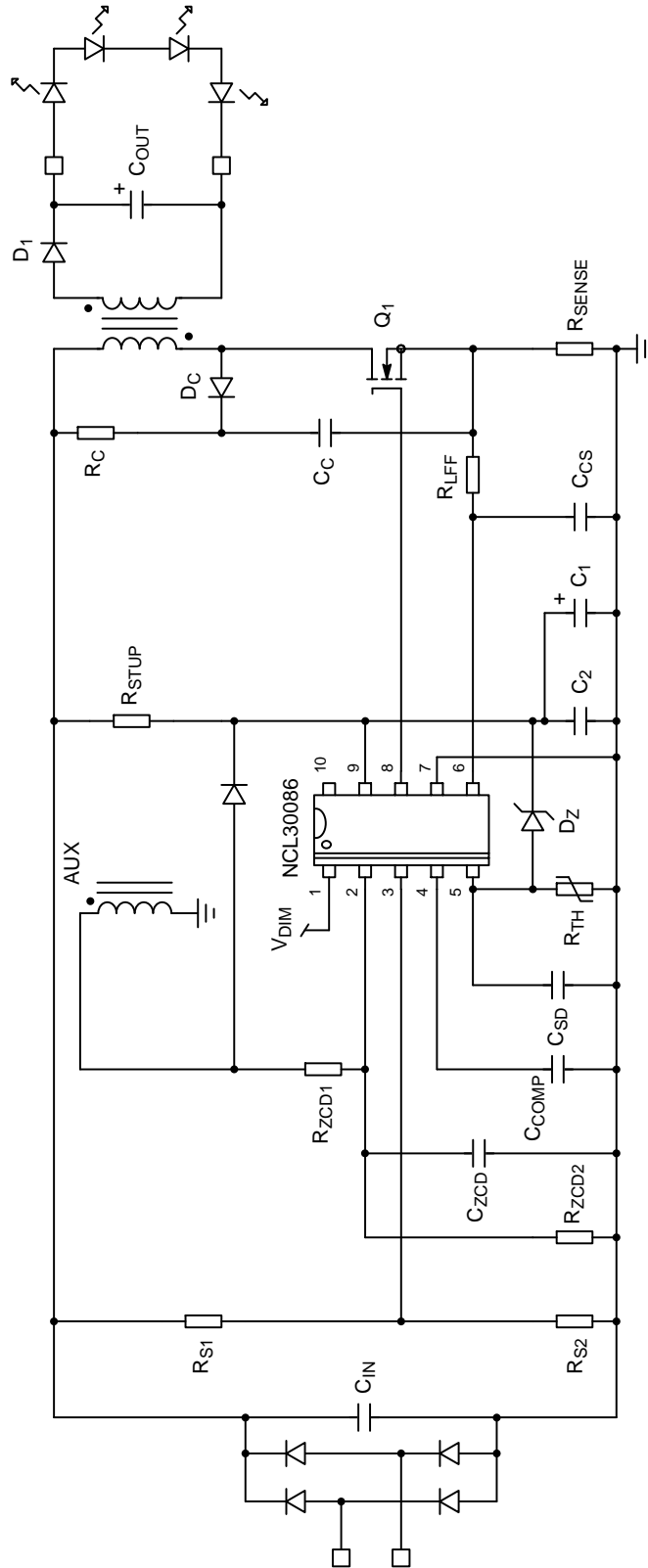


Figure 3. Basic Schematic

LEDドライバの設計ステップ

AND9200 [3]では、NCL30088で制御するLEDドライバの設計手順を詳述しています。いくつかの仕様を除き同じプロセスをNCL30086にも適用できます。

このアプリケーション・ノートでは、AND9200の手順を再度説明せず、主要な設計ステップの要約の

みを以下に示します。EXCEL<sup>®</sup>ベースのオンライン設計ツールが用意されており、説明されている計算式を自動的に処理できます[2]。公開されている式は良好な出発点として活用できますが、ベンチでの検証が必要なことに注意してください。

主要な設計ステップの要約

Table 2. DESIGN STEPS TABLE

Step	Components	Formula	Comments
Step 1: Power Components Selection	Transformer: Auxiliary Winding Number of Turns	$n_{AUX} \leq n_s \cdot \frac{(V_{CC(OVP)})_{min} + V_f}{V_{out(OVP)} + V_f}$	If a Zener diode is connected between the V <sub>CC</sub> rail and the SD pin protection for OVP protection, V <sub>CC(OVP)</sub> is to be replaced by the (V <sub>Z</sub> + 2.5). V <sub>out(OVP)</sub> is the output voltage when the V <sub>CC</sub> or SD pin OVP trips (V <sub>out(OVP)</sub> can be viewed as the possible maximum value of the output voltage)
	MOSFET Turn Off Overshoot	$V_{Q-ov} = k_c \cdot \frac{n_p}{n_s} \cdot (V_{out} + V_f)$	The MOSFET turn-off overshoot due to the leakage inductor reset is expressed as a function of the reflected voltage (see Figure 4)
	MOSFET Turn Off Overshoot Coefficient	$0.5 \leq k_c \leq 1.0$	A low k <sub>c</sub> reduces the MOSFET voltage stress but requires more losses to be dissipated in the clamping network. As a rule of thumb, take k <sub>c</sub> between 0.5 and 1.0.
	Transformer: Secondary Winding Number of Turns	$\frac{n_p}{n_s} < \frac{\alpha V_{DSS} - \sqrt{2} \cdot (V_{in,rms})_{HL}}{(1 + k_c) \cdot (V_{out(OVP)} + V_f)}$	V <sub>DSS</sub> is the MOSFET breakdown voltage, α designates the derating factor (85% typically)
	Transformer: Primary Inductance	$L_p \geq \frac{(V_{in,rms})^2}{2f_{sw,T} P_{in,avg}} \cdot \left( \frac{\frac{n_p}{n_s} (V_{out} + V_f)}{\beta \cdot V_{in,pk} + \frac{n_p}{n_s} (V_{out} + V_f)} \right)^2$	If the primary inductor is selected equal to the proposed expression, the switching frequency will be below f <sub>sw,T</sub> when the line instantaneous voltage is between (β · V <sub>in,pk</sub> ) and V <sub>in,pk</sub> where (β ≤ 1). For instance, one can force the full-load frequency range at the 115-V rms nominal voltage to be around 65 kHz for instance, by practically opting for (β = 50%) and (f <sub>sw,T</sub> = 65 kHz)
	Clamping Network Resistor Value	$R_c \leq \frac{2 \cdot k_c}{N_{PS}} \cdot (V_{out(OVP)} + V_f) \cdot \frac{1 + k_c}{N_{PS}} \cdot (V_{out(OVP)} + V_f) + \sqrt{2} \cdot (V_{in,rms})_{HL} \cdot \frac{L_{leak} \cdot \left( \frac{V_{ILIM}}{R_{sense}} \right)^2 \cdot f_{sw,HL}}{R_c}$	V <sub>ILIM</sub> is the NCL30086 internal threshold for over-current limitation (1 V typically). (V <sub>in,rms</sub> ) <sub>HL</sub> and f <sub>sw,HL</sub> are the rms input voltage and the switching frequency at the line highest level.
	Clamping Network Resistor Losses	$P_{R_c} \leq \frac{\left( \frac{n_p}{n_s} \cdot (1 + k_c) \cdot (V_{out(OVP)} + V_f) \right)^2}{R_c}$	V <sub>out(OVP)</sub> is the output voltage when the V <sub>CC</sub> or SD pin OVP trips (V <sub>out(OVP)</sub> can be viewed as the possible maximum value of the output voltage)

# AND9217/D

**Table 2. DESIGN STEPS TABLE** (continued)

Step	Components	Formula	Comments
	Clamping Network Capacitor	$C_C \cong \frac{1 \text{ ms}}{R_C}$	
	Maximum Primary Inductor Peak Current	$(I_{L, \text{pk}})_{\text{max}} = 2\sqrt{2} \cdot \frac{(P_{\text{in,avg}})_{\text{max}}}{(V_{\text{in,rms}})_{\text{LL}}} \cdot \left( 1 + \frac{n_s \cdot \sqrt{2} (V_{\text{in,rms}})_{\text{LL}}}{n_p \cdot (V_{\text{out}} + V_f)} \right)$	
	Maximum Primary Inductor rms Current	$(I_{L,\text{rms}})_{\text{max}} = \frac{2 \cdot (P_{\text{in,avg}})_{\text{max}}}{\sqrt{3} \cdot (V_{\text{in,rms}})_{\text{LL}}} \cdot \sqrt{1 + \frac{16 \cdot \sqrt{2} \cdot (V_{\text{in,rms}})_{\text{LL}}}{3\pi \cdot \frac{V_{\text{out}} + V_f}{N_{\text{PS}}}} + \frac{6\pi \cdot (V_{\text{in,rms}})_{\text{LL}}^2}{4 \cdot \left(\frac{V_{\text{out}} + V_f}{N_{\text{PS}}}\right)^2}}$	$N_{\text{PS}}$ is the turns ratio $N_{\text{PS}} = n_s / n_p$
	MOSFET rms Current	$(I_{Q,\text{rms}})_{\text{max}} = \frac{2}{\sqrt{3}} \cdot \frac{(P_{\text{in,avg}})_{\text{max}}}{(V_{\text{in,rms}})_{\text{LL}}} \cdot \sqrt{1 + \frac{8\sqrt{2} \cdot (V_{\text{in,rms}})_{\text{LL}}}{3\pi \cdot \frac{V_{\text{out}} + V_f}{N_{\text{PS}}}}}$	
	Maximum MOSFET Drain-Source Voltage	$V_{\text{ds,max}} = \sqrt{2} \cdot (V_{\text{in,rms}})_{\text{HL}} + \frac{(1 + k_c) \cdot (V_{\text{out(OVP)}} + V_f)}{\frac{n_s}{n_p}}$	
	Maximum Output Diode Voltage	$V_{\text{diode,max}} = \left( \frac{n_s}{n_p} \cdot \sqrt{2} \cdot (V_{\text{in,rms}})_{\text{max}} \right) + V_{\text{out}} + V_f + V_{\text{D-ov}}$	$V_{\text{D-ov}}$ is the output diode overshoot that occurs when the MOSFET turns on.
	Output Diode Average Current	$I_{\text{diode,avg}} = I_{\text{out}}$	
	Output Diode Rms Current	$(I_{\text{D,rms}})_{\text{max}} = \sqrt{\frac{32\sqrt{2}}{9\pi} \cdot \left(\frac{n_p}{n_s}\right)^2 \cdot \frac{(P_{\text{in,avg}})_{\text{max}}^2}{V_{\text{in,rms}} \cdot \frac{V_{\text{out}} + V_f}{N_{\text{PS}}}} \cdot \left[ 1 + \frac{9\pi^2}{16\sqrt{2}} \cdot \frac{V_{\text{in,rms}}}{\frac{V_{\text{out}} + V_f}{N_{\text{PS}}}} \right]}$	
	Minimum Output Capacitor Value	$C_{\text{out,min}} = \frac{\sqrt{\left[ \frac{2}{(\Delta I_{\text{out}})_{\text{pk-pk}}} \right]^2 - 1}}{4\pi \cdot f_{\text{line,min}} \cdot R_{\text{LED,min}}}$	$I_{\text{out,nom}}$ is the nominal output current, $R_{\text{LED,min}}$ the minimum LED series resistor, and $(\Delta I_{\text{out}})_{\text{pk-pk}}$ the output current targeted peak-to-peak ripple.
	Output Capacitor Rms Current	$(I_{\text{C,rms}})_{\text{max}} = \sqrt{\frac{32\sqrt{2}}{9\pi} \cdot \left(\frac{n_p}{n_s}\right)^2 \cdot \frac{(P_{\text{in,avg}})_{\text{max}}^2}{V_{\text{in,rms}} \cdot \frac{V_{\text{out}} + V_f}{N_{\text{PS}}}} \cdot \left[ 1 + \frac{9\pi^2}{16\sqrt{2}} \cdot \frac{V_{\text{in,rms}}}{\frac{V_{\text{out}} + V_f}{N_{\text{PS}}}} \right] - I_{\text{out,nom}}^2}$	

# AND9217/D

**Table 2. DESIGN STEPS TABLE** (continued)

Step	Components	Formula	Comments
Step 2: Output Current Setting	Current Sense Resistor	$R_{\text{sense}} = \frac{n_p}{n_s} \cdot \frac{V_{\text{REF}}}{2 \cdot I_{\text{out, nom}}}$	$V_{\text{REF}}$ is the internal reference. ( $V_{\text{REF}}$ is 250 mV with the NCL30086A and NCL30086B versions, 200 mV with the NCL30086C and NCL30086D versions)
	COMP Capacitor	1 $\mu$ F or More	
	$V_{\text{SENSE}}$ Resistors	$R_{S1} = R_{S2} \cdot \left( \frac{\sqrt{2} \cdot (V_{\text{in, rms}})_{\text{BOH}}}{V_{\text{BO(on)}}} - 1 \right)$	$(V_{\text{in, rms}})_{\text{BOH}}$ is the minimum line rms voltage for entering operation. $V_{\text{BO(on)}}$ is the upper threshold of the internal Brown-Out comparator (1 V typically).
	Feedforward Resistor	$R_{\text{LFF}} = \left( 1 + \frac{R_{S1}}{R_{S2}} \right) \cdot \frac{t_{\text{prop}} \cdot R_{\text{sense}}}{L_p \cdot K_{\text{LFF}}}$	$T_{\text{prop}}$ is the total propagation delay between the instant when the MOSFET current reaches the setpoint and the effective MOSFET turn off. You can take 250 ns or 300 ns as a starting value. $K_{\text{LFF}}$ is an internal ratio (20 $\mu$ S typically)
	Current Sense Capacitor	Few pF	No capacitor is normally necessary. 10 to 22 pF can be placed in case of noisy signals. Please note that too large a filtering capacitor can alter the WOD_SCP triggering (the WOD_SCP protection is to face core saturation events and/or output diode or winding short circuit situations) if the CS pin signal is too softened.
Step 3: SD Pin Management	SD Pin OVP Threshold	$(V_{\text{CC}})_{\text{SD, OVP}} = V_Z + V_{\text{OVP}}$	$V_{\text{OVP}}$ is the SD pin OVP internal threshold (2.5 V typically)
	SD Pin Capacitor	< 4.7 nF	A filtering capacitor can be placed across the pin and ground. This capacitor must be less than 4.7 nF. If not, a false OTP detection may occur (see data sheet).
	SD Pin NTC		See Figure 5
Step 4: Auxiliary Winding and $V_{\text{CC}}$	$V_{\text{CC}}$ Capacitor Minimum Value	$(C_{V_{\text{CC}}})_{\text{min}} \cong \frac{n_s \cdot C_{\text{out}}}{n_{\text{aux}}} \cdot \frac{(I_{\text{CC2}} + Q_g \cdot f_{\text{sw}})}{I_{\text{out}}} \cdot \frac{(V_{\text{CC(off)}})_{\text{max}}}{(V_{\text{CC(HYS)}})_{\text{min}}}$ <p style="text-align: center;">or</p> $(C_{V_{\text{CC}}})_{\text{min}} \cong 1.175 \cdot \frac{n_s \cdot C_{\text{out}}}{n_{\text{aux}}} \cdot \frac{(I_{\text{CC2}} + Q_g \cdot f_{\text{sw}})}{I_{\text{out}}}$	$(I_{\text{CC2}} + Q_g \cdot f_{\text{sw}})$ is an estimation of the circuit consumption ( $I_{\text{CC2}}$ is 4 mA max, $Q_g$ is the MOSFET gate charge and $f_{\text{sw}}$ is the switching frequency).  $((V_{\text{CC(off)}})_{\text{max}} / (V_{\text{CC(HYS)}})_{\text{min}}) = 1.175$ is the ratio of the maximum value of the $V_{\text{CC}}$ voltage necessary to maintain operation (9.4 V) over the minimum UVLO hysteresis (8 V).

# AND9217/D

**Table 2. DESIGN STEPS TABLE** (continued)

Step	Components	Formula	Comments
	Required Start-up Current	$I_{\text{startup}} = \frac{(V_{\text{CC(ON)}})_{\text{max}} \cdot C_{\text{VCC}}}{t_{\text{startup}}} + (I_{\text{CC(start)}})_{\text{max}}$ $I_{\text{startup}} = \frac{20 \cdot C_{\text{VCC}}}{t_{\text{startup}}} + 30 \mu\text{A}$	$(V_{\text{CC(ON)}})_{\text{max}}$ is the maximum value of the VCC voltage necessary to enter operation (20 V), $(I_{\text{CC(start)}})_{\text{max}}$ is the maximum circuit consumption before entering operation (30 $\mu\text{A}$ ), $t_{\text{startup}}$ is the targeted start-up time.
	Start-up Resistor Value	Half-Wave Connection: $R_{\text{startup1/2}} = \frac{(V_{\text{in,rms}})_{\text{LL}} \cdot \sqrt{2}}{I_{\text{startup}}}$ Bulk Connection: $R_{\text{startup}} = \frac{\sqrt{2} \cdot (V_{\text{in,rms}})_{\text{LL}}}{I_{\text{startup}}}$	See Figure 6
	Start-up Resistor Losses	Half-Wave Connection: $P_{\text{startup1/2}} = \frac{\left( \frac{\sqrt{2} \cdot (V_{\text{in,rms}})_{\text{HL}}}{\pi} - V_{\text{CC}} \right)^2}{R_{\text{startup1/2}}} \leq \frac{2}{\pi^2} \cdot \frac{(V_{\text{in,rms}})_{\text{HL}}^2}{R_{\text{startup1/2}}}$ Bulk Connection: $P_{\text{startup1/2}} = \frac{\left( \sqrt{2} \cdot (V_{\text{in,rms}})_{\text{HL}} - V_{\text{CC}} \right)^2}{R_{\text{startup}}} \leq \frac{2 \cdot (V_{\text{in,rms}})_{\text{HL}}^2}{R_{\text{startup}}}$	
	Upper ZCD Resistor	$R_{\text{ZCD1}} \geq \frac{V_{\text{CC(OVP)}}_{\text{max}} + V_f}{I_{\text{ZCD,dmg}}}$ And: $R_{\text{ZCD1}} \geq \frac{n_{\text{aux}}}{n_p} \cdot \frac{\sqrt{2} \cdot (V_{\text{in,rms}})_{\text{HL}}}{I_{\text{ZCD,on}}}$	$I_{\text{ZCD,dmg}}$ is the maximum current that can be injected in the ZCD pin (5 mA),  $I_{\text{ZCD,on}}$ is the maximum current which can be extracted from the ZCD pin (2 mA).
	Bottom ZCD Resistor	$R_{\text{ZCD2}} \leq \frac{5 \text{ V}}{V_{\text{CC(OVP)}} + V_f - 5 \text{ V}} \cdot R_{\text{ZCD1}}$	$R_{\text{ZCD2}}$ serves to maintain the ZCD pin voltage below 5 V for optimal operation.
	ZCD Pin Capacitor	Few Tens of pF	Add the capacitor necessary for MOSFET turn on at the very valley. <i>Such a capacitor can further help if spikes of the ZCD signal which may lead to an improper ZCD detection occur after the ZCD blanking time. However, in this case, it is recommended to check that the MOSFET clamping network is properly damped (having for instance a resistor like <math>R_{14}</math> of Figure 7)</i>



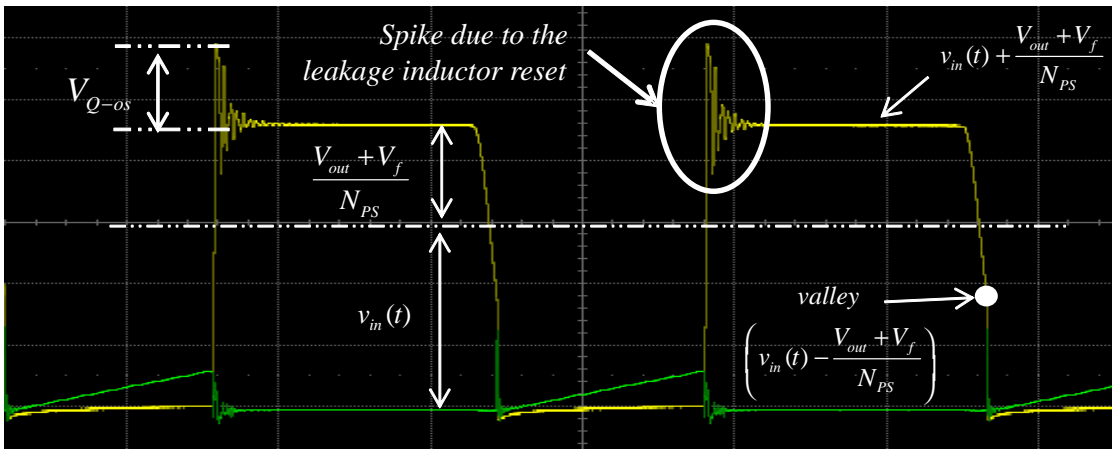


Figure 4. MOSFET Drain-Source Voltage (Yellow Trace) and Current (Green)

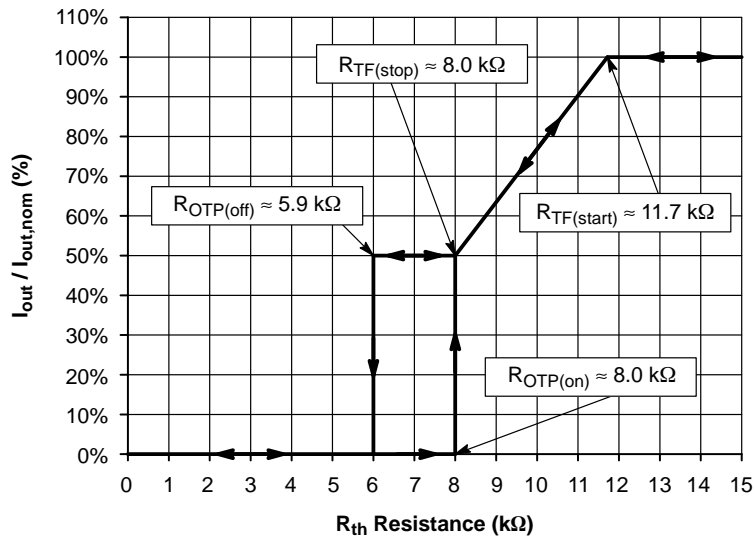


Figure 5. Thermal Foldback Characteristics and Over-Temperature Protection

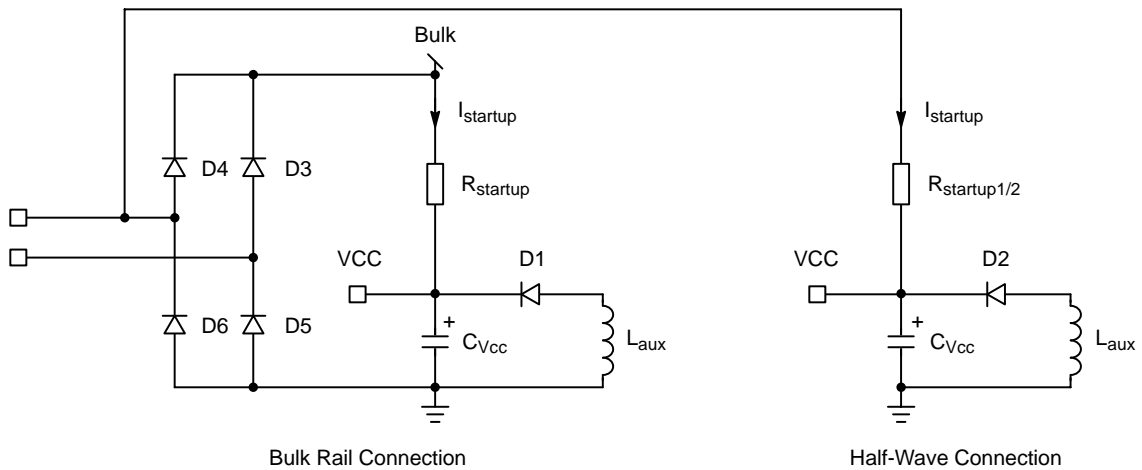


Figure 6. The Start-Up Resistor can be Connected to the Bulk Rail or to the Half-Wave

# AND9217/D

## 実験データ

### アプリケーションの回路図

Figure 7に示すアプリケーションを使用して、以下の実験データを取得しました。

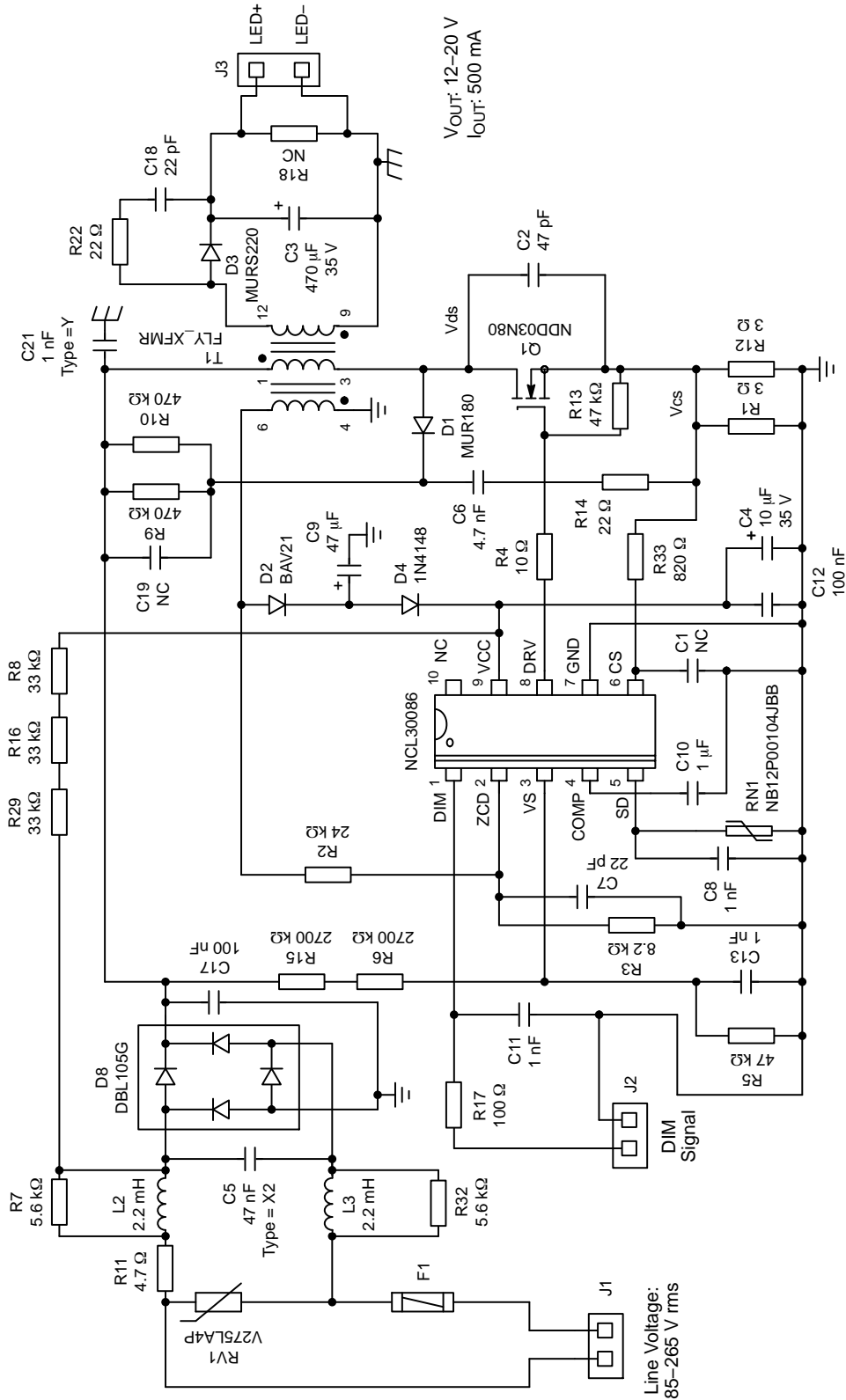


Figure 7. Application Schematic

全般的な動作

Figure 8に出力電流を公称値に対する比率で示します。温度に関して、この特性が非常に平坦であることがわかります。

サーマル・フォールドバックは約80°Cで開始されます。その結果、出力電流は直線的に減衰し、約92°C

で公称値の50%に低下します。約105°Cで回路は動作を停止し(SDピンの過熱保護)、温度が約90°Cに低下した時点で動作を再開します。これらの温度スレッシュホールドは、SDピンに接続されているサーミスタによって決まります。以下の特性は、AVX製のNB12P00104JBBサーミスタで得られたものです。

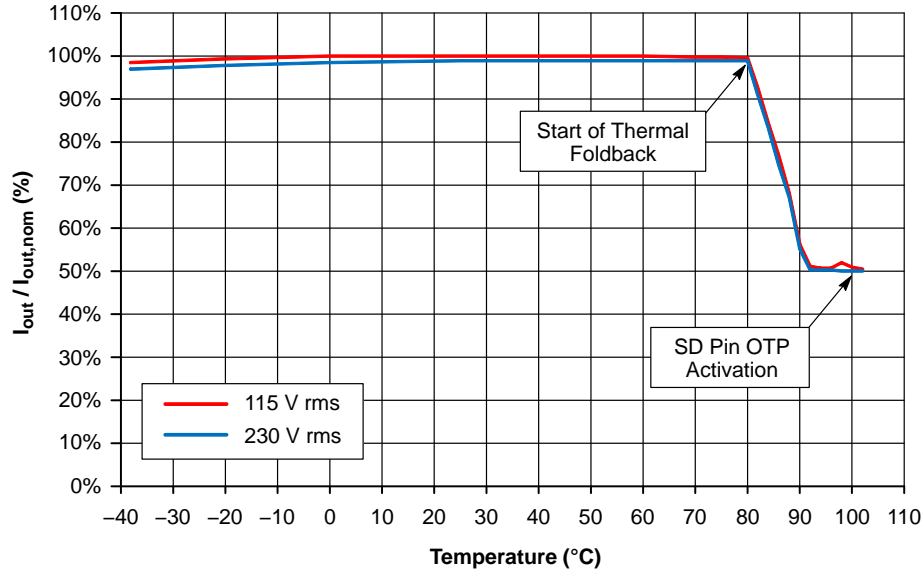


Figure 8. LED Current Characteristics over the Temperature Range without a Dimming Signal

Figure 9に、2つの異なるライン電圧振幅(115 V rms および230 V rms)で測定した力率を示します。力率は-40~80°Cという温度範囲にわたって、非常に安

定しています。80°C以上で、出力電流を小さくするサーマル・フォールドバックが性能に影響を及ぼします。

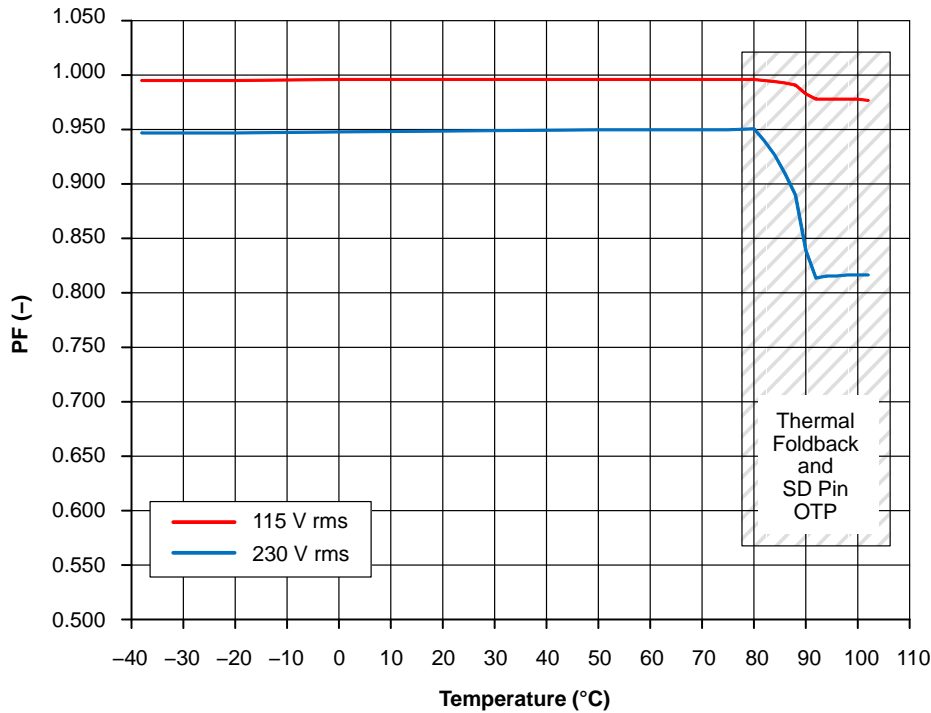


Figure 9. Power Factor Performance over the Temperature Range (No Dimming)

### バレー・ロックアウトと周波数フォールドバック

NCL30086は、電流モードの擬似共振アーキテクチャを実装しており、ドレイン-ソース間電圧が最小(バレー)のときにMOSFETをターンオンして広い負荷範囲にわたって効率を最適化します。調光を開始するときは、最初に検出されたバレーではなくその後のバレーを使用して新しいスイッチング・サイクルを開始し、スイッチング損失を低減します(Figure 10を参照)。安定動作を達成するために、MOSFETが閉回路になったときのバレーは、光の需要が変化するまでロックされた状態にとどまります(バレー・ロックアウト)。実際、LEDドライバ負荷が公称値の80%以下に低下した時点で、NCL30086はライン電圧が低

い場合は擬似共振からバレー2の動作に遷移し、ライン電圧が高い場合はバレー2からバレー3の動作に遷移します。LED電流が公称値の25%に低下した時点で、回路はライン電圧が低い場合は5番目のバレー、ライン電圧が高い場合は6番目のバレーで動作します。さらに調光した場合、5番目のバレー(低いライン電圧)または8番目のバレー(高いライン電圧)の後に追加のデッドタイムを設けることで、スイッチング周波数をさらに低くします。ライン電圧に対する需要が低下すると、この追加のデッドタイムは徐々に長くなります。負荷が公称値の5%になるとデッドタイムは通常40  $\mu$ sに達します。

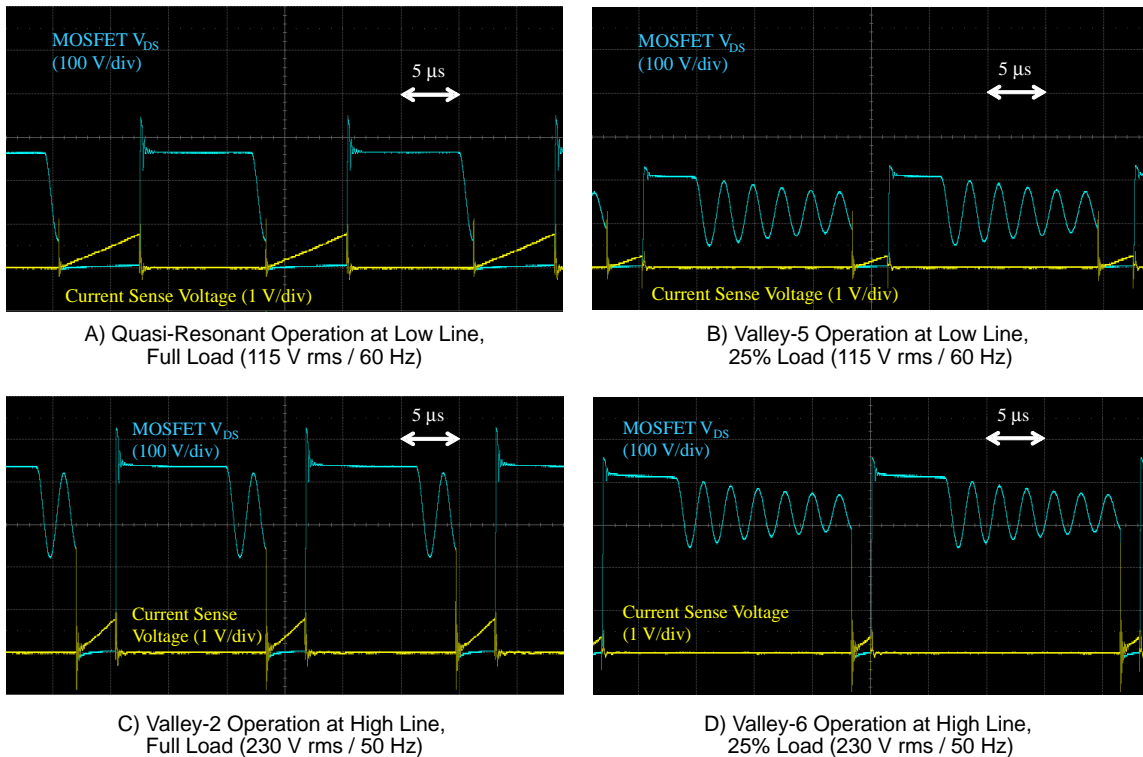


Figure 10. NCL30086 Valley Lockout

軽負荷条件下では、高周波動作が電流レベルの低下につながることに注目してください。したがって、バレー・ロックアウトと周波数フォールドバックは効率を最適化し、電源への悪影響を小さくする(バレー・ターンオンによってノイズが低減され、低周波動作によってEMI規格に合格しやすくなる)ことに加え、負荷が最小のときもMOSFETのピーク電流を比較的大きな値に維持することに役立ちます。この結果、調光範囲全域にわたって、堅牢かつ正確に出力電流を制御できるようになります。

NCL30086は、 $V_S$ ピンの電圧が標準値で2.4 Vを上回っているときは高いライン電圧という条件を検出

し、25 msにわたって $V_S$ ピンの電圧が2.3 V(標準値)以下になるまでは、この状態にとどまります。高いライン電圧の条件下では、一般的にスイッチング損失が特に重要です。そのため、スイッチング周波数を低くするには、追加のバレーをスキップすることが効率的です。例えば、全負荷時には、Figure 1に示すように、NCL30086はライン電圧が低い場合は最初のバレーで、またライン電圧が高い場合は2番目のバレーでMOSFETをターンオンします。この手法により、軽負荷時であっても堅牢で正確な制御を実現するために、強い電流センス信号で動作できるようになります。

調光

NCL30086は、DIMピンの電圧が $V_{DIM100}$  (標準値 2.5 V)を上回っている場合は最大LED電流を強制的に流し、 $V_{DIM}$ が $V_{DIM0}$  (標準値0.7 V)以下の場合には電力供給を中断します。DIMピン電圧がこれら2つのレベルの間にあるときは、出力電流の設定ポイントは $V_{DIM}$ の関数に相関します。最後に、以下のとおりDIMピンで出力電流を制御できます。

$$I_{out} = 0 \quad \text{if } V_{DIM} \leq V_{DIM0}$$

$$I_{out} = I_{out,nom} \quad \text{if } V_{DIM} \geq V_{DIM100} \quad (\text{eq. 3})$$

$$I_{out} = \frac{V_{DIM} - V_{DIM0}}{V_{DIM100} - V_{DIM0}} \cdot I_{out,nom} \quad \text{otherwise}$$

ここで、 $I_{out,nom}$ は公称出力電流(最大負荷電流)です。

PWM調光

Figure 11に示すように、PWM調光は、 $V_{DIM100}$ を上回る上位レベルと、 $V_{DIM0}$ 未満のフロア値の間で急激に変動する信号を印加する方法で機能します。出力電流は次のようになります。

$$I_{out} \cong I_{out,nom} \cdot d_{DIM} \quad (\text{eq. 4})$$

ここで、 $d_{DIM}$ はDIMピン信号のデューティ比です。

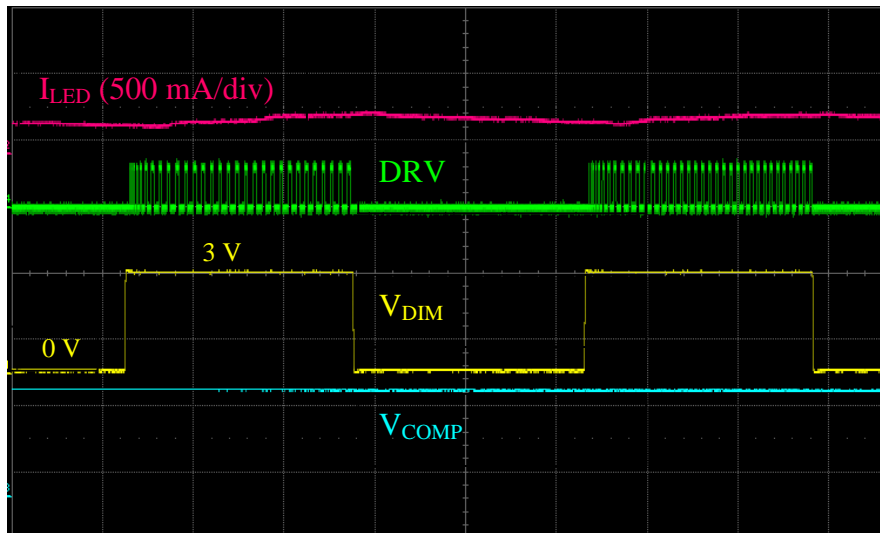


Figure 11. Pin DIM Chronograms

NCL30086はPWM調光動作用に最適化されています。特に、 $V_{DIM} < 0.7 \text{ V}$ の場合は、COMPピンの放電は大幅に制限され、遅延は最小化されます。ただし、出力電流がEq. 4で推奨される値よりわずかに小さくなる偏移の原因は複数存在します。最初に、DIMピンの電圧エッジが十分急峻でない場合は、出力電流が最大値から0にまたはその逆にと急激に変化する代わりに、遷移期間中に出力電流の設定ポイントが徐々に変化します。2番目に、 $V_{DIM}$ が $V_{DIM100}$ を上回ったときに、出力電流は直ちにその公称値に達するわけではありません。

- NCL30086は最大電流を供給するにはある程度の時間を必要とします。Figure 12に示すように、最

初のドライブ・パルスが発生するのは、DIMピンの立ち上がりエッジから約 $10 \mu\text{s}$ 後です。また、短時間でソフトスタートが行われます。これらすべてを考慮に入れると、最大電力動作までに約 $30 \mu\text{s}$ の合計遅延が発生します。

- Figure 13に示すように、DIMピンが“L”状態に遷移してから、ドライブ出力を無効にするまでに約 $2.5 \mu\text{s}$ の時間を要します。この遅延の実際的な影響は、DIM信号の立ち下がりエッジに対して最後のパルスがいつ発生したかによって異なりますが、一般的に上記の偏移を補償することはできません。

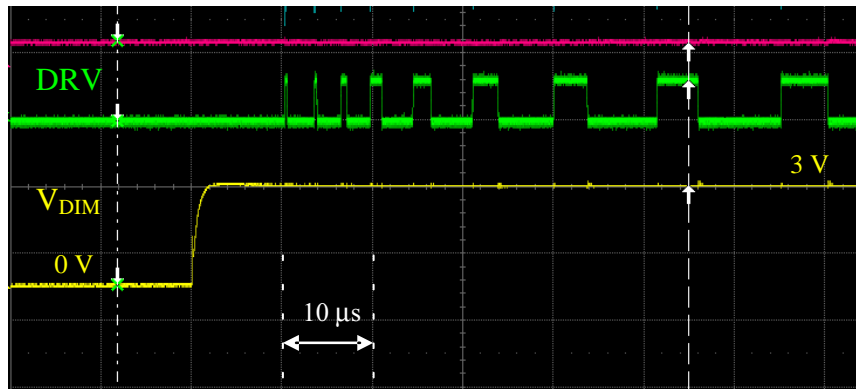


Figure 12. PWM Dimming – DIM Pin Rising Edge

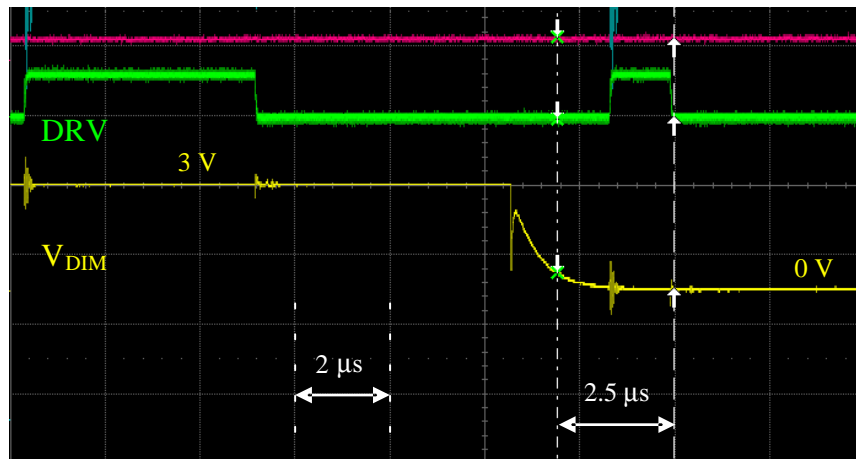


Figure 13. PWM Dimming – DIM Pin Falling Edge

$V_{DIM} > 2.5 \text{ V}$ の期間が短い場合、つまり調光信号の周波数が高く、デューティ比が小さい場合、これらの遅延の影響は特に大きくなります。したがってこの観点から、特に低いデューティ比をターゲットにしている場合は、DIM信号の周波数として過度に高い値を選択しないでください。

また、電力トランスのチョッピング特性は、特に軽負荷時に、出力電流精度に影響を及ぼす可能性があります。例えば、MOSFETのクランプ回路コンデンサ(Figure 3のCC)はオフ期間中に放電するのにある程度の時間を要することがあります。この観点では、高周波調光動作が望ましいとも考えられます。

一般に、力率補正された他のシングル・ステージ・アーキテクチャと同様、出力にライン電圧リップル成分(100/120 Hz)が重畳されます。PWM調光を使用する場合は、オプティカル・アーチファクトを発生させるおそれがあるビート周波数が生成されないように、十分高い調光周波数を選択することが推奨されます。

>>一般的な目安として、PWM周波数はライン周波数の5~20倍の範囲で選択する必要があります。

Figure 14では、PWM調光信号のデューティ比に対する関数として、出力電流を示しています。これら

のテストは115 V rms、60 Hzで実施しました。調光信号は1kHz、可変デューティ比方形波信号は0~3 Vの範囲で変動します(Figure 12とFigure 13の黄信号)。

出力電流は、4つの異なる周囲温度における公称値に対する比率で表示されます。期待どおりですが、出力電流がDIMピンで適切に制御されていることを観測できます。測定された電流は、Figure 14の赤い点線で推奨されている理論値( $I_{out} / I_{out,nom} = d_{DIM}$ )をわずかに下回っています。相対偏差はデューティ比が小さい場合に悪化し、光需要が大きくなると減少します。

前述のように、SDピンに接続したサーミスタ(AVX製NB12P00104JBB)は、温度が80°Cを上回ると出力電流が減少する機能を果たし、95°Cで50%になるように電流を徐々に減衰させます\*\*。このサーマル・フォールドバック特性が原因で、調光されていない出力電流は90°Cの時点で公称値のわずか60%になっています。このため、Figure 14 D)で示すように、この温度レベルでは、出力電流は公称値の0~60%の範囲で変動しています。

\*\* 温度がさらに上昇して105°Cに達すると、過熱保護機能がトリップします。この場合は温度が85°Cに低下するまで、回路は動作を停止します。

データシートに記載されているように、この動作はサーマル・フォールドバックと調光電流の低下が累積されることを示しています。例えば、DIMピンの電圧とサーマル・フォールドバックが、出力電流

の設定ポイントをそれぞれ50%および20%低減する場合、出力電流は50%・80%、すなわち公称レベルの40%に低下します。

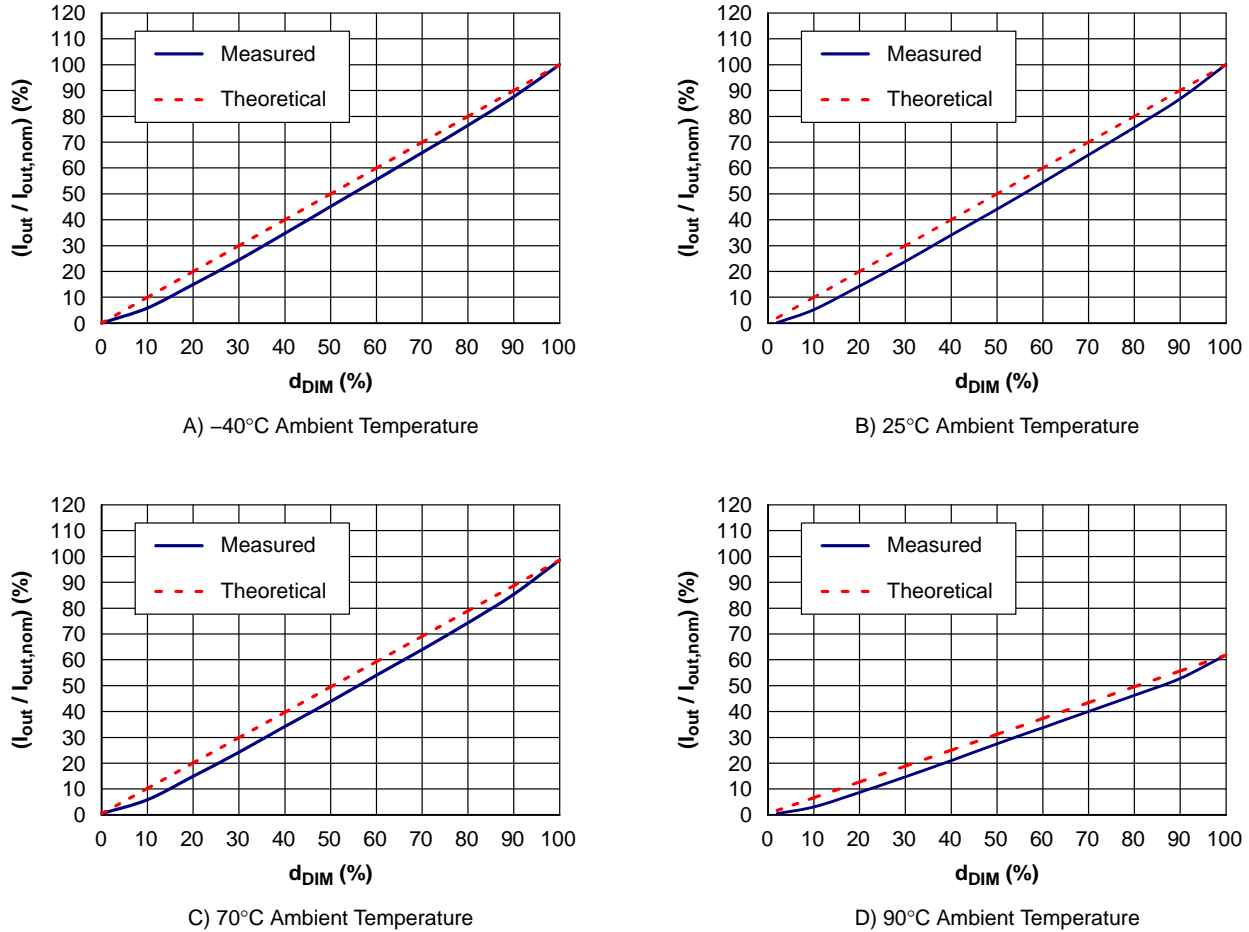


Figure 14.  $(I_{out} / I_{out,nom})$  (%) vs. Dimming Duty-Ratio

アナログ調光

Figure 15では、DIMピンに印加された電圧の関数として出力電流を示しています。これらのテストは、115 V rms、60 Hzで実施しました。出力電流は、4つの異なる周囲温度における公称値に対する比率で表示されます。

測定された特性(青色)を、以下の想定に基づいて描画された理論値(赤い破線の曲線)と比較します。

$$\begin{aligned}
 I_{out} &= 0 && \text{if } V_{DIM} \leq V_{DIM0} \\
 I_{out} &= I_{out,nom} && \text{if } V_{DIM} \geq V_{DIM100} \\
 I_{out} &= \frac{V_{DIM} - V_{DIM0}}{V_{DIM100} - V_{DIM0}} \cdot I_{out,nom} && \text{otherwise}
 \end{aligned}
 \tag{eq. 5}$$

出力電流の特性が期待値と完全に一致していることがわかります。DIMピンの電圧が0.7 V以下のとき出力電流は0で、 $V_{DIM}$ が2.5 Vを超えると出力電流は最大値に達します。これら2つのレベルの間にあるとき、出力電流はDIMピンの電圧に対する良好な期待されるアフィン関数となります。

ここでも、PWM調光のセクションで詳述したように、SDピンに接続したサーミスタNB12P00104JBBのために、90°Cのとき出力電流は63%を上回ることはできません(サーマル・フォールドバック保護)。このため、Figure 15 D)で示すようにこの温度レベルでは、出力電流は公称値の0~63%の範囲で変動します。 $V_{DIM}$ の中間値で観測された偏移は、オープン内で発生した1°Cまたは2°Cの温度変動に起因すると想定され、その結果、測定時にサーマル・フォールドバックによる出力電流の低減という形で影響を及ぼした可能性があります。



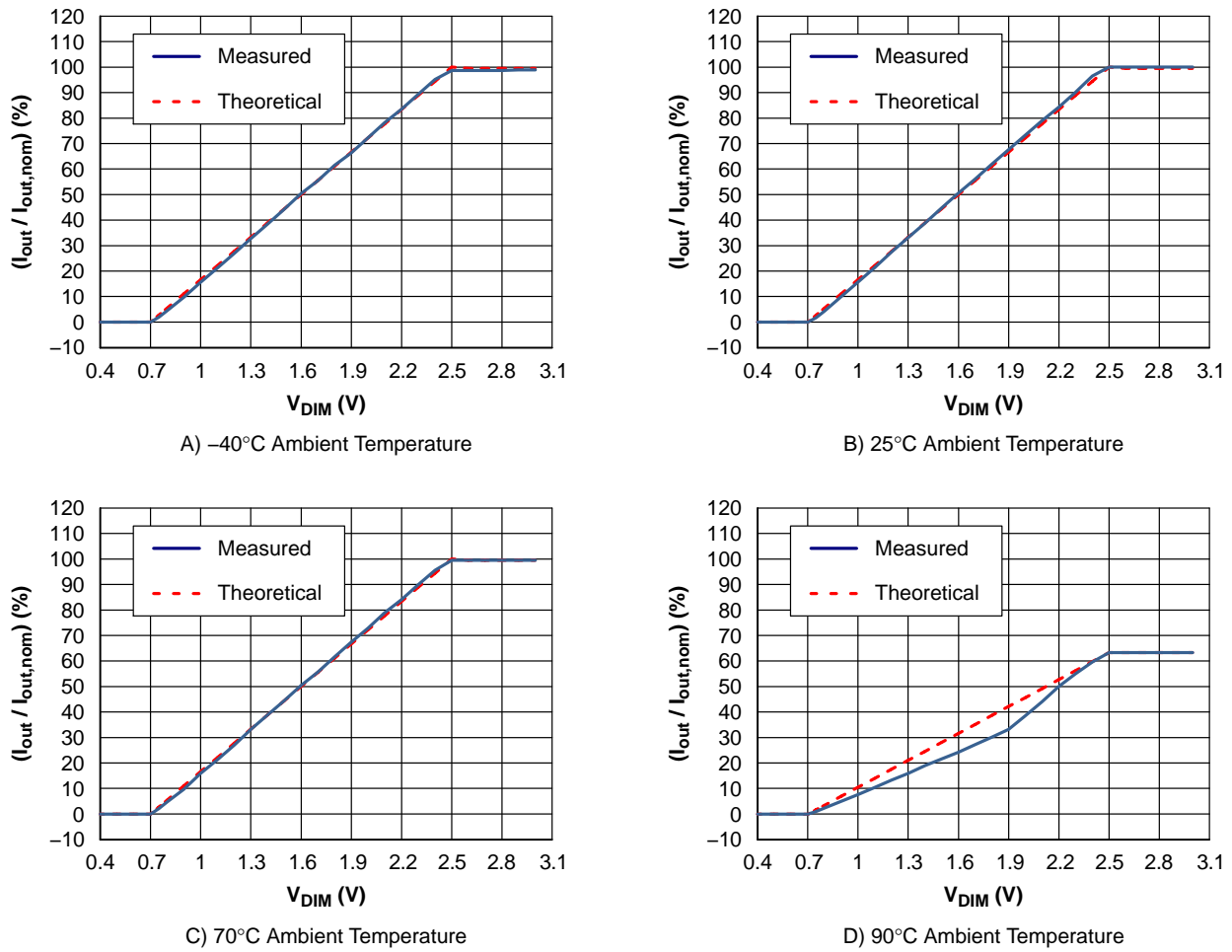


Figure 15.  $(I_{out} / I_{out,nom})$  (%) vs. The DIM Pin Voltage

安全性能

NCL30086は、NCL30088と同じ大規模な一連の保護機能を内蔵しており、特にLEDストリングの短絡/開回路状況または出力ダイオード障害に耐える能力を備えています。このような障害発生時の回路に関する実験データの一部が[3]に掲載されています。

また、[1]には、従来の安全試験(隣接する複数のピン間での短絡、開回路/接地されたピンの状況など)における回路動作に関する詳細な分析が掲載されています。このアプリケーション・ノートでは、これらの試験に合格するうえで、内蔵の安全性機能が非常に役立つことを実証しています。



# AND9217/D

## 参考資料

- [1] Joel TURCHI, “NCL30088 and NCL30085 Safety Tests Consideration”, Application Note [AND9204/D](#).
- [2] Frazier PRUETT, NCL30085–6–8 Design & Development Tool, <http://m.onsemi.com/support/documents?type=tools&rpn=NCL30086>
- [3] Joel TURCHI, “4 Key Steps to Design a NCL30088-Controlled LED Driver”, Application Note [AND9200/D](#).
- [4] Frazier PRUETT, “NCL30086SMRTGEVB 8-W Smart LED Driver Evaluation Board User’s Manual”, [http://www.onsemi.com/pub\\_link/Collateral/EVBUM2293–D.PDF](http://www.onsemi.com/pub_link/Collateral/EVBUM2293–D.PDF)

Microsoft Excel is a registered trademark of Microsoft Corporation.

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA (米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor  
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA  
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
Email: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**N. American Technical Support:** 800-282-9855 Toll Free  
USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>  
For additional information, please contact your local Sales Representative