AND9344/D

CMOS 16-BIT MICROCONTROLLER

LC885200 シリーズ
ユーザーズマニュアル

REV : 1.01

ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

オン・セミコンダクター
マイクロコントローラービジネスユニット

© Semiconductor Components Industries, LLC, 2015
December 2015 - Rev. 1.01

Publication Order Number :
AND9344JP/D

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目　次

第１章　概説

1-1　概要 ……1-1
1-2　特徴 ……1-1
1-3　ピン配置図 ……1-7
1-4　システムブロック図 ……1-8
1-5　端子機能表 ……1-9
1-6　ポート出力形態 ……1-12

第２章　内部システム構成

2-1　メモリ空間 ……2-1
2-1-1　プログラム／データ空間 ……2-1
2-1-2　データ／プログラムスタック／ＳＦＲ空間 ……2-2
2-2　プログラムカウンタ（ＰＣ） ……2-2
2-3　汎用レジスタ ……2-4
2-3-1　概要 ……2-4
2-3-2　Ｒ０～Ｒ７ ……2-4
2-3-3　Ｒ８ ……2-4
2-3-4　Ｒ９ ……2-4
2-3-5　Ｒ１０～Ｒ１３ ……2-4
2-3-6　Ｒ１４(ＰＳＷ) ……2-5
2-3-7　Ｒ１５(ＳＰ) ……2-5
2-4　プログラムメモリ（ＲＯＭ） ……2-6
2-5　データメモリ（ＲＡＭ） ……2-6
2-6　特殊機能レジスタ（ＳＦＲ） ……2-7

第３章　周辺システム構成

3-1　ポート０ ……3-1
3-1-1　概要 ……3-1
3-1-2　機能 ……3-1
3-1-3　関連レジスタ ……3-2
3-1-4　レジスタ設定毎のポート状態 ……3-3
3-1-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-3
3-2　ポート１ ……3-4
3-2-1　概要 ……3-4
3-2-2　機能 ……3-4
3-2-3　関連レジスタ ……3-4
3-2-4　レジスタ設定毎のポート状態 ……3-5
3-2-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-9
3-3　ポート２ ……3-10
3-3-1　概要 ……3-10

目　次

3-3-2　機能 ……3-10
3-3-3　関連レジスタ ……3-10
3-3-4　レジスタ設定毎のポート状態 ……3-11
3-3-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-15
3-4　ポート３ ……3-16
3-4-1　概要 ……3-16
3-4-2　機能 ……3-16
3-4-3　関連レジスタ ……3-16
3-4-4　レジスタ設定毎のポート状態 ……3-17
3-4-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-21
3-5　ポート４ ……3-22
3-5-1　概要 ……3-22
3-5-2　機能 ……3-22
3-5-3　関連レジスタ ……3-22
3-5-4　レジスタ設定毎のポート状態 ……3-23
3-5-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-27
3-6　ポート５ ……3-28
3-6-1　概要 ……3-28
3-6-2　機能 ……3-28
3-6-3　関連レジスタ ……3-28
3-6-4　レジスタ設定毎のポート状態 ……3-29
3-6-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-29
3-7　ポート６ ……3-30
3-7-1　概要 ……3-30
3-7-2　機能 ……3-30
3-7-3　関連レジスタ ……3-30
3-7-4　レジスタ設定毎のポート状態 ……3-31
3-7-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-33
3-8　ポート７ ……3-34
3-8-1　概要 ……3-34
3-8-2　機能 ……3-34
3-8-3　関連レジスタ ……3-34
3-8-4　レジスタ設定毎のポート状態 ……3-35
3-8-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-37
3-9　ポートＡ ……3-38
3-9-1　概要 ……3-38
3-9-2　機能 ……3-38
3-9-3　関連レジスタ ……3-38
3-9-4　レジスタ設定毎のポート状態 ……3-39
3-9-5　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-43

目　次

3-１０　ポートＢ ……3-44
3-１０-１　概要 ……3-44
3-１０-２　機能 ……3-44
3-１０-３　関連レジスタ ……3-44
3-１０-４　レジスタ設定毎のポート状態 ……3-45
3-１０-５　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-50
3-１１　ポートＣ ……3-51
3-１１-１　概要 ……3-51
3-１１-２　機能 ……3-51
3-１１-３　関連レジスタ ……3-51
3-１１-４　レジスタ設定毎のポート状態 ……3-52
3-１１-５　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-53
3-１２　ポートＤ ……3-54
3-１２-１　概要 ……3-54
3-１２-２　機能 ……3-54
3-１２-３　関連レジスタ ……3-54
3-１２-４　レジスタ設定毎のポート状態 ……3-55
3-１２-５　ＨＡＬＴ，ＨＯＬＤ，ＨＯＬＤＸ時の動作 ……3-56
3-１３　外部割り込み機能（ＩＮＴｎ） ……3-57
3-１３-１　概要 ……3-57
3-１３-２　機能 ……3-57
3-１３-３　関連レジスタ ……3-59
3-１３-４　ＩＮＴｎ入力時のポート設定 ……3-63
3-１４　ポート０割り込み機能 ……3-65
3-１４-１　概要 ……3-65
3-１４-２　機能 ……3-65
3-１４-３　関連レジスタ ……3-65
3-１４-４　ポート０割り込みの設定 ……3-67
3-１５　ポート５割り込み機能 ……3-68
3-１５-１　概要 ……3-68
3-１５-２　機能 ……3-68
3-１５-３　関連レジスタ ……3-69
3-１５-４　ポート５割り込みの設定 ……3-70
3-１６　タイマ０（Ｔ０） ……3-71
3-１６-１　概要 ……3-71
3-１６-２　機能 ……3-71
3-１６-３　回路構成 ……3-73
3-１６-４　関連レジスタ ……3-78
3-１６-５　タイマ０出力のポート設定 ……3-80
3-１７　タイマ１（Ｔ１） ……3-81

目　次

3-１７-１　概要 ……3-81
3-１７-２　機能 ……3-81
3-１７-３　回路構成 ……3-82
3-１７-４　関連レジスタ ……3-85
3-１８　タイマ２（Ｔ２） ……3-87
3-１８-１　概要 ……3-87
3-１８-２　機能 ……3-87
3-１８-３　回路構成 ……3-88
3-１８-４　関連レジスタ ……3-93
3-１９　タイマ３（Ｔ３） ……3-97
3-１９-１　概要 ……3-97
3-１９-２　機能 ……3-97
3-１９-３　回路構成 ……3-99
3-１９-４　関連レジスタ ……3-104
3-１９-５　タイマ３出力のポート設定 ……3-107
3-２０　タイマ４，タイマ５（Ｔ４，Ｔ５） ……3-108
3-２０-１　概要 ……3-108
3-２０-２　機能 ……3-108
3-２０-３　回路構成 ……3-109
3-２０-４　関連レジスタ ……3-113
3-２０-５　タイマ４出力，タイマ５出力のポート設定 ……3-115
3-２１　タイマ６，タイマ７（Ｔ６，Ｔ７） ……3-116
3-２１-１　概要 ……3-116
3-２１-２　機能 ……3-116
3-２１-３　回路構成 ……3-117
3-２１-４　関連レジスタ ……3-121
3-２１-５　タイマ６出力，タイマ７出力のポート設定 ……3-123
3-２２　ベースタイマ ……3-124
3-２２-１　概要 ……3-124
3-２２-２　機能 ……3-124
3-２２-３　回路構成 ……3-125
3-２２-４　関連レジスタ ……3-127
3-２３　非同期シリアルインタフェース０（ＵＡＲＴ０） ……3-128
3-２３-１　概要 ……3-128
3-２３-２　機能 ……3-128
3-２３-３　回路構成 ……3-129
3-２３-４　関連レジスタ ……3-131
3-２３-５　ＵＡＲＴ０通信フォーマットの具体例 ……3-134
3-２３-６　ＵＡＲＴ０通信の具体例 ……3-135
3-２４　非同期シリアルインタフェース２（ＵＡＲＴ２） ……3-138

目　次

3-２４-１　概要 ……3-138
3-２４-２　機能 ……3-138
3-２４-３　回路構成 ……3-139
3-２４-４　関連レジスタ ……3-141
3-２４-５　ＵＡＲＴ２通信フォーマットの具体例 ……3-143
3-２４-６　ＵＡＲＴ２通信の具体例 ……3-144
3-２５　非同期シリアルインタフェース３（ＵＡＲＴ３） ……3-147
3-２５-１　概要 ……3-147
3-２５-２　機能 ……3-147
3-２５-３　回路構成 ……3-148
3-２５-４　関連レジスタ ……3-150
3-２５-５　ＵＡＲＴ３通信フォーマットの具体例 ……3-152
3-２５-６　ＵＡＲＴ３通信の具体例 ……3-153
3-２６　非同期シリアルインタフェース４（ＵＡＲＴ４） ……3-156
3-２６-１　概要 ……3-156
3-２６-２　機能 ……3-156
3-２６-３　回路構成 ……3-157
3-２６-４　関連レジスタ ……3-159
3-２６-５　ＵＡＲＴ４通信フォーマットの具体例 ……3-161
3-２６-６　ＵＡＲＴ４通信の具体例 ……3-162
3-２７　シリアルインタフェース０（ＳＩＯ０） ……3-165
3-２７-１　概要 ……3-165
3-２７-２　機能 ……3-165
3-２７-３　回路構成 ……3-166
3-２７-４　関連レジスタ ……3-169
3-２７-５　転送ビット数の設定 ……3-172
3-２７-６　ＳＩＯ０通信の具体例 ……3-173
3-２８　シリアルインタフェース１（ＳＩＯ１） ……3-183
3-２８-１　概要 ……3-183
3-２８-２　機能 ……3-183
3-２８-３　回路構成 ……3-184
3-２８-４　関連レジスタ ……3-187
3-２８-５　転送ビット数の設定 ……3-190
3-２８-６　ＳＩＯ１通信の具体例 ……3-191
3-２９　ＳＭＩＩＣ０（Single master I^2C） ……3-201
3-２９-１　概要 ……3-201
3-２９-２　回路構成 ……3-201
3-２９-３　関連レジスタ ……3-203
3-２９-４　I^2CポートＳＬＯＷ設定時の注意事項 ……3-214
3-２９-５　生成クロック波形とＳＣＬ立ち上がり時間 ……3-214

目　次

3-２９-６　スタートコンディション／ストップコンディション ……3-215
3-２９-７　アービトレーションロスト ……3-219
3-２９-８　単純ＳＩＯモード通信の具体例 ……3-222
3-２９-９　シングルマスタＩ^{2}Ｃ通信の具体例 ……3-223
3-３０　ＳＭＩＩＣ１（Single master I^{2}C） ……3-227
3-３０-１　概要 ……3-227
3-３０-２　回路構成 ……3-227
3-３０-３　関連レジスタ ……3-229
3-３０-４　Ｉ^{2}ＣポートＳＬＯＷ設定時の注意事項 ……3-240
3-３０-５　生成クロック波形とＳＣＬ立ち上がり時間 ……3-240
3-３０-６　スタートコンディション／ストップコンディション ……3-241
3-３０-７　アービトレーションロスト ……3-245
3-３０-８　単純ＳＩＯモード通信の具体例 ……3-248
3-３０-９　シングルマスタＩ^{2}Ｃ通信の具体例 ……3-249
3-３１　ＳＬＩＩＣ０（Slave I^{2}C） ……3-253
3-３１-１　概要 ……3-253
3-３１-２　特殊機能レジスタ（ＳＦＲ）の操作 ……3-253
3-３１-３　回路構成 ……3-253
3-３１-４　関連レジスタ ……3-255
3-３１-５　Ｉ^{2}ＣポートＳＬＯＷ設定時の注意事項 ……3-265
3-３１-６　スタートコンディション／ストップコンディション ……3-265
3-３１-７　単純ＳＩＯモード通信の具体例 ……3-266
3-３１-８　Ｉ^{2}Ｃモード通信の具体例 ……3-267
3-３２　ＰＷＭ０ ……3-270
3-３２-１　概要 ……3-270
3-３２-２　機能 ……3-270
3-３２-３　回路構成 ……3-271
3-３２-４　関連レジスタ ……3-274
3-３２-５　ＰＷＭ０出力のポート設定 ……3-276
3-３３　ＰＷＭ１ ……3-279
3-３３-１　概要 ……3-279
3-３３-２　機能 ……3-279
3-３３-３　回路構成 ……3-280
3-３３-４　関連レジスタ ……3-283
3-３３-５　ＰＷＭ１出力のポート設定 ……3-285
3-３４　ＡＤコンバータ ……3-288
3-３４-１　概要 ……3-288
3-３４-２　機能 ……3-288
3-３４-３　回路構成 ……3-289
3-３４-４　関連レジスタ ……3-290

目　次

3-３４-５　ＡＤ動作の具体例 ……3-294
3-３４-６　ＡＤＣ使用上の留意点 ……3-296
3-３５　リアルタイムサービス（ＲＴＳ） ……3-297
3-３５-１　概要 ……3-297
3-３５-２　機能 ……3-297
3-３５-３　回路構成 ……3-298
3-３５-４　関連レジスタ ……3-300
3-３６　ＤＡコンバータ（ＤＡ０，ＤＡ１） ……3-303
3-３６-１　概要 ……3-303
3-３６-２　機能 ……3-303
3-３６-３　回路構成 ……3-304
3-３６-４　関連レジスタ ……3-305
3-３６-５　ＤＡ出力の具体例 ……3-308
3-３７　リアルタイムクロック（ＲＴＣ） ……3-311
3-３７-１　概要 ……3-311
3-３７-２　機能 ……3-311
3-３７-３　回路構成 ……3-312
3-３７-４　関連レジスタ ……3-314
3-３７-５　ＲＴＣの動作 ……3-317

第４章　制御機能
4-１　割り込み機能 ……4-1
4-１-１　概要 ……4-1
4-１-２　機能 ……4-1
4-１-３　割り込み一覧 ……4-2
4-１-４　関連レジスタ ……4-3
4-２　システムクロック発生機能 ……4-10
4-２-１　概要 ……4-10
4-２-２　機能 ……4-10
4-２-３　回路構成 ……4-11
4-２-４　関連レジスタ ……4-13
4-３　スタンバイ機能 ……4-16
4-３-１　概要 ……4-16
4-３-２　機能 ……4-16
4-４　リセット機能 ……4-22
4-４-１　概要 ……4-22
4-４-２　機能 ……4-22
4-４-３　リセット時の状態 ……4-22
4-５　ウォッチドッグタイマ ……4-23
4-５-１　概要 ……4-23

目　次

４-５-２　機能 ……4-23
４-５-３　回路構成 ……4-23
４-５-４　関連レジスタ ……4-25
４-５-５　ウォッチドッグタイマの使い方 ……4-26

ＡＰＰＥＮＤＩＸ

A-Ⅰ　特殊機能レジスタ（ＳＦＲ）マップ …… ＡⅠ-(1-9)
A-Ⅱ　ポートブロック図 …… ＡⅡ-(1-8)

1 概説

1-1 概要

LC885200シリーズは、Xstormy16 CPUを中心にして，512Kバイトのフラッシュ ROM(オンボード書き換え可能)，16KバイトRAM，16ビットタイマ×8，時計用ベースタイマ，同期式SIO×2(自動転送機能付き)、シングルマスタI^2C／同期式SIO×2，スレーブI^2C／同期式SIO，非同期式SIO(UART)×4，周期可変12ビットPWM×4，12ビット分解能16チャネルADコンバータ，8ビット分解能DAコンバータ，ウォッチドッグタイマ，システムクロック分周機能，59要因（32モジュール）14ベクタ割り込み機能，オンチップデバッガ機能等を1チップに集積した16ビットマイクロコンピュータです。

1-2 特徴

■CPU
・Xstormy16
・4Gバイトのアドレス空間・汎用レジスタ:16ビット×16本

■ROM
LC88F52H0A ： 524288×8ビット(フラッシュROM)
・512バイト単位でのブロック消去可能
・2バイト単位でのデータ書き込み

■RAM
LC88F52H0A ： 24576×8ビット

■命令サイクルタイム(Tcyc)

命令サイクルタイム	発振仕様	システムクロック発振源	発振周波数
0.083μs	1／1分周	セラミック発振(OSC1)	12MHz
0.100μs	1／1分周	セラミック発振(OSC1)	10MHz
0.500μs	1／2分周	セラミック発振(OSC1)	4MHz
1μs(Typ)	1／1分周	内蔵RC発振	1MHz(typ)
30.5μs	1／1分周	水晶発振(OSC0)	32.768kHz

■ポート
・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能　86(P0n,P1n,P2n,P3n,P4n,P5n,P6n,P7n,PAn,PB0～PB6,PC2,PD0～PD5)
・発振、ノーマル耐圧出力ポート　4(PC0,PC1,PC3,PC4)
・リセット端子　1(RESB)
・テスト端子　1(TEST)
・電源端子　8(VSS1～4,VDD1～4)

■タイマ

・タイマ0:PWM／トグル出力可能な16ビットのタイマ
①5ビットプリスケーラ付き
②8ビットPWM×2、8ビットタイマ＋8ビットPWM分割モード選択可能
③クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択

・タイマ1:キャプチャレジスタ付き16ビットタイマ
①5ビットプリスケーラ付き
②8ビットタイマ×2chの分割可能
③クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択

・タイマ2:キャプチャレジスタ付き16ビットタイマ
①4ビットプリスケーラ付き
②8ビットタイマ×2chに分割可能
③クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択

・タイマ3:PWM／トグル出力可能な16ビットタイマ
①8ビットプリスケーラ付き
②8ビットタイマ×2ch、8ビットタイマ＋8ビットPWMの分割モード選択可能
③クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択

・タイマ4:トグル出力可能な16ビットタイマ
①クロックソースをシステムクロック、プリスケーラ0から選択

・タイマ5:トグル出力可能な16ビットタイマ
①クロックソースをシステムクロック、プリスケーラ0から選択

・タイマ6:トグル出力可能な16ビットタイマ
①クロックソースをシステムクロック、プリスケーラ1から選択

・タイマ7:トグル出力可能な16ビットタイマ
①クロックソースをシステムクロック、プリスケーラ1から選択

＊プリスケーラ0，1はそれぞれ4ビットで構成されクロックソースをシステムクロック、OSC0，OSC1から選択。

・ベースタイマ
①クロックは、OSC0（32．768kHz水晶発振），システムクロックの分周出力から選択できる。
②7種類の時間での割り込み発生が可能。

■シリアルインターフェース

・SIO0，SIO1:8ビット同期式SIO
①LSB／MSB先頭切り替え可能
②8ビット以下の通信可能（1～8ビットのビット指定可能）
③8ビットボーレートジェネレータ内蔵（転送クロック4～512Tcyc）
④連続データ自動転送機能（9～32768ビットのビット単位指定可能）
⑤インターバル機能（インターバル時間0～64tSCK）
⑥ウェークアップ機能

・SMIIC0:シングルマスタI²C／8ビット同期式SIO
モード0:シングルマスタのマスタモードによる通信
モード1:同期式8ビットシリアルI／O（データMSB先頭）

・SMIIC1:シングルマスタI²C／8ビット同期式SIO
モード0:シングルマスタのマスタモードによる通信
モード1:同期式8ビットシリアルI／O（データMSB先頭）

・SLIIC0:スレーブI²C／8ビット同期式SIO
　モード0:スレーブモードでのI²C通信
　モード1:同期式8ビットシリアルI／O(データMSB先頭)
　(注)外部クロックでのみ使用可能

・UART0:非同期式SIO
　①データ長　:8ビット(LSBファースト)
　②ストップビット　:1ビット
　③パリティビット　:なし／偶数パリティ／奇数パリティ
　④転送レート　:4／8サイクル
　⑤ボーレートソースクロック　:P07入力信号(T0PWMH信号をクロックソースとして使用可能)またはタイマ4周期
　⑥全二重通信

・UART2:非同期式SIO
　①データ長　:8ビット(LSBファースト)
　②ストップビット　:1ビット
　③パリティビット　:なし／偶数パリティ／奇数パリティ
　④転送レート　:8～4096サイクル
　⑤ボーレートソースクロック　:システムクロック／OSC0／OSC1／P26入力信号
　⑥ウェークアップ機能
　⑦全二重通信

・UART3:非同期式SIO
　①データ長　:8ビット(LSBファースト)
　②ストップビット　:1ビット
　③パリティビット　:なし／偶数パリティ／奇数パリティ
　④転送レート　:8～4096サイクル
　⑤ボーレートソースクロック　:システムクロック／OSC0／OSC1／P36入力信号
　⑥ウェークアップ機能
　⑦全二重通信

・UART4:非同期式SIO
　①データ長　:8ビット(LSBファースト)
　②ストップビット　:1ビット
　③パリティビット　:なし／偶数パリティ／奇数パリティ
　④転送レート　:8～4096サイクル
　⑤ボーレートソースクロック　:システムクロック／OSC0／OSC1／P37入力信号
　⑥ウェークアップ機能
　⑦全二重通信

■ADコンバータ
①12／8ビット分解能切り替え
②アナログ入力:16チャンネル
③コンパレータモード
④基準電圧自動発生

■DAコンバータ
①8ビット分解能
②2回路内蔵
③出力端子選択機能

■PWM

・PWM0:周期可変12ビットPWM×2チャネル(PWM0A、PWM0B)

①2チャネル1組で構成され制御は独立

②クロックソースをシステムクロック、OSC1から選択可能

③8ビットプリスケーラ内蔵:TPWMR0=(プリスケーラ設定値+1)×クロック周期

④8ビット基本波PWM発生回路+4ビット付加パルス発生回路

⑤基本波PWMモード

基本波周期	16TPWMR0～256TPWR0
HIGHパルス幅	0～(基本波周期－TPWMR0)

⑥基本波+付加パルスモード

基本波周期	16TPWR0～256TPWR0
全体周期	基本波周期×16
HIGHパルス幅	0～(全体周期－TPWR0)

・PWM1:周期可変12ビットPWM×2チャネル(PWM1A、PWM1B)

①2チャネル1組で構成され制御は独立

②クロックソースをシステムクロック、OSC1から選択可能

③8ビットプリスケーラ内蔵:TPWMR0=(プリスケーラ設定値+1)×クロック周期

④8ビット基本波PWM発生回路+4ビット付加パルス発生回路

⑤基本波PWMモード

基本波周期	16TPWMR0～256TPWR0
HIGHパルス幅	0～(基本波周期－TPWMR0)

⑥基本波+付加パルスモード

基本波周期	16TPWR0～256TPWR0
全体周期	基本波周期×16
HIGHパルス幅	0～(全体周期－TPWR0)

■ウォッチドッグタイマ

・ベースタイマ+内蔵のウォッチドッグ専用カウンタにより動作する。

・割り込み、リセットの選択可能。

■割り込み(周辺機能)

・59要因(32モジュール)14ベクタ

①割り込みは3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	割り込み(周辺機能)
1	08000H	ウォッチドッグタイマ (1)
2	08004H	ベースタイマ (2)
3	08008H	タイマ 0 (2)
4	0800CH	INT0 (1)
5	08010H	
6	08014H	INT1 (1)
7	08018H	INT2 (1)／タイマ 1 (2)／UART2 (4)
8	0801CH	INT3 (1)／タイマ 2 (4)／SMIIC0 (1)／SLIIC0 (1)
9	08020H	INT4 (1)／タイマ 3 (2)
10	08024H	INT5 (1)／タイマ 4 (1)／SIO1 (2)
11	08028H	
12	0802CH	PWM0 (1)／PWM1 (1)／SMIIC1 (1)
13	08030H	ADC (1)／タイマ 5 (1)
14	08034H	INT6 (1)／タイマ 6 (1)／UART3 (4)
15	08038H	INT7 (1)／タイマ 7 (1)／SIO0 (2)／UART4 (4)
16	0803CH	ポート 0 (3)／ポート 5 (8)／RTC (1)

・優先レベルを3レベル指定可能
・同一レベルではベクタアドレスの小さいものが優先
・( ) 内の数字はモジュールにおける要因数

■割り込み(例外処理)
・5要因　1ベクタ
①例外割り込み制御レジスタ(EXCPL、EXCPH)で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。
②例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

No.	ベクタ	割り込み(例外処理)
1	08080H	例外処理(5)

・( ) 内の数字は要因数

■サブルーチンスタック:24KバイトRAM領域
PSWを自動待避するサブルーチンコール、割り込みベクタコール:6バイト
PSWを自動待避しないサブルーチンコール:4バイト

■乗除算命令
・16ビット×16ビット (実行時間:18Tcyc)
・16ビット÷16ビット (実行時間:18～19Tcyc)
・32ビット÷16ビット (実行時間:18～19Tcyc)

■発振回路
・RC発振回路(内蔵)　:システムクロック用
・OSC1(CF発振回路)　:システムクロック用(CF1, CF2)
・OSC0(水晶発振回路)　:低速システムクロック用(XT1, XT2)
・低速RC発振回路(内蔵)　:発振停止時システムクロック用

■システムクロック分周機能
・低消費電流動作可能
・システムクロックの1～128分周の設定が可能

■スタンバイ機能
・HALTモード:命令実行停止，周辺回路動作継続
①発振の停止は自動的には行いません。
②システムリセットまたは割り込みの発生により解除。

・HOLDモード:命令実行停止，周辺回路動作停止
①OSC1，内蔵RC発振，OSC0のいずれも自動的に停止します。
②HOLDモードを解除するには次の6つの方法があります。
(1)リセット端子に「L」レベルを入力する。
(2)INT0，INT1，INT2，INT3，INT4，INT5，INT6，INT7の少なくとも1つの端子に指定されたレベルを入力する。
(3)P0INT，P04INT，P05INTで割り込み要因が成立する。
(4)ポート5で割り込み要因が成立する。
(5)SIO0，SIO1で割り込み要因が成立する。
(6)UART2,UART3，UART4で割り込みが成立する。

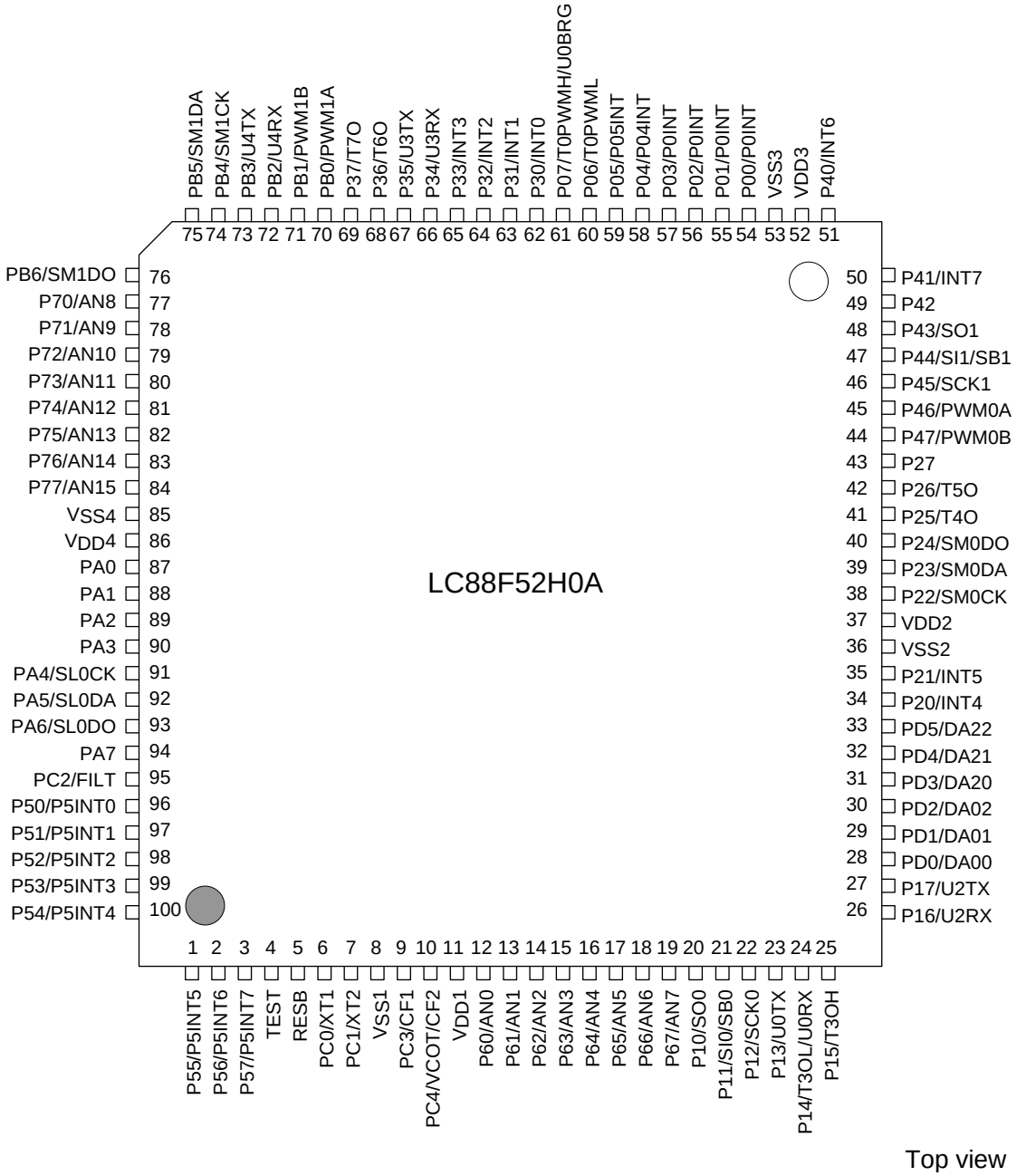
・HOLDXモード:命令実行停止，OSC0で動作するモジュール以外の周辺回路動作停止
①OSC1，内蔵RC発振は自動的に停止します。
②OSC0は突入時の状態を維持します。
③HOLDXモードを解除するには次の7つの方法があります。
(1)リセット端子に「L」レベルを入力する。
(2)INT0，INT1，INT2，INT3，INT4，INT5，INT6，INT7の少なくとも1つの端子に指定されたレベルを入力する。
(3)P0INT，P04INT，P05INTで割り込み要因が成立する。
(4)ポート5で割り込み要因が成立する。
(5)SIO0，SIO1で割り込み要因が成立する。
(6)UART2，UART3，UART4で割り込みが成立する。
(7)ベースタイマ回路で割り込み要因が成立する。

■サンプル形態
・TQFP100（14×14）：『鉛フリー・ハロゲンフリー仕様品』

■オンチップデバッガ機能
・ターゲット基板に実装状態でソフトデバッグ可能
・ソースラインデバッグ機能、トレース機能、ブレークポイント設定、リアルタイム表示機能
・1ワイヤー通信

■開発ツール
・オンチップデバッガ ： EOCUIF1＋LC88F52H0A

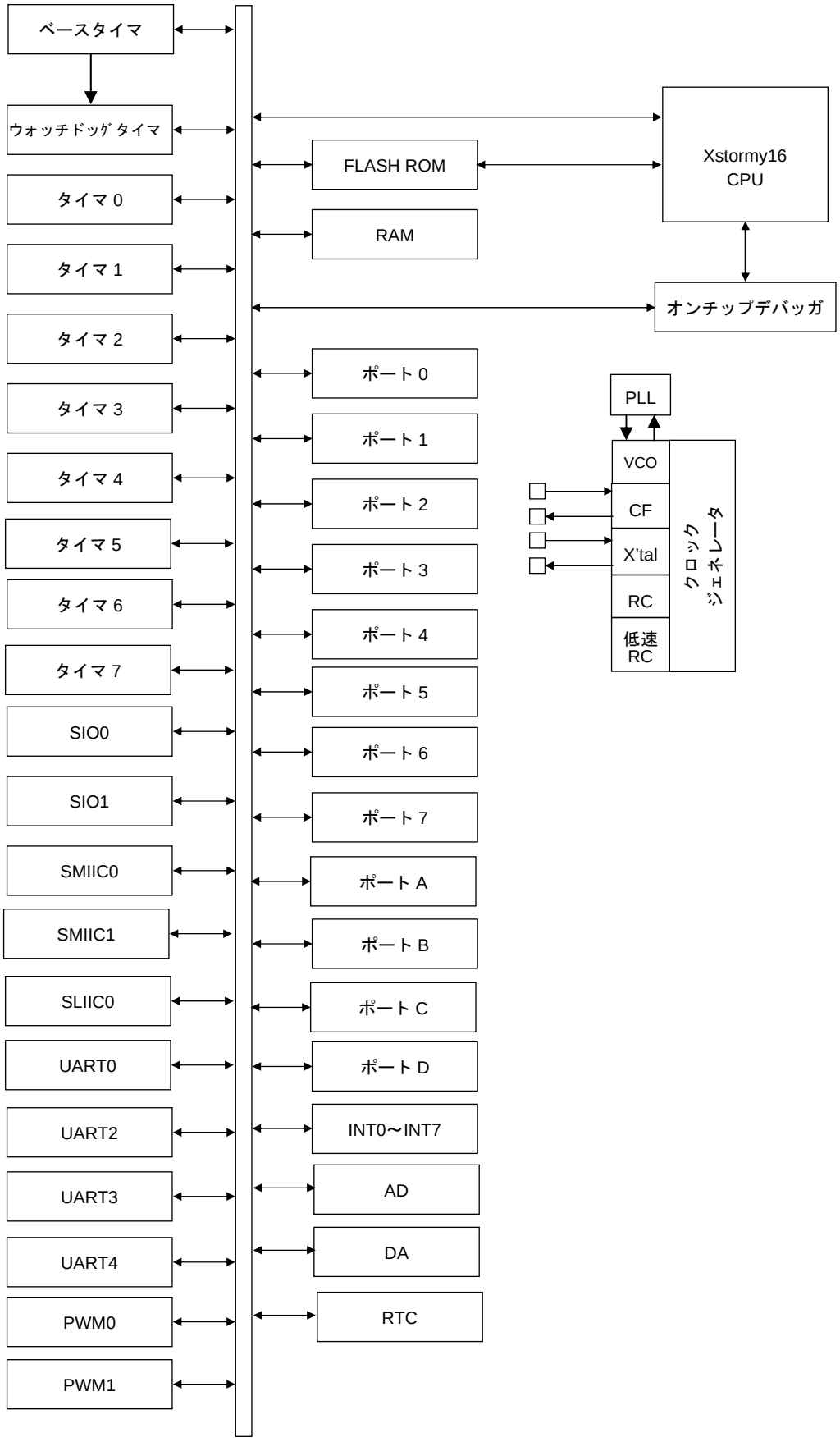
1-3 ピン配置図



Top view

TQFP100（14×14）『鉛 フリー・ハロゲンフリー仕 様 品 』

1-4 システムブロック図



1-5 端子機能表

端子名	I/O	機能説明
VSS1,VSS2, VSS3,VSS4	−	電源の－端子
VDD1,VDD2, VDD3,VDD4	−	電源の＋端子
ポート 0 P00～P07	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・ポート 0 割り込み入力(P00～P03, P04, P05) ・HOLD 解除入力(P00～P03, P04, P05) ・端子機能 P06:タイマ 0L 出力 P07:タイマ 0H 出力／UART0クロック入力
ポート 1 P10～P17	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 P10:SIO0データ出力 P11:SIO0データ入力／バス入出力 P12:SIO0クロック入出力 P13:UART0送信 P14:タイマ 3L 出力／UART0受信 P15:タイマ 3H 出力 P16:UART2 受信 P17:UART2 送信
ポート 2 P20～P27	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 P20:INT4 入力／HOLD 解除入力／タイマ 3 イベント入力 ／タイマ 2L キャプチャ入力／タイマ 2H キャプチャ入力 P21:INT5 入力／HOLD 解除入力／タイマ 3 イベント入力 ／タイマ 2L キャプチャ入力／タイマ 2H キャプチャ入力 P22:SMIIC0 クロック入出力 P23:SMIIC0 データバス入出力 P24:SMIIC0 データ(3 線式 SIO モード時使用) P25:タイマ 4 出力 P26:タイマ 5 出力 ・インタラプト受付形式 INT4, INT5:H レベル, L レベル, H エッジ, L エッジ, 両エッジ
ポート 3 P30～P37	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 P30:INT0 入力／HOLD 解除入力／タイマ 2L キャプチャ入力 P31:INT1 入力／HOLD 解除入力／タイマ 2H キャプチャ入力 P32:INT2 入力／HOLD 解除入力／タイマ 2 イベント入力 ／タイマ 2L キャプチャ入力 P33:INT3 入力／HOLD 解除入力／タイマ 2 イベント入力 ／タイマ 2H キャプチャ入力 P34:UART3 受信 P35:UART3 送信 P36:タイマ 6 出力 P37:タイマ 7 出力 ・インタラプト受付形式 INT0～INT3:H レベル, L レベル, H エッジ, L エッジ, 両エッジ

端子名	I/O	機能説明
ポート 4 P40～P47	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 P40:INT6 入力／HOLD 解除入力 P41:INT7 入力／HOLD 解除入力 P43:SIO1 データ出力 P44:SIO1 データ入力／バス入出力 P45:SIO1 クロック入出力 P46:PWM0A 出力 P47:PWM0B 出力 ・インタラプト受付形式 INT6, INT7:H レベル, L レベル, H エッジ, L エッジ, 両エッジ
ポート 5 P50～P57	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・ポート 5 割り込み機能 ・HOLD 解除
ポート 6 P60～P67	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 AN0(P60)～AN7(P67):AD 変換入力ポート
ポート 7 P70～P77	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 AN8(P70)～AN15(P77):AD 変換入力ポート
ポート A PA0～PA7	I/O	・8 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 PA4:SLIIC クロック入出力 PA5:SLIIC データバス入出力 PA6:SLIIC データ(3 線式 SIO モード時使用)
ポートB PB0～PB6	I/O	・7 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位のプルアップ抵抗 ON／OFF 可能 ・端子機能 PB0:PWM1A 出力 PB1:PWM1B 出力 PB2:UART4 受信 PB3:UART4 送信 PB4:SMIIC1 クロック入出力 PB5:SMIIC1 データバス入出力 PB6:SMIIC1 データ(3 線式 SIO モード時使用)

端子名	I/O	機能説明
ポートC PC0～PC4	I/O	・5 ビットの出力ポート ・1 ビット単位の出力指定可能 ・1 ビット単位プルアップ抵抗 ON/OFF 可能(PC2) ・端子機能 PC0：32.768kHz 水晶発振子入力 PC1：32.768kHz 水晶発振子出力 PC2：FILT PC3：セラミック発振子入力 PC4：セラミック発振子出力／VCO 発振出力
ポート D PD0～PD5	I/O	・6 ビットの入出力ポート ・1 ビット単位の入出力指定可能 ・1 ビット単位プルアップ抵抗 ON/OFF 可能 ・端子機能 PD0：DA00 出力 PD1：DA01 出力 PD2：DA02 出力 PD3：DA10 出力 PD4：DA11 出力 PD5：DA12 出力
TEST	I/O	・テスト端子 ・オンチップデバッガ通信端子（利用時には 100kΩのプルタウン抵抗を外部接続する）
RESB	I/O	・リセット端子

1-6 ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	出力形式切り替え単位	出力形式	プルアップ抵抗
P00～P07	1ビット単位 （プログラマブル）	CMOS	プログラマブル
P10～P17 P20～P27 P30～P37 P40～P47 PA0～PA7 PB0～PB6		兼用機能はCMOS／Nchオープンドレイン出力の設定をプログラマブルに制御可能	
P60～P67 P70～P77 PD0～PD5 PC2		CMOS	
PC0		Nchオープンドレイン （32.768kHz 水晶発振子用入力）	なし
PC1		Nchオープンドレイン （32.768kHz 水晶発振子用出力）	なし
PC3		CMOS （セラミック発振子用入力）	なし
PC4		CMOS （セラミック発振子用出力）	なし

２ 内部システム構成

2-1 メモリ空間

Ｘｓｔｏｒｍｙ１６は、４Ｇバイトのリニアアドレスメモリを制御できます。
４Ｇバイトのメモリ空間のうち００００_００００ｈ～００００_７ＦＦＦｈの３２Ｋバイトは命令で制御され、ＣＰＵ動作と周辺機能を実現するために使用されます。
００００_８０００ｈ～ＦＦＦＦ_ＦＦＦＦｈの約４Ｇバイトはプログラム及びデータ格納用として使用されプログラムとしてはプログラムカウンタ（ＰＣ）で制御されます。また、データ格納用として００００_００００ｈ～００００_７ＦＦＦｈと同様に命令で制御できます。

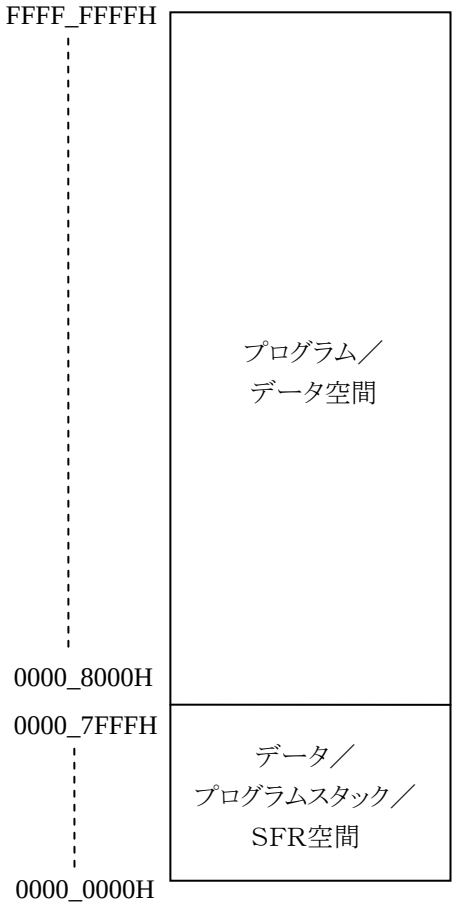


図２－１－１ Ｘｓｔｏｒｍｙ１６メモリ空間

2-1-1 プログラム／データ空間

プログラム／データ空間は０００００_８０００Ｈ～ＦＦＦＦ_ＦＦＦＦＨの約４Ｇバイトありますが、実際に内蔵するメモリは機種により異なります。プログラム空間のうち２５６バイトをオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-1-2 データ／プログラムスタック／SFR空間

データ／プログラムスタック／SFR空間は0000_0000H～0000_7FFFHの32Kバイトありますが、実際に内蔵しているRAM（データ／プログラムスタック）／SFRは機種により異なります。
図２－１－２に示すように、データ／プログラムスタック／SFR空間のアドレスにより使用できる命令が異なります。

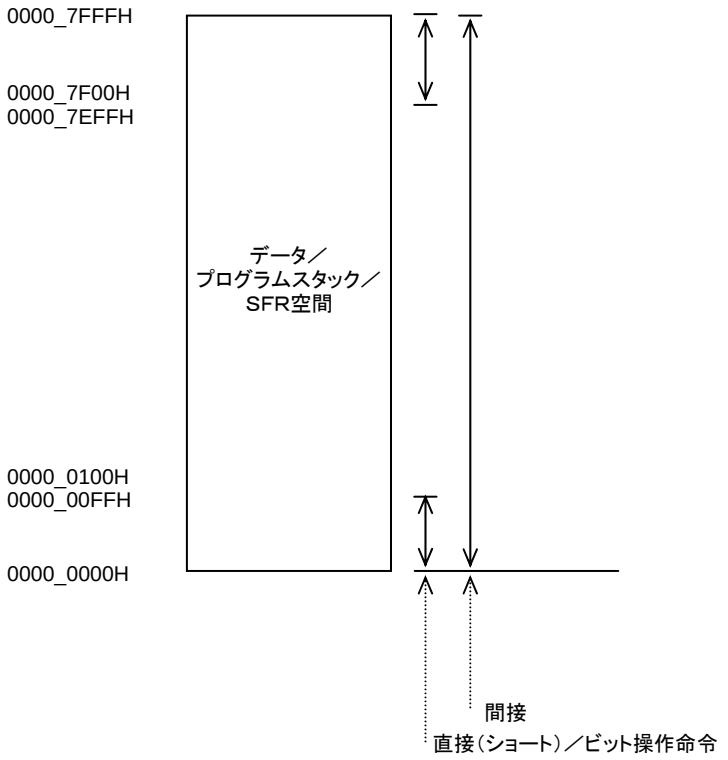


図２－１－２　データ／プログラムスタック／SFR空間アドレッシングマップ

また、PSWを自動的に退避するサブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSPにPCの下位16ビットが、SP＋2にPCの上位16ビットが、SP＋4にPSWの値が格納され、SP＝SP＋6となります。PSWを自動的に退避しないサブルーチンコールが発生するとRAMのSPにPCの下位16ビットが、SP＋2にPCの上位16ビットが格納され、SP＝SP＋4となります。

2-2 プログラムカウンタ（PC）

プログラムカウンタ（PC）は32ビットで構成されて、PCにより、0000_8000H～FFFF_FFFFHの約4Gバイト空間がリニアにアクセスできます。
CPUの命令は、すべて2バイトを単位としているため、最下位ビットは無効で0とみなされます。
分岐命令，サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。
各動作におけるPCの設定データを表２－２－１に示します。

表２－２－１ PC設定値

動作の種類			PCの値
割り込み	リセット／ウォッチドッグタイマ		0000_8000H
	ベースタイマ		0000_8004H
	タイマ0		0000_8008H
	INT0		0000_800CH
			0000_8010H
	INT1		0000_8014H
	INT2／タイマ1／UART2		0000_8018H
	INT3／タイマ2／SMIIC0／SLIIC0		0000_801CH
	INT4／タイマ3		0000_8020H
	INT5／タイマ4／SIO1		0000_8024H
			0000_8028H
	PWM0／PWM1／SMIIC1		0000_802CH
	ADC／タイマ5		0000_8030H
	INT6／タイマ6／UART3		0000_8034H
	INT7／タイマ7／SIO0／UART4		0000_8038H
	ポート0／ポート5／RTC		0000_803CH
	例外処理		0000_8080H
無条件分岐命令		JMPF a24	PC=a24
		JMP Rb,Rs	PC=Rb<<16＋Rs Rb:ベースレジスタの内容 Rs:汎用レジスタの内容
		BR r12	PC=PC+2+r12[-2048～+2047]
		BR Rs	PC=PC+2+Rs[-32768～+32768] Rs:汎用レジスタの内容
条件分岐命令		BGE, BNC, BLT, BC, BGT, BHI, BLE, BLS, BPL, BNV, BMI, BV, BNZ, BZ, BN, BP	PC=PC+nb+r12[-2048～+2048] または PC=PC+nb+r8[-128～+127] nb:命令のバイト数
CALL命令		CALLF a24	PC=a24
		CALL Rb,Rs ICALL Rb,Rs	PC=Rb<<16＋Rs Rb:ベースレジスタの内容 Rs:汎用レジスタの内容
		CALLR r12 ICALLR r12	PC=PC+2+r12[-2048～+2047]
		CALLR Rs ICALLR Rs	PC=PC+2+Rs[-32768～+32768]
リターン命令		RET,IRET	PC32～00=(SP) (SP)はスタックポインタの値 SP で指示されるRAMの内容。

2-3 汎用レジスタ

2-3-1 概要

本シリーズは16本の汎用レジスタ(R0～R15)が実装されています。
バイトモードでは下位8ビットのみ命令実行の対象となります。また、バイトモードでデータをロードすると上位8ビットは0になります。

名前	別名	説明
R0～R13		16ビットの汎用レジスタです。
R14	PSW	CPUの状態を示す16ビットのレジスタとして使用します。
R15	SP	サブルーチンスタックポインタとして暗示的に使用する16ビットレジスタです。 SPのビット0は常に0で使用してください。

2-3-2 R0～R7

各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。

2-3-3 R8

①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
②1ワードMOVF命令でベースアドレスレジスタとして使用されます。
③2ワードMOVF命令でベースアドレスレジスタとして使用されます。
④CALL, ICALL, JMP命令でPC32～16指定に使用されます。

2-3-4 R9

①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
②2ワードMOVF命令でベースアドレスレジスタとして使用されます。
③CALL, ICALL, JMP命令でPC32～16指定に使用されます。

2-3-5 R10～R13

①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
②2ワードMOVF命令でベースアドレスレジスタとして使用されます。

2-3-6 R14(PSW)

CPUの状態を格納する16ビットのレジスタです。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 ＊このビットが1でないとすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。
9	IL1	＊IE＝1の時、IL2～IL0で指定されたレベルより高いレベルの割り込み要求が受け付けられます。
10	IL2	
11	WS	例外割り込み制御レジスタの書込み制御。(0／1:禁止／許可)
12	N0	N3～N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタのアドレスがここに入ります。
13	N1	
14	N2	
15	N3	

(注)MUL・DIV・DIVLH・SDIV・SDIVLH命令実行時のフラグ変化は以下のようになります。

Z8,Z16,P,S … 演算結果のR0の値に影響を受け変化します。
HC,OV,N0～N3 … クリアされます。
CY … SDIV・SDIVLH命令時はSフラグと同一値、それ以外の場合クリア。

2-3-7 R15(SP)

暗示的にサブルーチンのスタックポインタとして使用される16ビットのレジスタです。
サブルーチンスタックポインタとして使用されるので、SPのビット0は常に0にする必要があります。
SPの値は以下のように変化します。

①PUSH命令実行時 : RAM(SP)＝DATA, SP＝SP＋2
②CALL, CALLF,
CALLR命令実行時 : RAM(SP)＝PCL, SP＝SP＋2,
RAM(SP)＝PCH, SP＝SP＋2
③ICALL, ICALLF,
ICALLR命令実行時 : RAM(SP)＝PCL, SP＝SP＋2,
RAM(SP)＝PCH, SP＝SP＋2,
RAM(SP)＝PSW, SP＝SP＋2
④POP命令実行時 : SP＝SP－2, DATA＝RAM(SP)
⑤RET命令実行時 : SP＝SP－2, PCH＝RAM(SP),
SP＝SP－2, PCL＝RAM(SP)
⑥IRET命令実行時 : SP＝SP－2, PSW＝RAM(SP),
SP＝SP－2, PCH＝RAM(SP),
SP＝SP－2, PCL＝RAM(SP)

＊PCLはPC(プログラムカウンタ)のビット0～15、PCHはPCのビット16～31を示します。

2-4 プログラムメモリ（ROM）

本シリーズはプログラム／データ空 間 に以 下 のように、プログラムメモリ（ROM）を内 蔵 しています。

機種名	アドレス	ROMサイズ
LC88F52H0A	0000_8000H～008_7FFFH	512Kバイト

（注）本 シリーズは0008_7F00H～0008_7FFFHの256バイトをオプション指 定 領 域 として使 用 しますので、この領 域 はプログラム領 域 として使 用 することはできません。

2-5 データメモリ（RAM）

本シリーズはデータメモリまたはプログラムスタック用 として、以 下 のようにRAMを内 蔵 しています。

機種名	アドレス	RAMサイズ
LC88F52H0A	0000_0000H～0000_5FFFH	24576バイト

2-6 特殊機能レジスタ（SFR）

本シリーズは周辺機能を制御するための特殊機能レジスタ（SFR）がアドレス0000_7E00H～0000_7FFFHに存在しています。SFRの一覧を表２－６－１に示します。SFR内の各レジスタの内容は、各項目を参照してください。

表２－６－１　SFR一覧

シンボル	アドレス	R/W	名称	初期値
RTCCNT	7EF0	R/W	RTC制御レジスタ	0000_0000
SECR	7EF1	R/W	秒設定レジスタ／カウンタ	LL00_0000
MINR	7EF2	R/W	分設定レジスタ／カウンタ	LL00_0000
HOURR	7EF3	R/W	時設定レジスタ／カウンタ	LLL0_0000
DAYR	7EF4	R/W	日設定レジスタ／カウンタ	LLL0_0001
WEEKR	7EF5	R/W	週設定レジスタ／カウンタ	LLLL_L000
MONTHR	7EF6	R/W	月設定レジスタ／カウンタ	LLLL_0001
YEARR	7EF7	R/W	年設定レジスタ／カウンタ	L000_0000
CENTR	7EF8	R/W	世紀設定レジスタ／カウンタ	LLLL_L000
RTCCLB	7EF9	R/W	システム予約	0000_0000
	7EFA			
	7EFB			
	7EFC			
	7EFD			
	7EFE			
	7EFF			

注１．空欄は予約領域ですのでアクセスしないでください。
注２．システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
	7F00			
	7F01			
IL1L	7F02	R/W	割り込みレベル設定レジスタ 1L	0000_0000
IL1H	7F03	R/W	割り込みレベル設定レジスタ 1H	0000_0000
IL2L	7F04	R/W	割り込みレベル設定レジスタ 2L	0000_0000
IL2H	7F05	R/W	割り込みレベル設定レジスタ 2H	0000_0000
	7F06			
	7F07			
EXCPL	7F08	R/W	例外割り込み制御レジスタ下位	0000_0000
EXCPH	7F09	R/W	例外割り込み制御レジスタ上位	LL00_L0L0
OCR0	7F0A	R/W	発振制御レジスタ0	0000_0000
OCR1	7F0B	R/W	発振制御レジスタ1	0L00_L000
WDTCR	7F0C	R/W	ウォッチドッグタイマ制御レジスタ	0L00_0000
RAND	7F0D		システム予約レジスタ	
BTCR	7F0E	R/W	ベースタイマ制御レジスタ	0000_0000
PWRDET	7F0F		システム予約レジスタ	
T0LR	7F10	R/W	タイマ0一致データレジスタ下位	0000_0000
T0HR	7F11	R/W	タイマ0一致データレジスタ上位	0000_0000
T0CNT	7F12	R/W	タイマ0制御レジスタ	0000_0000
T0PR	7F13	R/W	タイマ0プリスケーラ制御レジスタ	0000_0000
T1LR	7F14	R/W	タイマ1一致データレジスタ下位	0000_0000
T1HR	7F15	R/W	タイマ1一致データレジスタ上位	0000_0000
T1CNT	7F16	R/W	タイマ1制御レジスタ	0000_0000
T1PR	7F17	R/W	タイマ1プリスケーラ制御レジスタ	0000_0000
T2LR	7F18	R/W	タイマ2一致データレジスタ下位	0000_0000
T2HR	7F19	R/W	タイマ2一致データレジスタ上位	0000_0000
T2L	7F1A	R	タイマ2下位	0000_0000
T2H	7F1B	R	タイマ2上位	0000_0000
T2CNT0	7F1C	R/W	タイマ2制御レジスタ0	0000_0000
T2CNT1	7F1D	R/W	タイマ2制御レジスタ1	LLL0_0000
T2CNT2	7F1E	R/W	タイマ2制御レジスタ2	000L_0000
	7F1F			
ADCR	7F20	R/W	ADコンバータ制御レジスタ	0000_0000
ADMR	7F21	R/W	ADモードレジスタ	0000_0000
ADRL	7F22	R/W	AD変換結果レジスタ下位	0000_0000
ADRH	7F23	R/W	AD変換結果レジスタ上位	0000_0000

注 1．空 欄 は予 約 領 域 ですのでアクセスしないでください。

注 2．システム予 約 レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
	7F24			
	7F25			
	7F26			
	7F27			
T3LR	7F28	R/W	タイマ3一致データレジスタ下位	0000_0000
T3HR	7F29	R/W	タイマ3一致データレジスタ上位	0000_0000
T3L	7F2A	R	タイマ3下位	0000_0000
T3H	7F2B	R	タイマ3上位	0000_0000
T3CNT0	7F2C	R/W	タイマ3制御レジスタ0	0000_0000
T3CNT1	7F2D	R/W	タイマ3制御レジスタ1	LLLL_L000
T3PR	7F2E	R/W	タイマ3プリスケーラ制御レジスタ	0000_0000
	7F2F			
S0CNT	7F30	R/W	SIO0制御レジスタ	0000_0000
S0BG	7F31	R/W	SIO0ボーレート制御レジスタ	0000_0000
S0BUF	7F32	R/W	SIO0データバッファ	0000_0000
S0INTVL	7F33	R/W	SIO0インターバルレジスタ	0000_0000
S1CNT	7F34	R/W	SIO1制御レジスタ	0000_0000
S1BG	7F35	R/W	SIO1ボーレート制御レジスタ	0000_0000
S1BUF	7F36	R/W	SIO1データバッファ	0000_0000
S1INTVL	7F37	R/W	SIO1インターバルレジスタ	0000_0000
U0CR	7F38	R/W	UART0制御レジスタ	0X00_X0X0
	7F39			
U0RXL	7F3A	R/W	UART0受信データレジスタL	0000_0000
U0RXH	7F3B	R/W	UART0受信データレジスタH	XLLL_LL00
U0TXL	7F3C	R/W	UART0送信データレジスタL	0000_0000
U0TXH	7F3D	R/W	UART0送信データレジスタH	LLLL_LLH0
	7F3E			
	7F3F			
P0LAT	7F40	R/W	ポート0データラッチ	0000_0000
P0IN	7F41	R	ポート0入力アドレス	XXXX_XXXX
P0DDR	7F42	R/W	ポート0データディレクションレジスタ	0000_0000
P0FSA	7F43	R/W	ポート0機能制御レジスタA	0000_0000
P1LAT	7F44	R/W	ポート1データラッチ	0000_0000
P1IN	7F45	R	ポート1入力アドレス	XXXX_XXXX
P1DDR	7F46	R/W	ポート1データディレクションレジスタ	0000_0000
P1FSA	7F47	R/W	ポート1機能制御レジスタA	0000_0000
P2LAT	7F48	R/W	ポート2データラッチ	0000_0000
P2IN	7F49	R	ポート2入力アドレス	XXXX_XXXX
P2DDR	7F4A	R/W	ポート2データディレクションレジスタ	0000_0000
P2FSA	7F4B	R/W	ポート2機能制御レジスタA	0000_0000
P3LAT	7F4C	R/W	ポート3データラッチ	0000_0000
P3IN	7F4D	R	ポート3入力アドレス	XXXX_XXXX
P3DDR	7F4E	R/W	ポート3データディレクションレジスタ	0000_0000
P3FSA	7F4F	R/W	ポート3機能制御レジスタA	0000_0000

注１．空欄は予約領域ですのでアクセスしないでください。

注２．システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
P4LAT	7F50	R/W	ポート4データラッチ	0000_0000
P4IN	7F51	R	ポート4入力アドレス	XXXX_XXXX
P4DDR	7F52	R/W	ポート4データディレクションレジスタ	0000_0000
P4FSA	7F53	R/W	ポート4機能制御レジスタA	0000_0000
P5LAT	7F54	R/W	ポート5データラッチ	0000_0000
P5IN	7F55	R	ポート5入力アドレス	XXXX_XXXX
P5DDR	7F56	R/W	ポート5データディレクションレジスタ	0000_0000
P5FSA	7F57	R/W	ポート5機能制御レジスタA	0000_0000
P6LAT	7F58	R/W	ポート6データラッチ	0000_0000
P6IN	7F59	R	ポート6入力アドレス	XXXX_XXXX
P6DDR	7F5A	R/W	ポート6データディレクションレジスタ	0000_0000
P7LAT	7F5C	R/W	ポート7データラッチ	0000_0000
P7IN	7F5D	R	ポート7入力アドレス	XXXX_XXXX
P7DDR	7F5E	R/W	ポート7データディレクションレジスタ	0000_0000
SMIC0CNT	7F60	R/W	I^2C 制御レジスタ0	0000_0000
SMIC0STA	7F61	R/W	I^2C ステイタスレジスタ0	0000_0000
SMIC0BRG	7F62	R/W	I^2C ボーレート制御レジスタ0	0000_0000
SMIC0BUF	7F63	R/W	I^2C データバッファ0	0000_0000
SMIC1CNT	7F64	R/W	I^2C 制御レジスタ1	0000_0000
SMIC1STA	7F65	R/W	I^2C ステイタスレジスタ1	0000_0000
SMIC1BRG	7F66	R/W	I^2C ボーレート制御レジスタ1	0000_0000
SMIC1BUF	7F67	R/W	I^2C データバッファ1	0000_0000
SMIC0PCNT	7F68	R/W	I^2C ポート制御レジスタ0	LLLL_0000
SMIC1PCNT	7F69	R/W	I^2C ポート制御レジスタ1	LLLL_0000
	7F6A			
	7F6B			
U2CNT0	7F6C	R/W	UART2制御レジスタ0	0010_0000
U2CNT1	7F6D	R/W	UART2制御レジスタ1	0000_0000
U2TBUF	7F6E	R/W	UART2送信データレジスタ	0000_0000
U2RBUF	7F6F	R	UART2受信データレジスタ	0000_0000
U3CNT0	7F70	R/W	UART3制御レジスタ0	0010_0000
U3CNT1	7F71	R/W	UART3制御レジスタ1	0000_0000
U3TBUF	7F72	R/W	UART3送信データレジスタ	0000_0000
U3RBUF	7F73	R	UART3受信データレジスタ	0000_0000
U2BG	7F74	R/W	UART2ボーレート制御レジスタ	0000_0000
U3BG	7F75	R/W	UART3ボーレート制御レジスタ	0000_0000
FSR0	7F76		システム予約レジスタ	
	7F77			
U4CNT0	7F78	R/W	UART4制御レジスタ0	0010_0000
U4CNT1	7F79	R/W	UART4制御レジスタ1	0000_0000
U4TBUF	7F7A	R/W	UART4送信データレジスタ	0000_0000
U4RBUF	7F7B	R	UART4受信データレジスタ	0000_0000

注１．空欄は予約領域ですのでアクセスしないでください。

注２．システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
U4BG	7F7C	R/W	UART4ボーレート制御レジスタ	0000_0000
	7F7D			
	7F7E			
	7F7F			
	7F80			
	7F81			
	7F82			
	7F83			
	7F84			
	7F85			
	7F86			
	7F87			
OSCPLLC	7F88	R/W	OSCPLL制御レジスタ	0000_0000
	7F89			
	7F8A			
	7F8B			
	7F8C			
	7F8D			
	7F8E			
	7F8F			
DA0CNT	7F90	R/W	DA0制御レジスタ	0L00_L000
DA0DAT	7F91	R/W	DA0データレジスタ	0000_0000
DA1CNT	7F92	R/W	DA1制御レジスタ	0L00_L000
DA1DAT	7F93	R/W	DA1データレジスタ	0000_0000
DAUS	7F94	R/W	DAスイッチ制御レジスタ	L000_L000
	7F95			
	7F96			
	7F97			
	7F98			
	7F99			
	7F9A			
	7F9B			
	7F9C			
	7F9D			
	7F9E			
	7F9F			
T4LR	7FA0	R/W	タイマ4一致データレジスタ下位	0000_0000
T4HR	7FA1	R/W	タイマ4一致データレジスタ上位	0000_0000
T5LR	7FA2	R/W	タイマ5一致データレジスタ下位	0000_0000
T5HR	7FA3	R/W	タイマ5一致データレジスタ上位	0000_0000
T45CNT	7FA4	R/W	タイマ4，5制御レジスタ	0000_0000
T67CNT	7FA5	R/W	タイマ6，7制御レジスタ	0000_0000
T6LR	7FA6	R/W	タイマ6一致データレジスタ下位	0000_0000
T6LR	7FA7	R/W	タイマ6一致データレジスタ上位	0000_0000

注１．空欄は予約領域ですのでアクセスしないでください。

注２．システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
T7LR	7FA8	R/W	タイマ7一致データレジスタ下位	0000_0000
T7HR	7FA9	R/W	タイマ7一致データレジスタ上位	0000_0000
PWM0AL	7FAA	R/W	PWM0Aコンペアレジスタ L	0000_LLLL
PWM0AH	7FAB	R/W	PWM0Aコンペアレジスタ H	0000_0000
PWM0BL	7FAC	R/W	PWM0Bコンペアレジスタ L	0000_LLLL
PWM0BH	7FAD	R/W	PWM0Bコンペアレジスタ H	0000_0000
PWM0C	7FAE	R/W	PWM0制御レジスタ	0000_0000
PWM0PR	7FAF	R/W	PWM0プリスケーラ	0000_0000
PWM1AL	7FB0	R/W	PWM1Aコンペアレジスタ L	0000_LLLL
PWM1AH	7FB1	R/W	PWM1Aコンペアレジスタ H	0000_0000
PWM1BL	7FB2	R/W	PWM1Bコンペアレジスタ L	0000_LLLL
PWM1BH	7FB3	R/W	PWM1Bコンペアレジスタ H	0000_0000
PWM1C	7FB4	R/W	PWM1制御レジスタ	0000_0000
PWM1PR	7FB5	R/W	PWM1プリスケーラ	0000_0000
TMCLK0	7FB6	R/W	タイマクロック設定レジスタ0	0000_0000
TMCLK1	7FB7	R/W	タイマクロック設定レジスタ1	0000_00L0
	7FB8			
	7FB9			
	7FBA			
	7FBB			
	7FBC			
	7FBD			
	7FBE			
	7FBF			
	7FC0			
	7FC1			
	7FC2			
	7FC3			
	7FC4			
	7FC5			
	7FC6			
	7FC7			
PALAT	7FC8	R/W	ポートAデータラッチ	0000_0000
PAIN	7FC9	R	ポートA入力アドレス	XXXX_XXXX
PADDR	7FCA	R/W	ポートAデータディレクションレジスタ	0000_0000
PAFSA	7FCB	R/W	ポートA機能制御レジスタA	0000_0000
PBLAT	7FCC	R/W	ポートBデータラッチ	L000_0000
PBIN	7FCD	R	ポートB入力アドレス	LXXX_XXXX
PBDDR	7FCE	R/W	ポートBデータディレクションレジスタ	L000_0000
PBFSA	7FCF	R/W	ポートB機能制御レジスタA	L000_0000
PCLAT	7FD0	R/W	ポートCデータラッチ	LLL0_0000
PCIN	7FD1	R	ポートC入力アドレス	LLLX_XXXX
PCDDR	7FD2	R/W	ポートCデータディレクションレジスタ	LLL0_0000
PCFSA	7FD3	R/W	ポートC機能制御レジスタA	LLL0_LLLL

注１．空欄は予約領域ですのでアクセスしないでください。

注２．システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
PDLAT	7FD4	R/W	ポートDデータラッチ	LL00_0000
PDIN	7FD5	R	ポートD入力アドレス	LLXX_XXXX
PDDDR	7FD6	R/W	ポートDデータディレクションレジスタ	LL00_0000
	7FD7			
INT01CR	7FD8	R/W	外部割り込み0，1制御レジスタ	0000_0000
INT23CR	7FD9	R/W	外部割り込み2，3制御レジスタ	0000_0000
INT45CR	7FDA	R/W	外部割り込み4，5制御レジスタ	0000_0000
INT67CR	7FDB	R/W	外部割り込み6，7制御レジスタ	0000_0000
IRQREG0	7FDC		システム予約レジスタ	
IRQREG1	7FDD		システム予約レジスタ1	
	7FDE			
	7FDF			
RTS1ADRL	7FE0	R/W	RTS1ベースアドレスレジスタ下位	0000_0000
RTS1ADRH	7FE1	R/W	RTS1ベースアドレスレジスタ上位	L000_0000
RTS2ADRL	7FE2	R/W	RTS2ベースアドレスレジスタ下位	0000_0000
RTS2ADRH	7FE3	R/W	RTS2ベースアドレスレジスタ上位	L000_0000
RTS1CTR	7FE4	R/W	RTS1転送回数設定レジスタ	0000_0000
RTS2CTR	7FE5	R/W	RTS2転送回数設定レジスタ	0000_0000
SLIC0CNT	7FE8	R/W	SLIIC0制御レジスタ	0000_0000
SLIC0STA	7FE9	R/W	SLIIC0ステイタスレジスタ	0000_0000
SLIC0PCNT	7FEA	R/W	SLIIC0ポート制御レジスタ	0000_0000
SLIC0BUF	7FEB	R/W	SLIIC0データバッファ	0000_0000
	7FEA			
	7FEB			
	7FEC			
	7FED			
PINT0F	7FEE	R/W	ポート5割り込みフラグ	0000_0000
	7FEF			
	7FF0			
P1FSB	7FF1	R/W	ポート1機能制御レジスタB	0000_0000
P2FSB	7FF2	R/W	ポート2機能制御レジスタB	0000_0000
P3FSB	7FF3	R/W	ポート3機能制御レジスタB	0000_0000
P4FSB	7FF4	R/W	ポート4機能制御レジスタB	0000_0000
P5FSB	7FF5	R/W	ポート5機能制御レジスタB	0000_0000
P6FSB	7FF6	R/W	ポート6機能制御レジスタB	0000_0000
P7FSB	7FF7	R/W	ポート7機能制御レジスタB	0000_0000
	7FF8			
	7FF9			
PAFSB	7FFA	R/W	ポートA機能制御レジスタB	0000_0000
PBFSB	7FFB	R/W	ポートB機能制御レジスタB	L000_0000
	7FFC			
PDFSB	7FFD	R/W	ポートD機能制御レジスタB	LL00_0000
RTSTST	7FFE	R/W	RTSテストレジスタ	0000_0000
RTSCNT	7FFF	R/W	RTS制御レジスタ	LL00_0000

注１．空欄は予約領域ですのでアクセスしないでください。

注２．システム予約レジスタはアクセスしないでください。

3 周辺システム構成

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ, データディレクションレジスタ, 機能制御レジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタにより1ビット毎に設定できます。
P0n（n＝0～5）は、外部割り込み端子としても使用でき、HOLDモード,HOLDXモードの解除も可能です。
P06、P07端子はタイマ0のPWM出力ポートとして使用することができます。

3-1-2 機能

①　　出力ポート （8ビット:P00～P07）

・ポート0データラッチ（P0LAT:7F40）でポート出力データの制御，ポート0データディレクションレジスタ（P0DDR:7F42）で入出力方向を制御します。
・端子に入力されたデータはポート0入力アドレス（P0IN:7F41）を通して読み込めます
・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み端子機能

・P0IE（P0FSA:7F43のビット0）が“1”の時、対応するP0DDR＜n＞が“0”のP00～P03端子のどれか1つにLレベルを入力するとP0FLG（P0FSA:7F43のビット1）に1がセットされHOLDモード,HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。
・P04IE（P0FSA:7F43のビット2）が“1”の時、P04端子にP04IL（P0FSA:7F43のビット4）で指定されたレベルを入力するとP04FLG（P0FSA:7F43のビット3）に1がセットされHOLDモード,HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。
・P05IE（P0FSA:7F43のビット5）が“1”の時、P05端子にP05IL（P0FSA:7F43のビット7）で指定されたレベルを入力するとP05FLG（P0FSA:7F43のビット6）に1がセットされHOLDモード,HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。

③兼用機能

・P06、P07はタイマ0PWM出力（T0PWML、T0PWMH）とのORを出力します。モードによりPWM動作しない場合のT0PWML、T0PWMH出力は0です。
・P07はUART0のボーレートクロックの入力を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	P0LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ（P0LAT）

①ポート0の出力データとプルアップ抵抗とポート0割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	P0LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-2 ポート0入力アドレス（P0IN）

①ポート0の端子データの読み込みを行うアドレスです。

②ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-3 ポート0データディレクションレジスタ（P0DDR）

①ポート0の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP0DDR＜n＞が“1”の時、ポートP0nは出力モードになり、ビットP0DDR＜n＞が“0”の時、ポートP0nは入力モードになります。

②ビットP0DDR＜n＞が“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-4 ポート0機能制御レジスタA（P0FSA）

①ポート0割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL（ビット7）：P05割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P05FLG（ビット6）：P05割り込み検出フラグ

P05割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE（ビット5）：P05割り込み動作制御

このヒットが“1”の時、P05割り込みが動作します。

このビットとP05FLGがともに“1”の時、HOLDモード，HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL（ビット4）：P04割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P04FLG（ビット3）：P04割り込み検出フラグ

P04割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE（ビット2）：P04割り込み動作制御

このヒットが“1”の時、P04割り込みが動作します。
このビットとP04FLGがともに“1”の時、HOLDモード，HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG（ビット1）：P0L割り込み検出フラグ

P0L割り込みの条件が満たされると“1”がセットされます。
このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE（ビット0）：P0L割り込み動作制御

このヒットが“1”の時、P0DDR＜n＞が“0”設定されたP0n（n＝0～3）に対しP0L割り込み検出が動作します。
このビットとP0FLGがともに“1”の時、HOLDモード，HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-1-4 レジスタ設定毎のポート状態

レジスタデータ		ポートP0nの状態	
P0LAT＜n＞	P0DDR＜n＞	入力	出力
0	0	可能	オープン
1	0	可能	内蔵プルアップ抵抗
0	1	可能	LOW
1	1	可能	HIGH

3-1-5 HALT，HOLD，HOLDX時の動作

HALT，HOLD，HOLDX時のポートの状態は、HALT，HOLD，HOLDX突入時の状態を保持します。

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-2-2 機能

①入出力ポート （8ビット:P10～P17）

・ポート1データラッチ（P1LAT:7F44）でポート出力データの制御，ポート1データディレクションレジスタ（P1DDR:7F46）で入出力方向を制御します。
また、ポート1機能制御レジスタA（P1FSA:7F47）、ポート1機能制御レジスタB（P1FSB:7FF1）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P10～P12はSIO0通信機能を兼用します。
・P13～P14はUART0への入出力を兼用します。
・P14～P15はタイマ3のPWM／トグル出力を兼用します。
・P16～P17はUART2の入出力を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ（P1LAT）

①ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-2 ポート1入力アドレス（P1IN）

①ポート1の端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-3 ポート1データディレクションレジスタ（P1DDR）

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-4 ポート1機能制御レジスタA（P1FSA）

①ポート1の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-5 ポート1機能制御レジスタB（P1FSB）

①ポート1の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-4 レジスタ設定毎のポート状態

（注）兼用機能への入力は端子データが取り込まれます。

3-2-4-1 P10の状態

レジスタデータ				ポートP10の状態		
P1FSA<0>	P1FSB<0>	P1LAT<0>	P1DDR<0>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	SIO0データ（CMOS反転）
1	0	0	1	可能	－	SIO0データ（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	SIO0データ（出力変化SLOW）
1	1	0	1	可能	－	SIO0データ（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-2-4-2 P11の状 態

レジスタデータ				ポートP11の状態		
P1FSA<1>	P1FSB<1>	P1LAT<1>	P1DDR<1>	端子データの読み込み	兼用機能への入力（SIO0データ）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0データ（CMOS反転）
1	0	0	1	可能	可能	SIO0データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	SIO0データ（出力変化SLOW）
1	1	0	1	可能	可能	SIO0データ（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-2-4-3 P12の状 態

レジスタデータ				ポートP12の状態		
P1FSA<2>	P1FSB<2>	P1LAT<2>	P1DDR<2>	端子データの読み込み	兼用機能への入力（SIO0クロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0クロック（CMOS反転）
1	0	0	1	可能	可能	SIO0クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	SIO0クロック（出力変化SLOW）
1	1	0	1	可能	可能	SIO0クロック（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-2-4-4 P13の状態

レジスタデータ				ポートP13の状態		
P1FSA<3>	P1FSB<3>	P1LAT<3>	P1DDR<3>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	UART0送信データ出力（CMOS反転）
1	0	0	1	可能	－	UART0送信データ出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	UART0送信データ出力（CMOS変化SLOW）
1	1	0	1	可能	－	UART0送信データ出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-2-4-5 P14の状 態

レジスタデータ				ポートP14の状態		
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	端子データの読み込み	兼用機能への入力 (UART0)	出力
0	0	0	0	可能	−	オープン
0	0	1	0	可能	−	内蔵プルアップ抵抗
0	0	0	1	可能	−	LOW
0	0	1	1	可能	−	HIGH
0	1	0	0	可能	−	LOW (出力変化SLOW)
0	1	1	0	可能	−	HIGH (出力変化SLOW)
0	1	0	1	可能	−	LOW
0	1	1	1	可能(反転)	−	オープン
1	0	0	0	可能	−	LOW
1	0	1	0	可能(反転)	−	タイマ3L出力 (CMOS反転)
1	0	0	1	可能	−	タイマ3L出力 (CMOS)
1	0	1	1	可能	−	HIGH
1	1	0	0	可能	−	LOW(変化SLOW)
1	1	1	0	可能	−	タイマ3L出力 (CMOS変化SLOW)
1	1	0	1	可能	−	タイマ3L出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-6 P15の状 態

レジスタデータ				ポートP15の状態		
P1FSA<5>	P1FSB<5>	P1LAT<5>	P1DDR<5>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	−	オープン
0	0	1	0	可能	−	内蔵プルアップ抵抗
0	0	0	1	可能	−	LOW
0	0	1	1	可能	−	HIGH
0	1	0	0	可能	−	LOW (出力変化SLOW)
0	1	1	0	可能	−	HIGH (出力変化SLOW)
0	1	0	1	可能	−	LOW
0	1	1	1	可能(反転)	−	オープン
1	0	0	0	可能	−	LOW
1	0	1	0	可能(反転)	−	タイマ3H出力 (CMOS反転)
1	0	0	1	可能	−	タイマ3H出力 (CMOS)
1	0	1	1	可能	−	HIGH
1	1	0	0	可能	−	LOW(変化SLOW)
1	1	1	0	可能	−	タイマ3H出力 (CMOS変化SLOW)
1	1	0	1	可能	−	タイマ3H出力 (Nchオープンドレイン)
1	1	1	1	可能	−	オープン

3-2-4-7 P16の状態

レジスタデータ				ポートP16の状態		
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	端子データの読み込み	兼用機能への入力（UART2受信）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（変化SLOW）
0	1	1	0	可能	－	HIGH（変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（変化SLOW）
1	1	1	0	可能	－	HIGH（変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-2-4-8 P17の状態

レジスタデータ				ポートP17の状態		
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW （出力変化SLOW）
0	1	1	0	可能	－	HIGH （出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	UART2送信データ出力 （CMOS反転）
1	0	0	1	可能	－	UART2送信データ出力 （CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（変化SLOW）
1	1	1	0	可能	－	UART2送信データ出力 （CMOS変化SLOW）
1	1	0	1	可能	－	UART2送信データ出力 （Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-2-5 HALT，HOLD，HOLDX時の動作

HALT，HOLD，HOLDX時のポートの状態は、HALT，HOLD，HOLDX突入時の状態を保持します。

3-3 ポート2

3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-3-2 機能

①入出力ポート （8ビット:P20～P27）

・ポート2データラッチ（P2LAT:7F48）でポート出力データの制御，ポート2データディレクションレジスタ（P2DDR:7F4A）で入出力方向を制御します。
また、ポート2機能制御レジスタA（P2FSA:7F4B）、ポート2機能制御レジスタB（P2FSB:7FF2）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P20，P21は外部割り込み入力（INT4，INT5）を兼用します。
・P22，P23，P24はシングルマスタIIC通信機能（SMIIC0）を兼用します。
・P25はタイマ4出力を兼用します。
・P26はタイマ5出力を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3 関連レジスタ

3-3-3-1 ポート2データラッチ（P2LAT）

①ポート2の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-2 ポート2入力アドレス（P2IN）

①ポート2の端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-3 ポート2データディレクションレジスタ（P2DDR）

①ポート2の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-4 ポート2機能制御レジスタA（P2FSA）

①ポート2の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-5 ポート2機能制御レジスタB（P2FSB）

①ポート2の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-4 レジスタ設定毎のポート状態

（注）兼用機能への入力は端子データが取り込まれます。

3-3-4-1 P20の状態

レジスタデータ				ポートP20の状態		
P2FSA<0>	P2FSB<0>	P2LAT<0>	P2DDR<0>	端子データの読み込み	兼用機能への入力（INT4入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能（反転）	可能（反転）	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能（反転）	可能（反転）	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-3-4-2 P21の状 態

レジスタデータ				ポートP21の状態		
P2FSA<1>	P2FSB<1>	P2LAT<1>	P2DDR<1>	端子データの読み込み	兼用機能への入力（INT5入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可 能	LOW
0	0	1	1	可能	可 能	HIGH
0	1	0	0	可能	可 能	LOW（出力変化SLOW）
0	1	1	0	可能	可 能	HIGH（出力変化SLOW）
0	1	0	1	可能	可 能	LOW
0	1	1	1	可能(反転)	可 能 (反 転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-3-4-3 P22の状 態

レジスタデータ				ポートP22の状態		
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	端子データの読み込み	兼用機能への入力（SMIIC0クロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIIC0クロック出力（CMOS反転）
1	0	0	1	可能	可能	SMIIC0クロック出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIIC0クロック出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SMIIC0クロック出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-3-4-4 P23の状態

レジスタデータ				ポートP23の状態		
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	端子データの読み込み	兼用機能への入力（SMIIC0データ）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIIC0データ出力（CMOS反転）
1	0	0	1	可能	可能	SMIIC0データ出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIIC0データ出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SMIIC0データ出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-3-4-5 P24の状態

レジスタデータ				ポートP24の状態		
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	SMIIC0データ出力（CMOS反転）
1	0	0	1	可能	－	SMIIC0データ出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	SMIIC0データ出力（CMOS変化SLOW）
1	1	0	1	可能	－	SMIIC0データ出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-3-4-6 P25の状 態

レジスタデータ				ポートP25の状態		
P2FSA＜5＞	P2FSB＜5＞	P2LAT＜5＞	P2DDR＜5＞	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	タイマ4出力（CMOS反転）
1	0	0	1	可能	－	タイマ4出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	タイマ4出力（CMOS変化SLOW）
1	1	0	1	可能	－	タイマ4出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-3-4-7 P26の状 態

レジスタデータ				ポートP26の状態		
P2FSA＜6＞	P2FSB＜6＞	P2LAT＜6＞	P2DDR＜6＞	端子データの読み込み	兼用機能への入力（UART2のクロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ5出力（CMOS反転）
1	0	0	1	可能	可能	タイマ5出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ5出力（CMOS変化SLOW）
1	1	0	1	可能	可能	タイマ5出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-3-4-8 P27の状態

レジスタデータ				ポートP27の状態		
P2FSA<7>	P2FSB<7>	P2LAT<7>	P2DDR<7>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-3-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-4 ポート3

3-4-1 概要

ポート3は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-4-2 機能

①入出力ポート （8ビット:P30～P37）

・ポート3データラッチ（P3LAT:7F4C）でポート出力データの制御，ポート3データディレクションレジスタ（P3DDR:7F4E）で入出力方向を制御します。
また、ポート3機能制御レジスタA（P3FSA:7F4F）、ポート3機能制御レジスタB（P3FSB:7FF3）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P30～P33は外部割り込み入力（INT0～INT3）を兼用します。
・P34、P35はUART3通信機能を兼用します。
・P36はタイマ6出力を兼用します。
・P37はタイマ7出力を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 0000	R/W	P3DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 0000	R/W	P3FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3 関連レジスタ

3-4-3-1 ポート3データラッチ（P3LAT）

①ポート3の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-2 ポート3入力アドレス（P3IN）

①ポート3の端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポート3のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-3 ポート3データディレクションレジスタ（P3DDR）

①ポート3の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 0000	R/W	P3DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-4 ポート3機能制御レジスタA（P3FSA）

①ポート3の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 0000	R/W	P3FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-5 ポート3機能制御レジスタB（P3FSB）

①ポート3の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-4 レジスタ設定毎のポート状態

（注）兼用機能への入力は端子データが取り込まれます。

3-4-4-1 P30の状態

レジスタデータ				ポートP30の状態		
P3FSA<0>	P3FSB<0>	P3LAT<0>	P3DDR<0>	端子データの読み込み	兼用機能への入力（INT0入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能]	可能	LOW
0	1	1	1	可能（反転）	可能（反転）	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能（反転）	可能（反転）	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-2 P31の状 態

レジスタデータ				ポートP31の状態		
P3FSA＜1＞	P3FSB＜1＞	P3LAT＜1＞	P3DDR＜1＞	端子データの読み込み	兼用機能への入力（INT1入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-3 P32の状 態

レジスタデータ				ポートP32の状態		
P3FSA＜2＞	P3FSB＜2＞	P3LAT＜2＞	P3DDR＜2＞	端子データの読み込み	兼用機能への入力（INT2入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-4 P33の状態

レジスタデータ				ポートP33の状態		
P3FSA<3>	P3FSB<3>	P3LAT<3>	P3DDR<3>	端子データの読み込み	兼用機能への入力（INT3入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-5 P34の状態

レジスタデータ				ポートP34の状態		
P3FSA<4>	P3FSB<4>	P3LAT<4>	P3DDR<4>	端子データの読み込み	兼用機能への入力（UART3受信）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW(変化SLOW)
0	1	1	0	可能	－	HIGH(変化SLOW)
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-6 P35の状 態

レジスタデータ				ポートP35の状態		
P3FSA＜5＞	P3FSB＜5＞	P3LAT＜5＞	P3DDR＜5＞	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	−	オープン
0	0	1	0	可能	−	内蔵プルアップ抵抗
0	0	0	1	可能	−	LOW
0	0	1	1	可能	−	HIGH
0	1	0	0	可能	−	LOW (出力変化SLOW)
0	1	1	0	可能	−	HIGH (出力変化SLOW)
0	1	0	1	可能	−	LOW
0	1	1	1	可能(反転)	−	オープン
1	0	0	0	可能	−	LOW
1	0	1	0	可能(反転)	−	UART3送信データ出力 (CMOS反転)
1	0	0	1	可能	−	UART3送信データ出力 (CMOS)
1	0	1	1	可能	−	HIGH
1	1	0	0	可能	−	LOW(変化SLOW)
1	1	1	0	可能	−	UART3送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	−	UART3送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	−	オープン

3-4-4-7 P36の状 態

レジスタデータ				ポートP36の状態		
P3FSA＜6＞	P3FSB＜6＞	P3LAT＜6＞	P3DDR＜6＞	端子データの読み込み	兼用機能への入力 (UART3のクロック)	出力
0	0	0	0	可能	−	オープン
0	0	1	0	可能	−	内蔵プルアップ抵抗
0	0	0	1	可能	−	LOW
0	0	1	1	可能	−	HIGH
0	1	0	0	可能	−	LOW (出力変化SLOW)
0	1	1	0	可能	−	HIGH (出力変化SLOW)
0	1	0	1	可能	−	LOW
0	1	1	1	可能(反転)	−	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ6出力 (CMOS反転)
1	0	0	1	可能	可能	タイマ6出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ6出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	タイマ6出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-4-4-8 P37の状態

レジスタデータ				ポートP37の状態		
P3FSA<7>	P3FSB<7>	P3LAT<7>	P3DDR<7>	端子データの読み込み	兼用機能への入力（UART4クロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ7出力（CMOS反転）
1	0	0	1	可能	可能	タイマ7出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ7出力（CMOS変化SLOW）
1	1	0	1	可能	可能	タイマ7出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-4-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-5 ポート4

3-5-1 概要

ポート4は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-5-2 機能

①入出力ポート （8ビット:P40～P47）

・ポート4データラッチ（P4LAT:7F50）でポート出力データの制御，ポート4データディレクションレジスタ（P4DDR:7F52）で入出力方向を制御します。
また、ポート4機能制御レジスタA（P4FSA:7F53）、ポート4機能制御レジスタB（P4FSB:7FF4）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P40，P41は外部割り込み入力（INT6，INT7）を兼用します。

・P43～P45はSIO1通信機能を兼用します。

・P46，P47はPWM0出力を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3 関連レジスタ

3-5-3-1 ポート4データラッチ（P4LAT）

①ポート4の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-2 ポート4入力アドレス（P4IN）

①ポート4の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート4のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-3 ポート4データディレクションレジスタ（P4DDR）

①ポート4の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-4 ポート4機能制御レジスタA（P4FSA）

①ポート4の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-5 ポート4機能制御レジスタB（P4FSB）

①ポート4の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-4 レジスタ設定毎のポート状態

（注）兼用機能への入力は端子データが取り込まれます。

3-5-4-1 P40の状態

レジスタデータ				ポートP40の状態		
P4FSA<0>	P4FSB<0>	P4LAT<0>	P4DDR<0>	端子データの読み込み	兼用機能への入力（INT6 入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-5-4-2 P41の状 態

レジスタデータ				ポートP41の状態		
P4FSA＜1＞	P4FSB＜1＞	P4LAT＜1＞	P4DDR＜1＞	端子データの読み込み	兼用機能への入力（INT7入力）	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW（出力変化SLOW）
0	1	1	0	可能	可能	HIGH（出力変化SLOW）
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	HIGH（出力変化SLOW）
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-5-4-3 P42の状 態

レジスタデータ				ポートP42の状態		
P4FSA＜2＞	P4FSB＜2＞	P4LAT＜2＞	P4DDR＜2＞	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-5-4-4 P43の状態

レジスタデータ				ポートP43の状態		
P4FSA<3>	P4FSB<3>	P4LAT<3>	P4DDR<3>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	SIO1データ（CMOS反転）
1	0	0	1	可能	－	SIO1データ（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	SIO1データ（出力変化SLOW）
1	1	0	1	可能	－	SIO1データ（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-5-4-5 P44の状態

レジスタデータ				ポートP44の状態		
P4FSA<4>	P4FSB<4>	P4LAT<4>	P4DDR<4>	端子データの読み込み	兼用機能への入力（SIO1データ）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO1データ（CMOS反転）
1	0	0	1	可能	可能	SIO1データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	SIO1データ（出力変化SLOW）
1	1	0	1	可能	可能	SIO1データ（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-5-4-6 P45の状 態

レジスタデータ				ポートP45の状態		
P4FSA＜5＞	P4FSB＜5＞	P4LAT＜5＞	P4DDR＜5＞	端子データの読み込み	兼用機能への入力（SIO1クロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能（反転）	可能（反転）	SIO1クロック（CMOS反転）
1	0	0	1	可能	可能	SIO1クロック（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	1	0	可能	可能	SIO1クロック（出力変化SLOW）
1	1	0	1	可能	可能	SIO1クロック（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-5-4-7 P46の状 態

レジスタデータ				ポートP46の状態		
P4FSA＜6＞	P4FSB＜6＞	P4LAT＜6＞	P4DDR＜6＞	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	PWM0A出力（CMOS反転）
1	0	0	1	可能	－	PWM0A出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（変化SLOW）
1	1	1	0	可能	－	PWM0A出力（CMOS変化SLOW）
1	1	0	1	可能	－	PWM0A出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-5-4-8 P47の状態

レジスタデータ				ポートP47の状態		
P4FSA<7>	P4FSB<7>	P4LAT<7>	P4DDR<7>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	PWM0B出力（CMOS反転）
1	0	0	1	可能	－	PWM0B出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（変化SLOW）
1	1	1	0	可能	－	PWM0B出力（CMOS変化SLOW）
1	1	0	1	可能	－	PWM0B出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-5-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-6 ポート5

3-6-1 概要

ポート5は、8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に動作設定できます。また、外部割り込み端子として使用することができます。

3-6-2 機能

①入出力ポート （8ビット:P50～P57）

・ポート5データラッチ（P5LAT:7F54）でポート出力データの制御，ポート5データディレクションレジスタ（P5DDR:7F56）で入出力方向を制御します。
また、ポート5機能制御レジスタB（P5FSB:7FF5）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み端子機能

・ポート5機能制御レジスタA（P5FSA:7FC6）でビット毎にポート割り込み端子に設定できます。

・割り込み端子に設定された端子に対応したP5LATn、P5DDRn検出モードを設定を行い、P5FSBnで検出クロックの設定を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3 関連レジスタ

3-6-3-1 ポート5データラッチ（P5LAT）

①ポート5の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

②割り込み端子設定時（P5FSAnが“1”の時）検出モードの設定を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-2 ポート5入力アドレス（P5IN）

①ポート5の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート5のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-3 ポート5データディレクションレジスタ（P5DDR）

①ポート5の入出力方向の制御をビット毎に行う8ビットのレジスタです。
②割り込み端子設定時（P5FSAnが“1”の時）検出モードの設定を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-4 ポート5機能制御レジスタA（P5FSA）

①ポート5の割り込み端子選択を行う8ビットのレジスタです。
②“1”をセットしたビットに対応した端子が割り込み端子になります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

＊ポート5割り込みの詳細は「ポート5割り込み機能」を参照してください。

3-6-3-5 ポート5機能制御レジスタB（P5FSB）

①ポート5の入出力機能選択を行う8ビットのレジスタです。
②割り込みのサンプリングクロックの設定を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-4 レジスタ設定毎のポート状態

レジスタデータ				ポートP5nの状態	
P5FSA<n>	P5FSB<n>	P5LAT<n>	P5DDR<n>	端子データの読み込み	出力
0	0	0	0	可能	オープン
0	0	1	0	可能	内蔵プルアップ抵抗
0	0	0	1	可能	LOW
0	0	1	1	可能	HIGH
0	1	0	0	可能	LOW(出力変化SLOW)
0	1	1	0	可能	HIGH(出力変化SLOW)
0	1	0	1	可能	LOW
0	1	1	1	可能(反転)	オープン
1	0	0	0	可能	オープン
1	0	1	0	可能(反転)	オープン
1	0	0	1	可能	オープン
1	0	1	1	可能	オープン
1	1	0	0	可能	オープン
1	1	1	0	可能	オープン
1	1	0	1	可能	オープン
1	1	1	1	可能	オープン

3-6-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-7 ポート6

3-7-1 概要

ポート6は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-7-2 機能

①入出力ポート （8ビット:P60～P67）

・ポート6データラッチ（P6LAT:7F58）でポート出力データの制御，ポート6データディレクションレジスタ（P6DDR:7F5A）で入出力方向を制御します。
ポート6機能制御レジスタB（P6FSB:7FF6）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P60～P67はADコンバータのアナログ入力AN0～AN7を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3 関連レジスタ

3-7-3-1 ポート6データラッチ（P6LAT）

①ポートの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-2 ポート6入力アドレス（P6IN）

①ポート6の端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポート6のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-3 ポート6データディレクションレジスタ（P6DDR）

①ポート6の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-4 ポート6機能制御レジスタB（P6FSB）

①ポート6の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-4 レジスタ設定毎のポート状態

（注）兼用機能ANn（n＝0～7）には端子のレベルが取り込まれます。

3-7-4-1 P60の状態

レジスタデータ			ポートP60の状態		
P6FSB＜0＞	P6LAT＜0＞	P6DDR＜0＞	端子データの読み込み	兼用機能への入力（AN0）	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-7-4-2 P61の状態

レジスタデータ			ポートP61の状態		
P6FSB＜1＞	P6LAT＜1＞	P6DDR＜1＞	端子データの読み込み	兼用機能への入力(AN1)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-7-4-3 P62の状態

レジスタデータ			ポートP62の状態		
P6FSB＜2＞	P6LAT＜2＞	P6DDR＜2＞	端子データの読み込み	兼用機能への入力(AN2)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-7-4-4 P63の状 態

レジスタデータ			ポートP63の状態		
P6FSB＜3＞	P6LAT＜3＞	P6DDR＜3＞	端子データの読み込み	兼用機能への入力 (AN3)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-5 P64の状 態

レジスタデータ			ポートP64の状態		
P6FSB＜4＞	P6LAT＜4＞	P6DDR＜4＞	端子データの読み込み	兼用機能への入力 (AN4)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-6 P65の状 態

レジスタデータ			ポートP65の状態		
P6FSB＜5＞	P6LAT＜5＞	P6DDR＜5＞	端子データの読み込み	兼用機能への入力 (AN5)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-7 P66の状態

レジスタデータ			ポートP66の状態		
P6FSB＜6＞	P6LAT＜6＞	P6DDR＜6＞	端子データの読み込み	兼用機能への入力 (AN6)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-8 P67の状態

レジスタデータ			ポートP67の状態		
P6FSB＜7＞	P6LAT＜7＞	P6DDR＜7＞	端子データの読み込み	兼用機能への入力 (AN7)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-8 ポート7

3-8-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-8-2 機能

①入出力ポート （8ビット:P70～P77）

・ポート7データラッチ（P7LAT:7F5C）でポート出力データの制御，ポート7データディレクションレジスタ（P7DDR:7F5D）で入出力方向を制御します。
ポート7機能制御レジスタB（P7FSB:7FF7）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・P70～P77はADコンバータのアナログ入力AN8～AN15を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	0000 0000	R/W	P7LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 0000	R/W	P7DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3 関連レジスタ

3-8-3-1 ポート7データラッチ（P7LAT）

①ポートの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	0000 0000	R/W	P7LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-2 ポート7入力アドレス（P7IN）

①ポート7の端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-3 ポート7データディレクションレジスタ（P7DDR）

①ポート7の入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 0000	R/W	P7DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-4 ポート7機能制御レジスタB（P7FSB）

①ポート7の機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-4 レジスタ設定毎のポート状態

（注）兼用機能ANn（n＝8～15）には端子のレベルが取り込まれます。

3-8-4-1 P70の状態

レジスタデータ			ポートP70の状態		
P7FSB＜0＞	P7LAT＜0＞	P7DDR＜0＞	端子データの読み込み	兼用機能への入力（AN8）	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-8-4-2 P71の状態

レジスタデータ			ポートP71の状態		
P7FSB＜1＞	P7LAT＜1＞	P7DDR＜1＞	端子データの読み込み	兼用機能への入力 (AN9)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-8-4-3 P72の状態

レジスタデータ			ポートP72の状態		
P7FSB＜2＞	P7LAT＜2＞	P7DDR＜2＞	端子データの読み込み	兼用機能への入力 (AN10)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW（出力変化SLOW）
1	1	0	可能	可能	HIGH（出力変化SLOW）
1	0	1	可能	可能	LOW
1	1	1	可能（反転）	可能	オープン

3-8-4-4 P73の状 態

レジスタデータ			ポートP73の状態		
P7FSB＜3＞	P7LAT＜3＞	P7DDR＜3＞	端子データの読み込み	兼用機能への入力 (AN11)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-5 P74の状 態

レジスタデータ			ポートP74の状態		
P7FSB＜4＞	P7LAT＜4＞	P7DDR＜4＞	端子データの読み込み	兼用機能への入力 (AN12)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-6 P75の状 態

レジスタデータ			ポートP75の状態		
P7FSB＜5＞	P7LAT＜5＞	P7DDR＜5＞	端子データの読み込み	兼用機能への入力 (AN13)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-7 P76の状態

レジスタデータ			ポートP76の状態		
P7FSB＜6＞	P7LAT＜6＞	P7DDR＜6＞	端子データの読み込み	兼用機能への入力 (AN14)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-8 P77の状態

レジスタデータ			ポートP77の状態		
P7FSB＜7＞	P7LAT＜7＞	P7DDR＜7＞	端子データの読み込み	兼用機能への入力 (AN15)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-9 ポートA

3-9-1 概要

ポートAは、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-9-2 機能

①入出力ポート （8ビット:PA0～PA7）

・ポートAデータラッチ（PALAT:7FC8）でポート出力データの制御，ポートAデータディレクションレジスタ（PADDR:7FCA）で入出力方向を制御します。
また、ポートA機能制御レジスタA（PAFSA:7FCB）、ポートA機能制御レジスタB（PAFSB:7FFA）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・PA4，PA5，PA6はスレーブ I^2C通信機能（SLIIC0）を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3 関連レジスタ

3-9-3-1 ポートAデータラッチ（PALAT）

①ポートAの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-2 ポートA入力アドレス（PAIN）

①ポートAの端子データの読み込みを行うアドレスです。
②反転入力指定されたポートは端子の反転データが読み込まれます。
③ポートAのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-3 ポートAデータディレクションレジスタ（PADDR）

①ポートAの入出力方向の制御をビット毎に行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-4 ポートA機能制御レジスタA（PAFSA）

①ポートAの機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

ビット7～4は0で使用してください。

3-9-3-5 ポートA機能制御レジスタB（PAFSB）

①ポートAの機能制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-4 レジスタ設定毎のポート状態

（注）兼用機能への入力は端子データが取り込まれます。

3-9-4-1 PA0の状態

レジスタデータ				ポートPA0の状態		
PAFSA<0>	PAFSB<0>	PALAT<0>	PADDR<0>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-9-4-2 PA1の状態

レジスタデータ				ポートPA1の状態		
PAFSA<1>	PAFSB<1>	PALAT<1>	PADDR<1>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-9-4-3 PA2の状態

レジスタデータ				ポートPA2の状態		
PAFSA<2>	PAFSB<2>	PALAT<2>	PADDR<2>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-9-4-4 ＰＡ3の状 態

レジスタデータ				ポートPA3の状態		
PAFSA<3>	PAFSB<3>	PALAT<3>	PADDR<3>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-9-4-5 ＰＡ4の状 態

レジスタデータ				ポートPA4の状態		
PAFSA<4>	PAFSB<4>	PALAT<4>	PADDR<4>	端子データの読み込み	兼用機能への入力（SLIICクロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SLIICクロック出力（CMOS反転）
1	0	0	1	可能	可能	SLIICクロック出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SLIICクロック出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SLIICクロック出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-9-4-6 PA5の状態

レジスタデータ				ポートPA5の状態		
PAFSA<5>	PAFSB<5>	PALAT<5>	PADDR<5>	端子データの読み込み	兼用機能への入力（SLIICデータ）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SLIICデータ出力（CMOS反転）
1	0	0	1	可能	可能	SLIICデータ出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SLIICデータ出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SLIICデータ出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-9-4-7 PA6の状態

レジスタデータ				ポートPA6の状態		
PAFSA<6>	PAFSB<6>	PALAT<6>	PADDR<6>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	SMIICデータ出力（CMOS反転）
1	0	0	1	可能	－	SMIICデータ出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	SMIICデータ出力（CMOS変化SLOW）
1	1	0	1	可能	－	SMIICデータ出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-9-4-8 PA7の状態

レジスタデータ				ポートPA7の状態		
PAFSA<7>	PAFSB<7>	PALAT<7>	PADDR<7>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（出力変化SLOW）
1	1	1	0	可能	－	HIGH（出力変化SLOW）
1	1	0	1	可能	－	オープン
1	1	1	1	可能	－	オープン

3-9-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-10 ポートB

3-10-1 概要

ポートBは、プログラマブル・プルアップ抵抗付きの7ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタA／B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-10-2 機能

①入出力ポート （7ビット:PB0～PB6）

・ポートBデータラッチ（PBLAT:7FCC）でポート出力データの制御，ポートBデータディレクションレジスタ（PBDDR:7FCE）で入出力方向を制御します。
また、ポートB機能制御レジスタA（PBFSA:7FCF）、ポートB機能制御レジスタB（PBFSB:7FFB）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・PB0、PB1はPWM1出力通信機能を兼用します。

・PB2、PB3はUART4通信機能を兼用します。

・PB4，PB5，PB6はシングルマスタ I^2C通信機能（SMIIC1）を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 0000	R/W	PBDDR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 0000	R/W	PBFSA	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3 関連レジスタ

3-10-3-1 ポートBデータラッチ（PBLAT）

①ポートBの出力データとプルアップ抵抗の制御を行う7ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-2 ポートB入力アドレス（PBIN）

①ポートBの端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポートBのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-3 ポートBデータディレクションレジスタ（PBDDR）

①ポートBの入出力方向の制御をビット毎に行う7ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 0000	R/W	PBDDR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-4 ポートB機能制御レジスタA（PBFSA）

①ポートBの機能制御を行う7ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 0000	R/W	PBFSA	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-5 ポートB機能制御レジスタB（PBFSB）

①ポートBの機能制御を行う7ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-4 レジスタ設定毎のポート状態

3-10-4-1 PB0の状態

レジスタデータ				ポートPB0の状態		
PBFSA＜0＞	PBFSB＜0＞	PBLAT＜0＞	PBDDR＜0＞	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能（反転）	－	PWM1A出力（CMOS反転）
1	0	0	1	可能	－	PWM1A出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW（変化SLOW）
1	1	1	0	可能	－	PWM1A出力（CMOS変化SLOW）
1	1	0	1	可能	－	PWM1A出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-10-4-2 PB1の状態

レジスタデータ				ポートPB1の状態		
PBFSA<1>	PBFSB<1>	PBLAT<1>	PBDDR<1>	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	PWM1B出力（CMOS反転）
1	0	0	1	可能	－	PWM1B出力（CMOS）
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	PWM1B出力（CMOS変化SLOW）
1	1	0	1	可能	－	PWM1B出力（Nchオープンドレイン）
1	1	1	1	可能	－	オープン

3-10-4-3 PB2の状態

レジスタデータ				ポートPB2の状態		
PBFSA<2>	PBFSB<2>	PBLAT<2>	PBDDR<2>	端子データの読み込み	兼用機能への入力（UART4受信）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW(変化SLOW)
0	1	1	0	可能	－	HIGH(変化SLOW)
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	HIGH
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-10-4-4 PB3の状態

レジスタデータ				ポートPB3 状態		
PBFSA＜3＞	PBFSB＜3＞	PBLAT＜3＞	PBDDR＜3＞	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW (出力変化SLOW)
0	1	1	0	可能	－	HIGH (出力変化SLOW)
0	1	0	1	可能	－	LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	LOW
1	0	1	0	可能(反転)	－	UART4送信データ出力 (CMOS反転)
1	0	0	1	可能	－	UART4送信データ出力 (CMOS)
1	0	1	1	可能	－	HIGH
1	1	0	0	可能	－	LOW(変化SLOW)
1	1	1	0	可能	－	UART4送信データ出力 (CMOS)変化SLOW)
1	1	0	1	可能	－	UART4送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	－	オープン

3-10-4-5 PB4の状態

レジスタデータ				ポートPB4の状態		
PBFSA<4>	PBFSB<4>	PBLAT<4>	PBDDR<4>	端子データの読み込み	兼用機能への入力（SMIIC1クロック）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能（反転）	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能（反転）	可能（反転）	SMIICクロック出力（CMOS反転）
1	0	0	1	可能	可能	SMIICクロック出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW（変化SLOW）
1	1	1	0	可能	可能	SMIICクロック出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SMIICクロック出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-10-4-6 PB5の状態

レジスタデータ				ポートPB5の状態		
PBFSA<5>	PBFSB<5>	PBLAT<5>	PBDDR<5>	端子データの読み込み	兼用機能への入力（SMIIC1データ）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIICデータ出力（CMOS反転）
1	0	0	1	可能	可能	SMIICデータ出力（CMOS）
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIICデータ出力（CMOS変化SLOW）
1	1	0	1	可能	可能	SMIICデータ出力（Nchオープンドレイン）
1	1	1	1	可能	可能	オープン

3-10-4-7 PB6の状態

レジスタデータ				ポートPB6の状態		
PBFSA＜6＞	PBFSB＜6＞	PBLAT＜6＞	PBDDR＜6＞	端子データの読み込み	兼用機能への入力（なし）	出力
0	0	0	0	可能	－	オープン
0	0	1	0	可能	－	内蔵プルアップ抵抗
0	0	0	1	可能	－	LOW
0	0	1	1	可能	－	HIGH
0	1	0	0	可能	－	LOW（出力変化SLOW）
0	1	1	0	可能	－	HIGH（出力変化SLOW）
0	1	0	1	可能		LOW
0	1	1	1	可能(反転)	－	オープン
1	0	0	0	可能	－	オープン
1	0	1	0	可能(反転)	－	LOW
1	0	0	1	可能	－	SMIICデータ出力（CMOS反転）
1	0	1	1	可能	－	SMIICデータ出力（CMOS）
1	1	0	0	可能	－	HIGH
1	1	1	0	可能	－	LOW(変化SLOW)
1	1	0	1	可能	－	SMIICデータ出力（CMOS変化SLOW）
1	1	1	1	可能	－	SMIICデータ出力（Nchオープンドレイン）

3-10-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-11 ポートC

3-11-1 概要

ポートCは、X'tal発振端子とCF発振端子を兼用した5ビットの入出力のポートです。データラッチ，データディレクションレジスタ，制御回路で構成され、PC0～PC1はOSC0が発振設定でないときに出力をデータディレクションレジスタによりビット毎に設定できます。

3-11-2 機能

①入出力ポート （5ビット:PC0～PC4）

・ポートCデータラッチ（PCLAT:7FD0）でポート出力データの制御，ポートCデータディレクションレジスタ（PCDDR:7FD2）で入出力を制御します。
注意:X'tal／CFの発振設定が優先されます。

②兼用機能

・PC0，PC1はX'tal発振端子を兼用します。
・PC2はVCO発振回路のフィルター接続端子を兼用します。
・PC3，PC4はCF発振端子を兼用します。
・PC4はVCO発振クロックの出力端子を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLL0 0000	R/W	PCDDR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD3	LLL0 LLLL	R/W	PCFSA	-	-	-	BIT4	-	-	-	-

3-11-3 関連レジスタ

3-11-3-1 ポートCデータラッチ（PCLAT）

①ポートCの出力データの制御を行う5ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-2 ポートC入力アドレス（PCIN）

①ポートCの端子データの読み込みを行うアドレスです。
②ポートCのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-3 ポートCデータディレクションレジスタ（PCDDR）

①ポートCの入出力方向の制御をビット毎に行う5ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLL0 0000	R/W	PCDDR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-4 ポートC機能制御レジスタA（PCFSA）

①ポートCの兼用機能出力を行う1ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD3	LLL0 LLLL	R/W	PCFSA	-	-	-	BIT4	-	-	-	-

3-11-4 レジスタ設定毎のポート状態

3-11-4-1 PC0の状態

レジスタデータ				ポートPC0の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT＜0＞	PCDDR＜0＞	端子データの読み込み	出力
1	1	x	x	XT発振モード	
XT 発振モード以外の設定		0	0	可能	オープン
		1	0	可能	オープン
		0	1	可能	LOW
		1	1	可能	HIGH

3-11-4-2 PC1の状態

レジスタデータ				ポートPC1 の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT＜1＞	PCDDR＜1＞	端子データの読み込み	出力
1	1	x	x	XT発振モード	
XT 発振モード以外の設定		0	0	可能	オープン
		1	0	可能	オープン
		0	1	可能	LOW
		1	1	可能	HIGH

3-11-4-3 PC2の状態

レジスタデータ		ポートPC2 の状態	
PCLAT＜2＞	PCDDR＜2＞	端子データの読み込み	出力
0	0	可能	オープン
1	0	可能	内蔵プルアップ
0	1	可能	LOW
1	1	可能	HIGH

＊ VCO発振使用時は出力オープン設定にしてください。

3-11-4-4 PC3の状態

レジスタデータ					ポートPC3の状態	
OCR0 ビット7	OCR0 ビット3	OCR0 ビット1	PCLAT＜3＞	PCDDR＜3＞	端子データの読み込み	出力
1	1	1	x	x	発振モード	
CF発振モード以外の設定			0	0	可能	オープン
			1	0	可能	オープン
			0	1	可能	LOW
			1	1	可能	HIGH

3-11-4-5 PC4の状態

レジスタデータ						ポートPC4の状態	
OCR0 ビット7	OCR0 ビット3	OCR0 ビット1	PCFSA＜4＞	PCLAT＜4＞	PCDDR＜4＞	端子データの読み込み	出力
1	1	1	x	x	x	発振モード	
CF発振モード以外の設定			0	0	0	可能	オープン
			0	1	0	可能	オープン
			0	0	1	可能	LOW
			0	1	1	可能	HIGH
			1	0	0	可能	オープン
			1	1	0	可能	オープン
			1	0	1	可能	VCO 発振出力
			1	1	1	可能	HIGH

3-11-5 HALT, HOLD, HOLDX時の動作

3-11-5-1 HALT時の動作

HALT時のポートの状態は、HALT突入時の状態を保持します。

3-11-5-2 HOLD時の動作

①汎用出力モード時、HOLDモード突入時の状態を保持します。
②XT発振モード時、PC0, PC1は汎用ポートに移行します。
③CF発振モード時、PC3, PC4は汎用ポートに移行します。

3-11-5-3 HOLDX時の動作

①汎用出力モード時、HOLDXモード突入時の状態を保持します。
②XT発振モード時、PC0, PC1は、HOLDXモード突入時の状態を保持します。
③CF発振モード時、PC3, PC4は汎用ポートに移行します。

3-12 ポートD

3-12-1 概要

ポートDは、プログラマブル・プルアップ抵抗付きの6ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-12-2 機能

①入出力ポート （6ビット:PD0～PD5）

・ポートDデータラッチ（PDLAT:7FD4）でポート出力データの制御，ポートDデータディレクションレジスタ（PDDDR:7FD6）で入出力方向を制御します。
ポートD機能制御レジスタB（PDFSB:7FFD）を制御することにより各種出力モードに対応します。

・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

・PD0～PD2はDAコンバータのアナログ出力DA00～DA02を兼用します。

・PD3～PD5はDAコンバータのアナログ出力DA10～DA12を兼用します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD4	LL00 0000	R/W	PDLAT	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 0000	R/W	PDDDR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFD	LL00 0000	R/W	PDFSB	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3 関連レジスタ

3-12-3-1 ポートDデータラッチ（PDLAT）

①ポートDの出力データとプルアップ抵抗の制御を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD4	LL00 0000	R/W	PDLAT	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-2 ポートD入力アドレス（PDIN）

①ポートDの端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポートDのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-3 ポートDデータディレクションレジスタ（PDDDR）

①ポートDの入出力方向の制御をビット毎に行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 0000	R/W	PDDDR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-4 ポートD機能制御レジスタB（PDFSB）

①ポート6の機能制御を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFD	LL00 0000	R/W	PDFSB	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-4 レジスタ設定毎のポート状態

3-12-4-1 PD0の状態

レジスタデータ			ポートPD0の状態		
PDFSB＜0＞	PDLAT＜0＞	PDDDR＜0＞	端子データの読み込み	兼用機能からの出力（DA00）	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW（出力変化SLOW）
1	1	0	可能	－	HIGH（出力変化SLOW）
1	0	1	可能	－	LOW
1	1	1	可能（反転）	可能	オープン

3-12-4-2 PD1の状態

レジスタデータ			ポートPD1の状態		
PDFSB＜1＞	PDLAT＜1＞	PDDDR＜1＞	端子データの読み込み	兼用機能からの出力(DA01)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW（出力変化SLOW）
1	1	0	可能	－	HIGH（出力変化SLOW）
1	0	1	可能	－	LOW
1	1	1	可能（反転）	可能	オープン

3-12-4-3 PD2の状態

レジスタデータ			ポートPD2の状態		
PDFSB＜2＞	PDLAT＜2＞	PDDDR＜2＞	端子データの読み込み	兼用機能からの出力(DA02)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW（出力変化SLOW）
1	1	0	可能	－	HIGH（出力変化SLOW）
1	0	1	可能	－	LOW
1	1	1	可能（反転）	可能	オープン

3-12-4-4 PD3の状態

レジスタデータ			ポートPD3の状態		
PDFSB＜3＞	PDLAT＜3＞	PDDDR＜3＞	端子データの読み込み	兼用機能からの出力(DA10)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW(出力変化SLOW)
1	1	0	可能	－	HIGH(出力変化SLOW)
1	0	1	可能	－	LOW
1	1	1	可能(反転)	可能	オープン

3-12-4-5 PD4の状態

レジスタデータ			ポートPD4の状態		
PDFSB＜4＞	PDLAT＜4＞	PDDDR＜4＞	端子データの読み込み	兼用機能からの出力(DA11)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW(出力変化SLOW)
1	1	0	可能	－	HIGH(出力変化SLOW)
1	0	1	可能	－	LOW
1	1	1	可能(反転)	可能	オープン

3-12-4-6 PD5の状態

レジスタデータ			ポートPD5の状態		
PDFSB＜5＞	PDLAT＜5＞	PDDDR＜5＞	端子データの読み込み	兼用機能からの出力(DA12)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	－	内蔵プルアップ抵抗
0	0	1	可能	－	LOW
0	1	1	可能	－	HIGH
1	0	0	可能	－	LOW(出力変化SLOW)
1	1	0	可能	－	HIGH(出力変化SLOW)
1	0	1	可能	－	LOW
1	1	1	可能(反転)	可能	オープン

3-12-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-13 外部割り込み機能（INTn）

3-13-1 概要

本シリーズは外部割り込み用入力端子INTn（n＝0～7）を内蔵しています。INTn（n＝0～7）は、それぞれLレベル、Hレベル、Lエッジ、Hエッジ，両エッジ検出を行い割り込み要求フラグをセットします。また、タイマ2のカウントクロック入力，キャプチャ信号入力，タイマ3のカウントクロック入力やHOLD／HOLDXモードの解除信号入力としても使用できます。

3-13-2 機能

①割り込み入力機能

・INTn（n＝0～7）はLレベル，Hレベル，Lエッジ，Hエッジ，両エッジ検出を行い、割り込みフラグをセットします。

②タイマ2カウント入力機能

INT2、INT3から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2にカウント信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2Tcyc毎にタイマ2にカウント信号を送ります。

③タイマ2Lキャプチャ入力機能

INT0、INT2、INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Lキャプチャ信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2Tcyc毎にタイマ2Lキャプチャ要求信号が発生します。

④タイマ2Hキャプチャ入力機能

INT1、INT3、INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Hキャプチャ信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2Tcyc毎にタイマ2Hキャプチャ要求信号が発生します。

⑤タイマ3カウント入力機能

INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ3にカウント信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2Tcyc毎にタイマ3にカウント信号を送ります。

⑥HOLDモード解除機能

・INTn(n＝0～7)で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振＝内蔵RC発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。

・HOLDモード時に、レベル割り込み指定されたINTn(n＝0～7)に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。

・HOLDモード時に、エッジ割り込み指定されたINTn(n＝0～7)に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。但し、HOLDモード突入時のINTn(n＝0～7)のデータが“H”の時のHエッジと、HOLDモード突入時のINTn(n＝0～7)のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。

⑦HOLDXモード解除機能

・INTn(n＝0～7)で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振＝HOLDX突入時の発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。

・HOLDXモード時に、レベル割り込み指定されたINTn(n＝0～7)に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。

・HOLDXモード時に、エッジ割り込み指定されたINTn(n＝0～7)に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。但し、HOLDXモード突入時のINTn(n＝0～7)のデータが“H”の時のHエッジと、HOLDXモード突入時のINTn(n＝0～7)のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。

	割り込み入力 信号検出	タイマカウント入力	キャプチャ入力	HOLDモード HOLDXモード解除
INT0	Lレベル, Hレベル Lエッジ, Hエッジ, 両エッジ(注)	－	タイマ2L	可能
INT1		－	タイマ2H	可能
INT2		タイマ2	タイマ2L	可能
INT3		タイマ2	タイマ2H	可能
INT4		タイマ3	タイマ2	可能
INT5		タイマ3	タイマ2	可能
INT6		－	－	可能
INT7		－	－	可能

(注)HOLD／HOLDXモードの解除要因が複数ある場合、両エッジ検出によるHOLD／HOLDX解除は使用しないでください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT1IF	INT1IE	INT0MD		INT0IF	INT0IE
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT3IF	INT3IE	INT2MD		INT2IF	INT2IE
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT5IF	INT5IE	INT4MD		INT4IF	INT4IE
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT7IF	INT7IE	INT6MD		INT6IF	INT6IE

3-13-3 関連レジスタ

3-13-3-1 外部割り込み0，1制御レジスタ（INT01CR）

①外部割り込み0，1の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT1IF	INT1IE	INT0MD		INT0IF	INT0IE

INT1MD（ビット7、6）:INT1検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT1MD	INT1割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT1IF（ビット5）:INT1割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット（INT1IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。

このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT1IE（ビット4）:INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。

INT0MD（ビット3、2）:INT0検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT0MD	INT0割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT0IF(ビット1):INT0割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。

このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。

3-13-3-2 外部割り込み2，3制御レジスタ(INT23CR)

①外部割り込み2，3の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT3IF	INT3IE	INT2MD		INT2IF	INT2IE

INT3MD(ビット7、6):INT3検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT3MD	INT3割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT3IF(ビット5):INT3割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。

このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT3IE(ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。

INT2MD(ビット3、2):INT2検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT2MD	INT2割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT2IF（ビット1）：INT2割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット（INT2IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT2IE（ビット0）：INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。

3-13-3-3 外部割り込み4，5制御レジスタ（INT45CR）

①外部割り込み4，5の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT5IF	INT5IE	INT4MD		INT4IF	INT4IE

INT5MD（ビット7、6）：INT5検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT5MD	INT5割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT5IF（ビット5）：INT5割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT5の割り込み要求許可ビット（INT5IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT5IE（ビット4）：INT5割り込み要求許可

このビットとINT5IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。

INT4MD（ビット3、2）：INT4検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT4MD	INT4割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT4IF（ビット1）：INT4割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット（INT4IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT4IE（ビット0）：INT4割り込み要求許可

このビットとINT4IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。

3-13-3-4 外部割り込み6，7制御レジスタ（INT67CR）

①外部割り込み6，7の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT7IF	INT7IE	INT6MD		INT6IF	INT6IE

INT7MD（ビット7、6）：INT7検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT7MD	INT7割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT7IF（ビット5）：INT7割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT7の割り込み要求許可ビット（INT7IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT7IE（ビット4）：INT7割り込み要求許可

このビットとINT7IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。

INT6MD（ビット3、2）：INT6検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT6MD	INT6割り込み条件
－	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
－	11	両エッジ検出

INT6IF（ビット1）：INT6割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT6の割り込み要求許可ビット（INT6IE）がともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT6IE（ビット0）：INT6割り込み要求許可

このビットとINT6IFがともに“1”の時、HOLD／HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。

3-13-4 INTn入力時のポート設定

3-13-4-1 INT0入力時のポート設定

レジスタデータ				ポートP30の状態
P3FSA＜0＞	P3FSB＜0＞	P3LAT＜0＞	P3DDR＜0＞	入力
0	0	0	0	INT0入力
0	1	1	1	INT0入力（極性反転）
1	1	1	1	INT0入力

3-13-4-2 INT1入力時のポート設定

レジスタデータ				ポートP31の状態
P3FSA＜1＞	P3FSB＜1＞	P3LAT＜1＞	P3DDR＜1＞	入力
0	0	0	0	INT1入力
0	1	1	1	INT1入力（極性反転）
1	1	1	1	INT1入力

3-13-4-3 INT2入力時のポート設定

レジスタデータ				ポートP32の状態
P3FSA＜2＞	P3FSB＜2＞	P3LAT＜2＞	P3DDR＜2＞	入力
0	0	0	0	INT2入力
0	1	1	1	INT2入力（極性反転）
1	1	1	1	INT2入力

3-13-4-4 INT3入力時のポート設定

レジスタデータ				ポートP33の状態
P3FSA＜3＞	P3FSB＜3＞	P3LAT＜3＞	P3DDR＜3＞	入力
0	0	0	0	INT3入力
0	1	1	1	INT3入力（極性反転）
1	1	1	1	INT3入力

3-13-4-5 INT4入力時のポート設定

レジスタデータ				ポートP20の状態
P2FSA＜0＞	P2FSB＜0＞	P2LAT＜0＞	P2DDR＜0＞	入力
0	0	0	0	INT4入力
0	1	1	1	INT4入力（極性反転）
1	1	1	1	INT4入力

3-13-4-6 INT5入力時のポート設定

レジスタデータ				ポートP21の状態
P2FSA＜1＞	P2FSB＜1＞	P2LAT＜1＞	P2DDR＜1＞	入力
0	0	0	0	INT5入力
0	1	1	1	INT5入力(極性反転)
1	1	1	1	INT5入力

3-13-4-7 INT6入力時のポート設定

レジスタデータ				ポートP40の状態
P4FSA＜0＞	P4FSB＜0＞	P4LAT＜0＞	P4DDR＜0＞	入力
0	0	0	0	INT6入力
0	1	1	1	INT6入力(極性反転)
1	1	1	1	INT6入力

3-13-4-8 INT7入力時のポート設定

レジスタデータ				ポートP41の状態
P4FSA＜1＞	P4FSB＜1＞	P4LAT＜1＞	P4DDR＜1＞	入力
0	0	0	0	INT7入力
0	1	1	1	INT7入力(極性反転)
1	1	1	1	INT7入力

3-14 ポート0割り込み機能

3-14-1 概要

本シリーズのポート0（P00～P05）はデジタル入出力機能のほか外部からの入力信号を検出して、割り込みやHOLD、HOLDXモードの解除を行うことができます。

3-14-2 機能

①割り込みフラグセット機能

・割り込み端子指定されたP00～P03のいずれかにLレベルを入力するとP0FLG（P0FSA:7F43のビット1）がセットされます。
・P04IE（P0FSA:7F43のビット2）が“1”の時、P04端子にP04IL（P0FSA:7F43のビット4）で指定されたレベルを入力するとP04FLG（P0FSA:7F43のビット3）に1がセットされます。
・P05IE（P0FSA:7F43のビット5）が“1”の時、P05端子にP05IL（P0FSA:7F43のビット7）で指定されたレベルを入力するとP05FLG（P0FSA:7F43のビット6）に1がセットされます。

②HOLDモード解除機能

・割り込みフラグセットがされると、HOLDモード解除信号が発生し、HOLDモードが解除されHALTモード（メイン発振＝内蔵RC）に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
・HOLDモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

③HOLDXモード解除機能

・割り込みフラグセットがされると、HOLDXモード解除信号が発生し、HOLDXモードが解除されHALTモード（メイン発振＝HOLDX突入時）に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
・HOLDXモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	P0LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

3-14-3 関連レジスタ

3-14-3-1 ポート0データラッチ（P0LAT）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	P0LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-3-2 ポート0入力アドレス(P0IN)

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-3-3 ポート0データディレクションレジスタ(P0DDR)

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-3-4 ポート0機能選択レジスタA(P0FSA)

①ポート0の割り込み機能を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL(ビット7):P05割り込みの検出モード
このビットが“1”の時、Hレベルを検出します。
このビットが“0”の時、Lレベルを検出します。

P05FLG(ビット6):P05割り込み検出フラグ
P05割り込みの条件が満たされると“1”がセットされます。
このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE(ビット5):P05割り込み動作制御
このヒットが“1”の時、P05割り込みが動作します。
このビットとP05FLGがともに“1”の時、HOLDモード,HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL(ビット4):P04割り込みの検出モード
このビットが“1”の時、Hレベルを検出します。
このビットが“0”の時、Lレベルを検出します。

P04FLG(ビット3):P04割り込み検出フラグ
P04割り込みの条件が満たされると“1”がセットされます。
このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE(ビット2):P04割り込み動作制御
このヒットが“1”の時、P04割り込みが動作します。
このビットとP04FLGがともに“1”の時、HOLDモード,HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG(ビット1):P0L割り込み検出フラグ
P0L割り込みの条件が満たされると“1”がセットされます。
このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE(ビット0):P0L割り込み動作制御
このヒットが“1”の時、P0DDR＜n＞が“0”設定されたP0n(n＝0～3)に対しP0L割り込み検出が動作します。
このビットとP0FLGがともに“1”の時、HOLDモード,HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-14-4 ポート0割り込みの設定

3-14-4-1 P0L割り込み設定

レジスタデータ(n＝0～3)			ポートP0nの状態(n＝0～3)	検出レベル
P0IE	P0LAT＜n＞	P0DDR＜n＞	出力	
1	0	0	内蔵プルアップ	“L”レベル
1	1	0	オープン	“L”レベル

3-14-4-2 P04割り込み設定

レジスタデータ				ポートP04の状態	検出レベル
P04IL	P04IE	P0LAT＜4＞	P0DDR＜4＞	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-14-4-3 P05割り込み設定

レジスタデータ				ポートP05の状態	検出レベル
P05IL	P05IE	P0LAT＜5＞	P0DDR＜5＞	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-15 ポート5割り込み機能

3-15-1 概要

本シリーズのポート5はデジタル入出力機能のほか外部からの入力信号を検出して、割り込みやHOLD、HOLDXモードの解除を行うことができます。

3-15-2 機能

①割り込みフラグ0セット機能

・立ち上りエッジを検出して割り込みフラグレジスタ0をセットします。
・立ち下りエッジを検出して割り込みフラグレジスタ0をセットします。

②サンプリングクロック選択

・通常動作時は信号検出のサンプリングクロックをシステムクロックとベースタイマクロックから選択することができます。
・通常動作時は割り込み検出されるようなデータ変化が起きてから割り込みフラグがセットされるまではサンプリングクロックの7倍～15倍の時間が必要です。

③HOLDモード解除機能

・割り込みフラグセットがされると、HOLDモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振＝内蔵RC)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
・HOLDモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

④HOLDXモード解除機能

・割り込みフラグセットがされると、HOLDXモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振＝HOLDX突入時)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
・HOLDXモード時はサンプリングクロックとしてベースタイマクロック(OSC0選択)を選択しない場合、割り込み検出できません。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEE	0000 0000	R/W	PINT0F	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3 関連レジスタ

3-15-3-1 ポート5データラッチ（P5LAT）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-2 ポート5入力アドレス（P5IN）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-3 ポート5データディレクションレジスタ（P5DDR）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-4 ポート5機能選択Aレジスタ（P5FSA）

①ポート5の割り込み端子選択する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-5 ポート5機能選択Bレジスタ（P5FSB）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

＊ポート5の詳細は「3－6 ポート5」を参照してください。

3-15-3-6 割り込みフラグレジスタ0

①割り込みを制御する8ビットのレジスタです。
②割り込み端子指定（P5FSAn＝1）された端子に対しフラグをセットするような信号変化があった場合対応したビットがセットされます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEE	0000 0000	R/W	PINT0F	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

BIT7（ビット7）：P57割り込みフラグ
BIT6（ビット6）：P56割り込みフラグ
BIT5（ビット5）：P55割り込みフラグ
BIT4（ビット4）：P54割り込みフラグ
BIT3（ビット3）：P53割り込みフラグ
BIT2（ビット2）：P52割り込みフラグ
BIT1（ビット1）：P51割り込みフラグ
BIT0（ビット0）：P50割り込みフラグ

＊このレジスタは自動的に“0”にクリアされませんので命令で0にしてください。

3-15-4 ポート5割り込みの設定

①レジスタ設定毎の検出モードの設定と検出時のサンプリングクロックの関係は以下のようになります。

レジスタデータ(n＝0～7)				割り込みモード	
P5FSA＜n＞	P5FSB＜n＞	P5DDR＜n＞	P5LAT＜n＞	サンプリングクロック	検出モード
1	0	0	0	システムクロック	検出しない
1	0	0	1	システムクロック	立ち下がりエッジ
1	0	1	0	システムクロック	立ち上がりエッジ
1	0	1	1	システムクロック	両エッジ
1	1	0	0	ベースタイマクロック	検出しない
1	1	0	1	ベースタイマクロック	立ち下がりエッジ
1	1	1	0	ベースタイマクロック	立ち上がりエッジ
1	1	1	1	ベースタイマクロック	両エッジ

＊通常動作時は割り込み検出されるようなデータが変化が起きてから割り込み検出されるまではサンプリングクロックの7倍～15倍の時間が必要です。

②HOLD、HOLDXモードの解除とレジスタ設定の関係は以下のようになります。

レジスタデータ(n＝0～7)					
P5FSA＜n＞	P5FSB＜n＞	P5DDR＜n＞	P5LAT＜n＞	HOLD 解除	HOLDX解除
1	0	0	0	×	×
1	0	0	1	○	×
1	0	1	0	○	×
1	0	1	1	○	×
1	1	0	0	×	×
1	1	0	1	○	○
1	1	1	0	○	○
1	1	1	1	○	○

3-16 タイマ0(T0)

3-16-1 概要

本シリーズ内蔵しているタイマ0(T0)は、次の8つの機能を持ったプリスケーラ付きの16ビットのタイマです。

①モード0:5ビットプリスケーラ付き16ビットタイマ
②モード1:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)＋8ビットPWM
③モード2:5ビットプリスケーラ付き8ビットPWM
④モード3:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)
⑤モード4:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)
⑥モード5:5ビットプリスケーラ付き8ビットタイマ＋8ビットトグル出力
⑦モード6:5ビットプリスケーラ付き8ビットPWM＋8ビットPWM
⑧モード7:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)＋8ビットトグル出力

3-16-2 機能

①モード0:5ビットプリスケーラ付き16ビットタイマ

・タイマ0(T0)はシステムクロック、OSC0、OSC1または内蔵RC発振をカウントする16ビットのプログラマブルタイマとして動作します。

T0の周期＝([(T0HR＜＜8)＋T0LR]＋1)×(PR＋1)×カウントクロック周期

・T0PWML, T0PWMHは“0”出力します。

②モード1:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)＋8ビットPWM

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。T0Hはシステムクロックをカウントする8ビットPWMとして動作します。
・T0PWMLはT0L周期毎にトグルする信号を出力します。
・T0PWMHは256Tcycを周期とするPWMとして動作します。
・T0周期

T0Lの周期＝(T0LR＋1)×(PR＋1)×カウントクロック周期
T0PWML周期＝T0L周期×2
T0Hの周期＝256Tcyc
T0PWMHのH期間＝(T0HR＋1)×Tcyc

③モード2:5ビットプリスケーラ付き8ビットPWM

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントとする8ビットPWMとして動作します。T0Hは動作停止しています。
・T0PWMLは周期256×(PR＋1)×カウントクロック周期のPWMとして動作します。
・T0PWMHは“0”出力します。

T0PWMLの周期＝256×(PR＋1)×カウントクロック周期
T0PWMLのH期間＝(T0LR＋1)×(PR＋1)×カウントクロック周期

④ モード3:5ビットプリスケーラ付き8ビットタイマ

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。T0Hは動作停止しています。
・T0PWMLはT0L周期毎にトグルする信号を出力します。
・T0PWMHは“0”出力します。

T0Lの周期＝(T0LR＋1)×(PR＋1)×カウントクロック周期
T0PWML周期＝T0L周期×2

⑤ モード4:5ビットプリスケーラ付き8ビットタイマ＋8ビットPWM

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。T0Hはシステムクロックをカウントする8ビットPWMとして動作します。
・T0PWMLは“0”出力します。
・T0PWMHは256Tcyc周期とするPWMとして動作します。

T0Hの周期＝256Tcyc
T0PWMHのH期間＝(T0HR＋1)×Tcyc

⑥ モード5:5ビットプリスケーラ付き8ビットタイマ＋8ビットトグル出力

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。T0Hはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
・T0PWMLは“0”出力します。
・T0PWMHはT0H周期毎にトグルする信号を出力します。

T0Hの周期＝(T0HR＋1)×Tcyc
T0PWMH周期＝T0H周期×2

⑦ モード6:5ビットプリスケーラ付き8ビットPWM＋8ビットPWM

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットPWMとして動作します。T0Hはシステムクロックをカウントする8ビットPWMとして動作します。
・T0PWMLは周期256×(PR＋1)×カウントクロック周期のPWMとして動作します。
・T0PWMHは256Tcyc周期とするPWMとして動作します。

T0PWMLの周期＝256×(PR＋1)×カウントクロック周期
T0PWMLのH期間＝(T0LR＋1)×(PR＋1)×カウントクロック周期
T0Hの周期＝256Tcyc
T0PWMHのH期間＝(T0HR＋1)×Tcyc

⑧ モード7:5ビットプリスケーラ付き8ビットタイマ(トグル出力付き)＋8ビットトグル出力

・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。T0Hはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
・T0PWMLはT0L周期毎にトグルする信号を出力します。
・T0PWMHはT0H周期毎にトグルする信号を出力します。

T0Lの周期＝(T0LR＋1)×(PR＋1)×カウントクロック周期
T0Hの周期＝(T0HR＋1)×Tcyc

⑨割り込みの発生

・タイマ0割り込み要求許可ビットがセットされている場合、T0L周期またはT0PWML周期で、T0割り込み要求を発生します。
・タイマ0ソフトウェア割り込み制御により、T0割り込み要求を発生します。

⑩タイマ0（T0）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T0LR, T0HR, T0CNT、T0PR
・P0LAT, P0DDR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	T0LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	T0HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	T0CNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE
7F13	0000 0000	R/W	T0PR	MODE			PR				

3-16-3 回路構成

3-16-3-1 タイマ0制御レジスタ（T0CNT） （8ビットレジスタ）

①T0の動作、割り込みの制御を行います。

3-16-3-2 タイマ0プリスケーラ制御レジスタ（T0PR）（8ビットレジスタ）

①T0プリスケーラの周期設定とタイマ0の8種類の動作モードの選択を行います。

3-16-3-3 タイマ0プリスケーラ （5ビットカウンタ）

①動作開始／停止：RUN（T0CNTのビット2）の0／1により、停止／動作が制御されます。
②カウントクロック：モードにより異なります。

モード	CKSEL	T0プリスケーラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

③一致信号：カウント値がPR（T0PRのビット4～0）の値と一致すると一致信号を発生します。
④リセット：動作停止時、または一致信号発生時。

3-16-3-4 タイマ0下位（T0L） （8ビットカウンタ）

①動作開始／停止：RUN（T0CNTのビット2）の0／1により、停止／動作が制御されます。
②カウントクロック：T0プリスケーラの一致信号
③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。（16ビットモード時は16ビットデータの一致が必要）
④リセット：動作停止時、または一致信号の発生時。

3-16-3-5　タイマ0上位（T0H）　（8ビットカウンタ）

①動作開始／停止：RUN（T0CNTのビット2）の0で停止、1の場合はモードにより異なります。

モード	MODE	T0Hの動作
0	000	動作
1	001	動作
2	010	停止
3	011	停止
4	100	動作
5	101	動作
6	110	動作
7	111	動作

②カウントクロック：モードにより異なります。

モード	MODE	T0Hのカウントクロック
0	000	T0Lのオーバーフロー
1	001	システムクロック
2	010	－
3	011	－
4	100	システムクロック
5	101	システムクロック
6	110	システムクロック
7	111	システムクロック

③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。（16ビットモード時は16ビットデータの一致が必要）

④リセット：動作停止時、または一致信号の発生時。

3-16-3-6　タイマ0一致データレジスタ下位（T0LR）　（一致バッファレジスタ付き8ビットレジスタ）

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位（T0L）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T0LRと一致バッファレジスタは同値となります。

・動作時には、T0Lの値が0になる時、一致バッファレジスタはT0LRの内容をロードします。

③T0Lのカウントクロックにシステムクロック以外を選択した場合、T0L動作時にT0LRの更新は、T0L一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-16-3-7 タイマ0一致データレジスタ上位（T0HR）（一致バッファレジスタ付き8ビットレジスタ）

①T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位（T0H）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T0HRと一致バッファレジスタは同値となります。

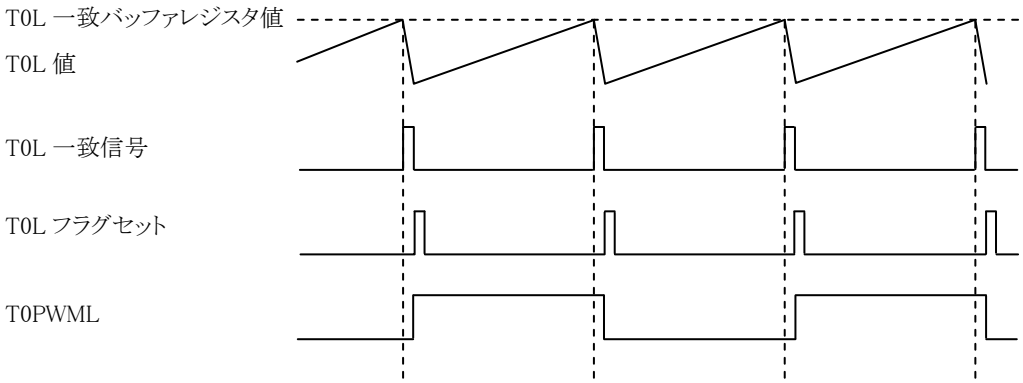
・動作時には、T0Hの値が0になる時、一致バッファレジスタはT0HRの内容をロードします。

③T0Hのカウントクロックにシステムクロック以外を選択した場合、T0H動作時にT0HRの更新は、T0H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

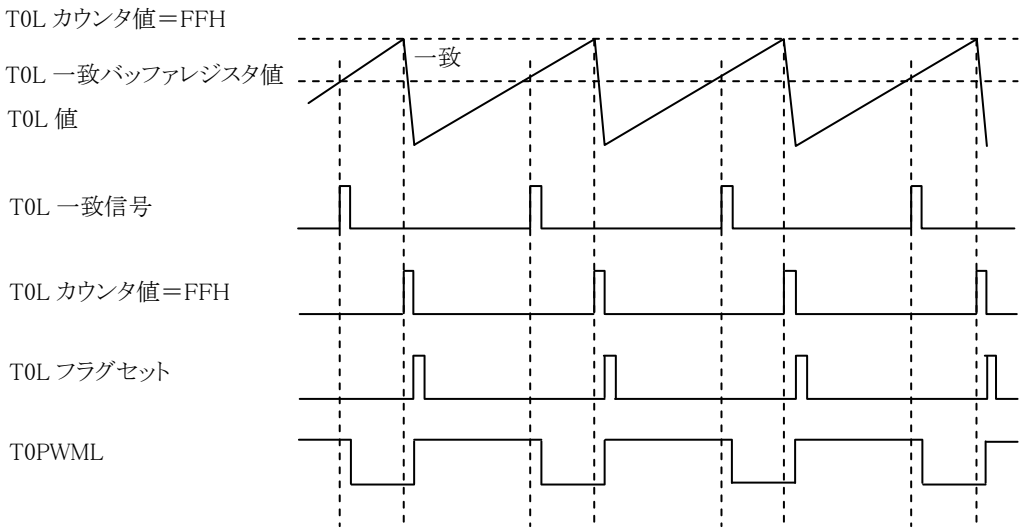
3-16-3-8　タイマ0下位出力（T0PWML）

①T0L動作停止時、T0PWMLの出力はLOW固定となります。
②モード0，4，5時、T0PWMLの出力はLOW固定となります。
③モード1，3，7時、T0L一致信号で変化するトグル出力。
④モード2、6時、T0Lのオーバーフローでセット、T0Lの一致信号でリセットされるPWM出力。

＜モード1, 3, 7＞



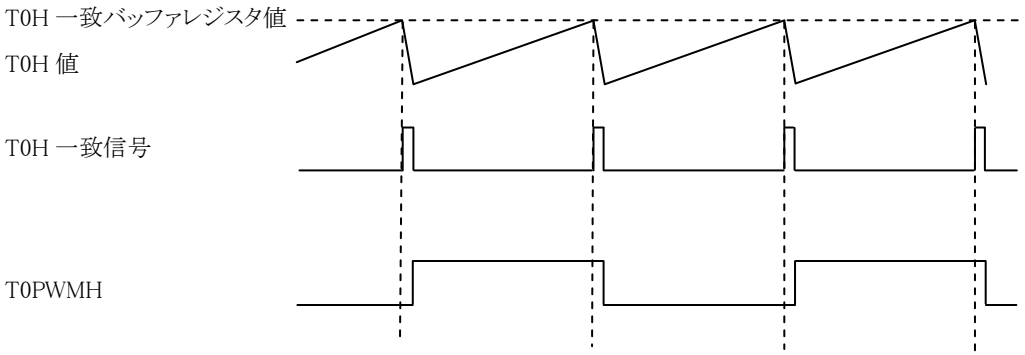
＜モード2, 6＞



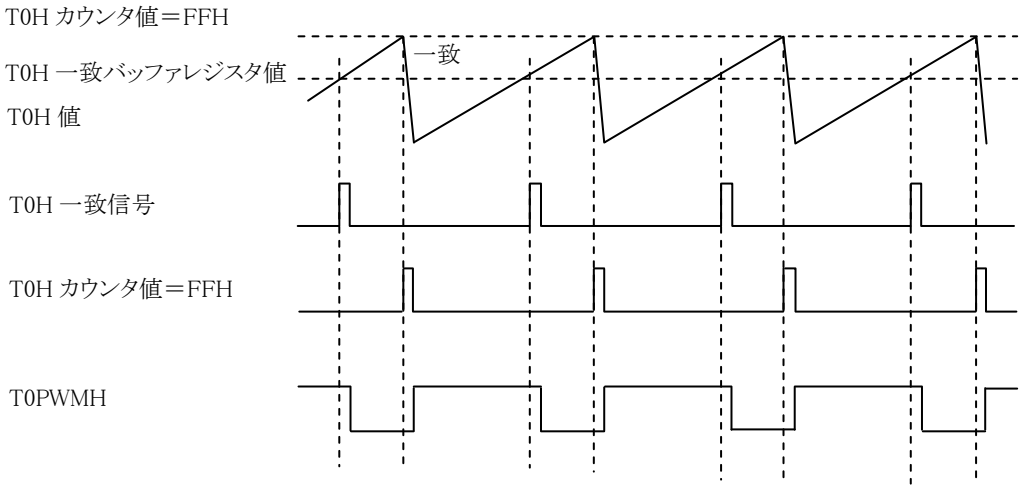
3-16-3-9 タイマ0上位出力（T0PWMH）

①T0H動作停止時、T0PWMHの出力はLOW固定となります。
②モード0，2，3時、T0PWMHの出力はLOW固定となります。
③モード5、7時、T0H一致信号で変化するトグル出力。
④モード1，4，6時、T0Hのオーバーフローでセット、T0Hの一致信号でリセットされるPWM出力。

＜モード5, 7＞



＜モード1, 4, 6＞



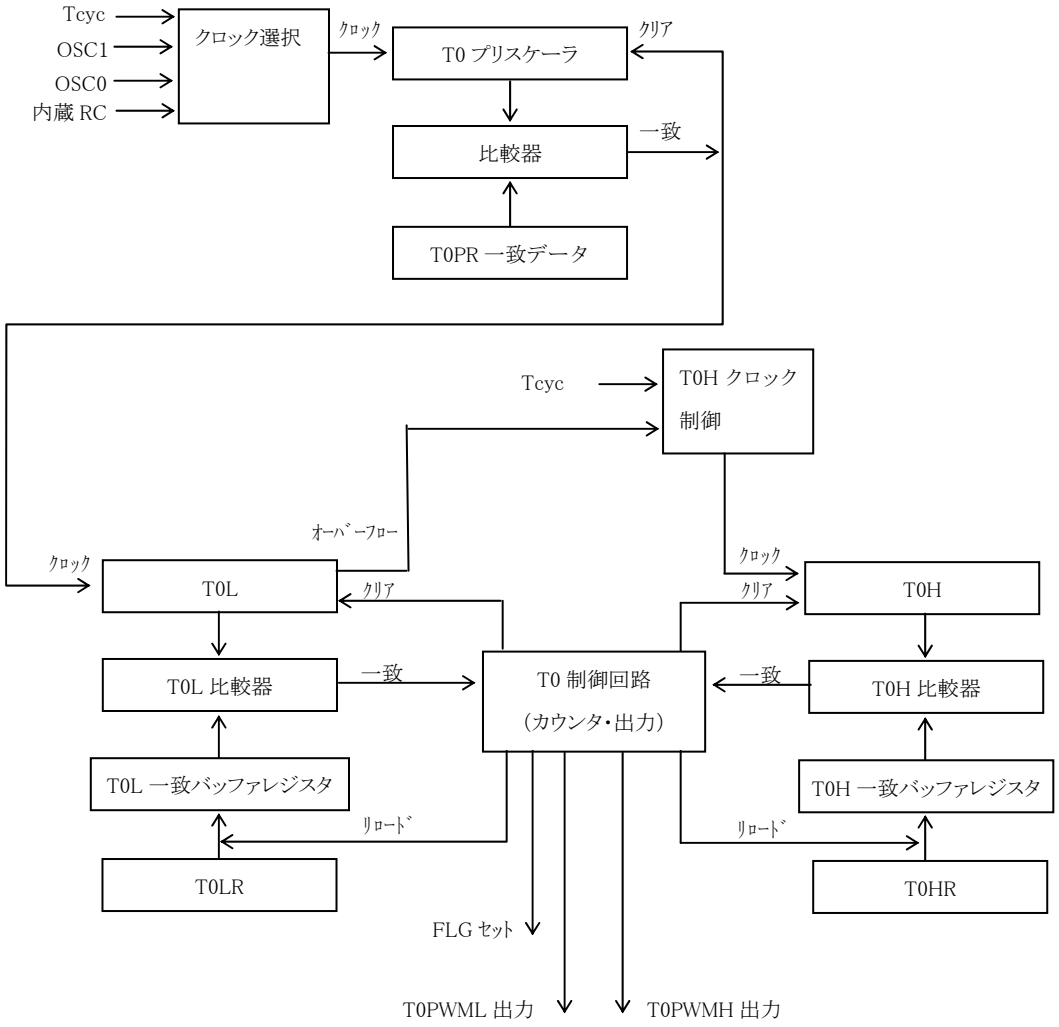


図３－１６－１　タイマ0ブロック図

3-16-4　関連レジスタ

3-16-4-1　タイマ0一致データレジスタ下位（T0LR）

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T0LRと一致バッファレジスタは同値となります。

・動作時には、T0Lの値が0になる時、一致バッファレジスタはT0LRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	T0LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-2 タイマ0一致データレジスタ上位（T0HR）

①T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T0HRと一致バッファレジスタは同値となります。

・動作時には、T0Hの値が0になる時、一致バッファレジスタはT0HRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	T0HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-3 タイマ0制御レジスタ（T0CNT）

①T0の動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	T0CNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE

SISTS（ビット7）：ソフトウェア割り込み状態

SIFLGとSIIEのANDデータを読めます。

このビットはリードオンリーです。

SIFLG（ビット6）：ソフトウェア割り込みフラグ

SIIE（ビット5）：ソフトウェア割り込み許可制御

ビット5とビット6がともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

CKSEL（ビット4，3）：T0カウントクロック選択0

上記2ビットでタイマ0のカウントクロックを選択します。

モード	CKSEL	T0プリスケーラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

RUN（ビット2）：T0カウント制御

このビットが0の時タイマ0（T0）は、カウント値0で停止し、T0の一致バッファレジスタ値はT0Rの値と同じです。

このビットが1の時タイマ0（T0）は、所定のカウント動作を行います。

FLG（ビット1）：T0一致フラグ

T0が動作している（RUN＝1）場合、T0が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

IE（ビット0）：T0割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

3-16-4-4　タイマ0プリスケーラ制 御 レジスタ（T0PR）

①ビット0～4でタイマ0プリスケーラのカウント数 を設 定 します。
②ビット5～7でタイマ0のモード選 択 を行 います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F13	0000 0000	R/W	T0PR	MODE			PR				

MODE（ビット7～5）:タイマ0モード選 択
上 記 3ビットでタイマ0のモード選 択 を行 います。

モード	MODE	T0Lの動作	T0Hの動作
0	000	16ビットタイマ	
1	001	8ビットタイマ（トグル出力）	8ビットPWM
2	010	8ビットPWM	停 止
3	011	8ビットタイマ（トグル出力）	停 止
4	100	8ビットタイマ	8ビットPWM
5	101	8ビットタイマ	一致カウンタ（トグル出力）
6	110	8ビットPWM	8ビットPWM
7	111	8ビットタイマ（トグル出力）	一致カウンタ（トグル出力）

PR（ビット4～0）:タイマ0プリスケーラ制 御
上 記 5ビットでタイマ0プリスケーラの周 期 を設 定 します。
T0PR周 期 ＝（PR＋1）×カウントクロック

3-16-5　タイマ0出 力 のポート設 定

①T0PWML（P06）

レジスタデータ		ポートP06の状態
P0LAT＜6＞	P0DDR＜6＞	
1	0	内蔵プルアップ
0	0	T0PWMLとP0LAT＜6＞のOR（内蔵プルアップ／オープン）
1	1	H出力
0	1	T0PWMLとP0LAT＜6＞のOR（H出力／L出力）

②T0PWMH（P07）

レジスタデータ		ポートP07の状態
P0LAT＜7＞	P0DDR＜7＞	
1	0	内蔵プルアップ
0	0	T0PWMHとP0LAT＜7＞のOR（内蔵プルアップ／オープン）
1	1	H出力
0	1	T0PWMHとP0LAT＜7＞のOR（H出力／L出力）

3-17 タイマ1(T1)

3-17-1 概要

本シリーズ内蔵しているタイマ1(T1)は、次の2つの機能を持ったプリスケーラ付きの16ビットのタイマです。

① モード0:5ビットプリスケーラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

② モード1:5ビットプリスケーラ付き8ビットタイマ(8ビットキャプチャレジスタ付き)×2ch

3-17-2 機能

① モード0:5ビットプリスケーラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

・タイマ1(T1)はシステムクロック、OSC0、OSC1または内蔵RCをカウントする16ビットのプログラマブルタイマとして動作します。

・キャプチャ許可時、命令でHFLGを1にすることでT1L、T1Hの内容をT1CAPL、T1CAPHに同時にキャプチャします。

・T1周期

T1の周期＝([(T1HR＜＜8)＋T1LR]＋1)×(PR＋1)×カウントクロック周期

② モード1:5ビットプリスケーラ付き8ビットタイマ(8ビットキャプチャレジスタ付き)×2ch

・タイマ1(T1)はシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとシステムクロックをカウントする8ビットタイマとして動作します。

・キャプチャ許可時、HFLGが1になるとT1Lの内容をT1CAPLにキャプチャします。

・キャプチャ許可時、FLGが1になるとT1Hの内容をT1CAPHにキャプチャします。

・T1周期

T1Lの周期＝(T1LR＋1)×(PR＋1)×カウントクロック周期

T1Hの周期＝(T1HR＋1)×Tcyc

③ 割り込みの発生

タイマ割り込み要求許可ビットがセットされている場合、T1LまたはT1Hのカウンタ周期で、T1LまたはT1H割り込み要求を発生します。

④ タイマ1(T1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T1LR, T1HR, T1CNT, T1PR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

3-17-3　回 路 構 成

3-17-3-1　タイマ1制 御 レジスタ（T1CNT）　（8ビットレジスタ）

①T1L，T1Hの動 作 、割 り込 みの制 御 を行 います。

3-17-3-2　タイマ1プリスケーラ制 御 レジスタ（T1PR）　（8ビットレジスタ）

①タイマ1のプリスケーラ設 定 とモード選 択 を行 います。

3-17-3-3　タイマ1プリスケーラ　（5ビットカウンタ）

①動 作 開 始 ／停 止 :RUN（T1CNTのビット2）の0／1により、停 止 ／動 作 が制 御 さ れます。

②カウントクロック:モードにより異 なります。

モード	CKSEL	T1プリスケーラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

③一 致 信 号 :カウント値 がPR（T1PRのビット4～0）の値 と一 致 すると一 致 信 号 を発 生 します。

④リセット:動 作 停 止 時 、または一 致 信 号 発 生 時 。

3-17-3-4　タイマ1下 位（T1L）　（8ビットカウンタ）

①動 作 開 始 ／停 止 :RUN（T1CNTのビット2）の0／1により、停 止 ／動 作 が制 御 さ れます。

②カウントクロック:T1プリスケーラの一 致 信 号

③一 致 信 号 :カウント値 が一 致 バッファレジスタの値 と一 致 すると一 致 信 号 を発 生 し ます。（16ビットモード時 は16ビットデータの一 致 が必 要 ）

④リセット:動 作 停 止 時 、または一 致 信 号 の発 生 時 。

3-17-3-5　タイマ1上 位（T1H）　（8ビットカウンタ）

①動 作 開 始 ／停 止 :モードにより異 なります。

モード	MDSELBIT	HRUN	RUN	T1Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック:モードにより異なります。

モード	MDSELBIT	T1Hのカウントクロック
0	0	T1Lのオーバーフロー信号
1	1	システムクロック

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-17-3-6 タイマ1一致データレジスタ下位(T1LR) (一致バッファレジスタ付き8ビットレジスタ)

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位(T1L)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T1LRと一致バッファレジスタは同値となります。

・動作時には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードします。

③T1Lのカウントクロックにシステムクロック以外を選択した場合、T1L動作時にT1LRの更新は、T1L一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-17-3-7 タイマ1一致データレジスタ上位(T1HR) (一致バッファレジスタ付き8ビットレジスタ)

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位(T1H)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T1HRと一致バッファレジスタは同値となります。

・動作時には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードします。

③T1Hのカウントクロックにシステムクロック以外を選択した場合、T1H動作時にT1HRの更新は、T1H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-17-3-8 タイマ1キャプチャレジスタ下位(T1CAPL) (8ビットレジスタ)

MDSELCPが1の時以下の条件でT1Lの値を保持します。

①HFLGが1になった時のT1Lのカウンタ値を保持。

3-17-3-9 タイマ1キャプチャレジスタ上位(T1CAPH) (8ビットレジスタ)

MDSELCPが1の時以下の条件でT1Hの値を保持します。

①16ビットタイマモード時、HFLGが1になった時のT1Hのカウンタ値を保持。

②8ビットタイマモード時、FLGが1になった時のT1Hのカウンタ値を保持。

タイマ１

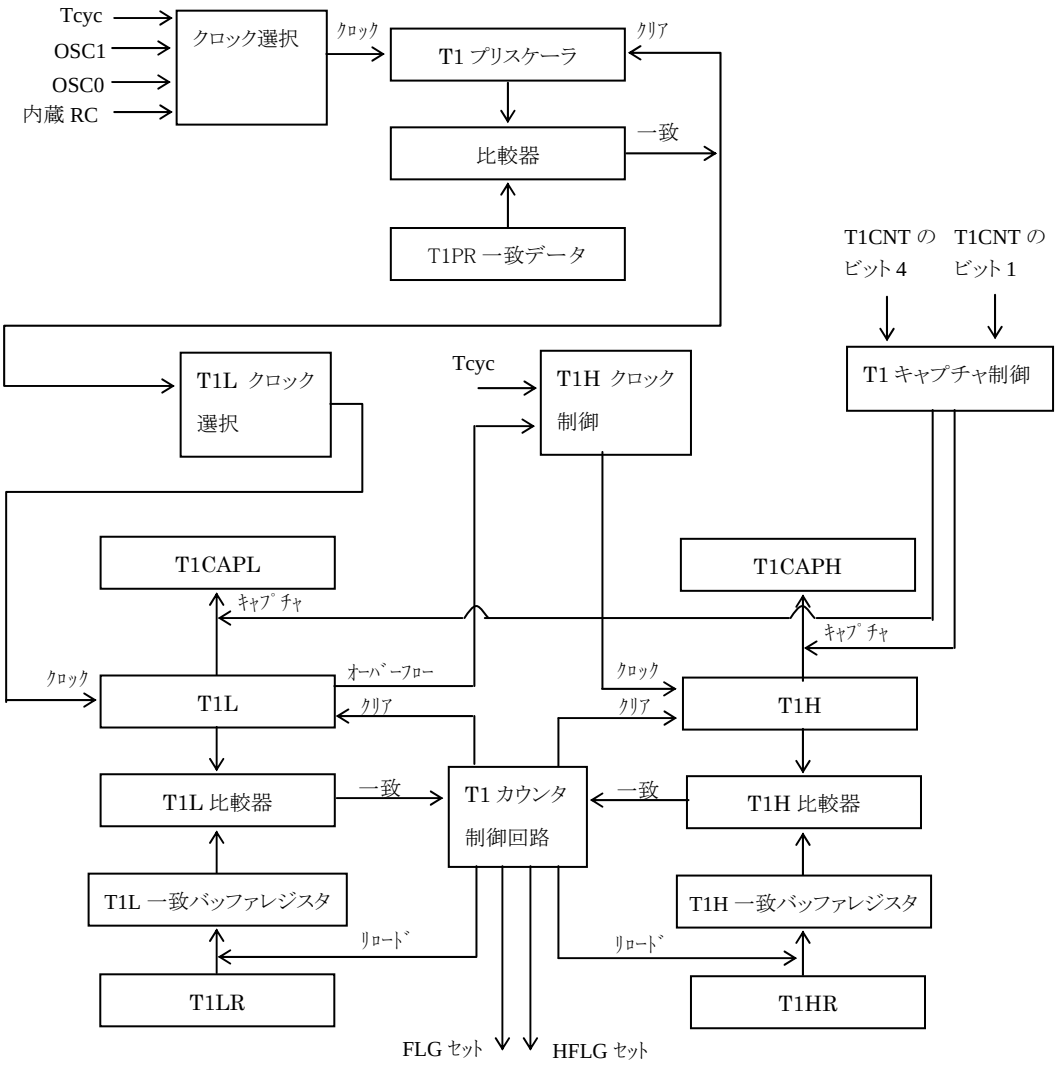


図３－１７－１　タイマ１ブロック図

3-17-4 関連レジスタ

3-17-4-1 タイマ1一致データレジスタ下位（T1LR）

①T1L用の一致データ格納用レジスタです。

②MDSELRDが1の時、T1CAPLの内容が読み出せます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-17-4-2 タイマ1一致データレジスタ上位（T1HR）

①T1H用の一致データ格納用レジスタです。

②MDSELRDが1の時、T1CAPHの内容が読み出せます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-17-4-3 タイマ1制御レジスタ（T1CNT）

①T1L，T1Hの動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE

HRUN（ビット7）：T1Hカウント制御

8ビットタイマモード時にT1Hカウント制御に使用します。

このビットが0の時タイマ1上位（T1H）は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。

このビットが1の時タイマ1上位（T2H）は、所定のカウント動作を行います。

HFLG（ビット6）：T1H一致フラグ

8ビットタイマモード時にT1H一致フラグとして使用します。

T1Hが動作している（HRUN＝1）場合、T1Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

このビットはキャプチャのトリガ信号になります。

HIE（ビット5）：T1H割り込み要求発生許可制御

8ビットタイマモード時にT1H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス8018Hへの割り込み要求が発生します。

CKSEL（ビット4、3）：T1カウントクロック選択

上記2ビットでタイマ1のカウントクロックを選択します。

モード	CKSEL	T1プリスケーラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

<u>タイマ１</u>

ＲＵＮ（ビット2）：Ｔ1カウント制 御

このビットが0の時 タイマ1（Ｔ1）は、カウント値 0で停 止 し、Ｔ1の一 致 バッファレジスタ値 はＴ1Ｒの値と同 じです。

このビットが1の時 タイマ1（Ｔ1）は、所 定 のカウント動 作 を行 います。

8ビットタイマモード時 はＴ1Ｌの制 御 に使 用 します。

ＦＬＧ（ビット1）：Ｔ1一 致 フラグ

Ｔ1が動 作 している（ＲＵＮ＝1）場 合 、Ｔ1が0に変 化 する時 にセットされます。

このフラグは、命 令 でクリアしてください。

8ビットタイマモード時 はＴ1Ｌの一 致 フラグに使 用 します。

このビットはキャプチャのトリガ信 号 になります。

ＩＥ（ビット0）：Ｔ1割 り込 み要 求 発 生 許 可 制 御

このビットとＦＬＧがともに1の時 、ベクタアドレス８０１８Ｈへの割 り込 み要 求 が発 生 します。

8ビットタイマモード時 はＴ1Ｌの割 り込 み制 御 に使 用 します。

注 意 ：ＦＬＧ，ＨＦＬＧは命 令 で0にしてください。

3-17-4-4　タイマ1プリスケーラ制 御 レジスタ（Ｔ1ＰＲ）

①タイマ1のカウントクロックとモードを設 定 します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

ＭＤＳＥＬＲＤ（ビット7）：レジスタ読 み出 し選 択

リードレジスタの選 択 を行 います。

このビットが1の時 、Ｔ1ＬＲ、Ｔ1ＨＲのアドレスを通 してＴ1ＣＡＰＬ、Ｔ1ＣＡＰＨの値 が読 み出 せます。

このビットが0の時 、Ｔ1ＬＲ、ＴＩＨＲはそのまま読 み出 せます。

ＭＤＳＥＬＢＩＴ（ビット6）：タイマ1カウンタ長 選 択

このビットが1の時 、タイマ1は8ビットタイマモードで動 作 します。

このビットが0の時 、タイマ1は16ビットタイマモードで動 作 します。

ＭＤＳＥＬＣＰ（ビット5）：タイマ1キャプチャ許 可

このビットが1の時 、キャプチャ条 件 が成 立 したときのタイマ1カウンタのデータをキャプチャレジスタに保 持 します。

このビットが0の時 、キャプチャ動 作 はしません。

MDSELBIT	T1Lキャプチャ条件	T1Hキャプチャ条件
0	HFLGが1	HFLGが1
1	HFLGが1	FLGが1

＊キャプチャレジスタはキャプチャ条 件 が成 立 している間 、保 持 されていますので読 み出 しはキャプチャ条 件 が成 立 している間 に行 ってください。

ＰＲ（ビット4～0）：タイマ1プリスケーラ制 御

上 記 5ビットでタイマ1プリスケーラの周 期 を設 定 します。

Ｔ1ＰＲ周 期 ＝（ＰＲ＋1）×カウントクロック

3-18 タイマ2(T2)

3-18-1 概要

本シリーズ内蔵しているタイマ2(T2)は、次の2つの機能を持ったプリスケーラ付きの16ビットのタイマです。

①モード0:4ビットプリスケーラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

②モード1:4ビットプリスケーラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き)×2ch

3-18-2 機能

① モード0:4ビットプリスケーラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

・タイマ2(T2)はシステムクロック、OSC0、OSC1または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
・INT0、INT2端子からの検出信号により、T2L、T2Hの内容をT2CP0L、T2CP0Hに同時にキャプチャします。
・T2周期
T2の周期＝([(T2HR＜＜8)＋T2LR]＋1)×(PR＋1)×カウントクロック周期

② モード1:4ビットプリスケーラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き)×2ch

・タイマ2(T2)はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
・INT0、INT2端子からの検出信号により、T2Lの内容をT2CP0Lにキャプチャします。
・INT1、INT3端子からの検出信号により、T2Hの内容をT2CP0Hにキャプチャします。
・T2周期(クロックソース:外部イベント非選択時)
T2Lの周期＝(T2LR＋1)×(PR＋1)×カウントクロック周期
T2Hの周期＝(T2HR＋1)×(PR＋1)×カウントクロック周期
・T2周期(クロックソース:外部イベント選択時)
T2Lの周期＝(T2LR＋1)×外部イベント
T2Hの周期＝(T2HR＋1)×(PR＋1)×(システムクロック周期又は外部イベント)

③割り込みの発生
タイマ割り込み要求許可ビットがセットされている場合、T2LまたはT2Hのカウンタ周期で、T2LまたはT2H割り込み要求を発生します。
又はキャプチャ割り込み要求ヒットがセットされている場合、キャプチャレジスタの更新時に割り込み要求を発生します。

④タイマ2(T2)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T2LR, T2HR, T2L, T2H, T2CNT0, T2CNT1, T2CNT2

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1	－	－	－	CP0SL		CP0HFLG	CP0LFLG	CPIE
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	－	PR			

3-18-3 回路構成

3-18-3-1 タイマ2制御レジスタ0(T2CNT0) (8ビットレジスタ)

①T2L, T2Hの動作、割り込みの制御を行います。

3-18-3-2 タイマ2制御レジスタ1(T2CNT1) (8ビットレジスタ)

①T2L, T2Hのキャプチャ動作制御を行います。

3-18-3-3 タイマ2制御レジスタ2(T2CNT2) (8ビットレジスタ)

①T2L, T2Hのカウントクロックの設定を行います。

3-18-3-4 タイマ2プリスケーラ (4ビットカウンタ)

①動作開始／停止:モードにより異なります。

モード	CTR8	HRUN	RUN	T2プリスケーラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	CTR8	EXISL	CKSL	T2プリスケーラのカウントクロック
0	−	−	00	システムクロック
1	0	0	01	INT2からのイベント入力
2	1	0	01	システムクロック
3	−	1	01	INT3からのイベント入力
4	−	−	10	OSC0
5	−	−	11	OSC1

③ 一致信号:カウント値がPR(T2CNT2のビット3～0)の値と一致すると一致信号を発生します。

④リセット:動作停止時、または一致信号発生時。

3-18-3-5 タイマ2下位(T2L) (8ビットカウンタ)

① 動作開始／停止:モードにより異なります。

モード	CTR8	HRUN	RUN	T2Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	CTR8	CKSL	T2Lのカウントクロック
0	−	00	T2プリスケーラの一致信号
1	0	01	T2プリスケーラの一致信号
2	1	01	INT2からのイベント入力
3	−	10	T2プリスケーラの一致信号
4	−	11	T2プリスケーラの一致信号

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-18-3-6 タイマ2上位(T2H) (8ビットカウンタ)

① 動作開始／停止:モードにより異なります。

モード	CTR8	HRUN	RUN	T2Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック:モードにより異なります。

モード	CTR8	T2Hのカウントクロック
0	0	T2Lのオーバーフロー信号
1	1	T2プリスケーラ一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-18-3-7 タイマ2一致データレジスタ下位(T2LR) (一致バッファレジスタ付き8ビットレジスタ)

①T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位(T2L)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T2LRと一致バッファレジスタは同値となります。

・動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードします。

③T2Lのカウントクロックにシステムクロック以外を選択した場合、T2L動作時にT2LRの更新は、T2L一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-18-3-8 タイマ2一致データレジスタ上位(T2HR) (一致バッファレジスタ付き8ビットレジスタ)

①T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位(T2H)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T2HRと一致バッファレジスタは同値となります。

・動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードします。

③T2Hのカウントクロックにシステムクロック以外を選択した場合、T2H動作時にT2HRの更新は、T2H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-18-3-9 タイマ2キャプチャレジスタ下位(T2CP0L) (8ビットレジスタ)

①キャプチャ要求:モードにより異なります。

モード	CP0SL	T2CP0Lのキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

②キャプチャデータ:タイマ2下位(T2L)の内容。

3-18-3-10　タイマ2キャプチャレジスタ上位（T2CP0H）（8ビットレジスタ）

①キャプチャ要求：モードにより異なります。

モード	CTR8	CP0SL	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

②キャプチャデータ:タイマ2上位（T2H）の内容。

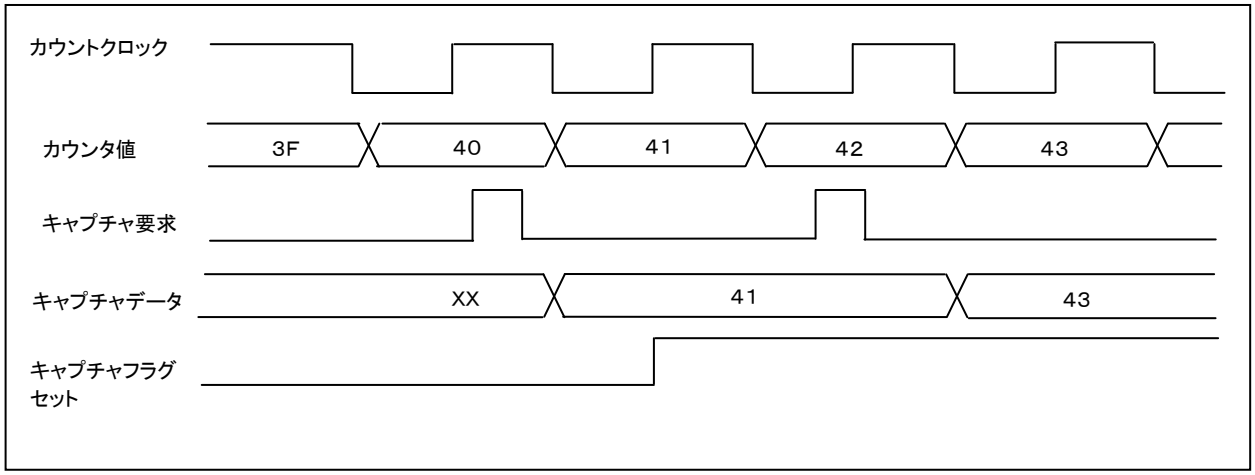


図３－１８－１　キャプチャ動作タイミング

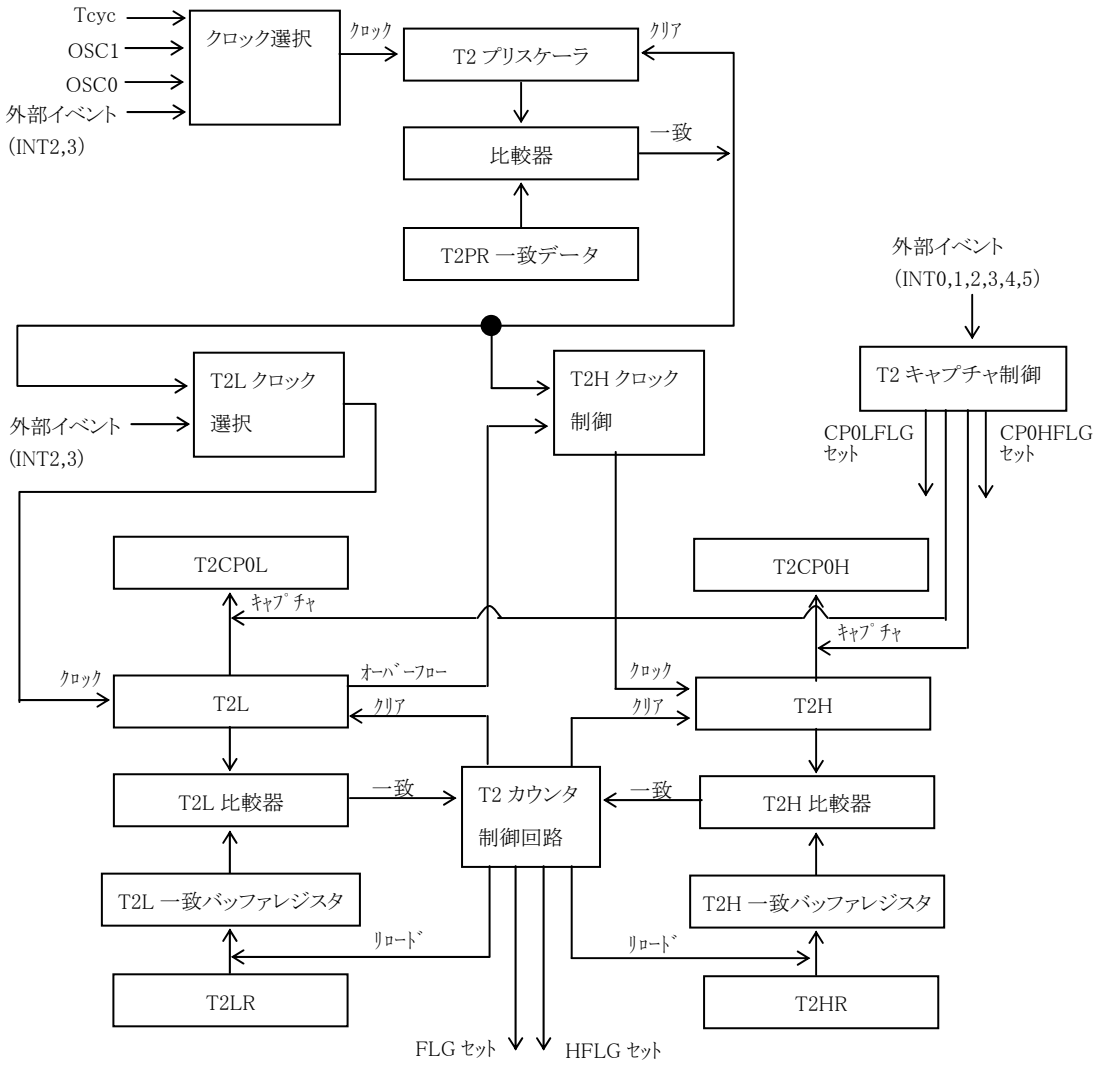


図３－１８－２　タイマ２ブロック図

3-18-4 関連レジスタ

3-18-4-1 タイマ2一致データレジスタ下位（T2LR）

①T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T2LRと一致バッファレジスタは同値となります。

・動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-2 タイマ2一致データレジスタ上位（T2HR）

①T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T2HRと一致バッファレジスタは同値となります。

・動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-3 タイマ2下位（T2L）

①読み出し専用の8ビットのタイマです。T2プリスケーラの一致信号でカウントアップします。

②タイマ2制御レジスタ0（T2CNT0）のビット3が“1”の時、タイマ2キャプチャレジスタ下位（T2CP0L）のデータを読み出すことができます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-4 タイマ2上位（T2H）

①読み出し専用の8ビットのタイマです。T2Lのオーバーフロー信号またはT2プリスケーラの一致信号でカウントアップします。

②タイマ2制御レジスタ0（T2CNT0）のビット3が“1”の時、タイマ2キャプチャレジスタ上位（T2CP0H）のデータを読み出すことができます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-5 タイマ2制 御 レジスタ0（T2CNT0）

①T2L，T2Hの動 作 、割 り込 みの制 御 を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE

HRUN（ビット7）：T2Hカウント制 御

8ビットタイマモード時 にT2Hカウント制 御 に使 用 します。
このビットが0の時 タイマ2上 位（T2H）は、カウント値 0で停 止 し、T2Hの一 致 バッファレジスタ値 はT2HRの値 と同じです。
このビットが1の時 タイマ2上 位（T2H）は、所 定 のカウント動 作 を行 います。

HFLG（ビット6）：T2H一 致 フラグ

8ビットタイマモード時 にT2H一 致 フラグとして使 用 します。
T2Hが動 作 している（HRUN＝1）場 合 、T2Hが0に変 化 する時 にセットされます。
このフラグは、命 令 でクリアしてください。

HIE（ビット5）：T2H割 り込 み要 求 発 生 許 可 制 御

8ビットタイマモード時 にT2H割 り込 み制 御 に使 用 します。
このビットとHFLGがともに1の時 、ベクタアドレス801CHへの割 り込 み要 求 が発 生 します。

CTR8（ビット4）：タイマ2モード選 択

このビットが0の時 タイマ2は16ビットタイマとして動 作 します。
このビットが1の時 タイマ2は独 立 した2本 の8ビットタイマとして動 作 します。

SLCPRD（ビット3）：キャプチャレジスタ読 み出 し選 択

このビットが0の時 アドレス7F1A、7F1BはT2L、T2Hの値 が読 み出 されます。
このビットが1の時 アドレス7F1A、7F1BはT2CP0L、T2CP0Hの値 が読 み出 されます。

RUN（ビット2）：T2カウント制 御

このビットが0の時 タイマ2（T2）は、カウント値 0で停 止 し、T2の一 致 バッファレジスタ値 はT2Rの値 と同じです。
このビットが1の時 タイマ2（T2）は、所 定 のカウント動 作 を行 います。
8ビットタイマモード時 はT2Lの制 御 に使 用 します。

FLG（ビット1）：T2一 致 フラグ

T2が動 作 している（RUN＝1）場 合 、T2が0に変 化 する時 にセットされます。
このフラグは、命 令 でクリアしてください。
8ビットタイマモード時 はT2Lの一 致 フラグに使 用 します。

IE（ビット0）：T2割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

8ビットタイマモード時はT2Lの割り込み制御に使用します。

注意：FLG，HFLGは命令で0にしてください。

3-18-4-6 タイマ2制御レジスタ1（T2CNT1）

①タイマ2キャプチャ動作の設定します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1D	LLL0 0000	R/W	T2CNT1	－	－	－	CP0SL		CP0HFLG	CP0LFLG	CPIE

CP0SL（ビット4、3）：タイマ2キャプチャ要求入力選択

上記2ビットでタイマ2キャプチャク要求の入力を選択します。

モード	CTR8	CP0SL	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

モード	CP0SL	T2CP0L のキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

CP0HFLG（ビット2）：タイマ2キャプチャ0Hフラグ

8ビットモード時T2CP0Hレジスタが更新されると1になります。

16ビットモード時はT2CP0Hレジスタの更新では変化しません。

T2CP0Hレジスタを読み出した後0にしてください。

CP0LFLG（ビット1）：タイマ2キャプチャ0Lフラグ

8ビットモード時、T2CP0Lレジスタが更新されると1になります。

16ビットモード時、T2CP0H、T2CP0Lレジスタが同時に更新され1になります。

T2CP0Lレジスタを読み出した後0にしてください。

CPIE（ビット0）：T2キャプチャ割り込み要求発生許可制御

このビットとCP0LFLG又はCP0HFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

注意：CP0LFLG，CP0HFLGは命令で0にしてください。

3-18-4-7 タイマ2制 御 レジスタ2（T2CNT2）

①タイマ2のカウントクロックを設 定 します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	－	PR			

CKSL（ビット7、6）:タイマ2カウントクロック選 択

上 記 2ビットでタイマ2のカウントクロックを選 択 します。

モード	CKSL	T2プリスケーラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1

EXISL（ビット5）:タイマ2イベントカウント入 力 選 択 。

このビットが0の時 INT2をイベント入 力 として選 択 します。

このビットが1の時 INT3をイベント入 力 として選 択 します。

PR（ビット3～0）:タイマ2プリスケーラ制 御

上 記 4ビットでタイマ2プリスケーラの周 期 を設 定 します。

T2PR周 期 =（PR＋1）×カウントクロック

3-19 タイマ3(T3)

3-19-1 概要

本シリーズ内蔵しているタイマ3(T3)は、次の4つの機能を持ったプリスケーラ付きの16ビットのタイマです。

①モード0:8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)
②モード1:8ビットプリスケーラ付き8ビットプログラマブルタイマ(トグル出力付き)×2ch
③モード2:8ビットプリスケーラ付き8ビットPWM×1ch、PWM周期をカウントする8ビットタイマ(トグル出力付き)
④モード3:8ビットプリスケーラ付き8ビットPWM×2ch

3-19-2 機能

① モード0:8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)

・タイマ3(T3)はシステムクロック、OSC0、OSC1または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
・T3OHはT3周期毎にトグルする信号を出力します。
T3の周期＝([(T3HR＜＜8)＋T3LR]＋1)×(PR＋1)×カウントクロック周期
T3OH周期＝T3周期×2

② モード1:8ビットプリスケーラ付き8ビットプログラマブルタイマ(トグル出力付き)×2ch

・タイマ3(T3)はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
・T3OL、T3OHはそれぞれT3L、T3H毎にトグルする信号を出力します。
・T3周期(クロックソース:外部イベント非選択時)
T3Lの周期＝(T3LR＋1)×(PR＋1)×カウントクロック周期
T3Hの周期＝(T3HR＋1)×(PR＋1)×カウントクロック周期
・T3周期(クロックソース:外部イベント選択時)
T3Lの周期＝(T3LR＋1)×外部イベント
T3Hの周期＝(T3HR＋1)×(PR＋1)×(システムクロック周期又は外部イベント)
T3OL周期＝T3L周期×2
T3OH周期＝T3H周期×2

③モード2:8ビットプリスケーラ付き8ビットPWM×1ch＋PWM周期をカウントする8ビットプログラマブルタイマ(トグル出力付き)

・T3Lはシステムクロック、OSC0、OSC1または外部イベントをカウントする8ビットPWMとして動作します。
・T3HはT3L周期をカウントする8ビットタイマとして動作します。
・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
・T3OLは周期256×(PR＋1)×カウントクロック周期のPWMとして動作します。
・T3OHはT3H毎にトグルする信号を出力します。

T3OLの周期＝256×(PR＋1)×カウントクロック周期
T3OLのH期間＝(T3LR＋1)×(PR＋1)×カウントクロック周期
T3OHの周期＝(T3HR＋1)×T3PWMLの周期
T3OHの期間＝T3周期×2

④モード3:8ビットプリスケーラ付き8ビットPWM×2ch

・タイマ3(T3)はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットPWMとして動作します。
・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
・T3OL、T3OHは周期256×(PR＋1)×カウントクロック周期のPWMとして動作します。

T3OLの周期＝256×(PR＋1)×カウントクロック周期
T3OLのH期間＝(T3LR＋1)×(PR＋1)×カウントクロック周期
T3OHの周期＝256×(PR＋1)×カウントクロック周期
T3OHのH期間＝(T3HR＋1)×(PR＋1)×カウントクロック周期

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、T3LまたはT3Hのカウンタ周期で、T3LまたはT3H割り込み要求を発生します。

⑥タイマ3(T3)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T3LR, T3HR, T3L, T3H, T3CNT0、T3CNT1、T3PR
・P1LAT, P1DDR, P1FSA, P1FSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL	MD	
7F2E	0000 0000	R/W	T3PR	PR							

3-19-3 回路構成

3-19-3-1 タイマ3制御レジスタ0（T3CNT0） （8ビットレジスタ）

①T3L，T3Hの動作、割り込みの制御を行います。

3-19-3-2 タイマ3制御レジスタ1（T3CNT1） （3ビットレジスタ）

①T3L，T3Hの動作制御を行います。

3-19-3-3 タイマ3プリスケーラ制御レジスタ（T3PR） （8ビットレジスタ）

①T3L，T3Hのクロックを設定を行います。

3-19-3-4 タイマ3プリスケーラ （8ビットカウンタ）

①動作開始／停止：モードにより異なります。

モード	MD<0>	HRUN	RUN	T3プリスケーラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック：モードにより異なります。

モード	EXISL	MD	CKSL	T3プリスケーラのカウントクロック
0	－	－－	00	システムクロック
1	0	1－	01	INT4からのイベント入力
2	0	01	01	システムクロック
3	1	－0	01	INT5からのイベント入力
4	－	－－	10	OSC0
5	－	－－	11	OSC1

③一致信号：カウント値がPR（T3PRのビット7～0）の値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号発生時。

3-19-3-5 タイマ3下位（T3L） （8ビットカウンタ）

①動作開始／停止：モードにより異なります。

モード	MD<0>	HRUN	RUN	T3Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	MD	CKSL	T3Lのカウントクロック
0	－－	00	T3プリスケーラの一致信号
1	－0	01	T3プリスケーラの一致信号
2	01	01	INT4からのイベント入力
3	－－	10	T3プリスケーラの一致信号
4	－－	11	T3プリスケーラの一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-19-3-6 タイマ3上位(T3H) (8ビットカウンタ)

① 動作開始／停止:モードにより異なります。

モード	MD<0>	HRUN	RUN	T3Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	MD	T3Hのカウントクロック
0	－0	T3Lのオーバーフロー信号
1	－1	T3プリスケーラ一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-19-3-7 タイマ3一致データレジスタ下位(T3LR) (一致バッファレジスタ付き8ビットレジスタ)

①T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位(T3L)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T3LRと一致バッファレジスタは同値となります。

・動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードします。

③T3Lのカウントクロックにシステムクロック以外を選択した場合、T3L動作時にT3LRの更新は、T3L一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-19-3-8 タイマ3一致データレジスタ上位（T3HR） （一致バッファレジスタ付き8ビットレジスタ）

①T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位（T3H）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T3HRと一致バッファレジスタは同値となります。

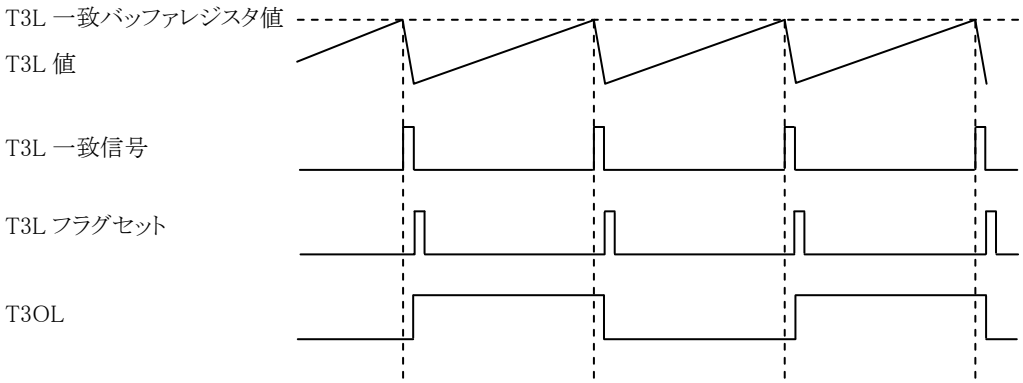
・動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードします。

③T3Hのカウントクロックにシステムクロック以外を選択した場合、T3H動作時にT3HRの更新は、T3H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

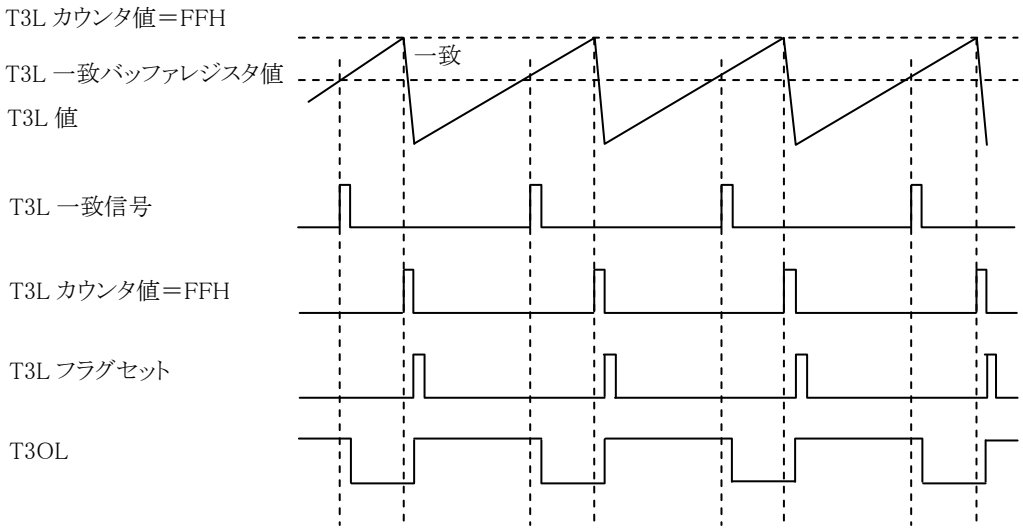
3-19-3-9　タイマ3下位出力（T3OL）

①T3L動作停止時、T3OLの出力はHIGH固定となります。
②モード0時、T3OLの出力はHIGH固定となります。
③モード1時、T3L一致信号で変化するトグル出力。
④モード2、3時、T3Lのオーバーフローでセット、T3Lの一致信号でリセットされるPWM出力。

＜モード1＞



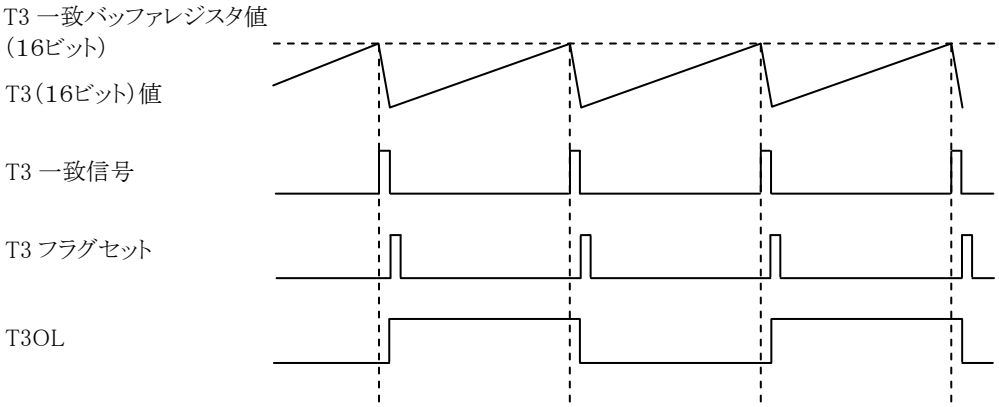
＜モード 2, 3＞



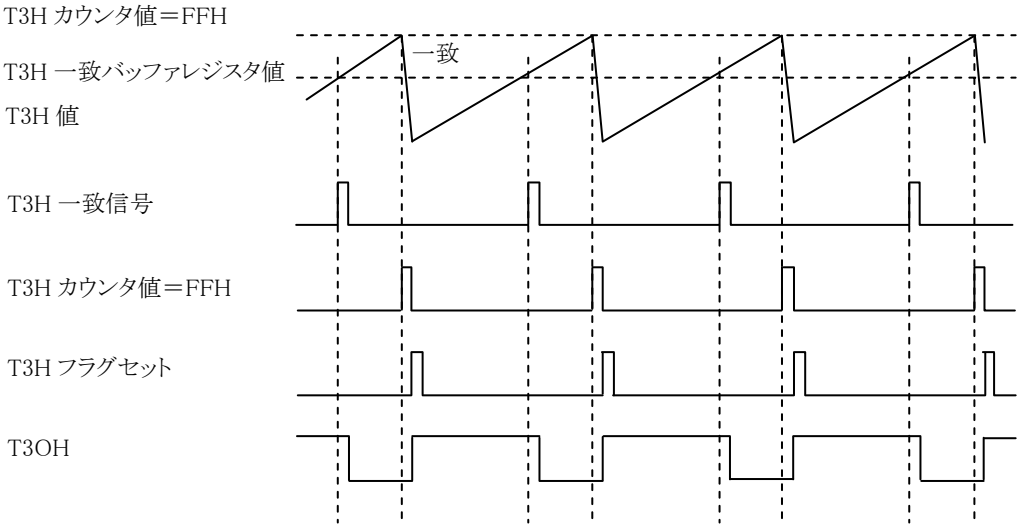
3-19-3-10 タイマ3上位出力（T3OH）

①T3H動作停止時、T3OHの出力はHIGH固定となります。
②モード0時、T3一致信号で変化するトグル出力。
③モード1、3時、T3H一致信号で変化するトグル出力。
④モード2時、T3Hのオーバーフローでセット、T3Hの一致信号でリセットされるPWM出力。

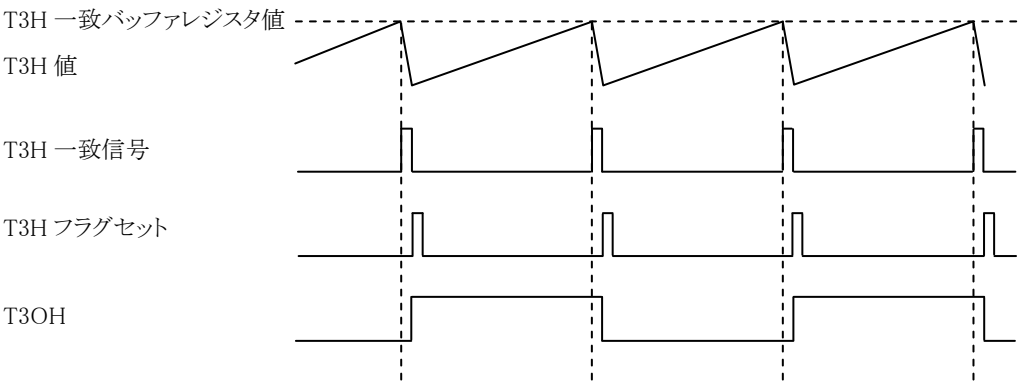
＜モード0＞



＜モード3＞



＜モード1, 2＞



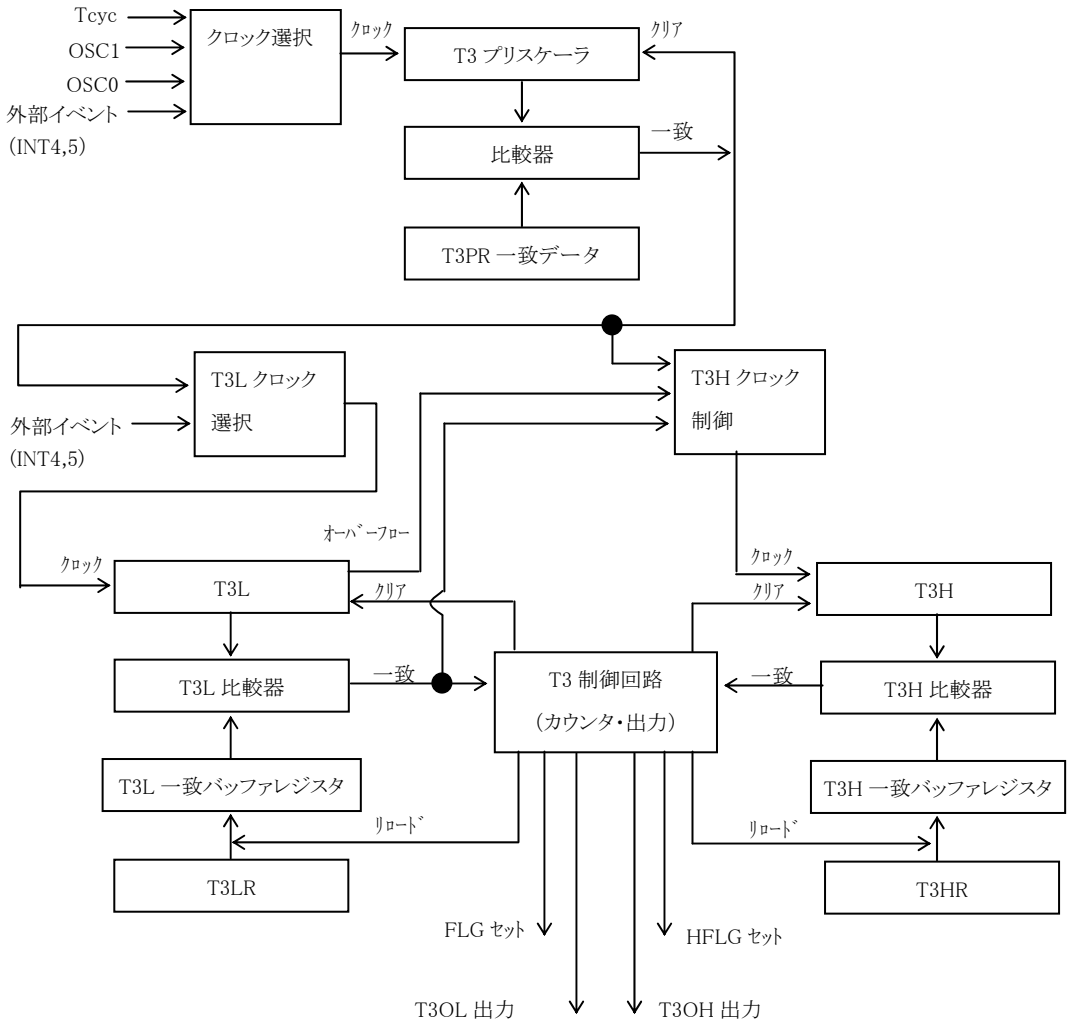


図３－１９－１　タイマ3ブロック図

3-19-4　関連レジスタ

3-19-4-1　タイマ3一致データレジスタ下位（T3LR）

①T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T3LRと一致バッファレジスタは同値となります。

・動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-2 タイマ3一致データレジスタ上位（T3HR）

①T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時には、T3HRと一致バッファレジスタは同値となります。

・動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-3 タイマ3下位（T3L）

①読み出し専用の8ビットのタイマです。T3プリスケーラの一致信号でカウントアップします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-4 タイマ3上位（T3H）

①読み出し専用の8ビットのタイマです。T3Lのオーバーフロー信号またはT3プリスケーラの一致信号でカウントアップします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-5 タイマ3制御レジスタ0（T3CNT0）

①T3L，T3Hの動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE

HRUN（ビット7）：T3Hカウント制御

8ビットタイマモード時にT3Hカウント制御に使用します。

このビットが0の時タイマ3上位（T3H）は、カウント値0で停止し、T3Hの一致バッファレジスタ値はT3HRの値と同じです。

このビットが1の時タイマ3上位（T3H）は、所定のカウント動作を行います。

HFLG（ビット6）：T3H一致フラグ

8ビットタイマモード時にT3H一致フラグとして使用します。

T3Hが動作している（HRUN＝1）場合、T3Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

HIE（ビット5）：T3H割り込み要求発生許可制御

8ビットタイマモード時にT3H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス8020Hへの割り込み要求が発生します。

ＣＫＳＬ（ビット４、３）：Ｔ３カウントクロック選 択

上 記 2ビットでタイマ３のカウントクロックを選 択 し ま す。

モード	CKSL	T3プリスケーラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1

ＲＵＮ（ビット２）：Ｔ３カウント制 御

このビットが０の時 タイマ３（Ｔ３）は、カウント値 ０で停 止 し、Ｔ３の一 致 バッファレジスタ値 はＴ３Ｒの値 と同 じです。

このビットが１の時 タイマ３（Ｔ３）は、所 定 のカウント動 作 を行 います。

８ビットタイマモード時 はＴ３Ｌの制 御 に使 用 します。

ＦＬＧ（ビット１）：Ｔ３一 致 フラグ

Ｔ３が動 作 している（ＲＵＮ＝１）場 合 、Ｔ３が０に変 化 する時 にセットされます。

このフラグは、命 令 でクリアしてください。

８ビットタイマモード時 はＴ３Ｌの一 致 フラグに使 用 します。

ＩＥ（ビット０）：Ｔ３割 り込 み要 求 発 生 許 可 制 御

このビットとＦＬＧがともに１の時 、ベクタアドレス８０２０Ｈへの割 り込 み要 求 が発 生 します。

８ビットタイマモード時 はＴ３Ｌの割 り込 み制 御 に使 用 します。

注 意 ：ＦＬＧ，ＨＦＬＧは命 令 で０にしてください。

3-19-4-6 タイマ３制 御 レジスタ１（Ｔ３ＣＮＴ１）

①Ｔ３Ｌ，Ｔ３Ｈの動 作 の制 御 を行 う３ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL	MD	

ＥＸＩＳＬ（ビット２）：タイマ３イベントカウント入 力 選 択 。

このビットが０の時 ＩＮＴ４をイベント入 力 として選 択 します。

このビットが１の時 ＩＮＴ５をイベント入 力 として選 択 します。

ＭＤ（ビット１、０）：タイマ３モード選 択

上 記 2ビットでタイマ３のモード選 択 を行 います。

モード	MD	タイマ3動作モード
0	00	16ビットタイマ
1	01	8ビットタイマ×２
2	10	8ビットPWM＋8ビットタイマ
3	11	8ビットPWM×２

3-19-4-7 タイマ3プリスケーラ制 御 レジスタ（T3PR）

①ビット0～7でタイマ3プリスケーラのカウント数 を設 定 します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2E	0000 0000	R/W	T3PR	PR							

PR（ビット7～0）:タイマ3プリスケーラ制 御

上 記 8ビットでタイマ3プリスケーラの周 期 を設 定 します。

T3PR周 期 ＝（PR＋1）×カウントクロック

3-19-5 タイマ3出 力 のポート設 定

①T3OL（P14）

レジスタデータ				ポートP14の状態
P1FSA＜4＞	P1FSB＜4＞	P1LAT＜4＞	P1DDR＜4＞	出力
1	0	1	0	タイマ3L出力（CMOS反転）
1	0	0	1	タイマ3L出力（CMOS）
1	1	1	0	タイマ3L出力（CMOS変化SLOW）
1	1	0	1	タイマ3L出力（Nchオープンドレイン）

②T3OH（P15）

レジスタデータ				ポートP15の状態
P1FSA＜5＞	P1FSB＜5＞	P1LAT＜5＞	P1DDR＜5＞	出力
1	0	1	0	タイマ3H出力（CMOS反転）
1	0	0	1	タイマ3H出力（CMOS）
1	1	1	0	タイマ3H出力（CMOS変化SLOW）
1	1	0	1	タイマ3H出力（Nchオープンドレイン）

3-20　タイマ4，タイマ5（T4，T5）

3-20-1　概 要

本シリーズ内蔵しているタイマ4（T4），タイマ5（T5）は、それぞれ独立に制御される16ビットのタイマです。

3-20-2　機 能

①タイマ4（T4）

・タイマ4（T4）はシステムクロック又はプリスケーラ0の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T4周期のトグル波形をT4O端子に出力できます。

T4の周期＝（［（T4HR＜＜8）＋T4LR］＋1）×カウントクロック周期

T4O周期＝T4周期×2

②タイマ5（T5）

・タイマ5（T5）はシステムクロック又はプリスケーラ0の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T5周期のトグル波形をT5O端子に出力できます。

T5の周期＝（［（T5HR＜＜8）＋T5LR］＋1）×カウントクロック周期

T5O周期＝T5周期×2

③割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、T4，T5のカウンタ周期で、T4，T5割り込み要求を発生します。

④タイマ4（T4），タイマ5（T5）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T4LR，T4HR，T5LR，T5HR，T45CNT，TMCLK0

・P2LAT，P2DDR，P2FSA，P2FSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK

3-20-3 回路構成

3-20-3-1 タイマ4，5制御レジスタ（T45CNT） （8ビットレジスタ）

①T4，T5の動作、割り込みの制御を行います。

3-20-3-2 タイマ4（T4） （16ビットカウンタ）

①動作開始／停止：T4RUN（T45CNTのビット3）の0／1により、停止／動作が制御されます。

②カウントクロック：T4CKSL（T45CNTのビット2）の0／1により選択されます。

モード	T4CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケーラ0の一致信号

③一致信号：カウント値が一致レジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号の発生時。

3-20-3-3 タイマ5（T5）（16ビットカウンタ）

①動作開始／停止：T5RUN（T45CNTのビット7）の0／1により、停止／動作が制御されます。

②カウントクロック：T5CKSL（T45CNTのビット6）の0／1により選択されます。

モード	T5CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケーラ0の一致信号

③一致信号：カウント値が一致レジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号の発生時。

3-20-3-4 タイマ4一致データレジスタ（T4HR，T4LR） （一致バッファレジスタ付き16ビットレジスタ）

①T4用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ4（T4）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T4RUN＝0）には、（T4HR，T4LR）と一致バッファレジスタは同値となります。

・動作時（T4RUN＝0）には、一致バッファレジスタは一致信号発生時に（T4HR，T4LR）の内容をロードします。

③T4のカウントクロックにシステムクロック以外を選択した場合、T4動作時にT4LR，T4HRの更新は、T4一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-20-3-5　タイマ5一 致 データレジスタ（T5HR，T5LR）　（一 致 バッファレジスタ付 き16ビットレジスタ）

①T5用 の一 致 データ格 納 用 レジスタです。他 に一 致 バッファレジスタを持 ち、この一 致 バッファレジスタとタイマ5（T5）の値 が一 致 した時 、一 致 信 号 が発 生 します。

②一 致 バッファレジスタの更 新 は以 下 のように行 われます。

・非 動 作 時（T5RUN＝0）には、（T5HR，T5LR）と一 致 バッファレジスタは同 値 となります。

・動 作 時（T5RUN＝0）には、一 致 バッファレジスタは一 致 信 号 発 生 時 に（T5HR，T5LR）の内 容 をロードします。

③T5のカウントクロックにシステムクロック以 外 を選 択 した場 合 、T5動 作 時 にT5LR，T5HRの更 新 は、T5一 致 信 号 発 生 から次 の一 致 信 号 発 生 までの間 に1度 のみにしてください。

3-20-3-6　タイマクロック設 定 レジスタ0（TMCLK0）

①プリスケーラ0のクロックを設 定 と一 致 データを格 納 するレジスタです。

3-20-3-7　プリスケーラ0（4ビットカウンタ）

①動 作 開 始 ／停 止 :T4CKSLまたはT5CKSL（T45CNTのビット2，6）の0／1により、停 止 ／動 作 が制 御 されます。

②カウントクロック:PR0CK（TMCLK0のビット3，2）の0／1によって選 択 されます。

モード	PR0CK	プリスケーラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

③一 致 信 号 :カウント値 が一 致 レジスタの値 と一 致 すると一 致 信 号 が発 生 します。

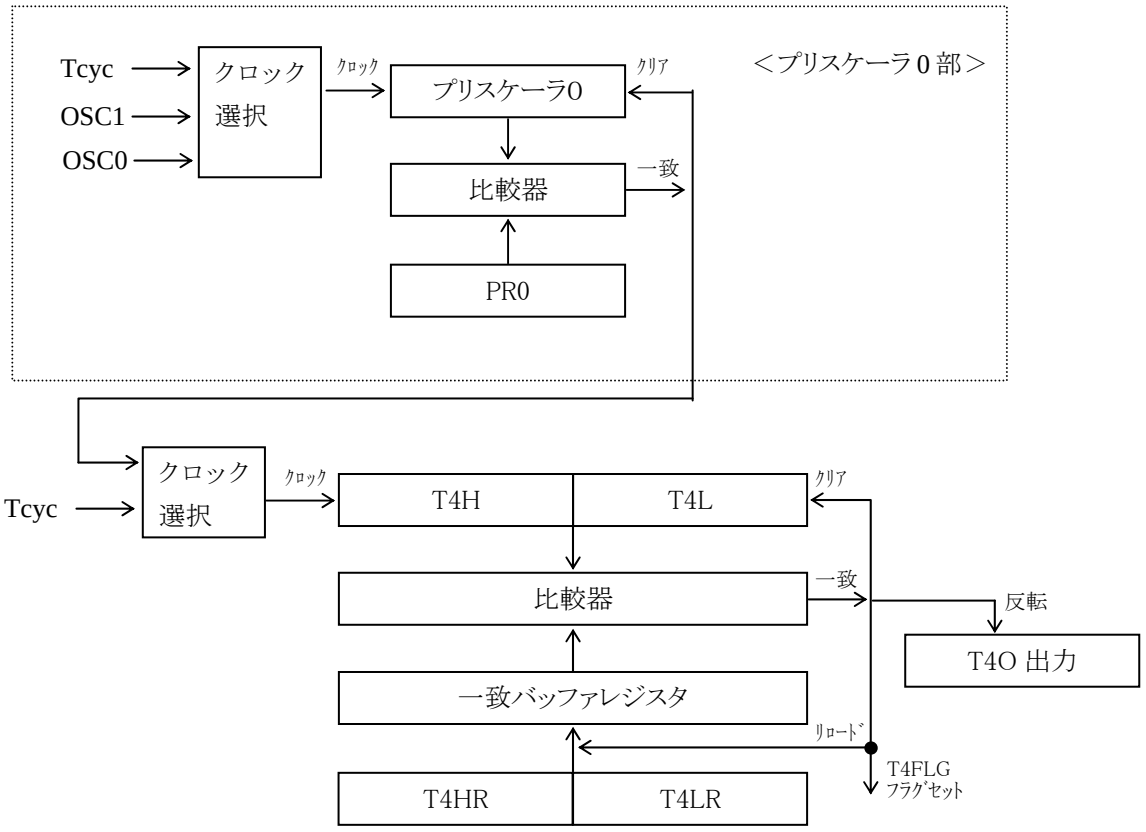
④リセット:一 致 信 号 の発 生 又 は動 作 停 止 。

3-20-3-8　タイマ4出 力（T4O）

①タイマ4動 作 停 止 時 、T4OはHIGH固 定 となり、タイマ4動 作 時 、T4Oはタイマ4一 致 信 号 で変 化 するトグル出 力 。

3-20-3-9　タイマ5出 力（T5O）

①タイマ5動 作 停 止 時 、T5OはHIGH固 定 となり、タイマ5動 作 時 、T5Oはタイマ5一 致 信 号 で変 化 するトグル出 力 。



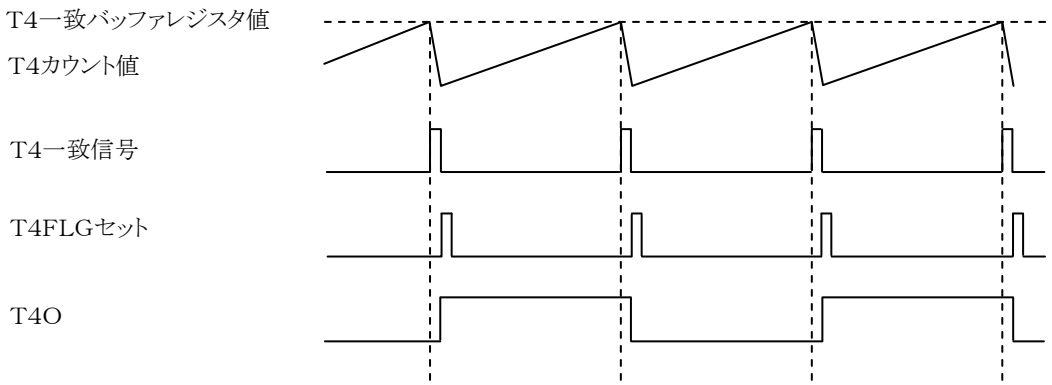
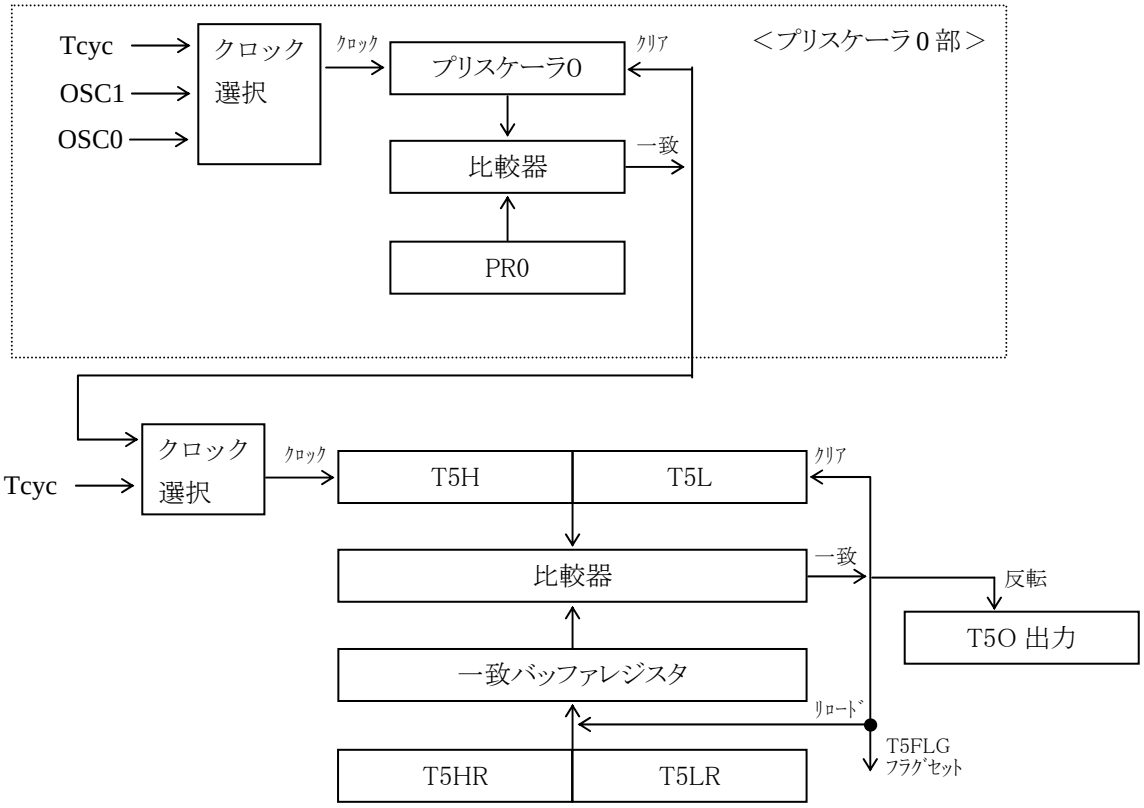


図３－２０－１　タイマ４ブロック図



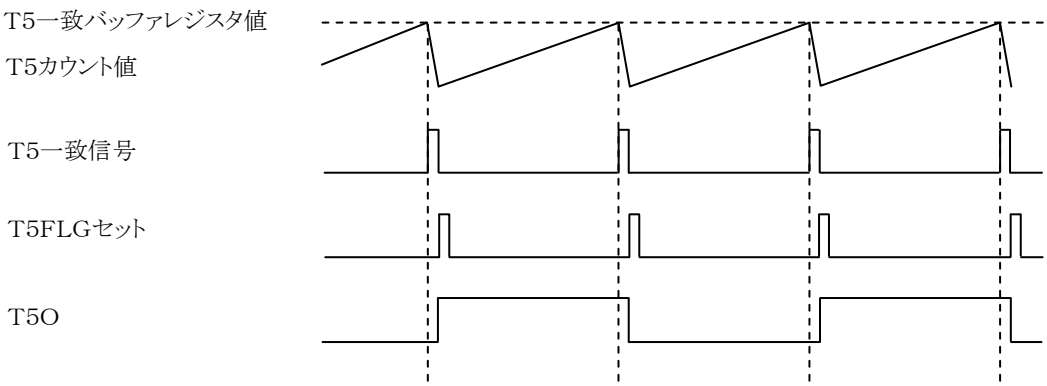


図３－２０－２　タイマ5ブロック図

3-20-4 関連レジスタ

3-20-4-1 タイマ4一致データレジスタ(T4HR, T4LR) (16ビットレジスタ)

①T4用の一致データ格納用レジスタです。この一致レジスタとタイマ4(T4)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR／Wが可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-20-4-2 タイマ5一致データレジスタ(T5HR, T5LR) (16ビットレジスタ)

①T5用の一致データ格納用レジスタです。この一致レジスタとタイマ5(T5)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR／Wが可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-20-4-3 タイマ4, 5制御レジスタ(T45CNT)

①T4, T5の動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE

T5RUN(ビット7):T5カウント制御

このビットが0の時タイマ5(T5)は、カウント値0で停止します。
このビットが1の時タイマ5(T5)は、所定のカウント動作を行います。

T5CKSL(ビット6):T5カウントクロック選択

モード	T5CKSL	T5カウントクロック
0	0	システムクロック
1	1	プリスケーラ0の一致信号

(注)このビットはT5RUNが0の時設定してください。

T5FLG(ビット5):T5一致フラグ

T5が動作している(T5RUN＝1)場合、T5が0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

T5IE(ビット4):T5割り込み要求発生許可制御

このビットとT5FLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

T4RUN(ビット3):T4カウント制御

このビットが0の時タイマ4(T4)は、カウント値0で停止します。
このビットが1の時タイマ4(T4)は、所定のカウント動作を行います。

T4CKSL（ビット2）：T4カウントクロック選 択

モード	T4CKSL	T4カウントクロック
0	0	システムクロック
1	1	プリスケーラ0の一致信号

(注)このビットはT4RUNが0の時 設 定してください。

T4FLG（ビット1）：T4一 致 フラグ

T4が動 作している（T4RUN＝1）場 合 、T4が0に変 化 する時 にセットされます。
このフラグは、命 令 でクリアしてください。

T4IE（ビット0）：T4割り込 み要 求 発 生 許 可 制 御

このビットとT4FLGがともに1の時 、ベクタアドレス8024Hへの割り込 み要 求
が発 生 します。

注 意 ：T5FLG，T4FLGは命 令 で0にしてください。

3-20-4-4　タイマクロック設 定 レジスタ0

①タイマ用 のクロックの設 定 を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK

PR0（ビット7～4）：プリスケーラ0制 御

上 記 4ビットでプリスケーラ0の周 期 を設 定 します。
PR0周 期 ＝（PR0＋1）×カウントクロック

PR0CK（ビット3、2）：プリスケーラ0クロック選 択

モード	PR0CK	プリスケーラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

U0CKSL（ビット1）：このモジュールでは使 用 しません。

PWM0CK（ビット0）：このモジュールでは使 用 しません。

3-20-5 タイマ4出力，タイマ5出力のポート設定

①T4O（P25）

レジスタデータ				ポートP25の状態
P2FSA<5>	P2FSB<5>	P2LAT<5>	P2DDR<5>	出力
1	0	1	0	タイマ4出力（CMOS反転）
1	0	0	1	タイマ4出力（CMOS）
1	1	1	0	タイマ4出力（CMOS変化SLOW）
1	1	0	1	タイマ4出力（Nchオープンドレイン）

②T5O（P26）

レジスタデータ				ポートP26の状態
P2FSA<6>	P2FSB<6>	P2LAT<6>	P2DDR<6>	出力
1	0	1	0	タイマ5出力（CMOS反転）
1	0	0	1	タイマ5出力（CMOS）
1	1	1	0	タイマ5出力（CMOS変化SLOW）
1	1	0	1	タイマ5出力（Nchオープンドレイン）

3-21　タイマ6，タイマ7（T6，T7）

3-21-1　概 要

本シリーズ内蔵しているタイマ6（T6），タイマ7（T7）は、それぞれ独立に制御される16ビットのタイマです。

3-21-2　機 能

①タイマ6（T6）

・タイマ6（T6）はシステムクロック又はプリスケーラ1の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T6周期のトグル波形をT6O端子に出力できます。

T6の周期＝（［（T6HR＜＜8）＋T6LR］＋1）×カウントクロック周期

T6O周期＝T6周期×2

②タイマ7（T7）

・タイマ7（T7）はシステムクロック又はプリスケーラ1の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T7周期のトグル波形をT7O端子に出力できます。

T7の周期＝（［（T7HR＜＜8）＋T7LR］＋1）×カウントクロック周期

T7O周期＝T7周期×2

③割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、T6，T7のカウンタ周期で、T6，T7割り込み要求を発生します。

④タイマ6（T6），タイマ7（T7）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T6LR，T6HR，T7LR，T7HR，T67CNT，TMCLK1

・P3LAT，P3DDR，P3FSA，P3FSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA5	0000 0000	R/W	T67CNT	T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE
7FA6	0000 0000	R/W	T6LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA7	0000 0000	R/W	T6HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		－	PWM1CK

3-21-3 回路構成

3-21-3-1 タイマ6，7制御レジスタ（T67CNT） （8ビットレジスタ）

①T6，T7の動作、割り込みの制御を行います。

3-21-3-2 タイマ6（T6） （16ビットカウンタ）

①動作開始／停止：T6RUN（T67CNTのビット3）の0／1により、停止／動作が制御されます。

②カウントクロック：T6CKSL（T67CNTのビット2）の0／1により選択されます。

モード	T6CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケーラ1の一致信号

③一致信号：カウント値が一致レジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号の発生時。

3-21-3-3 タイマ7（T7）（16ビットカウンタ）

①動作開始／停止：T7RUN（T67CNTのビット7）の0／1により、停止／動作が制御されます。

②カウントクロック：T7CKSL（T67CNTのビット6）の0／1により選択されます。

モード	T7CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケーラ1の一致信号

③一致信号：カウント値が一致レジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号の発生時。

3-21-3-4 タイマ6一致データレジスタ（T6HR，T6LR） （一致バッファレジスタ付き16ビットレジスタ）

①T6用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ6（T6）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T6RUN＝0）には、（T6HR，T6LR）と一致バッファレジスタは同値となります。

・動作時（T6RUN＝1）には、一致バッファレジスタは一致信号発生時に（T6HR，T6LR）の内容をロードします。

③T6のカウントクロックにシステムクロック以外を選択した場合、T6動作時にT6LR，T6HRの更新は、T6一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-21-3-5 タイマ7一 致 データレジスタ（T7HR，T7LR） （一 致 バッファレジスタ付 き16ビットレジスタ）

①T7用 の一 致 データ格 納 用 レジスタです。他 に一 致 バッファレジスタを持 ち、この一 致 バッファレジスタとタイマ7（T7）の値 が一 致 した時 、一 致 信 号 が発 生 します。

②一 致 バッファレジスタの更 新 は以 下 のように行 われます。

・非 動 作 時（T7RUN＝0）には、（T7HR，T7LR）と一 致 バッファレジスタは同 値 となります。

・動 作 時（T7RUN＝1）には、一 致 バッファレジスタは一 致 信 号 発 生 時 に（T7HR，T7LR）の内 容 をロードします。

③T7のカウントクロックにシステムクロック以 外 を選 択 した場 合 、T7動 作 時 にT7LR，T7HRの更 新 は、T7一 致 信 号 発 生 から次 の一 致 信 号 発 生 までの間 に1度 のみにしてください。

3-21-3-6 タイマクロック設 定 レジスタ1（TMCLK1）

①プリスケーラ1のクロックを設 定 と一 致 データを格 納 するレジスタです。

3-21-3-7 プリスケーラ1（4ビットカウンタ）

①動 作 開 始 ／停 止 :T6CKSLまたはT7CKSL（T67CNTのビット2，6）の0／1により、停 止 ／動 作 が制 御 されます。

②カウントクロック:PR1CK（TMCLK1のビット3，2）の0／1によって選 択 されます。

モード	PR1CK	プリスケーラ1のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

③一 致 信 号 :カウント値 が一 致 レジスタの値 と一 致 すると一 致 信 号 が発 生 します。

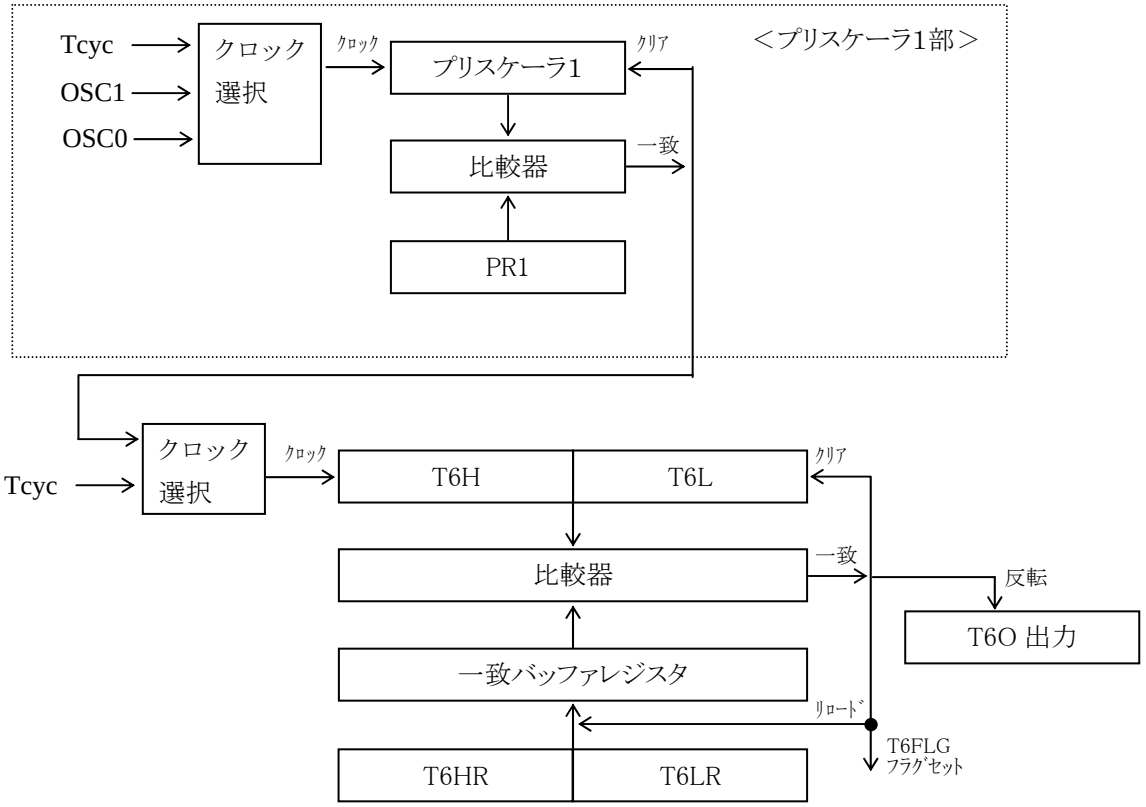
④リセット:一 致 信 号 の発 生 又 は動 作 停 止 。

3-21-3-8 タイマ6出 力（T6O）

①タイマ6動 作 停 止 時 、T6OはHIGH固 定 となり、タイマ6動 作 時 、T6Oはタイマ6一 致 信 号 で変 化 するトグル出 力 。

3-21-3-9 タイマ7出 力（T7O）

①タイマ7動 作 停 止 時 、T7OはHIGH固 定 となり、タイマ7動 作 時 、T7Oはタイマ7一 致 信 号 で変 化 するトグル出 力 。



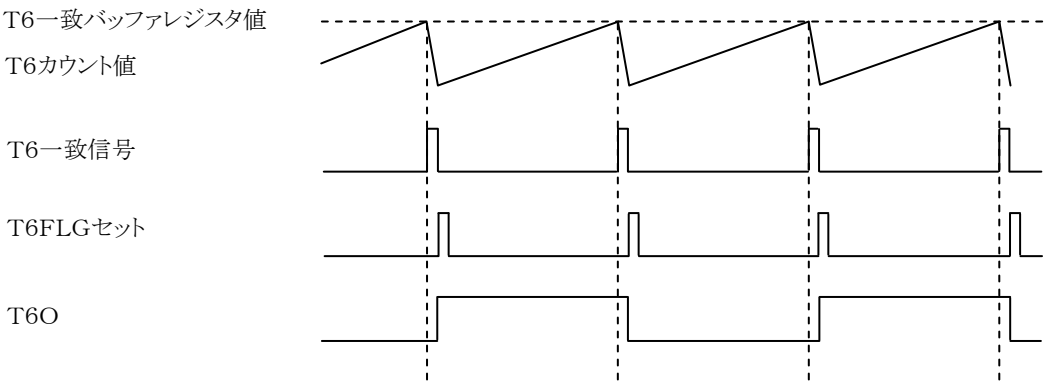
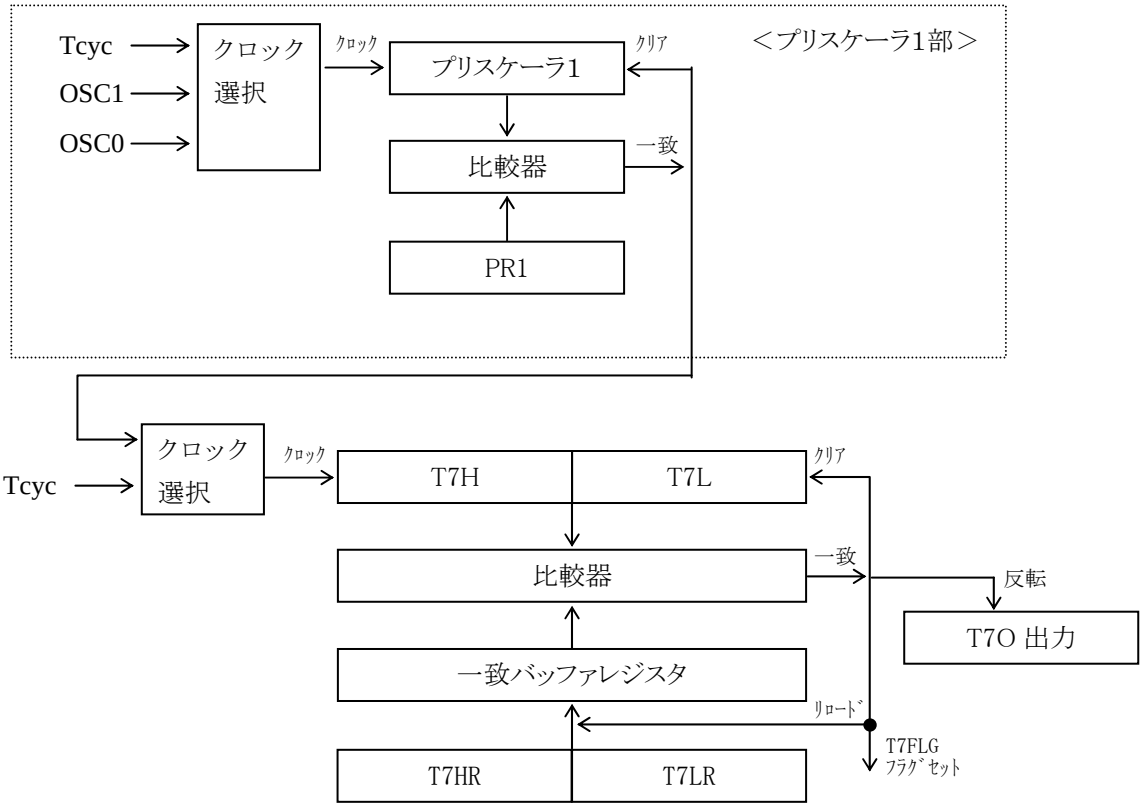


図３－２１－１　タイマ６ブロック図



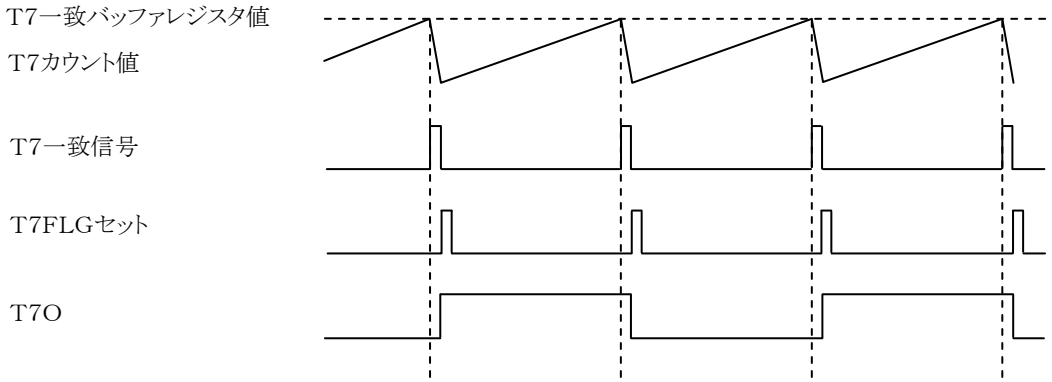


図３－２１－２　タイマ7ブロック図

3-21-4 関連レジスタ

3-21-4-1 タイマ6一致データレジスタ(T6HR, T6LR) (16ビットレジスタ)

①T6用の一致データ格納用レジスタです。この一致レジスタとタイマ6(T6)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR／Wが可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EA6	0000 0000	R/W	T6LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EA7	0000 0000	R/W	T6HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-21-4-2 タイマ7一致データレジスタ(T7HR, T7LR) (16ビットレジスタ)

①T7用の一致データ格納用レジスタです。この一致レジスタとタイマ7(T7)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR／Wが可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-21-4-3 タイマ6, 7制御レジスタ(T67CNT)

①T6, T7の動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA5	0000 0000	R/W	T67CNT	T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE

T7RUN(ビット7):T7カウント制御

このビットが0の時タイマ7(T7)は、カウント値0で停止します。

このビットが1の時タイマ7(T7)は、所定のカウント動作を行います。

T7CKSL(ビット6):T7カウントクロック選択

モード	T7CKSL	T7カウントクロック
0	0	システムクロック
1	1	プリスケーラ1の一致信号

(注)このビットはT7RUNが0の時設定してください。

T7FLG(ビット5):T7一致フラグ

T7が動作している(T7RUN＝1)場合、T7が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T7IE(ビット4):T7割り込み要求発生許可制御

このビットとT7FLGがともに1の時、ベクタアドレス8038Hへの割り込み要求が発生します。

T6RUN(ビット3):T6カウント制御

このビットが0の時タイマ6(T6)は、カウント値0で停止します。

このビットが1の時タイマ6(T6)は、所定のカウント動作を行います。

T6CKSL(ビット2):T6カウントクロック選 択

モード	T6CKSL	T6カウントクロック
0	0	システムクロック
1	1	プリスケーラ1の一致信号

(注)このビットはT6RUNが0の時 設 定 してください。

T6FLG(ビット1):T6一 致フラグ

T6が動 作 している(T6RUN＝1)場 合 、T6が0に変 化 する時 にセットされます。

このフラグは、命 令 でクリアしてください。

T6IE(ビット0):T6割り込 み要 求 発 生 許 可 制 御

このビットとT6FLGがともに1の時 、ベクタアドレス8034Hへの割り込 み要 求 が発 生 します。

注 意 :T6FLG，T7FLGは命 令 で0にしてください。

3-21-4-4 タイマクロック設 定 レジスタ1

①タイマ用 のクロックの設 定 を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		－	PWM1CK

PR1(ビット7～4):プリスケーラ1制 御

上 記 4ビットでプリスケーラ1の周 期 を設 定 します。

PR1周 期 ＝(PR1＋1)×カウントクロック

PR1CK(ビット3，2):プリスケーラ1クロック選 択

モード	PR1CK	プリスケーラ1のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

(ビット1):存 在 しません。“0”が読 み出 されます。

PWM1CK(ビット0):このモジュールでは使 用 しません。

3-21-5 タイマ6出力，タイマ7出力のポート設定

①T6O（P36）

レジスタデータ				ポートP36の状態
P3FSA<6>	P3FSB<6>	P3LAT<6>	PsDDR<6>	出力
1	0	1	0	タイマ6出力（CMOS反転）
1	0	0	1	タイマ6出力（CMOS）
1	1	1	0	タイマ6出力（CMOS変化SLOW）
1	1	0	1	タイマ6出力（Nchオープンドレイン）

②T7O（P37）

レジスタデータ				ポートP37の状態
P3FSA<7>	P3FSB<7>	P3LAT<7>	P3DDR<7>	出力
1	0	1	0	タイマ7出力（CMOS反転）
1	0	0	1	タイマ7出力（CMOS）
1	1	1	0	タイマ7出力（CMOS変化SLOW）
1	1	0	1	タイマ7出力（Nchオープンドレイン）

3-22　ベースタイマ

3-22-1　概要

本シリーズ内蔵しているベースタイマは数種類の一定時間を計時できる16ビットバイナリアップカウンタです。また、ウォッチドッグタイマへクロックを供給します。

3-22-2　機能

①一定時間の計時
8種類の一定時間の計時が行えます。

②割り込みの発生
対応する割り込み要求許可ビットがセットされている場合、選択された周期で割り込み要求を発生します。

③HOLDXモード解除
HOLDXモードの解除をベースタイマ割り込みで行うことができます。

④ウォッチドッグタイマへのクロック供給
32TBSTまたは8192TBST周期のクロックをウォッチドッグタイマへ供給します。
＊TBST:OCR1で選択される入力クロックの周期

⑤ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, OCR0, OCR1

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

3-22-3　回路構成

3-22-3-1　8ビットバイナリアップカウンタ0 （8ビットカウンタ）

①発振制御レジスタ1（OCR1）で選択された信号を入力とする8ビットのアップカウンタです。ベースタイマ割り込みフラグ1のセット信号を発生します。このカウンタのオーバーフローが8ビットバイナリカウンタ1のクロックとなります。

3-22-3-2　8ビットバイナリアップカウンタ1 （8ビットカウンタ）

①発振制御レジスタ1（OCR1）で選択された信号または8ビットバイナリカウンタ0のオーバーフローを入力とする8ビットのアップカウンタです。ベースタイマ割り込みフラグ0，1のセット信号を発生します。入力信号の切り替えはベースタイマ制御レジスタで行われます。

3-22-3-3　ベースタイマ入力クロック源

①ベースタイマの入力クロック（fBST）は「OSC0」、「システムクロックの分周クロック」を発振制御レジスタ1（OCR1）で選択します。

3-22-3-4　ベースタイマ制御レジスタ （8ビットレジスタ）

①ベースタイマの動作の制御を行います。

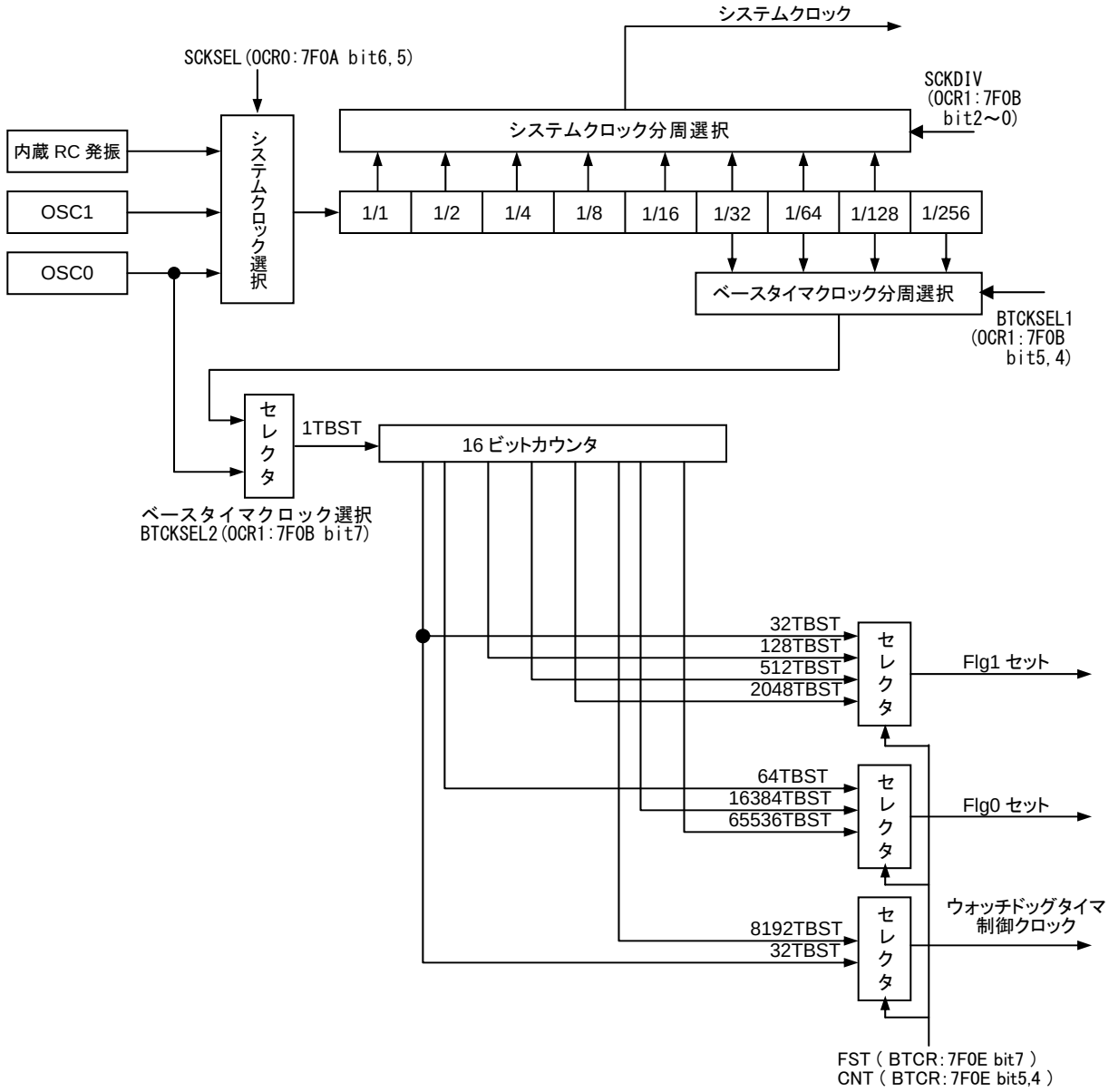


図 3－22－1　ベースタイマブロック図

3-22-4　関連レジスタ

3-22-4-1　ベースタイマ制御レジスタ

①ベースタイマの動作の制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

RUN（ビット6）：ベースタイマ動作制御

このビットが0の時ベースタイマはカウント0で停止します。

このビットが1の時ベースタイマは動作を行います。

FST（ビット7）：ベースタイマ割り込み周期選択

CNT（ビット5、4）：ベースタイマ割り込み周期選択

上記3ビットでベースタイマ割り込みの周期選択と、ウォッチドッグタイマ制御、クロック選択を行います。

FST	CNT	ベースタイマ割り込み0周期	ベースタイマ割り込み1周期	ウォッチドッグタイマ制御クロック
0	00	16384TBST	32TBST	8192TBST
0	01	16384TBST	128TBST	8192TBST
0	10	16384TBST	512TBST	8192TBST
0	11	16384TBST	2048TBST	8192TBST
1	00	64TBST	32TBST	32TBST
1	01	64TBST	128TBST	32TBST
1	10	65536TBST	512TBST	8192TBST
1	11	65536TBST	2048TBST	8192TBST

TBST：発振制御レジスタ1（OCR1）で選択される入力クロックの周期

FLG1（ビット3）：ベースタイマ割り込み1フラグ

ベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

IE1（ビット2）：ベースタイマ割り込み1要求発生許可制御

このビットとFLG1がともに1の時、「HOLDXモード解除信号」と「ベクタアドレス8004Hへの割り込み要求」が発生します。

FLG0（ビット1）：ベースタイマ割り込み0フラグ

ベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

IE0（ビット0）：ベースタイマ割り込み0要求発生許可制御

このビットとFLG0がともに1の時、「HOLDXモード解除信号」と「ベクタアドレス8004Hへの割り込み要求」が発生します。

3-23 非同期シリアルインターフェース0 （UART0）

3-23-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース(UART0)を備えています。

①データ長　：8ビット （LSBファースト固定）
②ストップビット長　：1ビット
③パリティビット　：なし／偶数パリティ／奇数パリティ
④転送レート　：4サイクル／8サイクル(注1)
⑤ボーレートクロックソース　：P07端子／タイマ4出力(注2)
⑥全2重通信
独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)
UART0のボーレートクロックソースは、P07端子／タイマ4出力から入力されます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

(注2)
UART0のボーレートクロックソースとしてP07端子を選択した場合、外部からのクロック入力、または、タイマ0トグル出力(T0PWMH)をボーレートクロックソースとして使用することが可能です。

3-23-2 機能

3-23-2-1 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ受信および送信を行います。
受信データは受信データレジスタL(U0RXL)に格納されます。
送信データは送信データレジスタL(U0TXL)から読み出されます。

3-23-2-2 割り込みの発生

以下の2つの要因で割り込み要求を発生させられます。
TXEMPTY、RXREADY
詳細は、3-23-4 関連レジスタをご参照ください。

3-23-2-3 HALTモード時の動作

HALTモード時、UART0の送信回路、および、受信回路は動作します。
HALTモードの解除をUART0の割り込みで行うことができます。

3-23-2-4 特殊機能レジスタ(SFR)の操作

UART0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

・U0CR、U0RXL、U0RXH、U0TXL、U0TXH
・P0LAT、P0DDR、P1LAT、P1DDR、P1FSA、P1FSB
・T0LR, T0HR、T0CNT、T0PR
・EXCPH、OCR0、TMCLK0

3-23-3 回路構成

3-23-3-1 UART0制御レジスタ(U0CR) (8ビットレジスタ)

①UART0の動作、割り込みの制御を行います。

3-23-3-2 UART0受信データレジスタL(U0RXL) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-23-3-3 UART0受信データレジスタH(U0RXH) (2ビットレジスタ)

①受信パリティビット、受信ストップビットの値が入ります。

3-23-3-4 UART0受信シフトレジスタ(U0RSH) (10ビットレジスタ)

①データ受信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-23-3-5 UART0送信データレジスタL(U0TXL) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-23-3-6 UART0送信データレジスタH(U0TXH) (2ビットレジスタ)

①送信パリティを選択します。

3-23-3-7 UART0送信シフトレジスタ(U0TSH) (10ビットレジスタ)

①データ送信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-23-3-8 タイマクロック設定レジスタ0(TMCLK0) (8ビットレジスタ)

①UART0ボーレートクロックソースを選択します。

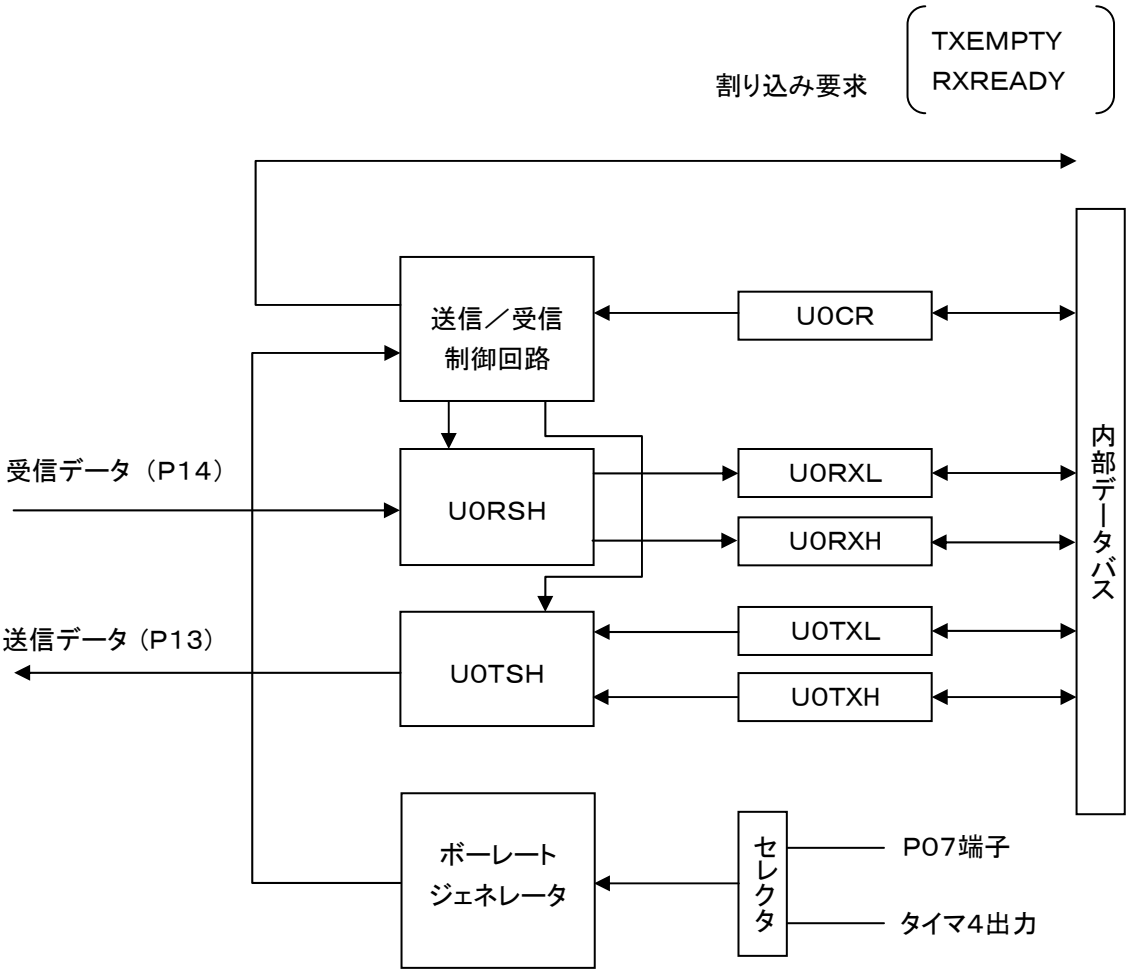


図３－２３－１　ＵＡＲＴ０のブロック図

3-23-4 関連レジスタ

3-23-4-1 UART0制御レジスタ（U0CR）

①UART0モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F38	0X00 X0X0	R/W	U0CR	RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE

RUN（ビット7）:UART0動作制御

0:UART0モジュールの回路が動作停止となります。

1:UART0モジュールの回路が動作状態となります。

OVRUN（ビット6）:オーバーランエラーフラグ（このビットは、R／Oです。）

ストップビットを検出できなかった時、または、受信バッファフルの状態で新しいデータを受け取った時に、セットされます。

RUN＝0または、UART0受信データレジスタL（U0RXL）を読み出した時にクリアされます。

BAUDRATE（ビット5）:ボーレート選択

0:転送レートは、8サイクルとなります。

（ボーレートクロックソース＝460．8kHzの時、転送レート＝57．6kbps）

1:転送レートは、4サイクルとなります。

（ボーレートクロックソース＝460．8kHzの時、転送レート＝115．2kbps）

PARITY（ビット4）:パリティビット制御

0:パリティビットなし、となります。

1:パリティビットあり、となります。

TXEMPTY（ビット3）:送信データ転送完了フラグ（このビットは、R／Oです。）

0:送信データレジスタ（U0TXL）にデータが準備されている。

1:送信データレジスタ（U0TXL）にデータが準備されていない。

①リセット時、TXEMPTYは1です。RUN＝0でセットされます。

②RUN＝1かつTXEMPTY＝1の時、

a）U0TXLにデータを書くと、TXEMPTYはクリアされます。
さらに転送中でない時は転送がスタートし、
スタートビットが出力された後、再びTXEMPTY＝1となり、
次のデータを書き込むことができる状態になります。

b）次のデータをU0TXLに書き込むと、TXEMPTYはクリアされます。
転送中の場合は、現在の転送終了後、
このU0TXLのデータの転送を開始し、再びTXEMPTY＝1となります。

TXIE（ビット2）:送信割り込み許可

このビットとTXEMPTYが1の時、
EXCPHレジスタのUART0＿FLG（ビット5）＝1となります。

RXREADY(ビット1):受信データ受信完了フラグ(このビットは、R／Oです。)
1:受信データレジスタ(U0RXL)にデータが準備されている。
0:受信データレジスタ(U0RXL)にデータが準備されていない。

①データを受信終了すると、
a)RXREADY＝0の時、受信データはU0RXLに入り、
RXREADY＝1となります。
b)RXREADY＝1の時、OVRUNがセットされます。

②UART0動作中(RUN＝1)で、RXREADY＝1の時、
U0RXLを命令で読むと、RXREADYはクリアされます。

③UART0停止(RUN＝0)で、RXREADYはクリアされます。

RXIE(ビット0):受信割り込み許可
このビットとRXREADYが1の時、
EXCPHレジスタのUART0_FLG(ビット5)＝1となります。

3-23-4-2 UART0受信データレジスタL(U0RXL)

①受信データが格納される8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3A	0000 0000	R/W	U0RXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信データ8ビットが入ります。
UART0動作中に、このレジスタを読むと、U0CRのRXREADY(ビット1)はクリアされます。

3-23-4-3 UART0受信データレジスタH(U0RXH)

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3B	XLLL LL00	R/W	U0RXH	OvrErr	-	-	-	-	-	BIT1	BIT0

(ビット7):オーバーランエラーフラグ(このビットは、R／Oです。)
ストップビットを検出できなかった時、または、
受信バッファフルの状態で新しいデータを受け取った時に、セットされます。
RUN＝0または、UART0受信データレジスタH(U0RXH)を読み出した時にクリアされます。

(ビット6～2):固定値0が読み出されます。
このビットは、R／Oです。

(ビット1):受信ストップビットの値が入ります。

(ビット0):受信パリティビットも含めた9ビットのデータのパリティが入ります。
すなわち、
偶数パリティ受信の時は0、
奇数パリティ受信の時は1、
が入ります。
正しくない結果になった時は、パリティエラー処理が必要です。

※U0CRのPARITY(ビット4)＝0の場合、
8ビットの受信データのパリティが入ります。

3-23-4-4 UART0送信データレジスタL（U0TXL）

①送信データを書き込む8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3C	0000 0000	R/W	U0TXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信データ8ビット用のバッファレジスタです。
UART0動作中に、このレジスタにデータを書き込むと、U0CRのTXEMPTY（ビット3）がクリアされます。

3-23-4-5 UART0送信データレジスタH（U0TXH）

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3D	LLLL LLH0	R/W	U0TXH	-	-	-	-	-	-	BIT1	BIT0

（ビット7～2）：固定値0が読み出されます。
このビットは、R／Oです。

（ビット1）：送信ストップビットの値（固定値1）が読み出されます。
このビットは、R／Oです。

（ビット0）：送信パリティを選択します。
0：偶数パリティ送信
1：奇数パリティ送信

※U0CRのPARITY（ビット4）＝0の場合、
このビットの値は Don’t－care です。

3-23-4-6 タイマクロック設定レジスタ0

①UART0のボーレートクロックソース選択を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK

PR0（ビット7～4）：このモジュールでは使用しません。
PR0CK（ビット3、2）：このモジュールでは使用しません。

U0CKSL（ビット1）：UART0ボーレートクロックソース選択。

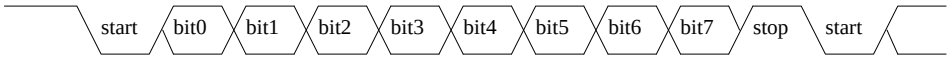
U0CKSL	UART0のボーレートクロックソース
0	P07端子
1	タイマ4出力

（注）このビットはUART0モジュールが停止時に設定してください。

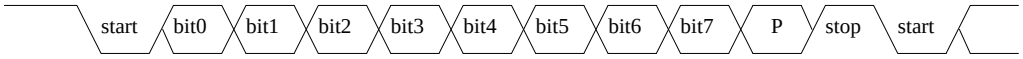
PWM0CK（ビット0）：このモジュールでは使用しません。

3-23-5 UART0通信フォーマットの具体例

① U0CRのPARITY(ビット4)＝0 の場合



② U0CRのPARITY(ビット4)＝1 の場合



※ただし図中のPは、

U0TXH＜0＞＝0の時、偶数パリティ、
U0TXH＜0＞＝1の時、奇数パリティ、

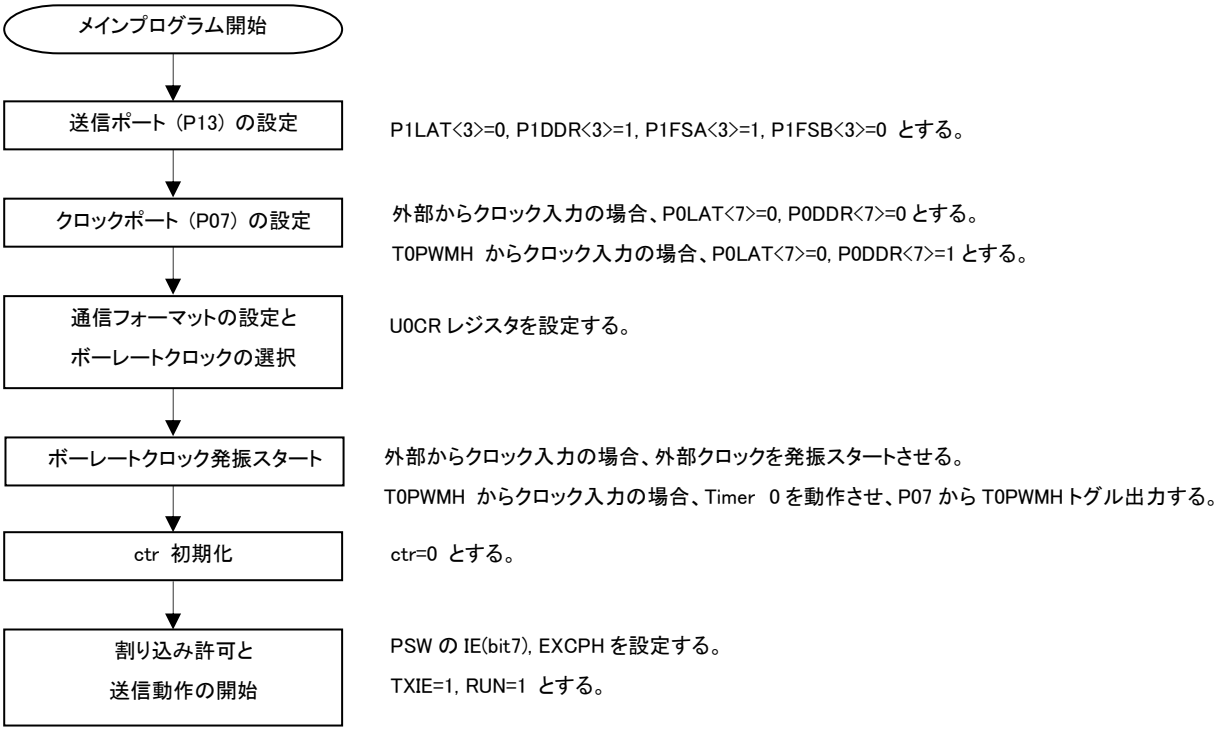
を表します。

3-23-6 UART0通信の具体例

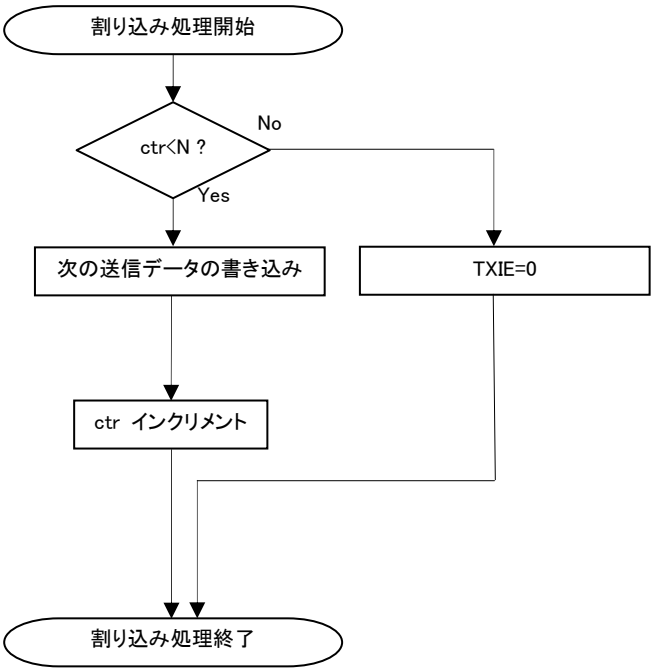
3-23-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウント用変数とします。

1. メインプログラム

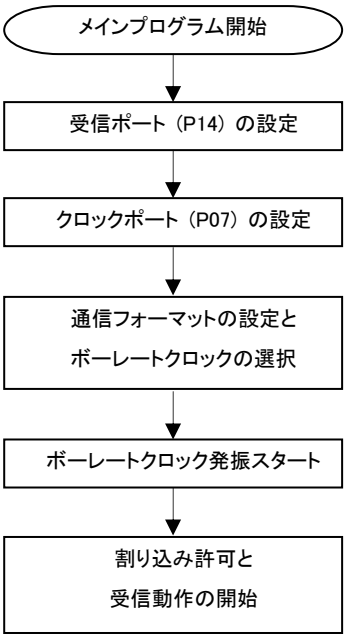


2. 割り込み処理



3-23-6-2 連続受信の具体例

1. メインプログラム



P1LAT<4>=1, P1DDR<4>=1, P1FSA<4>=1, P1FSB<4>=1 とする。

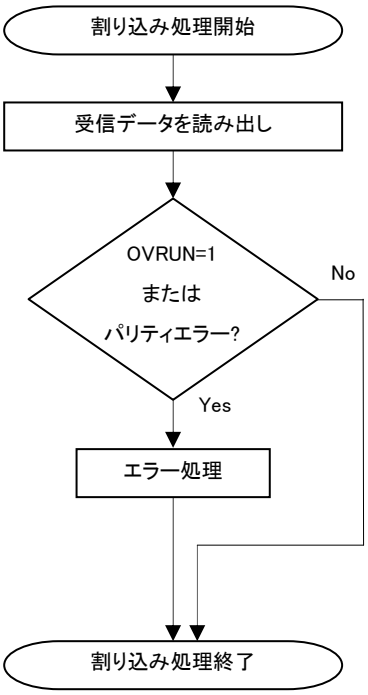
外部からクロック入力の場合、P0LAT<7>=0, P0DDR<7>=0 とする。
T0PWMH からクロック入力の場合、P0LAT<7>=0, P0DDR<7>=1 とする。

U0CR レジスタを設定する。

外部からクロック入力の場合、外部クロックを発振スタートさせる。
T0PWMH からクロック入力の場合、Timer 0 を動作させ、P07 から T0PWMH トグル出力する。

PSW の IE(bit7), EXCPH を設定する。
RXIE=1, RUN=1 とする。

2. 割り込み処理



3-23-6-3 ＵＡＲＴ0通信のポート設定

① 送信ポート（Ｐ１３）の設定

レジスタデータ				ポートP13の状態
P1FSA＜3＞	P1FSB＜3＞	P1LAT＜3＞	P1DDR＜3＞	
1	0	0	1	UART0送信出力（CMOS）
1	1	1	0	UART0送信出力（CMOS変化SLOW）
1	1	0	1	UART0送信出力（Nchオープンドレイン）

② 受信ポート（Ｐ１４）の設定

レジスタデータ				ポートP14の状態
P1FSA＜4＞	P1FSB＜4＞	P1LAT＜4＞	P1DDR＜4＞	
1	1	1	1	入力（UART0受信入力）

③ クロックポート（Ｐ０７）の設定

レジスタデータ			ポートP07の状態
U0CKSL	P0LAT＜7＞	P0DDR＜7＞	
0	0	0	入力（UART0クロックを外部入力）
0	0	1	CMOS出力（UART0クロックをT0PWMHから入力）

3-24 非同期シリアルインターフェース2 （UART2）

3-24-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース（UART2）を備えています。

①データ長　：8ビット （LSBファースト固定）
②ストップビット長　：1／2ビット
③パリティビット　：なし／偶数パリティ／奇数パリティ
④転送レート　：8～4096サイクル（注1）
⑤ボーレートクロックソース　：システムクロック／OSC0／OSC1／P26端子
⑥動作モード　：モード0／モード1
⑦ウェークアップ機能
受信端子のLOWレベル検出により、割り込み要求を発生させられます。
⑧全2重通信
独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

（注1）
UART2のボーレートクロックソースは、システムクロック／OSC0／OSC1／P26端子から選択できます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-24-2 機能

3-24-2-1 動作モード

UART2は、レジスタ設定により以下の2つのモード設定が選択できます。

①モード0
U2BGの設定値＝00H以外の値　とすることで、このモードに設定されます。
UART2制御レジスタ1（U2CNT1）のDIVとUART2ボーレート制御レジスタ（U2BG）でボーレートクロックの周波数を制御します。
転送レートの設定範囲は、8～4096サイクルとなります。
また、UART2制御レジスタ1（U2CNT1）のPODD、PENでパリティを制御します。

②モード1
U2BGの設定値＝00H　とすることで、このモードに設定されます。
X’tal発振子（32．768kHz）で、転送レート＝9600bpsの通信を行うためのモードです。
DIVの設定は無視されます。
また、PODD，PENの設定にかかわらず、パリティなし、となります。

3-24-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。
送信データは送信データレジスタ（U2TBUF）から読み出されます。
受信データは受信データレジスタ（U2RBUF）に格納されます。

3-24-2-3 割り込みの発生

以下の4つの要因で割り込み要求を発生させられます。

TEMPTY、TEND、RREADY、WUPFLG

詳細は、3-24-4 関連レジスタをご参照ください。

3-24-2-4 HALTモード時の動作

HALTモード時、UART2の送信回路、および、受信回路は動作します。
HALTモードの解除をUART2の割り込みで行うことができます。

3-24-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求（WUPFLG）を発生させられます。
この機能は、HOLDモードの解除に使用することができます。

3-24-2-6 特殊機能レジスタ（SFR）の操作

UART2をコントロールするには、次に示す特殊機能レジスタ（SFR）を操作する必要があります。

・U2CNT0、U2CNT1，U2TBUF、U2RBUF，U2BG
・P1LAT、P1DDR、P1FSA、P1FSB
・IL1H、OCR0

3-24-3 回路構成

3-24-3-1 UART2制御レジスタ0（U2CNT0） （8ビットレジスタ）

①UART2の動作、割り込みの制御を行います。

3-24-3-2 UART2制御レジスタ1（U2CNT1） （8ビットレジスタ）

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-24-3-3 UART2送信データレジスタ（U2TBUF） （8ビットレジスタ）

①データの送信をこのレジスタを通して行います。

3-24-3-4 UART2送信シフトレジスタ（U2TSH） （9ビットレジスタ）

①データ送信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-24-3-5 UART2受信データレジスタ（U2RBUF） （8ビットレジスタ）

①データの受信をこのレジスタを通して行います。

3-24-3-6 UART2受信シフトレジスタ（U2RSH） （8ビットレジスタ）

①データ受信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-24-3-7 UART2ボーレート制御レジスタ（U2BG） （8ビットレジスタ）

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

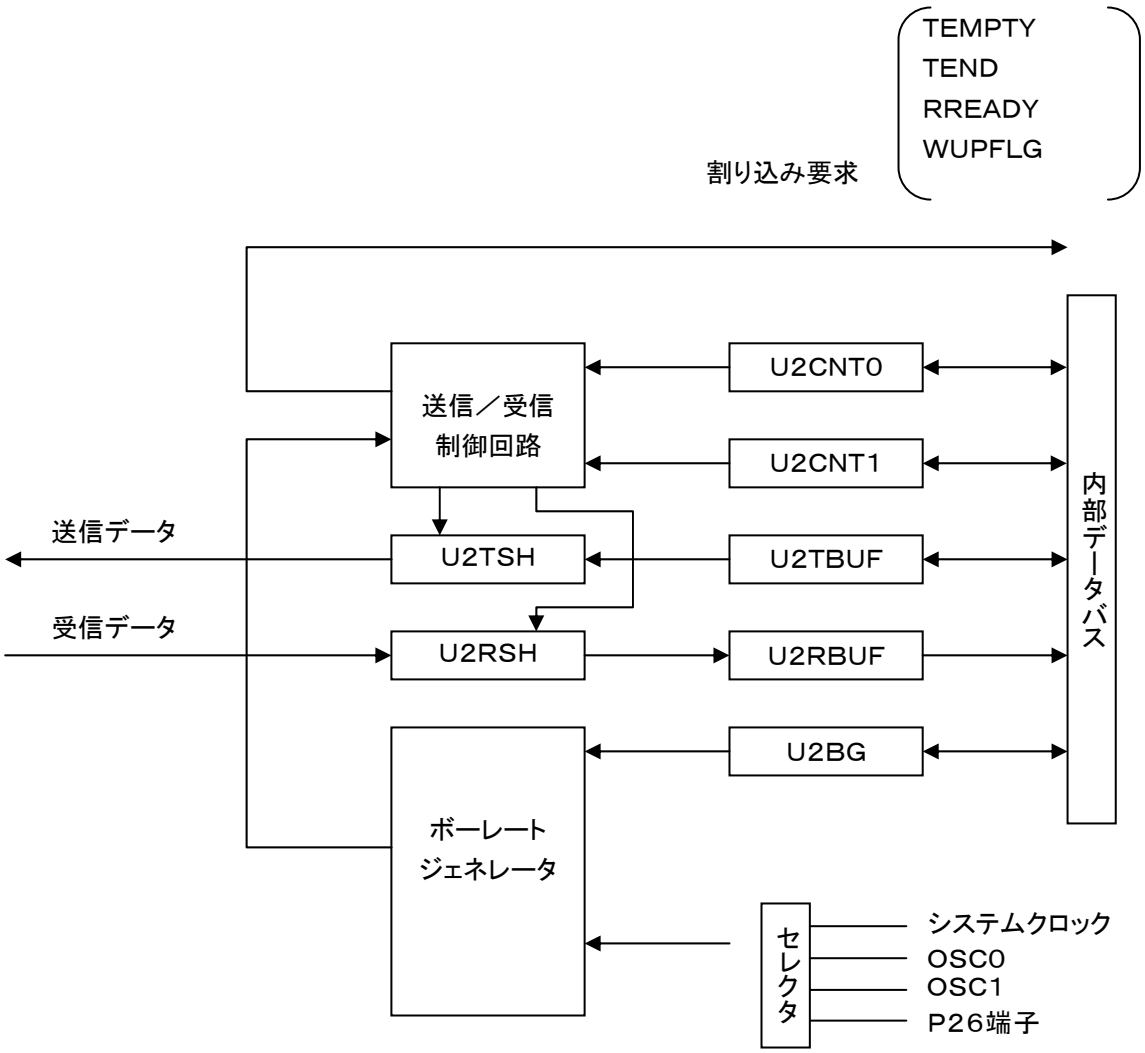


図３－２４－１　ＵＡＲＴ２のブロック図

3-24-4 関連レジスタ

3-24-4-1 UART2制御レジスタ0(U2CNT0)

①UART2モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6C	0010 0000	R/W	U2CNT0	TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE

TEND(ビット7):送信終了フラグ

ストップビット送信終了時、送信データレジスタ(U2TBUF)に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはクリアされます。

TENDIE(ビット6):TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

TEMPTY(ビット5):送信データ転送完了フラグ

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはセットされます。

送信データレジスタ(U2TBUF)へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R／Oです。

TEMPTYIE(ビット4):TEMPTY割り込み許可

このビットとTEMPTYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

RUN(ビット3):UART2動作制御

0:UART2モジュールの回路が動作停止となります。

1:UART2モジュールの回路が動作状態となります。

RERR(ビット2):受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY(ビット1):受信データ受信完了フラグ (R／O)

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ(U2RBUF)のデータを読んだ時、このビットはクリアされます。

このビットは、R／Oです。

RIE(ビット0):受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

3-24-4-2 UART2制御レジスタ1（U2CNT1）

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6D	0000 0000	R/W	U2CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB（ビット7）：送信ストップビット長選択

送信時のストップビットの長さを選択します。

0：1ストップビット

1：2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV（ビット6）：ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

0：ボーレートの設定範囲は、8～1024サイクルとなります。

1：ボーレートの設定範囲は、32～4096サイクルとなります。

モード1では、このビットの設定値は無視されます。

SCK（ビット5、4）：ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
01	P26端子
10	OSC0
11	OSC1

PODD（ビット3）：パリティ偶数／奇数選択

モード0時の送信、および、受信のパリティを選択します。

0：偶数パリティ

1：奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN（ビット2）：パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

0：パリティなし

1：パリティあり

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG（ビット1）：ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE（ビット0）：ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

3-24-4-3 UART2送信データレジスタ(U2TBUF)

①送信データを書き込む8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6E	0000 0000	R/W	U2TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U2TBUFのデータが送信シフトレジスタ(U2TSH)に転送されます。次の送信データは、送信データ転送完了フラグ(TEMPTY)を確認してから設定してください。

3-24-4-4 UART2受信データレジスタ(U2RBUF)

①受信データが格納される8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R	U2RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U2RSH)から、U2RBUFに転送されます。

3-24-4-5 UART2ボーレート制御レジスタ(U2BG)

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F74	0000 0000	R/W	U2BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

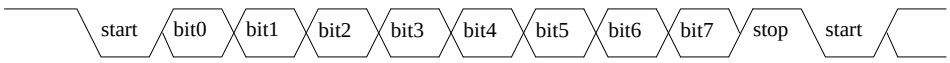
以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	(U2BGの設定値＋1)×4サイクル	8～1024サイクル
1	(U2BGの設定値＋1)×16サイクル	32～4096サイクル

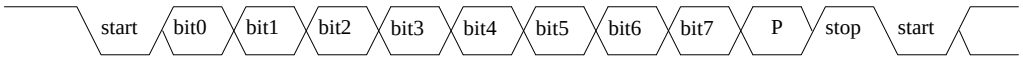
U2BGの設定値＝00H とすることにより、動作モードがモード1に設定されます。

3-24-5 UART2通信フォーマットの具体例

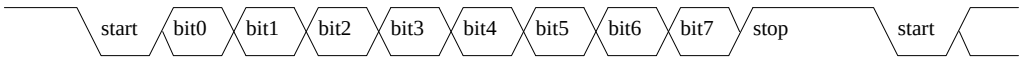
①TSTB＝0、PEN＝0 の場合



②TSTB＝0、PEN＝1 の場合



③TSTB＝1、PEN＝0 の場合



④TSTB＝1、PEN＝1 の場合

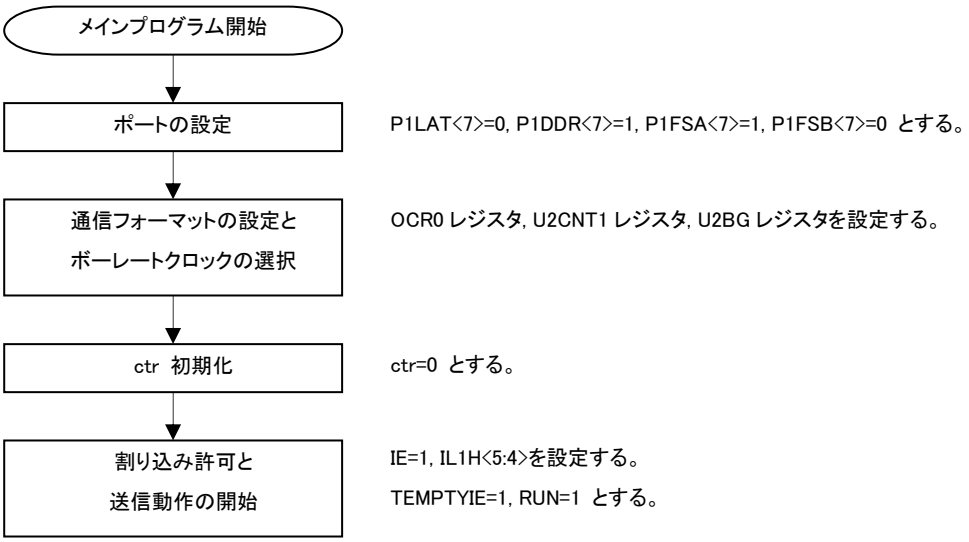
※ただし図中のPは、PODD＝0の時偶数パリティ、PODD＝1の時奇数パリティを表します。

3-24-6 UART2通信の具体例

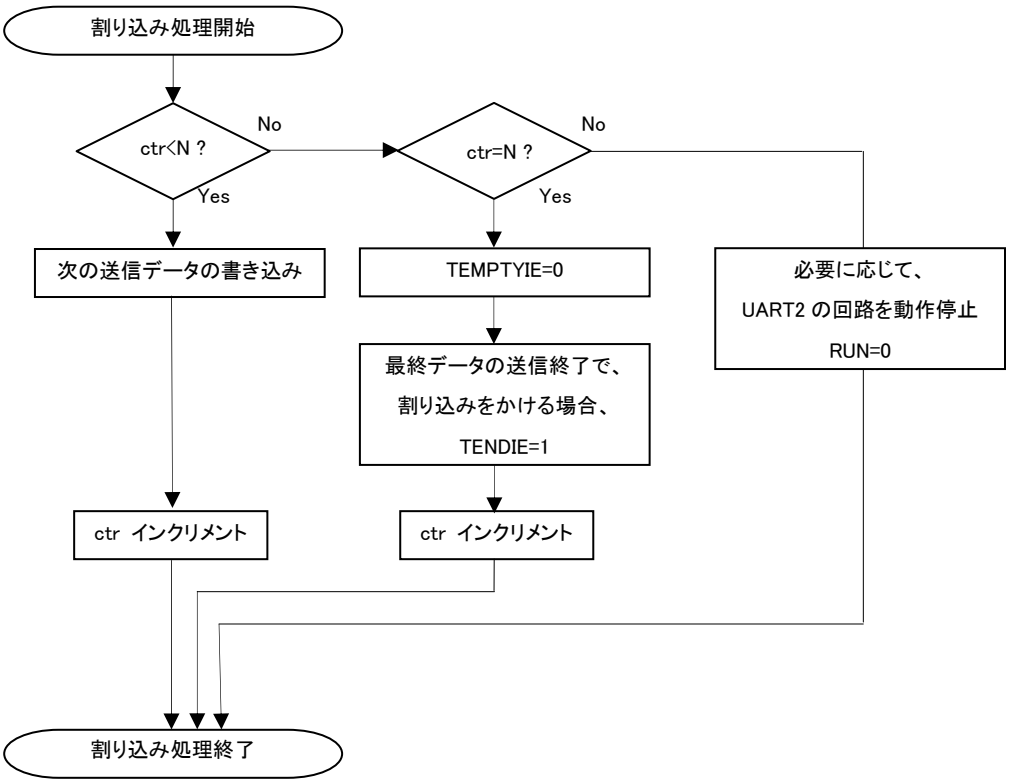
3-24-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウント用変数とします。

1. メインプログラム

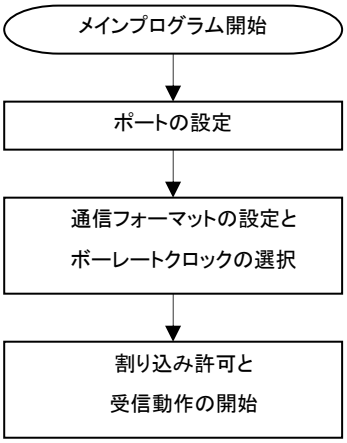


2. 割り込み処理



3-24-6-2 連続受信の具体例

1. メインプログラム



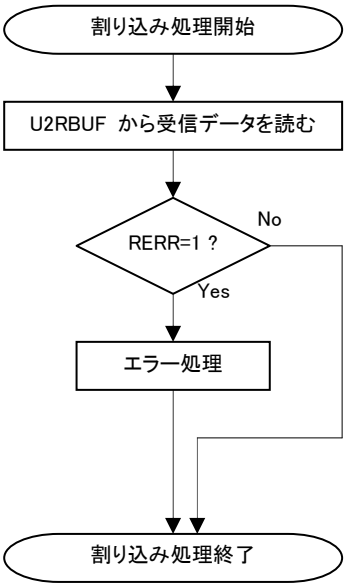
P1LAT<6>=1, P1DDR<6>=1, P1FSA<6>=1, P1FSB<6>=1 とする。

OCR0 レジスタ, U2CNT1 レジスタ, U2BG レジスタを設定する。

IE=1, IL1H<5:4>を設定する。

RIE=1, RUN=1 とする。

2. 割り込み処理



3-24-6-3 UART2通信のポート設定

①送信ポート(P17)の設定

レジスタデータ				ポートP17の状態
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	出力
1	0	0	1	UART2送信出力(CMOS)
1	1	1	0	UART2送信出力(CMOS変化SLOW)
1	1	0	1	UART2送信出力(Nchオープンドレイン)

②受信ポート(P16)の設定

レジスタデータ				ポートP16の状態
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	入力
1	1	1	1	可能(UART2受信入力)

3-25 非同期シリアルインターフェース3 （UART3）

3-25-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース（UART3）を備えています。

①データ長　：８ビット （LSBファースト固定）
②ストップビット長　：１／2ビット
③パリティビット　：なし／偶数パリティ／奇数パリティ
④転送レート　：８～4096サイクル（注１）
⑤ボーレートクロックソース　：システムクロック／OSC0／OSC1／P36端子
⑥動作モード　：モード0／モード1
⑦ウェークアップ機能
受信端子のLOWレベル検出により、割り込み要求を発生させられます。
⑧全2重通信
独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

（注１）
UART3のボーレートクロックソースは、システムクロック／OSC0／OSC1／P36端子から選択できます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-25-2 機能

3-25-2-1 動作モード

UART3は、レジスタ設定により以下の2つのモード設定が選択できます。

①モード0
U3BGの設定値＝00H以外の値　とすることで、このモードに設定されます。
UART3制御レジスタ1（U3CNT1）のDIVとUART3ボーレート制御レジスタ（U3BG）でボーレートクロックの周波数を制御します。
転送レートの設定範囲は、8～4096サイクルとなります。
また、UART3制御レジスタ1（U3CNT1）のPODD、PENでパリティを制御します。

②モード1
U3BGの設定値＝00H　とすることで、このモードに設定されます。
X’tal発振子（32．768kHz）で、転送レート＝9600bpsの通信を行うためのモードです。
DIVの設定は無視されます。
また、PODD，PENの設定にかかわらず、パリティなし、となります。

3-25-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。
送信データは送信データレジスタ（U3TBUF）から読み出されます。
受信データは受信データレジスタ（U3RBUF）に格納されます。

3-25-2-3 割り込みの発生

以下の4つの要因で割り込み要求を発生させられます。

TEMPTY、TEND、RREADY、WUPFLG

詳細は、3-25-4 関連レジスタをご参照ください。

3-25-2-4 HALTモード時の動作

HALTモード時、UART3の送信回路、および、受信回路は動作します。
HALTモードの解除をUART3の割り込みで行うことができます。

3-25-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求(WUPFLG)を発生させられます。
この機能は、HOLDモードの解除に使用することができます。

3-25-2-6 特殊機能レジスタ(SFR)の操作

UART3をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

・U3CNT0、U3CNT1, U3TBUF、U3RBUF, U3BG
・P3LAT、P3DDR、P3FSA、P3FSB
・IL2H、OCR0

3-25-3 回路構成

3-25-3-1 UART3制御レジスタ0(U3CNT0) (8ビットレジスタ)

①UART3の動作、割り込みの制御を行います。

3-25-3-2 UART3制御レジスタ1(U3CNT1) (8ビットレジスタ)

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-25-3-3 UART3送信データレジスタ(U3TBUF) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-25-3-4 UART3送信シフトレジスタ(U3TSH) (9ビットレジスタ)

①データ送信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-25-3-5 UART3受信データレジスタ(U3RBUF) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-25-3-6 UART3受信シフトレジスタ(U3RSH) (8ビットレジスタ)

①データ受信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-25-3-7 UART3ボーレート制御レジスタ(U3BG) (8ビットレジスタ)

①UART3の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

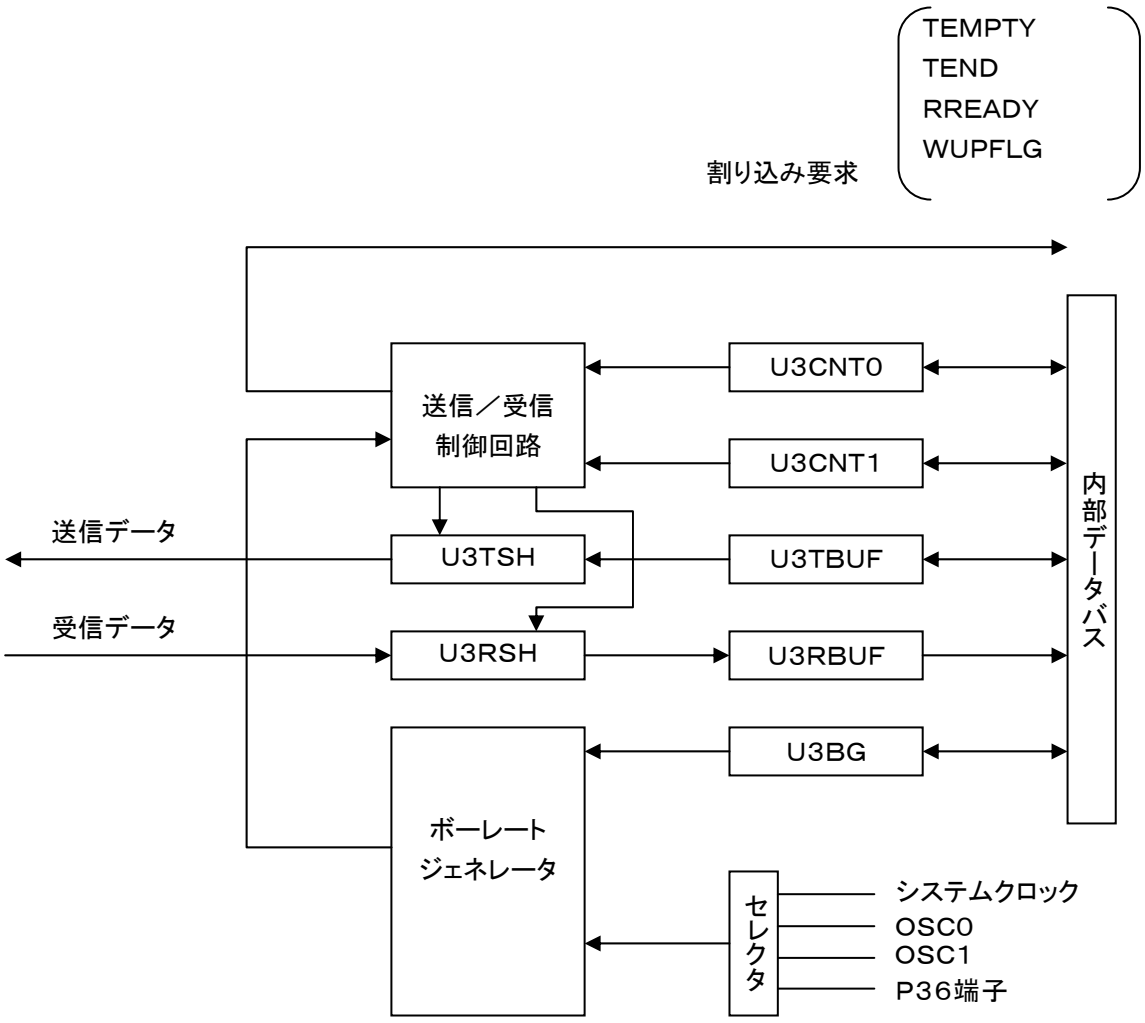


図３－２５－１ ＵＡＲＴ３のブロック図

3-25-4 関連レジスタ

3-25-4-1 UART3制御レジスタ0(U3CNT0)

①UART3モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F70	0010 0000	R/W	U3CNT0	TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE

TEND(ビット7):送信終了フラグ

ストップビット送信終了時、送信データレジスタ(U3TBUF)に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ(U3TBUF)から送信シフトレジスタ(U3TSH)へのデータ転送時に、このビットはクリアされます。

TENDIE(ビット6):TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

TEMPTY(ビット5):送信データ転送完了フラグ

送信データレジスタ(U3TBUF)から送信シフトレジスタ(U3TSH)へのデータ転送時に、このビットはセットされます。

送信データレジスタ(U3TBUF)へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R／Oです。

TEMPTYIE(ビット4):TEMPTY割り込み許可

このビットとTEMPTYが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

RUN(ビット3):UART3動作制御

0:UART3モジュールの回路が動作停止となります。

1:UART3モジュールの回路が動作状態となります。

RERR(ビット2):受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY(ビット1):受信データ受信完了フラグ (R／O)

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ(U3RBUF)のデータを読んだ時、このビットはクリアされます。

このビットは、R／Oです。

RIE(ビット0):受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

3-25-4-2 UART3制御レジスタ1（U3CNT1）

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F71	0000 0000	R/W	U3CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB（ビット7）：送信ストップビット長選択

送信時のストップビットの長さを選択します。

0：1ストップビット

1：2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV（ビット6）：ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

0：ボーレートの設定範囲は、8～1024サイクルとなります。

1：ボーレートの設定範囲は、32～4096サイクルとなります。

モード1では、このビットの設定値は無視されます。

SCK（ビット5、4）：ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
01	P36端子
10	OSC0
11	OSC1

※上記の設定値以外では使用しないでください。

PODD（ビット3）：パリティ偶数／奇数選択

モード0時の送信、および、受信のパリティを選択します。

0：偶数パリティ

1：奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN（ビット2）：パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

0：パリティなし

1：パリティあり

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG（ビット1）：ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE（ビット0）：ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

3-25-4-3 UART3送信データレジスタ(U3TBUF)

①送信データを書き込む8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F72	0000 0000	R/W	U3TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U3TBUFのデータが送信シフトレジスタ(U3TSH)に転送されます。次の送信データは、送信データ転送完了フラグ(TEMPTY)を確認してから設定してください。

3-25-4-4 UART3受信データレジスタ(U3RBUF)

①受信データが格納される8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F73	0000 0000	R/O	U3RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U3RSH)から、U3RBUFに転送されます。

3-25-4-5 UART3ボーレート制御レジスタ(U3BG)

①UART3の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F75	0000 0000	R/W	U3BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

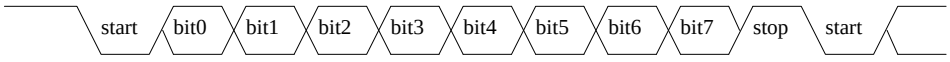
以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	(U3BGの設定値＋1)×4サイクル	8～1024サイクル
1	(U3BGの設定値＋1)×16サイクル	32～4096サイクル

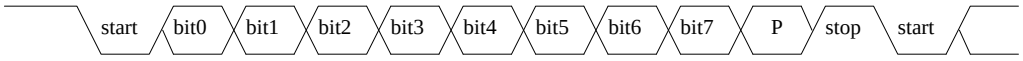
U3BGの設定値＝00H とすることにより、動作モードがモード1に設定されます。

3-25-5 UART3通信フォーマットの具体例

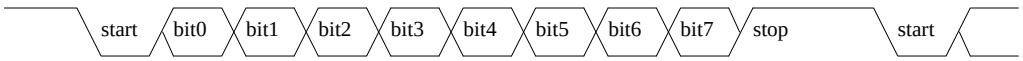
①TSTB＝0、PEN＝0 の場合



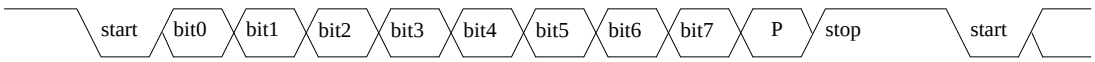
②TSTB＝0、PEN＝1 の場合



③TSTB＝1、PEN＝0 の場合



④TSTB＝1、PEN＝1 の場合



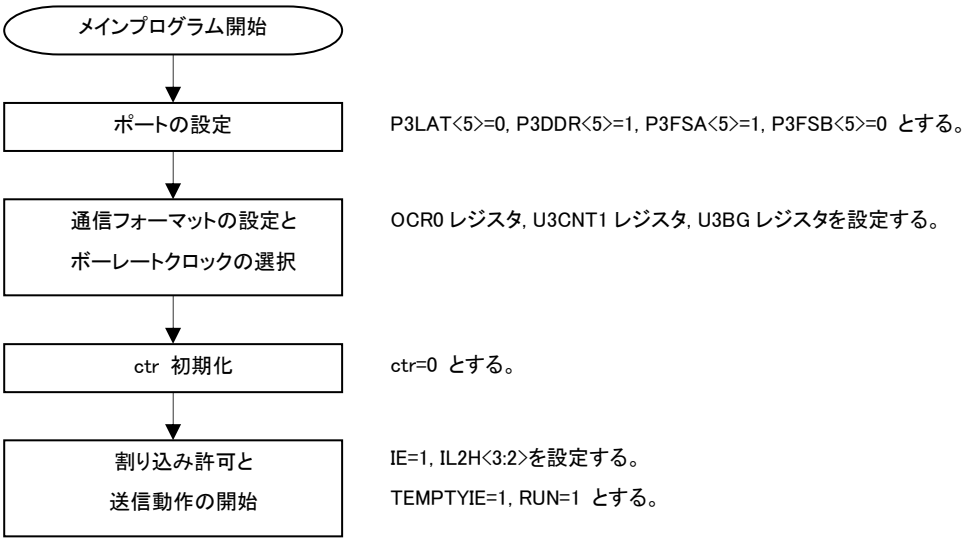
※ただし図中のPは、PODD＝0の時偶数パリティ、PODD＝1の時奇数パリティを表します。

3-25-6 UART3通信の具体例

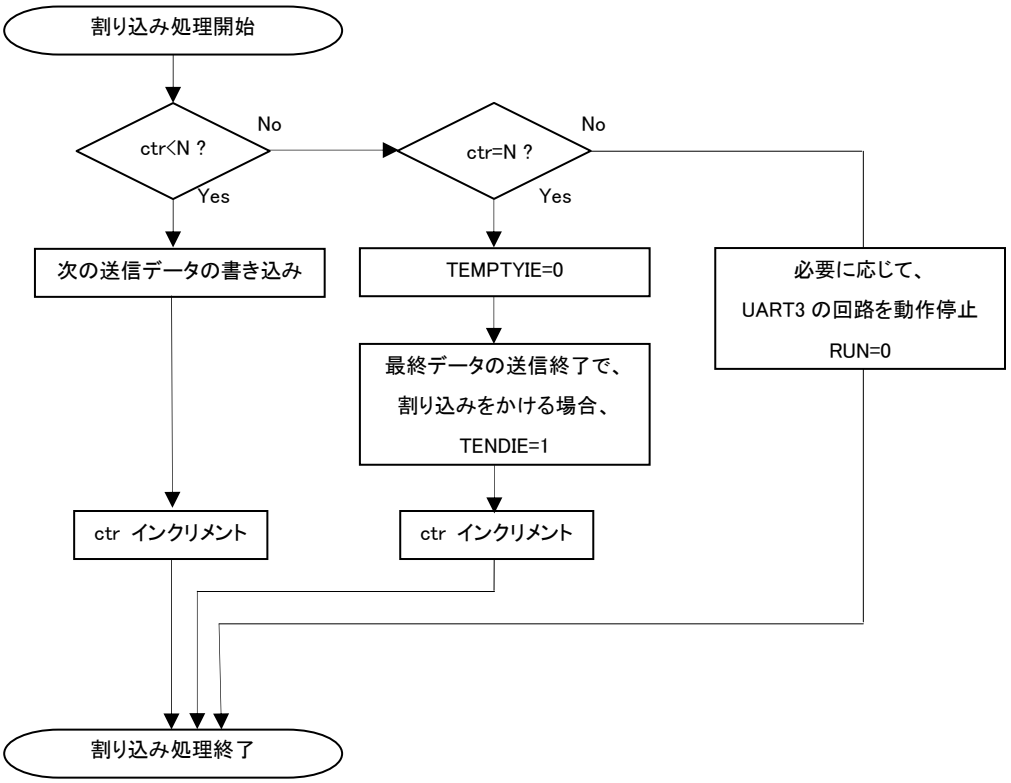
3-25-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウント用変数とします。

1. メインプログラム

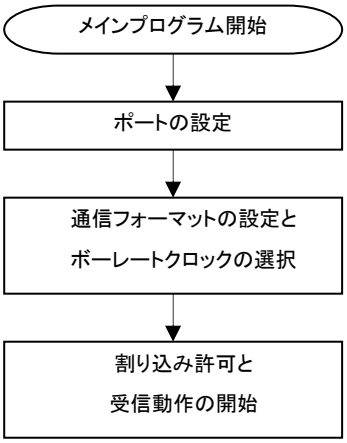


2. 割り込み処理



3-25-6-2 連続受信の具体例

1. メインプログラム



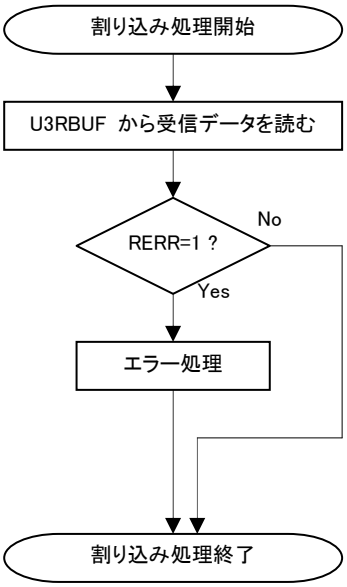
P3LAT<4>=1, P3DDR<4>=1, P3FSA<4>=1, P3FSB<4>=1 とする。

OCR0 レジスタ, U3CNT1 レジスタ, U3BG レジスタを設定する。

IE=1, IL2H<3:2>を設定する。

RIE=1, RUN=1 とする。

2. 割り込み処理



3-25-6-3 UART3通信のポート設定

①送信ポート(P35)の設定

レジスタデータ				ポートP35の状態
P3FSA<5>	P3FSB<5>	P3LAT<5>	P3DDR<5>	出力
1	0	0	1	UART3送信出力(CMOS)
1	1	1	0	UART3送信出力(CMOS変化SLOW)
1	1	0	1	UART3送信出力(Nchオープンドレイン)

②受信ポート(P34)の設定

レジスタデータ				ポートP34の状態
P3FSA<4>	P3FSB<4>	P3LAT<4>	P3DDR<4>	入力
1	1	1	1	可能(UART3受信入力)

3-26 非同期シリアルインターフェース4 （UART4）

3-26-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース（UART4）を備えています。

①データ長　：8ビット （LSBファースト固定）
②ストップビット長　：1／2ビット
③パリティビット　：なし／偶数パリティ／奇数パリティ
④転送レート　：8～4096サイクル（注1）
⑤ボーレートクロックソース　：システムクロック／OSC0／OSC1／P37端子
⑥動作モード　：モード0／モード1
⑦ウェークアップ機能
受信端子のLOWレベル検出により、割り込み要求を発生させられます。
⑧全2重通信
独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

（注1）
UART4のボーレートクロックソースは、システムクロック／OSC0／OSC1／P37端子から選択できます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-26-2 機能

3-26-2-1 動作モード

UART4は、レジスタ設定により以下の2つのモード設定が選択できます。

①モード0
U4BGの設定値＝00H以外の値　とすることで、このモードに設定されます。
UART4制御レジスタ1（U4CNT1）のDIVとUART4ボーレート制御レジスタ（U4BG）でボーレートクロックの周波数を制御します。
転送レートの設定範囲は、8～4096サイクルとなります。
また、UART4制御レジスタ1（U4CNT1）のPODD、PENでパリティを制御します。

②モード1
U4BGの設定値＝00H　とすることで、このモードに設定されます。
X’tal発振子（32．768kHz）で、転送レート＝9600bpsの通信を行うためのモードです。
DIVの設定は無視されます。
また、PODD，PENの設定にかかわらず、パリティなし、となります。

3-26-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。
送信データは送信データレジスタ（U4TBUF）から読み出されます。
受信データは受信データレジスタ（U4RBUF）に格納されます。

3-26-2-3 割り込みの発生

以下の4つの要因で割り込み要求を発生させられます。

TEMPTY、TEND、RREADY、WUPFLG

詳細は、3-26-4 関連レジスタをご参照ください。

3-26-2-4 HALTモード時の動作

HALTモード時、UART4の送信回路、および、受信回路は動作します。
HALTモードの解除をUART4の割り込みで行うことができます。

3-26-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求（WUPFLG）を発生させられます。
この機能は、HOLDモードの解除に使用することができます。

3-26-2-6 特殊機能レジスタ（SFR）の操作

UART4をコントロールするには、次に示す特殊機能レジスタ（SFR）を操作する必要があります。

・U4CNT0、U4CNT1, U4TBUF、U4RBUF, U4BG
・PBLAT、PBDDR、PBFSA、PBFSB
・IL2H、OCR0

3-26-3 回路構成

3-26-3-1 UART4制御レジスタ0（U4CNT0） （8ビットレジスタ）

①UART4の動作、割り込みの制御を行います。

3-26-3-2 UART4制御レジスタ1（U4CNT1） （8ビットレジスタ）

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-26-3-3 UART4送信データレジスタ（U4TBUF） （8ビットレジスタ）

①データの送信をこのレジスタを通して行います。

3-26-3-4 UART4送信シフトレジスタ（U4TSH） （9ビットレジスタ）

①データ送信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-26-3-5 UART4受信データレジスタ（U4RBUF） （8ビットレジスタ）

①データの受信をこのレジスタを通して行います。

3-26-3-6 UART4受信シフトレジスタ（U4RSH） （8ビットレジスタ）

①データ受信のためのシフトレジスタです。
②命令で直接アクセスはできません。

3-26-3-7 UART4ボーレート制御レジスタ（U4BG） （8ビットレジスタ）

①UART4の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

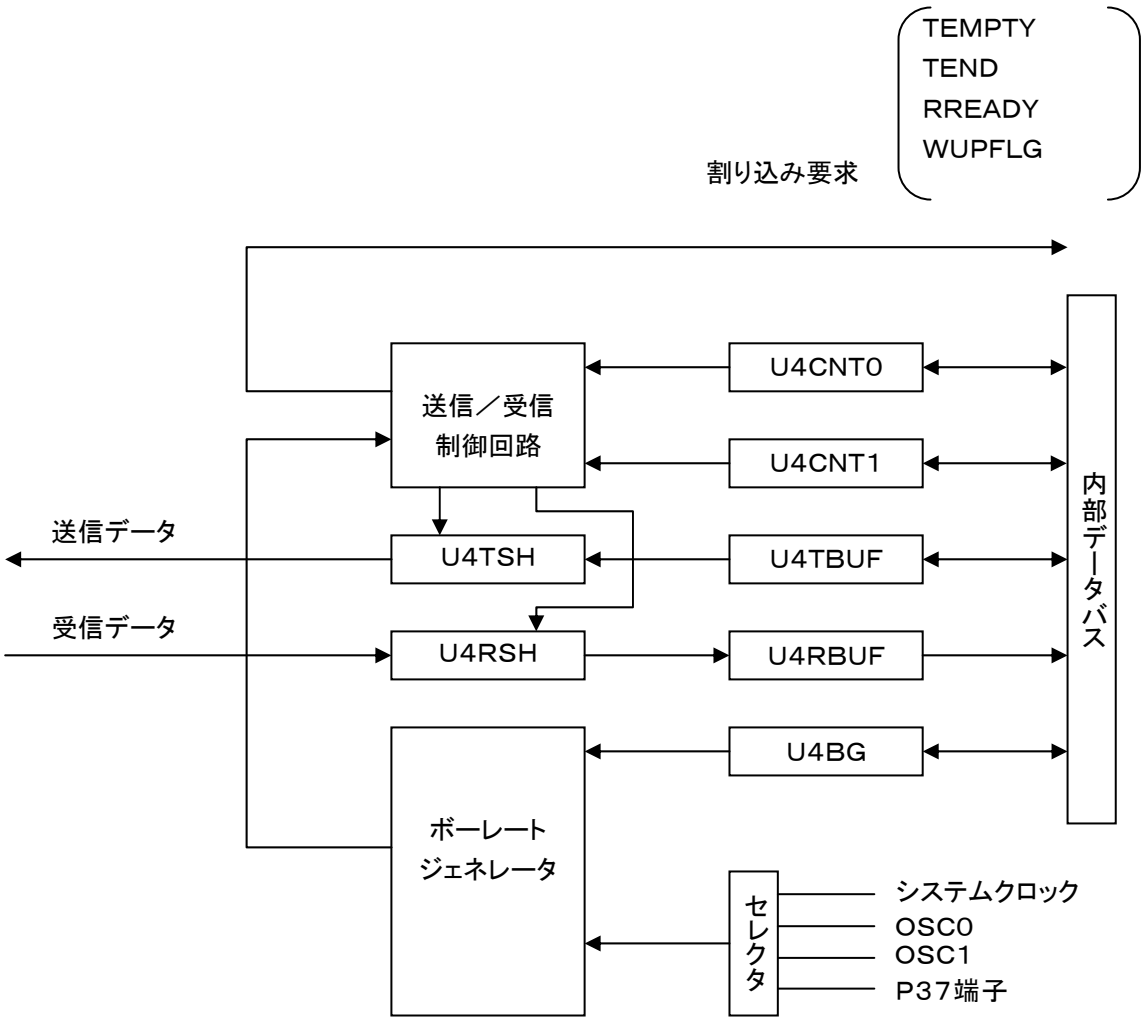


図３－２６－１　ＵＡＲＴ４のブロック図

3-26-4 関連レジスタ

3-26-4-1 UART4制御レジスタ0（U4CNT0）

①UART4モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F78	0010 0000	R/W	U4CNT0	TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE

TEND（ビット7）：送信終了フラグ

ストップビット送信終了時、送信データレジスタ（U4TBUF）に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ（U4TBUF）から送信シフトレジスタ（U4TSH）へのデータ転送時に、このビットはクリアされます。

TENDIE（ビット6）：TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

TEMPTY（ビット5）：送信データ転送完了フラグ

送信データレジスタ（U4TBUF）から送信シフトレジスタ（U4TSH）へのデータ転送時に、このビットはセットされます。

送信データレジスタ（U4TBUF）へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R／Oです。

TEMPTYIE（ビット4）：TEMPTY割り込み許可

このビットとTEMPTYが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

RUN（ビット3）：UART4動作制御

0：UART4モジュールの回路が動作停止となります。

1：UART4モジュールの回路が動作状態となります。

RERR（ビット2）：受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY（ビット1）：受信データ受信完了フラグ

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ（U4RBUF）のデータを読んだ時、このビットはクリアされます。

このビットは、R／Oです。

RIE（ビット0）：受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

3-26-4-2 UART4制御レジスタ1（U4CNT1）

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F79	0000 0000	R/W	U4CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB（ビット7）：送信ストップビット長選択

送信時のストップビットの長さを選択します。

0：1ストップビット

1：2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV（ビット6）：ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

0：ボーレートの設定範囲は、8～1024サイクルとなります。

1：ボーレートの設定範囲は、32～4096サイクルとなります。

モード1では、このビットの設定値は無視されます。

SCK（ビット5、4）：ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
01	P37端子
10	OSC0
11	OSC1

※上記の設定値以外では使用しないでください。

PODD（ビット3）：パリティ偶数／奇数選択

モード0時の送信、および、受信のパリティを選択します。

0：偶数パリティ

1：奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN（ビット2）：パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

0：パリティなし

1：パリティあり

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG（ビット1）：ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE（ビット0）：ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

3-26-4-3 UART4送信データレジスタ(U4TBUF)

①送信データを書き込む8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7A	0000 0000	R/W	U4TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U4TBUFのデータが送信シフトレジスタ(U4TSH)に転送されます。次の送信データは、送信データ転送完了フラグ(TEMPTY)を確認してから設定してください。

3-26-4-4 UART4受信データレジスタ(U4RBUF)

①受信データが格納される8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7B	0000 0000	R/O	U4RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U4RSH)から、U4RBUFに転送されます。

3-26-4-5 UART4ボーレート制御レジスタ(U4BG)

①UART4の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7C	0000 0000	R/W	U4BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

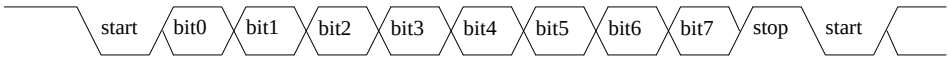
以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	(U4BGの設定値＋1)×4サイクル	8～1024サイクル
1	(U4BGの設定値＋1)×16サイクル	32～4096サイクル

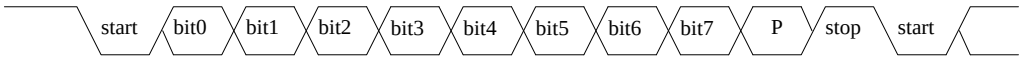
U4BGの設定値＝00H とすることにより、動作モードがモード1に設定されます。

3-26-5 UART4通信フォーマットの具体例

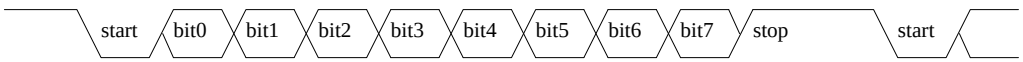
①TSTB＝0、PEN＝0 の場合



②TSTB＝0、PEN＝1 の場合



③TSTB＝1、PEN＝0 の場合



④TSTB＝1、PEN＝1 の場合

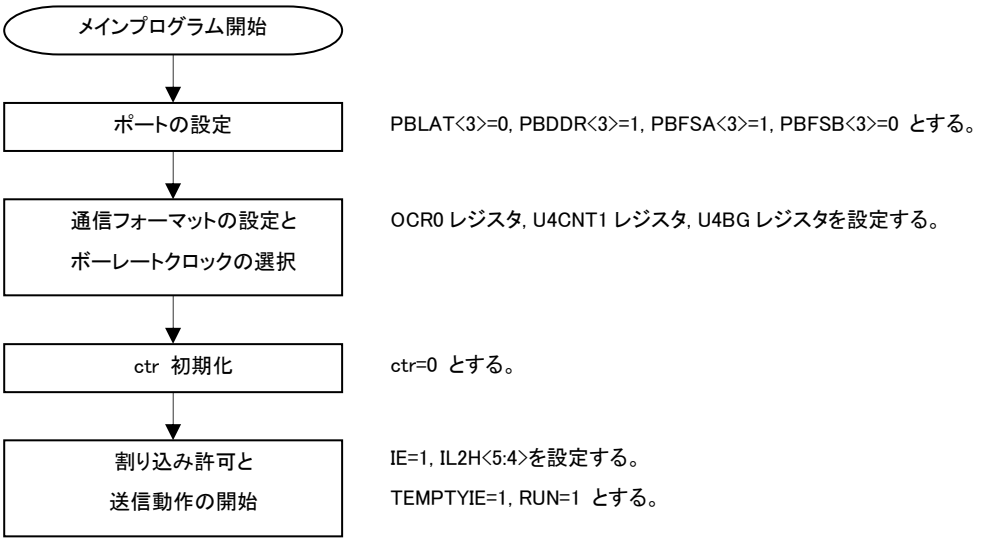
※ただし図中のPは、PODD＝0の時偶数パリティ、PODD＝1の時奇数パリティを表します。

3-26-6 UART4通信の具体例

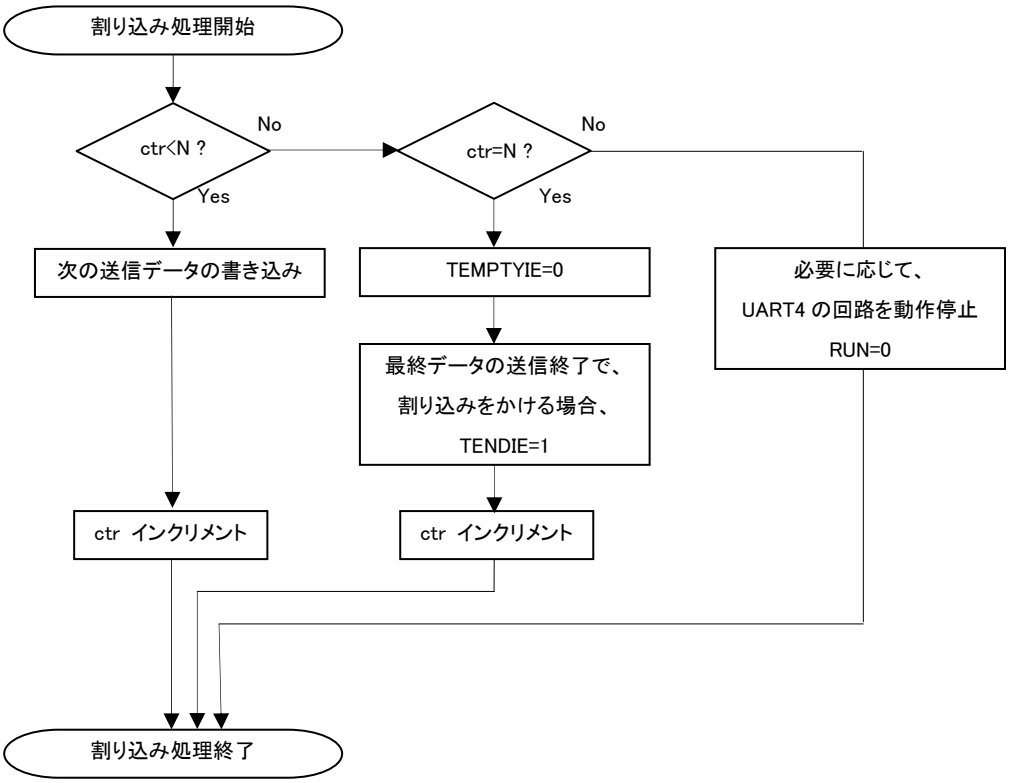
3-26-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウント用変数とします。

1. メインプログラム

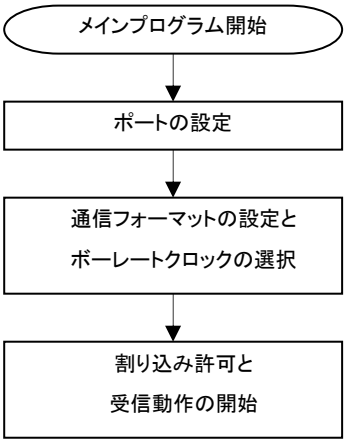


2. 割り込み処理



3-26-6-2 連続受信の具体例

1. メインプログラム



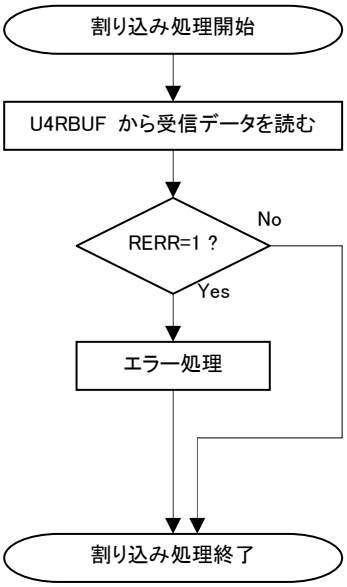
PBLAT<2>=1, PBDDR<2>=1, PBFSA<2>=1, PBFSB<2>=1 とする。

OCR0 レジスタ, U4CNT1 レジスタ, U4BG レジスタを設定する。

IE=1, IL2H<5:4>を設定する。

RIE=1, RUN=1 とする。

2. 割り込み処理



3-26-6-3 UART4通信のポート設定

①送信ポート(PB3)の設定

レジスタデータ				ポートPB3の状態
PBFSA<3>	PBFSB<3>	PBLAT<3>	PBDDR<3>	出力
1	0	0	1	UART4送信出力(CMOS)
1	1	1	0	UART4送信出力(CMOS変化SLOW)
1	1	0	1	UART4送信出力(Nchオープンドレイン)

②受信ポート(PB2)の設定

レジスタデータ				ポートPB2の状態
PBFSA<2>	PBFSB<2>	PBLAT<2>	PBDDR<2>	入力
1	1	1	1	可能(UART4受信入力)

3-27 シリアルインターフェース0 （SIO0）

3-27-1 概要

本シリーズは、次の機能を持ったシリアルインターフェース（SIO0）を備えています。

① 同期式8ビットシリアルI／O（2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル）（注1）

② ウェークアップ機能（2線式または3線式、外部クロックモードのみ）

③ 連続データ自動通信機能（9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル）

（注1）

SIO0のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-27-2 機能

3-27-2-1 動作モード

SIO0は、レジスタ設定により以下のモード設定が選択できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	S0CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F31	0000 0000	R/W	S0BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	S0INTVL	－	SNBIT			XCHNG	INTVL		

① モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は（n＋1）×2サイクル（n＝1～255，注：n＝0は禁止）の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

②モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ（S0BUF）へ自動転送されます。

自動受信時の受信データは、データバッファ（S0BUF）から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S0BUF)へ自動転送され、受信データは、データバッファ(S0XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。
内部クロックの周期は(n＋1)×2サイクル(n＝1～255, 注:n＝0は禁止)の範囲で可変です。
バイト間のインターバル時間は(内部クロックの周期)×n[サイクル]
(n＝0, 1, 2, 4, 8, 16, 32, 64)の範囲で可変です。

3-27-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-27-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。
HALTモードの解除をSIO0の割り込みで行うことができます。

3-27-2-4 ウェークアップ機能

モード0のみ使用できる機能です。
外部クロック時、HOLD／HOLDXモードの解除に使用することができます。

3-27-2-5 特殊機能レジスタ(SFR)の操作

SIO0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

・S0CNT、S0BG、S0BUF、S0INTVL
・P1LAT、P1DDR、P1FSA、P1FSB
・IL2H
・RTS1ADRL、RTS1ADRH、RTS1CTR, RTSCNT

3-27-3 回路構成

3-27-3-1 SIO0制御レジスタ(S0CNT) (8ビットレジスタ)

①SIO0の動作、割り込みの制御を行います。

3-27-3-2 SIO0ボーレート制御レジスタ(S0BG) (8ビットレジスタ)

①内部クロック発生用のリロードカウンタです。
②(n＋1)×2サイクル(n＝1～255)周期のクロックを発生できます。
外部クロックを使用する場合は、S0BG＝00[H]で使用してください。

3-27-3-3 SIO0シフトレジスタ(S0SH) (8ビットシフトレジスタ)

①SIO0のデータ転送・受信のためのシフトレジスタです。
②命令で直接アクセスできません。S0BUFを通してアクセスします。

3-27-3-4 SIO0Xデータバッファ（S0XBUF） （8ビットレジスタ）

①モード1の自動送受信の受信データを格納するレジスタです。
②命令で直接アクセスできません。

3-27-3-5 SIO0データバッファ（S0BUF） （8ビットレジスタ）

データの送信・受信をこのレジスタを通して行います。
①モード0の送信・受信をこのレジスタを通して行います。
②モード1の自動送信時、RAMから送信データが自動転送されます。
③モード1の自動受信時、受信データをRAMへ自動転送します。
④モード1の自動送受信時、RAMから送信データが自動転送されます。
⑤命令で直接アクセスできます。

3-27-3-6 SIO0インターバルレジスタ（S0INTVL） （8ビットレジスタ）

①モード1時、バイト間のインターバル時間の設定を行います。
②モード1の、自動送受信の設定を行います。
③端数ビットを指定します。

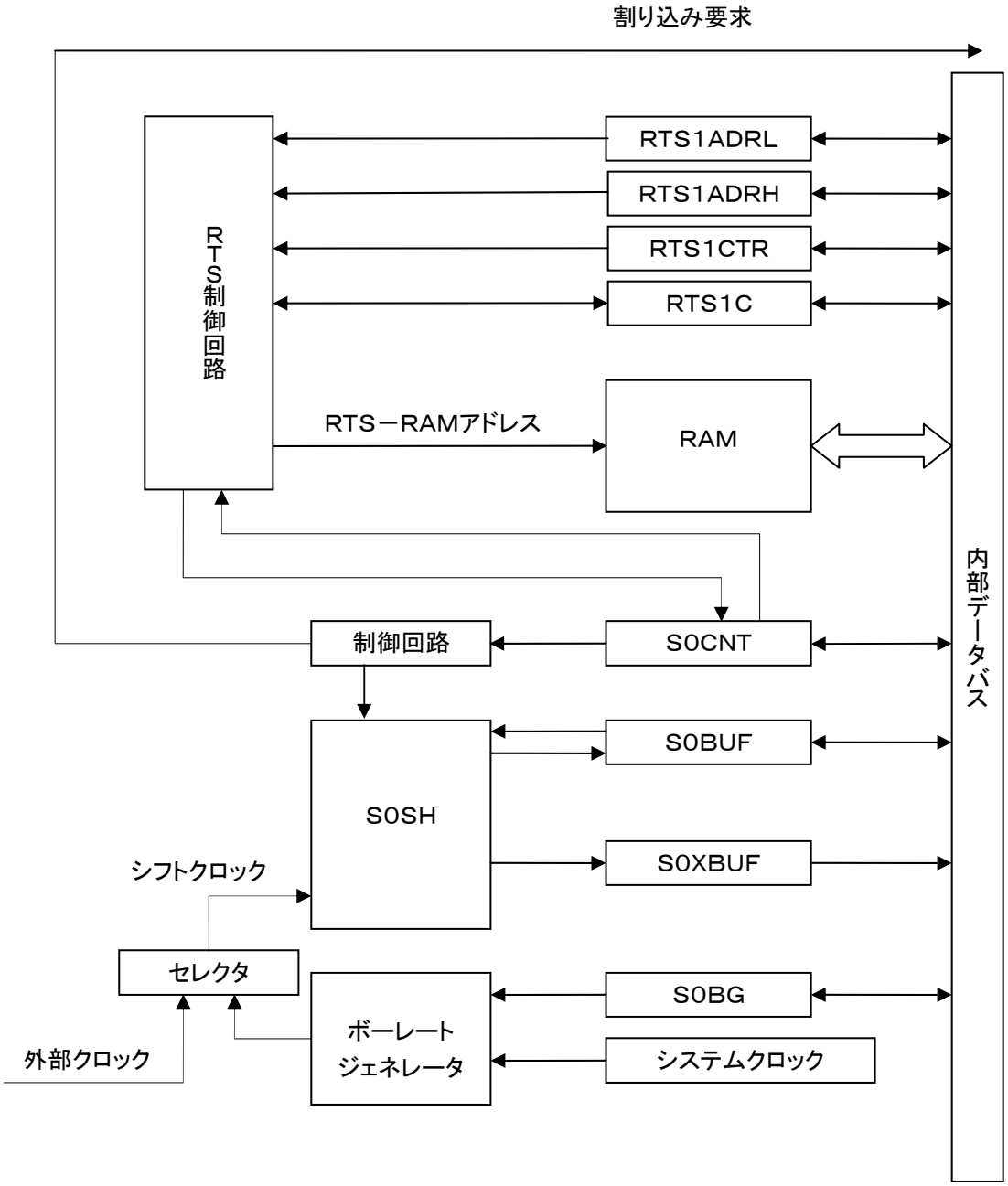


図３－２７－１　ＳＩＯ０のブロック図

3-27-4 関連レジスタ

3-27-4-1 SIO0制御レジスタ（S0CNT）

①SIO0モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	S0CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP（ビット7）:ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

＊モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC（ビット6）:受信モード設定

0:送信モードです。

1:受信モードです。

RUN（ビット5）:SIO0動作フラグ

①このビットが1の時SIO0は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信／自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO（ビット4）:自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO＝0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中（AUTO＝RUN＝1）、このビットにCLR命令を実行すると自動通信を一時停止（AUTO＝0、RUN＝1）することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行（AUTO＝RUN＝1）すると、自動通信を再開します。

＊注意:動作停止中にAUTOをセット･クリアする際は、ビット操作命令を使わず、バイト操作命令を使用してください。

MSB（ビット3）:MSB／LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

OVRUN(ビット2):オーバーランフラグ

①RUN＝0の状態で、入力クロックの立ち下がりを検出するとこのビットはセットされます。
②モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
③モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
④モード1の自動送信時、RAMからS0BUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
⑤モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、S0BUF・S0XBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
⑥このビットを読んで通信が正常に行われたかどうか判断してください。
⑦このビットのクリアは命令で行ってください。

FLG(ビット1):シリアル転送終了フラグ

①シリアル転送が終了で、このビットがセットされます。
②このビットのクリアは命令で行ってください。

IE(ビット0):受信割り込み許可

①このビットとFLGが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。
②このビットとOVRUNが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

3-27-4-2 SIO0ボーレート制御レジスタ(S0BG)

①シリアル転送の転送レートを設定する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F31	0000 0000	R/W	S0BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは
TS0BG＝(S0BGの設定値＋1)×2サイクル
S0BGの設定値＝1～255であり、TS0BGの設定範囲は、4～512サイクルとなります。
外部クロックを使用する場合は、S0BG＝00[H]で使用してください。

3-27-4-3 SIO0データバッファ(S0BUF)

①シリアル転送データを格納する8ビットのバッファレジスタです。
②送受信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-27-4-4 SIO0インターバルレジスタ(S0INTVL)

①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	S0INTVL	－	SNBIT			XCHNG	INTVL		

(ビット7):固定ビット
0で使用してください。

SNBIT(ビット6～4):
①端数ビットの指定を行います。
②動作中(RUN＝1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN＝0)に、設定してください。

XCHNG(ビット3):自動送受信
①このビットが１の時、モード1の自動送受信になります。
②動作中(RUN＝1)にセット／クリアをしないでください。必ず、動作停止中(RUN＝0)に、設定してください。また、自動通信モード以外(AUTO＝0)でこのビットをセットすると誤動作します。

INTVL(ビット2～0):
①モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
②インターバル時間[サイクル]＝
((S0BGの設定値＋1)×2)×インターバル設定値
③S0SHとS0BUF、S0XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数(シリアルクロックの立ち上がりから立ち下がりまで)を6サイクル以下に設定しても、そのサイクル数で動作できません。
④また、リアルタイムサービスコントローラのRTS制御レジスタの設定(バススチール要求禁止／ウエイト要求禁止)によっては、必ずしもS0INTVLで設定するインターバル時間になるとは限りません。
⑤動作中(RUN＝1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN＝0)に、設定してください。

表３－２７－１　INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表３－２７－２　SIO0の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信／送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信／送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-27-5　転送ビット数の設定

3-27-5-1　モード0時の設定方法

転送ビットは、SNBITで設定します。
表３－２７－3を参照してください。
例：5ビット通信の場合
　　SNBIT＝101となります。

3-27-5-2　モード1時の設定方法

n＝((X＋1)×8)＋Nで転送ビット数を指定します。
(n＝9ビット～32768ビット、X＝0～4094、N＝1～8ビット)
Xの設定は、RTS1CTR、RTS1ADRLで設定します。
　X＝((((RTS1ADRL)＜＜8)＆0x0F00)＋(RTS1CTR＆0x00FF))
Nの設定は、SNBITで設定します。
表３－２７－3を参照してください。

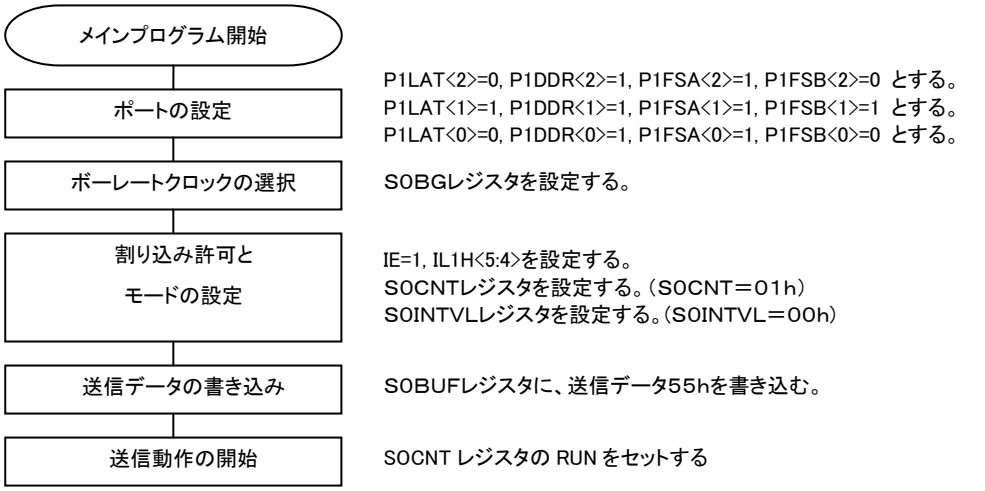
表３－２７－３　ビット数の設定

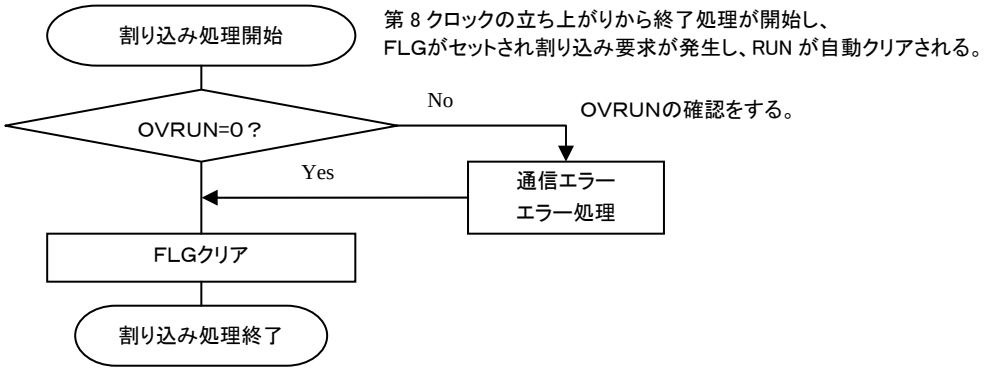
SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

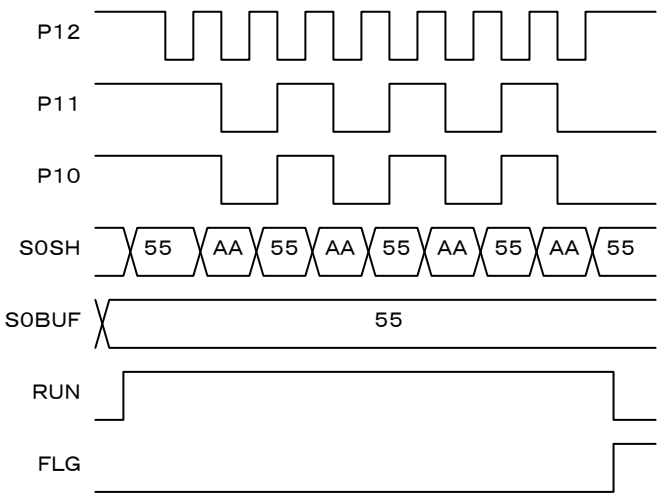
3-27-6 SIO0通信の具体例

3-27-6-1 モード0（送信）の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合

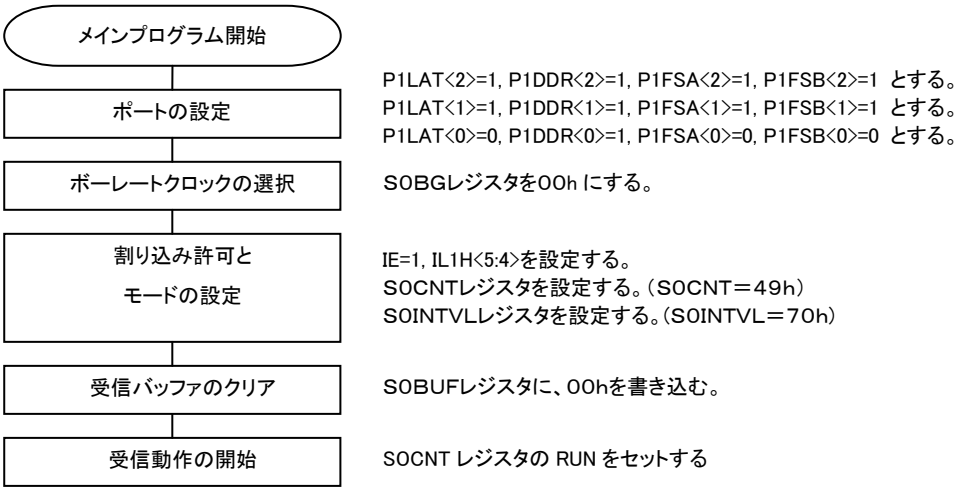


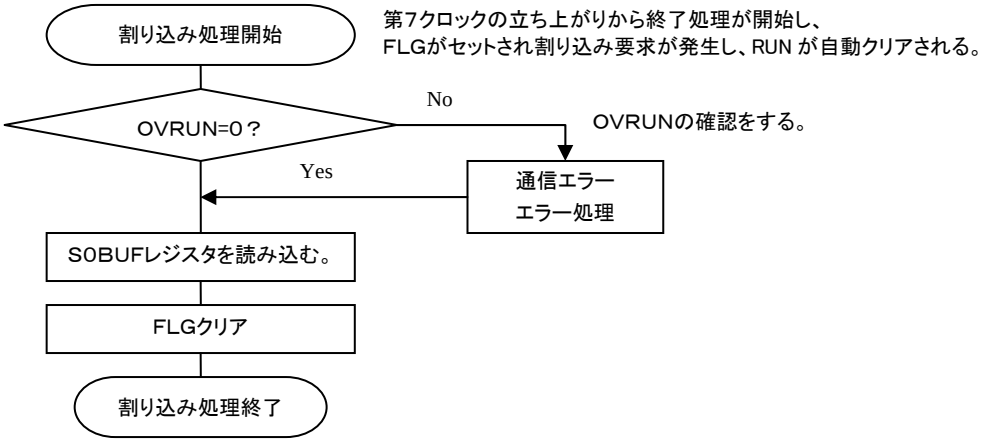


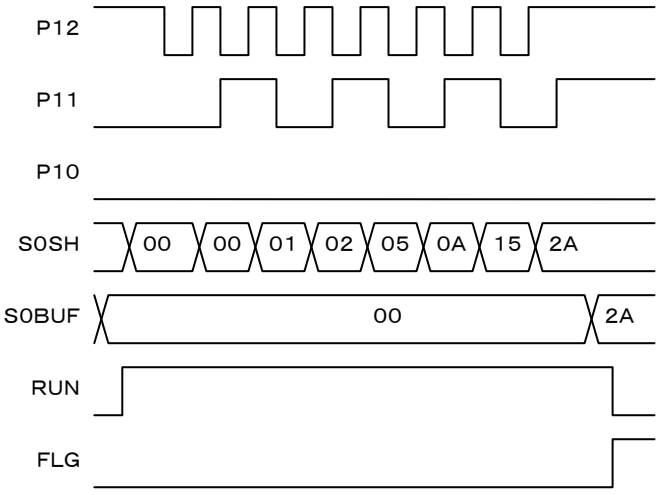


3-27-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、P10＝L出力、受信データ2Ah、受信ビット数7の場合

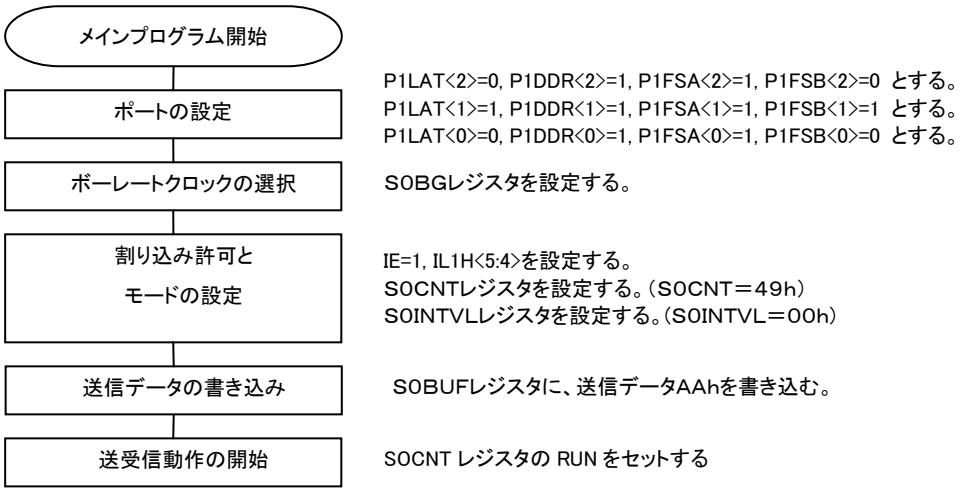


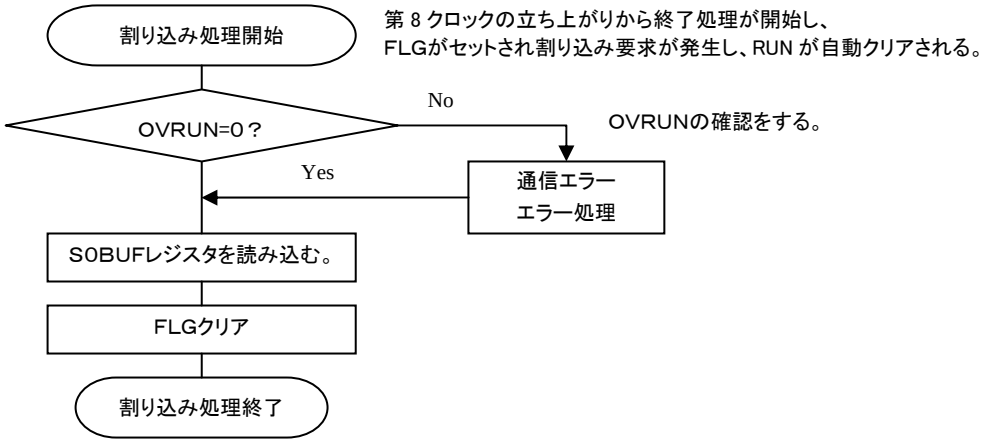


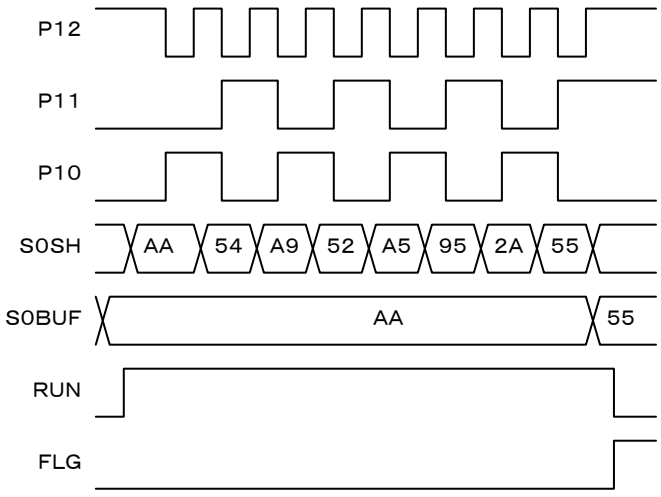


3-27-6-3 モード0（送受信）の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合

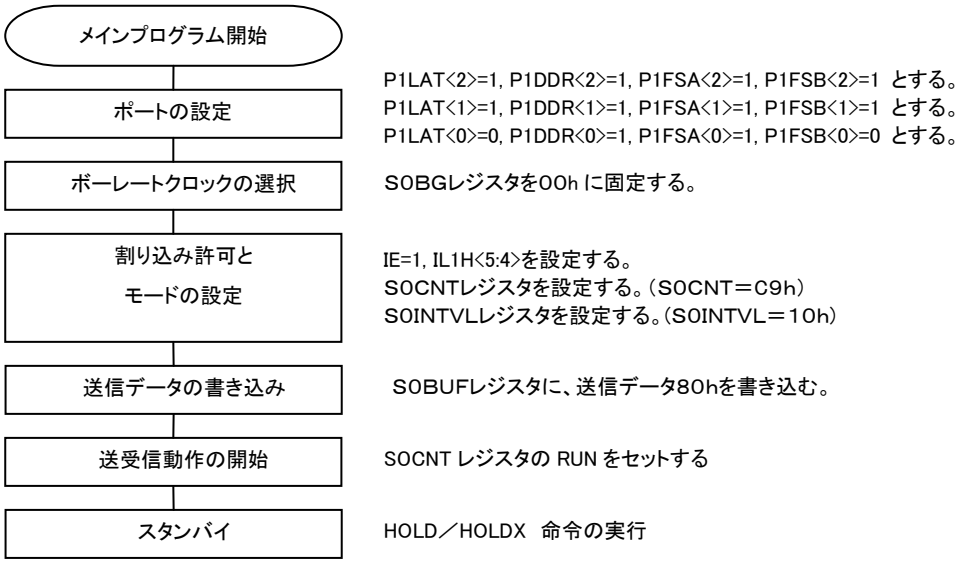


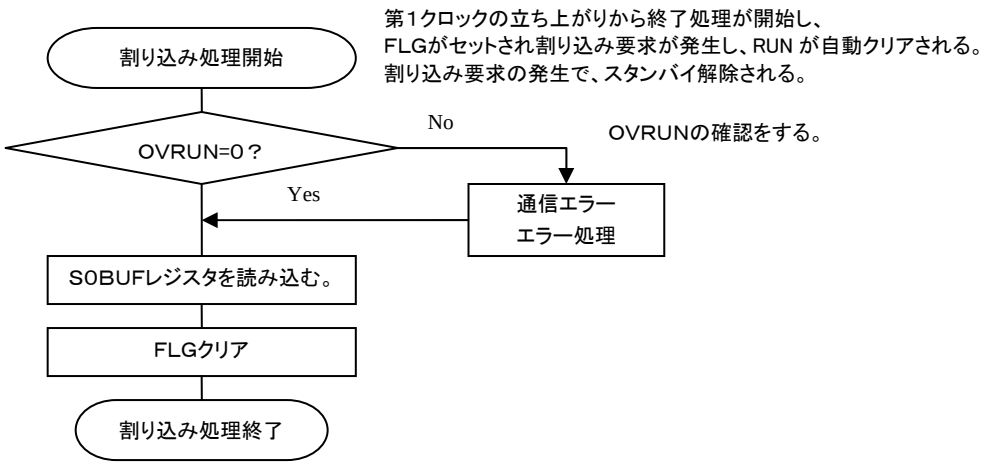


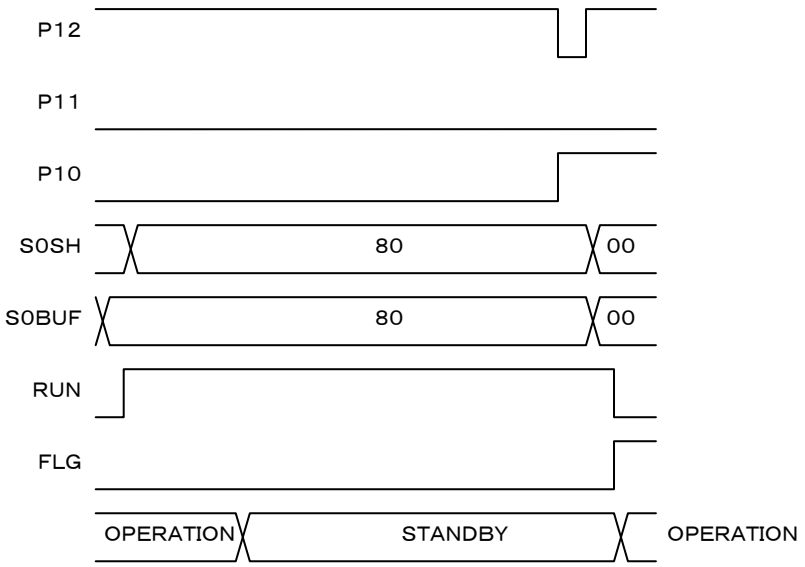


3-27-6-4 モード0（送受信・ウェークアップ）の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合

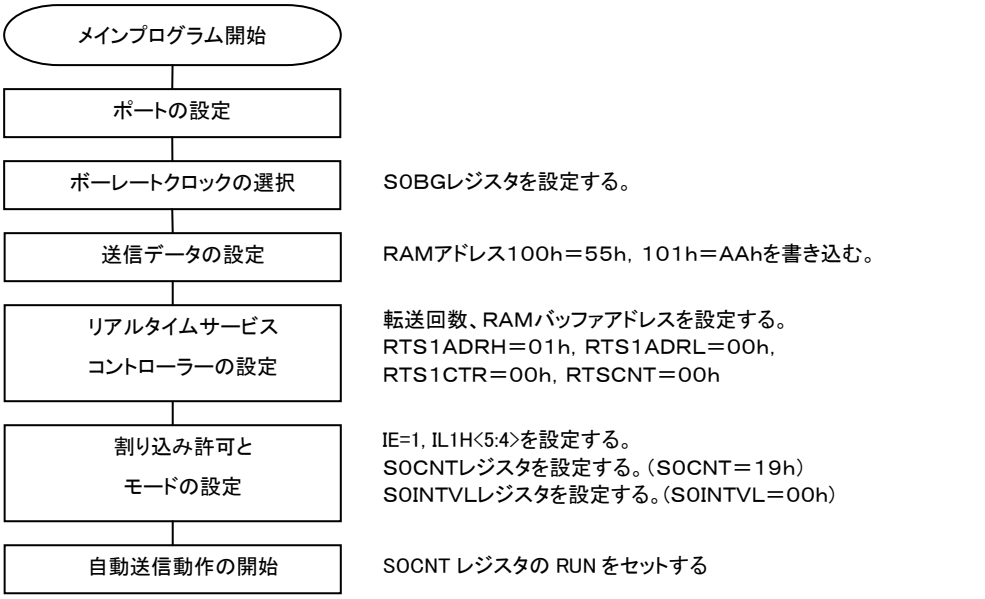


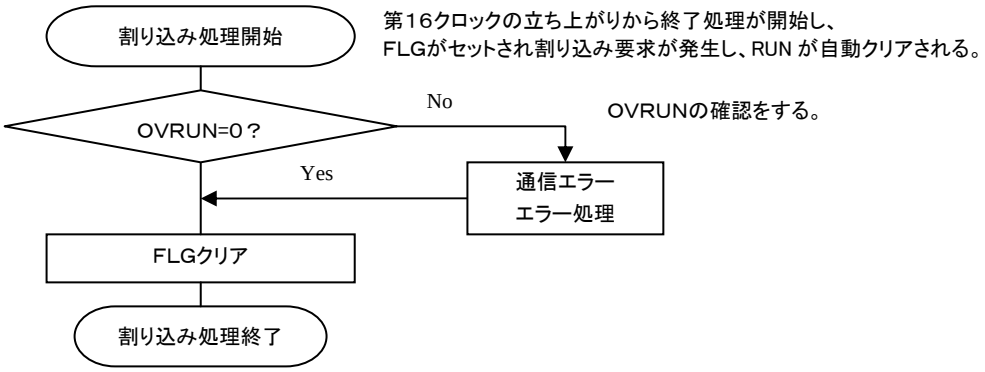


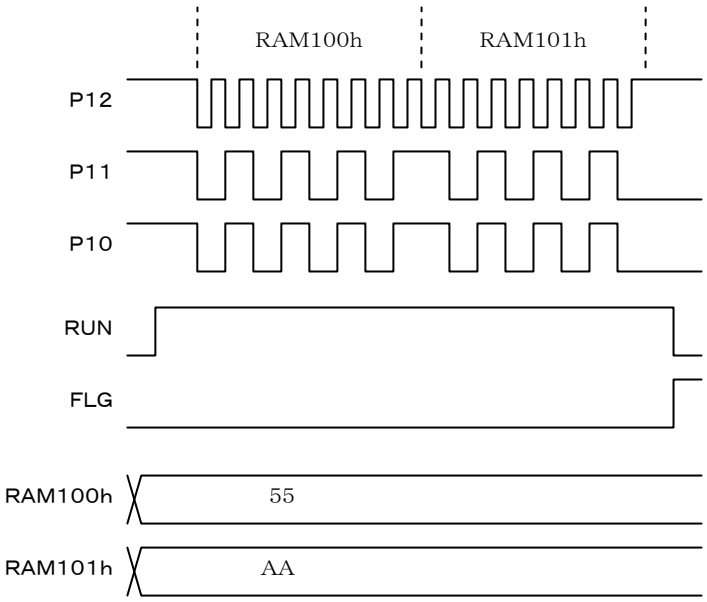


3-27-6-5 モード 1（自 動 送 信）の具 体 例

内 部 クロック、MSB先 頭 、送 信 データ開 始 RAMバッファアドレス100番 地 、インターバル＝0、送 信 ビット数 16の場 合

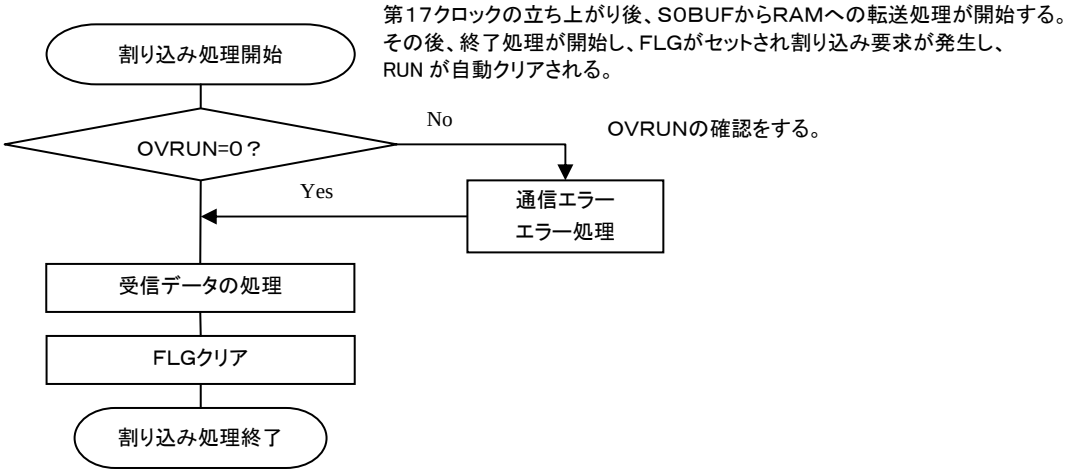


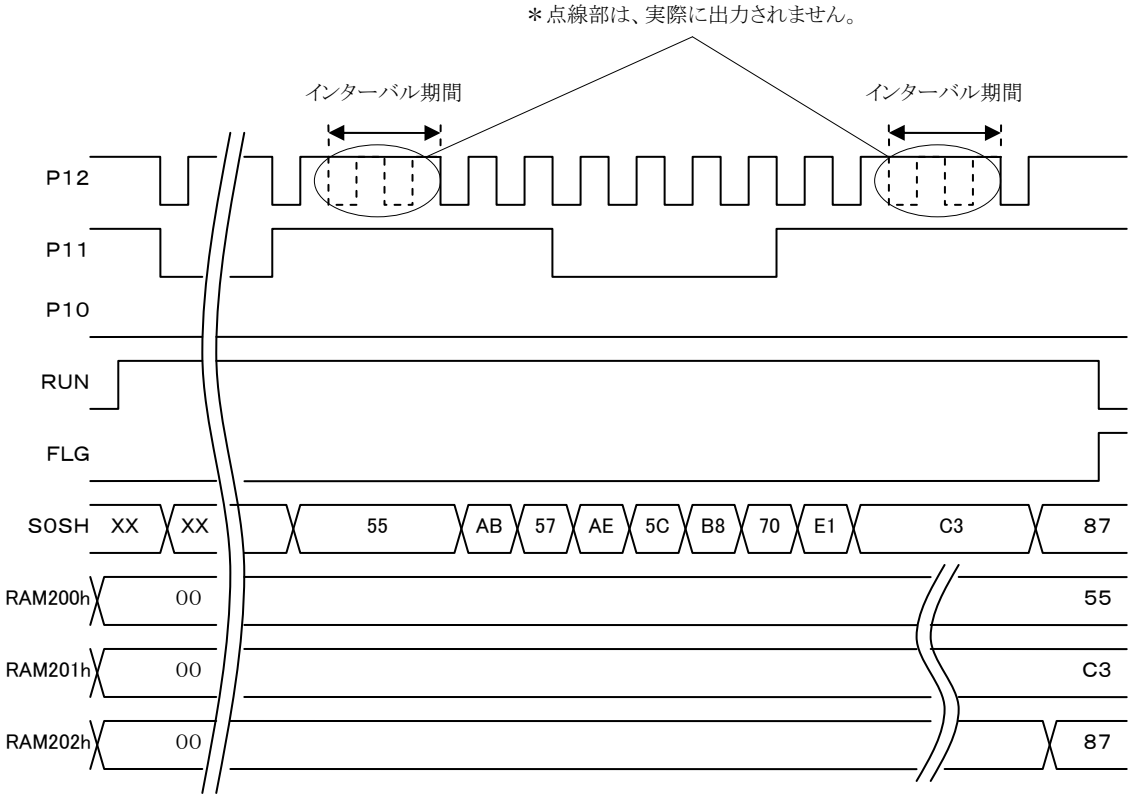




3-27-6-6 モード 1(自 動 受 信)の具 体 例

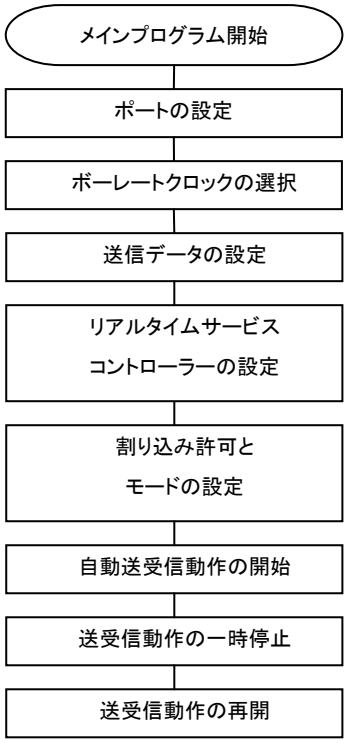
内 部 クロック、MSB先 頭 、受 信 データ開 始 RAMバッファアドレス200番 地 、インターバル＝2、受 信 ビット数 17、P10=L 出 力 の場 合




＊点線部は、実際に出力されません。
インターバル期間
インターバル期間
P12
P11
P10
RUN
FLG
SOSH
XX
XX
55
AB
57
AE
5C
B8
70
E1
C3
87
RAM200h
00
55
RAM201h
00
C3
RAM202h
00
87

3-27-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、インターバル＝1、送受信ビット数18、一時停止後、通信再開の場合



S0BGレジスタを設定する。

RAMアドレス300h＝55h, 301h＝C3h, 302h＝F0hを書き込む。

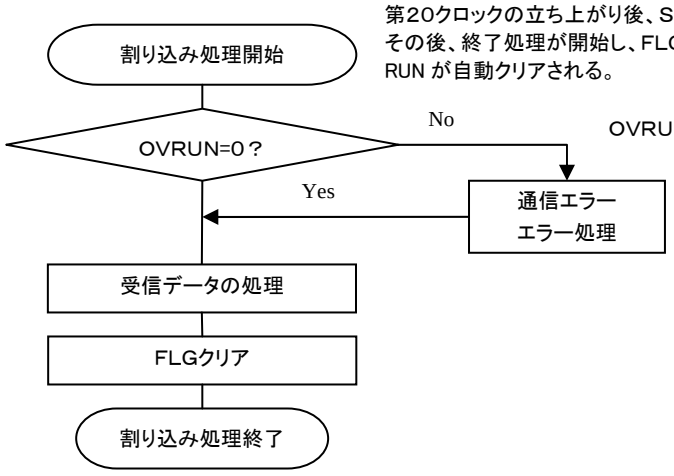
転送回数、RAMバッファアドレスを設定する。
RTS1ADRH＝03h, RTS1ADRL＝00h,
RTS1CTR＝01h, RTSCNT＝00h

IE=1, IL1H<5:4>を設定する。
S0CNTレジスタを設定する。(S0CNT＝59h)
S0INTVLレジスタを設定する。(S0INTVL＝29h)

S0CNT レジスタの RUN をセットする

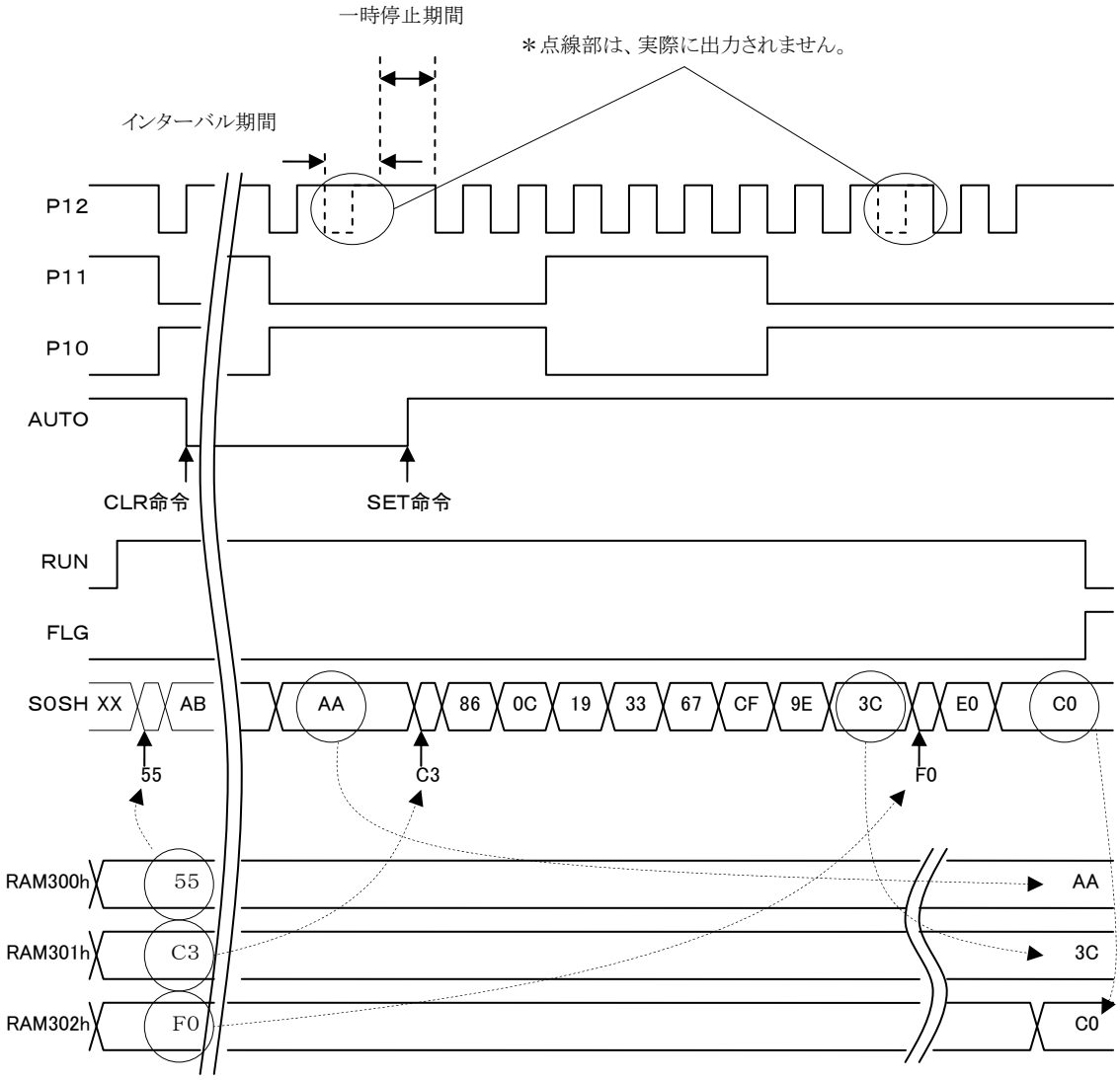
S0CNT レジスタのAUTOをビット操作命令でクリアする

S0CNT レジスタのAUTOをビット操作命令でセットする



第20クロックの立ち上がり後、S0BUFからRAMへの転送処理が開始する。
その後、終了処理が開始し、FLGがセットされ割り込み要求が発生し、
RUN が自動クリアされる。

OVRUNの確認をする。


一時停止期間
＊点線部は、実際に出力されません。
インターバル期間
P12
P11
P10
AUTO
CLR命令
SET命令
RUN
FLG
SOSH
XX
AB
AA
86
0C
19
33
67
CF
9E
3C
E0
C0
55
C3
F0
RAM300h
55
AA
RAM301h
C3
3C
RAM302h
F0
C0

3-27-6-8 SIO0通信のポート設定

①データ送信専用ポート(P10)の設定

レジスタ設定				P10の状態	FAST/SLOW
P1FSA<0>	P1DDR<0>	P1LAT<0>	P1FSB<0>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW

②データ送受信ポート(P11)の設定

レジスタ設定				P11の状態	FAST/SLOW
P1FSA<1>	P1DDR<1>	P1LAT<1>	P1FSB<1>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW
1	1	1	1	入力 (受信)	−

③クロック用ポート(P12)の設定

レジスタ設定				P12の状態	FAST/SLOW
P1FSA<2>	P1DDR<2>	P1LAT<2>	P1FSB<2>		
1	1	0	0	CMOS出力 (内部クロック)	FAST
1	0	1	1	CMOS出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	−

3-28 シリアルインターフェース1 （SIO1）

3-28-1 概要

本シリーズは、次の機能を持ったシリアルインターフェース（SIO1）を備えています。

① 同期式8ビットシリアルI／O（2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル）（注1）

② ウェークアップ機能（2線式または3線式、外部クロックモードのみ）

③ 連続データ自動通信機能（9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル）

（注1）

SIO1のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-28-2 機能

3-28-2-1 動作モード

SIO1は、レジスタ設定により以下のモード設定が選択できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	S1CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	－	SNBIT			XCHNG	INTVL		

① モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は（n＋1）×2サイクル（n＝1～255，注：n＝0は禁止）の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

② モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ（S1BUF）へ自動転送されます。

自動受信時の受信データは、データバッファ（S1BUF）から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S1BUF)へ自動転送され、受信データは、データバッファ(S1XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。
内部クロックの周期は(n＋1)×2サイクル(n＝1～255, 注:n＝0は禁止)の範囲で可変です。
バイト間のインターバル時間は(内部クロックの周期)×n[サイクル]
(n＝0, 1, 2, 4, 8, 16, 32, 64)の範囲で可変です。

3-28-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-28-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。
HALTモードの解除をSIO1の割り込みで行うことができます。

3-28-2-4 ウェークアップ機能

モード0のみ使用できる機能です。
外部クロック時、HOLD／HOLDXモードの解除に使用することができます。

3-28-2-5 特殊機能レジスタ(SFR)の操作

SIO1をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

・S1CNT、S1BG、S1BUF、S1INTVL
・P4LAT、P4DDR、P4FSA、P4FSB
・IL2L
・RTS2ADRL、RTS2ADRH、RTS2CTR, RTSCNT

3-28-3 回路構成

3-28-3-1 SIO1制御レジスタ(S1CNT) (8ビットレジスタ)

①SIO1の動作、割り込みの制御を行います。

3-28-3-2 SIO1ボーレート制御レジスタ(S1BG) (8ビットレジスタ)

①内部クロック発生用のリロードカウンタです。
②(n＋1)×2サイクル(n＝1～255)周期のクロックを発生できます。
外部クロックを使用する場合は、S1BG＝00[H]で使用してください。

3-28-3-3 SIO1シフトレジスタ(S1SH) (8ビットシフトレジスタ)

①SIO1のデータ転送・受信のためのシフトレジスタです。
②命令で直接アクセスできません。S1BUFを通してアクセスします。

3-28-3-4 SIO1Xデータバッファ(S1XBUF) (8ビットレジスタ)

①モード1の自動送受信の受信データを格納するレジスタです。
②命令で直接アクセスできません。

3-28-3-5 SIO1データバッファ(S1BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。
①モード0の送信・受信をこのレジスタを通して行います。
②モード1の自動送信時、RAMから送信データが自動転送されます。
③モード1の自動受信時、受信データをRAMへ自動転送します。
④モード1の自動送受信時、RAMから送信データが自動転送されます。
⑤命令で直接アクセスできます。

3-28-3-6 SIO1インターバルレジスタ(S1INTVL) (8ビットレジスタ)

①モード1時、バイト間のインターバル時間の設定を行います。
②モード1の、自動送受信の設定を行います。
③端数ビットを指定します。

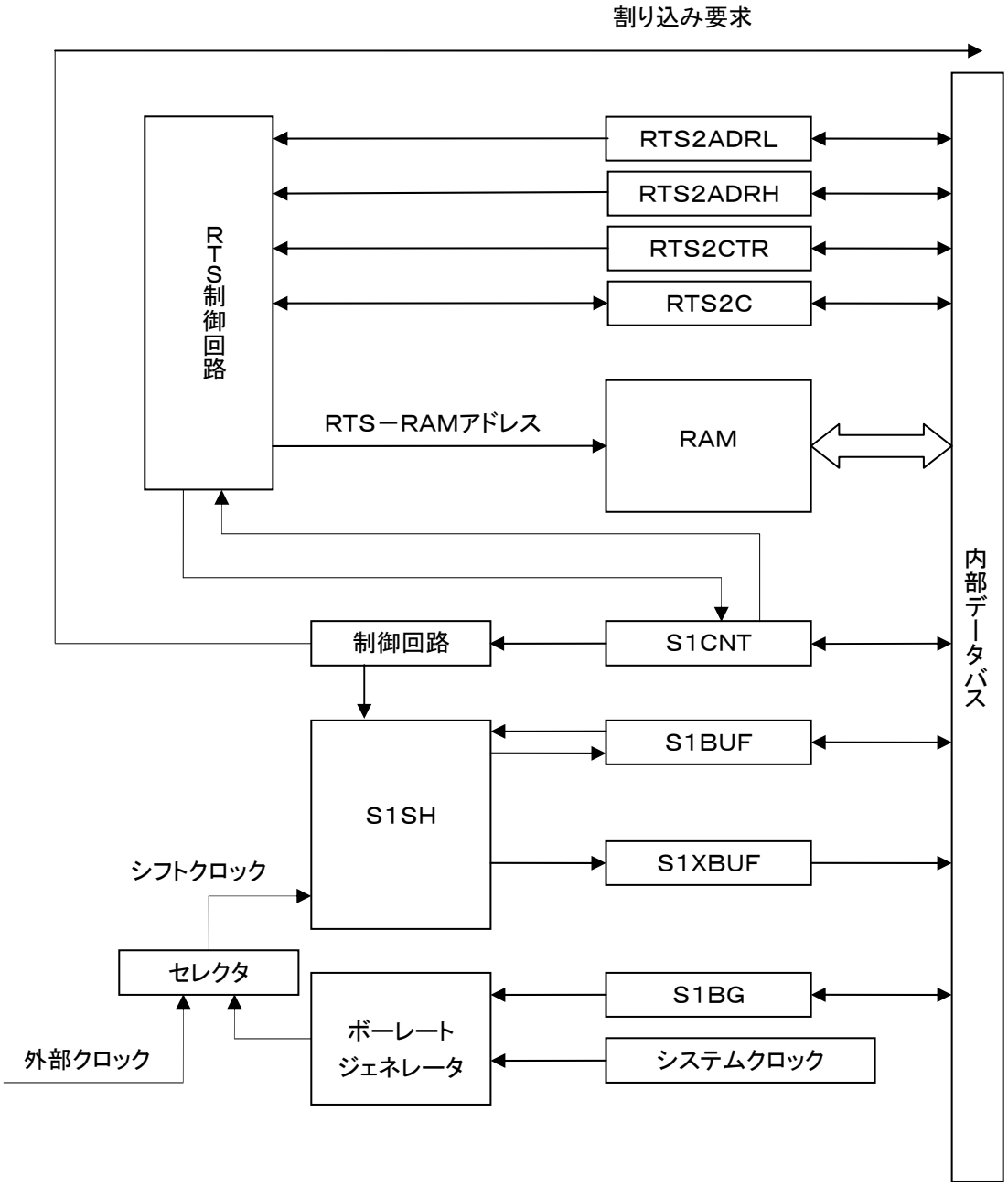


図３－２８－１　ＳＩＯ１のブロック図

3-28-4 関連レジスタ

3-28-4-1 SIO1制御レジスタ(S1CNT)

①SIO1モジュールの動作、割り込みを制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	S1CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

＊モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO1動作フラグ

①このビットが1の時SIO1は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信／自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO＝0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中(AUTO＝RUN＝1)、このビットにCLR命令を実行すると自動通信を一時停止(AUTO＝0、RUN＝1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO＝RUN＝1)すると、自動通信を再開します。

＊注意:動作停止中にAUTOをセット･クリアする際は、ビット操作命令を使わず、バイト操作命令を使用してください。

MSB(ビット3):MSB／LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

OVRUN(ビット2):オーバーランフラグ

①RUN＝0の状態で、入力クロックの立ち下がりを検出するとこのビットはセットされます。
②モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
③モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
④モード1の自動送信時、RAMからS1BUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
⑤モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、S1BUF・S1XBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
⑥このビットを読んで通信が正常に行われたかどうか判断してください。
⑦このビットのクリアは命令で行ってください。

FLG(ビット1):シリアル転送終了フラグ

①シリアル転送が終了で、このビットがセットされます。
②このビットのクリアは命令で行ってください。

IE(ビット0):受信割り込み許可

①このビットとFLGが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。
②このビットとOVRUNが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。

3-28-4-2 SIO1ボーレート制御レジスタ(S1BG)

①シリアル転送の転送レートを設定する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは
TS1BG＝(S1BGの設定値＋1)×2サイクル
S1BGの設定値＝1～255であり、TS1BGの設定範囲は、4～512サイクルとなります。
外部クロックを使用する場合は、S1BG＝00[H]で使用してください。

3-28-4-3 SIO1データバッファ(S1BUF)

①シリアル転送データを格納する8ビットのバッファレジスタです。
②送受信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-28-4-4 SIO1インターバルレジスタ(S1INTVL)

①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	－	SNBIT			XCHNG	INTVL		

(ビット7):固定ビット
0で使用してください。

SNBIT(ビット6～4):
①端数ビットの指定を行います。
②動作中(RUN＝1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN＝0)に、設定してください。

XCHNG(ビット3):自動送受信
①このビットが１の時、モード1の自動送受信になります。
②動作中(RUN＝1)にセット／クリアをしないでください。必ず、動作停止中(RUN＝0)に、設定してください。また、自動通信モード以外(AUTO＝0)でこのビットをセットすると誤動作します。

INTVL(ビット2～0):
①モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
②インターバル時間[サイクル]＝
((S1BGの設定値＋1)×2)×インターバル設定値
③S1SHとS1BUF、S1XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数(シリアルクロックの立ち上がりから立ち下がりまで)を6サイクル以下に設定しても、そのサイクル数で動作できません。
④また、リアルタイムサービスコントローラのRTS制御レジスタの設定(バススチール要求禁止／ウエイト要求禁止)によっては、必ずしもS1INTVLで設定するインターバル時間になるとは限りません。
⑤動作中(RUN＝1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN＝0)に、設定してください。

表３－２８－１　INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表３－２８－２　SIO1の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信／送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信／送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-28-5　転送ビット数の設定

3-28-5-1　モード0時の設定方法

転送ビットは、SNBITで設定します。
表３－２８－3を参照してください。
例：5ビット通信の場合
　　SNBIT＝101となります。

3-28-5-2　モード1時の設定方法

n＝((X＋1)×8)＋Nで転送ビット数を指定します。
(n＝9ビット～32768ビット、X＝0～4094、N＝1～8ビット)
Xの設定は、RTS2CTR、RTS2ADRLで設定します。
　X＝((((RTS2ADRL)＜＜8)＆0x0F00)＋(RTS2CTR＆0x00FF))
Nの設定は、SNBITで設定します。
表３－２８－3を参照してください。

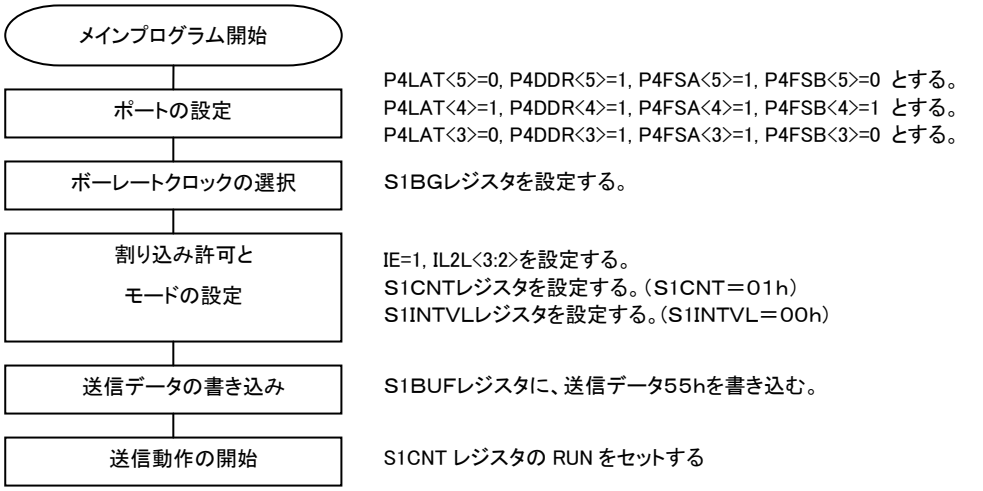
表３－２８－３　ビット数の設定

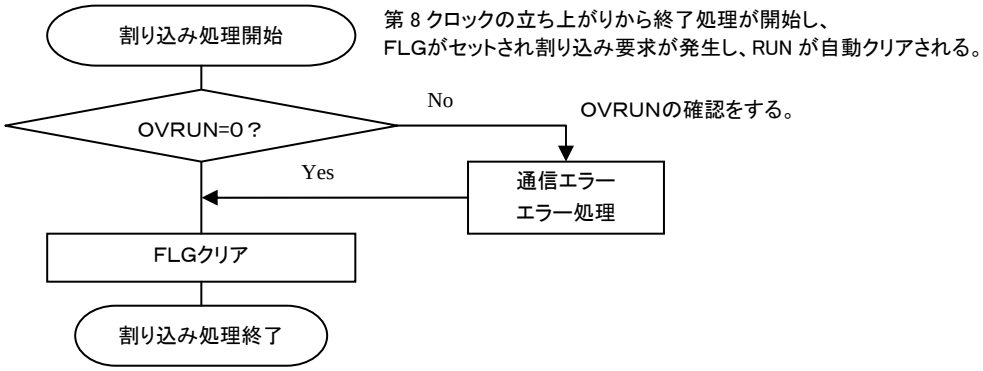
SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

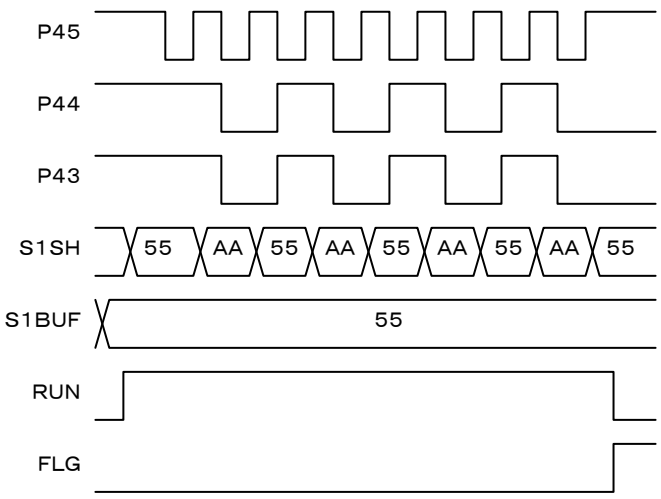
3-28-6 SIO1通信の具体例

3-28-6-1 モード0(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合

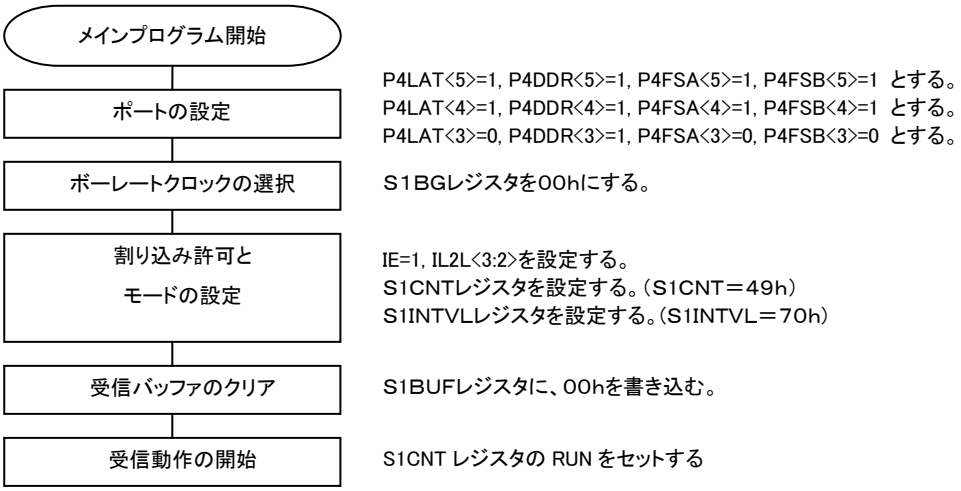


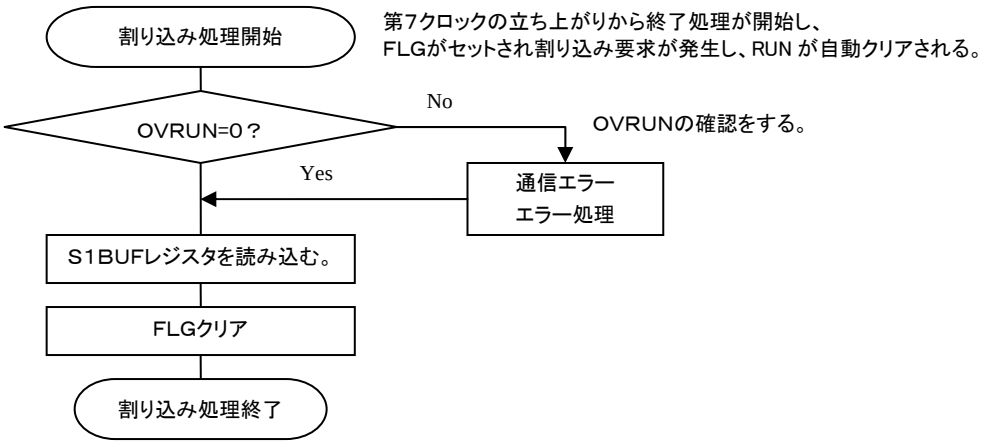


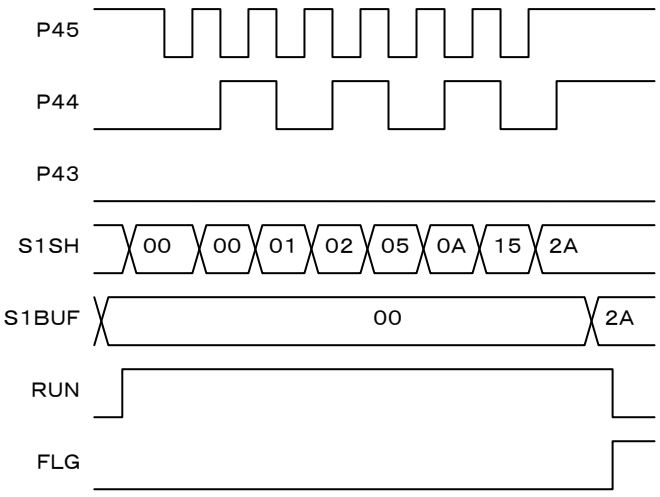


3-28-6-2 モード0（受信）の具体例

外部クロック、MSB先頭、P43＝L出力、受信データ2Ah、受信ビット数7の場合

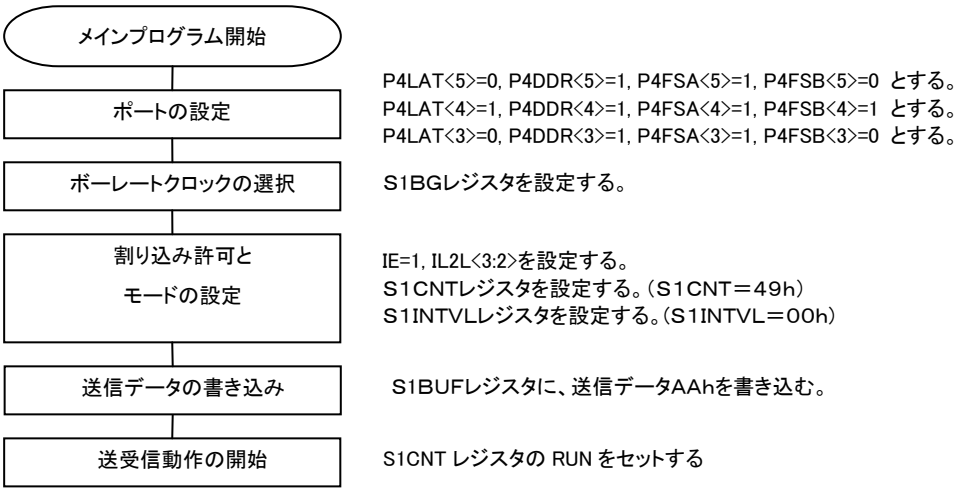


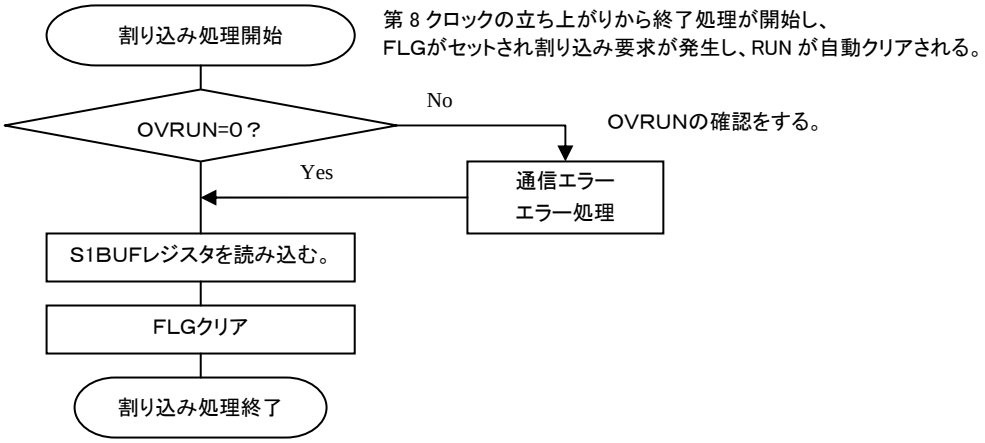


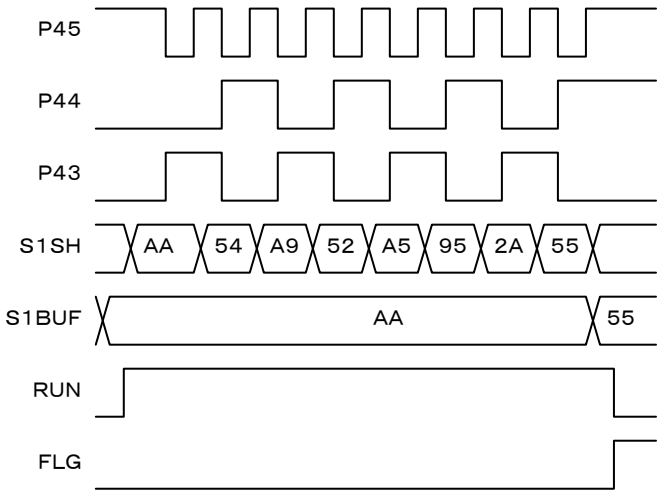


3-28-6-3 モード0（送受信）の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合

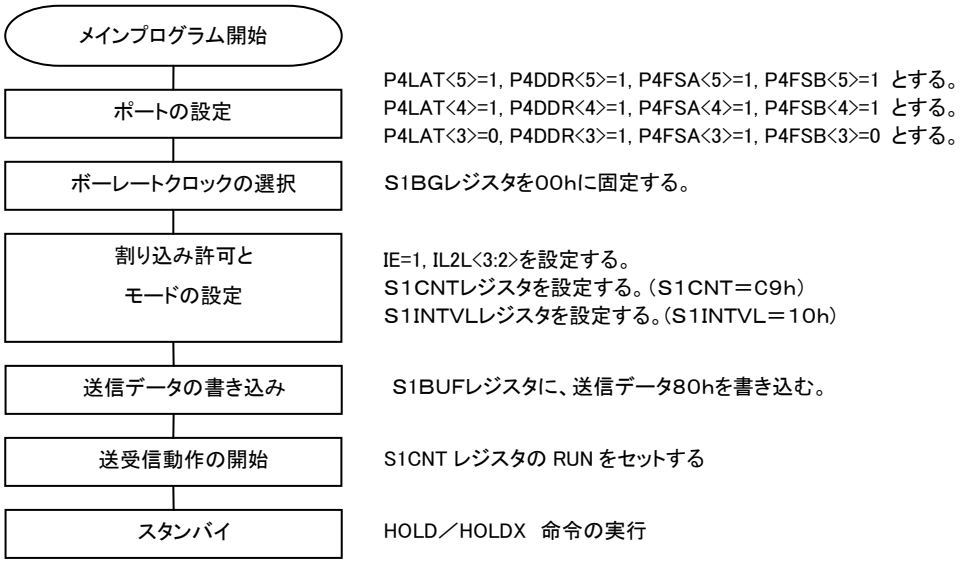


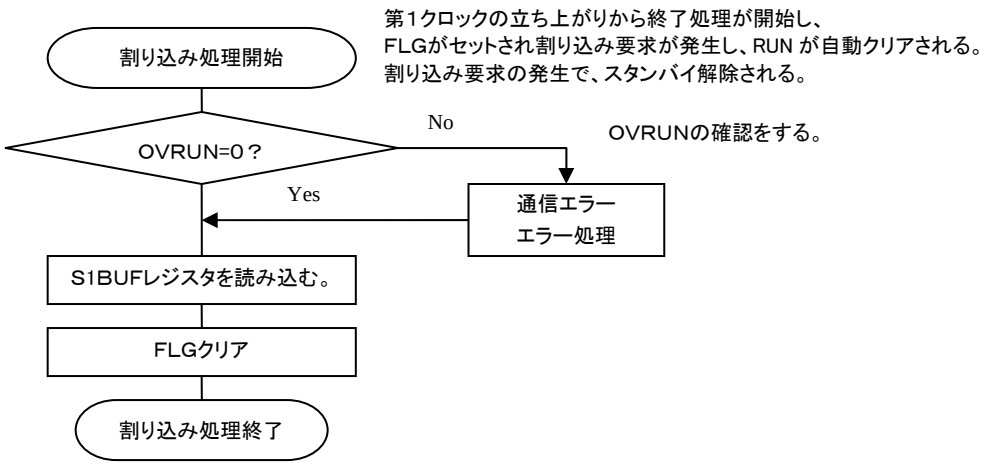


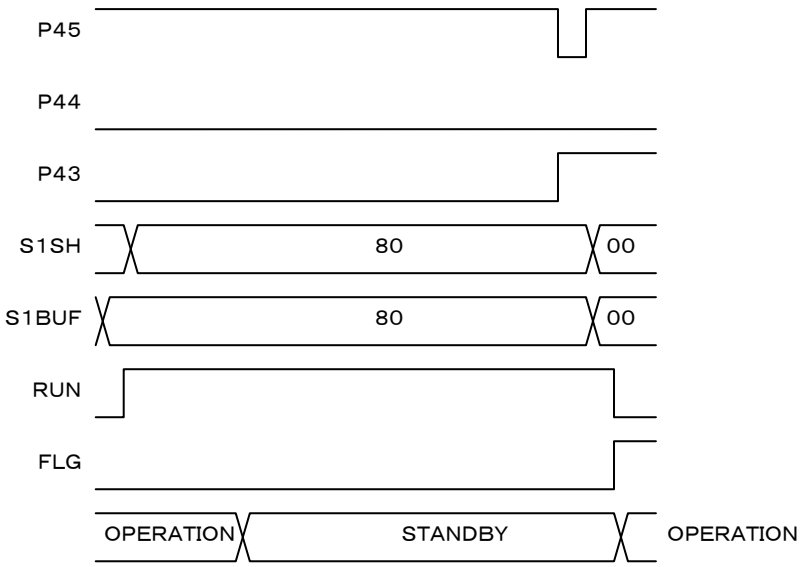


3-28-6-4 モード0（送受信・ウェークアップ）の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合

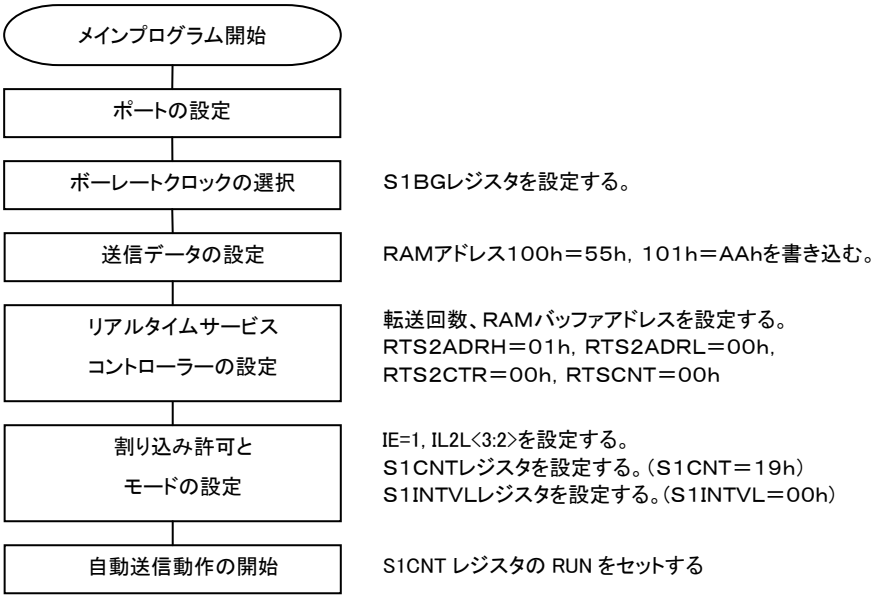


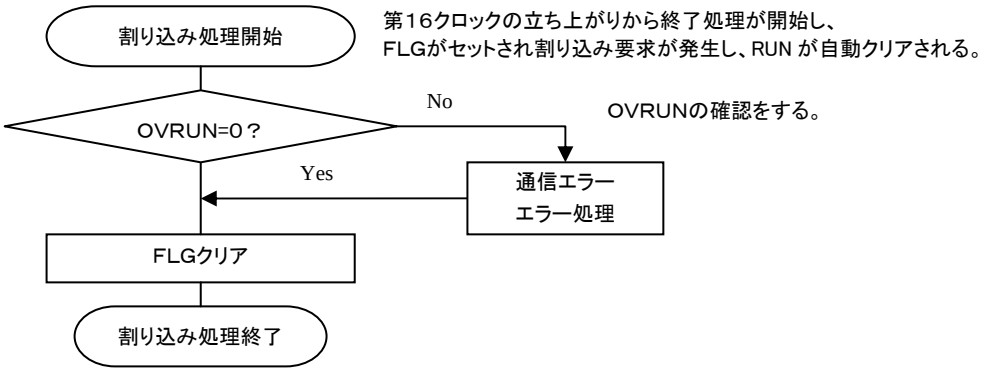


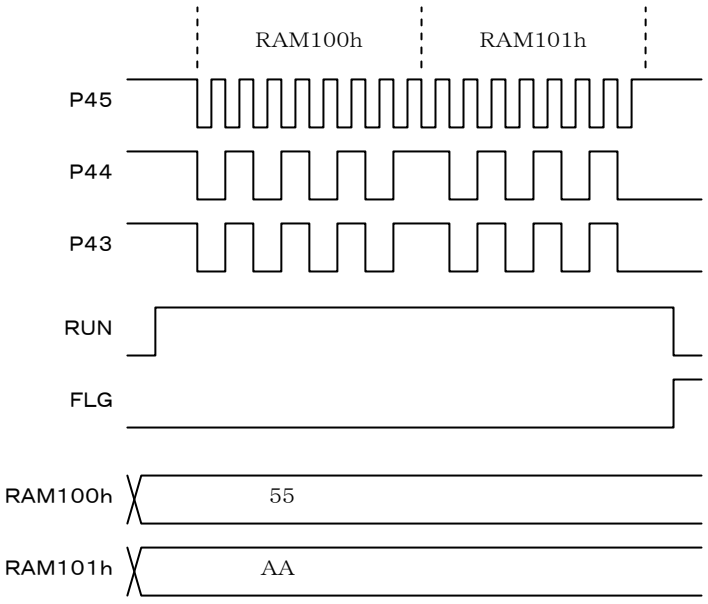


3-28-6-5 モード 1(自 動 送 信)の具 体 例

内 部 クロック、MSB先 頭 、送 信 デ ー タ 開 始 RAMバッファアドレス100番 地 、インターバル＝0、送 信 ビット数 16の場 合

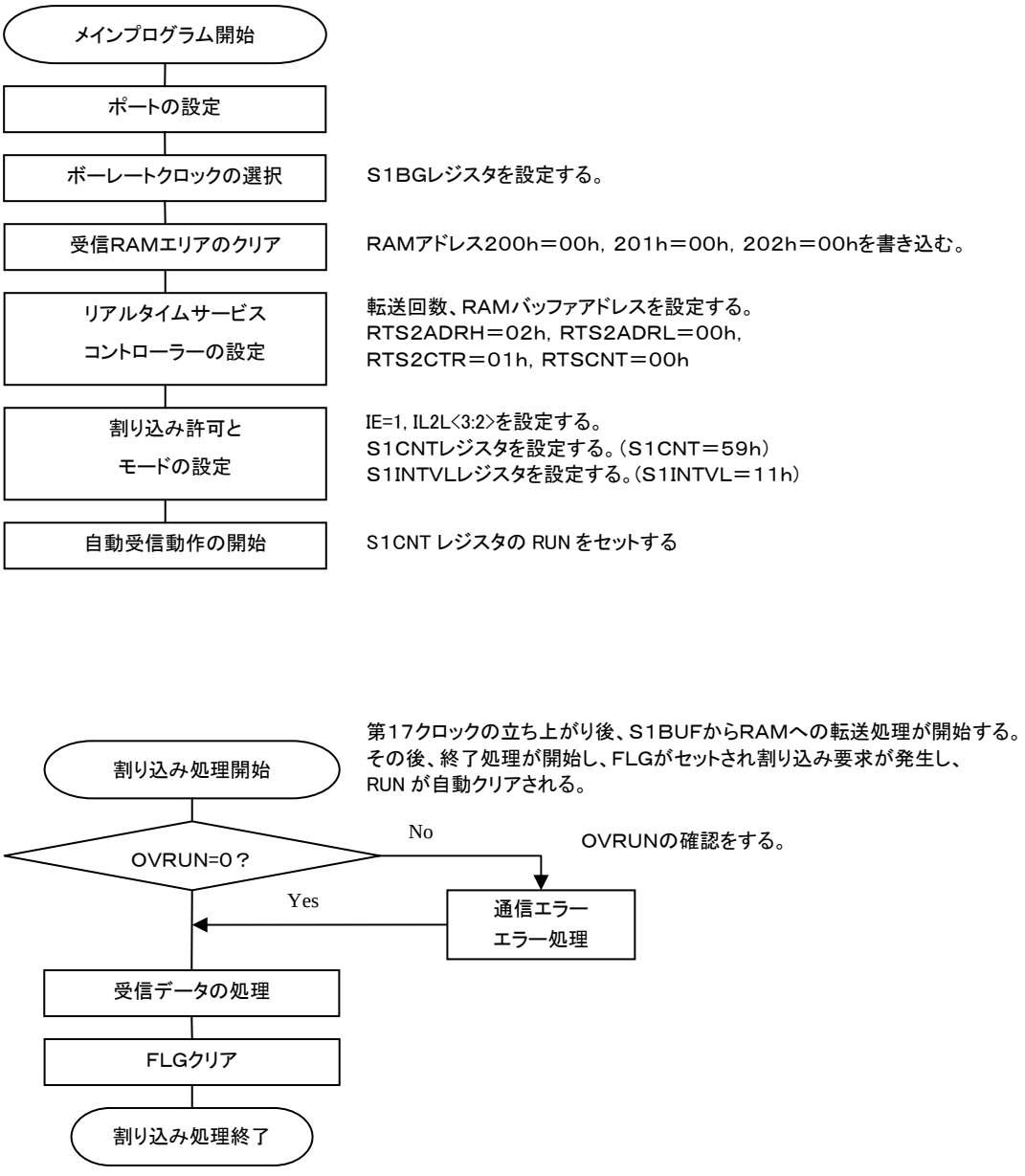


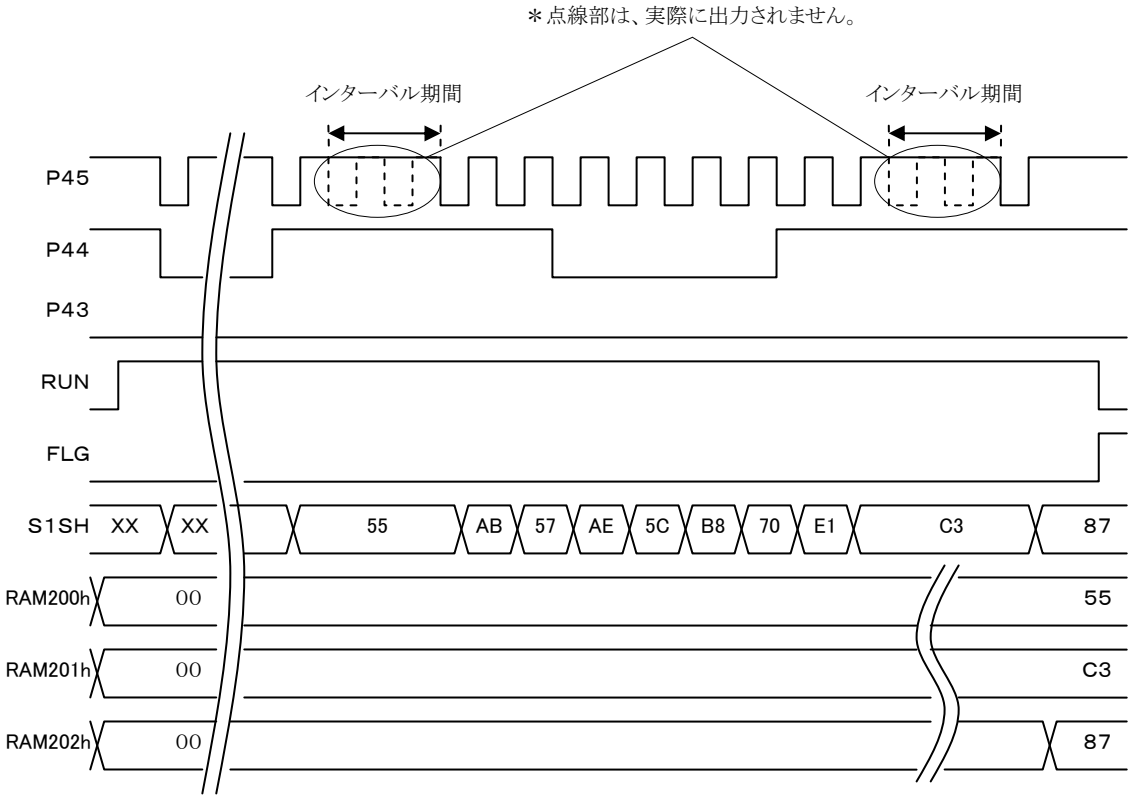




3-28-6-6 モード 1(自 動 受 信)の具 体 例

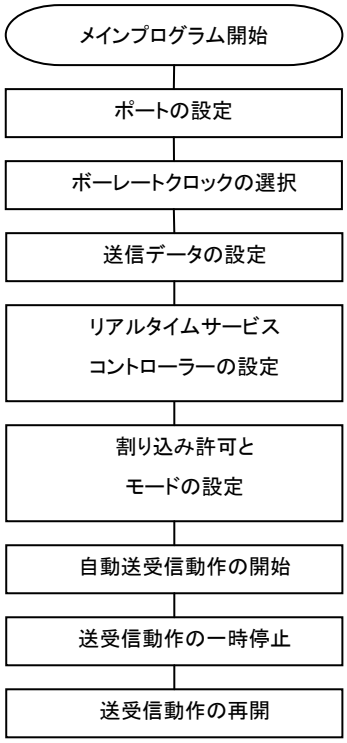
内 部 クロック、MSB先 頭 、受 信 データ開 始 RAMバッファアドレス200番 地 、インターバル＝2、受 信 ビット数 17、P43＝L出 力 の場 合




＊点線部は、実際に出力されません。
インターバル期間
インターバル期間
P45
P44
P43
RUN
FLG
S1SH
XX
XX
55
AB
57
AE
5C
B8
70
E1
C3
87
RAM200h
00
55
RAM201h
00
C3
RAM202h
00
87

3-28-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、インターバル＝1、送受信ビット数18、一時停止後、通信再開の場合



S1BGレジスタを設定する。

RAMアドレス300h＝55h, 301h＝C3h, 302h＝F0hを書き込む。

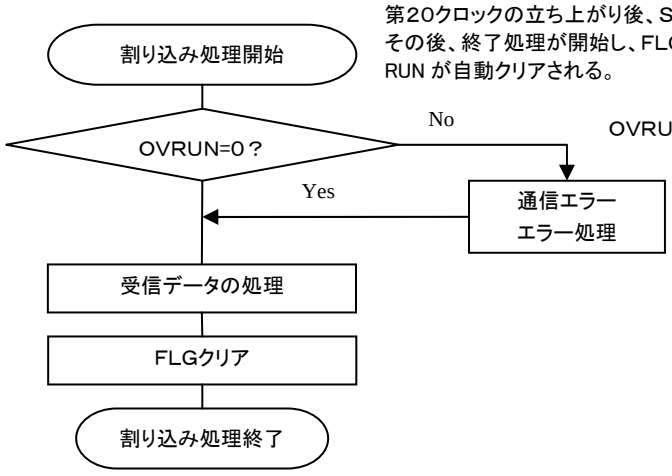
転送回数、RAMバッファアドレスを設定する。
RTS2ADRH＝03h, RTS2ADRL＝00h,
RTS2CTR＝01h, RTSCNT＝00h

IE=1, IL2L<3:2>を設定する。
S1CNTレジスタを設定する。(S1CNT＝59h)
S1INTVLレジスタを設定する。(S1INTVL＝29h)

S1CNT レジスタの RUN をセットする

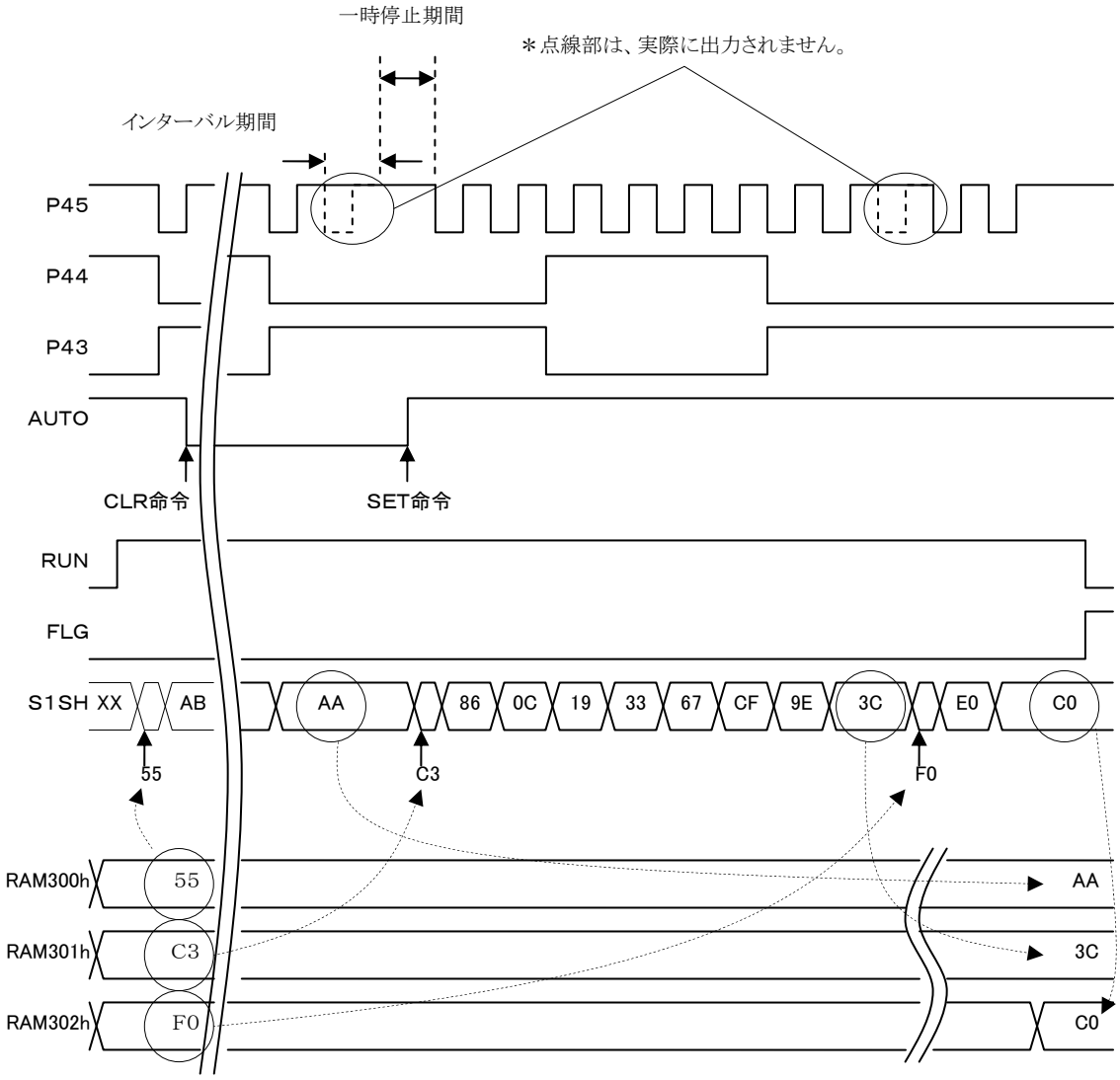
S1CNT レジスタのAUTOをビット操作命令でクリアする

S1CNT レジスタのAUTOをビット操作命令でセットする



第20クロックの立ち上がり後、S1BUFからRAMへの転送処理が開始する。
その後、終了処理が開始し、FLGがセットされ割り込み要求が発生し、
RUN が自動クリアされる。

OVRUNの確認をする。


一時停止期間
＊点線部は、実際に出力されません。
インターバル期間
P45
P44
P43
AUTO
CLR命令
SET命令
RUN
FLG
S1SH XX AB AA 86 0C 19 33 67 CF 9E 3C E0 C0
55
C3
F0
RAM300h 55 AA
RAM301h C3 3C
RAM302h F0 C0

3-28-6-8　SIO1通信のポート設定

①データ送信専用ポート(P43)の設定

レジスタ設定				P43の状態	FAST/SLOW
P4FSA<3>	P4DDR<3>	P4LAT<3>	P4FSB<3>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW

②データ送受信ポート(P44)の設定

レジスタ設定				P44の状態	FAST/SLOW
P4FSA<4>	P4DDR<4>	P4LAT<4>	P4FSB<4>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW
1	1	1	1	入力 (受信)	－

③クロック用ポート(P45)の設定

レジスタ設定				P45の状態	FAST/SLOW
P4FSA<5>	P4DDR<5>	P4LAT<5>	P4FSB<5>		
1	1	0	0	CMOS 出力 (内部クロック)	FAST
1	0	1	1	CMOS 出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	－

3-29 SMIIC0(Single-master I²C)

3-29-1 概要

本シリーズが内蔵しているI²Cバス機能は、次の2つの機能を持ちます。
①single-masterのマスターモードによるI²C通信（注）
②同期式8ビットシリアルI／O（2線式または3線式、データMSB先頭）

（注）本モジュールはアドレスのコンパレータ機能を持っていません。よって、single-masterのスレーブモードとして使用する場合や、multi-masterのI²C通信を行う場合は、アドレス比較やその他の処理をソフトウェアによって行う必要があります。

3-29-2 回路構成

3-29-2-1 I²C制御レジスタ0（SMIC0CNT） （8ビットレジスタ）

①I²C-BUSのモード制御を行います。
②割り込みの制御を行います。

3-29-2-2 I²Cステイタスレジスタ0（SMIC0STA） （8ビットレジスタ）

①I²C-BUSの各イベント検出フラグ。
②ACKデータの制御を行います。

3-29-2-3 I²Cボーレート制御レジスタ0（SMIC0BRG） （8ビットレジスタ）

①SDA・SCL取り込み部ノイズフィルタのクロック周波数制御を行います。
②SCLクロックの周波数を制御します。

3-29-2-4 I²Cデータバッファ0（SMIC0BUF） （8ビットレジスタ）

①データの送受信をこのレジスタを通して行います。

3-29-2-5 I²Cポート制御レジスタ0（SMIC0PCNT） （8ビットレジスタ）

①I²Cポートの制御を行います。

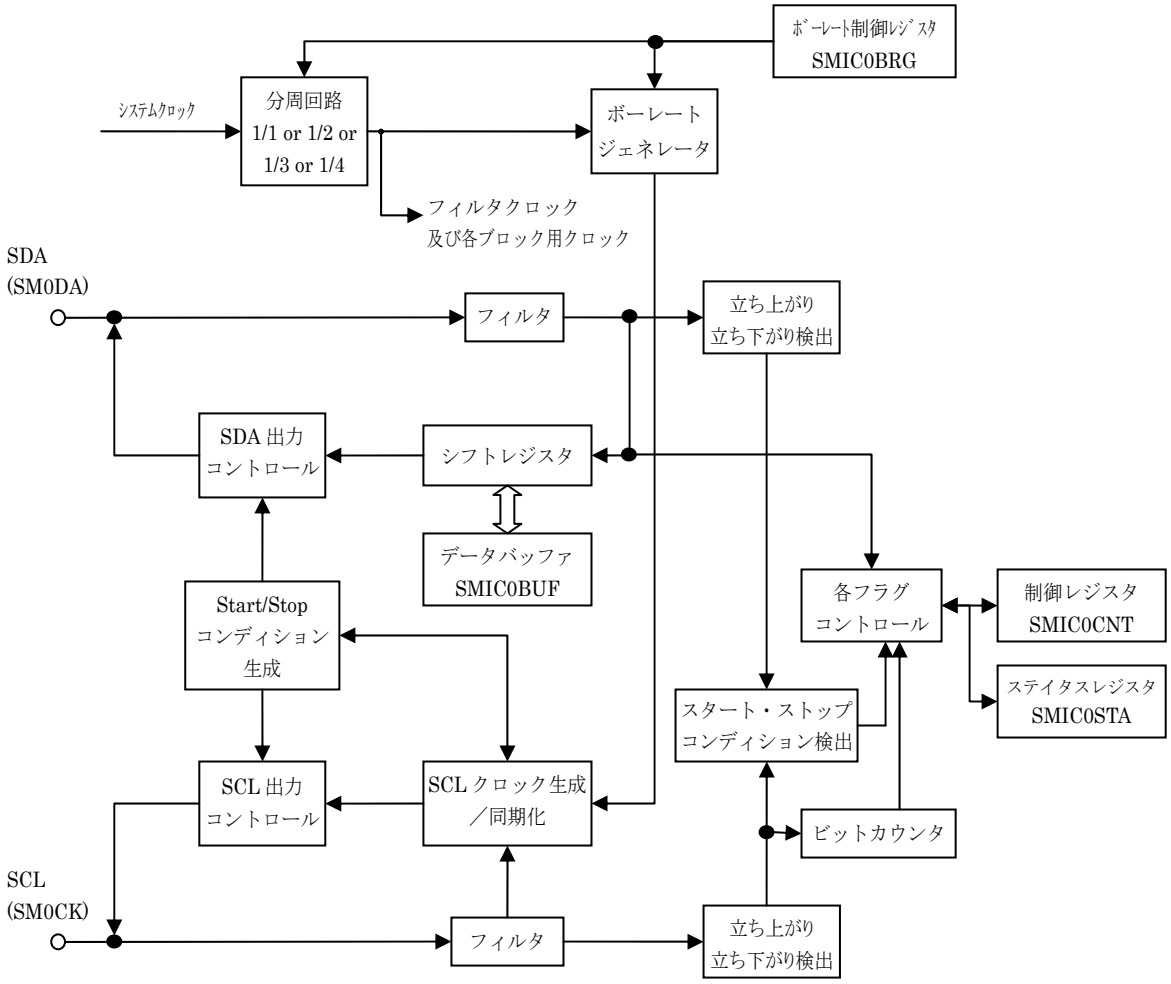


図３－２９－１　ＳＭＩＩＣ０　ブロック図

3-29-3 関連レジスタ

3-29-3-1 I²C制御レジスタ0（SMIC0CNT）

①SMIICモジュールの動作制御を行う8ビットのレジスタです

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F60	0000 0000	R/W	SMIC0CNT	RUN	MST	TRX	SCL8	MKC	BB	END	IE

RUN（ビット7）:SMIIC0動作許可

このビットが1の時、SMIIC0モジュールが動作状態となります。

このビットが0の時、SMIIC0モジュールは動作停止します。

MST（ビット6）:マスタ・スレーブ制御ビット

・I²Cモード時（SMD＝0）

このビットが1の時、マスターモードとして動作します。

（スタート・ストップコンディションの生成、転送クロックの送出を行う）

このビットが0の時、スレーブモードとして動作します。

（クロック出力は行わない。マスタが送出するクロックに同期して、データの送受信を行う）

MSTがリセットされる条件

①ストップコンディションを検出した時

②アービトレーションロストを検出した時

アービトレーションロストを検出後、1バイトの転送終了までは、このビットはクリアされずに、クロックの送出を続けます。

アービトレーションロスト後、割り込み要因フラグENDがセットされるタイミングで、MSTフラグはクリアされます。

・同期式8ビットシリアルモード時（SMD＝1）

このビットを1にすることで、8ビットの通信を開始します。

MSTがリセットされる条件

①第8クロックの立ち上がりで、リセットされます

TRX（ビット5）:トランスミッタ・レシーバ制御

・I²Cモード時（SMD＝0）

このビットが1の時、トランスミッタとして動作します。

このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

①ストップコンディションを検出した時

②アービトレーションロストを検出した時

③スレーブモード時に、スタートコンディションを検出した時

・同期式8ビットシリアルモード時（SMD＝1）
このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

SCL8（ビット4）：第8クロック立ち下がり時の割り込み制御
・I^2Cモード時（SMD＝0）
このビットが1の時、第8クロックの立ち下がりで、割り込み要求が発生します。
このビットが0の時、第8クロックの立ち下がりで、割り込み要求が発生しません。

SCL8がセットされる条件
①スタートコンディションの検出

このビットは、自動的にクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、0にして使用してください。

MKC（ビット3）：スタート・ストップコンディション生成制御
・I^2Cモード時（SMD＝0）
このビットは、書き込み専用のビットで、スタート or ストップコンディションを生成させる時に、1を書き込みます（このビットを読み込んだ時は、常に0が読み込まれます）。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、0にして使用してください。

BB（ビット2）：バスビジーフラグ（R／O）
・I^2Cモード時（SMD＝0）
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
読み出し専用のBBは、バスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。
このビットが1の時は、I^2Cバスは使用状態であることを示します。
スタートコンディションを生成する時には、このビットが0であることと、SDA、SCLがともに‘H’レベルであることを確認してから行ってください（再スタートコンディションを生成する場合を除きます）。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

BBがセットされる条件
①スタートコンディションの検出

BBがリセットされる条件
①ストップコンディションの検出
②RUN＝0の場合

BBW（ビット2）：スタート・ストップコンディション生成制御
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
書き込み専用のBBWは、このレジスタ（SMIC0CNT：07F60h）のビット6，5，3と同時にMOV命令で値を書き込むことで、スタート・ストップコンディションの生成を制御します。
・割り込み要求発生許可制御　IE＝1とした場合
SMIC0CNTに、EDhを書き込み　：スタートコンディションを生成
SMIC0CNTに、E9hを書き込み　：ストップコンディションを生成
・割り込み要求発生許可制御　IE＝0とした場合
SMIC0CNTに、EChを書き込み　：スタートコンディションを生成
SMIC0CNTに、E8hを書き込み　：ストップコンディションを生成
※スタート・ストップコンディションの生成に関しては、3-29-6スタートコンディション／ストップコンディションの章を参照してください。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、読み出し専用で、MST（ビット6）と同一値が読み出されます。

END（ビット1）：割り込み要因フラグ
・I^2Cモード時（SMD＝0）
データの転送終了及びストップコンディションでセットされます。
このビットが1で、かつSCLが‘L’レベルの場合、マスタ・スレーブモードにかかわらず、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

ENDがセットされる条件
①SCL8＝1の場合の、第8クロック立ち下がり
②アッククロックの立ち下がり
③ストップコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。
このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。このビットをクリアする前に、バッファSMIC0BUFへのデータセット／データ読み出しを完了してください。

・同期式8ビットシリアルモード時（SMD＝1）
データの転送終了時にセットされます。

ENDがセットされる条件
① 第8クロック立ち上がり

このビットは自動的にはクリアされません。命令でクリアしてください。

IE（ビット0）：割り込み要求発生許可制御
このビットとENDがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

3-29-3-2 I²Cステイタスレジスタ0（SMIC0STA）

①I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F61	0000 0000	R/W	SMIC0STA	SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK

SMD（ビット7）：I²C／同期式8ビットシリアルモード切り替え
このビットが1の時、同期式8ビットシリアルモードで動作します。
また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。
このビットが0の時、I²C通信モードで動作します。
また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

RQL9（ビット6）：アッククロックタイミング検出フラグ（R／O）
第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

STD（ビット5）：スタートコンディション検出フラグ
スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件
① スタートコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは自動的にセットされません。このビットは0にして使用してください。

ＳＰＤ（ビット4）：ストップコンディション検 出フラグ

ストップコンディションを検 出 するとセットされるフラグです。

ＳＰＤがセットされる条 件

① ストップコンディションの検 出

このビットは自 動 的 にはクリアされません。命 令 でクリアしてください。

※同 期 式 8ビットシリアルモード時（ＳＭＤ＝１）、このビットは自 動 的 にセットされません。このビットは0にして使 用 してください。

ＡＬ（ビット3）：アービトレーションロスト検 出フラグ

マスターモード時 に、アービトレーションロストを検 出 するとセットされるフラグです。

ＡＬがセットされる条 件

① マスタトランスミッタモード時 の第１～第８クロックの立 ち上 がりタイミングと、マスタレシーバー時 の第９クロック立 ち上 がりタイミングで、内 部ＳＤＡ値 が‘Ｈ’でＳＤＡ端 子 レベルが‘Ｌ’の場 合

② スタートコンディション重 複 防 止 機 能 により、スタートコンディション生 成 が禁 止 された場 合

このビットは自 動 的 にはクリアされません。命 令 でクリアしてください。

※同 期 式 8ビットシリアルモード時（ＳＭＤ＝１）、このビットは自 動 的 にセットされません。このビットは0にして使 用 してください。

ＯＶＲ（ビット2）：オーバーラン検 出フラグ

・I^2Cモード時（ＳＭＤ＝０）

ＢＢ（０７Ｆ６０ｈのビット2） バスビジーフラグが0の時 に、ＳＣＬラインのクロック信 号 立 ち下 がりを検 出 するとセットされるフラグです。

ＯＶＲがセットされる条 件

①ＢＢ＝0の時 にＳＣＬ立 ち下 がり検 出

このビットは自 動 的 にはクリアされません。命 令 でクリアしてください。

・同期式8ビットシリアルモード時（SMD＝1）
MST（07F60hのビット6）0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件
①MST＝0の時にSCL立ち下がり検出

このビットは自動的にはクリアされません。命令でクリアしてください。

TAK（ビット1）：アッククロック時のSDA制御ビット
マスタレシーバ・スレーブレシーバモード時に、アッククロックタイミングでSDAにこのビットの値が出力されます。
マスタトランスミッタ・スレーブトランスミッタモード時は、このビットのデータにかかわらず、ACKクロックタイミングでSDA＝‘H’レベルを出力します。

TAKがセットされる条件
①ストップコンディションを検出した時
②アービトレーションロストを検出した時
③スレーブモード時に、スタートコンディションを検出した時

※同期式8ビットシリアルモード時（SMD＝1）、このビットは0で使用してください。

RAK（ビット0）：受信アクノリッジデータ格納ビット（R／O）
アクノリッジ受信データが格納されます。
このビットは、トランスミッタ・レシーバ両モードともに、アッククロック時のSDAデータの値が格納されます。

RAKがセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘H’レベルの時

RAKがリセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘L’レベルの時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

3-29-3-3 I²Cボーレート制御レジスタ0（SMIC0BRG）

①SDA、SCLフィルタクロック周波数及びSCLクロック周波数を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F62	0000 0000	R/W	SMIC0BRG	BRP		BRDQ	BRD				

BRP（ビット7、6）：フィルタクロック制御

BRP	フィルタクロック周期 （Tfilt）
00	Tcyc×1
01	Tcyc×2
10	Tcyc×3
11	Tcyc×4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期Tfiltが以下の範囲になるように設定してください。

250nsec ≧ Tfilt ＞ 140nsec

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns×1＝250ns
6MHz	00	166ns×1＝166ns
7MHz	00	143ns×1＝143ns
8MHz	01	125ns×2＝250ns

BRDQ（ビット5）：SCLクロック周波数制御

このビットは、標準クロックモード時は1に、高速クロックモード時は0に設定してください。

BRD（ビット4～0）：SCLクロック周波数制御

BRDの5ビットの設定値を n とすると、SCLクロック周期Tfsckは、以下の計算式で設定されます。

BRDQ＝0の時（高速クロックモード）

Tfsck＝Tfilt×（n＋1）×2

BRDQ＝1の時（標準クロックモード）

Tfsck＝Tfilt×（n＋1）×8

SCLクロック周波数fsckは、以下の計算式で設定されます。

BRDQ＝0の時（高速クロックモード）

fsck＝1／（Tfilt×（n＋1）×2）

BRDQ＝1の時（標準クロックモード）

fsck＝1／（Tfilt×（n＋1）×8）

※Tfiltは、システムクロック周波数と、フィルタクロック制御ビットBRP（SMIC0BRGのビット7，6）によって設定されるフィルタクロック周期です。

※I^2C通信モードで使用する場合（SMD＝0）は、BRDの5ビットの設定値nは、4以上の値を設定してください。（0～3は設定禁止）

※同期式8ビットシリアルモードで使用する場合（SMD＝1）は、このレジスタを次のように設定してください。

BRP（SMIC0BRGのビット7，6）＝00
BRDQ＝0　or　1
BRDの5ビットの設定値nは、1以上の値を設定してください（0は設定禁止）

この時、出力クロック周波数fsckは、以下の計算式で設定されます。

BRDQ＝0の時　　fsck＝1／（Tcyc×（n＋1）×2）
BRDQ＝1の時　　fsck＝1／（Tcyc×（n＋1）×8）

標準クロックモードBRDQ＝1

SCL周波数（kHz）

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	100	※
05h	83.3	※
06h	71.4	※
07h	62.5	94.1
08h	55.6	83.7
09h	50	75.3
0Ah	45.5	68.5
0Bh	41.7	57.9
0Ch	38.5	53.8
0Dh	35.7	50.2
0Eh	33.3	47.1
0Fh	31.3	44.3
10h	29.4	41.8
11h	27.8	39.6
:	:	:
1Ch	17.2	25.9
1Dh	16.7	25.1
1Eh	16.1	24.3
1Fh	15.6	23.5

高速クロックモードBRDQ＝0

SCL周波数（kHz）

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	400	※
05h	333.3	※
06h	328.7	※
07h	250	376.5
08h	222.2	334.7
09h	200	301.2
0Ah	181.8	273.8
0Bh	166.7	251
0Ch	153.8	231.7
0Dh	142.9	215.1
0Eh	133.3	200.8
0Fh	125	188.3
10h	117.6	177.2
11h	111.1	167.3
:	:	:
1Ch	69	103.9
1Dh	66.7	100.4
1Eh	64.5	97.23
1Fh	62.5	94.1

※I^2Cバスの仕様範囲外

3-29-3-4 I²Cデータバッファ0（SMIC0BUF）

①受信データの格納、及び送信データを書き込むための8ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F63	0000 0000	R/W	SMIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

・データの受信

・I²Cモード時（SMD＝0）

トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

・同期式8ビットシリアルモード時（SMD＝1）

送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

・データの送信

・I²Cモード時（SMD＝0）

トランスミッタモード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①スタートコンディション検出時

②END＝1の時に、SMIC0BUFに書き込みを行った時

・同期式8ビットシリアルモード時（SMD＝1）

データ送信モード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①MST＝0の時に、SMIC0BUFに書込みを行った時

3-29-3-5 I²Cポート制御レジスタ0（SMIC0PCNT）

①I²Cポートを制御するための4ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F68	LLLL 0000	R/W	SMIC0PCNT	-	-	-	-	SHDS	PHV	PCLV	PSLW

SHDS（ビット3）：SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV（ビット2）：I²Cポート電圧制御

5Vで使用する場合、このビットを1にしてください。

3Vで使用する場合、このビットを0にしてください。

PCLV（ビット1）：I²Cポート入力特性制御

このビットが1の時、P22，P23の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、P22，P23の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW（ビット0）:I²CポートSLOW制御

このビットが1の時、P22，P23の出力特性は、SLOWとなります。
このビットが0の時、P22，P23ポートの出力特性は、P2LAT、P2DDR、P2FSA、P2FSBにより制御されます。
このビットを1にすると、P22，P23の出力信号の立ち下がり時間がSLOWモードとなりますが、P22，P23端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。
出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

3-29-3-6 SMIICポートの設定

①クロック入出力ポート（P22）の設定

レジスタデータ				ポートP22の状態
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	出力
1	1	1	1	オープン（同期式8ビットシリアルモード時外部クロック入力）
1	0	0	1	クロック出力（CMOS）
1	1	1	0	クロック出力（CMOS変化SLOW）
1	1	0	1	クロック出力／I²C SCL出力（Nchオープンドレイン）

②データ入出力ポート（P23）の設定

レジスタデータ				ポートP23の状態	
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	入力	出力
1	1	1	1	可能（データ受信入力）	オープン
1	0	0	1	可能（データ受信入力）	データ出力（CMOS）
1	1	1	0	可能（データ受信入力）	データ出力（CMOS変化SLOW）
1	1	0	1	可能（データ受信入力）	データ出力／I²C SDA出力（Nchオープンドレイン）

③データ出力ポート（P24）の設定（3線式同期式8ビットシリアルモード時に使用）

レジスタデータ				ポートP24の状態
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	出力
1	0	0	1	データ出力（CMOS）
1	1	1	0	データ出力（CMOS変化SLOW）
1	1	0	1	データ出力（Nchオープンドレイン）

※ 本モジュールをI²Cモードで使用する時は、I²Cポート制御レジスタ0（SMIC0PCNT）のPCLV＝1、P22，P23をI²C SCL出力（Nchオープンドレイン）、I²C SDA出力（Nchオープンドレイン）モードにして使用してください。
※ I²Cポート制御レジスタ0(SMIC0PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0（FASTモード)に設定してください。
※ 同期式8ビットシリアルモードで、外部クロックを使用する場合は、クロック入出力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-29-4　I²CポートSLOW設定時の注意事項

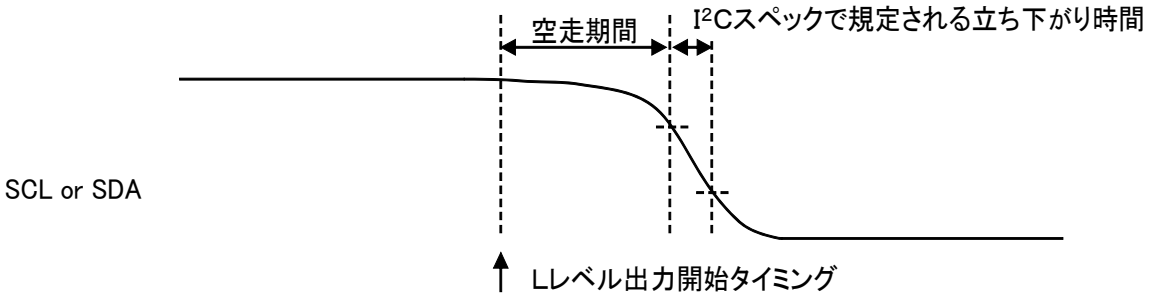


図３－２９－２　I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。
「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-29-5　生成クロック波形とSCL立ち上がり時間

3-29-5-1　生成クロック波形

SCLクロック出力波形は、I²Cボーレート制御レジスタ0（SMIC0BRG）で設定されたクロック周期Tfsckに対して、DUTY50％で生成されます。

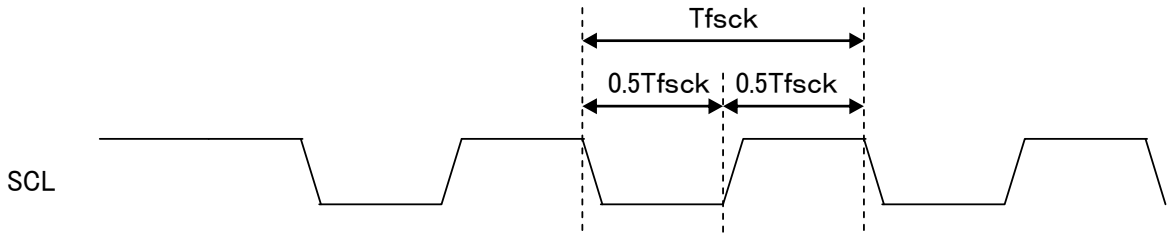


図３－２９－３　SCLクロック波形

高速モード時で、クロック周波数を400kHzに設定した場合、SCLのL期間は、（信号の立ち上がり、立ち下がり時間を無視した場合）1．25usecとなり、I²Cバスインターフェース仕様（min．1．3usec）を満足しません。
これについては、以下のことを検討してください。
①転送レートを下げて、仕様を満足するように設定する。
②プルアップ抵抗等外付けの調整により、立ち上がり・立ち下がり時間を調整する。

また、I²Cポートの出力特性をSLOWとした場合、L出力を開始してから、ポートがLレベルになる時間が長くなりますので、SCLのL期間がさらに短くなり、注意が必要です。

3-29-5-2 SCL立ち上がり時間

本モジュールはI^2CモードでのSCLクロック出力時、他のマスタ又はスレーブがSCLラインをLにドライブした場合でも、クロックラインの立ち上がりタイミングを監視し、クロックのH幅を保証するために同期を取る動作を常に行っています。
SCLの立ち上がり時間は、I^2Cバスインターフェース仕様で、高速モード300nsec標準モード1000nsec以内と定められています。
高速モード時は、SCL立ち上がり時間が最大300nsecであるので問題ありませんが、標準モード時、立ち上がり時間が(Tfilt×2．5)より遅い場合、この同期動作が働いてしまい、設定したクロック周波数よりも転送速度が遅くなってしまいます。

システムクロック	BRP	Tfilt	Tfilt×2．5
4MHz	00	250ns	625ns
6MHz	00	166ns	415ns
7MHz	00	143ns	357ns
8MHz	01	250ns	625ns

設定した転送レートで動作させるためには、SCLラインの立ち上がり時間が、上記表に示す Tfilt×2．5 よりも短くなるように、プルアップ抵抗、負荷容量を設定してください。

3-29-6 スタートコンディション／ストップコンディション

3-29-6-1 スタート／ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I^2Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

・スタートコンディション(S)
　データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
・ストップコンディション(P)
　データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

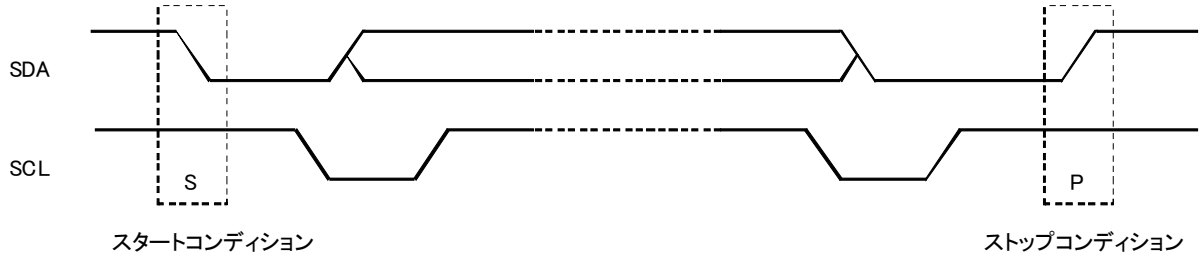


図３－２９－４ スタートコンディションとストップコンディション

3-29-6-2 スタートコンディション発生方法

SMIIC0動作許可ビットRUN（SMIC0CNTのビット7）をあらかじめ1にしている状態で、I²C制御レジスタSMIC0CNTに以下に示す値を書き込むことで、スタートコンディションの生成作業が始まります。
ただし、SMIC0CNTのビット0は割り込み許可制御ビットなので、割り込みを許可（IE＝1）するか、禁止（IE＝0）するかによって、書き込むデータが異なります。

スタートコンディション発生方法
SMIC0CNTに、EDhを書き込み（割り込みを許可する時）
SMIC0CNTに、EChを書き込み（割り込みを許可しない時）

3-29-6-3 スタートコンディション生成タイミング

スタートコンディションを生成する前に、BBフラグ（SMIC0CNTのビット2）が0であることを確認してください。
リセット後に本モジュールを動作開始させる場合は、以下の手順で行ってください。

①ポートの設定を行う（3-29-3-6 SMIICポートの設定を参照してください）
②SMIC0BRGにより、フィルタクロック・ボーレートクロックの設定を行う。
③RUN（SMIC0CNTのビット7）に1をセットする。
④ボーレートクロック数回分ウェイトし、BB（SMIC0CNTのビット2）及び、OVR（SMIC0STAのビット2）がともに0であることを確認する。
⑤他のマスタやスレーブデバイスにより、SDA・SCLラインが固定されていないか、SDA・SCLポートを読み込みともに‘H’レベルであることを確認する。
⑥④・⑤がOKの場合、スタートコンディション命令を実行可と判断できる。
⑦④・⑤がNGの場合、本モジュール動作開始前に、他マスタがバスを使用開始したと判断し、ストップコンディション受信までウェイトする。（バスが異常な状態でロックされている場合などは、タイマを使用した、ウェイト時間のタイムアウト処理が必要となります）
⑧シングルマスタの場合や、⑦のストップコンディションのウェイト動作がタイムアウトした場合などは、他のスレーブデバイスがバスをロックしていると判断し、プログラムによりP2DDRのビット2、ビット3を操作して、ストップコンディションを生成する必要があります。

手順1．P2DDRのビット2＝0とし、SCL＝Lとする。この時、SDA＝Lの場合は、SCL＝LかつSDA＝H状態になるまで、P2DDRのビット2に1と0を交互に設定しSCLにクロックを送出する。

手順2．以下のようにSDA,SCLラインの状態を変化させる。

1－ SDA＝H SCL＝L（P2DDR ビット3＝1、P2DDR ビット2＝0）
2－ SDA＝L SCL＝L（P2DDR ビット3＝0、P2DDR ビット2＝0）
3－ SDA＝L SCL＝H（P2DDR ビット3＝0、P2DDR ビット2＝1）
4－ SDA＝H SCL＝H（P2DDR ビット3＝1、P2DDR ビット2＝1）

（上記のようにポートを変化させる場合は、他のデバイスのset-up／hold時間を考慮する必要があります）

以下に、スタートコンディションの発生タイミングを示します。

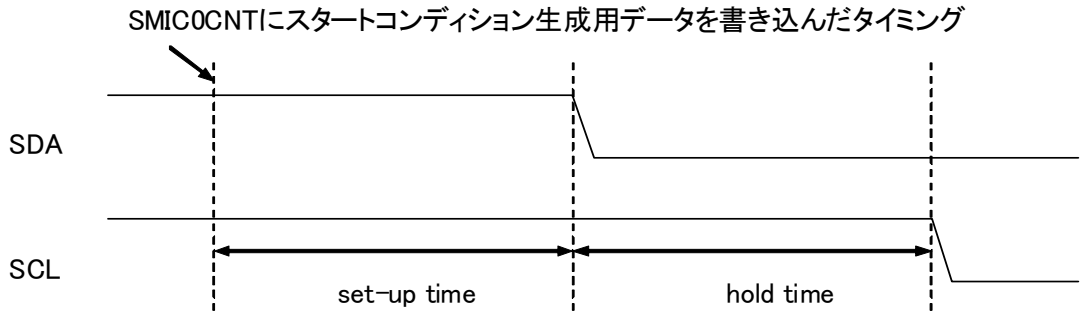


図３－２９－５　スタートコンディション発生タイミング

3-29-6-4　再スタートコンディション生成タイミング

マスタ通信モードで、スタートコンディション送出及びデータ送受信後に、ストップコンディションを生成せずに、送受信モードや通信先スレーブデバイスの切り替えを行うため、再度スタートコンディションを生成する場合は、次の手順で行ってください。

① マスタレシーバモードの時は、ＡＣＫデータ＝１（ＮＡＣＫ）を送出し、スレーブにＳＤＡラインを開放させる。
② ＡＣＫデータのクロックが立ち下がり、ＥＮＤ（ＳＭＩＣ０ＣＮＴのビット１）＝１　かつＲＱＬ９（ＳＭＩＣ０ＳＴＡのビット６）＝１となったことを確認する。ＥＮＤ＝１の間は、ＳＣＬに‘Ｌ’レベルを継続出力状態となる。
③ ＳＭＩＣ０ＢＵＦにスレーブアドレス7ビットとR/$\overline{W}$ビットを設定する。
④ ＳＭＩＣ０ＣＮＴにスタートコンディション生成用データを書き込む。
⑤ ＳＭＩＣ０ＣＮＴにスタートコンディション生成用データを書き込むことで、ＥＮＤ（ＳＭＩＣ０ＣＮＴのビット１）がクリアされ、再スタートコンディションのｐｒｅ-ｓｅｔ-ｕｐ ｔｉｍｅ経過後にＳＣＬが開放される。このように、スタートコンディション命令により、ＥＮＤフラグのクリアが行われるので、ＩＥ（ＳＭＩＣ０ＣＮＴのビット０）＝１として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのスタートコンディション命令を実行してください。

以下に、再スタートコンディションの発生タイミングを示します。

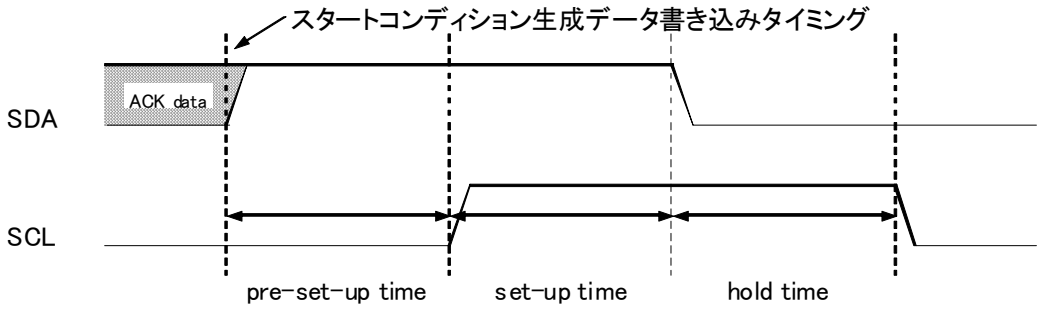


図３－２９－６　再スタートコンディション発生タイミング

3-29-6-5 ストップコンディション発生方法

ACKクロックの立ち下がりで、END（SMIC0CNTのビット1）＝1となり、SCLに‘L’を継続出力している状態で、I^2C制御レジスタSMIC0CNTに以下に示す値を書き込むことで、ストップコンディションの生成作業が始まります。
ただし、SMIC0CNTのビット0は割り込み許可制御ビットなので、割り込みを許可（IE＝1）するか、禁止（IE＝0）するかによって、書き込むデータが異なります。

ストップコンディション発生方法
SMIC0CNTに、E9hを書き込み（割り込みを許可する時）
SMIC0CNTに、E8hを書き込み（割り込みを許可しない時）

3-29-6-6 ストップコンディション生成タイミング

マスタ通信モードで、ストップコンディションを生成する場合は、次の手順で行ってください。

① マスタレシーバモードの時は、ACKデータ＝1（NACK）を送出し、スレーブにSDAラインを開放させる。
② ACKデータのクロックが立ち下がり、END（SMIC0CNTのビット1）＝1かつRQL9（SMIC0STAのビット6）＝1となったことを確認する。END＝1の間は、SCLに‘L’レベルを継続出力状態となる。
③ SMIC0BUFに0FFhを設定する。
④ SMIC0CNTにストップコンディション生成用データを書き込む。
⑤ SMIC0CNTにストップコンディション生成用データを書き込むことで、END（SMIC0CNTのビット1）がクリアされ、ストップコンディションのpre-set-up time経過後にSCLが開放される。このように、ストップコンディション命令により、ENDフラグのクリアが行われるので、IE（SMIC0CNTのビット0）＝1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのストップコンディション命令を実行してください。

以下に、ストップコンディションの発生タイミングを示します。

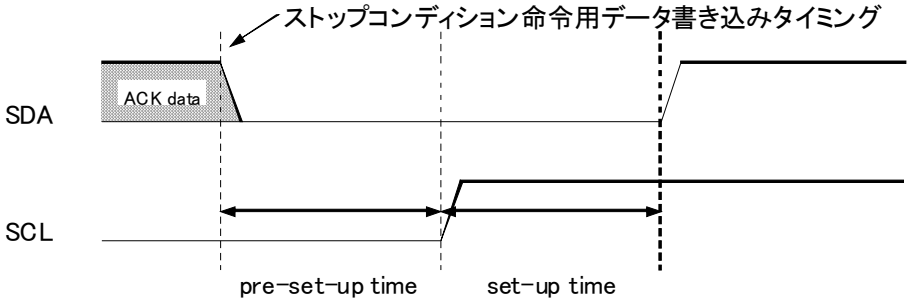


図３－２９－７　ストップコンディション発生タイミング

3-29-7 アービトレーションロスト

3-29-7-1 アービトレーション

アービトレーションとは通信許可のことであり、唯一のマスタがバスを制御できるようにする手続きです。アービトレーションは各デバイスのＳＤＡをＡＮＤ接続する(‘Ｌ’を出力したデバイスの影響で、ＳＤＡが‘Ｌ’になる)ことにより実現されます。この時、自分の出力とＳＤＡの値が一致しないマスタは通信不許可となり、ＳＤＡに影響を与えないために以後の出力を‘Ｈ’に保持しなければなりません。このマスタとしての通信が不許可になった状態をアービトレーションロストといいます。アービトレーションロストの検出は、スタートコンディション生成時と、マスタ時のデータ送信時に行われます。

3-29-7-2 データ転送時のアービトレーションロスト

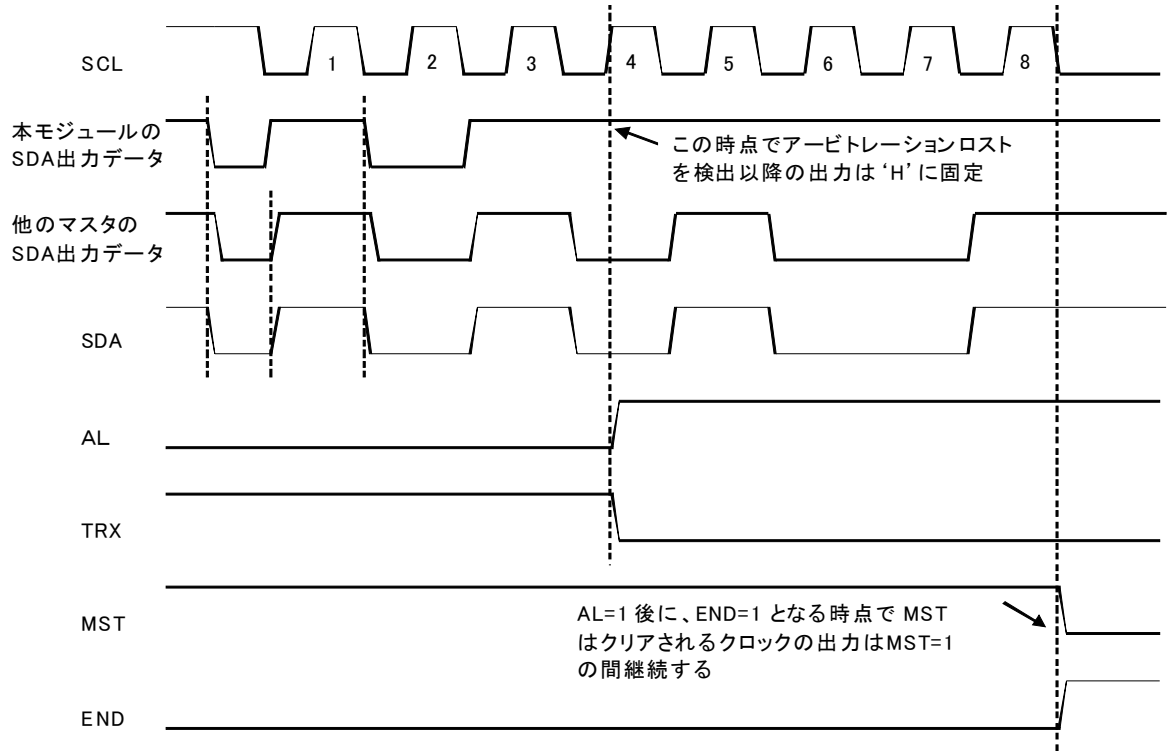


図３－２９－８ データ送信時のアービトレーションロスト

データ転送時のアービトレーションロストは、ＳＣＬの立ち上がり時のＳＤＡ値で判断されます。

図３－２９－８の、第４クロック立ち上がり時点で内部ＳＤＡ出力値が‘Ｈ’で、ＳＤＡの値が‘Ｌ’であるので、この時点でアービトレーションロストを検出し、ＡＬ＝１となります。
アービトレーションロストを検出することで、ＡＬはセット、ＴＲＸはリセットされ、ＳＤＡ出力は‘Ｈ’に固定されます。ＭＳＴはこの時点ではリセットされず、ＳＣＬクロックの送出を継続します。

ＭＳＴのクリアは、ＥＮＤがセットされるタイミングで起こります。ＳＣＬ８(ＳＭＩＣ０ＣＮＴのビット４)が１の時は、第８クロックの立ち下がりで、ＳＣＬ８が０の時は、第９クロックの立ち下がりでＭＳＴがクリアされ、クロックの送出を停止します。
アービトレーションロストの検出は、マスタトランスミッタ時のデータ部（第１～第８クロック）と、マスタレシーバ時のＡＣＫ部（第９クロック）の送出時に行われます。

アービトレーションロストを検出したマスタは、ストップコンディションが検出されるまでスレーブとして動作を継続する必要があります。

3-29-7-3 スタートコンディション送出時のアービトレーションロスト

スタートコンディション命令実行後、スタートコンディションが生成されるまでの間にアービトレーションロストが検出されるのは、以下の2条件の場合です。

①スタートコンディション命令実行時に、オーバーラン検出フラグOVR（SMIC0STAのビット2）または、スタートコンディション検出フラグSTD（SMIC0STAのビット5）が1の場合
②スタートコンディション生成作業中に、他のマスタの影響により予定時間より早くSDAが‘H’から‘L’に変化したことを検出した場合

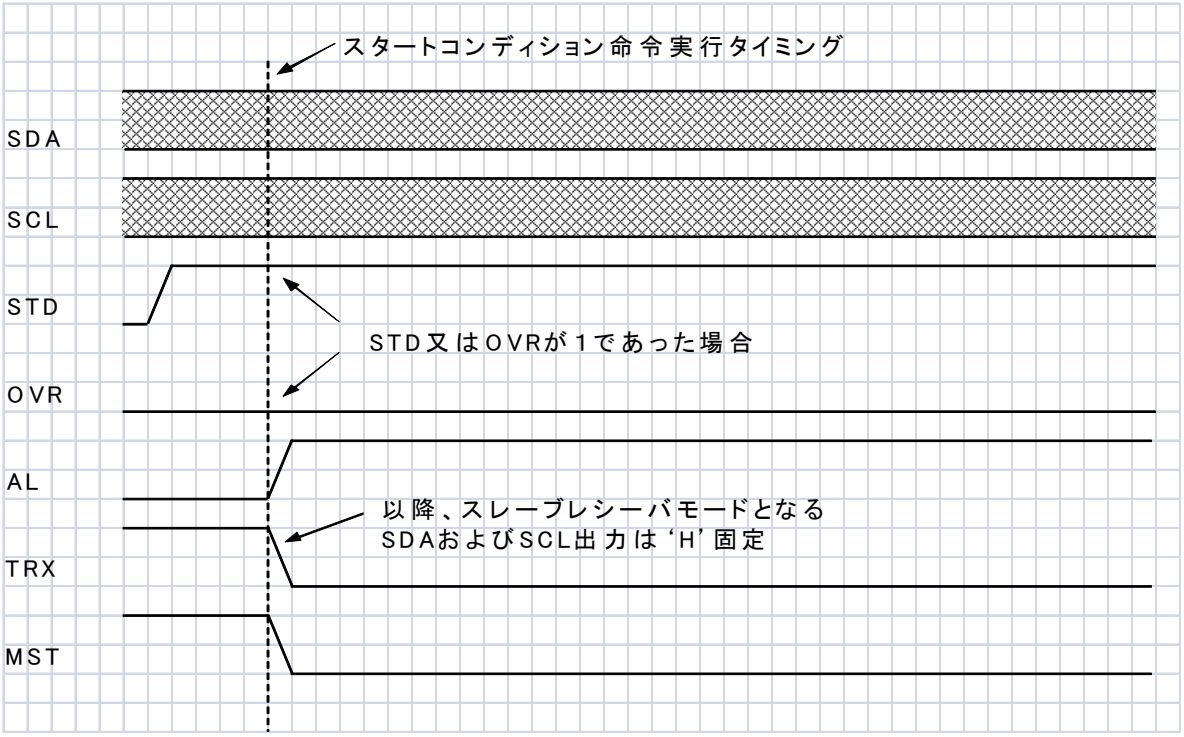


図３－２９－９ スタートコンディション生成時のアービトレーションロスト①

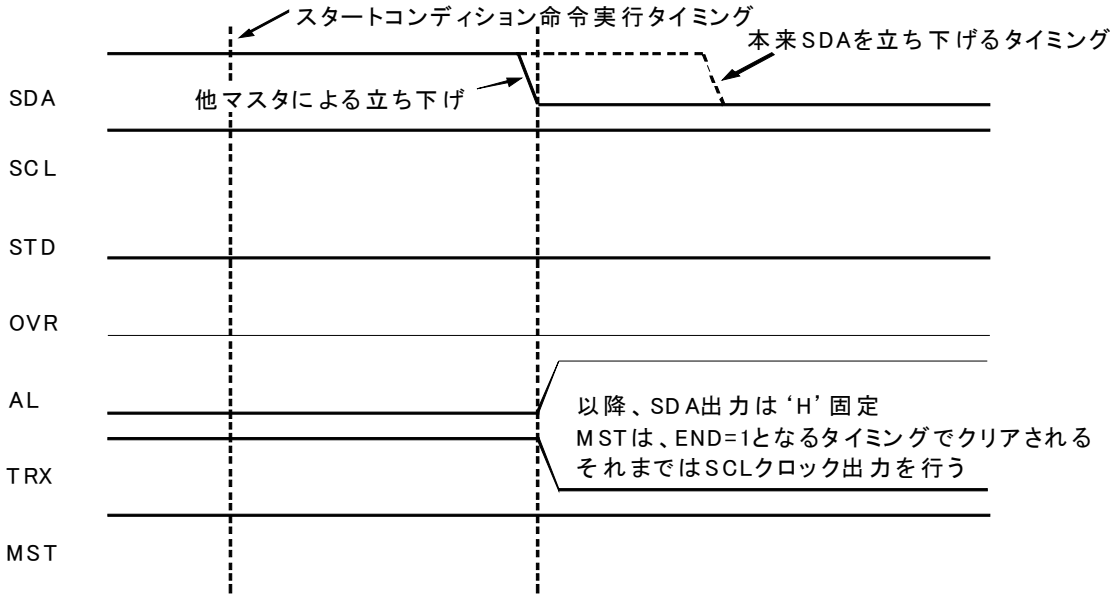


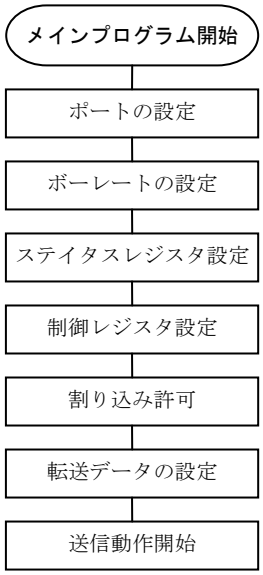
図３－２９－１０　スタートコンディション生成時のアービトレーションロスト②

上記①の条件でアービトレーションロストを検出する場合、ＡＬ＝1となるタイミングで、ＭＳＴとＴＲＸはクリアされ、スレーブレシーバモードとなって、送られてくるアドレスを受信します。
上記②の条件でアービトレーションロストを検出する場合、ＡＬ＝1となるタイミングで、ＴＲＸはクリアされますが、ＭＳＴはクリアされません。3-29-7-2データ転送時のアービトレーションロストの場合と同様に、クロックの送出を継続し、ＥＮＤがセットされるタイミングで、ＭＳＴはクリアされます。この時点で、スレーブレシーバモードとなり、プログラムにより受信したアドレスの処理を行います。

3-29-8　単純SIOモード通信の具体例

3-29-8-1　単純SIOモード1バイト送受信具体例

１．メインプログラム



3-29-3-6 SMIIC ポートの設定を参照してください

SMIC0BRG 設定

SMIC0STA に 0x80 を設定（SMD＝1）

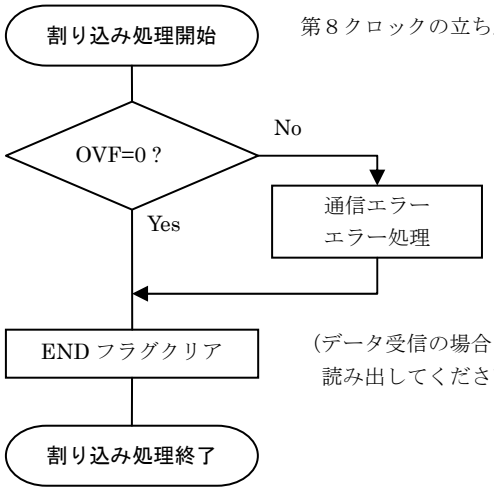
SMIC0CNT に、0xA1 を設定（RUN＝1 , TRX＝1 , IE＝1）
（データ受信の場合は、TRX＝0 にしてください）

IL1H(7F03) bit7,bit6 を設定 , PSW の IE を 1 にセットする

SMIC0BUF に、転送するデータを設定
（データ受信の場合は、SMIC0BUF にデータを設定する必要はありません）

SMIC0CNT の MST を 1 にセットする

２．割り込み処理



第８クロックの立ち上がりで、MST がクリアされ、END がセットされます

（データ受信の場合は、END フラグをクリアする前に、SMIC0BUF からデータを読み出してください）

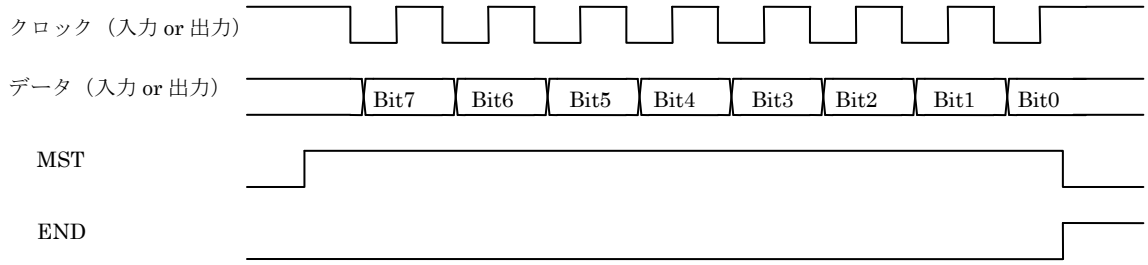


図３－２９－１１　単純SIOモード1バイト送受信波形

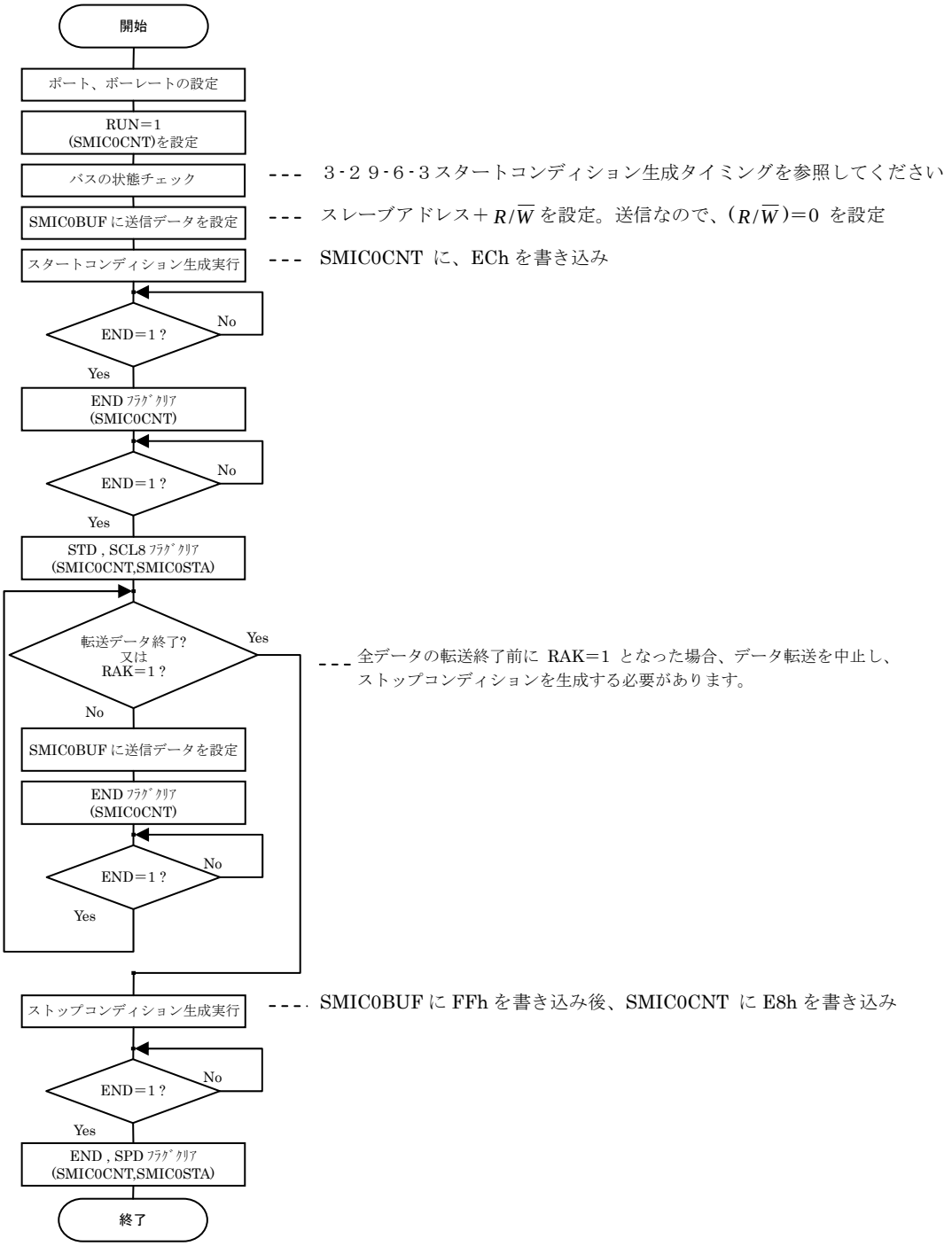
3-29-9 シングルマスタI²C通信の具体例

I²C通信の各モードのフローチャートを示します。

※ノイズや、バスに接続されているデバイスの誤動作でバスが異常状態になることが想定される場合、タイマ等を使用したタイムアウト処理による、ロック状態の回避手段を用意しておく必要があります。

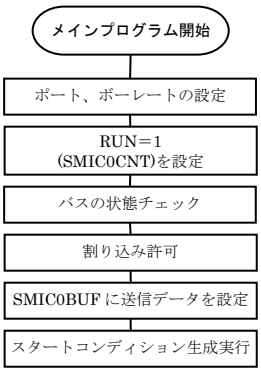
3-29-9-1 シングルマスタ・データ送信（割り込み不使用）の具体例

データ送信・割り込み不使用時のフローチャートを示します。



3-29-9-2 シングルマスタ・データ送信（割り込み使用時）の具体例

データ送信・割り込み使用時のフローチャートを示します。

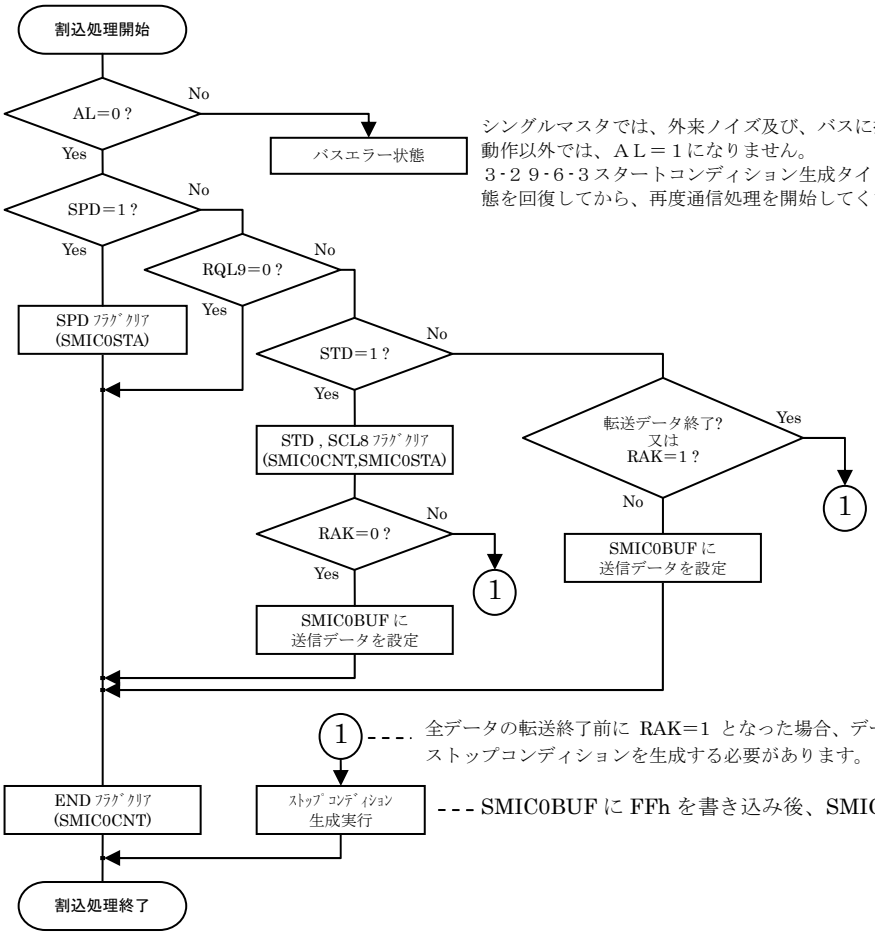


---3-29-6-3スタートコンディション生成タイミングを参照してください

---IL1H(7F03) bit7,bit6 を設定 , PSW の IE を 1 にセットする

--- スレーブアドレス＋$R/\overline{W}$ を設定。送信なので、($R/\overline{W}$)＝0 を設定

--- SMIC0CNT に EDh を書き込み



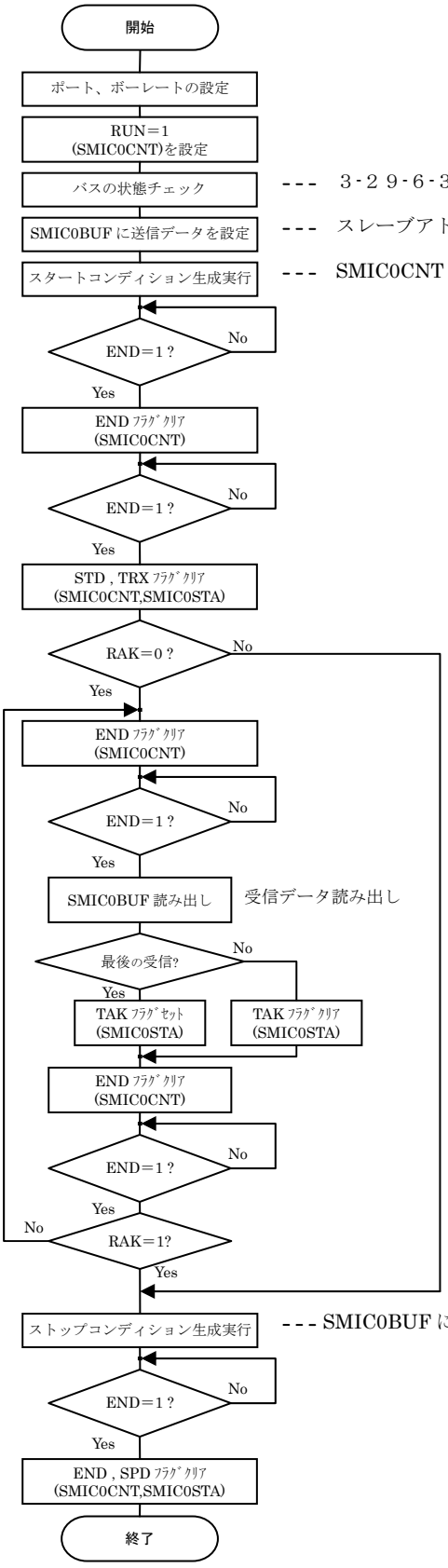
シングルマスタでは、外来ノイズ及び、バスに接続されているスレーブの誤動作以外では、ＡＬ＝１になりません。
３-２９-６-３スタートコンディション生成タイミングを参照して、エラー状態を回復してから、再度通信処理を開始してください。

1 --- 全データの転送終了前に RAK＝1 となった場合、データ転送を中止し、ストップコンディションを生成する必要があります。

--- SMIC0BUF に FFh を書き込み後、SMIC0CNT に E9h を書き込み

3-29-9-3 シングルマスタ・データ受信（割り込み不使用）の具体例

データ受信・割り込み不使用時のフローチャートを示します。



--- 3-29-6-3スタートコンディション生成タイミングを参照してください

--- スレーブアドレス＋$R/\overline{W}$を設定。受信なので、($R/\overline{W}$)=1 を設定

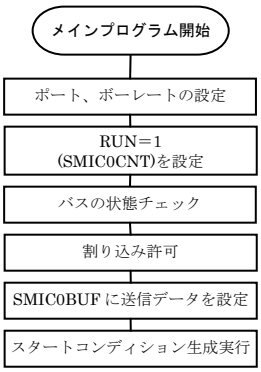
--- SMIC0CNT に ECh を書き込み

アドレス送信に対して、スレーブが ACK を返さなかった場合、
転送動作を終了し、ストップコンディションを生成します。

--- SMIC0BUF に FFh を書き込み後、SMIC0CNT に E8h を書き込み

3-29-9-4 シングルマスタ・データ受信（割り込み使用時）の具体例

データ受信・割り込み使用時のフローチャートを示します。

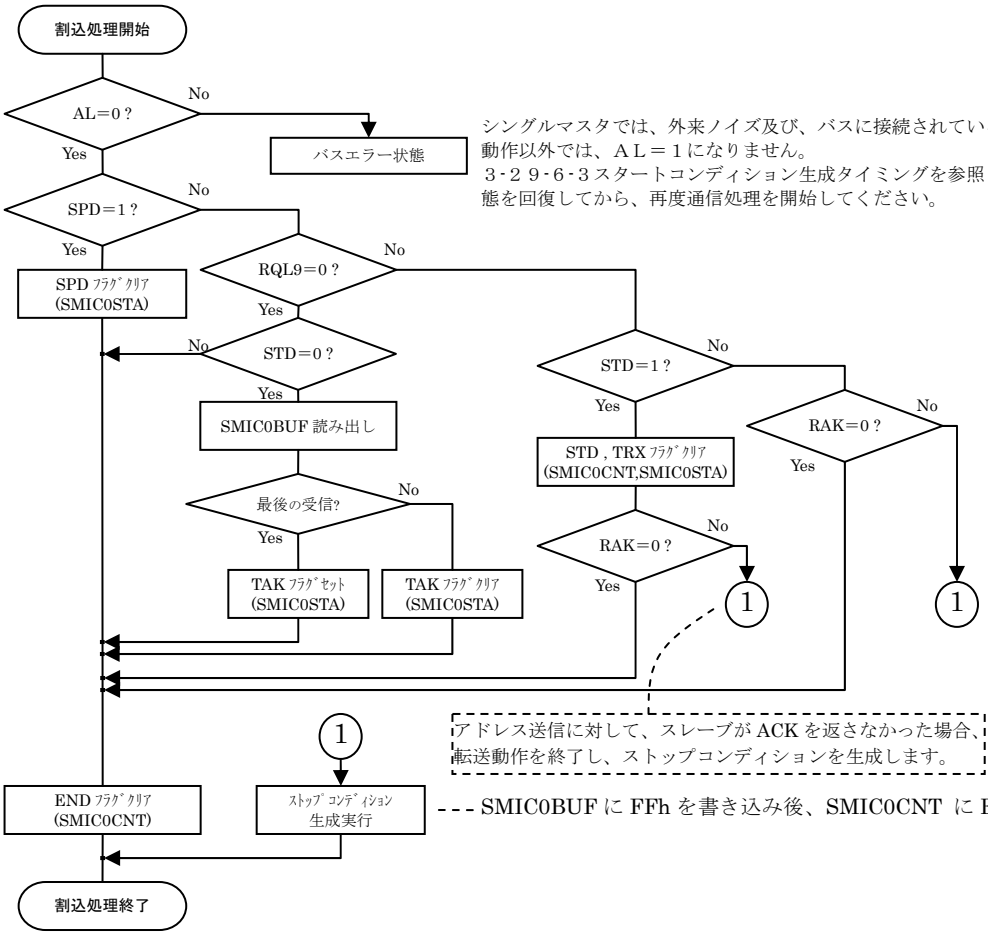


---･3-29-6-3スタートコンディション生成タイミングを参照してください

---･IL1H(7F03) bit7,bit6 を設定 , PSW の IE を 1 にセットする

--- スレーブアドレス＋$R/\overline{W}$ を設定。受信なので、($R/\overline{W}$)＝1 を設定

--- SMIC0CNT に EDh を書き込み



シングルマスタでは、外来ノイズ及び、バスに接続されているスレーブの誤動作以外では、ＡＬ＝１になりません。
３-２９-６-３スタートコンディション生成タイミングを参照して、エラー状態を回復してから、再度通信処理を開始してください。

アドレス送信に対して、スレーブが ACK を返さなかった場合、転送動作を終了し、ストップコンディションを生成します。

--- SMIC0BUF に FFh を書き込み後、SMIC0CNT に E9h を書き込み

3-30 SMIIC1(Single-master I²C)

3-30-1 概要

本シリーズが内蔵しているI²Cバス機能は、次の2つの機能を持ちます。
①single-masterのマスターモードによるI²C通信（注）
②同期式8ビットシリアルI／O（2線式または3線式、データMSB先頭）

（注）本モジュールはアドレスのコンパレータ機能を持っていません。よって、single-masterのスレーブモードとして使用する場合や、multi-masterのI²C通信を行う場合は、アドレス比較やその他の処理をソフトウェアによって行う必要があります。

3-30-2 回路構成

3-30-2-1 I²C制御レジスタ1（SMIC1CNT） （8ビットレジスタ）

①I²C-BUSのモード制御を行います。
②割り込みの制御を行います。

3-30-2-2 I²Cステイタスレジスタ1（SMIC1STA） （8ビットレジスタ）

①I²C-BUSの各イベント検出フラグ。
②ACKデータの制御を行います。

3-30-2-3 I²Cボーレート制御レジスタ1（SMIC1BRG） （8ビットレジスタ）

①SDA・SCL取り込み部ノイズフィルタのクロック周波数制御を行います。
②SCLクロックの周波数を制御します。

3-30-2-4 I²Cデータバッファ1（SMIC1BUF） （8ビットレジスタ）

①データの送受信をこのレジスタを通して行います。

3-30-2-5 I²Cポート制御レジスタ1（SMIC1PCNT） （8ビットレジスタ）

①I²Cポートの制御を行います。

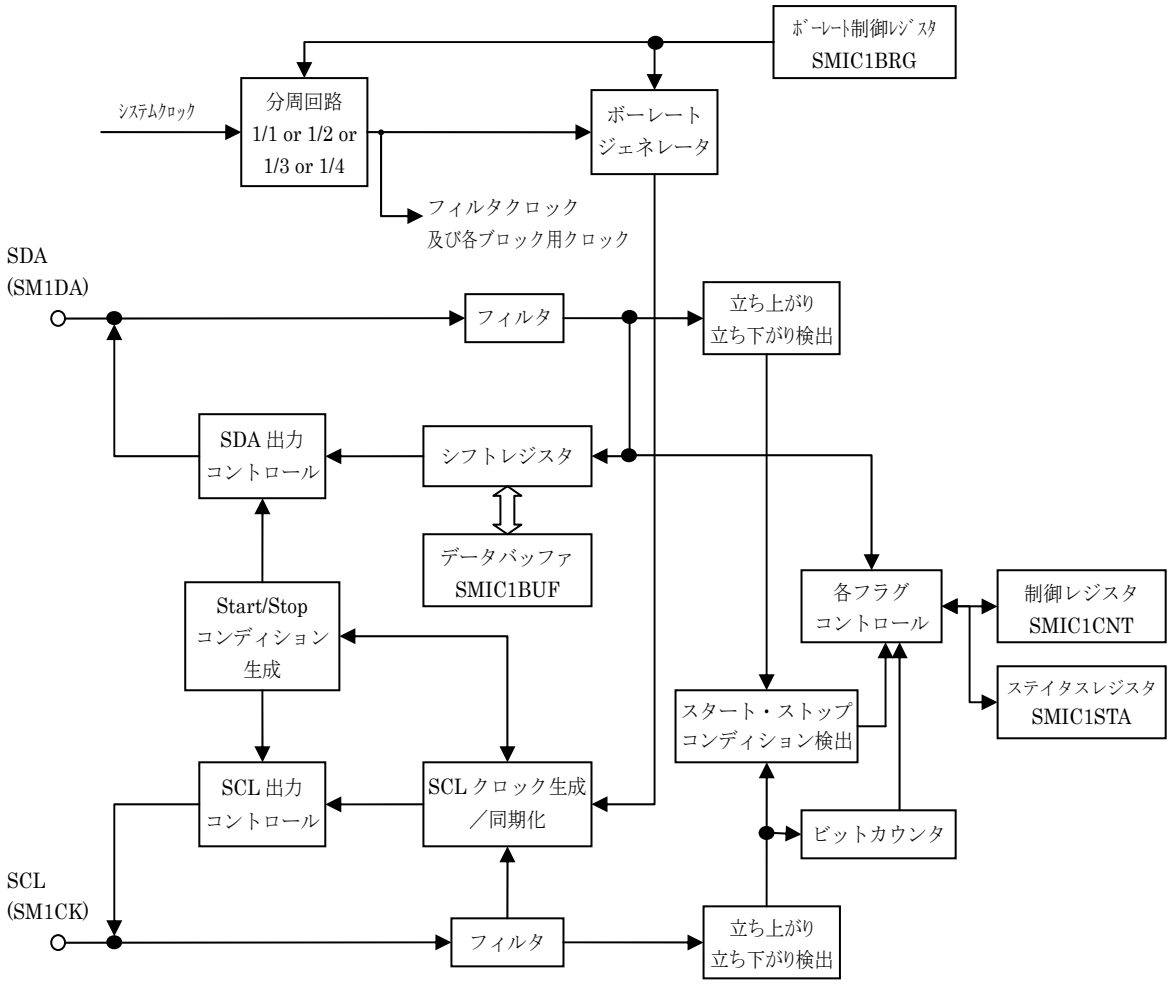


図３－３０－１　ＳＭＩＩＣ１ブロック図

3-30-3 関連レジスタ

3-30-3-1 I²C制御レジスタ1（SMIC1CNT）

①SMIICモジュールの動作制御を行う8ビットのレジスタです

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F64	0000 0000	R/W	SMIC1CNT	RUN	MST	TRX	SCL8	MKC	BB	END	IE

RUN（ビット7）:SMIIC1動作許可

このビットが1の時、SMIIC1モジュールが動作状態となります。
このビットが0の時、SMIIC1モジュールは動作停止します。

MST（ビット6）:マスタ・スレーブ制御ビット

・I²Cモード時（SMD＝0）

このビットが1の時、マスターモードとして動作します。
（スタート・ストップコンディションの生成、転送クロックの送出を行う）
このビットが0の時、スレーブモードとして動作します。
（クロック出力は行わない。マスタが送出するクロックに同期して、データの送受信を行う）

MSTがリセットされる条件

①ストップコンディションを検出した時
②アービトレーションロストを検出した時

アービトレーションロストを検出後、1バイトの転送終了までは、このビットはクリアされずに、クロックの送出を続けます。
アービトレーションロスト後、割り込み要因フラグENDがセットされるタイミングで、MSTフラグはクリアされます。

・同期式8ビットシリアルモード時（SMD＝1）

このビットを1にすることで、8ビットの通信を開始します。

MSTがリセットされる条件

①第8クロックの立ち上がりで、リセットされます

TRX（ビット5）:トランスミッタ・レシーバ制御

・I²Cモード時（SMD＝0）

このビットが1の時、トランスミッタとして動作します。
このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

①ストップコンディションを検出した時
②アービトレーションロストを検出した時
③スレーブモード時に、スタートコンディションを検出した時

・同期式8ビットシリアルモード時（SMD＝1）
このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

SCL8（ビット4）：第8クロック立ち下がり時の割り込み制御
・I^2Cモード時（SMD＝0）
このビットが1の時、第8クロックの立ち下がりで、割り込み要求が発生します。
このビットが0の時、第8クロックの立ち下がりで、割り込み要求が発生しません。

SCL8がセットされる条件
①スタートコンディションの検出

このビットは、自動的にクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、0にして使用してください。

MKC（ビット3）：スタート・ストップコンディション生成制御
・I^2Cモード時（SMD＝0）
このビットは、書き込み専用のビットで、スタート or ストップコンディションを生成させる時に、1を書き込みます（このビットを読み込んだ時は、常に0が読み込まれます）。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、0にして使用してください。

BB（ビット2）：バスビジーフラグ（R／O）
・I^2Cモード時（SMD＝0）
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
読み出し専用のBBは、バスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。
このビットが1の時は、I^2Cバスは使用状態であることを示します。
スタートコンディションを生成する時には、このビットが0であることと、SDA、SCLがともに‘H’レベルであることを確認してから行ってください（再スタートコンディションを生成する場合を除きます）。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

BBがセットされる条件
①スタートコンディションの検出

BBがリセットされる条件
①ストップコンディションの検出
②RUN＝0の場合

BBW(ビット2):スタート・ストップコンディション生成制御
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
書き込み専用のBBWは、このレジスタ(SMIC1CNT:07F64h)のビット6，5，3と同時にMOV命令で値を書き込むことで、スタート・ストップコンディションの生成を制御します。
・割り込み要求発生許可制御　IE＝1とした場合
SMIC1CNTに、EDhを書き込み　:スタートコンディションを生成
SMIC1CNTに、E9hを書き込み　:ストップコンディションを生成
・割り込み要求発生許可制御　IE＝0とした場合
SMIC1CNTに、EChを書き込み　:スタートコンディションを生成
SMIC1CNTに、E8hを書き込み　:ストップコンディションを生成
※スタート・ストップコンディションの生成に関しては、3-30-6スタートコンディション／ストップコンディションの章を参照してください。

・同期式8ビットシリアルモード時（SMD＝1）
このビットは、読み出し専用で、MST(ビット6)と同一値が読み出されます。

END(ビット1):割り込み要因フラグ
・I^2Cモード時（SMD＝0）
データの転送終了及びストップコンディションでセットされます。
このビットが1で、かつSCLが‘L’レベルの場合、マスタ・スレーブモードにかかわらず、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

ENDがセットされる条件
①SCL8＝1の場合の、第8クロック立ち下がり
②アッククロックの立ち下がり
③ストップコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。
このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。このビットをクリアする前に、バッファSMIC1BUFへのデータセット／データ読み出しを完了してください。

・同期式8ビットシリアルモード時（SMD＝1）
データの転送終了時にセットされます。

ENDがセットされる条件
① 第8クロック立ち上がり

このビットは自動的にはクリアされません。命令でクリアしてください。

IE（ビット0）：割り込み要求発生許可制御
このビットとENDがともに1の時、ベクタアドレス0802CHへの割り込み要求が発生します。

3-30-3-2 I²Cステイタスレジスタ1（SMIC1STA）

①I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F65	0000 0000	R/W	SMIC1STA	SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK

SMD（ビット7）：I²C／同期式8ビットシリアルモード切り替え
このビットが1の時、同期式8ビットシリアルモードで動作します。
また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。
このビットが0の時、I²C通信モードで動作します。
また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

RQL9（ビット6）：アッククロックタイミング検出フラグ（R／O）
第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

STD（ビット5）：スタートコンディション検出フラグ
スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件
①スタートコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは自動的にセットされません。このビットは0にして使用してください。

ＳＰＤ（ビット4）：ストップコンディション検出フラグ

ストップコンディションを検出するとセットされるフラグです。

ＳＰＤがセットされる条件

①ストップコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時（ＳＭＤ＝1）、このビットは自動的にセットされません。このビットは0にして使用してください。

ＡＬ（ビット3）：アービトレーションロスト検出フラグ

マスターモード時に、アービトレーションロストを検出するとセットされるフラグです。

ＡＬがセットされる条件

①マスタトランスミッタモード時の第1～第8クロックの立ち上がりタイミングと、マスタレシーバー時の第9クロック立ち上がりタイミングで、内部ＳＤＡ値が‘Ｈ’でＳＤＡ端子レベルが‘Ｌ’の場合。

②スタートコンディション重複防止機能により、スタートコンディション生成が禁止された場合

このビットは自動的にはクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時（ＳＭＤ＝1）、このビットは自動的に　セットされません。このビットは0にして使用してください。

ＯＶＲ（ビット2）：オーバーラン検出フラグ

・I^2Cモード時（ＳＭＤ＝0）

ＢＢ（07Ｆ64ｈのビット2）　バスビジーフラグが0の時に、ＳＣＬラインのクロック信号立ち下がりを検出するとセットされるフラグです。

ＯＶＲがセットされる条件

①ＢＢ＝0の時にＳＣＬ立ち下がり検出

このビットは自動的にはクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時（SMD＝1）
MST（07F64hのビット6） 0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件
①MST＝0の時にSCL立ち下がり検出

このビットは自動的にはクリアされません。命令でクリアしてください。

TAK（ビット1）：アッククロック時のSDA制御ビット
マスタレシーバ・スレーブレシーバモード時に、アッククロックタイミングでSDAにこのビットの値が出力されます。
マスタトランスミッタ・スレーブトランスミッタモード時は、このビットのデータにかかわらず、ACKクロックタイミングでSDA＝‘H’レベルを出力します。

TAKがセットされる条件
①ストップコンディションを検出した時
②アービトレーションロストを検出した時
③スレーブモード時に、スタートコンディションを検出した時

※同期式8ビットシリアルモード時（SMD＝1）、このビットは0で使用してください。

RAK（ビット0）：受信アクノリッジデータ格納ビット（R／O）
アクノリッジ受信データが格納されます。
このビットは、トランスミッタ・レシーバ両モードともに、アッククロック時のSDAデータの値が格納されます。

RAKがセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘H’レベルの時

RAKがリセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘L’レベルの時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

3-30-3-3 I²Cボーレート制御レジスタ1（SMIC1BRG）

①SDA、SCLフィルタクロック周波数及びSCLクロック周波数を制御する8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F66	0000 0000	R/W	SMIC1BRG	BRP		BRDQ	BRD				

BRP（ビット7、6）：フィルタクロック制御

BRP	フィルタクロック周期 （Tfilt）
00	Tcyc×1
01	Tcyc×2
10	Tcyc×3
11	Tcyc×4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期Tfiltが以下の範囲になるように設定してください。

250nsec ≧ Tfilt ＞ 140nsec

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns×1＝250ns
6MHz	00	166ns×1＝166ns
7MHz	00	143ns×1＝143ns
8MHz	01	125ns×2＝250ns

BRDQ（ビット5）：SCLクロック周波数制御

このビットは、標準クロックモード時は1に、高速クロックモード時は0に設定してください。

BRD（ビット4～0）：SCLクロック周波数制御

BRDの5ビットの設定値を n とすると、SCLクロック周期Tfsckは、以下の計算式で設定されます。

BRDQ＝0の時（高速クロックモード）
Tfsck＝Tfilt×（n＋1）×2

BRDQ＝1の時（標準クロックモード）
Tfsck＝Tfilt×（n＋1）×8

SCLクロック周波数fsckは、以下の計算式で設定されます。

BRDQ＝0の時（高速クロックモード）
fsck＝1／（Tfilt×（n＋1）×2）

BRDQ＝1の時（標準クロックモード）
fsck＝1／（Tfilt×（n＋1）×8）

※Tfiltは、システムクロック周波数と、フィルタクロック制御ビットBRP（SMIC1BRGのビット7，6）によって設定されるフィルタクロック周期です。

※I^2C通信モードで使用する場合（SMD＝0）は、BRDの5ビットの設定値nは、4以上の値を設定してください。（0～3は設定禁止）

※同期式8ビットシリアルモードで使用する場合（SMD＝1）は、このレジスタを次のように設定してください。

BRP（SMIC1BRGのビット7，6）＝00
BRDQ ＝0 or 1
BRDの5ビットの設定値nは、1以上の値を設定してください（0は設定禁止）

この時、出力クロック周波数fsckは、以下の計算式で設定されます。

BRDQ＝0の時　fsck＝1／（Tcyc×（n＋1）×2）
BRDQ＝1の時　fsck＝1／（Tcyc×（n＋1）×8）

標準クロックモードBRDQ＝1

SCL周波数（kHz）

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	100	※
05h	83.3	※
06h	71.4	※
07h	62.5	94.1
08h	55.6	83.7
09h	50	75.3
0Ah	45.5	68.5
0Bh	41.7	57.9
0Ch	38.5	53.8
0Dh	35.7	50.2
0Eh	33.3	47.1
0Fh	31.3	44.3
10h	29.4	41.8
11h	27.8	39.6
:	:	:
1Ch	17.2	25.9
1Dh	16.7	25.1
1Eh	16.1	24.3
1Fh	15.6	23.5

高速クロックモードBRDQ＝0

SCL周波数（kHz）

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166s (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	400	※
05h	333.3	※
06h	328.7	※
07h	250	376.5
08h	222.2	334.7
09h	200	301.2
0Ah	181.8	273.8
0Bh	166.7	251
0Ch	153.8	231.7
0Dh	142.9	215.1
0Eh	133.3	200.8
0Fh	125	188.3
10h	117.6	177.2
11h	111.1	167.3
:	:	:
1Ch	69	103.9
1Dh	66.7	100.4
1Eh	64.5	97.23
1Fh	62.5	94.1

※I^2Cバスの仕様範囲外

3-30-3-4 I²Cデータバッファ1（SMIC1BUF）

①受信データの格納、及び送信データを書き込むための8ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F67	0000 0000	R/W	SMIC1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

・データの受信

・I²Cモード時（SMD＝0）

トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC1BUFレジスタに転送されます。

・同期式8ビットシリアルモード時（SMD＝1）

送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC1BUFレジスタに転送されます。

・データの送信

・I²Cモード時（SMD＝0）

トランスミッタモード時、SMIC1BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①スタートコンディション検出時

②END＝1の時に、SMIC1BUFに書き込みを行った時

・同期式8ビットシリアルモード時（SMD＝1）

データ送信モード時、SMIC1BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①MST＝0の時に、SMIC1BUFに書き込みを行った時

3-30-3-5 I²Cポート制御レジスタ1（SMIC1PCNT）

①I²Cポートを制御するための4ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F69	LLLL 0000	R/W	SMIC1PCNT	-	-	-	-	SHDS	PHV	PCLV	PSLW

SHDS（ビット3）：SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV（ビット2）：I²Cポート電圧制御

5Vで使用する場合、このビットを1にしてください。

3Vで使用する場合、このビットを0にしてください。

PCLV（ビット1）：I²Cポート入力特性制御

このビットが1の時、PB4，PB5の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、PB4，PB5の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW（ビット0）:I²CポートSLOW制御

このビットが1の時、PB4，PB5の出力特性は、SLOWとなります。
このビットが0の時、PB4，PB5ポートの出力特性は、PBLAT、PBDDR、PBFSA、PBFSBにより制御されます。
このビットを1にすると、PB4，PB5出力信号の立ち下がり時間がSLOWモードとなりますが、PB4，PB5端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。
出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

3-30-3-6 SMIICポートの設定

①クロック入出力ポート（PB4）の設定

レジスタデータ				ポートPB4の状態
PBFSA<4>	PBFSB<4>	PBLAT<4>	PBDDR<4>	出力
1	1	1	1	オープン（同期式8ビットシリアルモード時外部クロック入力）
1	0	0	1	クロック出力（CMOS）
1	1	1	0	クロック出力（CMOS変化SLOW）
1	1	0	1	クロック出力／I²C SCL出力（Nchオープンドレイン）

②データ入出力ポート（PB5）の設定

レジスタデータ				ポートPB5の状態	
PBFSA<5>	PBFSB<5>	PBLAT<5>	PBDDR<5>	入力	出力
1	1	1	1	可能（データ受信入力）	オープン
1	0	0	1	可能（データ受信入力）	データ出力（CMOS）
1	1	1	0	可能（データ受信入力）	データ出力（CMOS変化SLOW）
1	1	0	1	可能（データ受信入力）	データ出力／I²C SDA出力（Nchオープンドレイン）

③データ出力ポート（PB6）の設定（3線式同期式8ビットシリアルモード時に使用）

レジスタデータ				ポートPB6の状態
PBFSA<6>	PBFSB<6>	PBLAT<6>	PBDDR<6>	出力
1	0	0	1	データ出力（CMOS）
1	1	1	0	データ出力（CMOS変化SLOW）
1	1	0	1	データ出力（Nchオープンドレイン）

※ 本モジュールをI²Cモードで使用する時は、I²Cポート制御レジスタ1（SMIC1PCNT）のPCLV＝1、PB4，PB5をI²C SCL出力（Nchオープンドレイン）、I²C SDA出力（Nchオープンドレイン）モードにして使用してください。

※ I²Cポート制御レジスタ1（SMIC1PCNT）のPSLWビットは、信号立ち下がり特性に問題がなければ、0（FASTモード）に設定してください。

※ 同期式8ビットシリアルモードで、外部クロックを使用する場合は、クロック入出力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-30-4 I²CポートSLOW設定時の注意事項

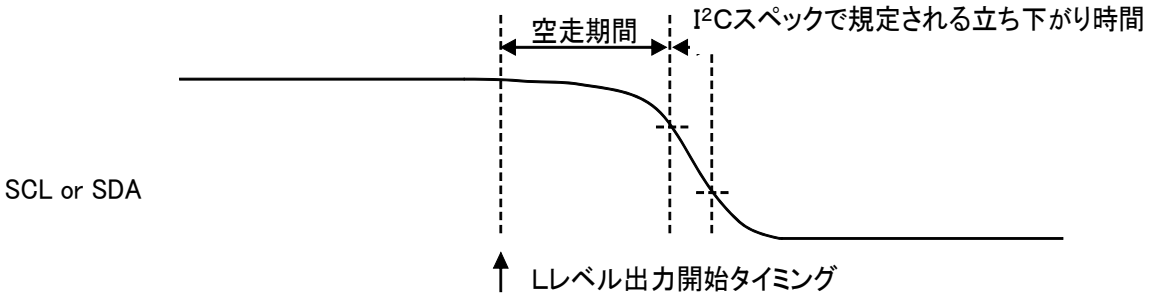


図３－３０－２ I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。
「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-30-5 生成クロック波形とSCL立ち上がり時間

3-30-5-1 生成クロック波形

SCLクロック出力波形は、I²Cボーレート制御レジスタ1（SMIC1BRG）で設定されたクロック周期Tfsckに対して、DUTY50％で生成されます。

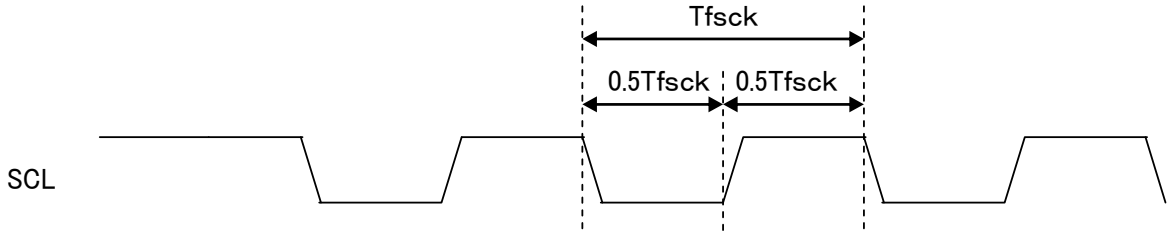


図３－３０－３ SCLクロック波形

高速モード時で、クロック周波数を400kHzに設定した場合、SCLのL期間は、（信号の立ち上がり、立ち下がり時間を無視した場合）1．25usecとなり、I²Cバスインターフェース仕様（min．1．3usec）を満足しません
これについては、以下のことを検討してください。

①転送レートを下げて、仕様を満足するように設定する。
②プルアップ抵抗等外付けの調整により、立ち上がり・立ち下がり時間を調整する。

また、I²Cポートの出力特性をSLOWとした場合、L出力を開始してから、ポートがLレベルになる時間が長くなりますので、SCLのL期間がさらに短くなり、注意が必要です。

3-30-5-2 SCL立ち上がり時間

本モジュールはI^2CモードでのSCLクロック出力時、他のマスタ又はスレーブがSCLラインをLにドライブした場合でも、クロックラインの立ち上がりタイミングを監視し、クロックのH幅を保証するために同期を取る動作を常に行っています。
SCLの立ち上がり時間は、I^2Cバスインターフェース仕様で、高速モード300nsec標準モード1000nsec以内と定められています。
高速モード時は、SCL立ち上がり時間が最大300nsecであるので問題ありませんが、標準モード時、立ち上がり時間が(Tfilt×２．５)より遅い場合、この同期動作が働いてしまい、設定したクロック周波数よりも転送速度が遅くなってしまいます。

システムクロック	BRP	Tfilt	Tfilt×2．５
4MHz	00	250ns	625ns
6MHz	00	166ns	415ns
7MHz	00	143ns	357ns
8MHz	01	250ns	625ns

設定した転送レートで動作させるためには、SCLラインの立ち上がり時間が、上記表に示す Tfilt×２．５ よりも短くなるように、プルアップ抵抗、負荷容量を設定してください。

3-30-6 スタートコンディション／ストップコンディション

3-30-6-1 スタート／ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I^2Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

・スタートコンディション(S)
　データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
・ストップコンディション(P)
　データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

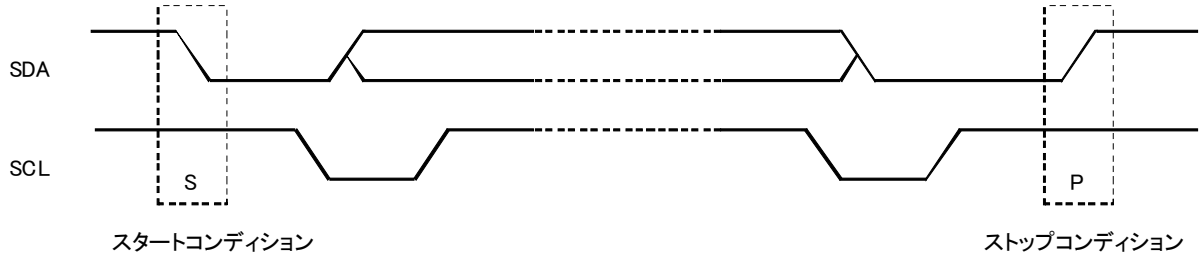


図３－３０－４ スタートコンディションとストップコンディション

3-30-6-2 スタートコンディション発生方法

SMIIC1動作許可ビットRUN(SMIC1CNTのビット7)をあらかじめ1にしている状態で、I²C制御レジスタSMIC1CNTに以下に示す値を書き込むことで、スタートコンディションの生成作業が始まります。
ただし、SMIC1CNTのビット0は割り込み許可制御ビットなので、割り込みを許可(IE＝1)するか、禁止(IE＝0)するかによって、書き込むデータが異なります。

スタートコンディション発生方法
SMIC1CNTに、EDhを書き込み(割り込みを許可する時)
SMIC1CNTに、EChを書き込み(割り込みを許可しない時)

3-30-6-3 スタートコンディション生成タイミング

スタートコンディションを生成する前に、BBフラグ(SMIC1CNTのビット2)が0であることを確認してください。
リセット後に本モジュールを動作開始させる場合は、以下の手順で行ってください。

① ポートの設定を行う(3-30-3-6 SMIICポートの設定を参照してください)。
② SMIC1BRGにより、フィルタクロック・ボーレートクロックの設定を行う。
③ RUN(SMIC1CNTのビット7)に1をセットする。
④ ボーレートクロック数回分ウェイトし、BB(SMIC1CNTのビット2)及び、OVR(SMIC1STAのビット2)がともに0であることを確認する。
⑤ 他のマスタやスレーブデバイスにより、SDA・SCLラインが固定されていないか、SDA・SCLポートを読み込みともに'H'レベルであることを確認する。
⑥ ④・⑤がOKの場合、スタートコンディション命令を実行可と判断できる。
⑦ ④・⑤がNGの場合、本モジュール動作開始前に、他マスタがバスを使用開始したと判断し、ストップコンディション受信までウェイトする。(バスが異常な状態でロックされている場合などは、タイマを使用した、ウェイト時間のタイムアウト処理が必要となります)
⑧ シングルマスタの場合や、⑦のストップコンディションのウェイト動作がタイムアウトした場合などは、他のスレーブデバイスがバスをロックしていると判断し、プログラムによりPBDDRのビット4、ビット5を操作して、ストップコンディションを生成する必要があります。

手順1. PBDDRのビット4＝0とし、SCL＝Lとする。この時、SDA＝Lの場合は、SCL＝LかつSDA＝H状態になるまで、PBDDRのビット4に1と0を交互に設定しSCLにクロックを送出する。

手順2. 以下のようにSDA,SCLラインの状態を変化させる。

1－ SDA＝H SCL＝L (PBDD ビット5＝1、PBDDR ビット4＝0)
2－ SDA＝L SCL＝L (PBDD ビット5＝0、PBDDR ビット4＝0)
3－ SDA＝L SCL＝H (PBDD ビット5＝0、PBDDR ビット4＝1)
4－ SDA＝H SCL＝H (PBDD ビット5＝1、PBDDR ビット4＝1)

(上記のようにポートを変化させる場合は、他のデバイスのset-up／hold時間を考慮する必要があります)

以下に、スタートコンディションの発生タイミングを示します。

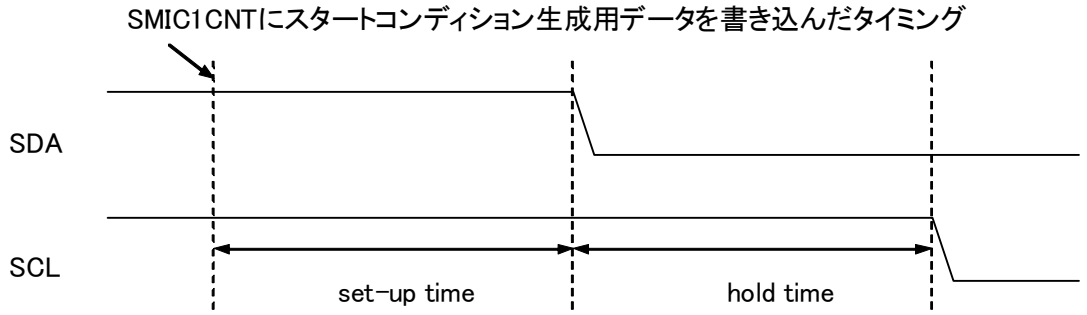


図３－３０－５　スタートコンディション発生タイミング

3-30-6-4　再スタートコンディション生成タイミング

マスタ通信モードで、スタートコンディション送出及びデータ送受信後に、ストップコンディションを生成せずに、送受信モードや通信先スレーブデバイスの切り替えを行うため、再度スタートコンディションを生成する場合は、次の手順で行ってください。

①マスタレシーバモードの時は、ＡＣＫデータ＝１（ＮＡＣＫ）を送出し、スレーブにＳＤＡラインを開放させる。

②ＡＣＫデータのクロックが立ち下がり、ＥＮＤ（ＳＭＩＣ１ＣＮＴのビット1）＝１ かつ ＲＱＬ９（ＳＭＩＣ１ＳＴＡのビット6）＝１となったことを確認する。ＥＮＤ＝１の間は、ＳＣＬに‘Ｌ’レベルを継続出力状態となる。

③ＳＭＩＣ１ＢＵＦにスレーブアドレス7ビットとR/$\overline{W}$ビットを設定する

④ＳＭＩＣ１ＣＮＴにスタートコンディション生成用データを書き込む。

⑤ＳＭＩＣ１ＣＮＴにスタートコンディション生成用データを書き込むことで、ＥＮＤ（ＳＭＩＣ１ＣＮＴのビット1）がクリアされ、再スタートコンディションのｐｒｅ-ｓｅｔ-ｕｐ ｔｉｍｅ経過後にＳＣＬが開放される。このように、スタートコンディション命令により、ＥＮＤフラグのクリアが行われるので、ＩＥ（ＳＭＩＣ１ＣＮＴのビット0）＝１として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのスタートコンディション命令を実行してください。

以下に、再スタートコンディションの発生タイミングを示します。

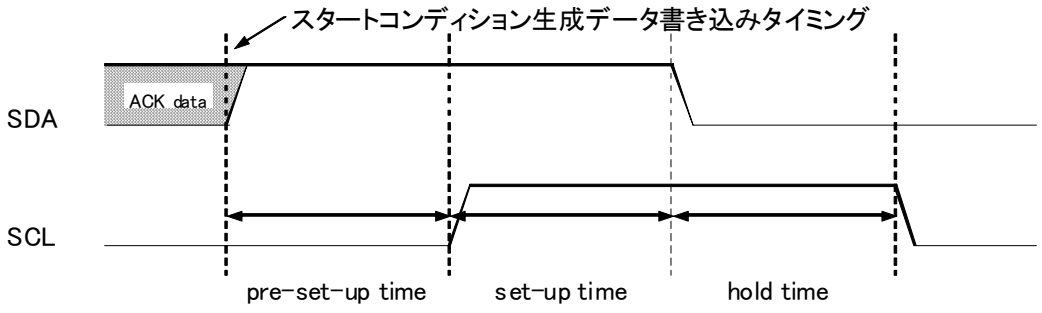


図３－３０－６　再スタートコンディション発生タイミング

3-30-6-5 ストップコンディション発生方法

ACKクロックの立ち下がりで、END（SMIC1CNTのビット1）＝1 となり、SCLに‘L’を継続出力している状態で、I²C制御レジスタSMIC1CNTに以下に示す値を書き込むことで、ストップコンディションの生成作業が始まります。
ただし、SMIC1CNTのビット0は割り込み許可制御ビットなので、割り込みを許可（IE＝1）するか、禁止（IE＝0）するかによって、書き込むデータが異なります。

ストップコンディション発生方法
SMIC1CNTに、E9hを書き込み（割り込みを許可する時）
SMIC1CNTに、E8hを書き込み（割り込みを許可しない時）

3-30-6-6 ストップコンディション生成タイミング

マスタ通信モードで、ストップコンディションを生成する場合は、次の手順で行ってください。

① マスタレシーバモードの時は、ACKデータ＝1（NACK）を送出し、スレーブにSDAラインを開放させる。
② ACKデータのクロックが立ち下がり、END（SMIC1CNTのビット1）＝1 かつ RQL9（SMIC1STAのビット6）＝1となったことを確認する。END＝1の間は、SCLに‘L’レベルを継続出力状態となる。
③ SMIC1BUFに0FFhを設定する。
④ SMIC1CNTにストップコンディション生成用データを書き込む。
⑤ SMIC1CNTにストップコンディション生成用データを書き込むことで、END（SMIC1CNTのビット1）がクリアされ、ストップコンディションのpre-set-up time経過後にSCLが開放される。このように、ストップコンディション命令により、ENDフラグのクリアが行われるので、IE（SMIC1CNTのビット0）＝1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのストップコンディション命令を実行してください。

以下に、ストップコンディションの発生タイミングを示します。

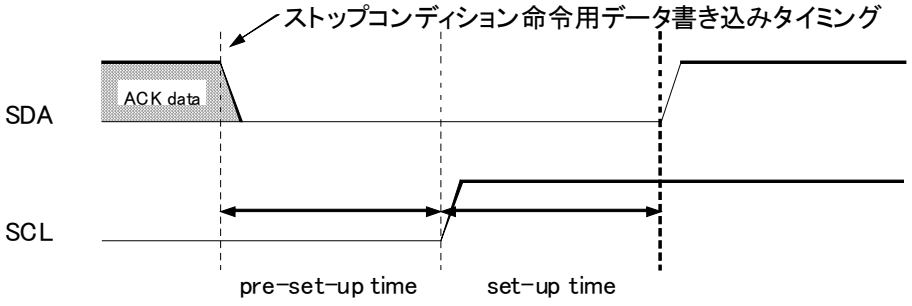


図３－３０－７ ストップコンディション発生タイミング

3-30-7 アービトレーションロスト

3-30-7-1 アービトレーション

アービトレーションとは通信許可のことであり、唯一のマスタがバスを制御できるようにする手続きです。アービトレーションは各デバイスのSDAをAND接続する(‘L’を出力したデバイスの影響で、SDAが‘L’になる)ことにより実現されます。この時、自分の出力とSDAの値が一致しないマスタは通信不許可となり、SDAに影響を与えないために以後の出力を‘H’に保持しなければなりません。このマスタとしての通信が不許可になった状態をアービトレーションロストといいます。アービトレーションロストの検出は、スタートコンディション生成時と、マスタ時のデータ送信時に行われます。

3-30-7-2 データ転送時のアービトレーションロスト

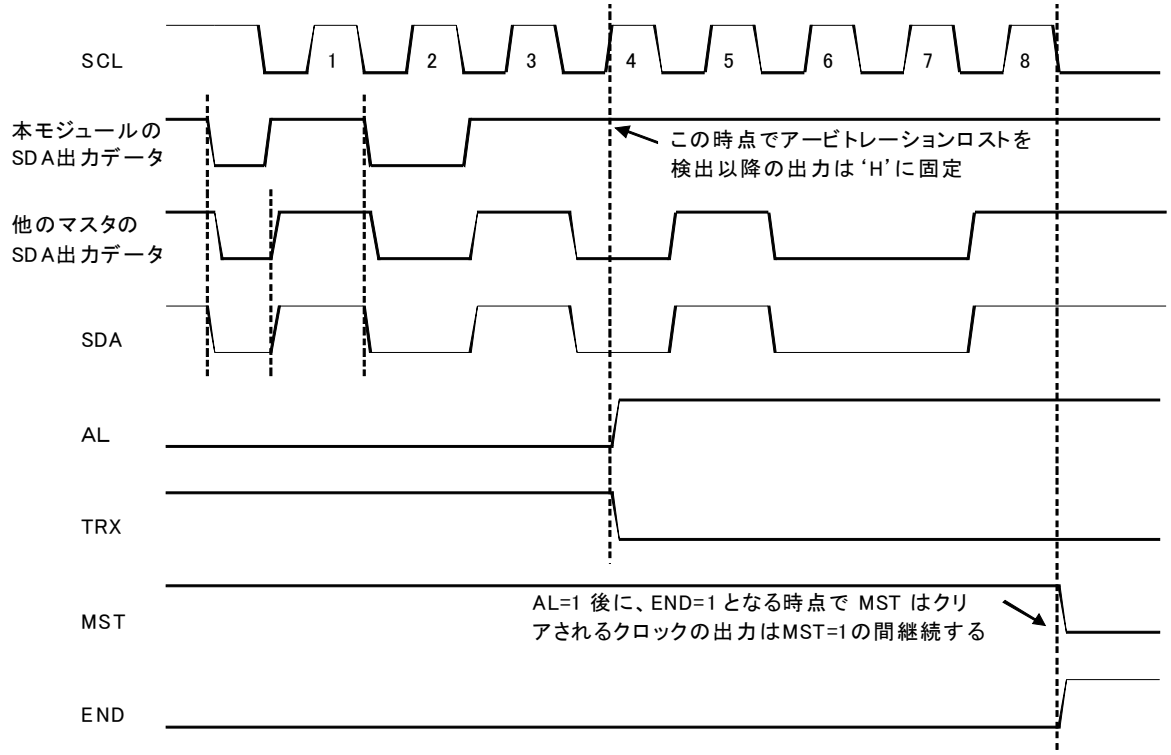


図３－30－８ データ送信時のアービトレーションロスト

データ転送時のアービトレーションロストは、SCLの立ち上がり時のSDA値で判断されます。

図３－30－8の、第4クロック立ち上がり時点で内部SDA出力値が‘H’で、SDAの値が‘L’であるので、この時点でアービトレーションロストを検出し、AL＝1となります。
アービトレーションロストを検出することで、ALはセット、TRXはリセットされ、SDA出力は‘H’に固定されます。MSTはこの時点ではリセットされず、SCLクロックの送出を継続します。

MSTのクリアは、ENDがセットされるタイミングで起こります。SCL8(SMIC1CNTのビット4)が1の時は、第8クロックの立ち下がりで、SLC8が0の時は、第9クロックの立ち下がりでMSTがクリアされ、クロックの送出を停止します。

アービトレーションロストの検出は、マスタトランスミッタ時のデータ部（第１～第８クロック）と、マスタレシーバ時のACK部（第9クロック)の送出時に行われます。

アービトレーションロストを検出したマスタは、ストップコンディションが検出されるまでスレーブとして動作を継続する必要があります。

3-30-7-3 スタートコンディション送出時のアービトレーションロスト

スタートコンディション命令実行後、スタートコンディションが生成されるまでの間にアービトレーションロストが検出されるのは、以下の2条件の場合です。

①スタートコンディション命令実行時に、オーバーラン検出フラグOVR（SMIC1STAのビット2）または、スタートコンディション検出フラグSTD（SMIC1STAのビット5）が1の場合
②スタートコンディション生成作業中に、他のマスタの影響により予定時間より早くSDAが‘H’から‘L’に変化したことを検出した場合

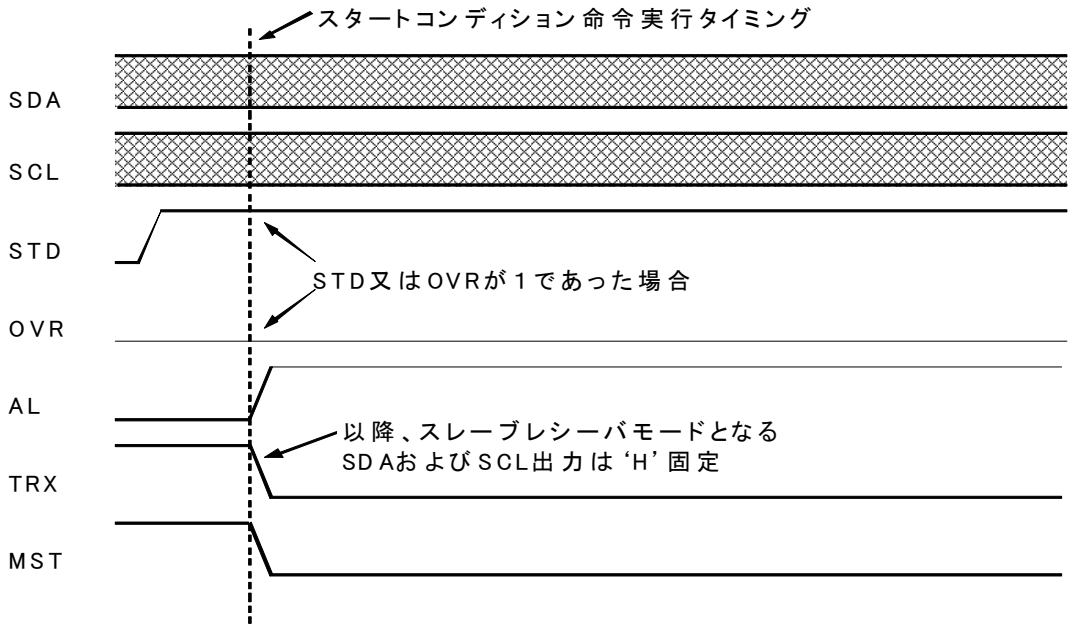


図３－３０－９　スタートコンディション生成時のアービトレーションロスト①

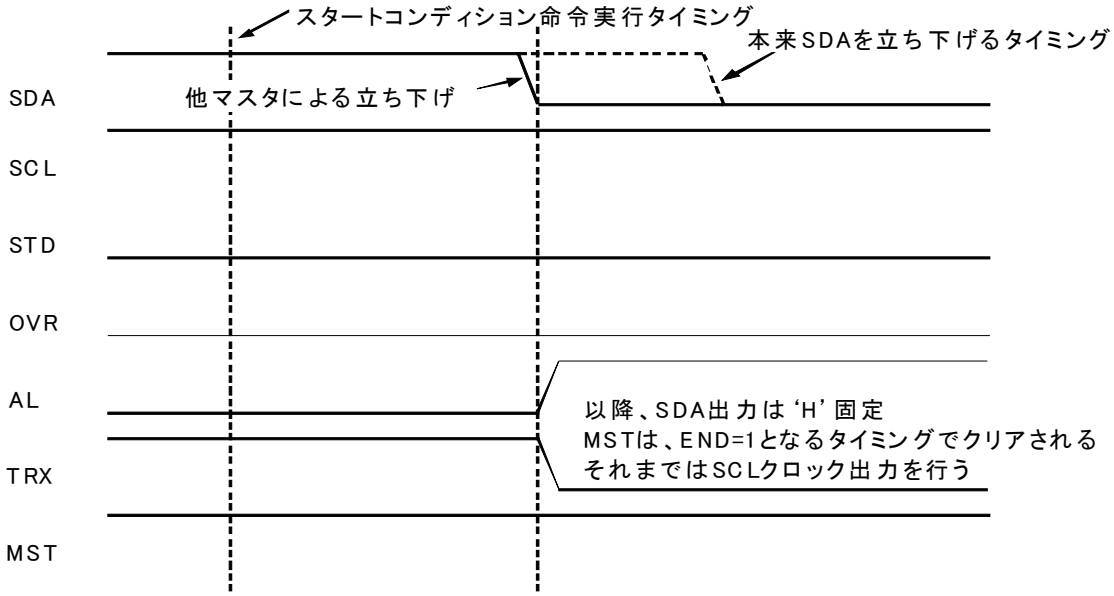


図３－３０－１０　スタートコンディション生成時のアービトレーションロスト②

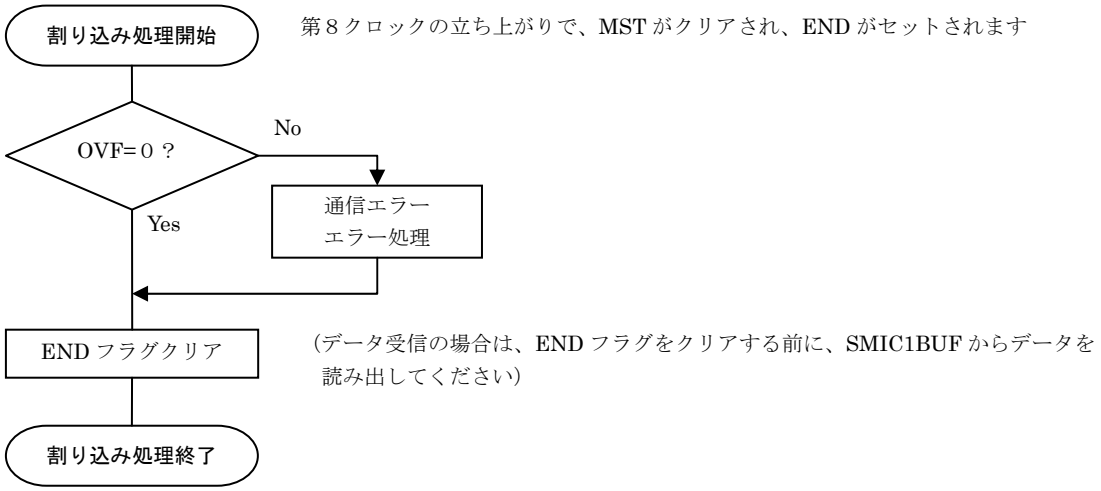
上記①の条件でアービトレーションロストを検出する場合、ＡＬ＝1となるタイミングで、ＭＳＴとＴＲＸはクリアされ、スレーブレシーバモードとなって、送られてくるアドレスを受信します。
上記②の条件でアービトレーションロストを検出する場合、ＡＬ＝1となるタイミングで、ＴＲＸはクリアされますが、ＭＳＴはクリアされません。3-30-7-2データ転送時のアービトレーションロストの場合と同様に、クロックの送出を継続し、ＥＮＤがセットされるタイミングで、ＭＳＴはクリアされます。この時点で、スレーブレシーバモードとなり、プログラムにより受信したアドレスの処理を行います。

3-30-8　単純SIOモード通信の具体例

3-30-8-1　単純SIOモード1バイト送受信具体例

1．メインプログラム

2．割り込み処理



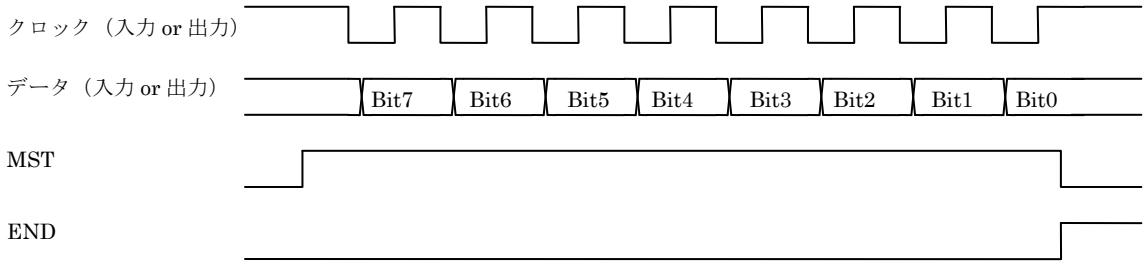


図３－３０－１１　単純SIOモード1バイト送受信波形

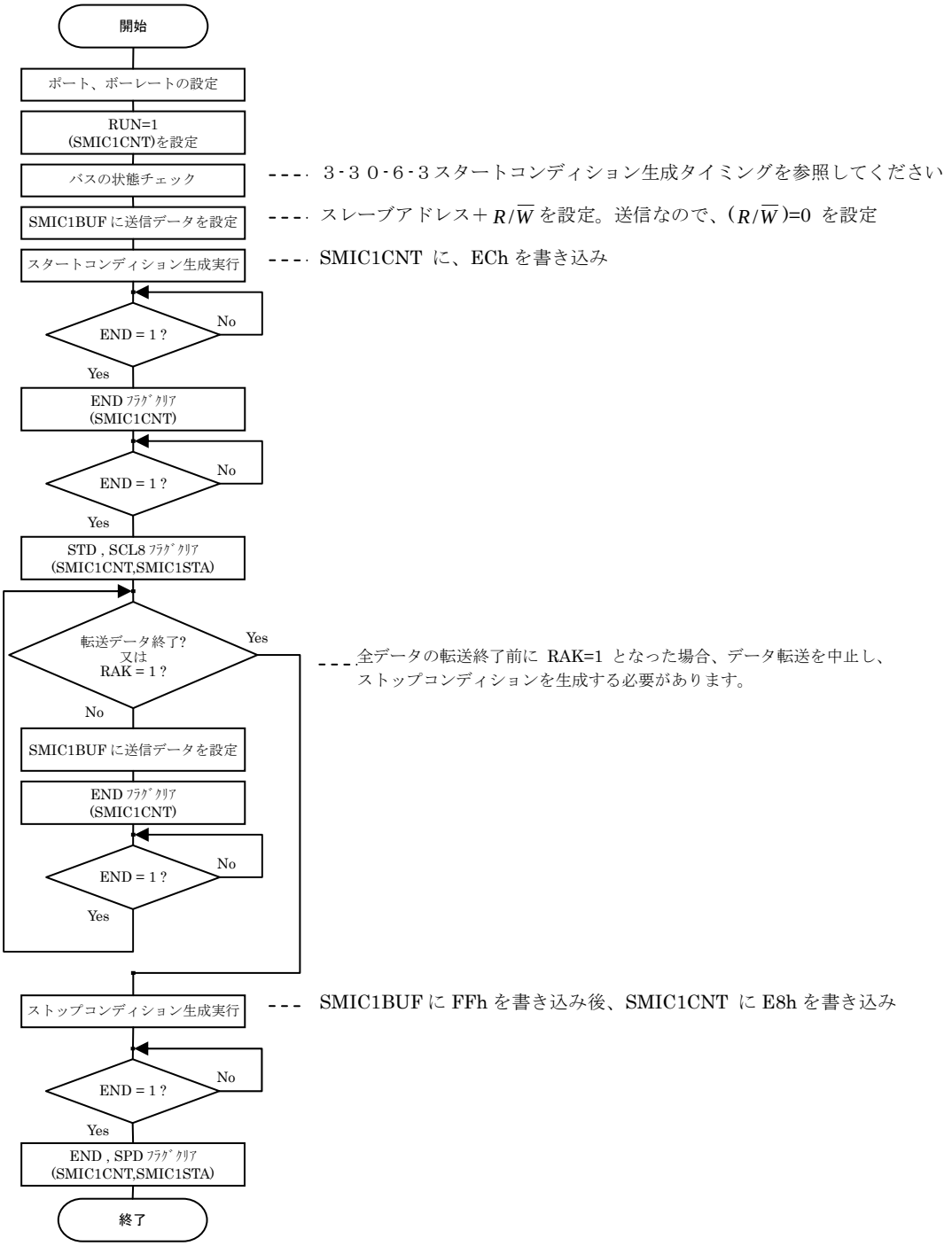
3-30-9 シングルマスタI²C通信の具体例

I²C通信の各モードのフローチャートを示します。

※ノイズや、バスに接続されているデバイスの誤動作でバスが異常状態になることが想定される場合、タイマ等を使用したタイムアウト処理による、ロック状態の回避手段を用意しておく必要があります。

3-30-9-1 シングルマスタ・データ送信（割り込み不使用）の具体例

データ送信・割り込み不使用時のフローチャートを示します。



3-30-9-2 シングルマスタ・データ送信（割り込み使用時）の具体例

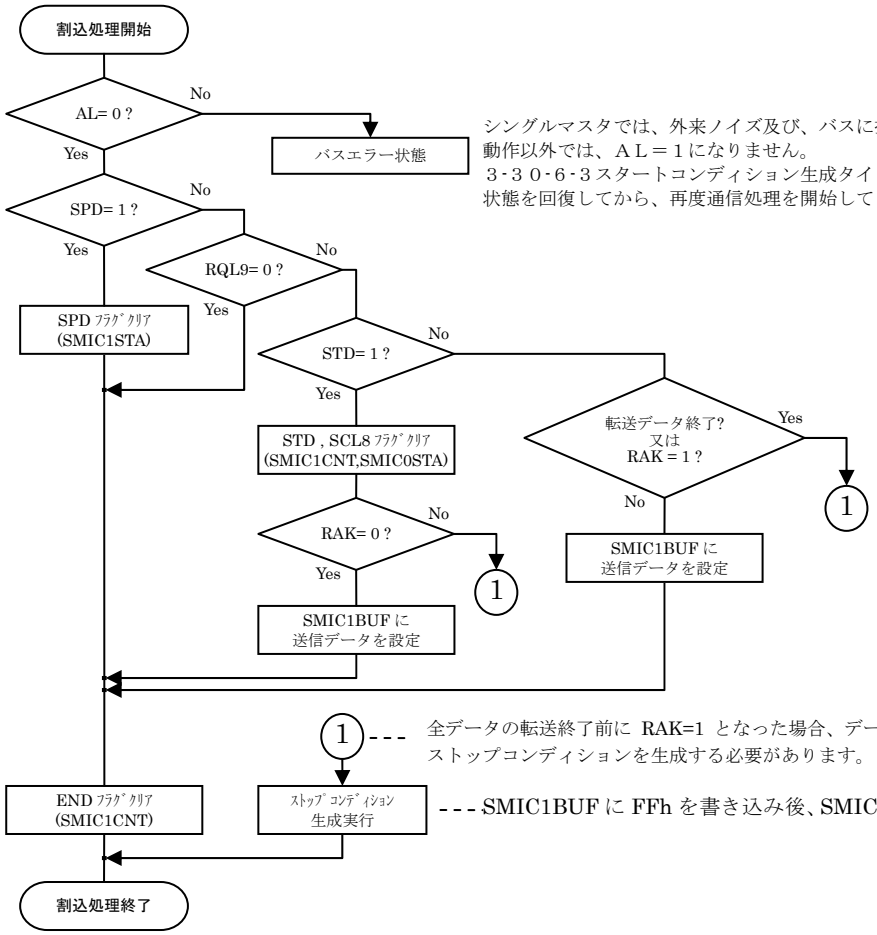
データ送信・割り込み使用時のフローチャートを示します。

--- 3-30-6-3 スタートコンディション生成タイミングを参照してください

--- IL2L(7F04) bit7,bit6 を設定 , PSW の IE を 1 にセットする

--- スレーブアドレス＋$R/\overline{W}$ を設定。送信なので、($R/\overline{W}$)=0 を設定

--- SMIC1CNT に EDh を書き込み



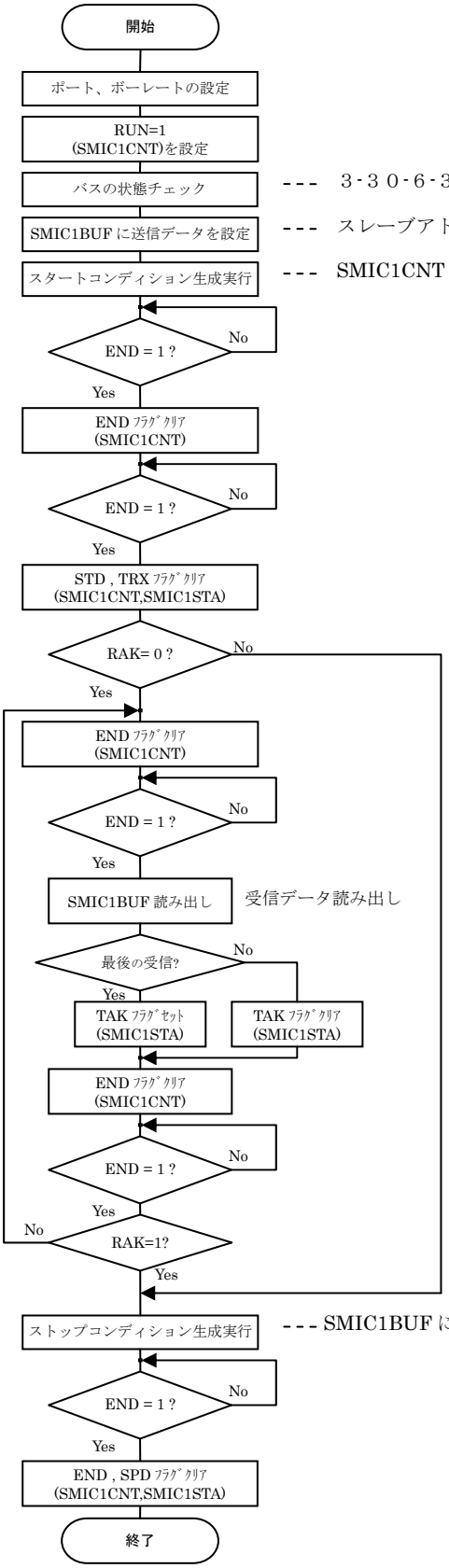
シングルマスタでは、外来ノイズ及び、バスに接続されているスレーブの誤動作以外では、ＡＬ＝１になりません。
3-30-6-3 スタートコンディション生成タイミング　を参照して、エラー状態を回復してから、再度通信処理を開始してください。

1 --- 全データの転送終了前に RAK=1 となった場合、データ転送を中止し、ストップコンディションを生成する必要があります。

--- SMIC1BUF に FFh を書き込み後、SMIC1CNT に E9h を書き込み

3-30-9-3 シングルマスタ・データ受信（割り込み不使用）の具体例

データ受信・割り込み不使用時のフローチャートを示します。



--- 3-30-6-3スタートコンディション生成タイミングを参照してください

--- スレーブアドレス＋$R/\overline{W}$を設定。受信なので、($R/\overline{W}$)=1 を設定

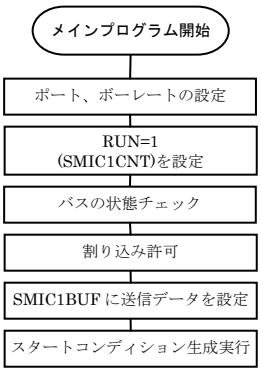
--- SMIC1CNT に ECh を書き込み

アドレス送信に対して、スレーブが ACK を返さなかった場合、
転送動作を終了し、ストップコンディションを生成します。

--- SMIC1BUF に FFh を書き込み後、SMIC1CNT に E8h を書き込み

3-30-9-4 シングルマスタ・データ受信（割り込み使用時）の具体例

データ受信・割り込み使用時のフローチャートを示します。

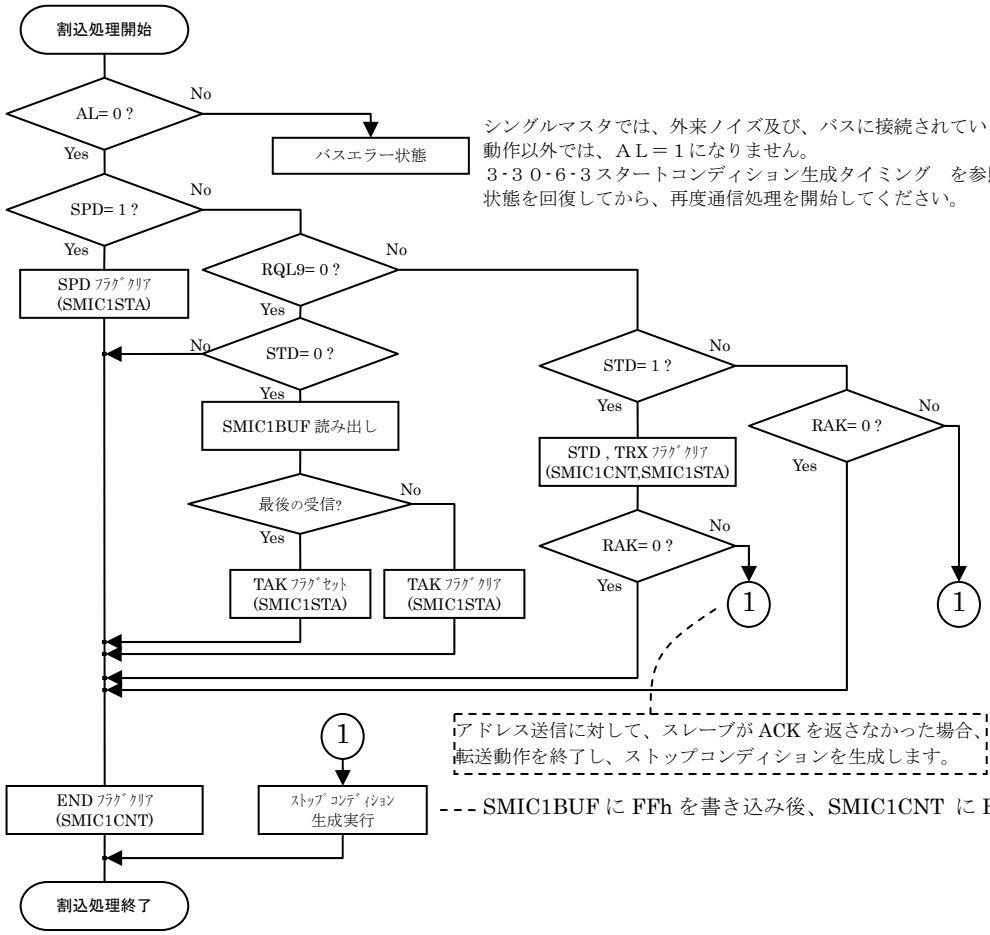


---･3-30-6-3スタートコンディション生成タイミングを参照してください

---･IL2L(7F04) bit7,bit6 を設定 , PSW の IE を 1 にセットする

--- スレーブアドレス＋$R/\overline{W}$ を設定。受信なので、($R/\overline{W}$)=1 を設定

--- SMIC1CNT に EDh を書き込み



シングルマスタでは、外来ノイズ及び、バスに接続されているスレーブの誤動作以外では、ＡＬ＝１になりません。
３-３０-６-３スタートコンディション生成タイミング　を参照して、エラー状態を回復してから、再度通信処理を開始してください。

アドレス送信に対して、スレーブが ACK を返さなかった場合、転送動作を終了し、ストップコンディションを生成します。

--- SMIC1BUF に FFh を書き込み後、SMIC1CNT に E9h を書き込み

3-31 SLIIC0(Slave I²C)

3-31-1 概要

本シリーズが内蔵しているI²Cバススレーブ機能は、次の2つの機能を持ちます。
①スレーブモードによるI²C通信（注）
②同期式8ビットシリアルI／O（2線式または3線式、データMSB先頭）

（注）本モジュールは、ボーレートジェネレータを内蔵していません。クロックは外部から印加する必要があります。

3-31-2 特殊機能レジスタ(SFR)の操作

SLIIC0を制御するには次に示す特殊機能レジスタを操作する必要があります。

・SLIC0CNT, SLIC0STA, SLIC0PCNT, SLIC0BUF

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE8	0000 0000	R/W	SLIC0CNT	RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE
7FE9	0000 0000	R/W	SLIC0STA	RAK	TAK	AAS	AD0	STD	SRD	RQL9	BB
7FEA	0000 0000	R/W	SLIC0PCNT	FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW
7FEB	0000 0000	R/W	SLIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-31-3 回路構成

3-31-3-1 SLIIC0制御レジスタ(SLIC0CNT) （8ビットレジスタ）

①SLIIC0の動作制御を行います。
②割り込みの制御を行います。

3-31-3-2 SLIIC0ステイタスレジスタ(SLIC0STA) （8ビットレジスタ）

①I²C-BUSの各イベント検出フラグ。
②ACKデータの制御を行います。

3-31-3-3 SLIIC0ポート制御レジスタ(SLIC0PCNT) （8ビットレジスタ）

①SLIIC0の動作モードの制御を行います。
②フィルタクロックの制御を行います。
③I²Cポートの制御を行います。

3-31-3-4 SLIIC0データバッファ(SLIC0BUF) （8ビットレジスタ）

①このレジスタをアクセスすることで、データ送受信を行います。
②I²Cモード時、RUN（SLIC0CNTのビット7）＝0の時に、このレジスタをアクセスすることで、アドレス設定レジスタをリードライトすることができます。アドレス設定レジスタにスレーブアドレスの設定を行います。

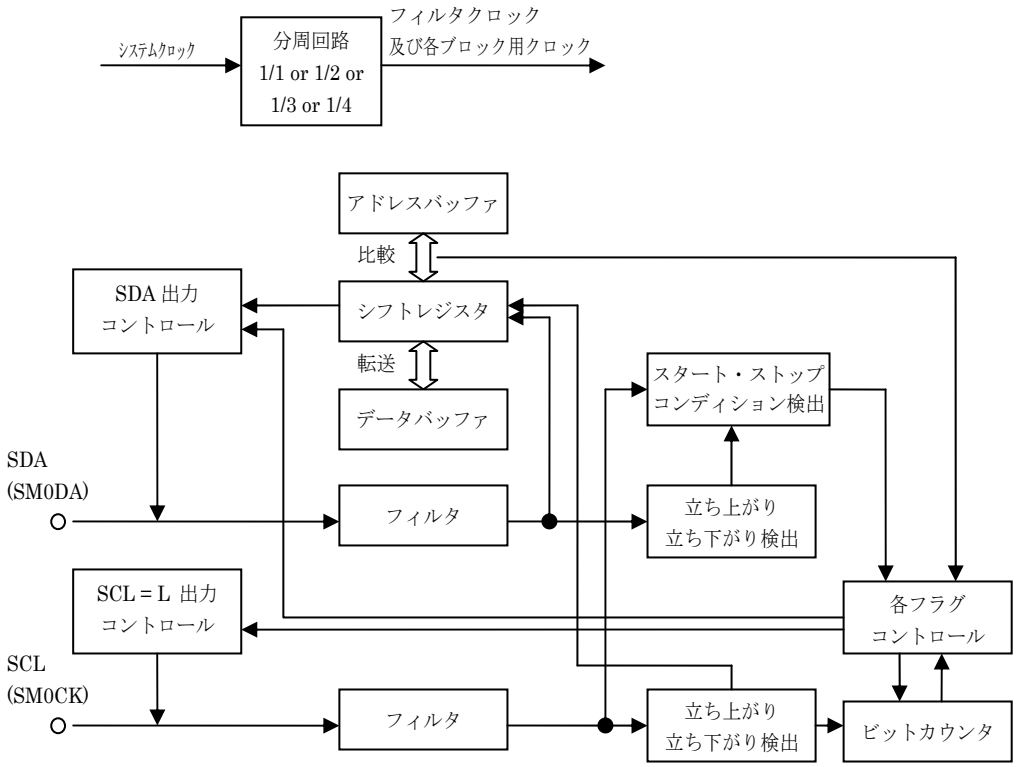


図 3-31-1　SLIIC0ブロック図

3-31-4 関連レジスタ

3-31-4-1 SLIIC0制御レジスタ(SLIC0CNT)

①SLIIC0モジュールの動作制御を行う8ビットのレジスタです

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE8	0000 0000	R/W	SLIC0CNT	RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE

RUN(ビット7):SLIIC0動作許可

このビットが1の時、SLIIC0モジュールが動作状態となります。
このビットが0の時、SLIIC0モジュールは動作停止します。

TRX(ビット6):トランスミッタ・レシーバ制御

・I^2Cモード時(SMD＝0)

このビットが1の時、トランスミッタとして動作します。
このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件
①スタートコンディションを検出した時
②ストップコンディションを検出した時
③ACKデータ＝Hを検出した時

・同期式8ビットシリアルモード時(SMD＝1)

このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

ALS(ビット5):ALWAYS SELECTED ビット

・I^2Cモード時(SMD＝0)

このビットが1の時、アドレス比較結果にかかわらず、バイトの終わりで常にFLGがセットされます。
FLGがセットされるタイミングは、FLGビットの説明部分を参照してください。
このビットが0の時は、AASビットの値により、FLGのセットがコントロールされます。
通常、このビットは0にして使用してください。

・同期式8ビットシリアルモード時(SMD＝1)

このビットは、0にして使用してください。

SCL8(ビット4):第8クロック立ち下がり時の割り込み制御

・I^2Cモード時(SMD＝0)

FLGビットがセットされるタイミングを制御します。
FLGがセットされるタイミングは、FLGビットの説明部分を参照してください。
通常、このビットは0にして使用してください。

・同期式8ビットシリアルモード時(SMD＝1)

このビットは、0にして使用してください。

SPFLG(ビット3):ストップコンディション検出フラグ

・I^2Cモード時(SMD＝0)

ストップコンディションを検出するとセットされるフラグです。

SPFLGがセットされる条件
① ストップコンディションの検出

このビットは自動的にはクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時(SMD＝1)

SPFLGがセットされる条件
①FLG＝1の状態で、クロックSM0CK端子の立ち下がりを検出した時

このビットは自動的にはクリアされません。命令でクリアしてください。

SPIE(ビット2):SPFLGによる割り込み要求発生許可制御

このビットとSPFLGがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

FLG(ビット1):割り込み要因フラグ

・I^2Cモード時(SMD＝0)

データの転送終了時にセットされます。
このビットが1で、かつSCLが‘L’レベルの場合、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

FLGがセットされる条件
・AAS＝0 かつ ASL＝0の時
FLGはセットされません
・AAS＝1 または、ASL＝1の時
①SCL8＝0 かつ AD0＝0の時
ACKクロックの立ち下がりで、FLGはセットされます
②SCL8＝1 または AD0＝1の時
第8クロック立ち下がりとACKクロックの立ち下がりで、FLGはセットされます.

このビットは自動的にはクリアされません。命令でクリアしてください。
このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。
このビットをクリアする前に、バッファSLIC0BUFへの送信データセット／受信データ読み出しを完了してください。
また、TRX、TAKのビット書き換えについても、このビットが1の状態で行ってください。

・同期式8ビットシリアルモード時（SMD＝1）
データの転送終了時にセットされます。

ENDがセットされる条件
① 第8クロック立ち上がり

このビットは自動的にはクリアされません。命令でクリアしてください。

IE（ビット0）：FLGによる、割り込み要求発生許可制御
このビットとFLGがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

3-31-4-2 SLIIC0ステイタスレジスタ（SLIC0STA）

①I^2Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE9	0000 0000	R/W	SLIC0STA	RAK	TAK	AAS	AD0	STD	SRD	RQL9	BB

RAK（ビット7）：受信アクノリッジデータ格納ビット（R／O）
アッククロック時のSDAデータの値が格納されます。

RAKがセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘H’レベルの時

RAKがリセットされる条件
①アッククロック立ち上がりタイミングで、SDA＝‘L’レベルの時
②RUN＝0　の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

TAK（ビット6）：アッククロック時のSDA制御ビット
レシーバモード時に、アッククロックタイミングでSDAにこのビットの値が出力されます。
ただし、第1バイト目（スタートコンディションの直後の1バイト）のアッククロック時は、以下のデータが自動的にSDAに出力されます。
（アドレス一致時の自動ACK出力）
AAS＝1　かつ　AD0＝0　の場合
SDA＝‘L’レベル出力
AAS＝0　または　AD0＝1　の場合
SDAには、このビットの値が出力されます。

トランスミッタモード時は、このビットのデータにかかわらず、アッククロックタイミングでSDA＝‘H’レベルを出力します。

TAKがセットされる条件
①スタートコンディションを検出した時
②ストップコンディションを検出した時
③ACKデータ＝Hを検出した時

※同期式8ビットシリアルモード時（SMD＝1）、このビットは自動的にセットされません。このビットは0にして使用してください。

AAS（ビット5）：アドレス一致検出フラグ（R／O）
AASがセットされる条件
ACMPD（アドレス設定レジスタのビット7）が0の場合
①受信したアドレスデータ（スタートコンディション直後のデータ）の上位7ビットと、アドレス設定レジスタのADR値7ビットが一致した場合
②受信したアドレスデータ8ビットすべて0である場合（ジェネラルコール）

ACMPD（アドレス設定レジスタのビット7）が1の場合
AASはセットされません。

ＡＡＳがリセットされる条件
①スタートコンディションを検出した時
②ストップコンディションを検出した時
③ＲＵＮ＝０の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式８ビットシリアルモード時（ＳＭＤ＝１）、このビットは使用しません。リードすると、０が読まれます。

ＡＤ０（ビット４）：ジェネラルコール検出フラグ（Ｒ／Ｏ）
ＡＤ０がセットされる条件
ＡＣＭＰＤ（アドレス設定レジスタのビット７）が０の場合
①受信したアドレスデータ（スタートコンディション直後のデータ）８ビットすべて０である場合（ジェネラルコール）

ＡＣＭＰＤ（アドレス設定レジスタのビット７）が１の場合
ＡＤ０はセットされません。

ＡＤ０がリセットされる条件
①スタートコンディションを検出した時
②ストップコンディションを検出した時
③ＲＵＮ＝０　の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式８ビットシリアルモード時（ＳＭＤ＝１）、このビットは使用しません。リードすると、０が読まれます。

ＳＴＤ（ビット３）：スタートコンディション検出フラグ（Ｒ／Ｏ）
スタートコンディションを検出するとセットされるフラグです。

ＳＴＤがセットされる条件
①スタートコンディションの検出

ＳＴＤがリセットされる条件
①ストップコンディションの検出
②ＦＬＧビットを、プログラムによりクリアした時
③アドレス不一致検出時
④ＲＵＮ＝０の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

SRD（ビット2）：再スタートコンディション検出フラグ（R／O）

再スタートコンディションを検出するとセットされるフラグです。

SRDがセットされる条件

①再スタートコンディションの検出

SRDがリセットされる条件

①ストップコンディションの検出
②FLGビットを、プログラムによりクリアした時
③アドレス不一致検出時
④RUN＝0の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

RQL9（ビット1）：アッククロックタイミング検出フラグ（R／O）

第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

BB（ビット0）：バスビジーフラグ（R／O）

このビットはバスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。

このビットが1の時は、I^2Cバスは使用状態であることを示します。

BBがセットされる条件

①スタートコンディションの検出

BBがリセットされる条件
①ストップコンディションの検出
②RUN＝0の場合

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時（SMD＝1）、このビットは使用しません。リードすると、0が読まれます。

3-31-4-3 SLIIC0ポート制御レジスタ（SLIC0PCNT）

①SLIIC0の動作モードの制御を行います。
②フィルタクロックの制御を行います。
③I^2Cポートの制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEA	0000 0000	R/W	SLIC0PCNT	FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW

FIX0（ビット7）
このビットは、0に設定して使用してください。

SMD（ビット6）：I^2C／同期式8ビットシリアルモード切り替え
このビットが1の時、同期式8ビットシリアルモードで動作します。
また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。
このビットが0の時、I^2C通信モードで動作します。
また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

BRP（ビット5、4）：フィルタクロック制御

BPR	フィルタクロック周期 (Tfilt)
00	Tcyc×1
01	Tcyc×2
10	Tcyc×3
11	Tcyc×4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期Tfiltが以下の範囲になるように設定してください。

250nsec ≧ Tfilt ＞ 140nsec

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns×1＝250ns
6MHz	00	166ns×1＝166ns
7MHz	00	143ns×1＝143ns
8MHz	01	125ns×2＝250ns

※同期式8ビットシリアルモード時は、BRP＝00に設定してください。

SLIIC0

SHDS(ビット3):SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV(ビット2):I^2Cポート電圧制御

5Vで使用する場合、このビットを1にしてください。

3Vで使用する場合、このビットを0にしてください。

PCLV(ビット1):I^2Cポート入力特性制御

このビットが1の時、PA4，PA5の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、PA4，PA5の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI^2Cモードで使う場合、このビットは1に設定して使用してください。

PSLW(ビット0):I^2CポートSLOW制御

このビットが1の時、PA4，PA5の出力特性は、SLOWとなります。

このビットが0の時、PA4，PA5ポートの出力特性は、PALAT、PADDR、PAFSA、PAFSBにより制御されます。

このビットを1にすると、PA4，PA5の出力信号の立ち下がり時間がSLOWモードとなりますが、PA4，PA5端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。

出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

※このSLIC0PCNTレジスタの値は、RUN＝0の状態で設定してください。モジュール動作中（RUN＝1設定中）は、このレジスタ値の書き換えは行わないでください。

3-31-4-4 SLIIC0データバッファ(SLIC0BUF)

①このレジスタをアクセスすることで、データ送受信を行います。
②I²Cモード時、RUN(SLIC0CNTのビット7)＝0の時に、このレジスタをアクセスすることで、スレーブアドレスの設定を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEB	0000 0000	R/W	SLIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

・データの受信
・I²Cモード時(SMD＝0、RUN＝1)
トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SLIC0BUFレジスタに転送されます。

・同期式8ビットシリアルモード時(SMD＝1)
送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SLIC0BUFレジスタに転送されます。

・データの送信
・I²Cモード時(SMD＝0、RUN＝1)
トランスミッタモード時、SLIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。
①スタートコンディション検出時
②FLG＝1の時に、SLIC0BUFに書込みを行った時

・同期式8ビットシリアルモード時(SMD＝1)
データ送信モード時、SLIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。
①RUN＝0の時に、SLIC0BUFに書込みを行った時
②FLG＝1の時に、SLIC0BUFに書込みを行った時

I²Cモード時(SMD＝0)で、RUN＝0の時にこのレジスタにアクセスすることで、アドレス設定レジスタに対してリード・ライトを行うことができます。

アドレス設定レジスは、8ビットのレジスタで、以下のようなビット構成となっています。
ACMPD(ビット7):アドレス比較ディセーブルビット
このビットが1の時、受信アドレスとADRレジスタの値の比較を禁止します。
通常は、このビットは0に設定して使用してください

ADR(ビット6～0):スレーブアドレス
スレーブアドレスを設定します。

3-31-4-5　SLIIC0ポートの設定

①クロック入力ポート(PA4)の設定

レジスタデータ				ポートPA4の状態
PAFSA<4>	PAFSB<4>	PALAT<4>	PADDR<4>	出力
1	1	1	1	オープン(同期式8ビットシリアルモード時外部クロック入力)
1	1	0	1	I^2C SCL出力(Nchオープンドレイン)

②データ入出力ポート(PA5)の設定

レジスタデータ				ポートPA5の状態	
PAFSA<5>	PAFSB<5>	PALAT<5>	PADDR<5>	入力	出力
1	1	1	1	可能(データ受信入力)	オープン
1	0	0	1	可能(データ受信入力)	データ出力(CMOS)
1	1	1	0	可能(データ受信入力)	データ出力(CMOS変化SLOW)
1	1	0	1	可能(データ受信入力)	データ出力／I^2C SDA出力 (Nchオープンドレイン)

③データ出力ポート(PA6)の設定(3線式同期式8ビットシリアルモード時に使用)

レジスタデータ				ポートPA6の状態
PAFSA<6>	PAFSB<6>	PALAT<6>	PADDR<6>	出力
1	0	0	1	データ出力(CMOS)
1	1	1	0	データ出力(CMOS変化SLOW)
1	1	0	1	データ出力(Nchオープンドレイン)

※ 本モジュールをI^2Cモードで使用する時は、SLIIC0ポート制御レジスタ(SLIC0CNT)のPCLV＝1、PA4，PA5をI^2C SCL出力(Nchオープンドレイン)、I^2C SDA出力(Nchオープンドレイン)モードにして使用してください。

※ SLIIC0ポート制御レジスタ(SLIC0PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0(FASTモード)に設定してください。

※ 同期式8ビットシリアルモードで通信を行う場合は、クロック入力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-31-5 I²CポートSLOW設定時の注意事項

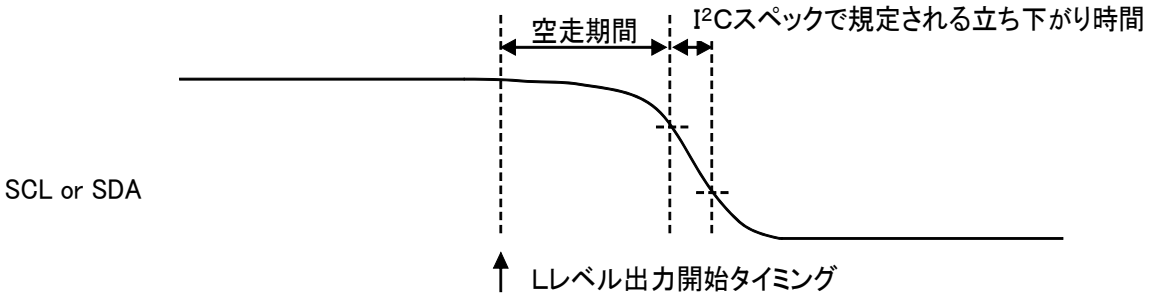


図 3-31-2 I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。
「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-31-6 スタートコンディション／ストップコンディション

3-31-6-1 スタート／ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I²Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

・スタートコンディション（S）
　データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
・ストップコンディション（P）
　データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

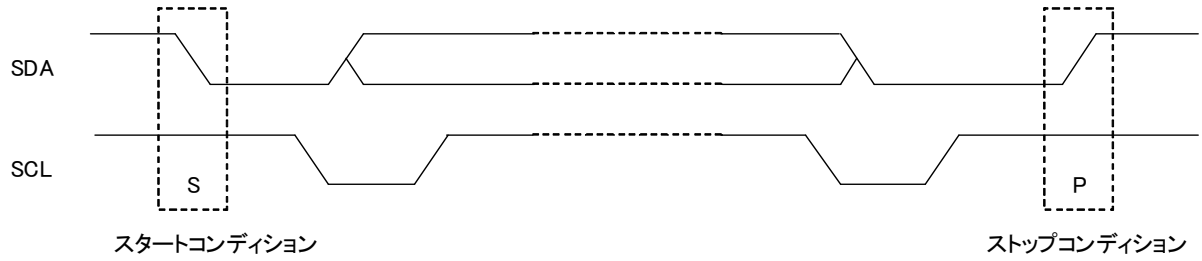
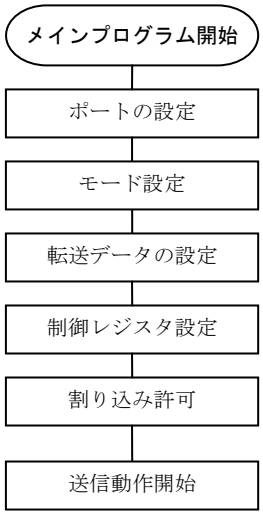


図 3-31-3 スタートコンディションとストップコンディション

3-31-7　単純SIOモード通信の具体例

3-31-7-1　単純SIOモード1バイト送受信具体例

１．メインプログラム



3-31-4-5 SLIIC0 ポート設定を参照してください

SLIC0PCNT に 0x40 を設定（SMD=1）

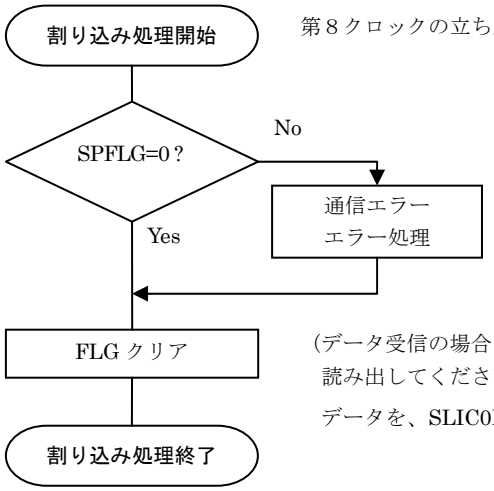
SLIC0BUF に、転送するデータを設定
（データ受信の場合は、SLIC0BUF にデータを設定する必要はありません）

SLIC0CNT に、0xC1 を設定（RUN=1 , TRX=1 , IE=1）
（データ受信の場合は、TRX=0 にしてください）

IL1H(7F03) bit7,bit6 を設定 , PSW の IE を 1 にセットする

外部からのクロックに同期し、通信を行います

２．割り込み処理



第８クロックの立ち上がりで、FLG がセットされます

（データ受信の場合は、FLG をクリアする前に、SLIC0BUF からデータを読み出してください。 データ送信の場合は、FLG をクリアする前に、送信データを、SLIC0BUF に書き込んでください）

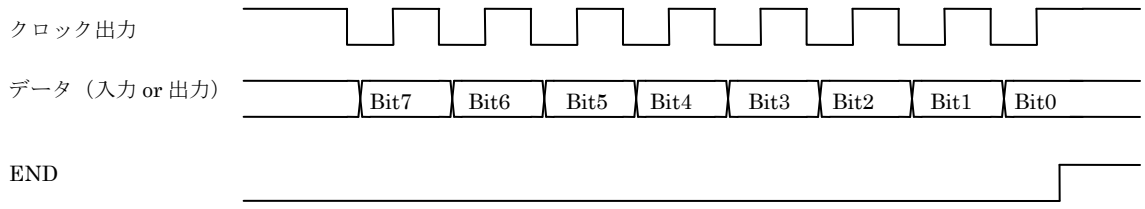


図 3-31-4　単純SIOモード1バイト送受信波形

3-31-8 I²Cモード通信の具体例

3-31-8-1 I²Cモード1バイト受信具体例

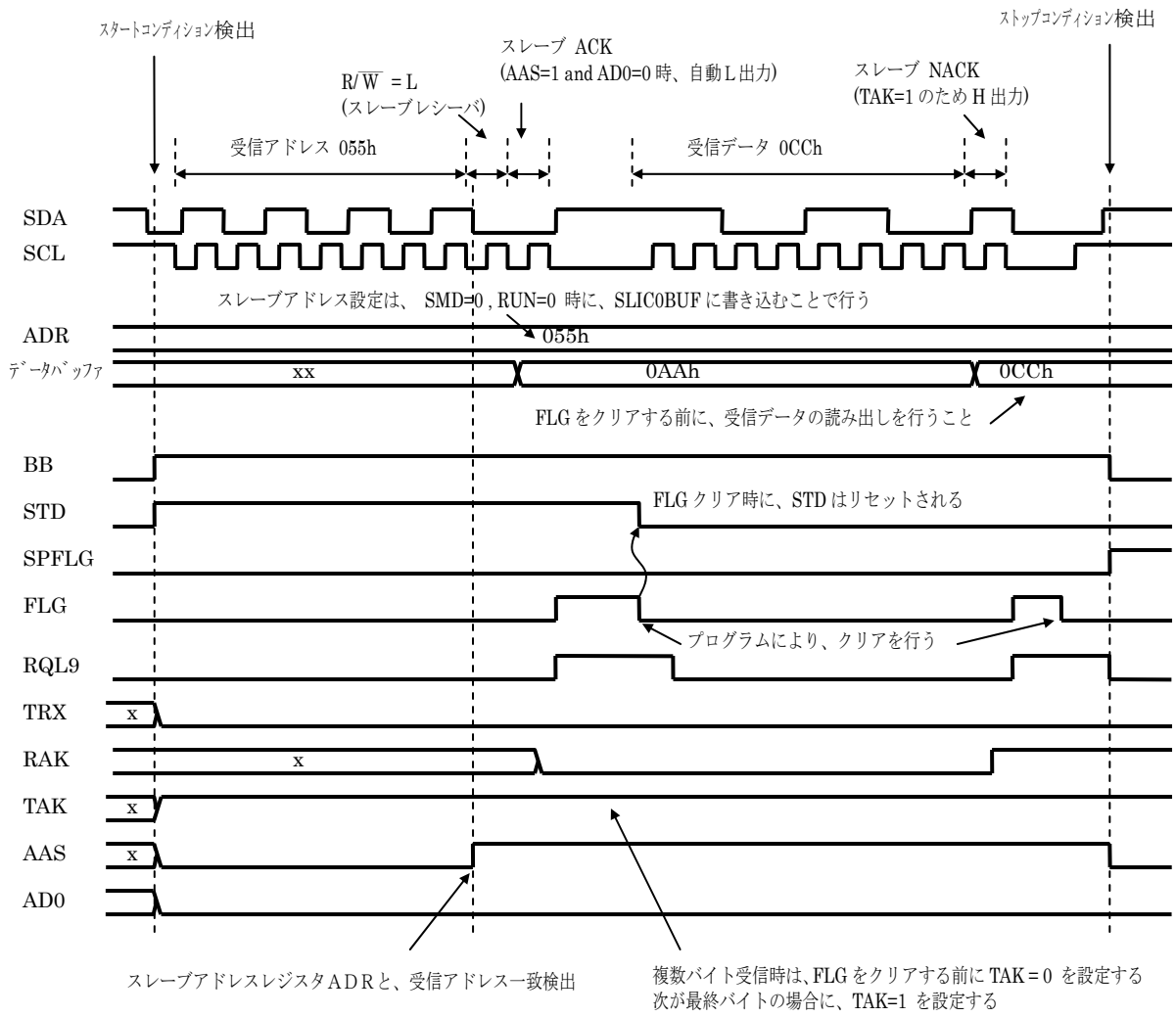


図 3-31-5 I²C モード 1 バイト受信タイミング図

3-31-8-2 I²Cモード1バイト受信具体例（ジェネラルコール）

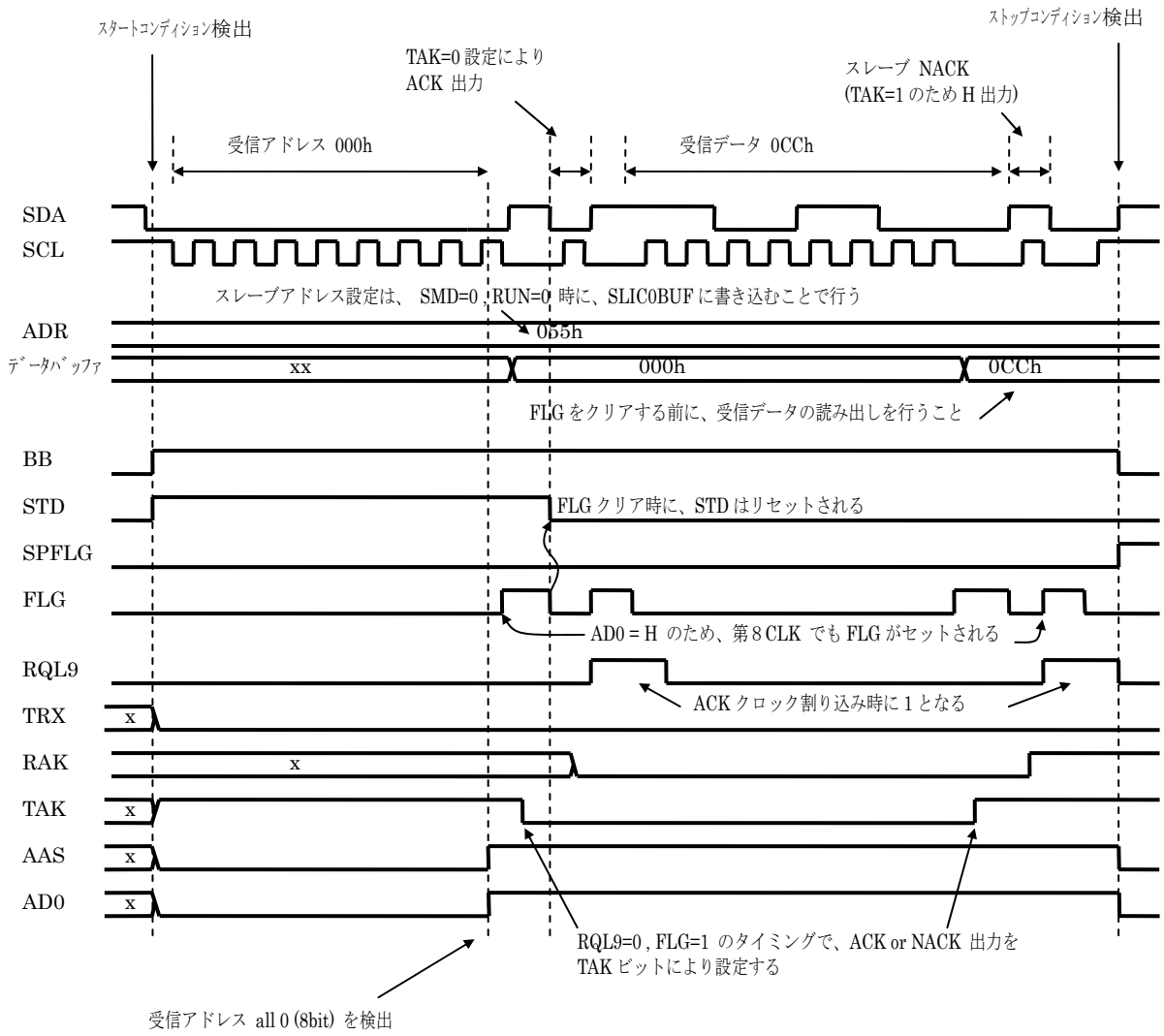


図 3-31-6 I²C モード 1 バイト受信タイミング図（ジェネラルコール）

ジェネラルコールアドレスを受信した場合、AD0フラグがセットされることにより、第8CLK立ち下がり時にも、FLGがセットされます。
ジェネラルコールに対してACKを返すかどうかの制御は、アドレスバイトの第8CLK割り込み時（AD0＝H, STD＝H, RQL9＝Lにより判断）に、TAKビットを設定することにより行ってください。

3-31-8-3 I²Cモード1バイト送信具体例

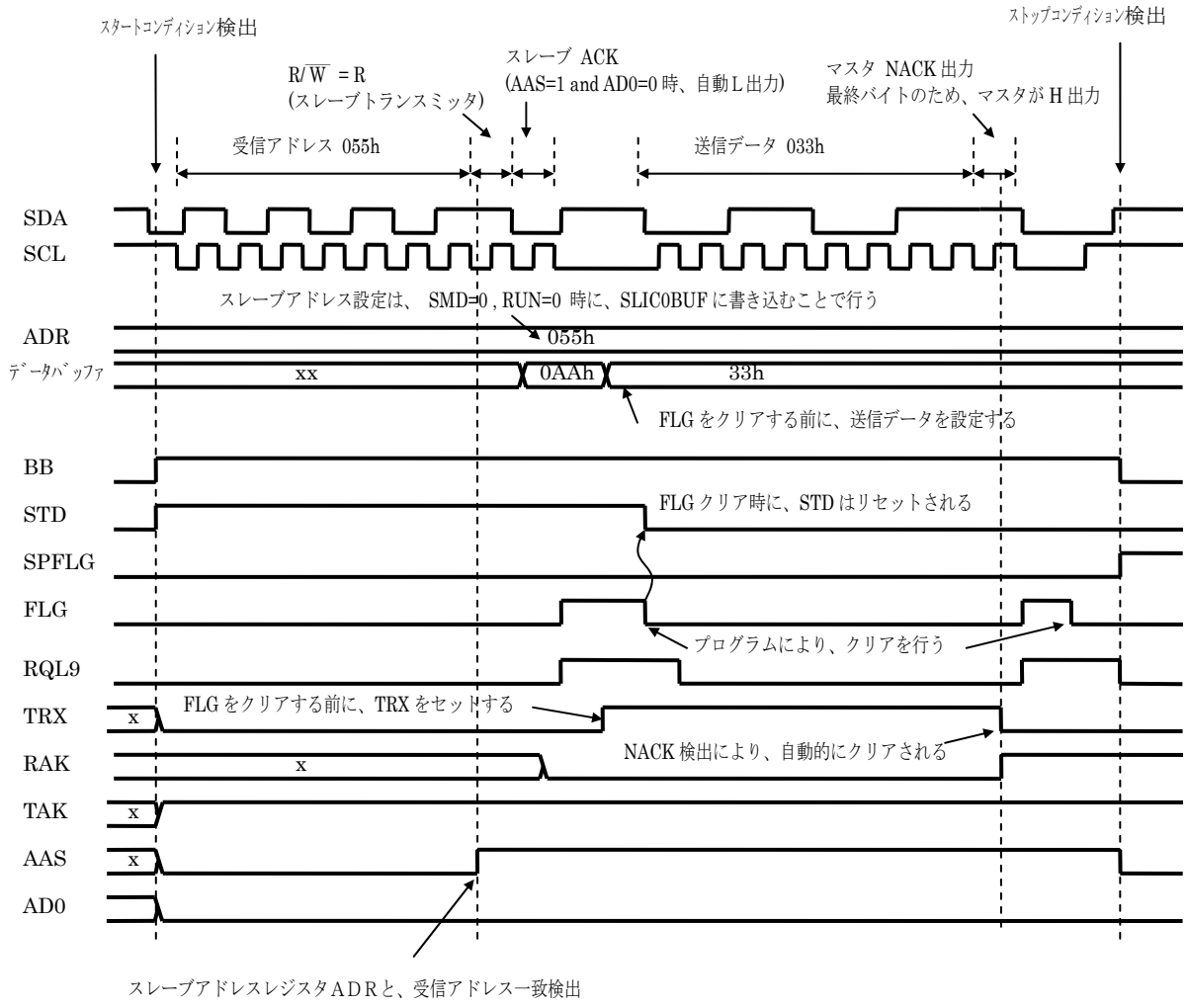


図 3-31-7 I²C モード 1 バイト送信タイミング図

3-32 PWM0

3-32-1 概要

本シリーズが内蔵しているPWM0は2本の出力（PWM0A，PWM0B）を持つ12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。

3-32-2 機能

①PWM0基本波周期

・基本波周期＝（16～256）TPWMR0

（16TPWMR0単位で可変、PWM0A，PWM0B共通）

②PWM0A出力

（1）基本波PWMモード（レジスタPWM0AL＝0設定）

・HIGHパルス幅＝0～基本波周期－TPWMR0 （TPWMR0単位で可変）

（2）基本波＋付加パルスPWMモード

・全体周期＝基本波周期×16

・HIGHパルス幅＝0～全体周期－TPWMR0 （TPWMR0単位で可変）

③PWM0B出力

（1）基本波PWMモード（レジスタPWM0BL＝0設定）

・HIGHパルス幅＝0～基本周期－TPWMR0 （TPWMR0単位で可変）

（2）基本波＋付加パルスPWMモード

・全体周期＝基本波周期×16

・HIGHパルス幅＝0～全体周期－TPWMR0 （TPWMR0単位で可変）

④割り込みの発生

割り込み要求許可ビットがセットされている場合、PWM0の全体周期で割り込み要求を発生します。

⑤PWM0を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PWM0AL，PWM0AH，PWM0BL，PWM0BH，PWM0C，PWM0PR

・PWMCNT，P4LAT，P4DDR，P4FSA，P4FSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK

3-32-3 回路構成

3-32-3-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0の動作，割り込みの制御を行います。

3-32-3-2 PWM0基本波カウンタ(8ビットカウンタ)

①動作開始／停止:PWM0Cレジスタのビット2(ENPWM0A)又はビット3(ENPWM0B)の1／0により制御されます。
②カウントクロック:PWM0プリスケーラ一致信号
③一致信号:カウント値がCHの設定値と一致すると一致信号を発生します。
④リセット:動作停止、または一致信号発生時。

3-32-3-3 PWM0付加パルスカウンタ(4ビットカウンタ)

①カウントクロック:PWM0一致信号
②一致信号:カウント値がPWM0AL，PWM0BLの設定値と一致すると一致信号を発生します。
③リセット:リセット時

3-32-3-4 PWM0Aコンペアレジスタ L(PWM0AL) (4ビットレジスタ)

①PWM0Aの付加パルスの制御を行います。
②PWM0ALにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-32-3-5 PWM0Aコンペアレジスタ H(PWM0AH) (一致バッファレジスタ付き8ビットレジスタ)

①PWM0AのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0A出力がLOWに変化します。
②PWM0ALのビット7～4を全て“0”固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。
③一致バッファレジスタの更新は以下のように行われます。
・非動作時にはPWM0AHと一致バッファレジスタは同値となります。
・動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0AHの値をロードします。

3-32-3-6 PWM0Bコンペアレジスタ L(PWM0BL) (4ビットレジスタ)

①PWM0Bの付加パルスの制御を行います。
②PWM0BLにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-32-3-7 PWM0Bコンペアレジスタ H（PWM0BH） （一致バッファレジスタ付き8ビットレジスタ）

①PWM0BのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0B出力がLOWに変化します。

②PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。

③一致バッファレジスタの更新は以下のように行われます。

・非動作時にはPWM0BHと一致バッファレジスタは同値となります。

・動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0BHの値をロードします。

3-32-3-8 PWM0プリスケーラ（PWM0PR） （8ビットレジスタ）

①動作開始／停止：PWM0Cレジスタのビット2（ENPWM0A）又はビット3（ENPWM0B）の1／0により制御されます。

②カウントクロック：TMCLK0のビット0（PWM0CK）で選択されます。

モード	PWM0CK	PWM0プリスケーラのカウントクロック
0	0	システムクロック（Tcyc）
1	1	OSC1

③一致信号：カウント値が8ビットレジスタPWM0PR＜7:0＞の値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号発生時。

⑤PWM0プリスケーラ周期

TPWMR0＝（PWM0PR＜7:0＞＋1）×カウントクロック

3-32-3-9 タイマクロック設定レジスタ0（TMCLK0） （8ビットレジスタ）

①PWM0プリスケーラのカウントクロックを設定します。

3-32-3-10 PWM0A出力（PWM0A）

①PWM0A動作停止時、PWM0AはLOW固定となり、PWM0A動作時、PWM0Aは周期可変のPWM出力。

3-32-3-11 PWM0B出力（PWM0B）

①PWM0B動作停止時、PWM0BはLOW固定となり、PWM0B動作時、PWM0Bは周期可変のPWM出力。

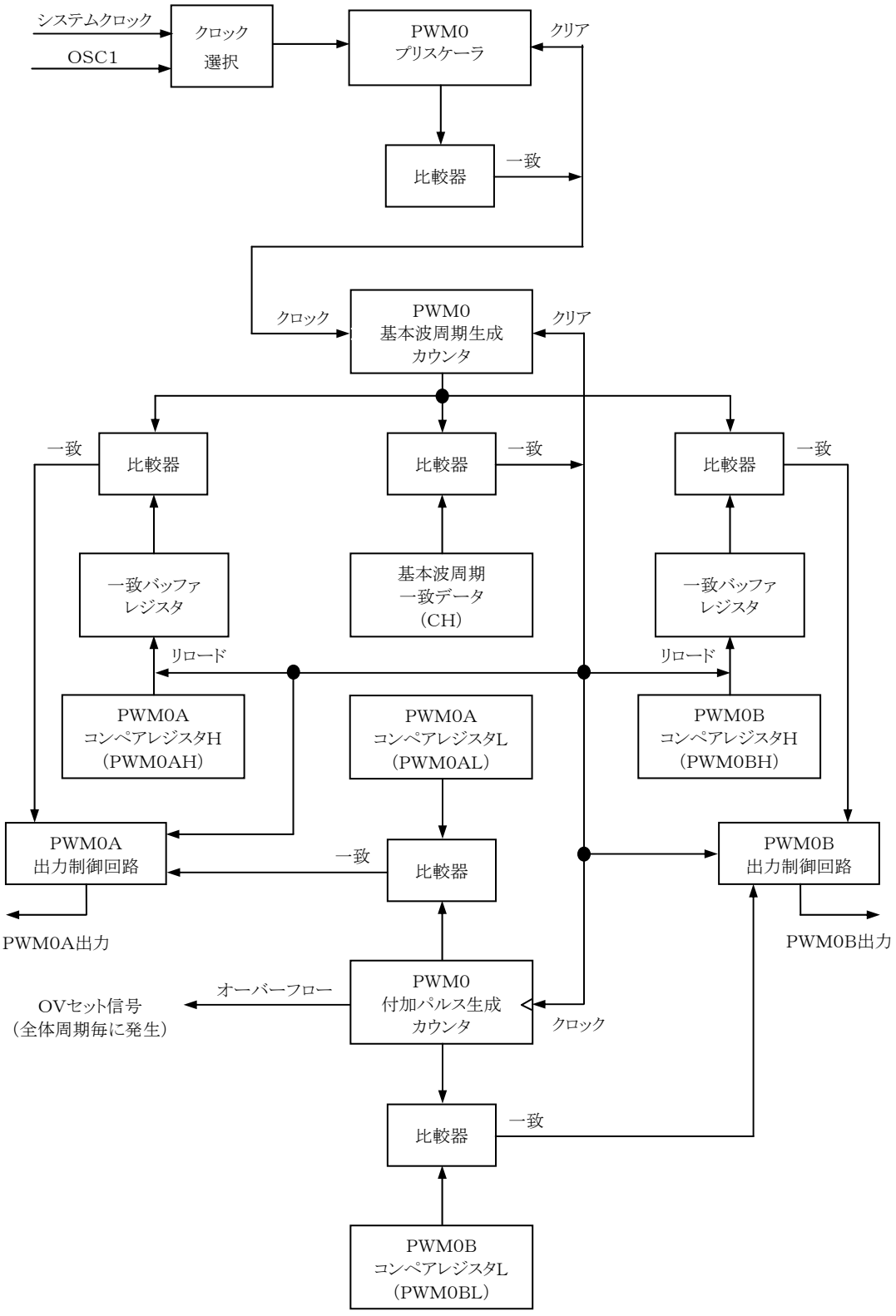


図３－３２－１　ＰＷＭ０ブロック図

3-32-4 関連レジスタ

3-32-4-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0の動作,割り込みの制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE

CH(ビット7～4):PWM0周期設定

基本波周期 = (CHで示される値+1)×16TPWMR0

全体周期 = 基本波周期×16

ENPWM0B(ビット3):PWM0B動作制御

このビットが1の時、PWM0Bが動作します。

このビットが0の時、PWM0Bが停止します。

ENPWM0A(ビット2):PWM0A動作制御

このビットが1の時、PWM0Aが動作します。

このビットが0の時、PWM0Aが停止します。

OV(ビット1):PWM0オーバーフローフラグ

PWM0の全体周期毎にセットされます。

このフラグは命令でクリアしてください。

IE(ビット0):PWM0割り込み要求発生許可制御

このビットとOVがともに1の時、ベクタアドレス802CHへの割り込み要求が発生します。

3-32-4-2 PWM0Aコンペアレジスタ L(PWM0AL) (4ビットレジスタ)

①PWM0Aの付加パルスの制御を行います。

②PWM0ALにはビット7～4が存在し、読み込み時、下位4ビットは全て"0"として読み込まれます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-32-4-3 PWM0Aコンペアレジスタ H(PWM0AH) (8ビットレジスタ)

①PWM0Aの基本波パルス幅の制御を行います。

HIGHパルス幅 =(PWM0AH<7:0>で示される値)×TPWMR0

②PWM0ALのビット7～4を全て"0"固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-32-4-4 PWM0Bコンペアレジスタ L（PWM0BL） （4ビットレジスタ）

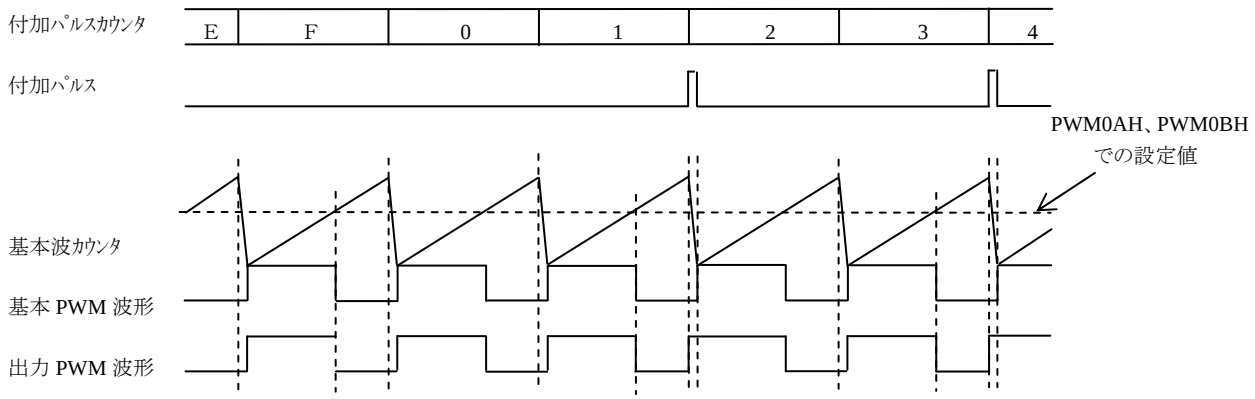
①PWM0Bの付加パルスの制御を行います。
②PWM0BLにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-32-4-5 PWM0Bコンペアレジスタ H（PWM0BH） （8ビットレジスタ）

①PWM0Bの基本波パルス幅の制御を行います。
HIGHパルス幅 =（PWM0BH＜7:0＞で示される値）×TPWMR0
②PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0



3-32-4-6 PWM0プリスケーラ（PWM0PR） （8ビットレジスタ）

①PWM0プリスケーラのカウント値を設定します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

（ビット7～0）:PWM0プリスケーラ制御
上記8ビットでPWM0プリスケーラの周期を設定します。
PWM0PR周期 =（PWM0PR＜7:0＞＋1）×カウントクロック

3-32-4-7 タイマクロック設定レジスタ0

①PWM0のクロック選択を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK

PR0（ビット7～4）:このモジュールでは使用しません。
PR0CK（ビット3、2）:このモジュールでは使用しません。
U0CKSL（ビット1）:このモジュールでは使用しません。

PWM0CK（ビット0）：PWM0カウントクロック選 択 。

モード	PWM0CK	PWM0プリスケーラのカウントクロック
0	0	システムクロック
1	1	OSC1

（注）このビットはPWMモジュールが停 止 時 に設 定 してください。

3-32-5 PWM0出 力 のポート設 定

① PWM0A（P46）

レジスタデータ				ポートP46の状態
P4FSA＜6＞	P4FSB＜6＞	P4LAT＜6＞	P4DDR＜6＞	出力
1	0	1	0	PWM0A 出力（CMOS反転）
1	0	0	1	PWM0A 出力（CMOS）
1	1	1	0	PWM0A 出力（CMOS変化SLOW）
1	1	0	1	PWM0A出力（Nchオープンドレイン）

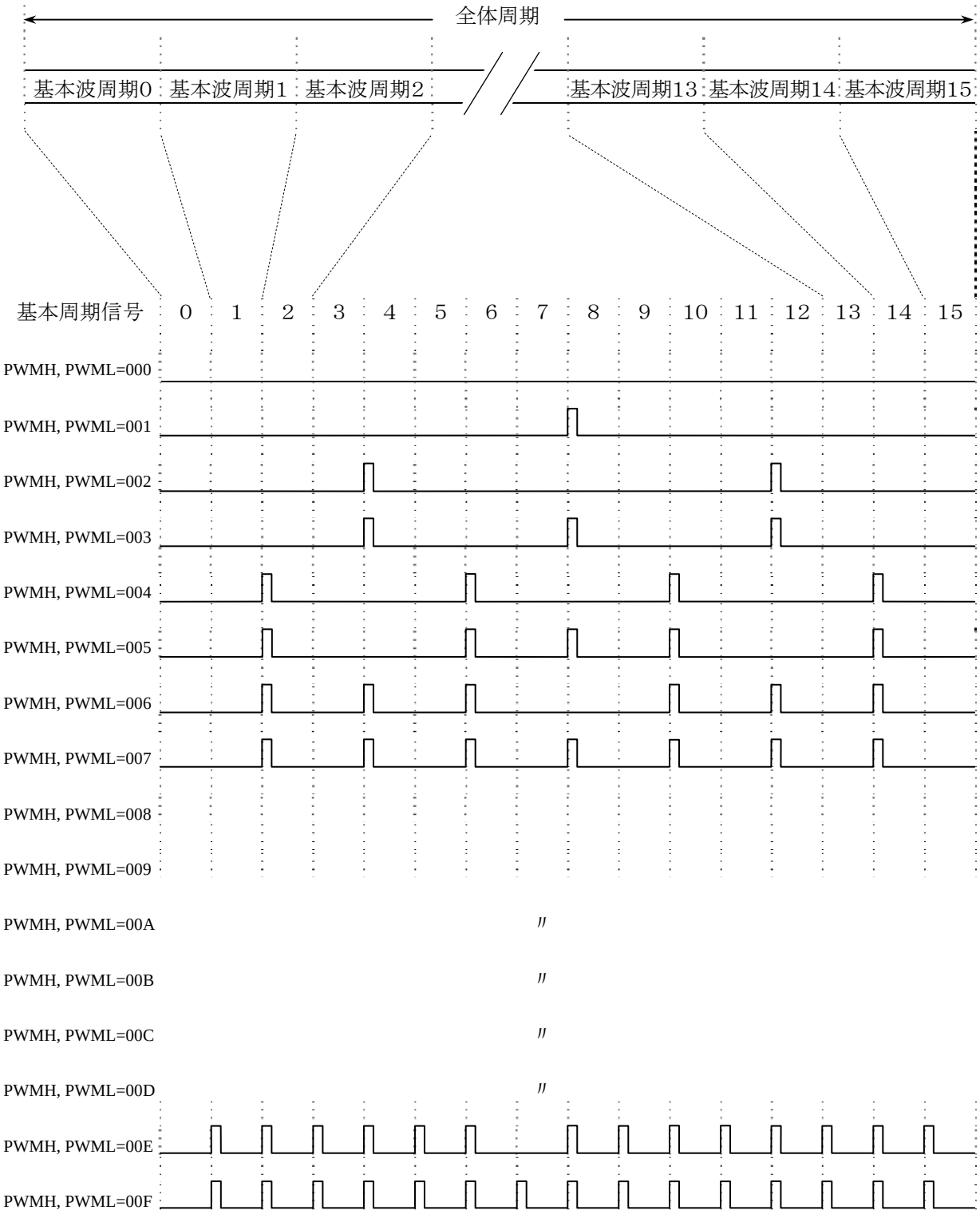
② PWM0B（P47）

レジスタデータ				ポートP47の状態
P4FSA＜7＞	P4FSB＜7＞	P4LAT＜7＞	P4DDR＜7＞	出力
1	0	1	0	PWM0B 出力（CMOS反転）
1	0	0	1	PWM0B 出力（CMOS）
1	1	1	0	PWM0B 出力（CMOS変化SLOW）
1	1	0	1	PWM0B 出力（Nchオープンドレイン）

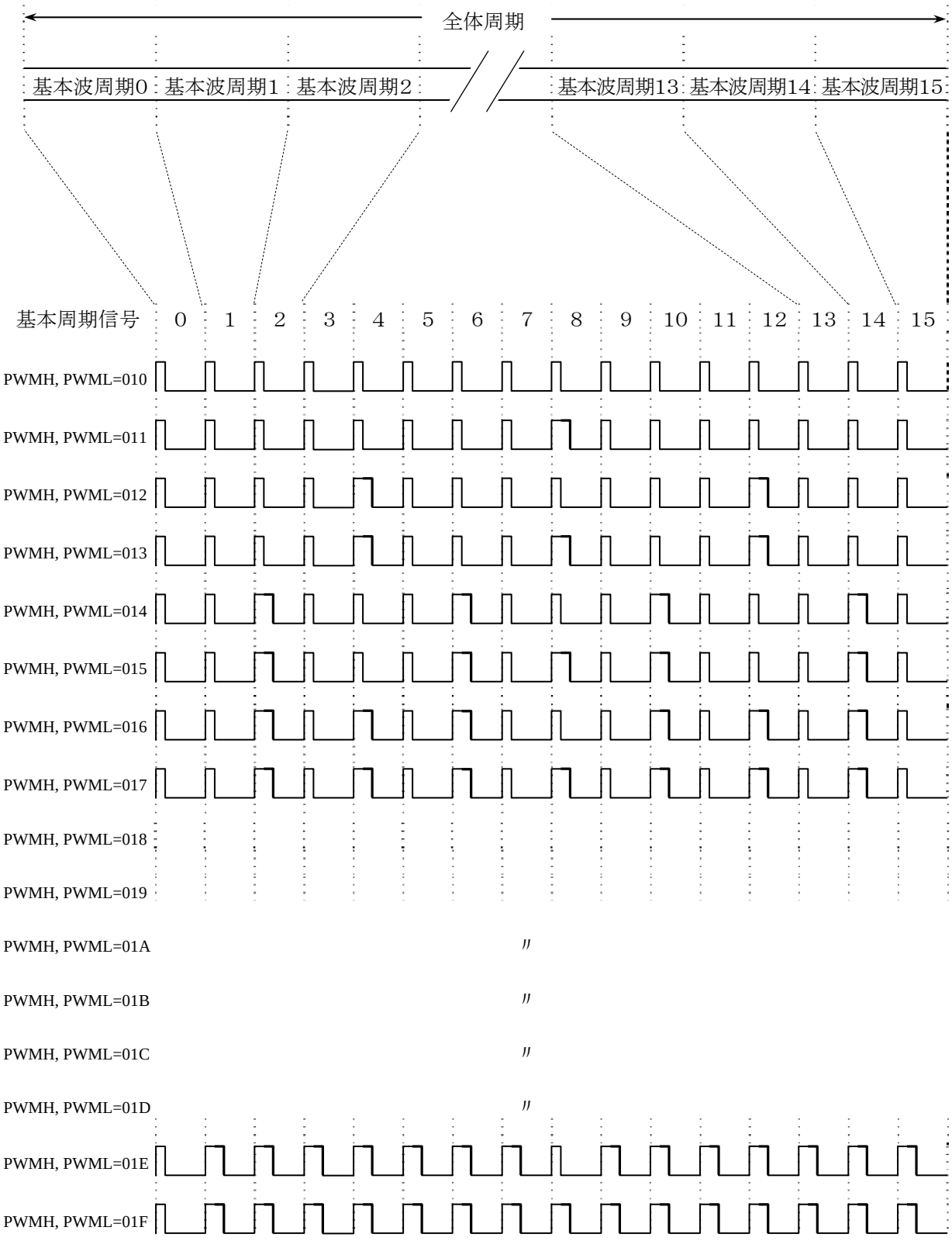
- 12ビットPWMは、以下のような波形構成となります。
  - 全体周期は、基本波周期が16個で構成されます。
  - 基本波周期内は、8ビットPWMで構成されます。（PWMコンペアレジスタH)(PWMH)
  - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。(PWMコンペアレジスタL)(PWML)

  12ビットレジスタ構成 →　(PWMH), (PWML)＝XXXX XXXX, XXXX(12ビット)

- 基本波周期内への、パルス付加状況 例1
  - PWMコンペアレジスタH(PWMH)＝ 00 ［H］
  - PWMコンペアレジスタL(PWML) ＝ 0～F［H］



● 基本波周期内への、パルス付加状況　例2
- PWMコンペアレジスタH（PWMH）＝　01　［H］
- PWMコンペアレジスタL（PWML）＝0～F　［H］



● 基本波周期は、(16～256)TPWMR0 の範囲で可変です。

基本波周期＝(CHで示される値＋1)×16TPWMR0
- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

3-33 PWM1

3-33-1 概要

本シリーズが内蔵しているPWM1は2本の出力（PWM1A，PWM1B)を持つ12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。

3-33-2 機能

①PWM1基本波周期

・基本波周期＝(16～256)TPWMR1
（16TPWMR1単位で可変、PWM1A，PWM1B共通）

②PWM1A出力

(1)基本波PWMモード(レジスタPWM1AL＝0設定）
・HIGHパルス幅＝0～基本波周期－TPWMR1 （TPWMR1単位で可変）
(2)基本波＋付加パルスPWMモード
・全体周期＝基本波周期×16
・HIGHパルス幅＝0～全体周期－TPWMR1 （TPWMR1単位で可変）

③PWM1B出力

(1)基本波PWMモード(レジスタPWM1BL＝0設定）
・HIGHパルス幅＝0～基本周期－TPWMR1 （TPWMR1単位で可変）
(2)基本波＋付加パルスPWMモード
・全体周期＝基本波周期×16
・HIGHパルス幅＝0～全体周期－TPWMR1 （TPWMR1単位で可変）

④割り込みの発生

割り込み要求許可ビットがセットされている場合、PWM1の全体周期で割り込み要求を発生します。

⑤PWM1を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PWM1AL，PWM1AH，PWM1BL，PWM1BH，PWM1C，PWM1PR
・PWMCNT，PBLAT，PBDDR，PBFSA，PBFSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB0	0000 LLLL	R/W	PWM1AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FB1	0000 0000	R/W	PWM1AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB2	0000 LLLL	R/W	PWM1BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FB3	0000 0000	R/W	PWM1BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB4	0000 0000	R/W	PWM1C	CH				ENPWM1B	ENPWM1A	OV	IE
7FB5	0000 0000	R/W	PWM1PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		－	PWM1CK

3-33-3 回路構成

3-33-3-1 PWM1制御レジスタ(PWM1C) (8ビットレジスタ)

①PWM1の動作,割り込みの制御を行います。

3-33-3-2 PWM1基本波カウンタ(8ビットカウンタ)

①動作開始／停止:PWM1Cレジスタのビット2(ENPWM1A)又はビット3(ENPWM1B)の1／0により制御されます。
②カウントクロック:PWM1プリスケーラ一致信号
③一致信号:カウント値がCHの設定値と一致すると一致信号を発生します。
④リセット:動作停止、または一致信号発生時。

3-33-3-3 PWM1付加パルスカウンタ(4ビットカウンタ)

①カウントクロック:PWM1一致信号
②一致信号:カウント値がPWM1AL,PWM1BLの設定値と一致すると一致信号を発生します。
③リセット:リセット時

3-33-3-4 PWM1Aコンペアレジスタ L(PWM1AL) (4ビットレジスタ)

①PWM1Aの付加パルスの制御を行います。
②PWM1ALにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-33-3-5 PWM1Aコンペアレジスタ H(PWM1AH) (一致バッファレジスタ付き8ビットレジスタ)

①PWM1AのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM1基本波カウンタの値が一致した時PWM1A出力がLOWに変化します。
②PWM1ALのビット7～4を全て“0”固定すると、PWM1APWM1AHで制御される周期可変8ビットPWMとして使用できます。
③一致バッファレジスタの更新は以下のように行われます。
・非動作時にはPWM1AHと一致バッファレジスタは同値となります。
・動作時にはPWM1基本波カウンタが0になる時、一致バッファレジスタはPWM1AHの値をロードします。

3-33-3-6 PWM1Bコンペアレジスタ L(PWM1BL) (4ビットレジスタ)

①PWM1Bの付加パルスの制御を行います。
②PWM1BLにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-33-3-7 PWM1Bコンペアレジスタ H（PWM1BH） （一致バッファレジスタ付き8ビットレジスタ）

①PWM1BのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM1基本波カウンタの値が一致した時PWM1B出力がLOWに変化します。

②PWM1BLのビット7～4を全て“0”固定すると、PWM1BはPWM1BHで制御される周期可変8ビットPWMとして使用できます。

③一致バッファレジスタの更新は以下のように行われます。

・非動作時にはPWM1BHと一致バッファレジスタは同値となります。

・動作時にはPWM1基本波カウンタが0になる時、一致バッファレジスタはPWM1BHの値をロードします。

3-33-3-8 PWM1プリスケーラ（PWM1PR） （8ビットレジスタ）

①動作開始／停止：PWM1Cレジスタのビット2（ENPWM1A）又はビット3（ENPWM1B）の1／0により制御されます。

②カウントクロック：TMCLK1のビット0（PWM1CK）で選択されます。

モード	PWM1CK	PWM1プリスケーラのカウントクロック
0	0	システムクロック（Tcyc）
1	1	OSC1

③一致信号：カウント値が8ビットレジスタPWM1PR＜7:0＞の値と一致すると一致信号を発生します。

④リセット：動作停止時、または一致信号発生時。

⑤PWM1プリスケーラ周期

TPWMR1＝（PWM1PR＜7:0＞＋1）×カウントクロック

3-33-3-9 タイマクロック設定レジスタ1（TMCLK1） （8ビットレジスタ）

①PWM1プリスケーラのカウントクロックを設定します。

3-33-3-10 PWM1A出力（PWM1A）

①PWM1A動作停止時、PWM1AはLOW固定となり、PWM1A動作時、PWM1Aは周期可変のPWM出力。

3-33-3-11 PWM1B出力（PWM1B）

①PWM1B動作停止時、PWM1BはLOW固定となり、PWM1B動作時、PWM1Bは周期可変のPWM出力。

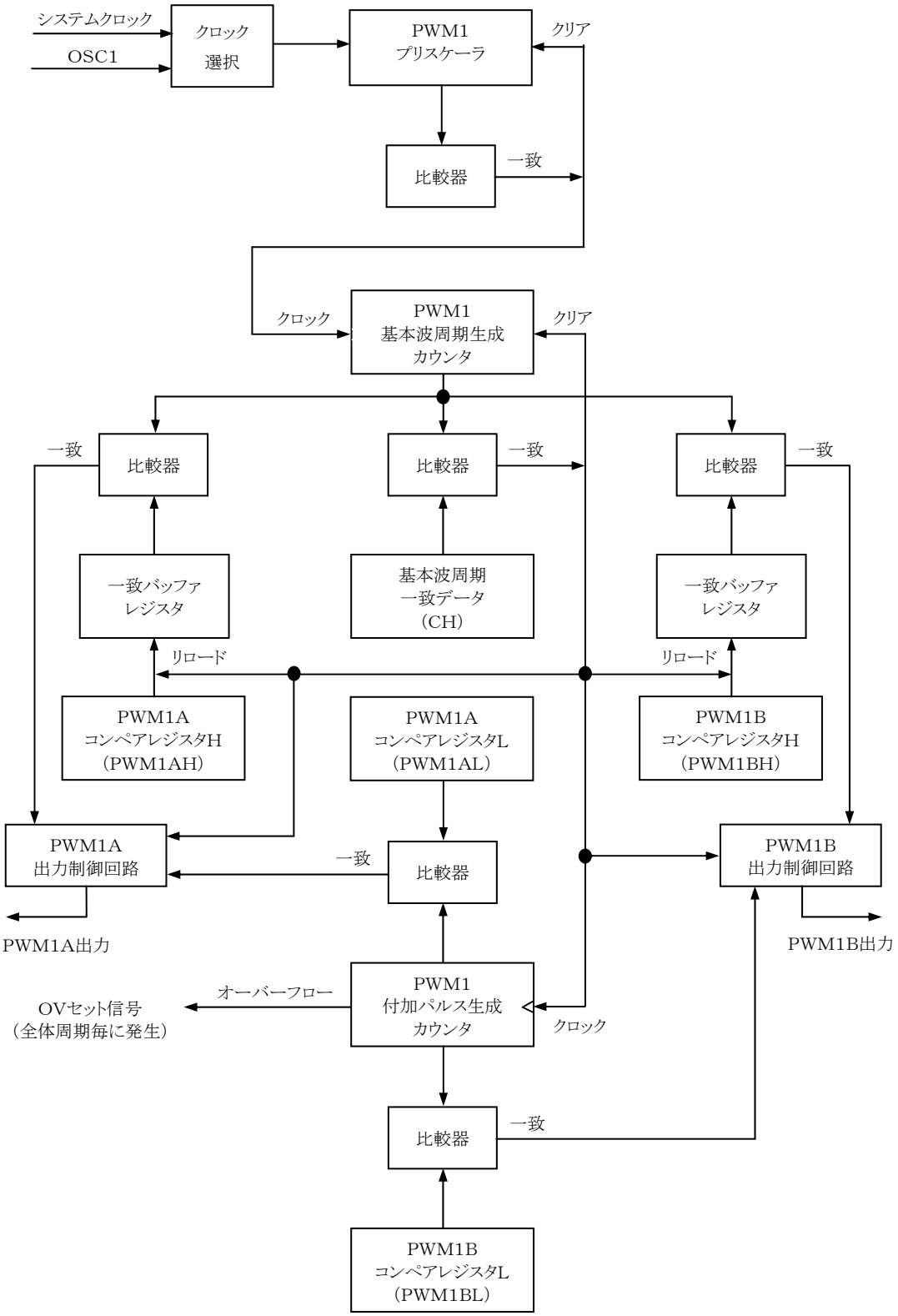


図３－３３－１　ＰＷＭ１ブロック図

3-33-4 関連レジスタ

3-33-4-1 PWM1制御レジスタ(PWM1C) （8ビットレジスタ）

①PWM1の動作，割り込みの制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB4	0000 0000	R/W	PWM1C	CH				ENPWM1B	ENPWM1A	OV	IE

CH(ビット7～4):PWM1周期設定

基本波周期 ＝ (CHで示される値＋1)×16TPWMR1

全体周期 ＝ 基本波周期×16

ENPWM1B(ビット3):PWM1B動作制御

このビットが1の時、PWM1Bが動作します。

このビットが0の時、PWM1Bが停止します。

ENPWM1A(ビット2):PWM1A動作制御

このビットが1の時、PWM1Aが動作します。

このビットが0の時、PWM01Aが停止します。

OV(ビット1):PWM1オーバーフローフラグ

PWM1の全体周期毎にセットされます。

このフラグは命令でクリアしてください。

IE(ビット0):PWM1割り込み要求発生許可制御

このビットとOVがともに1の時、ベクタアドレス802CHへの割り込み要求が発生します。

3-33-4-2 PWM1AコンペアレジスタL(PWM1AL) （4ビットレジスタ）

①PWM1Aの付加パルスの制御を行います。

②PWM1ALにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB0	0000 LLLL	R/W	PWM1AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-33-4-3 PWM1AコンペアレジスタH(PWM1AH) （8ビットレジスタ）

①PWM1Aの基本波パルス幅の制御を行います。

HIGHパルス幅＝(PWM1AH＜7:0＞で示される値)×TPWMR1

②PWM1ALのビット7～4を全て“0”固定すると、PWM1AはPWM1AHで制御される周期可変8ビットPWMとして使用できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB1	0000 0000	R/W	PWM1AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-33-4-4 ＰＷＭ１Ｂコンペアレジスタ Ｌ（ＰＷＭ１ＢＬ）　（４ビットレジスタ）

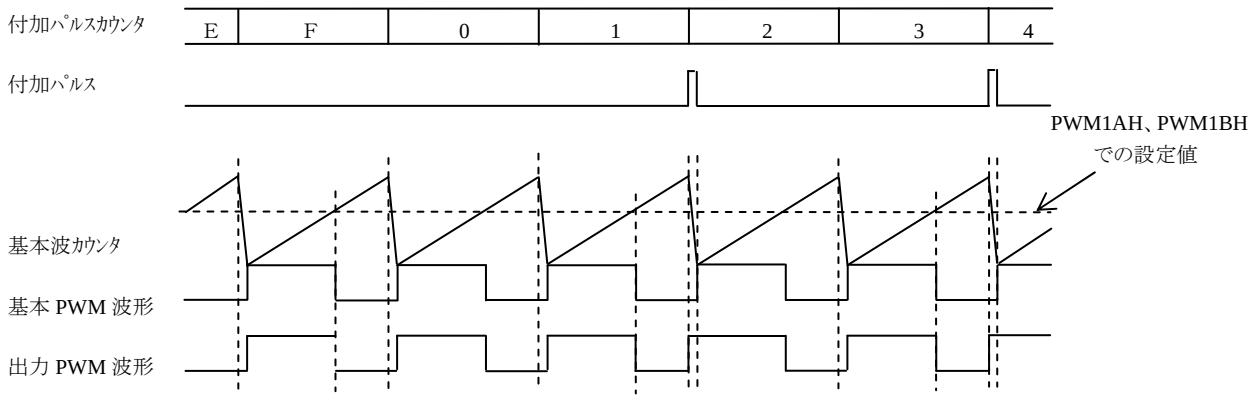
①ＰＷＭ１Ｂの付加パルスの制御を行います。
②ＰＷＭ１ＢＬにはビット７～４が存在し、読み込み時、下位４ビットは全て“０”として読み込まれます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB2	0000 LLLL	R/W	PWM1BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-33-4-5 ＰＷＭ１Ｂコンペアレジスタ Ｈ（ＰＷＭ１ＢＨ）　（８ビットレジスタ）

①ＰＷＭ１Ｂの基本波パルス幅の制御を行います。
　ＨＩＧＨパルス幅 ＝（ＰＷＭ１ＢＨ＜７:０＞で示される値）×ＴＰＷＭＲ１
②ＰＷＭ１ＢＬのビット７～４を全て“０”固定すると、ＰＷＭ１ＢはＰＷＭ１ＢＨで制御される周期可変８ビットＰＷＭとして使用できます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB3	0000 0000	R/W	PWM1BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0



3-33-4-6 PWM1プリスケーラ(PWM1PR) (8ビットレジスタ)

①PWM1プリスケーラのカウント値を設定します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB5	0000 0000	R/W	PWM1PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

(ビット7～0):PWM1プリスケーラ制御

上記8ビットでPWM1プリスケーラの周期を設定します。

PWM1PR周期＝(PWM1PR＜7:0＞＋1)×カウントクロック

3-33-4-7 タイマクロック設定レジスタ1

①PWM1のクロック選択を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		－	PWM1CK

PR1(ビット7～4):このモジュールでは使用しません。

PR1CK(ビット3、2):このモジュールでは使用しません。

(ビット1):存在しません。"0"が読み出されます。

PWM1CK(ビット0):PWM1カウントクロック選択。

モード	PWM1CK	PWM1プリスケーラのカウントクロック
0	0	システムクロック
1	1	OSC1

(注)このビットはPWMモジュールが停止時に設定してください。

3-33-5 PWM1出力のポート設定

①PWM1A(PB0)

レジスタデータ				ポートPB0の状態
PBFSA<0>	PBFSB<0>	PBLAT<0>	PBDDR<0>	出力
1	0	1	0	PWM1A出力(CMOS反転)
1	0	0	1	PWM1A出力(CMOS)
1	1	1	0	PWM1A出力(CMOS変化SLOW)
1	1	0	1	PWM1A出力(Nchオープンドレイン)

②PWM1B(PB1)

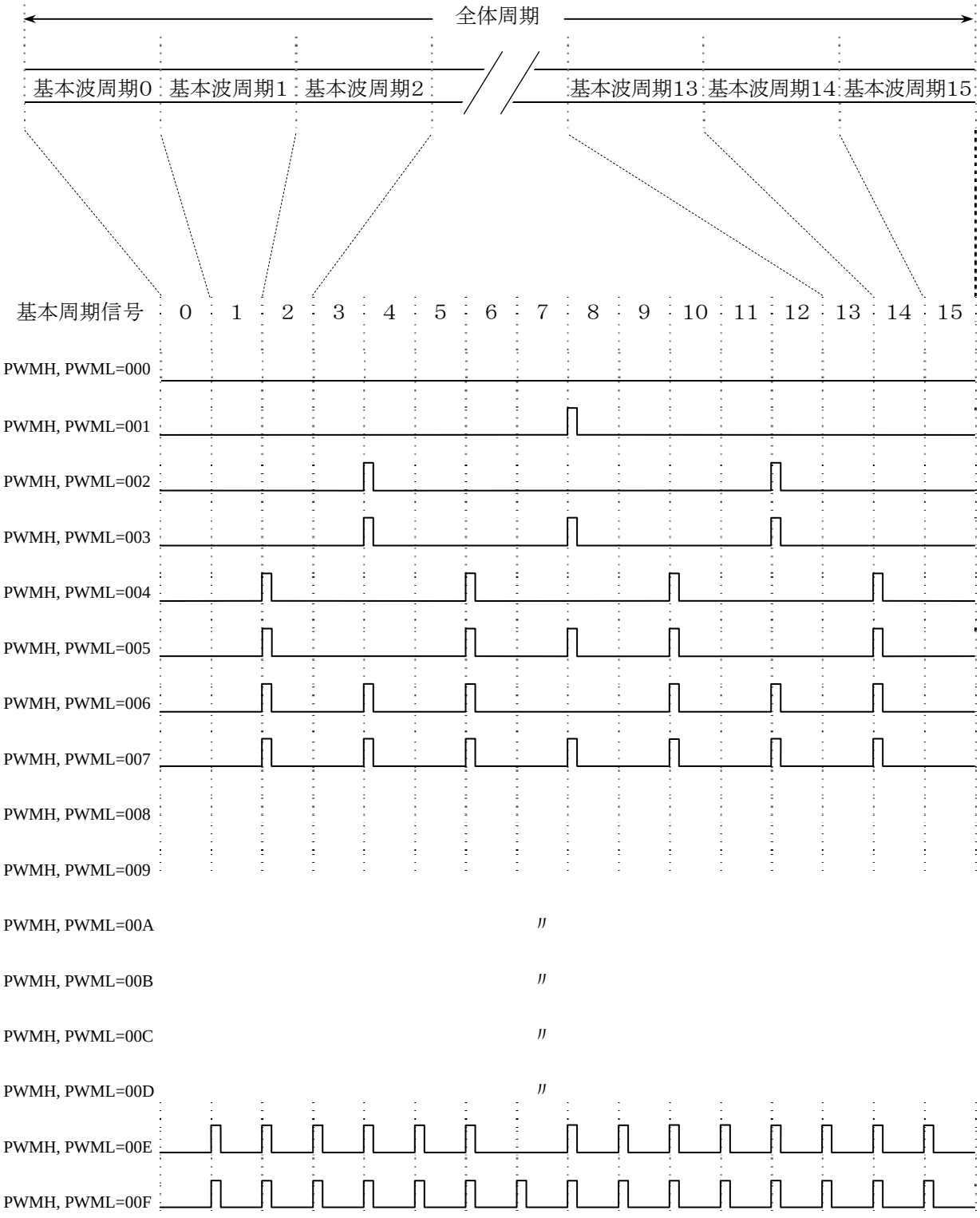
レジスタデータ				ポートPB1の状態
PBFSA<1>	PBFSB<1>	PBLAT<1>	PBDDR<1>	出力
1	0	1	0	PWM1B出力(CMOS反転)
1	0	0	1	PWM1B出力(CMOS)
1	1	1	0	PWM1B出力(CMOS変化SLOW)
1	1	0	1	PWM1B出力(Nchオープンドレイン)

ＰＷＭ１

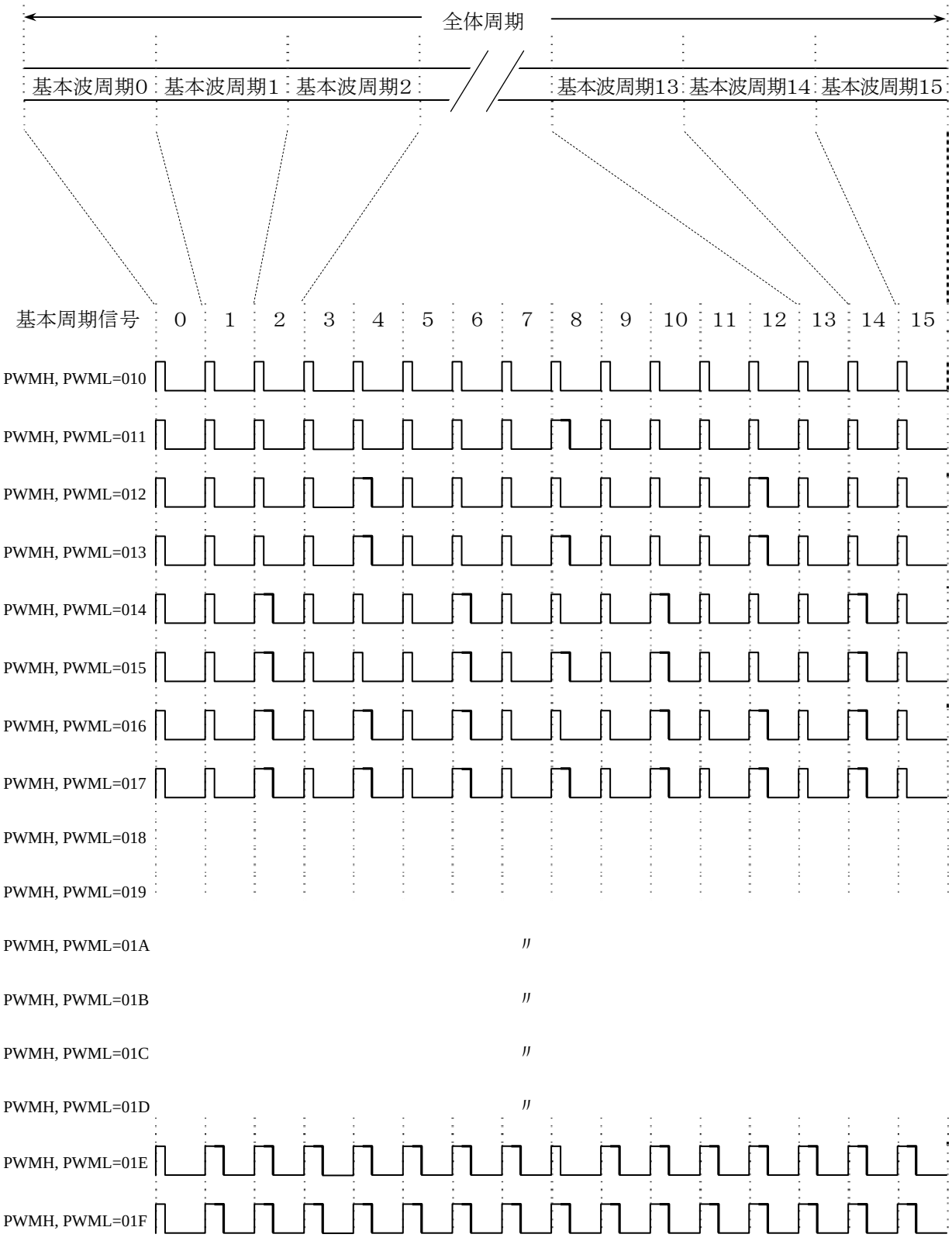
- １２ビットPWMは、以下のような波形構成となります。
  - 全体周期は、基本波周期が16個で構成されます。
  - 基本波周期内は、8ビットPWMで構成されます。（PWMコンペアレジスタH）（PWMH）
  - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。（PWMコンペアレジスタL）（PWML）

  １２ビットレジスタ構成 →　（PWMH），（PWML）＝XXXX　XXXX，　XXXX（12ビット）

- 基本波周期内への、パルス付加状況　例１
  - PWMコンペアレジスタH（PWMH）＝　００　［H］
  - PWMコンペアレジスタL（PWML）＝　０～Ｆ［H］



● 基本波周期内への、パルス付加状況　例２
- PWMコンペアレジスタH（PWMH）＝　01　［H］
- PWMコンペアレジスタL（PWML）＝　0～F［H］



● 基本波周期は、(16×256)TPWMR1の範囲で可変です。

基本波周期＝(CHで示される値＋1)×TPWMR1
- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

3-34　ADコンバータ

3-34-1　概要

本シリーズは、下記の特徴を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

①12ビット分解能
②逐次比較方式
③AD変換モード切り替え機能（分解能切り替え）
④16チャネルアナログ入力
⑤変換時間切り替え機能
⑥基準電圧自動発生制御機能
⑦8ビットコンパレータ

3-34-2　機能

①逐次比較方式
・12ビット分解能を持っています。
・変換には、変換開始から所定の変換時間が必要です。
・変換結果は、AD変換結果レジスタ（ADRL，ADRH）に転送されます。

②AD変換切り替え機能（分解能切り替え）
使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ（ADMR）で行います。

③16チャネルアナログ入力
変換される信号は、P60～P67，P70～P77から入力される16種類のアナログ信号からAD制御レジスタ（ADCR）で選択されます。

④変換時間切り替え機能
AD変換時間をサイクルタイムの$\frac{1}{1}$，$\frac{1}{2}$，$\frac{1}{4}$，$\frac{1}{8}$，$\frac{1}{16}$，$\frac{1}{32}$，$\frac{1}{64}$，$\frac{1}{128}$（分周比）に切り替えることができます。適切なAD変換ができるようにAD制御レジスタ（ADCR）によって切り替えます。

⑤基準電圧自動発生制御機能
基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生のセット／リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

⑥コンパレータ機能
8ビット分解のコンパレータ機能を持っており、16チャネルのアナログ入力との比較することができます。

⑦ＡＤコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ＡＤＣＲ，ＡＤＭＲ，ＡＤＲＬ，ＡＤＲＨ、Ｐ６ＬＡＴ，Ｐ６ＤＤＲ，Ｐ６ＦＳＢ
・Ｐ７ＬＡＴ，Ｐ７ＤＤＲ，Ｐ７ＦＳＢ

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-34-3 回路構成

3-34-3-1 ＡＤ変換制御

①ＡＤ変換制御には12ビットＡＤ変換モードと8ビットＡＤ変換モードがあります。

3-34-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する制御回路で構成されています。アナログ入力チャネルを選択し、変換時間の制御レジスタで設定され時間で変換が終了すると、ＡＤ制御レジスタ（ＡＤＣＲ）の変換終了フラグ（ＥＮＤＦＬＧ）がセットされます。
変換結果は、ＡＤ変換結果レジスタ（ＡＤＲＨ，ＡＤＲＬ）に格納されます。

3-34-3-3 マルチプレクサ１（ＭＰＸ１）

①16チャネルからＡＤ変換するアナログ信号を選択します。

3-34-3-4 基準電圧自動発生回路

①ラダー抵抗とマルチプレクサ（ＭＰＸ２）で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、ＡＤ変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はＶＤＤ～ＶＳＳの範囲で作成されます。

3-34-4　関連レジスタ

3-34-4-1　ADコンバータ制御レジスタ（ADCR）

①ADコンバータ動作の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE

CHSEL（ビット7～4）:AD変換入力選択

上記4ビットでAD変換する信号を選択します。

CHSEL	信号入力端子
0000	P60／AN0
0001	P61／AN1
0010	P62／AN2
0011	P63／AN3
0100	P64／AN4
0101	P65／AN5
0110	P66／AN6
0111	P67／AN7
1000	P70／AN8
1001	P71／AN9
1010	P72／AN10
1011	P73／AN11
1100	P74／AN12
1101	P75／AN13
1110	P76／AN14
1111	P77／AN15

CMP（ビット3）:ADコンバータ／コンパレータ動作制御

8ビットコンパレータ（1）／ADコンバータ（0）の動作モードを設定します。

“1”の設定時、8ビットコンパレータとして動作します。変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャネル選択は本レジスタの入力チャネルビットで設定します。比較データは変換結果上位レジスタ（ADRH）で設定したデジタル値と比較し、比較結果は変換結果下位レジスタ（ADRL）のビット7にセットされます。

“0”の設定時、12ビット／8ビットADコンバータとして動作します。12ビットと8ビットのAD変換モードはモードレジスタで設定し、変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャネル選択は本レジスタの入力チャネルビットで設定します。変換結果は変換結果上位レジスタ（ADRH）にセットされ、12ビットモードは変換結果下位4ビットが変換結果下位レジスタ（ADRL）のビット7～4にセットされます。

START(ビット2):AD変換／コンパレータ動作制御

AD変換／コンパレータ動作を開始(1)／停止(0)します。

“1”の設定時、AD変換／コンパレータ動作が開始され、AD変換／コンパレータ動作が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間必要です。変換時間の設定はAD変換結果下位レジスタ(ADRL)のMD2とADモードレジスタ(ADMR)のMD10の3ビットで行います。

“0”の設定時、AD変換／コンパレータ動作が停止します。AD変換／コンパレータ動作中にクリアすると正しい変換結果が得られません。

AD変換／コンパレータ動作中は、絶対にクリアまたはHALT, HOLD, HOLDX状態にしないでください。

ENDFLG(ビット1):AD変換／コンパレータ動作終了フラグ

AD変換／コンパレータ動作の終了を知らせます。AD変換／コンパレータ動作が終了するとセット(1)されます。

IEが“1”の場合、ベクタアドレス8030Hへの割り込み要求が発生し、“0”の場合、AD変換／コンパレータが動作していないことを示しています。

このフラグは、命令でクリアしてください。

IE(ビット0):AD変換／コンパレータ割り込み要求発生許可制御

このビットとENDFLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

注意：

- STARTが“1”の動作状態でHALT, HOLD, HOLDX状態にしないでください。必ず、“0”になったことを確認してからHALT, HOLD, HOLDX状態にしてください。
- コンパレータ動作モードで使用する場合には、ADモードレジスタ(ADMR)のRESOLを“0”、ADJを“1”にして動作させる必要があります。

3-34-4-2 ADモードレジスタ(ADMR)

①ADコンバータ動作のモード制御行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	

(ビット7):固定ビット

0で使用してください。

RESOL(ビット6):AD変換モード制御(分解能切り替え)

ADコンバータの分解能を12ビットADモード(0)／8ビットADモード(1)に切り替えます。

“1”の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)のみセットされ、AD変換結果下位レジスタ(ADRL)は変化しません。

“0”の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)とAD変換結果下位レジスタ(ADRL)にセットされます。

（ビット５～３）：固 定 ビット
０で使 用 してください。

ＡＤＪ（ビット２）：自 動 オフセット補 正 制 御
ＡＤ変 換 モードで使 用 する場 合 、このビットは０で使 用 してください。
コンパレータモードで使 用 する場 合 、このビットは１で使 用 してください。

ＭＤ１０（ビット１、０）：ＡＤ変 換 時 間 制 御
ＡＤ変 換 結 果 レジスタのＭＤ２（ビット０）と合 わせて３ビットで
変 換 時 間 を制 御 します。

ＭＤ２	ＭＤ１０	分 周 比
０	００	$\frac{1}{1}$
０	０１	$\frac{1}{2}$
０	１０	$\frac{1}{4}$
０	１１	$\frac{1}{8}$
１	００	$\frac{1}{16}$
１	０１	$\frac{1}{32}$
１	１０	$\frac{1}{64}$
１	１１	$\frac{1}{128}$

変 換 時 間 算 出 方 法
・１２ビットＡＤ変 換 モード ： 変 換 時 間 ＝（（５２／（ＡＤ分 周 比 ））＋２）×Ｔｃｙｃ
・ ８ビットＡＤ変 換 モード ： 変 換 時 間 ＝（（３２／（ＡＤ分 周 比 ））＋２）×Ｔｃｙｃ

注 意 ：
・変 換 時 間 は下 記 の時 、通 常 時 の約 ２倍 となります。
①システムリセット後 、１２ビットＡＤ変 換 モードで最 初 のＡＤ変 換 を行 った時 。
②ＡＤ変 換 モードを８ビットＡＤ変 換 モードから１２ビット変 換 ＡＤモードに切 り替 え、最 初 のＡＤ変 換 を行 った時 。
・２回 目 以 降 または、８ビットＡＤ変 換 モードでは「変 換 時 間 算 出 方 法 」で示 される変 換 時 間 で動 作 します。

３-３４-４-３ ＡＤ変 換 結 果 下 位 レジスタ（ＡＤＲＬ）

①１２ビットＡＤモード時 、ＡＤ変 換 結 果 の下 位 ４ビットを格 納 するレジスタと変 換 時 間 を制 御 するレジスタです。
②ＡＤ変 換 途 中 のデータは確 定 データではありませんので、変 換 結 果 はＡＤ変 換 終 了 後 に読 み出 してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2

DATAL(ビット7～4):AD変換結果下位

上記にAD変換結果の下位4ビットが格納されます。
コンパレータモード時は、ビット7にコンパレータ比較結果が格納されます。
AD変換を動作させない時は、汎用のリード／ライトレジスタとして使用できます。

(ビット3～1):固定ビット

0で使用してください。

MD2(ビット0):AD変換時間制御

ADモードレジスタのMD10の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意:
変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニューズ」の規格に従って有効となる変換データのみをご使用ください。

3-34-4-4 AD変換結果上位レジスタ(ADRH)

①12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。
②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

AD変換を動作させない時は、汎用のリード／ライトレジスタとして使用できます。

3-34-5　AD動作の具体例

3-34-5-1　12ビットADコンバータモード

①AD変換モードの設定
・ADモードレジスタ(ADMR)のRESOL＝0にします。

②変換時間の設定
・変換時間を1／32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0)＝1にし、ADモードレジスタのMD10(ビット1、0)＝01にします。

③入力チャネルの設定
・ADチャネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7～4)＝0001にします。

④ADスタート
・AD制御レジスタ(ADCR)のSTART(ビット2)＝1にします。

⑤AD変換終了フラグの検知
・AD制御レジスタ(ADCR)のENDFLG(ビット1)＝1になるまでモニタします。
・終了フラグのENDFLGを0にクリアします。

⑥AD変換データの読み込み
・AD変換結果上位レジスタ(ADRH)を読み込みます。
・AD変換結果下位レジスタ(ADRL)を読み込みます。
・上記読み出しデータをソフトアプリケーション処理へ。
・再動作の場合④に戻ります。

3-34-5-2　コンパレータ動作の具体例

①コンパレータモードの設定
・AD制御レジスタ(ADCR)のCMP(ビット3)＝1にします。
・ADモードレジスタ(ADMR)のADJ(ビット2)＝1にします。
・ADモードレジスタ(ADMR)のRESOL(ビット6)＝0にします。

②変換時間の設定
・変換時間を1／32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0)＝1にし、ADモードレジスタのMD10(ビット1、0)＝01にします。

変換時間算出方法
変換時間＝((28／(分周比))+2)×Tcyc

③入力チャネルの設定
・ADチャネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7～4)＝0001にします。

④比較データの設定
・AD変換結果上位レジスタ(ADRH)に8ビットの比較データを設定します。

⑤比較スタート
・AD制御レジスタ（ADCR）のSTART（ビット2）＝1にします。

⑥変換終了フラグの検知
・AD制御レジスタ（ADCR）のENDFLG（ビット1）＝1になるまでモニタします。
・終了フラグのENDFLGを0にクリアします。

⑦AD変換データの読み込み
・AD変換結果下位レジスタ（ADRL）のビット7を読み込みます。
REF＜AIN＝H、REF＞AIN＝Lが入力されます。
・上記読み出しデータをソフトアプリケーション処理へ。
・再動作の場合④に戻ります。

3-34-6 ADC使用上の留意点

①サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、最新の「半導体ニューズ」を参照してください。

②変換動作中にSTART＝0にすると、変換動作が停止します。

③変換動作中にHALT，HOLD，HOLDX状態にしないでください。必ず、STARTが“0”になったことを確認してからHALT，HOLD，HOLDX状態にしてください。

④変換中にリセット状態に入ると、自動的にSTARTがリセットされ変換動作を停止します。

⑤変換を終了するとAD変換終了フラグ（ENDFLG）がセットされ、同時にAD変換動作制御ビット（START）がリセットされます。変換終了はENDFLGをモニタすることによって確認できます。また、IEをセットすることによって、変換終了でベクタアドレス8030Hへの割り込み要求が発生します。

⑥P60／AN0～P67／AN7，P70／AN8～P77／AN15への入力電圧は規格の範囲で使用してください。
特にVDD以上，VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。

⑦ノイズ等による変換精度の低下を防ぐ対策として、アナログ入力端子には1000pF程度のコンデンサ等の外付けや変換動作を数回行って変換値の平均をとる等の処理を行ってください。

⑧変換動作中のアナログ入力端子に隣接する端子へディジタルパルスを印加したり、隣接する端子から出力されるデータが変化するとカップリングノイズによって、変換結果が期待通りに得られないことがあります。

⑨ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げることが必要です。応用回路を作成する時には、この点に注意して作成してください。

3-35 リアルタイムサービス(RTS)

3-35-1 概要

本シリーズの連続データ処理は、処理モジュールと、リアルタイムサービスコントローラ(以下RTSと表記)で行われます。
連続データ処理には、バススチール動作とウェイト動作の2種類があります。

①RTSは、各処理モジュールのバススチール要求を受付け、バススチール動作を行います。
②RTSは、各処理モジュールのウェイト要求を受付け、ウェイト動作を行います。

※本シリーズでは、
処理モジュール1＝SIO0
処理モジュール2＝SIO1
となります。

3-35-2 機能

3-35-2-1 バススチール動作とウェイト動作について

①バススチール動作
CPUの命令動作中、内部データバスを使用していない時、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。
②ウェイト動作
CPUの命令動作を一時停止し、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。

3-35-2-2 RAMバッファアドレス

転送用RAMバッファアドレスは、各処理モジュール用毎に用意されたベースアドレスレジスタ値と転送回数カウンタ値で決定されます。

3-35-2-3 転送回数

①処理モジュール1の転送回数は、RTS1転送回数設定レジスタ(RTS1CTR)で設定します。
②処理モジュール2の転送回数は、RTS2転送回数設定レジスタ(RTS2CTR)で設定します。

3-35-2-4 特殊機能レジスタ(SFR)の操作

RTSを制御するには次に示す特殊機能レジスタを操作する必要があります。

・RTS1ADRL, RTS1ADRH, RTS1CTR
・RTS2ADRL, RTS2ADRH, RTS2CTR
・RTSTST, RTSCNT

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH	－	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH	－	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWTP	INHBSP

3-35-3　回 路 構 成

3-35-3-1　RTS1ベースアドレスレジスタ(RTS1ADRL, RTS1ADRH)（16ビットレジスタ）

①処 理 モジュール1の転 送 用RAMバッファアドレスを設 定 します。

3-35-3-2　RTS1転 送 回 数 設 定 レジスタ(RTS1ADRL, RTS1CTR)（12ビットレジスタ）

①処 理 モジュール1の転 送 回 数 を設 定 します。

3-35-3-3　RTS1転 送 回 数 カウンタ(RTS1ADRL, RTS1C)（12ビットレジスタ）

①処 理 モジュール1の転 送 回 数 カウンタです。

3-35-3-4　RTS2ベースアドレスレジスタ(RTS2ADRL, RTS2ADRH)（16ビットレジスタ）

①処 理 モジュール2の転 送 用RAMバッファアドレスを設 定 します。

3-35-3-5　RTS2転 送 回 数 設 定 レジスタ(RTS2ADRL, RTS2CTR)（12ビットレジスタ）

①処 理 モジュール2の転 送 回 数 を設 定 します。

3-35-3-6　RTS2転 送 回 数 カウンタ(RTS2ADRL, RTS2C)（12ビットレジスタ）

①処 理 モジュール2の転 送 回 数 カウンタです。

3-35-3-7　RTSテストレジスタ(RTSTST)　（8ビットレジスタ）

①ＲＴＳのテストレジスタです。必ず0に設定して使用してください。

3-35-3-8　RTS制 御 レジスタ(RTSCNT)　（8ビットレジスタ）

①RTS動 作 の許 可・禁 止 の制 御 を行 います。

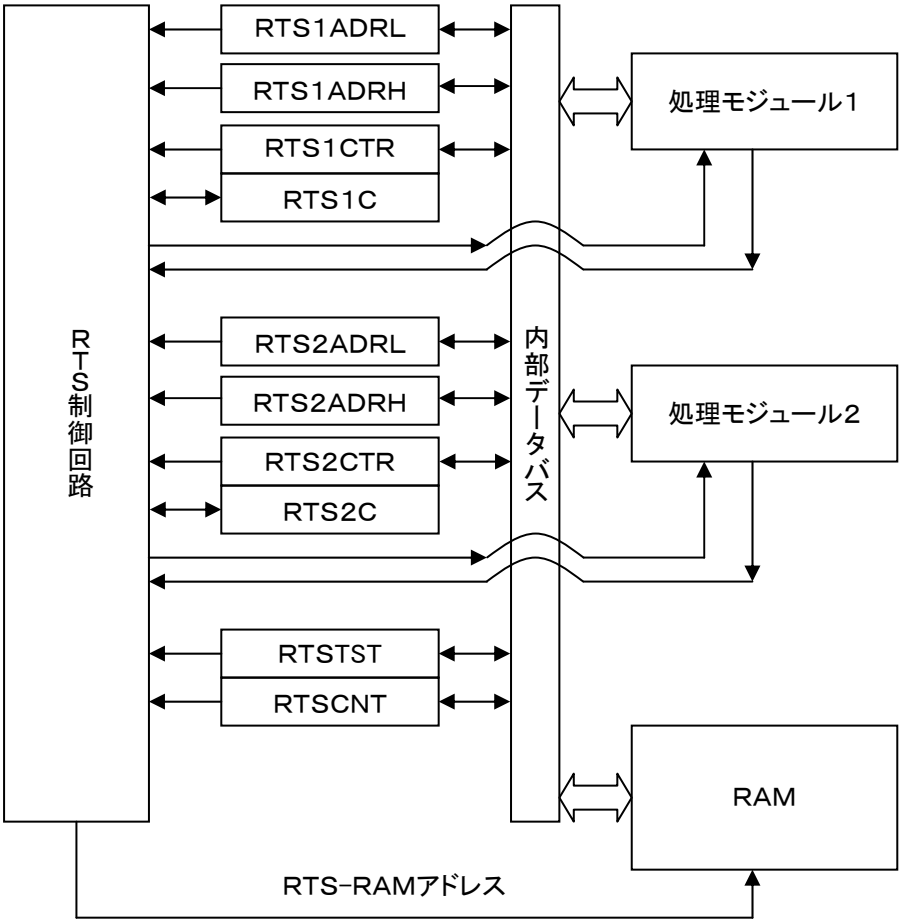


図３－３５－１　ＲＴＳのブロック図

3-35-4　関連レジスタ

3-35-4-1　RTS1ベースアドレスレジスタ(RTS1ADRL, RTS1ADRH)

①処理モジュール1の転送用RAMバッファアドレスを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH	－	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

RTS1ベースアドレス＝
　((RTS1ADRH)＜＜8)＆0xFF00＋((RTS1ADRL)＆0x00F0)
＊RTS1動作中、ベースアドレスを変更しないでください。

3-35-4-2　RTS2ベースアドレスレジスタ(RTS2ADRL, RTS2ADRH)

①処理モジュール2の転送用RAMバッファアドレスを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH	－	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

RTS2ベースアドレス＝
　((RTS2ADRH)＜＜8)＆0xFF00＋((RTS2ADRL)＆0x00F0)
＊RTS2動作中、ベースアドレスを変更しないでください。

3-35-4-3　RTS1転送回数設定レジスタ(RTS1ADRL, RTS1CTR)

①処理モジュール1の転送回数を設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

処理モジュール1がバイトモードの場合
　処理モジュール1の転送回数＝
　　((RTS1ADRL)＜＜8)＆0x0F00＋((RTS1CTR)＆0x00FF)＋2
　RTS1転送回数カウンタは、転送処理毎に＋1カウントアップします。

処理モジュール1がワードモードの場合
　処理モジュール1の転送回数＝
　　((((RTS1ADRL)＜＜8)＆0x0F00＋((RTS1CTR)＆0x00FE))／2)＋2
　RTS1転送回数カウンタは、転送処理毎に＋2カウントアップします。

RTS1動作中このレジスタは、RTS1転送回数カウンタがR／Oでアクセスできます。

＊本シリーズは、バイトモードです。

3-35-4-4 RTS2転送回数設定レジスタ(RTS2CTR)

①処理モジュール2の転送回数を設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

処理モジュール2がバイトモードの場合

処理モジュール2の転送回数＝

((RTS2ADRL)＜＜8)＆0x0F00＋((RTS2CTR)＆0x00FF)＋2

RTS2転送回数カウンタは、転送処理毎に＋1カウントアップします。

処理モジュール2がワードモードの場合

処理モジュール2の転送回数＝

((((RTS2ADRL)＜＜8)＆0x0F00＋((RTS2CTR)＆0x00FE))／2)＋2

RTS2転送回数カウンタは、転送処理毎に＋2カウントアップします。

RTS2動作中このレジスタは、RTS2転送回数カウンタがR／Oでアクセスできます。

＊本シリーズは、バイトモードです。

3-35-4-5 RTSテストレジスタ(RTSTST)

①RTSのテストレジスタです。必ず0に設定して使用してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-35-4-6 RTS制御レジスタ(RTSCNT)

①RTS動作の許可・禁止の制御するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWTP	INHBSP

INHWT2(ビット5):処理モジュール2ウェイト禁止

0:処理モジュール2のウェイトを許可

1:処理モジュール2のウェイトを禁止

INHBS2(ビット4):処理モジュール2バススチール禁止

0:処理モジュール2のバススチールを許可

1:処理モジュール2のバススチールを禁止

INHWT1(ビット3):処理モジュール1ウェイト禁止

0:処理モジュール1のウェイトを許可

1:処理モジュール1のウェイトを禁止

INHBS1(ビット2):処理モジュール1バススチール禁止

0:処理モジュール1のバススチールを許可

1:処理モジュール1のバススチールを禁止

INHWTP（ビット1）:テスト用 です。
必 ず0に設 定 して使 用 してください。

INHBSP（ビット0）:テスト用 です。
必 ず0に設 定 して使 用 してください。

3-36 DAコンバータ（DA0，DA1）

3-36-1 概要

本シリーズは、下記の特徴をもった8ビット分解能のDAコンバータを2回路内蔵しています。このDAコンバータを使うことによって、マイクロコンピュータから容易にアナログ信号を出力することができます。

①8ビット分解能
②2回路内蔵
③アナログ電圧出力端子の切り替え機能

3-36-2 機能

3-36-2-1 アナログ電圧出力

①アナログ電圧値の設定
DA0データレジスタ（DA0DAT）、DA1データレジスタ（DA1DAT）にデータを設定することにより、8ビット分解能で、アナログ電圧値を設定します。

②アナログ電圧出力端子の切り替え機能
・DA0制御レジスタ（DA0CNT）のビット2～0（ASW2EN、ASW1EN、ASW0EN）、および、DAスイッチ制御レジスタ（DAUS）のビット2～0（DA0S2US、DA0S0US，DA0S0US）を制御することにより、アナログ電圧0出力端子を切り替えることができます。
・DA1制御レジスタ（DA1CNT）のビット2～0（ASW2EN、ASW1EN、ASW0EN）、および、DAスイッチ制御レジスタ（DAUS）のビット6～4（DA1S2US、DA1S1US，DA1S0US）を制御することにより、アナログ電圧1出力端子を切り替えることができます。

3-36-2-2 特殊機能レジスタ（SFR）の操作

DA0，DA1を制御するには次に示す特殊機能レジスタを操作する必要があります。

・DA0CNT，DA0DAT，DA1CNT，DA1DAT，DAUS
・PDLAT、PDDDR、PDFSB

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F90	0L00 L000	R/W	DA0CNT	ON	-	SEL3V	COREN	-	ASW2EN	ASW1EN	ASW0EN
7F91	0000 0000	R/W	DA0DAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F92	0L00 L000	R/W	DA1CNT	ON	-	SEL3V	COREN	-	ASW2EN	ASW1EN	ASW0EN
7F93	0000 0000	R/W	DA1DAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F94	L000 L000	R/W	DAUS	-	DA1S2US	DA1S1US	DA1S0US	-	DA0S2US	DA0S1US	DA0S0US

3-36-3　回 路 構 成

3-36-3-1　DA0制 御 レジスタ（DA0CNT）（8ビットレジスタ）

①DA0モジュールの制 御 を行 います。

3-36-3-2　DA0データレジスタ（DA0DAT）（8ビットレジスタ）

①アナログ電 圧 値 を設 定 します。

3-36-3-3　DA1制 御 レジスタ（DA1CNT）（8ビットレジスタ）

①DA1モジュールの制 御 を行 います。

3-36-3-4　DA1データレジスタ（DA1DAT）（8ビットレジスタ）

①アナログ電 圧 値 を設 定 します。

3-36-3-5　DAスイッチ制 御 レジスタ（DAUS）（8ビットレジスタ）

①スイッチDA1S2U、DA1S1U、DA1S0U、DA0S2U、DA0S1U、DA0S0Uの制 御 をします。

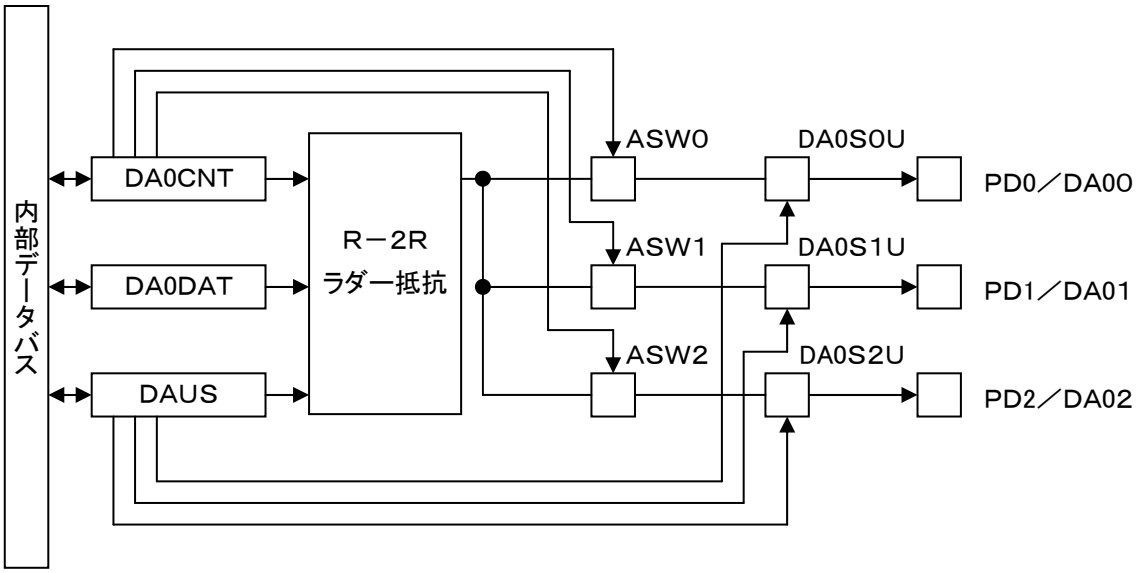


図３－３６－１　DA0のブロック図

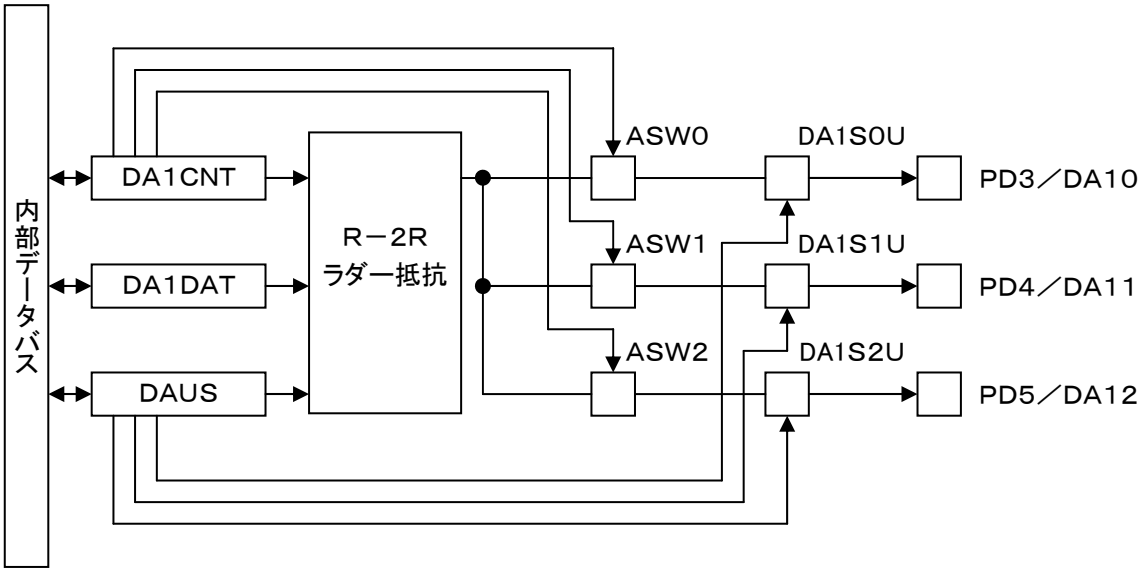


図３－３６－２　ＤＡ１のブロック図

3-36-4 関連レジスタ

3-36-4-1　DA0制御レジスタ（DA0CNT）

①ＤＡ０モジュールを制御するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F90	0L00 L000	R/W	DA0CNT	ON	-	SEL3V	COREN	-	ASW2EN	ASW1EN	ASW0EN

ＯＮ（ビット7）：ＤＡ０動作制御
　　０：ＤＡ０モジュールが動作停止となります。
　　１：ＤＡ０モジュールが動作状態となります。

ＳＥＬ３Ｖ（ビット5）：３Ｖ／５Ｖ選択
　　０：ＶＤＤが３．０Ｖ以上の時、このビットを“０”に設定してください。
　　１：ＶＤＤが３．０Ｖ未満の時、このビットを“１”に設定してください。

ＣＯＲＥＮ（ビット4）：
　　“０”で使用してください。

ＡＳＷ２ＥＮ（ビット2）：スイッチＡＳＷ２制御
　　０：スイッチＡＳＷ２が、ＯＦＦとなります。
　　１：スイッチＡＳＷ２が、ＯＮとなります。

ＡＳＷ１ＥＮ（ビット1）：スイッチＡＳＷ１制御
　　０：スイッチＡＳＷ１が、ＯＦＦとなります。
　　１：スイッチＡＳＷ１が、ＯＮとなります。

ＡＳＷ０ＥＮ（ビット0）：スイッチＡＳＷ０制御
　　０：スイッチＡＳＷ０が、ＯＦＦとなります。
　　１：スイッチＡＳＷ０が、ＯＮとなります。

3-36-4-2　DA0データレジスタ(DA0DAT)

①DA0モジュールのアナログ電圧値を設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F91	0000 0000	R/W	DA0DAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

アナログ電圧値　＝　VDD×(DA0DAT設定値／256)
となります。

3-36-4-3　DA1制御レジスタ(DA1CNT)

①DA1モジュールを制御するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F92	0L00 L000	R/W	DA1CNT	ON	-	SEL3V	COREN	-	ASW2EN	ASW1EN	ASW0EN

ON(ビット7):DA1動作制御
0:DA1モジュールが動作停止となります。
1:DA1モジュールが動作状態となります。

SEL3V(ビット5):3V／5V選択
0:VDDが3．0V以上の時、このビットを“0”に設定してください。
1:VDDが3．0V未満の時、このビットを“1”に設定してください。

COREN(ビット4):
“0”で使用してください。

ASW2EN(ビット2):スイッチASW2制御
0:スイッチASW2が、OFFとなります。
1:スイッチASW2が、ONとなります。

ASW1EN(ビット1):スイッチASW1制御
0:スイッチASW1が、OFFとなります。
1:スイッチASW1が、ONとなります。

ASW0EN(ビット0):スイッチASW0制御
0:スイッチASW0が、OFFとなります。
1:スイッチASW0が、ONとなります。

3-36-4-4 DA1データレジスタ(DA1DAT)

①DA1モジュールのアナログ電圧値を設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F93	0000 0000	R/W	DA1DAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

アナログ電圧値 ＝ VDD×(DA1DAT設定値／256)
となります。

3-36-4-5 DAスイッチ制御レジスタ(DAUS)

①スイッチDA1S2U、DA1S1U、DA1S0U、DA0S2U、DA0S1U、DA0S0Uの制御をするレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F94	L000 L000	R/W	DAUS	-	DA1S2US	DA1S1US	DA1S0US	-	DA0S2US	DA0S1US	DA0S0US

DA1S2US(ビット6):スイッチDA1S2U制御
0:スイッチASW2Uが、OFFとなります。
1:スイッチASW2Uが、ONとなります。
PD5をDA出力端子として使用しない時は、“0”に設定してください。

DA1S1US(ビット5):スイッチDA1S1U制御
0:スイッチASW1Uが、OFFとなります。
1:スイッチASW1Uが、ONとなります。
PD4をDA出力端子として使用しない時は、“0”に設定してください。

DA1S0US(ビット4):スイッチDA1S0U制御
0:スイッチASW0Uが、OFFとなります。
1:スイッチASW0Uが、ONとなります。
PD3をDA出力端子として使用しない時は、“0”に設定してください。

DA0S2US(ビット2):スイッチDA0S2U制御
0:スイッチASW2Uが、OFFとなります。
1:スイッチASW2Uが、ONとなります。
PD2をDA出力端子として使用しない時は、“0”に設定してください。

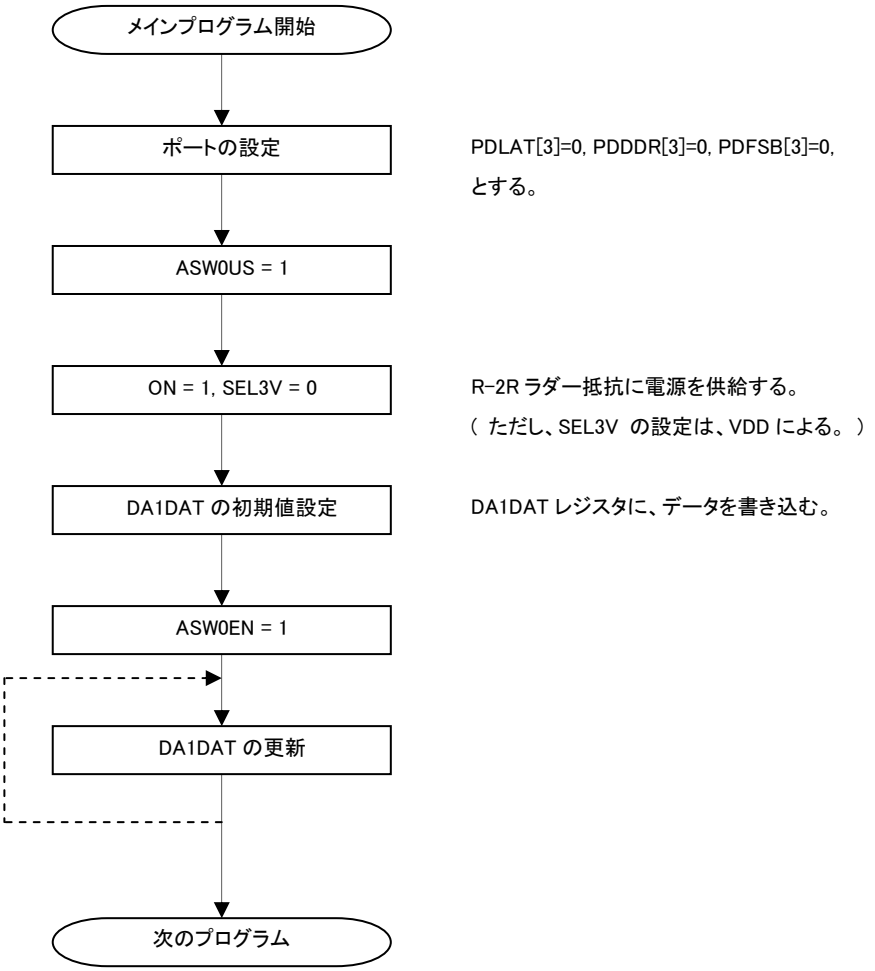
DA0S1US(ビット1):スイッチDA0S1U制御
0:スイッチASW1Uが、OFFとなります。
1:スイッチASW1Uが、ONとなります。
PD1をDA出力端子として使用しない時は、“0”に設定してください。

DA0S0US(ビット0):スイッチDA0S0U制御
0:スイッチASW0Uが、OFFとなります。
1:スイッチASW0Uが、ONとなります。
PD0をDA出力端子として使用しない時は、“0”に設定してください。

3-36-5　ＤＡ出力の具体例

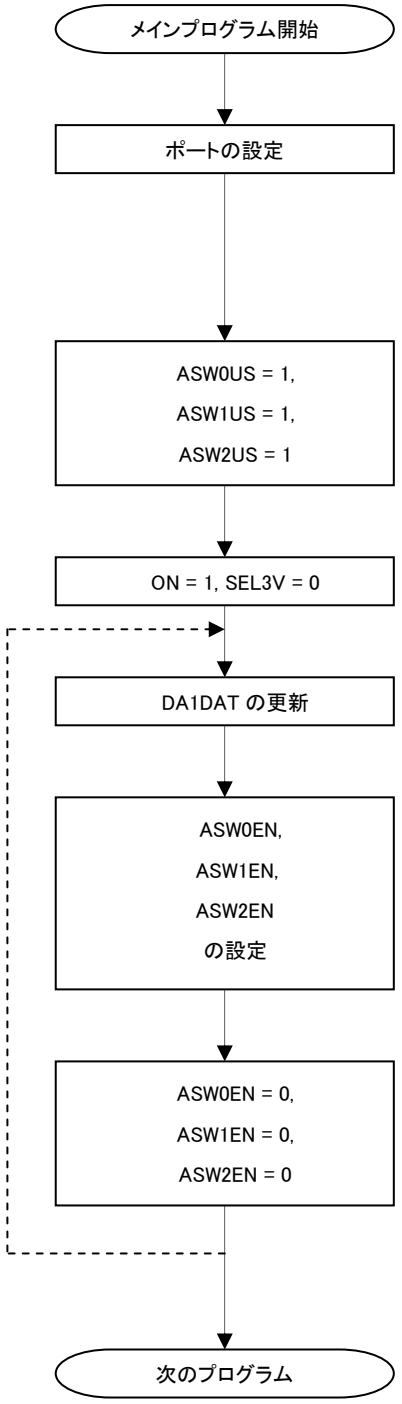
3-36-5-1　１端子（ＤＡ１０）にＤＡ出力する具体例

メインプログラム



3-36-5-2 3端子（DA10、DA11、DA12）にDA出力する具体例

メインプログラム



PDLAT[3]=0, PDDDR[3]=0, PDFSB[3]=0,
PDLAT[4]=0, PDDDR[4]=0, PDFSB[4]=0,
PDLAT[5]=0, PDDDR[5]=0, PDFSB[5]=0,
とする。

R-2R ラダー抵抗に電源を供給する。
（ ただし、SEL3V の設定は、VDD による。）

DA1DAT レジスタに、データを書き込む。

DA10 の出力電圧を、更新する場合、ASW0EN=1, 保持する場合、ASW0EN=0,
DA11 の出力電圧を、更新する場合、ASW1EN=1, 保持する場合、ASW1EN=0,
DA12 の出力電圧を、更新する場合、ASW2EN=1, 保持する場合、ASW2EN=0,
とする。

3-36-5-3　DA出力端子のポート設定

レジスタ設定			PD＜n＞の状態
PDFSB＜n＞	PDDDR＜n＞	PDLAT＜n＞	出力
0	0	0	オープン
1	1	1	オープン

3-37 リアルタイムクロック（RTC）

3-37-1 概要

本シリーズが内蔵しているリアルタイムクロック（RTC）は、次の機能を持ちます。

①西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能（うるう年を含む）

②秒，分，時，日，週，月，年，世紀の独立したカウンタ構成

③HOLDXモード解除機能

3-37-2 機能

①カウントクロック補正機能付きカレンダー

・世紀，年，月，日，時，分，秒をカウント

・西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能（うるう年を含む）

・HOLDXモード時にカウント動作可能

②割り込みの発生

・割り込み要求許可ビットがセットされている場合、日、時、分、秒から選択した周期毎の割り込み要求が発生すると、ベクタアドレス00803CHへの割り込み要求が発生されます。

③ホールドモード時の動作とホールドモードの解除機能

HOLDXモード時RTCは動作を継続します。このHOLDXモードの解除をRTCの割り込みで行うことができます。

この機能により、低消費電流間欠動作が実現できます。

④RTCを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・RTCCNT, SECR, MINR, HOURR, DAYR, WEEKR, MONTHR

・YEARR, CENTR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF0	0000 0000	R/W	RTCCNT	RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0
7EF1	LL00 0000	R/W	SECR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR	-	-	-	-	-	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR	-	-	-	-	-	BIT2	BIT1	BIT0

3-37-3 回路構成

3-37-3-1 リアルタイムクロック制御レジスタ(RTCCNT) (8ビットレジスタ)

①RTCの動作の制御を行います。

3-37-3-2 リアルタイムクロックベースカウンタ

①OSC0からのクロックをカウントする16ビットのカウンタです。

3-37-3-3 クロック補正回路

①カウントクロック補正を補正して秒カウンタのカウントアップクロックを出力します。

3-37-3-4 秒レジスタ(SECR) (6ビットレジスタ)

①RTCの“秒”の初期設定を行うレジスタです。
②RTCの動作時は秒カウンタとなり、クロック補正回路からのクロックを受けて初期設定からカウントアップします。秒のカウントを0から59まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-5 分レジスタ(MINR) (6ビットレジスタ)

①RTCの“分”の初期設定を行うレジスタです。
②RTCの動作時は分カウンタとなり、秒カウンタの桁上がり毎に初期設定値からカウントアップします。分のカウントを0から59まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-6 時レジスタ(HOURR) (5ビットレジスタ)

①RTCの“時”の初期設定を行うレジスタです。
②RTCの動作時は時カウンタとなり、分カウンタの桁上がり毎に初期設定値からカウントアップします。時のカウントを0から23まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-7 日レジスタ(DAYR) (5ビットレジスタ)

①RTCの“日”の初期設定を行うレジスタです。
②RTCの動作時は日カウンタとなり、時カウンタの桁上がり毎に初期設定値からカウントアップします。日のカウントをMONTHR, YEARR, CENTRの値により1から28, 29, 30または31まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-8 週レジスタ(WEEKR) (3ビットレジスタ)

①RTCの“週”の初期設定を行うレジスタです。
②RTCの動作時は週カウンタとなり、日カウンタの桁上がり毎に初期設定値からカウントアップします。週のカウントを0から6まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-9 月レジスタ（MONTHR） （4ビットレジスタ）

①RTCの“月”の初期設定を行うレジスタです。
②RTCの動作時は月カウンタとなり、日カウンタの桁上がり毎に初期設定値からカウントアップします。月のカウントを1から12まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-10 年レジスタ（YEARR） （7ビットレジスタ）

①RTCの“年”の初期設定を行うレジスタです。
②RTCの動作時は年カウンタとなり、月カウンタの桁上がり毎に初期設定値からカウントアップします。年のカウントを0から99まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-3-11 世紀レジスタ（CENTR） （3ビットレジスタ）

①RTCの“世紀”の初期設定を行うレジスタです。
②RTCの動作時は世紀カウンタとなり、年カウンタの桁上がり毎に初期設定値からカウントアップします。世紀のカウントを0（2000年）から7（2700年）まで行います。
③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-37-4 関連レジスタ

3-37-4-1 RTC制御レジスタ(RTCCNT)

①RTCの動作の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF0	0000 0000	R/W	RTCCNT	RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0

RUN(ビット7):RTC動作フラグ

①このビットが“1”の時、RTCは動作中です。

②このビットが“0”の時、RTCは停止中です。

UPFLG(ビット6):カウントアップフラグ

①RTCのカウンタに変化があった時“1”になります。

②時刻読み出し時に“0”にクリアし、世紀,年,月,週,日,時,分,秒を示すレジスタを連続的に読み出した後、このビットを読み出し“0”ならば有効な時刻になります。

③このビットのクリアは命令で行います。

INTFLG(ビット5):RTC割り込みフラグ

①ICSEL[1:0]で設定された割り込み周期毎にセットされます。

②このフラグは命令でクリアしてください。

IE(ビット4):RTC割り込み要求発生許可制御

このビットINTFLGがともに“1”の時、「HOLDXモード解除信号」と「ベクタアドレス00803CHへの割り込み要求」が発生します。

ICSEL(ビット3、2):RTC割り込み周期制御

ICSEL<1>	ICSEL<0>	RTC割り込み周期
0	0	秒カウンタのインクリメント毎
0	1	分カウンタのインクリメント毎
1	0	時カウンタのインクリメント毎
1	1	日カウンタのインクリメント毎

(ビット1,0):

“0”で使用してください。

3-37-4-2 秒レジスタ(SECR)

①RTC動作停止時:6ビットの秒カウンタの初期設定を行います。有効設定値は0～3BHです。

②RTC動作時:6ビットの秒カウンタの値を読み出すために使用します。

③RTC動作状態(RUN=1)からRTC停止状態(RUN=0)に移行した際、全ビットクリアされます。

④レジスタ値の00Hは0秒を表し、3BHは59秒を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF1	LL00 0000	R/W	SECR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-37-4-3 分レジスタ(MINR)

①RTC動作停止時:6ビットの分カウンタの初期設定を行います。有効設定値は0～3BHです。

②RTC動作時：6ビットの分カウンタの値を読み出すために使用します。
③RTC動作状態（RUN＝1）からRTC停止状態（RUN＝0）に移行した際、全ビットクリアされます。
④レジスタ値の00Hは0分を表し、3BHは59分を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-37-4-4 時レジスタ（HOURR）

①RTC動作停止時：5ビットの時カウンタの初期設定を行います。有効設定値は0～17Hです。
②RTC動作時：5ビットの時カウンタの値を読み出すために使用します。
③RTC動作状態（RUN＝1）からRTC停止状態（RUN＝0）に移行した際、全ビットクリアされます。
④レジスタ値の00Hは0時を表し、17Hは23時を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-37-4-5 日レジスタ（DAYR）

①RTC動作停止時：5ビットの日カウンタの初期設定を行います。有効設定値は0～1FHです。
②RTC動作時：5ビットの日カウンタの値を読み出すために使用します。
③RTC動作状態（RUN＝1）からRTC停止状態（RUN＝0）に移行した際、初期値に戻ります。
④レジスタ値の01Hは1日を表し、1C，1D，1Eまたは1Fはそれぞれ28日，29日，30日，31日を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

表３－37－1 月と日レジスタの関係表

月	日レジスタのカウント
1月，3月，5月，7月，8月，10月，12月	01H～01FH（1日～31日）
4月，6月，9月，11月	01H～01EH（1日～30日）
2月（うるう年）	01H～01DH（1日～29日）
2月（通常年）	01H～01CH（1日～28日）

※うるう年は基本的に4年に1度ですが、100で割れる年はうるう年ではなく、400で割れる年はうるう年です。

3-37-4-6 週レジスタ（WEEKR）

①RTC動作停止時：3ビットの週カウンタの初期設定を行います。有効設定値は0～6Hです。
②RTC動作時：3ビットの週カウンタの値を読み出すために使用します。
③RTC動作状態（RUN＝1）からRTC停止状態（RUN＝0）に移行した際、初期値に戻ります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR	-	-	-	-	-	BIT2	BIT1	BIT0

3-37-4-7 月レジスタ(MONTHR)

①RTC動作停止時:4ビットの月カウンタの初期設定を行います。有効設定値は0～CHです。
②RTC動作時:4ビットの月カウンタの値を読み出すために使用します。
③RTC動作状態(RUN＝1)からRTC停止状態(RUN＝0)に移行した際、初期値に戻ります。
④レジスタ値の01Hは1月を表し、CHは12月を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-37-4-8 年レジスタ(YEARR)

①RTC動作停止時:7ビットの年カウンタの初期設定を行います。有効設定値は0～63Hです。
②RTC動作時:7ビットの年カウンタの値を読み出すために使用します。
③RTC動作状態(RUN＝1)からRTC停止状態(RUN＝0)に移行した際、全ビットクリアされます。
④レジスタ値の0000Hは0年を表し、63Hは99年を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-37-4-9 世紀レジスタ(CENTR)

①RTC動作停止時:3ビットの世紀カウンタの初期設定を行います。有効設定値は0～3Hです。
②RTC動作時:3ビットの世紀カウンタの値を読み出すために使用します。
③RTC動作状態(RUN＝1)からRTC停止状態(RUN＝0)に移行した際、全ビットクリアされます。
④レジスタ値の00Hは2000年を表し、07Hは2700年を表します。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR	-	-	-	-	-	BIT2	BIT1	BIT0

表3－37－2 世紀レジスタと年、うるう年の関係表

CENTR2	CENTR1	CENTR0	年	うるう年
0	0	0	2000	○
0	0	1	2100	×
0	1	0	2200	×
0	1	1	2300	×
1	0	0	2400	○
1	0	1	2500	×
1	1	0	2600	×
1	1	1	2700	×

3-37-5 RTCの動作

3-37-5-1 RTCの初期化

RTCは、リセット時、全ビットが“0“（DAYRとMONTHRは01H）にクリアされます。
カウンタ動作開始の後、カウンタを停止する時にも、全ビットが“0”（DAYRとMONTHRは01H）にクリアされます。

3-37-5-2 RTCレジスタ設定時の注意点

SECR, MINR, HOURR, DAYLR, DAYHR, DAYR, WEEKR, MONTHR, YEARRおよびCENTRレジスタを設定する場合は、RTC動作フラグ（RUN）をクリアし、RTCの動作を止めてから行ってください。
RTC動作中に上記で示すレジスタの設定を行うと正しく設定されません。

3-37-5-3 RTCの読み出し方法

読み出したデータの間違いを防ぐため、以下のような方法で読み出したデータを採用してください。

○方法１
SECR, MINR, HOURR,（必要であればDAYLR, DAYHR）, DAYR, MONTHR, YEARRおよびCENTRレジスタを連続して読み出したデータと2回目に連続して読み出したデータが一致していたらデータとして採用する。

○方法２
UPFLG（RTCCNTのビット6）をクリアした後に、SECR, MINR, HOURR, DAYR, MONTHR, YEARRおよびCENTRレジスタを連続して読み出す。読み出し後、UPFLGを読み、クリアされたままならデータとして採用する。

3-37-5-4 RTCのHALTモード時の動作

HALTモード時、RTCは動作します。

3-37-5-5 RTCのHOLDXモード時の動作

HOLDXモード時、RTCは動作します。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズには外部入力による割り込み要因と、内部ブロックの動作結果から生じる割り込み要因があります。
割り込み個別許可フラグと一括許可フラグでそれぞれの割り込みの許可・禁止が設定できる割り込みベクタに対し、3レベルの割り込みレベルが設定可能です。
また、一括許可フラグに影響されない例外処理の割り込みが存在します。

4-1-2 機能

①割り込み動作
- 周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- CPUは周辺モジュールからの割り込み要求を受け付けると、割り込みレベル、優先順位割り込み許可状態を判断します。その結果、割り込みを受け付ける場合にはPCの値とPSWの値をスタックに退避し、あらかじめ決められているベクタアドレスに分岐します。その際、3サイクルかかります。
- 割り込みルーチンからの復帰は、IRET命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

②割り込み要求の許可受付制御
- 最高位レベルの割り込み以外は、IE（PSWのビット7）で割り込み要求受付の許可／禁止の制御ができます。

③多重割り込み制御
- 割り込みレベル設定レジスタ（IL1L，IL1H，IL2L，IL2H）で3つの割り込みレベルが設定できます。
- 割り込み処理中に同一レベルまたは下位レベルの割り込み要求があっても受け付けられません。
- 現在の割り込み優先レベルはPSWのビット8～10に設定されています。

④割り込みの優先
- 異なる優先レベルの割り込みが同時に発生した時は、優先レベルの高いものが優先されます。また、同じ優先レベルの割り込みが同時に発生した時は、割り込みベクタアドレスの小さいものが優先されます。

⑤割り込み受け付け禁止期間
- HOLD、HOLDX解除後の2Tcycの期間割り込みは受け付けられません。
- HALT，HOLD，HOLDX命令の直前での割り込みは禁止されます。
- IRET命令と次の命令実行の間には割り込みは発生しません。

⑥割り込みレベル制御

・割り込みレベル設定レジスタ(IL1L, IL1H, IL2L, IL2H)で、ベクタ単位で割り込みの許可／禁止の設定と3つの割り込み優先レベルの設定ができます。

⑦例外処理の割り込み

・例外割り込み制御レジスタ(EXCPL、EXCPH)で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。

・例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

⑧割り込みの許可や割り込みの優先レベルの指定を行うにはR14(PSW)と次に示す特殊機能レジスタを操作する必要があります。

・R14、IL1L、IL1H、IL2L、IL2H、EXCPL、EXCPH

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	
7F08	0000 0000	R/W	EXCPL	CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE
7F09	LL00 L0L0	R/W	EXCPH	UART1_FLG	UART1_IE	UART0_FLG	UART0_IE	UART1_ITYPE	UART0_ITYPE	−	MOVEVEC

4-1-3 割り込み一覧

①本シリーズの割り込み一覧

No.	ベクタ	割り込み(周辺機能)
1	08000H	ウォッチドッグタイマ (1)
2	08004H	ベースタイマ (2)
3	08008H	タイマ 0 (2)
4	0800CH	INT0 (1)
5	08010H	
6	08014H	INT1 (1)
7	08018H	INT2 (1)／タイマ 1 (2)／UART2 (4)
8	0801CH	INT3 (1)／タイマ 2 (4)／SMIIC0 (1)／SLIIC0 (1)
9	08020H	INT4 (1)／タイマ 3 (2)
10	08024H	INT5 (1)／タイマ 4 (1)／SIO1 (2)
11	08028H	
12	0802CH	PWM0 (1)／PWM1 (1)／SMIIC1 (1)
13	08030H	ADC (1)／タイマ 5 (1)
14	08034H	INT6 (1)／タイマ 6 (1)／UART3 (4)
15	08038H	INT7 (1)／タイマ 7 (1)／SIO0 (2)／UART4 (4)
16	0803CH	ポート 0 (3)／ポート 5 (8)／RTC (1)

・()内の数字はモジュールにおける割り込み要因数

・優先レベル　3＞2＞1

・同一レベルではベクタアドレスの小さいものが優先されます。

②本シリーズの例外処理割り込み一覧

No.	ベクタアドレス	割り込み(例外処理)
1	8080H	例外処理(5)

・( )内の数字は割り込み要因数

・例外処理割り込みは、①のすべての周辺機能による割り込みよりも優先されます。

4-1-4 関連レジスタ

4-1-4-1 R14(PSW)

①CPUの状態を格納する16ビットのレジスタです。

②ビット7～10で割り込みの制御を行います。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 ＊このビットが1でないとすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。 ＊IE＝1の時、IL2～IL0で指定されたレベルより高いレベルの割り込み要求が受け付けられます。
9	IL1	
10	IL2	
11	WS	例外割り込み制御レジスタの書き込み制御。(0／1:禁止／許可)
12	N0	N3～N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタの番号がここに入ります。
13	N1	
14	N2	
15	N3	

(注)MUL・DIV・DIVLH・SDIV・SDIVLH命令実行時のフラグ変化は以下のようになります。

Z8,Z16,P,S … 演算結果のR0の値に影響を受けて変化します。
HC,OV,N0～N3 … クリアされます。
CY … MUL・DIV・DIVLH命令時は、クリアされます。
SDIV・SDIVLH命令時は、Sフラグと同一の値になります。

4-1-4-2 割り込みレベル設定レジスタ1L

①ベクタ毎の割り込みレベルを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	

IRQ3(ビット7、6):ベクタアドレス800CH割り込みレベル設定

上記2ビットでベクタアドレス800CHの割り込みレベルを設定します。

IRQ3	割り込みレベル(800CH)
11	3
10	2
01	1
00	割り込み禁止

T0(ビット5、4):ベクタアドレス8008H割り込みレベル設定

上記2ビットでベクタアドレス8008Hの割り込みレベルを設定します。

T0	割り込みレベル(8008H)
11	3
10	2
01	1
00	割り込み禁止

BT(ビット3、2):ベクタアドレス8004H割り込みレベル設定

上記2ビットでベクタアドレス8004Hの割り込みレベルを設定します。

BT	割り込みレベル(8004H)
11	3
10	2
01	1
00	割り込み禁止

WDT(ビット1、0):ベクタアドレス8000H割り込みレベル設定

上記2ビットでベクタアドレス8000Hの割り込みレベルを設定します。

WDT	割り込みレベル(8000H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-3 割り込みレベル設定レジスタ1H

①ベクタ毎の割り込みレベルを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	

IRQ7(ビット7、6):ベクタアドレス801CH割り込みレベル設定

上記2ビットでベクタアドレス801CHの割り込みレベルを設定します。

IRQ7	割り込みレベル(801CH)
11	3
10	2
01	1
00	割り込み禁止

IRQ6(ビット5、4):ベクタアドレス8018H割り込みレベル設定

上記2ビットでベクタアドレス8018Hの割り込みレベルを設定します。

IRQ6	割り込みレベル(8018H)
11	3
10	2
01	1
00	割り込み禁止

IRQ5(ビット3、2):ベクタアドレス8014H割り込みレベル設定

上記2ビットでベクタアドレス8014Hの割り込みレベルを設定します。

IRQ5	割り込みレベル(8014H)
11	3
10	2
01	1
00	割り込み禁止

IRQ4(ビット1、0):ベクタアドレス8010H割り込みレベル設定

上記2ビットでベクタアドレス8010Hの割り込みレベルを設定します。

IRQ4	割り込みレベル(8010H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-4 割り込みレベル設定レジスタ2L

①ベクタ毎の割り込みレベルを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	

IRQB(ビット7、6):ベクタアドレス802CH割り込みレベル設定

上記2ビットでベクタアドレス802CHの割り込みレベルを設定します。

IRQB	割り込みレベル(802CH)
11	3
10	2
01	1
00	割り込み禁止

IRQA(ビット5、4):ベクタアドレス8028H割り込みレベル設定

上記2ビットでベクタアドレス8028Hの割り込みレベルを設定します。

IRQA	割り込みレベル(8028H)
11	3
10	2
01	1
00	割り込み禁止

IRQ9(ビット3、2):ベクタアドレス8024H割り込みレベル設定

上記2ビットでベクタアドレス8024Hの割り込みレベルを設定します。

IRQ9	割り込みレベル(8024H)
11	3
10	2
01	1
00	割り込み禁止

IRQ8(ビット1、0):ベクタアドレス8020H割り込みレベル設定

上記2ビットでベクタアドレス8020Hの割り込みレベルを設定します。

IRQ8	割り込みレベル(8020H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-5 割り込みレベル設定レジスタ2H

①ベクタ毎の割り込みレベルを設定するレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	

IRQF（ビット7、6）：ベクタアドレス803CH割り込みレベル設定

上記2ビットでベクタアドレス803CHの割り込みレベルを設定します。

IRQF	割り込みレベル（803CH）
11	3
10	2
01	1
00	割り込み禁止

IRQE（ビット5、4）：ベクタアドレス8038H割り込みレベル設定

上記2ビットでベクタアドレス8038Hの割り込みレベルを設定します。

IRQE	割り込みレベル（8038H）
11	3
10	2
01	1
00	割り込み禁止

IRQD（ビット3、2）：ベクタアドレス8034H割り込みレベル設定

上記2ビットでベクタアドレス8034Hの割り込みレベルを設定します。

IRQD	割り込みレベル（8034H）
11	3
10	2
01	1
00	割り込み禁止

IRQC（ビット1、0）：ベクタアドレス8030H割り込みレベル設定

上記2ビットでベクタアドレス8030Hの割り込みレベルを設定します。

IRQC	割り込みレベル（8030H）
11	3
10	2
01	1
00	割り込み禁止

4-1-4-6 例外割り込み制御レジスタ下位

①R14(PSW)のビット11が1の時、書き込みを行うことができます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F08	0000 0000	R/W	EXCPL	CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE

CLKSTP__FLG(ビット7):発振停止検出フラグ

CLKSTP__IEが1の時システムクロックが停止するとセットされます。
このビットは命令で0にクリアしてください。

CLKSTP__IE(ビット6):発振停止割り込み許可

このビットとCLKSTP__FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。
このビットが1の時、低速RC発振回路が動作し、発振停止検出回路が動作します。

ADDERR__FLG(ビット5):アドレスエラーフラグ

実装されているメモリ空間の領域外をアクセスするとセットされます。
このビットは命令で0にクリアしてください。

ADDERR__IE(ビット4):アドレスエラー割り込み許可

このビットとADDERR__FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

ODDACC__FLG(ビット3):ワード命令奇数アドレスアクセスフラグ

奇数アドレスに対しワード命令でアクセスした時にセットされます。
このビットは命令で0にクリアしてください。

ODDACC__IE(ビット2):ワード命令奇数アドレスアクセス割り込み許可

このビットとODDACC__FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

NONINS__FLG(ビット1):未定義命令チェックフラグ

未定義の命令コードを実行するとセットされます。
このビットは命令で0にクリアしてください。

NONINS__IE(ビット0):未定義命令チェック割り込み許可

このビットとNONINS__FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

4-1-4-7 例外割り込み制御レジスタ上位

① R14(PSW)のビット11が1の時、書き込みを行うことができます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F09	LL00 L0L0	R/W	EXCPH	UART1 _FLG	UART1 _IE	UART0 _FLG	UART0 _IE	UART1 _ITYPE	UART0 _ITYPE	-	MOVEVEC

UART1__FLG(ビット7):予約ビット
0で使用してください。

UART1__IE(ビット6):予約ビット
0で使用してください。

UART0__FLG(ビット5):UART0割り込みフラグ
UART0の割り込み要求フラグを見るレジスタです。
このビットはリードオンリーです。

UART0__IE(ビット4):UART0割り込み許可
このビットとUART0__FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

UART1__ITYPE(ビット3):予約ビット
0で使用してください。

UART0__ITYPE(ビット2):UART0割り込みマスク制御
このビットが1の時、UART0割り込みはIEによって許可・禁止を制御されます。
このビットが0の時、UART0割り込みはIEの値にかかわらず許可されます。

MOVEVEC(ビット0):予約ビット
0で使用してください。

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック源として、OSC1、OSC0、RC発振回路の3系統のクロックからプログラムでシステムクロックを選択します。RC発振回路は、抵抗R、コンデンサCを内蔵しており、外付け回路の必要がありません。
また、システムクロックの分周出力をベースタイマのクロック源として使用することができます。
（1）OSC1：CF発振回路、VCO発振器
（2）OSC0：水晶発振回路

4-2-2 機能

①システムクロック選択
・OSC1，OSC0，RC発振の3系統のクロックからシステムクロックを選択します。

②ステムクロック分周
・システムクロックとして選択されたクロックを分周してシステムクロックとして供給します。
・分周は$\frac{1}{1}$，$\frac{1}{2}$，$\frac{1}{4}$，$\frac{1}{8}$，$\frac{1}{16}$，$\frac{1}{32}$，$\frac{1}{64}$，$\frac{1}{128}$の選択ができます。

③発振回路制御
・命令で上記3系統のクロック源の動作／停止を独立に制御できます。

④ベースタイマへのクロック供給
・システムクロックの分周出力をベースタイマのクロックとして供給することができます。
・分周は$\frac{1}{32}$，$\frac{1}{64}$，$\frac{1}{128}$，$\frac{1}{256}$の選択ができます。

⑤周辺モジュールへのクロック供給
・上記3系統のクロックを周辺モジュールで使用します。詳細は周辺モジュールを参照してください。

⑥システムクロックを制御するには次に示す特殊機能レジスタを操作する必要があります。

・OCR0，OCR1

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

4-2-3 回路構成

4-2-3-1 OSC1

4-2-3-1-1 CF発振回路

①CF1，CF2端子にセラミック発振子と容量を接続することにより発振可能になります。

4-2-3-1-2 VCO発振回路

①VCOの分周出力とリファレンスクロック(OSC0)と、位相比較器によりPLL回路が構成されています。

②VCO出力周波数範囲(リファレンスクロック(OSC0)が32kHzの場合)
VCO出力周波数最低値≒5．5MHz(OSC0周波数×168)
VCO出力周波数最高値≒11．1MHz(OSC0周波数×339)

4-2-3-2 OSC0

4-2-3-2-1 XT発振回路

①XT1，XT2端子に水晶発振子(32．768kHz)と容量，帰還抵抗，ダンピング抵抗を接続することにより発振可能となります。

4-2-3-3 RC発振回路

①内蔵の抵抗と容量で発振します。
②リセットまたはHOLD解除後には、RC発振のクロックがシステムクロックとなります。
③振開始直後から正常な周波数で発振を行います。

4-2-3-4 発振制御レジスタ0(OCR0)　(8ビットレジスタ)

①発振回路の選択と動作停止／開始の制御を行います。

4-2-3-5 発振制御レジスタ1(OCR1)　(8ビットレジスタ)

①システムクロック分周回路の制御を行います。
②ベースタイマへの供給クロック選択を行います。

4-2-3-6 OSCPLL制御レジスタ(OSCPLLC)　(8ビットレジスタ)

①PLL回路の動作制御を行います。

システムクロック

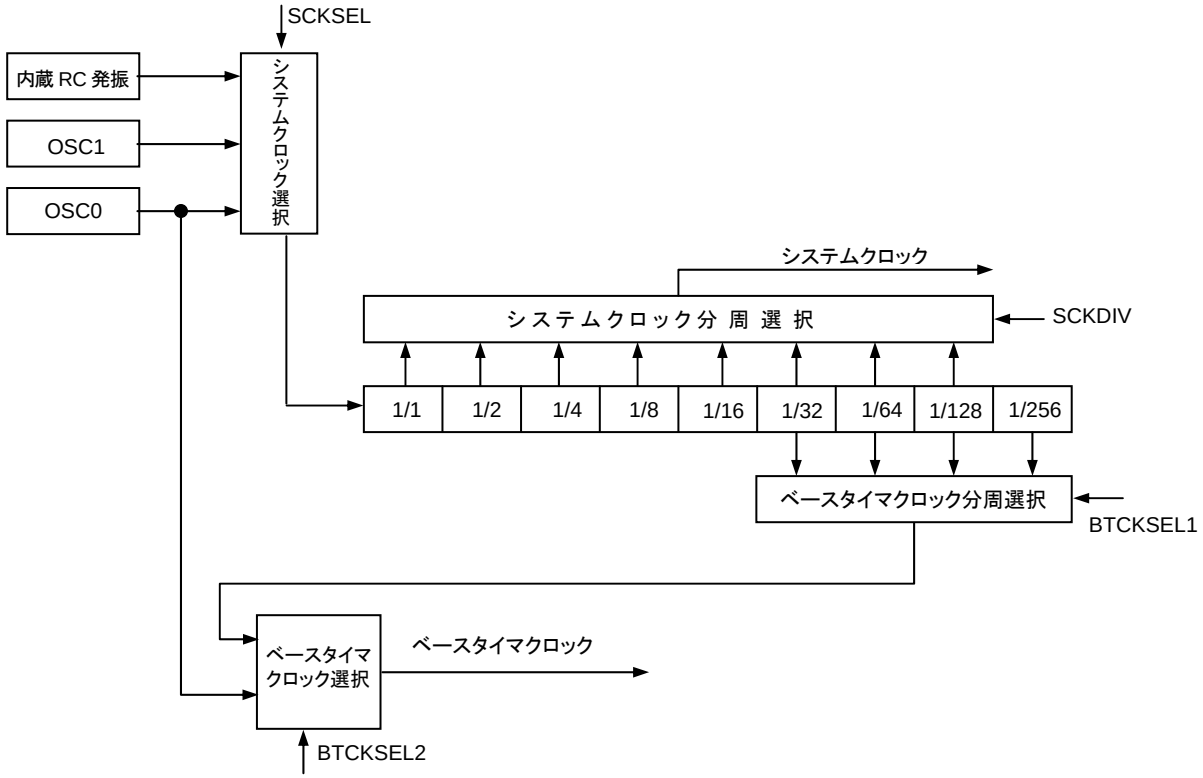


図４－２－１　システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 発振制御レジスタ0

①発振回路の選択と動作停止／開始の制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0

SCKSEL(ビット6、5):システムクロック選択

上記2ビットでシステムクロック源を選択します。

SCKSEL	システムクロック
11	OSC0
10	OSC1
01	RC発振
00	RC発振

RCSTOP(ビット4):RC発振動作制御

このビットが“1”の時、RC発振は停止します。

このビットが“0”の時、RC発振は動作します。

OSC1TYPE1(ビット7):OSC1回路選択1

OSC1TYPE0(ビット3):OSC1回路選択0

上記2ビットでOSC1を選択します。

OSC1TYPE1	OSC1TYPE0	OSC1回路選択
1	1	CF発振回路
1	0	VCO発振回路
0	1	設定禁止
0	0	発振停止

OSC0TYPE(ビット2):OSC0回路選択

このビットでOSC0を選択します。

OSC0TYPE	OSC0回路選択
1	XT発振回路
0	汎用ポート

ENOSC1(ビット1):OSC1動作制御

このビットが“1”の時、選択されたOSC1回路が動作します。

このビットが“0”の時、OSC1は停止します。

ENOSC0(ビット0):OSC0動作制御

このビットが“1”の時、選択されたOSC0回路が動作します。

このビットが“0”の時、OSC0は停止します。

4-2-4-2 発振制御レジスタ1

①システムクロック分周回路の制御を行います。
②ベースタイマへの供給クロック選択を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

BTCKSEL2(ビット7):ベースタイマクロック選択

このビットでベースタイマのクロックを選択します。

BTCKSEL2	ベースタイマクロック
1	システムクロックの分周出力(注)
0	OSC0

(注)分周比はビット5,4で設定します。

BTCKSEL1(ビット5、4):ベースタイマクロック分周設定

このビットでベースタイマへ供給するシステムクロック分周出力の分周比を選択します。

BTCKSEL1	分周比
00	$\frac{1}{32}$
01	$\frac{1}{64}$
10	$\frac{1}{128}$
11	$\frac{1}{256}$

SCKDIV(ビット2～0):システムクロック分周設定

SCKDIV	分周比
000	$\frac{1}{1}$
001	$\frac{1}{2}$
010	$\frac{1}{4}$
011	$\frac{1}{8}$
100	$\frac{1}{16}$
101	$\frac{1}{32}$
110	$\frac{1}{64}$
111	$\frac{1}{128}$

4-2-4-3 OSCPLL制御レジスタ(OSCPLLC)

①PLL回路の動作制御を行うレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F88	0000 0000	R/W	OSCPLLC	TEST	-	SELDLY		SELDIV		VC3	PLLON

TEST(ビット7):テストモード設定ビット

このビットは、0に設定して使用してください。

SELDLY(ビット5, 4):逓倍比設定レジスタ

SELDIV(ビット3, 2):逓倍比設定レジスタ

SELDLY,SELDIV の設定値により、VCOの発振周波数が以下のように設定されます。

VCO発振周波数＝OSC0周波数×(56×(SELDIV+3)＋SELDLY)

SELDIVの値は、PLL回路動作中(PLLON=1)に変更しないでください。
SELDLYの値は、PLL回路動作中(PLLON=1)に書き換えることができます。

VC3(ビット1):電源電圧選択ビット

マイコンの電源電圧により、このビットを設定してください。
電源電圧5V系の場合、このビットを0に設定してください。
電源電圧3V系の場合、このビットを1に設定してください。

PLLON(ビット0):PLL回路動作制御ビット

このビットが0の時、PLL回路は動作を停止します。
このビットが1の時、PLL回路は動作を開始します。

4-3 スタンバイ機 能

4-3-1 概 要

本シリーズは、停 電 時 や待 機 中 の消 費 電 流 を低 減 するためにHALT(ホルト), HOLD(ホールド), HOLDX(ホールドX)と呼 ばれる3つのスタンバイモードがあります。スタンバイ状 態 では、命 令 の実 行 は停 止 します。

4-3-2 機 能

①HALTモード
- ・命 令 の実 行 は停 止 するが、周 辺 回 路 は動 作 を継 続 します。
- ・HALT命 令 を実 行 することにより、HALTモードに入 ります。
- ・リセットまたは割 り込 み要 求 の受 付 により、通 常 動 作 モードに復 帰 します。

②HOLDモード
- ・全 ての発 振 が停 止 します。命 令 の実 行 が停 止 し、周 辺 回 路 も動 作 停 止 します。
- ・HOLD命 令 を実 行 することにより、HOLDモードに入 ります。
- ・リセットまたはHOLD解 除 信 号 の発 生 により、HALTモードに移 行 します。

③HOLDXモード
- ・OSC0以 外 の発 振 が停 止 します。命 令 の実 行 が停 止 し、OSC0のクロック以 外 で動 作 する周 辺 回 路 も動 作 停 止 します。
- ・HOLDX命 令 を実 行 することにより、HOLDXモードに入 ります。
- ・リセットまたはHOLDX解 除 信 号 の発 生 により、HALTモードに移 行 します。
- ・HOLDX解 除 時 、OSC1・RC発 振 の発 振 状 態 、及 びシステムクロック選 択 は突 入 時 の状 態 に戻 ります。OSC1にCF発 振 子 を接 続 している場 合 は、発 振 安 定 時 間 が必 要 となりますので、HOLDXモードに入 る前 に、システムクロックとしてOSC0またはRC発 振 を選 択 してください。

※HOLD／HOLDX解 除 信 号 は各 周 辺 システムからの割 り込 み要 求 信 号 です。したがって各 周 辺 システムの割 り込 み要 求 が成 立 したままHOLD／HOLDX命 令 を実 行 してもすぐにHOLD／HOLDXモードから移 行 してしまいます。
- ・割 り込 み受 け付 けが許 可 されていた場 合 は通 常 動 作 へ移 行 。
- ・割 り込 み受 け付 けが禁 止 されていた場 合 はHALTモード移 行 。

(注)割 り込 みの受 け付 けに関 しては、4－1章 を参 照 してください。

※周 辺 システムでHOLD／HOLDXモードから復 帰 させる場 合 は、HOLD／HOLDXモードに入 る前 に解 除 要 因 以 外 の周 辺 システムの割 り込 み要 求 を禁 止 してください。

※リセット条 件 のみでHOLD／HOLDXモードから復 帰 させる場 合 は、HOLD／HOLDXモードに入 る前 にすべての周 辺 システムの割 り込 み要 求 を禁 止 してください。

HALT,HOLD,HOLDXの3種類の命令を2つ以上連続して記述しないでください。

（例）

```
    :
    HOLD
    HALT    } 記述NG
    :

    :
    HALT
    NOP     } 記述OK
    HALT
    :
```

表 4－3－1　スタンバイ動 作

項目／モード	リセット状態	HALTモード	HOLDモード	HOLDXモード
突入条件	・RESB信号印加 ・ウォッチドッグタイマのリセット発生	HALT命令実行	HOLD命令実行	HOLDX命令実行
突入後、 変化するデータ	別紙のように初期化される。 （表2－6－1）	なし	・WDTCRのビット3がセットされている場合、WDTCRのビット0がクリアされる。 ・OCR0, OCR1レジスタが00になる。	・WDTCRのビット3がセットされている場合、WDTCRのビット0がクリアされる。
OCR0, OCR1	初期化される	変化しない	初期化される	変化しない
OSC0	停止	突入時の状態	停止	突入時の状態
OSC1	停止	突入時の状態	停止	停止
RC発振	停止	突入時の状態	停止	停止
CPU	初期化される	停止	停止	停止
I／O端子状態	表4－3－2参照	←	←	←
RAM	・RESB場合：不定 ・ウォッチドッグタイマリセットの場合：データ保持	データ保持	データ保持	データ保持
周辺モジュール	停止	突入時の状態	停止	OSC0で動作しているモジュール：突入時の状態 その他：停止
復帰条件	突入条件の解消	・割り込み要求の受付 ・リセット条件の成立	・INT0～7, P0INT, UART2, SIO0, SIO1からの割り込み要求の受付 ・リセット条件の成立	・INT0～7, P0INT, UART2, SIO0, SIO1, OSC0で動作しているモジュールからの割り込み要求の受付 ・リセット条件の成立
復帰先	通常動作モード	通常動作モード	HALTモード (注1)	HALTモード (注1)
復帰後に変化するデータ	なし	なし	なし	なし

注 1：リセット突 入 条 件 の 成 立 で 復 帰 し た 場 合 、リセット状 態 に 移 行 す る。

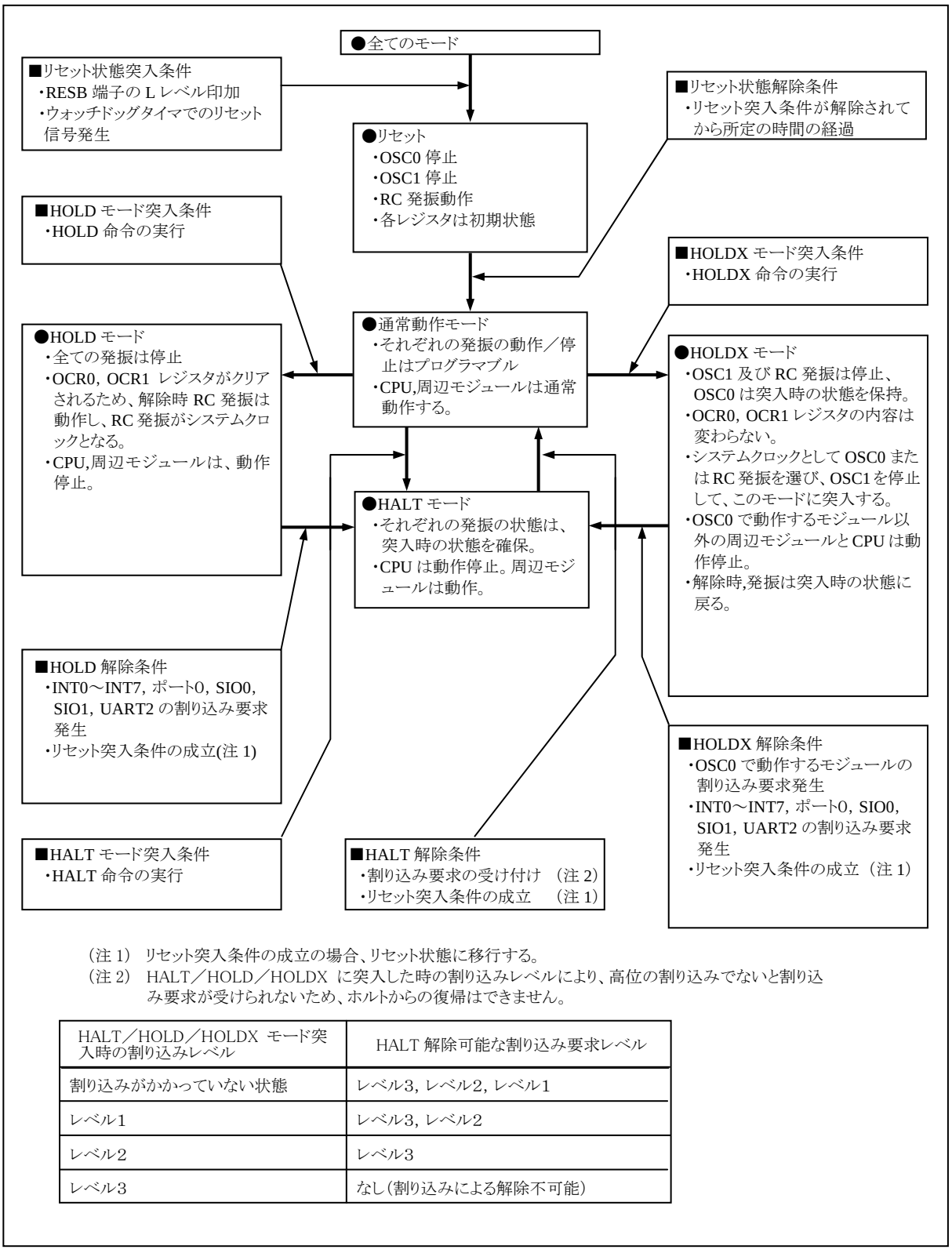
表４－３－２　モードによる端子状態（本シリーズ）

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RESB	・入力端子	←	←	←	←
PC0	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0AH)で X'tal 発振用入力端子として使用を制御。 ・入力／出力はプログラムで制御。 ※発振端子として使用時は PC0 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプロクラムで制御。	← ←	・HOLD 突入時の PC0 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗は OFF。	・HOLD 時の状態。
PC1	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0EH)で X'tal 発振用出力端子として使用を制御。 ・入力／出力はプログラムで制御 ※発振端子として使用時は PC1 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプロクラムで制御。	←	・HOLD 突入時の PC1 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗は OFF	・HOLD 時の状態。
CF1	・CF 発振用インバータの入力。 ・CF1,CF2 の間に帰還抵抗あり。	・CF 発振用インバータの入力。 ・レジスタ OCR0(7F0AH)で発振可能／停止を制御。 ・CF1,CF2 の間に帰還抵抗あり。	←	・発振停止状態。 ・CF1,CF2 の間に帰還抵抗あり。	・リセット時と同じ。 ※HOLDX 解除時は突入時の状態。
CF2	・CF 発振用インバータの出力 ・発振可能状態。	・CF 発振用インバータの出力。 ・レジスタ OCR0(7F0AH)で発振可能／停止を制御。 ・発振停止時は CF1 に関係なく VDD レベル出力。	←	・発振停止状態。 ・CF1 に関係なく VDD レベル出力。	・リセット時と同じ。 ※HOLDX 解除時は突入時の状態。
P00-P07	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P20-P27	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P30-P37	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←

次ページへ続く

モードによる端 子 状 態（続 き）

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
P40-P47	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P60-P67	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P70-P77	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
PA0-PA7	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
PB0-PB6	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
PD0-PD5	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
PC2	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
TEST	・オンチップデバッガ通信端子	←	←	←	←



（注 1） リセット突入条件の成立の場合、リセット状態に移行する。
（注 2） HALT／HOLD／HOLDX に突入した時の割り込みレベルにより、高位の割り込みでないと割り込み要求が受けられないため、ホルトからの復帰はできません。

HALT／HOLD／HOLDX モード突入時の割り込みレベル	HALT 解除可能な割り込み要求レベル
割り込みがかかっていない状態	レベル3, レベル2, レベル1
レベル1	レベル3, レベル2
レベル2	レベル3
レベル3	なし(割り込みによる解除不可能)

図４－３－１　スタンバイモード遷移

4-4 リセット機 能

4-4-1 概 要

リセット機 能 とは、電 源 投 入 時 や動 作 中 にマイクロコンピュータを初 期 化 する機 能 です。

4-4-2 機 能

本 シリーズは、次 の三 つの機 能 を持 っています。

①RESB端 子 による外 部 リセット機 能

・電 源 が安 定 してからRESB端 子 の[L]レベルを10[μS]以 上 印 加 することで、確 実 にリセットがかかります。しかしわずかな幅 の[L]レベルが印 加 されてもリセットがかかる場 合 がありますので注 意 が必 要 です。

・RESB端 子 に適 当 な時 定 数 を外 付 けすれば、電 源 投 入 時 のリセットとして使 用 できます。

②ウォッチドッグタイマによる暴 走 検 出 リセット機 能

③プログラムでRESET命 令 を実 行 することによる、ソフトウェアリセット機 能

4-4-3 リセット時 の状 態

RESB端 子 、ウォッチドッグタイマ、ソフトウェアによるリセットが発 生 すると、システムクロックに同 期 したリセット信 号 により、各 ハードウェアが初 期 化 されます。

リセットがかかると、システムクロックはRC発 振 クロックになりますので、電 源 投 入 後 の待 ち時 間 は不 要 です。システムクロックの切 り替 えは、切 り替 えるクロックが安 定 発 振 してから行 ってください。

＜注 意 点 ＞

・R15(SP)の初 期 値 は0000Hとなります。

・データRAMの内 容 はリセットで初 期 化 されることはありません。よって、電 源 投 入 時 ではRAMの内 容 が不 定 となっています。

4-5 ウォッチドッグタイマ

4-5-1 概要

本シリーズは、プログラム暴走を検出するために、ベースタイマを使用するウォッチドッグタイマを内蔵しています。
このウォッチドッグタイマは、一定期間のうちにプログラムによるクリア信号を検出しなかった場合にプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

4-5-2 機能

①暴走の検出
定期的にウォッチドッグタイマをクリアするプログラムを作成します。プログラムが暴走するとタイマをクリアする命令が実行されないので、タイマはオーバーフローし、暴走検出フラグがセットされます。

②暴走検出の動作
ウォッチドッグタイマが暴走を検出した場、次の2つの動作を選択することができます。
・リセットモード
PCは、初期化され“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されます。
ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のビット5～ビット2は、ウオッチドッグタイマリセットで初期化されません。ビット1，ビット0は、ウオッチドッグタイマリセットで初期化されます。
・インタラプトモード
ウォッチドッグタイマ割り込みが発生します。ベクタアドレス“008000H”への割り込み処理が行われます。
PCは、ベクタアドレス“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されません。インタラプトモード突入前の状態が保持されます。
ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のビット1は、セットされます。
③ウォッチドッグタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・WDTCR，BTCR，OCR0，OCR1

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

4-5-3 回路構成

4-5-3-1 3ビットバイナリアップカウンタ （3ビットカウンタ）

①ベースタイマの出力をカウントするアップカウンタです。

4-5-3-2 ウォッチドッグタイマ制御レジスタ （7ビットレジスタ）

①ウォッチドッグタイマの動作の制御を行います。

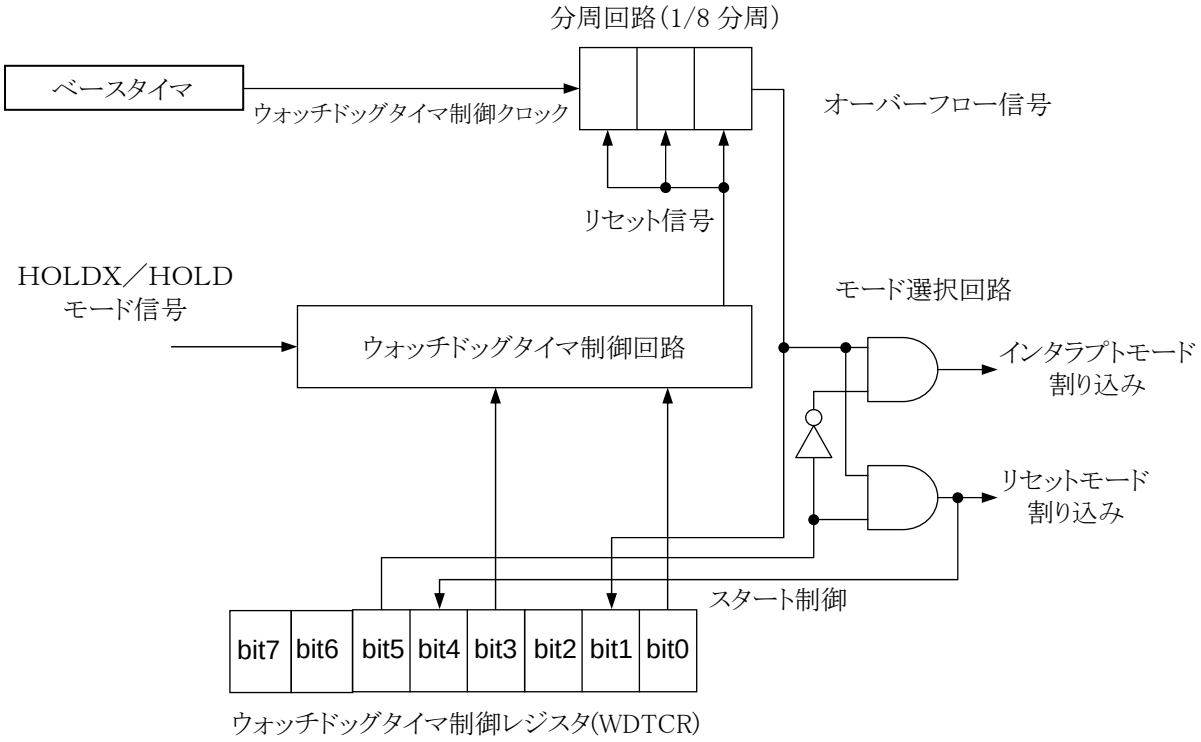


図 4－5－1　ウォッチドッグタイマブロック図

4-5-4 関連レジスタ

4-5-4-1 ウォッチドッグタイマ制御レジスタ

①ウォッチドッグタイマの動作の制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

（ビット7～6）:固定ビット
0で使用してください。

MDSEL（ビット5）:暴走検出時のモード選択
このビットが1の時、ウォッチドッグタイマはリセットモード。
このビットが0の時、ウォッチドッグタイマはインタラプトモード。

SRFLG（ビット4）:リセット実行検出フラグ
MDSELが1（リセットモード）の状態で暴走検出された場合、もしくは設定が不十分な状態でウォッチドッグタイマを動作させた場合、マイクロコンピュータはリセットを実行し、このビットをセットします。このビットはリセット実行によりクリアされないため、このビットをモニタすることにより、ウォッチドッグタイマによるリセット実行かどうかを判断することができます。

PDNSTOP（ビット3）:HOLDX／HOLDモード時の機能制御
HOLDX／HOLDモードになった場合のウォッチドッグタイマの動作（0）／停止（1）を制御します。「1」の設定時HOLDX／HOLD状態ではSTARTがリセットされ、ウォッチドッグタイマは停止します。「0」の設定時ではSTARTは変化せずHOLDX状態でもウォッチドッグタイマは動作します。

USERFLG（ビット2）:汎用フラグ

OVF（ビット1）:暴走検出フラグ
ウォッチドッグタイマのオーバーフローによって暴走が検出された場合にセットされます。

START（ビット0）:ウォッチドッグタイマの動作制御
ウォッチドッグタイマの動作を制御します。このビットに「1」を書き込むことで、ウォッチドッグタイマが動作開始します。ウォッチドッグタイマ動作開始後は、レジスタWDTCRへの書き込みは禁止されます。したがって、プログラムでこのビットに「0」を書き込むことで、ウォッチドッグタイマを停止させることはできません。
STARTビットがクリアされ、ウォッチドッグタイマが停止する条件は、表４－５－１を参照してください。

注 意 :ウォッチドッグタイマに供 給 するクロックは、ベースタイマ部 内 の16ビットカウンタから出 力 しています。従 って、ベースタイマを動 作 させないと(16ビットカウンタにクロックを供 給 しないと)この機 能 は動 作 しません。
これらの機 能 を使 用 する場 合 は、ベースタイマ制 御 レジスタBTCR(アドレス:7F0EH)のベースタイマ動 作 制 御 (ビット6)をかならず“1”(動 作)に設 定 してから、ウォッチドッグタイマを動 作 させてください。
ベースタイマ動 作 制 御 (ビット6)が“0”(停 止)もしくは、ベースタイマクロックとして選 択 された発 振 器 が、発 振 許 可 でない状 態 で、ウォッチドッグタイマを動 作 させると、ウォッチドッグタイマリセット信 号 が発 生 します。

WDTCR	外部 リセット 発生時	ウォッチドッグタイマ 暴走検出時		RESET 命令実行時	HOLDX／HOLD 命令の実行時	
		リセット モード	インタラプト モード		PDNSTP＝1 設定時	PDNSTP＝0 設定時
ビット7	0	保持	保持	保持	保持	保持
ビット6	L	L	L	L	L	L
MDSEL	0	1を保持	0を保持	保持	保持	保持
SRFLG	0	1	保持	保持	保持	保持
PDNSTP	0	保持	保持	保持	1を保持	0を保持
USERFLG	0	保持	保持	保持	保持	保持
OVF	0	0	1	0	保持	保持
START	0	0	1を保持	0	0	保持

表４－５－１　各イベント発 生 後 のWDTCRの状 態

4-5-5 ウォッチドッグタイマの使い方

定 期 的にウォッチドッグタイマをクリアする命 令 が実 行 されるようにプログラムを作 成 します。

(1)ウォッチドッグタイマ実 行 前 の状 態 設 定
以 下 の設 定 を行 わずにウォッチドッグタイマを動 作 させた場 合 、マイクロコンピュータはリセットを実 行 します。
①ベースタイマクロックとして使 用 する発 振 源 の発 振 許 可
②ベースタイマの動 作 開 始

(2)ウォッチドッグタイマの動 作 開 始
以 下 ①～③のレジスタ設 定 を同 時 に行 ってください。
①ビット0(START)に「1」を書 き込 みます。
②暴 走 検 出 でリセットをかける場 合 はビット5(MDSEL)に「1」を同 時 に書 き込みます。
③HOLDXモード時 にウォッチドッグタイマの動 作 を停 止 する場 合 にはビット3(PDNSTOP)に「1」を同 時 に書 き込 みます。

ビット0（START）に「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、**レジスタ（WDTCR）への書き込みは禁止**され、ウォッチドッグタイマカウンタのクリアとWDTCRの読み出しのみが可能になります。したがって、プログラムでビット0（START）に「0」を書き込むことでは、ウォッチドッグタイマを停止させることはできません。STARTビットがクリアされ、ウォッチドッグタイマが停止する条件については、表４－５－1を参照してください。

（3）ウォッチドッグタイマカウンタのクリア

ウォッチドッグタイマが動作を開始すると、カウンタがカウントアップします。このカウンタがオーバーフローすると、ウォッチドッグタイマ制御レジスタ（WDTCR）の設定にしたがって、リセットまたは割り込みが発生します。したがって、通常のプログラム動作を行うには、カウンタがオーバーフローする前に、定期的にカウンタをクリアする必要があります。動作中のウォッチドッグタイマカウンタのクリアには次の命令を使用してください。

これ以外の命令では、ウォッチドッグタイマカウンタのクリアは、行われません。

C言語：

```
___SFR__BITCLR(___WDTCR, 0);
```

アセンブラ：

```
CLR1  ___WDTCR, #0
```

（4）暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないのでカウンタがオーバーフローします。オーバーフローが起こるとプログラムが暴走したと判断され、リセットあるいは割り込みが発生します。このとき、暴走検出フラグOVFがセットされます。

この時、MDSELが「1」であればリセットがかかり、「0」であれば割り込みを発生し、プログラムを8000Hから実行します。

（5）タイマ値の設定

ウォッチドッグタイマを使用する場合、割り込み発生周期を設定する必要があります。また同時に、メインルーチン中でこの割り込み発生周期を下回る周期でウォッチドッグタイマカウンタのクリア処理を行う必要があります。

ウォッチドッグタイマ割り込み発生周期の計算式は以下のようになります。

①ベースタイマ制御（BTCR）のFST＝1，CNT＝00又はCNT＝01の時

$$T_{WDT} = (1 / fBST) \times 32 \times 8$$

②ベースタイマ制御（BTCR）のFST，CNTが①以外の時

$$T_{WDT} = (1 / fBST) \times 8192 \times 8$$

＊fBST：ベースタイマクロック選択レジスタ（OCR1）で選択される、入力クロック周波数

T_{WDT}：ウォッチドッグタイマの割り込み発生周期

例１:システムクロックをＯＳＣ１（１ＭＨｚ）の１／１分周、ベースタイマクロックをシステムクロックの１／６４分周、ベースタイマ制御レジスタ（ＢＴＣＲ）のＦＳＴ＝０，ＣＮＴ＝００の場合。

T_{WDT}＝１×１０$^{-6}$×６４×８１９２×８＝４．１９４３０４Ｓ

例２:システムクロックをＯＳＣ１（１ＭＨｚ）の１／１分周、ベースタイマクロックをＯＳＣ０（３２．７６８ｋＨｚ）の１／１分周、ベースタイマ制御レジスタ（ＢＴＣＲ）のＦＳＴ＝１，ＣＮＴ＝００の場合。

T_{WDT}＝（１／３２．７６８）×１０$^{-3}$×３２×８＝７．８１２５μＳ

APPENDIX

APPENDIX・目次

APPENDIX－Ⅰ

・スペシャルファンクションレジスタ（SFR）マップ

APPENDIX－Ⅱ

・ポート0ブロック図
・ポート1／2／3／4／A／B　ブロック図
・ポート6／7　ブロック図
・ポートC　ブロック図
・ポートD　ブロック図

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0～5FFF	XXXX XXXX	R/W	RAM24KB									
7EF0	0000 0000	R/W	RTCCNT		RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0
7EF1	LL00 0000	R/W	SECR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURR		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR		-	-	-	-	-	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR		-	-	-	-	-	BIT2	BIT1	BIT0
7EF9	0000 0000	R/W	RTCCLB		FAST	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EFA												
7EFB												
7EFC												
7EFD												
7EFE												
7EFF												
7F00												
7F01												
7F02	0000 0000	R/W	IL1L		IRQ3		T0		BT		WDT	
7F03	0000 0000	R/W	IL1H		IRQ7		IRQ6		IRQ5		IRG4	
7F04	0000 0000	R/W	IL2L		IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H		IRQF		IRQE		IRQD		IRQC	
7F06												
7F07												
7F08	0000 0000	R/W	EXCPL		CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE
7F09	LL00 L0L0	R/W	EXCPH		UART1_FLG	UART1_IE	UART0_FLG	UART0_IE	UART1 _ITYPE	UART0 _ITYPE	-	MOVEVEC
7F0A	0000 0000	R/W	OCR0		OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0
7F0B	0L00 L000	R/W	OCR1		BTCKSEL2	-	BTCKSEL1		-	SCKDIV		
7F0C	0L00 0000	R/W	WDTCR		-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START
7F0D			RAND	システム予約								

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR		FST	RUN	CNT		FLG1	IE1	FLG0	IE0
7F0F			PWRDET	システム予約								
7F10	0000 0000	R/W	T0LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	T0HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	T0CNT		SISTS	SIFLG	SIIE	CLKSEL		RUN	FLG	IE
7F13	0000 0000	R/W	T0PR		MODE			PR				
7F14	0000 0000	R/W	T1LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT		HRUN	HFLG	HIE	CLKSEL		RUN	FLG	IE
7F17	0000 0000	R/W	T1PR		MDSELRD	MDSELBIT	MDSELCP	PR				
7F18	0000 0000	R/W	T2LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0		HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1		-	-	-	CP0SL		CP0HFLG	CP0LFLG	CPIE
7F1E	000L 0000	R/W	T2CNT2		CKSL		EXISL	-	PR			
7F1F												
7F20	0000 0000	R/W	ADCR		CHSEL				CMP	START	ENDFLG	IE
7F21	0000 0000	R/W	ADMR		-	RESOL	-	-	-	ADJ	MD10	
7F22	0000 0000	R/W	ADRL		DATAL				-	-	-	MD2
7F23	0000 0000	R/W	ADRH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F24												
7F25												
7F26												
7F27												
7F28	0000 0000	R/W	T3LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0		HRUN	HFLG	HIE	CKSL		RUN	FLG	IE
7F2D	LLLL L000	R/W	T3CNT1		-	-	-	-	-	EXISL	MD	

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2E	0000 0000	R/W	T3PR		PR							
7F2F												
7F30	0000 0000	R/W	S0CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRRUN	FLG	IE
7F31	0000 0000	R/W	S0BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	S0INTVL		-	SNBIT			XCHNG	INTVL		
7F34	0000 0000	R/W	S1CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRRUN	FLG	IE
7F35	0000 0000	R/W	S1BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL		-	SNBIT			XCHNG	INTVL		
7F38	0X00 X0X0	R/W	U0CR		RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE
7F39												
7F3A	0000 0000	R/W	U0RXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3B	XLLL LL00	R/W	U0RXH		OvrErr	-	-	-	-	-	BIT1	BIT0
7F3C	0000 0000	R/W	U0TXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3D	LLLL LLH0	R/W	U0TXH		-	-	-	-	-	-	BIT1	BIT0
7F3E												
7F3F												
7F40	0000 0000	R/W	P0LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 00000	R/W	P0DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA		P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE
7F44	0000 0000	R/W	P1LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 00000	R/W	P1DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 00000	R/W	P1FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 00000	R/W	P2DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 00000	R/W	P2FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 00000	R/W	P3DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 00000	R/W	P3FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 00000	R/W	P4DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 00000	R/W	P4FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 00000	R/W	P5DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 00000	R/W	P5FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 00000	R/W	P6DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5B												
7F5C	0000 0000	R/W	P7LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 00000	R/W	P7DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5F												
7F60	0000 0000	R/W	SMIC0CNT		RUN	MST	TRX	SCL8	MKC	BB	END	IE
7F61	0000 0000	R/W	SMIC0STA		SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK
7F62	0000 0000	R/W	SMIC0BRG		BRP		BRDQ	BRD				
7F63	0000 0000	R/W	SMIC0BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F64	0000 0000	R/W	SMIC1CNT		RUN	MST	TRX	SCL8	MKC	BB	END	IE
7F65	0000 0000	R/W	SMIC1STA		SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK
7F66	0000 0000	R/W	SMIC1BRG		BRP		BRDQ	BRD				
7F67	0000 0000	R/W	SMIC1BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F68	LLLL 0000	R/W	SMIC0PCNT		-	-	-	-	SHDS	P5V	PCLV	PSLW
7F69	LLLL 0000	R/W	SMIC1PCNT		-	-	-	-	SHDS	PHV	PCLV	PSLW
7F6A												
7F6B												
7F6C	0010 0000	R/W	U2CNT0		TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE
7F6D	0000 0000	R/W	U2CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F6E	0000 0000	R/W	U2TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

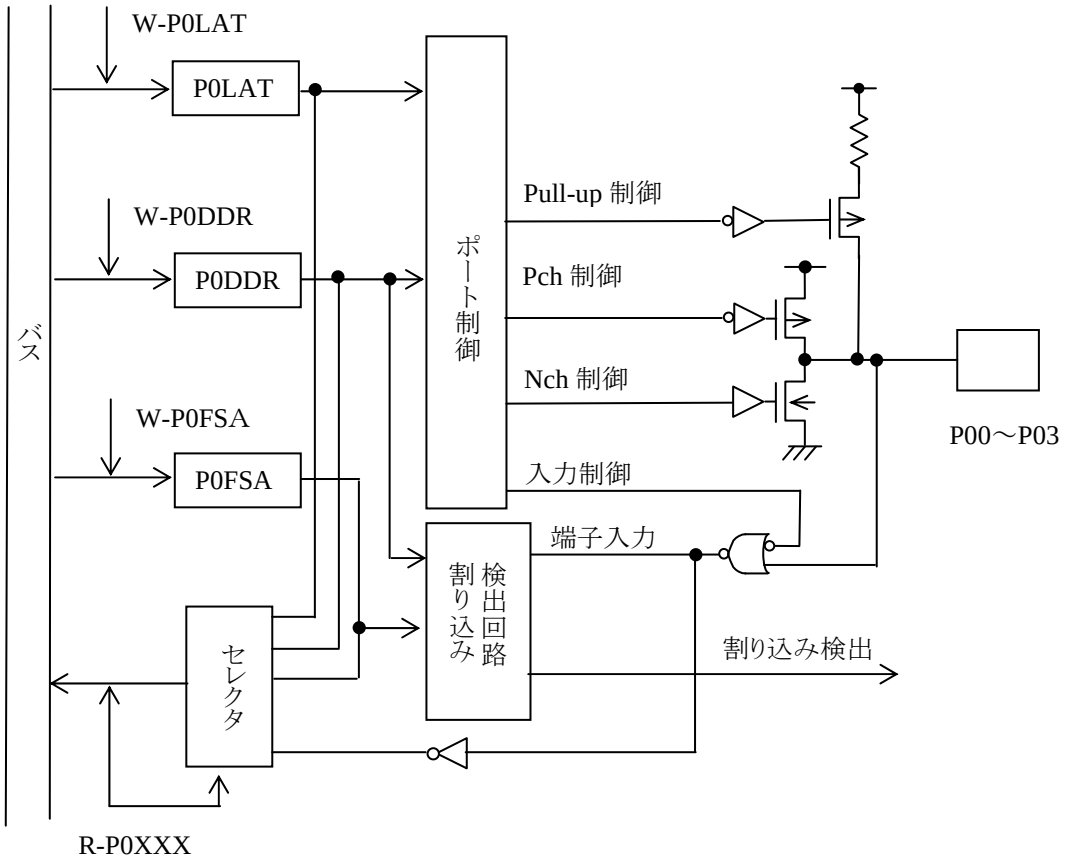
ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R	U2RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F70	0010 0000	R/W	U3CNT0		TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE
7F71	0000 0000	R/W	U3CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F72	0000 0000	R/W	U3TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F73	0000 0000	R	U3RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F74	0000 0000	R/W	U2BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F75	0000 0000	R/W	U3BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F76			FSR0	システム予約								
7F77												
7F78	0010 0000	R/W	U4CNT0		TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE
7F79	0000 0000	R/W	U4CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F7A	0000 0000	R/W	U4TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7B	0000 0000	R	U4RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7C	0000 0000	R/W	U4BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7D												
7F7E												
7F7F												
7F80												
7F81												
7F82												
7F83												
7F84												
7F85												
7F86												
7F87												
7F88	0L00 0000	R/W	OSCPLLC		TEST	-	SELDLY		SELDIV		VC3	PLLON
7F89												
7F8A												
7F8B												
7F8C												
7F8D												
7F8E												

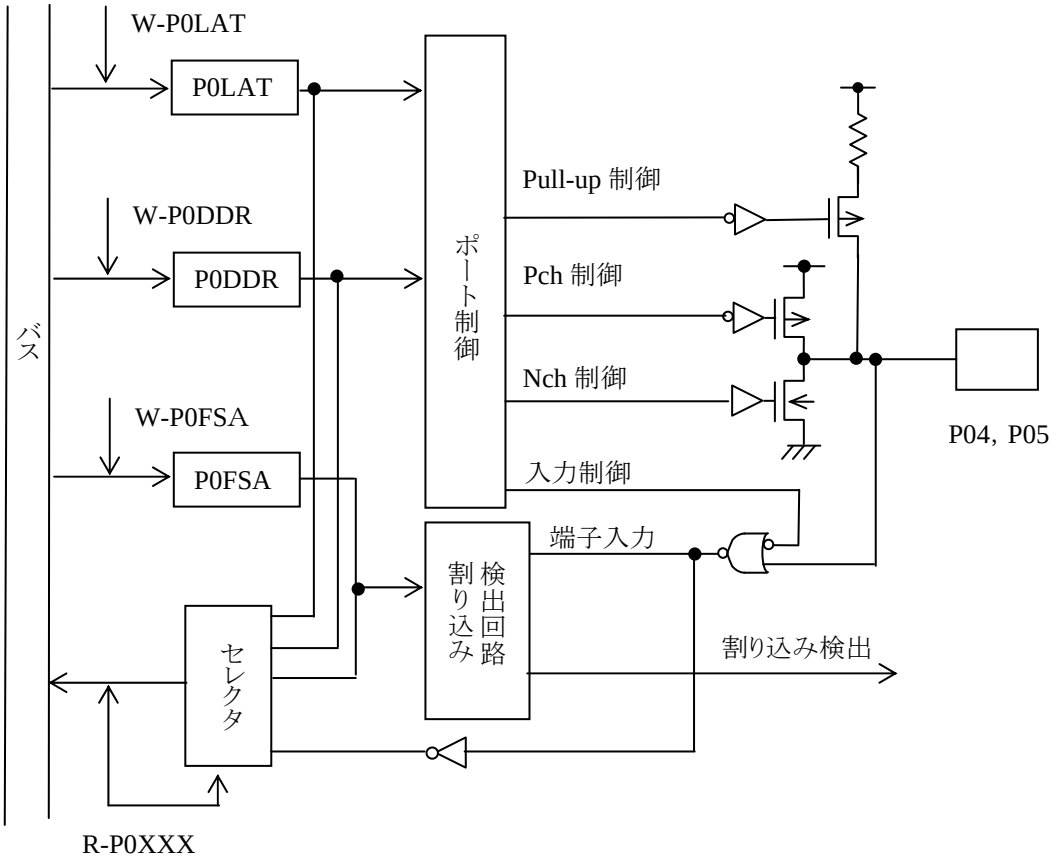
ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F8F												
7F90	0L00 L000	R/W	DA0CNT		ON	−	SEL3V	COREN	−	ASW2EN	ASW1EN	ASW0EN
7F91	0000 0000	R/W	DA0DAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F92	0L00 L000	R/W	DA1CNT		ON	−	SEL3V	COREN	−	ASW2EN	ASW1EN	ASW0EN
7F93	0000 0000	R/W	DA1DAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F94	L000 L000	R/W	DAUS		−	DA1S2US	DA1S1US	DA1S0US	−	DA0S2US	DA0S1US	DA0S0US
7F95												
7F96												
7F97												
7F98												
7F99												
7F9A												
7F9B												
7F9C												
7F9D												
7F9E												
7F9F												
7FA0	0000 0000	R/W	T4LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT		T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FA5	0000 0000	R/W	T67CNT		T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE
7FA6	0000 0000	R/W	T6LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA7	0000 0000	R/W	T6HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL		BIT7	BIT6	BIT5	BIT4	−	−	−	−
7FAB	0000 0000	R/W	PWM0AH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL		BIT7	BIT6	BIT5	BIT4	−	−	−	−
7FAD	0000 0000	R/W	PWM0BH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C		CH				ENPWM0B	ENPWM0A	OV	IE

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAF	0000 0000	R/W	PWM0PR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB0	0000 LLLL	R/W	PWM1AL		BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FB1	0000 0000	R/W	PWM1AH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB2	0000 LLLL	R/W	PWM1BL		BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FB3	0000 0000	R/W	PWM1BH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB4	0000 0000	R/W	PWM1C		CH				ENPWM1B	ENPWM1A	OV	IE
7FB5	0000 0000	R/W	PWM0PR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0		PR0				PR0CK		UOCKSL	PWM0CK
7FB7	0000 00L0	R/W	TMCLK1		PR1				PR1CK		-	PWM1CK
7FB8												
7FB9												
7FBA												
7FBB												
7FBC												
7FBD												
7FBE												
7FBF												
7FC0												
7FC1												
7FC2												
7FC3												
7FC4												
7FC5												
7FC6												
7FC7												
7FC8	0000 0000	R/W	PALAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 00000	R/W	PADDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 00000	R/W	PAFSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 00000	R/W	PBDDR		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 00000	R/W	PBFSA		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

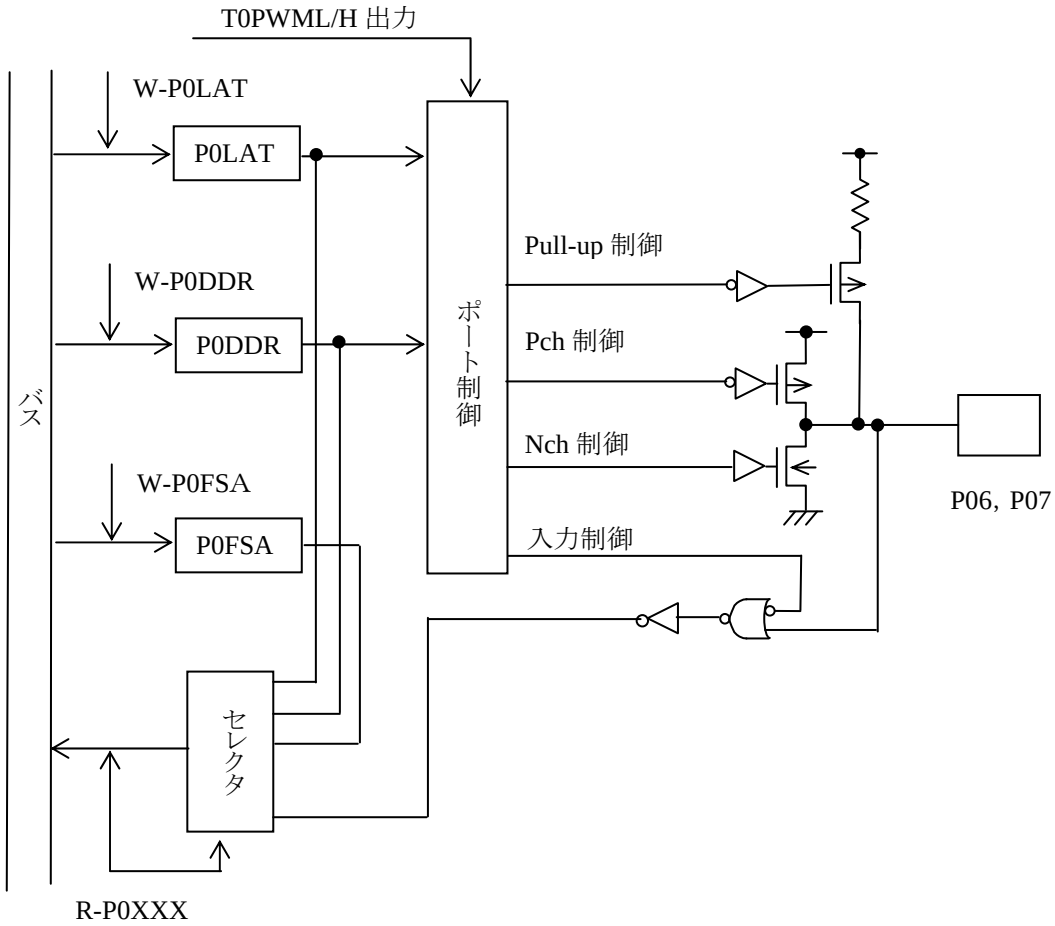
ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLLL L0000	R/W	PCDDR		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD3	LLL0 LLLL	R/W	PCFSA		-	-	-	BIT4	-	-	-	-
7FD4	LL00 0000	R/W	PDLAT		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 00000	R/W	PDDDR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD7												
7FD8	0000 0000	R/W	INT01CR		INT1MD		INT1IF	INT1IE	INT0MD		INT0IF	INT0IE
7FD9	0000 0000	R/W	INT23CR		INT3MD		INT3IF	INT3IE	INT2MD		INT2IF	INT2IE
7FDA	0000 0000	R/W	INT45CR		INT5MD		INT5IF	INT5IE	INT4MD		INT4IF	INT4IE
7FDB	0000 0000	R/W	INT67CR		INT7MD		INT7IF	INT7IE	INT6MD		INT6IF	INT6IE
7FDC			IRQREG0	システム予約								
7FDD			IRQREG1	システム予約								
7FDE												
7FDF												
7FE0	0000 0000	R/W	RTS1ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS1CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6												
7FE7												
7FE8	0000 0000	R/W	SLIC0CNT		RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE
7FE9	0000 0000	R/W	SLIC0STA		RAK	TAK	AAS	AD0	STD	SRD	RQL9	BB
7FEA	0000 0000	R/W	SLIC0PCNT		FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW
7FEB	0000 0000	R/W	SLIC0BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEC												
7FED												
7FEE	0000 0000	R/W	PINT0F		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEF												
7FF0												

ｱﾄﾞﾚｽ	初期値	R/W	LC885200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF8												
7FF9												
7FFA	0000 0000	R/W	PAFSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFC												
7FFD	LL00 0000	R/W	PDFSB		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT		-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWTP	INHBSP


W-P0LAT
P0LAT
W-P0DDR
P0DDR
W-P0FSA
P0FSA
バス
ポート制御
Pull-up 制御
Pch 制御
Nch 制御
入力制御
端子入力
検出回路
割り込み
セレクタ
割り込み検出
P00～P03
R-P0XXX

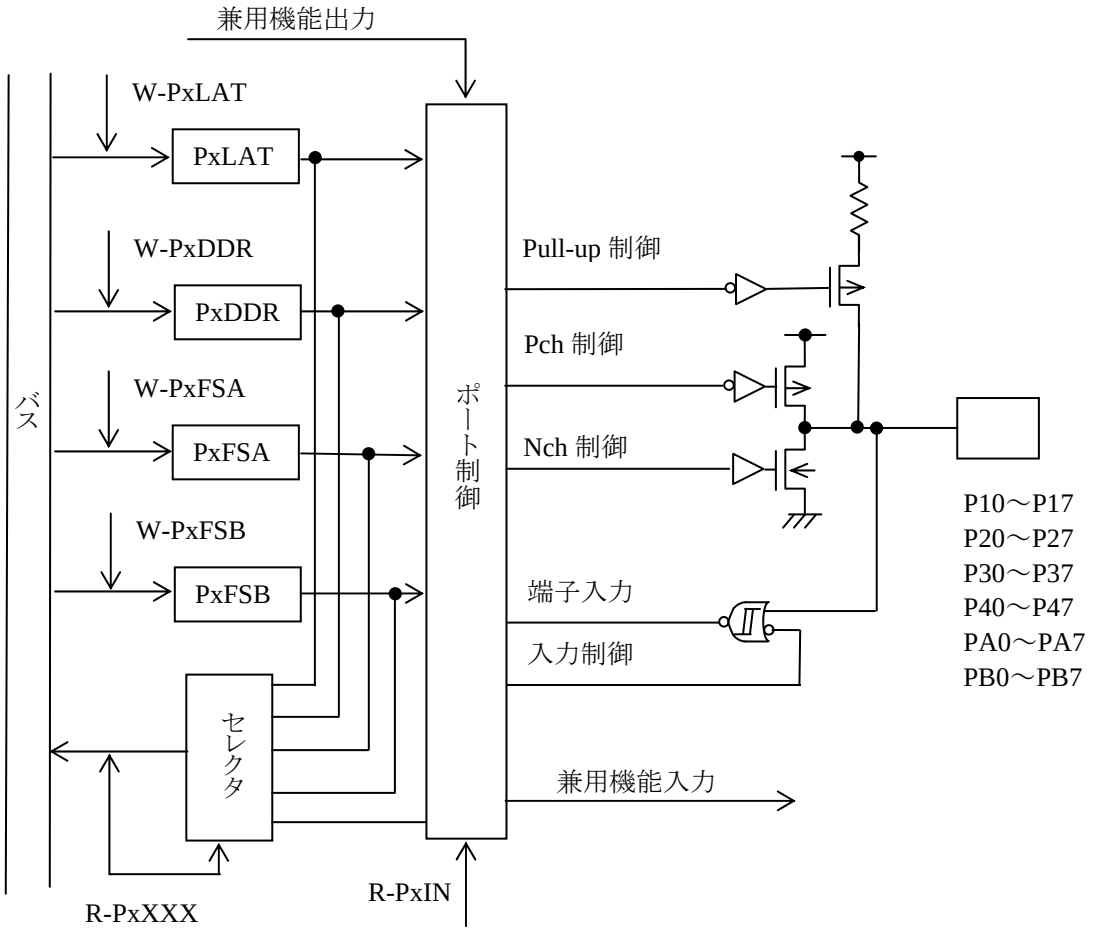

W-P0LAT
P0LAT
W-P0DDR
P0DDR
W-P0FSA
P0FSA
バス
ポート制御
Pull-up 制御
Pch 制御
Nch 制御
入力制御
端子入力
検出回路
割り込み
セレクタ
割り込み検出
P04, P05
R-P0XXX

ポートブロック図



・W-P0LAT:レジスタ P0LAT への書き込み制御信号
・W-P0DDR:レジスタ P0DDR への書き込み信号
・W-P0FSA:レジスタ P0FSA への書き込み信号
・R-P0XXX:P0LAT または P0DDR または P0FSA の読み出し信号

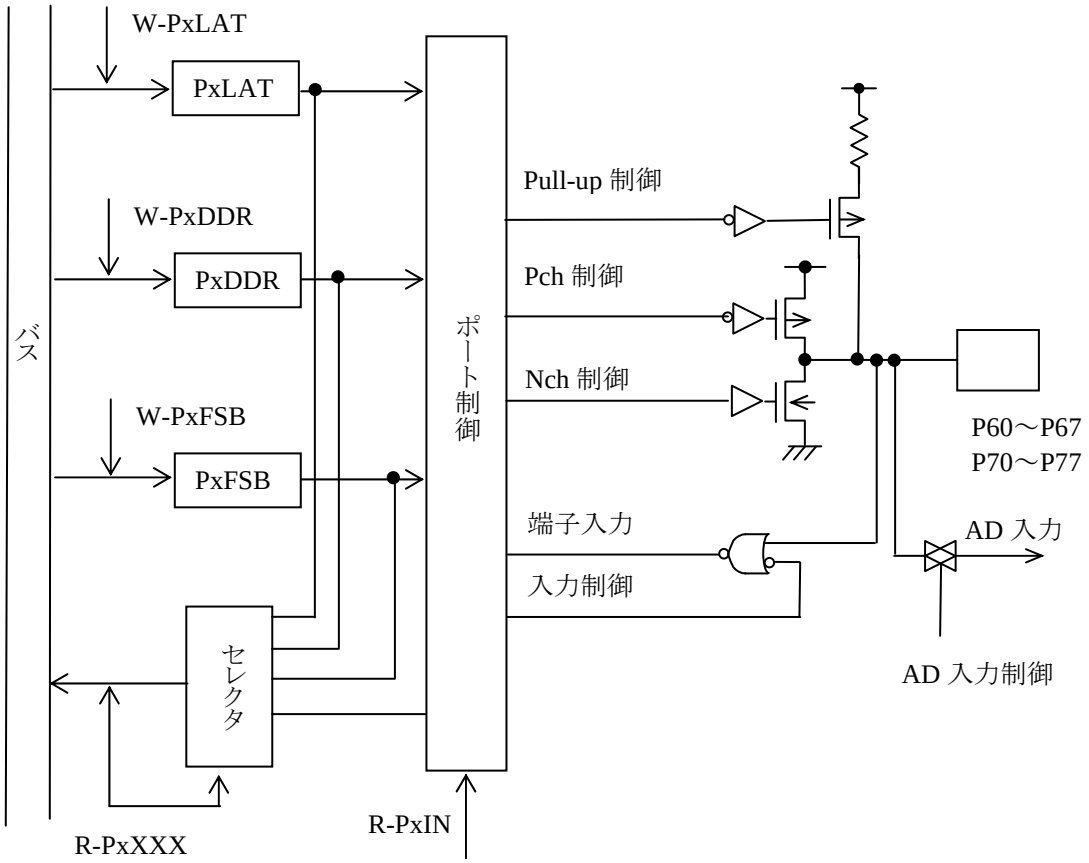
ポート0　ブロック図



・W-PxLAT:レジスタ PxLAT への書き込み制御信号
・W-PxDDR:レジスタ PxDDR への書き込み信号
・W-PxFSA:レジスタ PxFSA への書き込み信号
・W-PxFSB:レジスタ PxFSB への書き込み信号
・R-PxXXX:PxLAT または PxDDR または PxFSA または PxFSB の読み出し信号
（注）x:は1／2／3／4／A

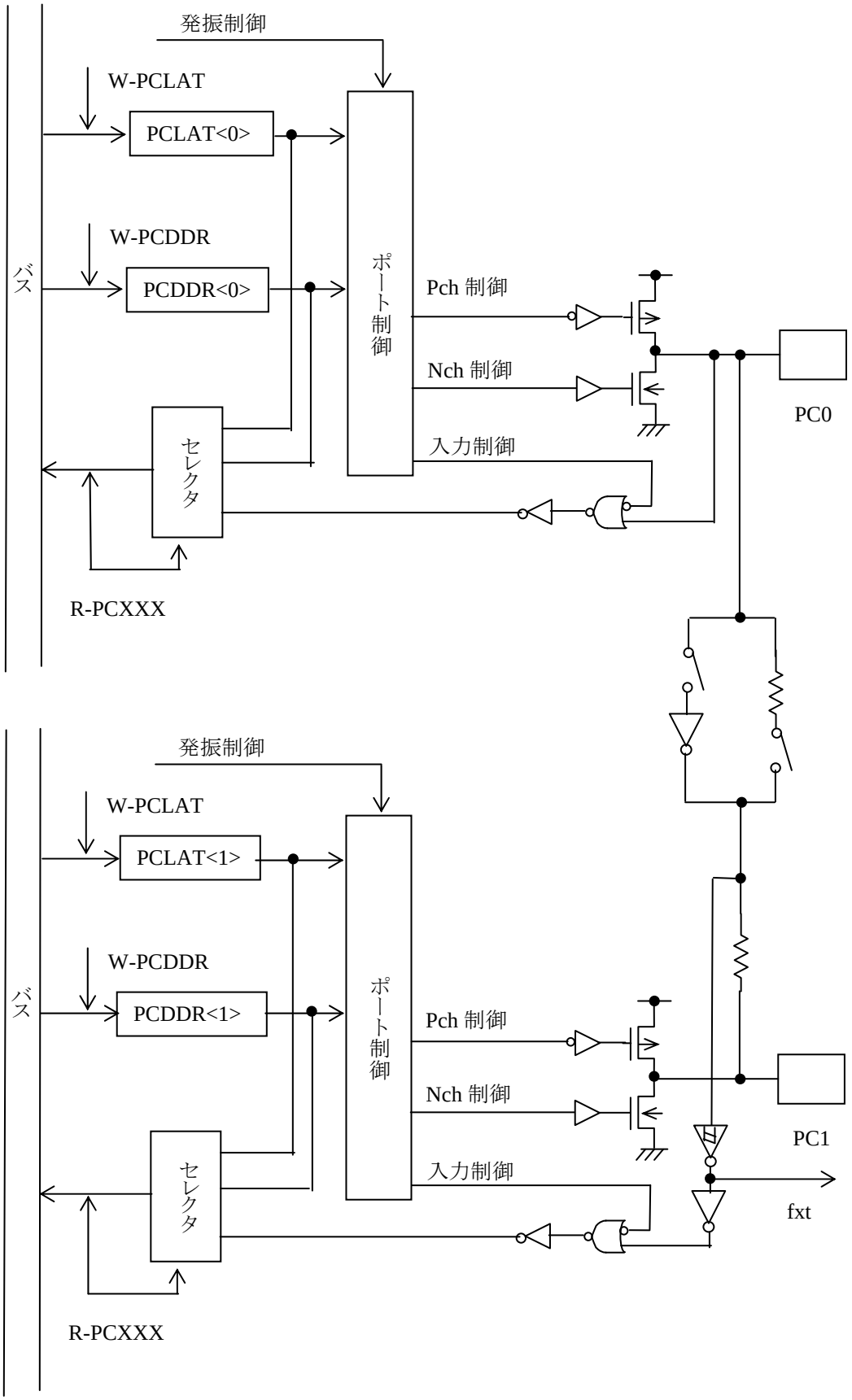
ポート1／2／3／4／A／B ブロック図

ポートブロック図

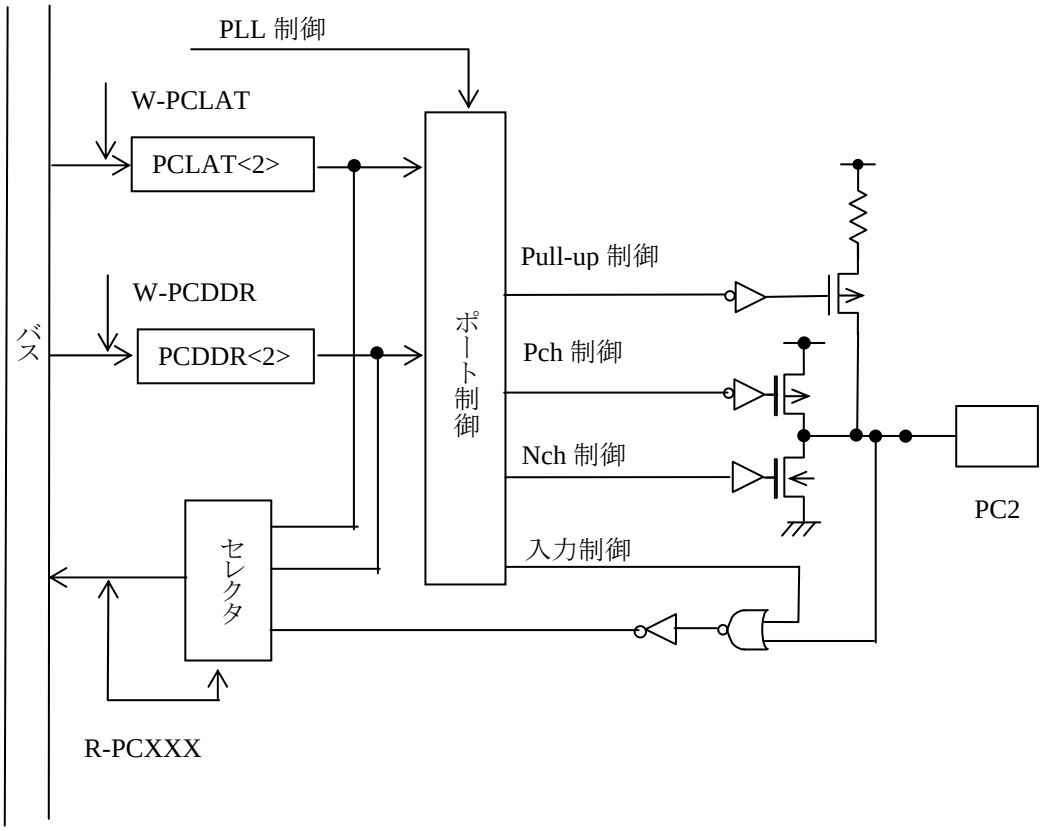


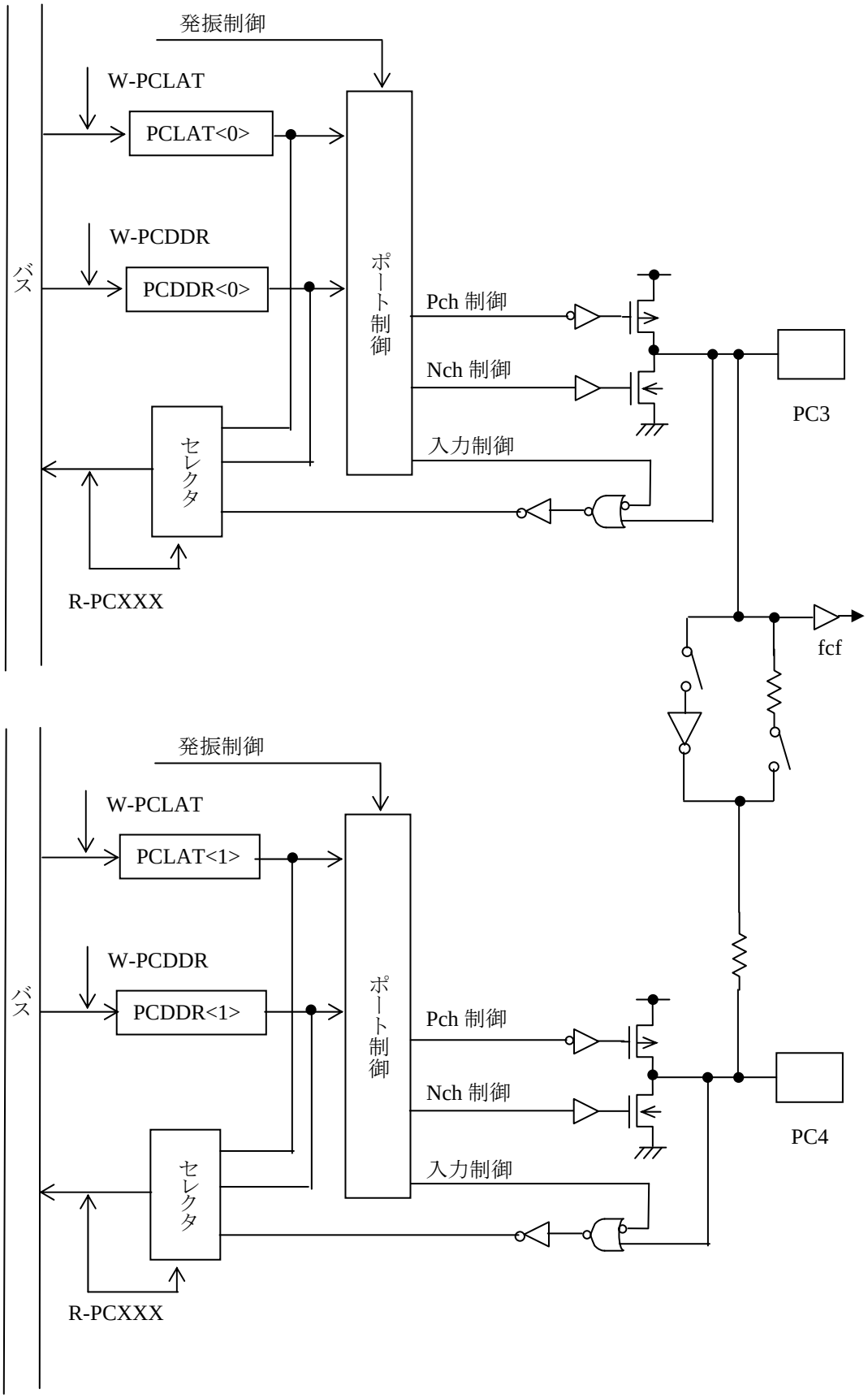
・W-PxLAT:レジスタ PxLAT への書き込み制御信号
・W-PxDDR:レジスタ PxDDR への書き込み信号
・W-PxFSB:レジスタ PxFSB への書き込み信号
・R-PxXXX:PxLAT または PxDDR または PxFSB の読み出し信号
（注）x:は6／7

ポート6／7　ブロック図


発振制御
W-PCLAT
PCLAT<0>
W-PCDDR
PCDDR<0>
バス
ポート制御
Pch 制御
Nch 制御
入力制御
セレクタ
PC0
R-PCXXX
発振制御
W-PCLAT
PCLAT<1>
W-PCDDR
PCDDR<1>
バス
ポート制御
Pch 制御
Nch 制御
入力制御
セレクタ
PC1
fxt
R-PCXXX

ポートブロック図

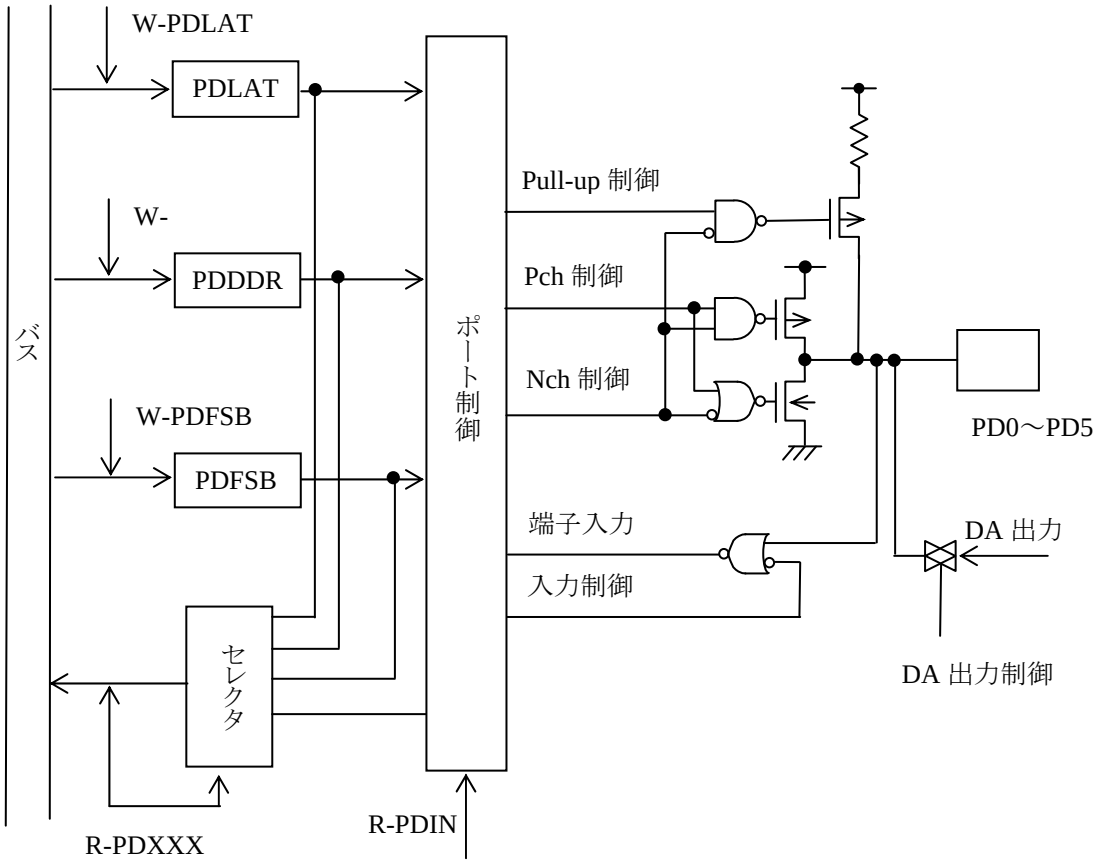

PLL 制御
W-PCLAT
PCLAT<2>
W-PCDDR
PCDDR<2>
バス
ポート制御
Pull-up 制御
Pch 制御
Nch 制御
入力制御
PC2
セレクタ
R-PCXXX



・W-PCLAT:レジスタ PCLAT への書き込み制御信号
・W-PCDDR:レジスタ PCDDR への書き込み信号
・R-PCXXX:PCLAT または PCDDR の読み出し信号

ポートC ブロック図

ポートブロック図



・W-PDLAT:レジスタ PDLAT への書き込み制御信号
・W-PDDDR:レジスタ PDDDR への書き込み信号
・W-PDFSB:レジスタ PDFSB への書き込み信号
・R-PDXXX:PDLAT または PDDDR または PDFSB の読み出し信号

ポートD　ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく，且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC885200 シリーズ　ユーザーズマニュアル

Rev ： 1.01　　2015.12.15 版

オン・セミコンダクター

マイクロコントローラビジネスユニット