

AND9368/D

CMOS 16-BIT MICROCONTROLLER

LC885800 シリーズ ユーザーズマニュアル



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

オン・セミコンダクター
マイクロコントローラービジネスユニット

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-6
1-4	システムブロック図	1-7
1-5	端子機能表	1-8
1-6	ポート出力形態	1-10

第2章 内部システム構成

2-1	メモリ空間	2-1
2-1-1	プログラム/データ空間	2-2
2-1-2	データ/プログラムスタック/SFR空間	2-2
2-2	プログラムカウンタ(PC)	2-3
2-3	汎用レジスタ	2-4
2-3-1	概要	2-4
2-3-2	R0~R7	2-4
2-3-3	R8	2-4
2-3-4	R9	2-4
2-3-5	R10~R13	2-4
2-3-6	R14(PSW)	2-5
2-3-7	R15(SP)	2-5
2-4	プログラムメモリ(ROM)	2-6
2-5	データメモリ(RAM)	2-6
2-6	特殊機能レジスタ(SFR)	2-7

第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1
3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	レジスタ設定毎のポート状態	3-3
3-1-5	HALT, HOLD, HOLDX時の動作	3-3
3-2	ポート1	3-4
3-2-1	概要	3-4
3-2-2	機能	3-4
3-2-3	関連レジスタ	3-4
3-2-4	レジスタ設定毎のポート状態	3-5
3-2-5	HALT, HOLD, HOLDX時の動作	3-9
3-3	ポート2	3-10
3-3-1	概要	3-10

目次

3-3-2	機能	3-10
3-3-3	関連レジスタ	3-10
3-3-4	レジスタ設定毎のポート状態	3-11
3-3-5	HALT, HOLD, HOLDX時の動作	3-15
3-4	ポート3	3-16
3-4-1	概要	3-16
3-4-2	機能	3-16
3-4-3	関連レジスタ	3-16
3-4-4	レジスタ設定毎のポート状態	3-17
3-4-5	HALT, HOLD, HOLDX時の動作	3-19
3-5	ポート4	3-20
3-5-1	概要	3-20
3-5-2	機能	3-20
3-5-3	関連レジスタ	3-20
3-5-4	レジスタ設定毎のポート状態	3-21
3-5-5	HALT, HOLD, HOLDX時の動作	3-25
3-6	ポート6	3-26
3-6-1	概要	3-26
3-6-2	機能	3-26
3-6-3	関連レジスタ	3-26
3-6-4	レジスタ設定毎のポート状態	3-27
3-6-5	HALT, HOLD, HOLDX時の動作	3-29
3-7	ポート7	3-30
3-7-1	概要	3-30
3-7-2	機能	3-30
3-7-3	関連レジスタ	3-30
3-7-4	レジスタ設定毎のポート状態	3-31
3-7-5	HALT, HOLD, HOLDX時の動作	3-31
3-8	ポートA	3-32
3-8-1	概要	3-32
3-8-2	機能	3-32
3-8-3	関連レジスタ	3-32
3-8-4	レジスタ設定毎のポート状態	3-33
3-8-5	HALT, HOLD, HOLDX時の動作	3-36
3-9	ポートC	3-37
3-9-1	概要	3-37
3-9-2	機能	3-37
3-9-3	関連レジスタ	3-37
3-9-4	レジスタ設定毎のポート状態	3-38
3-9-5	HALT, HOLD, HOLDX時の動作	3-38

目次

3-1 0	外部割り込み機能(INTn)	3-39
3-1 0-1	概要	3-39
3-1 0-2	機能	3-39
3-1 0-3	関連レジスタ	3-41
3-1 0-4	INTn入力時のポート設定	3-45
3-1 1	ポート0割り込み機能	3-47
3-1 1-1	概要	3-47
3-1 1-2	機能	3-47
3-1 1-3	関連レジスタ	3-47
3-1 1-4	ポート0割り込みの設定	3-49
3-1 2	タイマ0(T0)	3-50
3-1 2-1	概要	3-50
3-1 2-2	機能	3-50
3-1 2-3	回路構成	3-52
3-1 2-4	関連レジスタ	3-56
3-1 2-5	タイマ0出力のポート設定	3-58
3-1 3	タイマ1(T1)	3-59
3-1 3-1	概要	3-59
3-1 3-2	機能	3-59
3-1 3-3	回路構成	3-59
3-1 3-4	関連レジスタ	3-63
3-1 4	タイマ2(T2)	3-65
3-1 4-1	概要	3-65
3-1 4-2	機能	3-65
3-1 4-3	回路構成	3-66
3-1 4-4	関連レジスタ	3-70
3-1 5	タイマ3(T3)	3-74
3-1 5-1	概要	3-74
3-1 5-2	機能	3-74
3-1 5-3	回路構成	3-76
3-1 5-4	関連レジスタ	3-81
3-1 5-5	タイマ3出力のポート設定	3-84
3-1 6	タイマ4, タイマ5(T4, T5)	3-85
3-1 6-1	概要	3-85
3-1 6-2	機能	3-85
3-1 6-3	回路構成	3-86
3-1 6-4	関連レジスタ	3-90
3-1 6-5	タイマ4出力, タイマ5出力のポート設定	3-92
3-1 7	ベースタイマ	3-93
3-1 7-1	概要	3-93

目 次

3-1 7-2	機能	3-93
3-1 7-3	回路構成	3-93
3-1 7-4	関連レジスタ	3-95
3-1 8	非同期シリアルインタフェース0 (UART0)	3-96
3-1 8-1	概要	3-96
3-1 8-2	機能	3-96
3-1 8-3	回路構成	3-97
3-1 8-4	関連レジスタ	3-99
3-1 8-5	UART0通信フォーマットの具体例	3-101
3-1 8-6	UART0通信の具体例	3-102
3-1 9	非同期シリアルインタフェース2 (UART2)	3-105
3-1 9-1	概要	3-105
3-1 9-2	機能	3-105
3-1 9-3	回路構成	3-106
3-1 9-4	関連レジスタ	3-108
3-1 9-5	UART2通信フォーマットの具体例	3-110
3-1 9-6	UART2通信の具体例	3-111
3-2 0	シリアルインタフェース0 (SIO0)	3-114
3-2 0-1	概要	3-114
3-2 0-2	機能	3-114
3-2 0-3	回路構成	3-115
3-2 0-4	関連レジスタ	3-118
3-2 0-5	転送ビット数の設定	3-121
3-2 0-6	SIO0通信の具体例	3-122
3-2 1	シリアルインタフェース1 (SIO1)	3-132
3-2 1-1	概要	3-132
3-2 1-2	機能	3-132
3-2 1-3	回路構成	3-133
3-2 1-4	関連レジスタ	3-136
3-2 1-5	転送ビット数の設定	3-139
3-2 1-6	SIO1通信の具体例	3-140
3-2 2	SMIIC0 (Single Master I ² C)	3-150
3-2 2-1	概要	3-150
3-2 2-2	回路構成	3-150
3-2 2-3	関連レジスタ	3-152
3-2 2-4	I ² CポートSLOW設定時の注意事項	3-162
3-2 2-5	生成クロック波形とSCL立ち上がり時間	3-162
3-2 2-6	スタートコンディション/ストップコンディション	3-163
3-2 2-7	アービトラージロスト	3-167
3-2 2-8	単純SIOモード通信の具体例	3-170

目次

3-2 2-9	シングルマスタI ² C通信の具体例	3-171
3-2 3	PWM0	3-175
3-2 3-1	概要	3-175
3-2 3-2	機能	3-175
3-2 3-3	回路構成	3-176
3-2 3-4	関連レジスタ	3-179
3-2 3-5	PWM0出力のポートの設定	3-181
3-2 4	ADコンバータ	3-184
3-2 4-1	概要	3-184
3-2 4-2	機能	3-184
3-2 4-3	回路構成	3-185
3-2 4-4	関連レジスタ	3-186
3-2 4-5	ADC動作の具体例	3-189
3-2 4-6	ADC使用上の留意点	3-190
3-2 5	リアルタイムサービス(RTS)	3-192
3-2 5-1	概要	3-192
3-2 5-2	機能	3-192
3-2 5-3	回路構成	3-193
3-2 5-4	関連レジスタ	3-195
3-2 6	USM0	3-197
3-2 6-1	概要	3-197
3-2 6-2	機能	3-197
3-2 6-3	回路構成	3-198
3-2 6-4	関連レジスタ	3-201
3-2 6-5	バッファレジスタリロードタイミング	3-207
3-2 6-6	USM0ポート設定	3-210
3-2 6-7	超音波モータモード動作の具体例	3-211
3-2 6-8	ステッピングモータモード動作の具体例	3-215
3-2 6-9	レジスタ書き込み時の注意点	3-221
第4章 制御機能		
4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	割り込み一覧	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-10
4-2-1	概要	4-10
4-2-2	機能	4-10
4-2-3	回路構成	4-11

目 次

4-2-4	関連レジスタ	4-12
4-3	スタンバイ機能	4-14
4-3-1	概要	4-14
4-3-2	機能	4-14
4-4	リセット機能	4-20
4-4-1	概要	4-20
4-4-2	機能	4-20
4-4-3	リセット時の状態	4-20
4-5	ウォッチドッグタイマ	4-21
4-5-1	概要	4-21
4-5-2	機能	4-21
4-5-3	回路構成	4-22
4-5-4	関連レジスタ	4-23
4-5-5	ウォッチドッグタイマの使い方	4-24

第5章 命令 別冊

APPENDIX

A-I	特殊機能レジスタ(SFR)マップ	A I-(1-9)
A-II	ポートブロック図	A II-(1-6)

1 概説

1-1 概要

LC885800シリーズは、Xstormy16 CPUを中心にして、128KバイトのフラッシュROM(オンボード書き換え可能)、6KバイトRAM、16ビットタイマ×6、時計用ベースタイマ、同期式SIO×2(自動転送機能付き)、シングルマスタI²C/同期式SIO×1、非同期式SIO(UART)×2、周期可変12ビットPWM×2、12ビット分解能×11チャンネルADコンバータ、ウォッチドッグタイマ、モータ駆動信号発生回路、システムクロック分周機能、40要因(24モジュール)16ベクタ割り込み機能、オンチップデバッグ機能等を1チップに集積した16ビットマイクロコンピュータです。

1-2 特徴

■ CPU

- ・Xstormy16
- ・4Gバイトのアドレス空間
- ・汎用レジスタ:16ビット×16本

■ ROM

LC88F58B0A: 131072×8ビット(フラッシュROM)

- ・128バイト単位でのブロック消去可能
- ・データの書き込みは2バイト単位

■ RAM

LC88F58B0A: 6144×8ビット

■ 命令サイクルタイム(T_{cyc})

命令サイクルタイム	発振仕様	システムクロック発振源	発振周波数
0.083 μs	1/1分周	セラミック発振(OSC1)	12MHz
0.100 μs	1/1分周	セラミック発振(OSC1)	10MHz
0.500 μs	1/2分周	セラミック発振(OSC1)	4MHz
1 μs(Typ)	1/1分周	内蔵RC発振	1MHz(typ)
30.5 μs	1/1分周	水晶発振(OSC0)	32.768kHz

■ ポート

- ・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 52(P0n, P1n, P2n, P30~P33, P4n, P6n, P70~P72, PA0~PA3, PC2)
- ・発振、ノーマル耐圧出力ポート 2(PC0, PC1)
- ・発振専用ポート 2(CF1, CF2)
- ・リセット端子 1(RESB)
- ・テスト端子 1(TEST)
- ・電源端子 6(VSS1~3, VDD1~3)

機種概要

■タイマ

- ・タイマ0: PWM/トグル出力可能な16ビットのタイマ
 - ①5ビットプリスケアラ付き
 - ②8ビットPWM×2、8ビットタイマ+8ビットPWM分割モード選択可能
 - ③クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
 - ・タイマ1: キャプチャレジスタ付き16ビットタイマ
 - ①5ビットプリスケアラ付き
 - ②8ビットタイマ×2chの分割可能
 - ③クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
 - ・タイマ2: キャプチャレジスタ付き16ビットタイマ
 - ①4ビットプリスケアラ付き
 - ②8ビットタイマ×2chに分割可能
 - ③クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択
 - ・タイマ3: PWM/トグル出力可能な16ビットタイマ
 - ①8ビットプリスケアラ付き
 - ②8ビットタイマ×2ch、8ビットタイマ+8ビットPWMの分割モード選択可能
 - ③クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択
 - ・タイマ4: トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
 - ・タイマ5: トグル出力可能な16ビットタイマ
 - ①クロックソースをシステムクロック、プリスケアラ0から選択
- *プリスケアラ0はそれぞれ4ビットで構成されクロックソースをシステムクロック、OSC0、OSC1から選択
- ・ベースタイマ
 - ①クロックは、OSC0(32.768kHz水晶発振)、システムクロックの分周出力から選択できる。
 - ②7種類の時間での割り込み発生が可能

■シリアルインタフェース

- ・SIO0, SIO1: 8ビット同期式SIO
 - ①LSB/MSB先頭切り替え可能
 - ②8ビット以下の通信可能(1~8ビットのビット指定可能)
 - ③8ビットボーレートジェネレータ内蔵(転送クロック4~512T_{cyc})
 - ④連続データ自動転送機能(9~32768ビットのビット単位指定可能)
 - ⑤インターバル機能(インターバル時間0~64t_{SCK})
 - ⑥ウェークアップ機能
- ・SMIIC0: シングルマスタI²C/8ビット同期式SIO
 - ①モード0: Single-masterのマスタモードによる通信
 - ②モード1: 同期式8ビットシリアルI/O(データMSB先頭)
- ・UART0: 非同期式SIO
 - ①データ長 : 8ビット(LSBファースト)
 - ②ストップビット : 1ビット
 - ③パリティビット : なし/偶数パリティ/奇数パリティ
 - ④転送レート : 4/8サイクル
 - ⑤ボーレートソースクロック : P07入力信号(TOPWMH信号)をクロックソースとして使用可能
 - ⑥全二重通信

- ・UART2:非同期式SIO

- ①データ長 : 8ビット(LSBファースト)
- ②ストップビット : 1ビット
- ③パリティビット : なし/偶数パリティ/奇数パリティ
- ④転送レート : 8~4096サイクル
- ⑤ボーレートソースクロック : システムクロック/OSC0/OSC1
- ⑥ウェークアップ機能
- ⑦全二重通信

- ADコンバータ

- ①12/8ビット分解能切り替え
- ②アナログ入力:11チャンネル
- ③コンパレータモード
- ④基準電圧自動発生

- PWM

- ・PWM0:周期可変12ビットPWM×2チャンネル(PWM0A、PWM0B)

- ①2チャンネル1組で構成され制御は独立
- ②クロックソースをシステムクロック、OSC1から選択可能
- ③8ビットプリスケアラ内蔵: $TPWMR0 = (\text{プリスケアラ設定値} + 1) \times \text{クロック周期}$
- ④8ビット基本波PWM発生回路 + 4ビット付加パルス発生回路
- ⑤基本波PWMモード

基本波周期	16TPWMR0~256TPWMR0
HIGHパルス幅	0~(基本波周期 - TPWMR0)
- ⑥基本波 + 付加パルスモード

基本波周期	16TPWMR0~256TPWMR0
全体周期	基本波周期 × 16
HIGHパルス幅	0~(全体周期 - TPWMR0)

- ウォッチドッグタイマ

- ・ベースタイマ+内蔵のウォッチドッグ専用カウンタにより動作する。
- ・割り込み、リセットの選択可能

- モータ駆動信号発生回路

- 割り込み(周辺機能)

- ・40要因(24モジュール)16ベクタ

- ①割り込みは3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

機種概要

No.	ベクタ	割り込み(周辺機能)
1	08000H	ウォッチドッグタイマ(1)
2	08004H	ベースタイマ(2)
3	08008H	タイマ 0(2)
4	0800CH	INT0(1)
5	08010H	
6	08014H	INT1(1)
7	08018H	INT2(1)/タイマ 1(2)/UART2(4)
8	0801CH	INT3(1)/タイマ 2(4)/SMIIC0(1)
9	08020H	INT4(1)/タイマ 3(2)
10	08024H	INT5(1)/タイマ 4(1)/SIO1(2)
11	08028H	USM0(3)
12	0802CH	PWM0(1)
13	08030H	ADC(1)/タイマ 5(1)
14	08034H	INT6(1)
15	08038H	INT7(1)/SIO0(2)
16	0803CH	ポート 0(3)

- ・優先レベルを3レベル指定可能
- ・同一レベルではベクタアドレスの小さいものが優先
- ・()内の数字はモジュールにおける要因数

■割り込み(例外処理)

- ・5要因 1ベクタ

- ①例外割り込み制御レジスタ(EXCPL、EXCPH)で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。
- ②例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

No.	ベクタ	割り込み(例外処理)
1	08080H	例外処理(5)

- ・()内の数字は要因数

■サブルーチンスタック:6KバイトRAM領域

- ・PSWを自動待避するサブルーチンコール、割り込みベクタコール:6バイト
- ・PSWを自動待避しないサブルーチンコール:4バイト

■乗除算命令

- ・16ビット×16ビット (実行時間:18Tcyc)
- ・16ビット÷16ビット (実行時間:18~19Tcyc)
- ・32ビット÷16ビット (実行時間:18~19Tcyc)

■発振回路

- ・RC発振回路(内蔵) :システムクロック用
- ・OSC1(CF発振回路) :システムクロック用(CF1, CF2)
- ・OSC0(水晶発振回路) :低速システムクロック用(XT1, XT2)
- ・低速RC発振回路(内蔵) :発振停止時システムクロック用
- ・PLL回路(内蔵) :モータ駆動信号発生回路用

■システムクロック分周機能

- ・低消費電流動作可能
- ・システムクロックの1～128分周の設定が可能

■スタンバイ機能

- ・HALTモード:命令実行停止,周辺回路動作継続
 - ①発振の停止は自動的には行いません。
 - ②システムリセットまたは割り込みの発生により解除
- ・HOLDモード:命令実行停止,周辺回路動作停止
 - ①OSC1,内蔵RC発振,OSC0のいずれも自動的に停止します。
 - ②HOLDモードを解除するには次の方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)POINT, P04INT, P05INTで割り込み要因が成立する。
 - (4)SIO0, SIO1で割り込み要因が成立する。
 - (5)UART2で割り込みが成立する。
- ・HOLDXモード:命令実行停止,OSC0で動作するモジュール以外の周辺回路動作停止
 - ①OSC1,内蔵RC発振は自動的に停止します。
 - ②OSC0は突入時の状態を維持します。
 - ③HOLDXモードを解除するには次の方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)POINT, P04INT, P05INTで割り込み要因が成立する。
 - (4)SIO0, SIO1で割り込み要因が成立する。
 - (5)UART2で割り込みが成立する。
 - (6)ベースタイマ回路で割り込み要因が成立する。

■出荷形態

- ・SQFP64(10×10) 『鉛フリー仕様品』

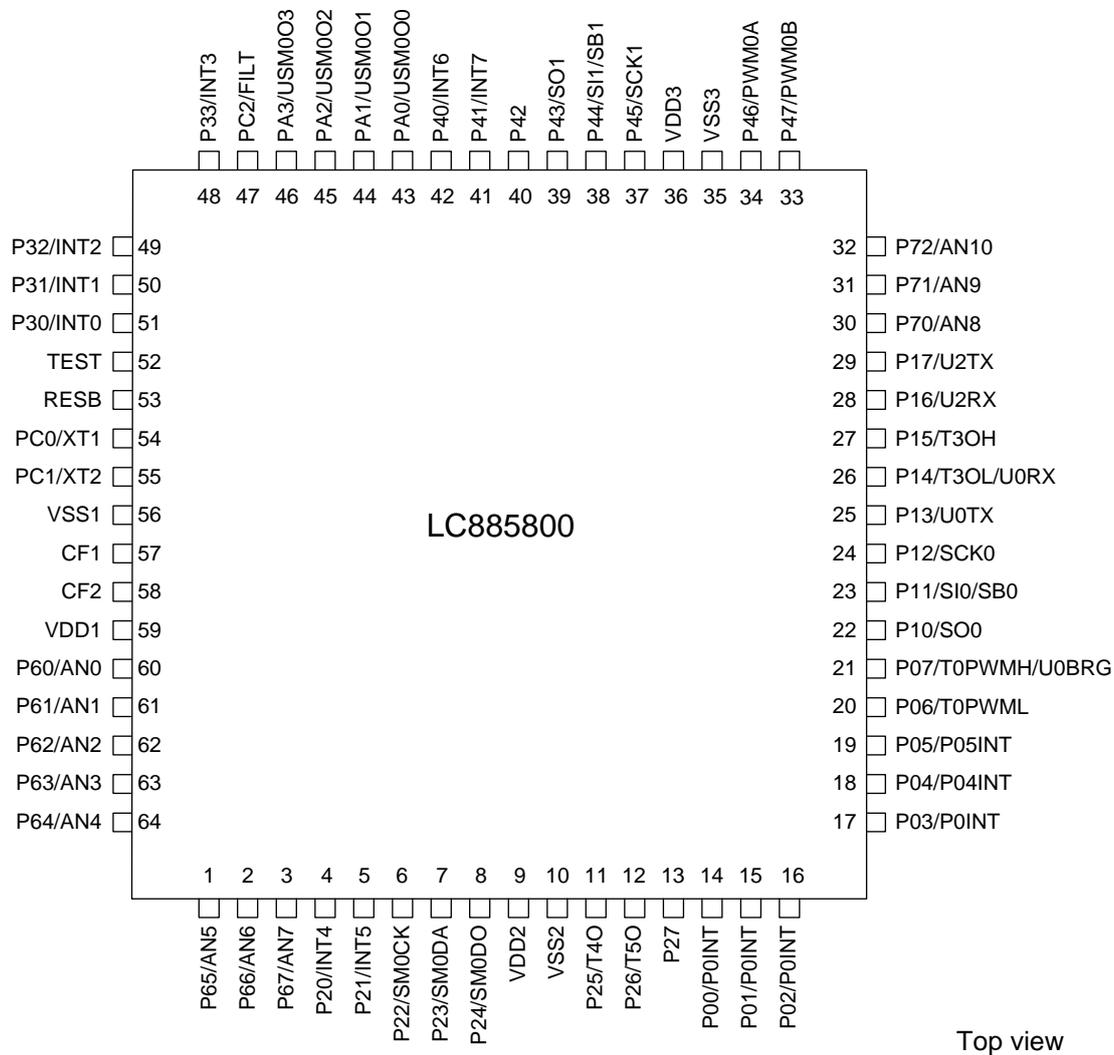
■オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・ソースラインデバッグ機能、トレース機能、ブレークポイント設定
- ・1ワイヤー通信

■開発ツール

- ・オンチップデバッグ : EOCUIF1+LC88F58B0A

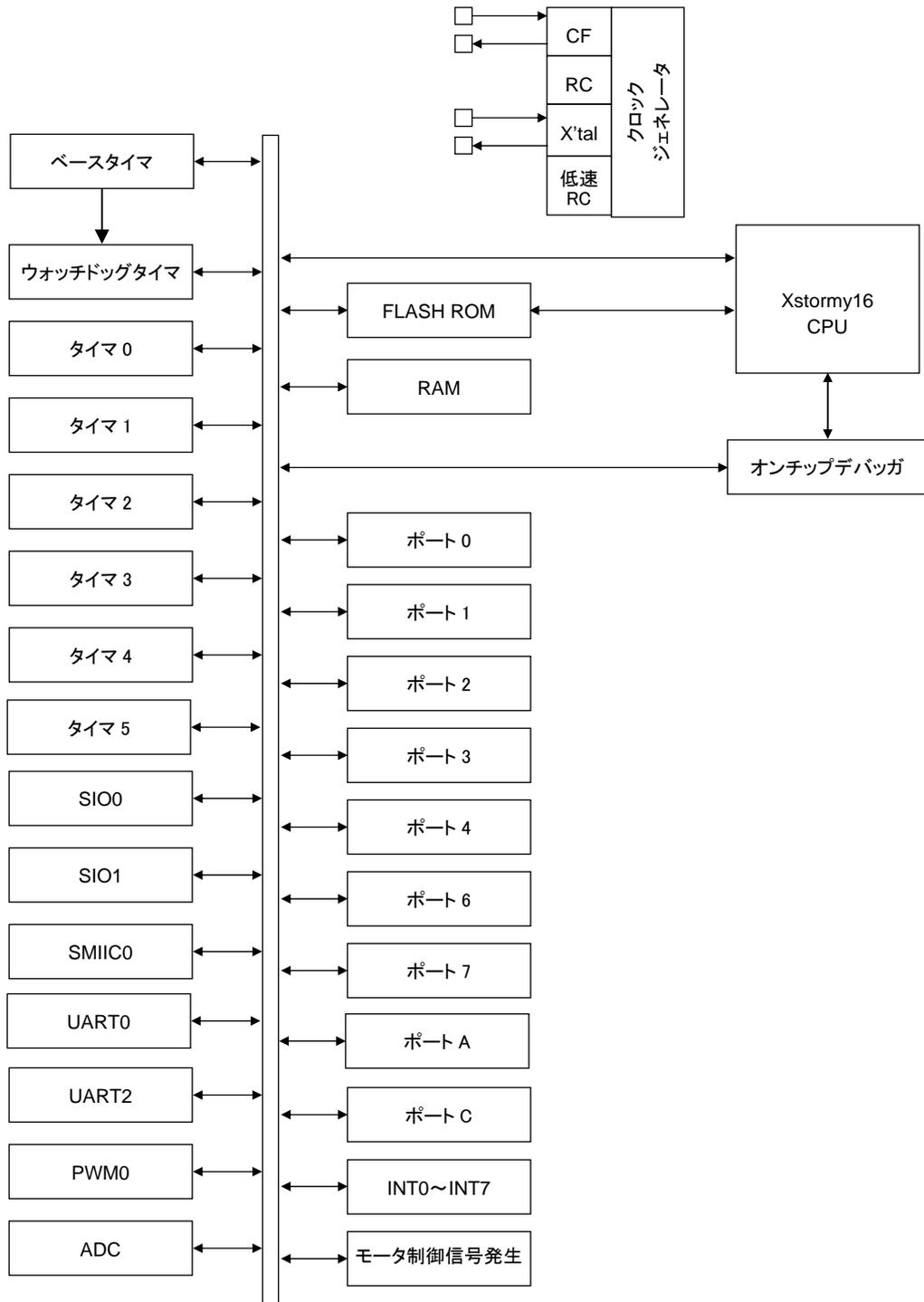
1-3 ピン配置図



Top view

SQFP64(10×10) 『鉛フリー仕様品』

1-4 システムブロック図



機種概要

1-5 端子機能表

	I/O	機能説明
VSS1,VSS2, VSS3	-	電源の-端子
VDD1,VDD2 VDD3	-	電源の+端子
ポート0 P00~P07	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・ポート0 割り込み入力(P00~P03, P04, P05) ・HOLD 解除入力(P00~P03, P04, P05) ・端子機能 <ul style="list-style-type: none"> P06:タイマ 0L 出力 P07:タイマ 0H 出力/UART0クロック入力
ポート1 P10~P17	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P10:SIO0データ出力 P11:SIO0データ入力/バス入出力 P12:SIO0クロック入出力 P13:UART0送信 P14:タイマ 3L 出力/UART0受信 P15:タイマ 3H 出力 P16:UART2 受信 P17:UART2 送信
ポート2 P20~P27	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P20:INT4 入力/HOLD 解除入力/タイマ 3 イベント入力/タイマ 2L キャプチャ入力/ タイマ 2H キャプチャ入力 P21:INT5 入力/HOLD 解除入力/タイマ 3 イベント入力/タイマ 2L キャプチャ入力/ タイマ 2H キャプチャ入力 P22:SMIIC クロック入出力 P23:SMIIC データバス入出力 P24:SMIIC データ(3線式 SIO モード時使用) P25:タイマ 4 出力 P26:タイマ 5 出力 ・インタラプト受付形式 INT4, INT5:Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ
ポート3 P30~P33	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P30:INT0 入力/HOLD 解除入力/タイマ 2L キャプチャ入力 P31:INT1 入力/HOLD 解除入力/タイマ 2H キャプチャ入力 P32:INT2 入力/HOLD 解除入力/タイマ 2 イベント入力/タイマ 2L キャプチャ入力 P33:INT3 入力/HOLD 解除入力/タイマ 2 イベント入力/タイマ 2H キャプチャ入力 ・インタラプト受付形式 INT0~INT3:Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ

	I/O	機能説明
ポート4 P40～P47	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P40:INT6 入力/HOLD 解除入力 P41:INT7 入力/HOLD 解除入力 P43:SIO1 データ出力 P44:SIO1 データ入力/バス入出力 P45:SIO1 クロック入出力 P46:PWM0A 出力 P47:PWM0B 出力 ・インタラプト受付形式 INT6, INT7:Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ
ポート6 P60～P67	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> AN0(P70)～AN7(P61):AD 変換入力ポート
ポート7 P70～P72	I/O	<ul style="list-style-type: none"> ・3ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> AN8(P70)～AN10(P72):AD 変換入力ポート
ポートA PA0～PA3	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・兼用機能 <ul style="list-style-type: none"> PA0:USM0 出力0 PA1:USM0 出力1 PA2:USM0 出力2 PA3:USM0 出力3
ポートC PC0～PC2	I/O	<ul style="list-style-type: none"> ・3ビットの入出力ポート ・1ビット単位の出力指定可能 ・端子機能 <ul style="list-style-type: none"> PC0:32.768kHz 水晶発振子入力ポート PC1:32.768kHz 水晶発振子出力ポート PC2:PLL フィルター回路接続
RESB	I/O	<ul style="list-style-type: none"> ・リセット端子
TEST	I/O	<ul style="list-style-type: none"> ・テスト端子 ・オンチップデバッグ通信端子
CF1	I	<ul style="list-style-type: none"> ・セラミック発振子用入力ポート
CF2	O	<ul style="list-style-type: none"> ・セラミック発振子用出力ポート

機種概要

1-6 ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	出力形式 切り替え単位	出力形 式 種類	出力形式	プルアップ抵抗
P00～P07 P10～P17 P20～P27 P30～P33 P40～P47 P60～P67 P70～P72 PA0～PA3	1ビット単位 (プログラマブル)	1	CMOS	プログラマブル
		2	Nch オープンドレイン	
PC0	—	—	Nch オープンドレイン (32.768kHz 水晶発振子用入力)	なし
PC1	—	—	Nch オープンドレイン (32.768kHz 水晶発振子用出力)	なし
PC2	—	—	CMOS	プログラマブル

2 内部システム構成

2-1 メモリ空間

Xstormy16は、4Gバイトのリニアアドレスメモリを制御できます。

4Gバイトのメモリ空間のうち0000_0000h~0000_7FFFhの32Kバイトは命令で制御され、CPU動作と周辺機能を実現するために使用されます。

0000_8000h~FFFF_FFFFhの約4Gバイトはプログラム及びデータ格納用として使用されプログラムとしてはプログラムカウンタ(PC)で制御されます。また、データ格納用として0000_0000h~0000_7FFFhと同様に命令で制御できます。

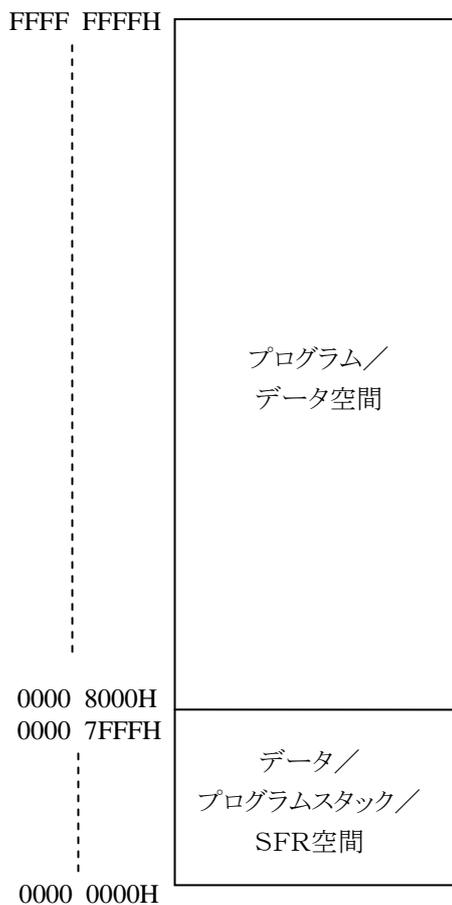


図 2-1-1 Xstormy16メモリ空間

2-1-1 プログラム／データ空間

プログラム／データ空間は0000_8000H～FFFF_FFFFHの約4Gバイトありますが、実際に内蔵するメモリは機種により異なります。プログラム空間のうち256バイトをオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-1-2 データ／プログラムスタック／SFR空間

データ／プログラムスタック／SFR空間は0000_0000H～0000_7FFFHの32Kバイトありますが、実際に内蔵しているRAM(データ／プログラムスタック)／SFRは機種により異なります。

図2-1-2に示すように、データ／プログラムスタック／SFR空間のアドレスにより使用できる命令が異なります。

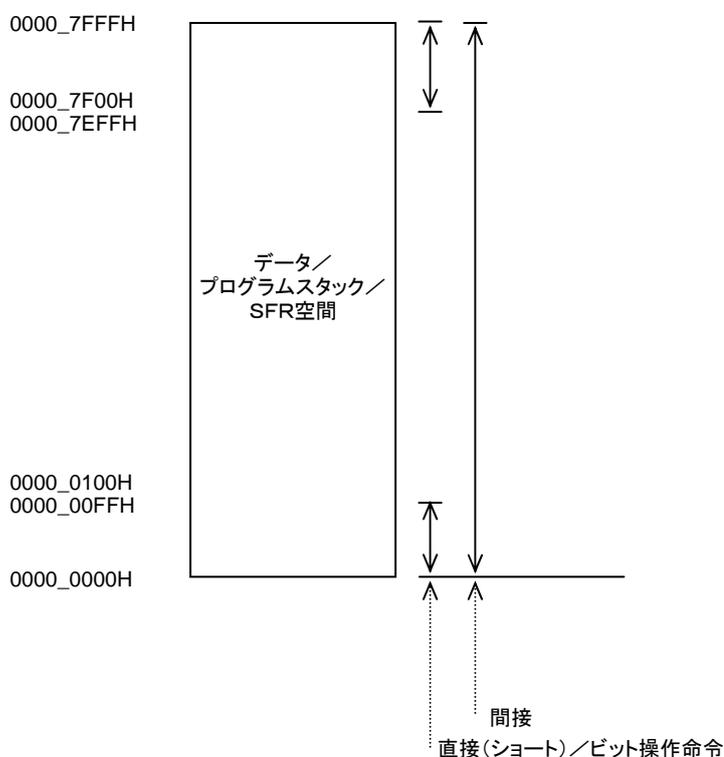


図2-1-2 データ／プログラムスタック／SFR空間アドレッシングマップ

また、PSWを自動的に退避するサブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSPにPCの下位16ビットが、SP+2にPCの上位16ビットが、SP+4にPSWの値が格納され、SP=SP+6となります。PSWを自動的に退避しないサブルーチンコールが発生するとRAMのSPにPCの下位16ビットが、SP+2にPCの上位16ビットが格納され、SP=SP+4となります。

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は32ビットで構成されて、PCにより、0000_8000h~FFFF_FFFFhの約4Gバイト空間がリニアにアクセスできます。

CPUの命令は、すべて2バイトを単位としているため、最下位ビットは無効で0とみなされます。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表2-2-1に示します。

表2-2-1 PC設定値

動作の種類		PCの値
割り込み	リセット/ウォッチドッグタイマ	0000_8000H
	ベースタイマ	0000_8004H
	タイマ0	0000_8008H
	INT0	0000_800CH
		0000_8010H
	INT1	0000_8014H
	INT2/タイマ1/UART2	0000_8018H
	INT3/タイマ2/SMIIC0	0000_801CH
	INT4/タイマ3	0000_8020H
	INT5/タイマ4/SIO1	0000_8024H
	USM0	0000_8028H
	PWM0	0000_802CH
	ADC/タイマ5	0000_8030H
	INT6	0000_8034H
	INT7/SIO0	0000_8038H
	ポート0	0000_803CH
	例外処理	0000_8080H
無条件分岐命令	JMPF a24	PC=a24
	JMP Rb,Rs	PC=Rb<<16+Rs Rb: ベースレジスタの内容 Rs: 汎用レジスタの内容
	BR r12	PC=PC+2+r12[-2048~+2047]
	BR Rs	PC=PC+2+Rs[-32768~+32768] Rs: 汎用レジスタの内容
条件分岐命令	BGE, BNC, BLT, BC, BGT, BHI, BLE, BLS, BPL, BNV, BMI, BV, BNZ, BZ, BN, BP	PC=PC+nb+r12[-2048~+2048] または PC=PC+nb+r8[-128~+127] nb: 命令のバイト数
CALL命令	CALLF a24	PC=a24
	CALL Rb,Rs ICALL Rb,Rs	PC=Rb<<16+Rs Rb: ベースレジスタの内容 Rs: 汎用レジスタの内容
	CALLR r12 ICALLR r12	PC=PC+2+r12[-2048~+2047]
	CALLR Rs ICALLR Rs	PC=PC+2+Rs[-32768~+32768]
	リターン命令	RET,IRET

2-3 汎用レジスタ

2-3-1 概要

本シリーズは16本の汎用レジスタ(R0~R15)が実装されています。
バイトモードでは下位8ビットのみ命令実行の対象となります。また、バイトモードでデータをロードすると上位8ビットは0になります。

名前	別名	説明
R0~R13		16ビットの汎用レジスタです。
R14	PSW	CPUの状態を示す16ビットのレジスタとして使用します。
R15	SP	サブルーチンスタックポインタとして暗示的に使用する16ビットレジスタです。 SPのビット0は常に0で使用してください。

2-3-2 R0~R7

各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。

2-3-3 R8

- ①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ②1ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ③2ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ④CALL, ICALL, JMP命令でPC32~16指定に使用されます。

2-3-4 R9

- ①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ②2ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ③CALL, ICALL, JMP命令でPC32~16指定に使用されます。

2-3-5 R10~R13

- ①各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ②2ワードMOVF命令でベースアドレスレジスタとして使用されます。

2-3-6 R14(PSW)

CPUの状態を格納する16ビットのレジスタです。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 *このビットが1でないときすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。
9	IL1	*IE=1の時、IL2～IL0で指定されたレベルより高いレベルの割り込み要求が受け付けられます。
10	IL2	
11	WS	例外割り込み制御レジスタの書込み制御。(0/1:禁止/許可)
12	N0	N3～N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタのアドレスがここに入ります。
13	N1	
14	N2	
15	N3	

(注) MUL・DIV・DIVLH・SDIV・SDIVLH命令実行時のフラグ変化は以下のようになります。

- Z8, Z16, P, S … 演算結果のR0の値に影響を受け変化します
 HC, OV, N0～N3 … クリアされます
 CY … SDIV・SDIVLH命令時はSフラグと同一値、それ以外の場合クリア

2-3-7 R15(SP)

暗示的にサブルーチンのスタックポインタとして使用される16ビットのレジスタです。サブルーチンスタックポインタとして使用されるので、SPのビット0は常に0にする必要があります。

SPの値は以下のように変化します。

- ①PUSH命令実行時 : RAM(SP) = DATA, SP = SP + 2
 ②CALL, CALLF,
 CALLR命令実行時 : RAM(SP) = PCL, SP = SP + 2,
 RAM(SP) = PCH, SP = SP + 2
 ③ICALL, ICALLF,
 ICALLR命令実行時 : RAM(SP) = PCL, SP = SP + 2,
 RAM(SP) = PCH, SP = SP + 2,
 RAM(SP) = PSW, SP = SP + 2
 ④POP命令実行時 : SP = SP - 2, DATA = RAM(SP)
 ⑤RET命令実行時 : SP = SP - 2, PCH = RAM(SP),
 SP = SP - 2, PCL = RAM(SP)

システム構成

⑥IRET命令実行時 : $SP = SP - 2$, $PSW = RAM(SP)$,
 $SP = SP - 2$, $PCH = RAM(SP)$,
 $SP = SP - 2$, $PCL = RAM(SP)$

*PCLはPC(プログラムカウンタ)のビット0~15、PCHはPCのビット16~31を示す。

2-4 プログラムメモリ(ROM)

本シリーズはプログラム/データ空間に以下のように、プログラムメモリ(ROM)を内蔵しています。

機種名	アドレス	ROMサイズ
LC88F58B0A	0000_8000H~0002_7FFF	128Kバイト

(注)本シリーズは0002_7F00~0002_7FFFの256バイトをオプション指定領域として使用しますので、この領域はプログラム領域として使用することはできません。

2-5 データメモリ(RAM)

本シリーズはデータメモリまたはプログラムスタック用として、以下のようにRAMを内蔵しています。

機種名	アドレス	RAMサイズ
LC88F58B0A	0000_0000H~0000_17FFH	6144バイト

2-6 特殊機能レジスタ(SFR)

本シリーズは周辺機能を制御するための特殊機能レジスタ(SFR)がアドレス0000_7F00H~0000_7FFFHに存在しています。SFRの一覧を表2-6-1に示します。SFR内の各レジスタの内容は、各項目を参照してください。

表 2-6-1 SFR一覧

シンボル	アドレス	R/W	名称	初期値
	7F00			
	7F01			
IL1L	7F02	R/W	割り込みレベル設定レジスタ1L	0000_0000
IL1H	7F03	R/W	割り込みレベル設定レジスタ1H	0000_0000
IL2L	7F04	R/W	割り込みレベル設定レジスタ2L	0000_0000
IL2H	7F05	R/W	割り込みレベル設定レジスタ2H	0000_0000
	7F06			
	7F07			
EXCPL	7F08	R/W	例外割り込み制御レジスタ下位	0000_0000
EXCPH	7F09	R/W	例外割り込み制御レジスタ上位	LL00_L0L0
OCR0	7F0A	R/W	発振制御レジスタ0	0000_0000
OCR1	7F0B	R/W	発振制御レジスタ1	0L00_L000
WDTCR	7F0C	R/W	ウォッチドッグタイマ制御レジスタ	0L00_0000
RAND	7F0D		システム予約レジスタ	
BTCR	7F0E	R/W	ベースタイマ制御レジスタ	0000_0000
PWRDET	7F0F		システム予約レジスタ	
T0LR	7F10	R/W	タイマ0周期設定レジスタ下位	0000_0000
T0HR	7F11	R/W	タイマ0周期設定レジスタ上位	0000_0000
T0CNT	7F12	R/W	タイマ0制御レジスタ	0000_0000
T0PR	7F13	R/W	タイマ0プリスケアラ	0000_0000
T1LR	7F14	R/W	タイマ1周期設定レジスタ下位	0000_0000
T1HR	7F15	R/W	タイマ1周期設定レジスタ上位	0000_0000
T1CNT	7F16	R/W	タイマ1制御レジスタ	0000_0000
T1PR	7F17	R/W	タイマ1プリスケアラ	0000_0000
T2LR	7F18	R/W	タイマ2周期設定レジスタ下位	0000_0000
T2HR	7F19	R/W	タイマ2周期設定レジスタ上位	0000_0000
T2L	7F1A	R	タイマ2カウンタ	0000_0000
T2H	7F1B	R	タイマ2カウンタ	0000_0000
T2CNT0	7F1C	R/W	タイマ2制御レジスタ0	0000_0000
T2CNT1	7F1D	R/W	タイマ2制御レジスタ1	LLL0_0000
T2CNT2	7F1E	R/W	タイマ2制御レジスタ2	000L_0000
	7F1F			
ADCR	7F20	R/W	ADコンバータ制御レジスタ	0000_0000
ADMR	7F21	R/W	ADコンバータモードレジスタ	0000_0000
ADRL	7F22	R/W	ADコンバータ結果レジスタ下位	0000_0000
ADRH	7F23	R/W	ADコンバータ結果レジスタ上位	0000_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
	7F24			
	7F25			
	7F26			
	7F27			
T3LR	7F28	R/W	タイマ3周期設定レジスタ下位	0000_0000
T3HR	7F29	R/W	タイマ3周期設定レジスタ上位	0000_0000
T3L	7F2A	R	タイマ3カウンタ	0000_0000
T3H	7F2B	R	タイマ3カウンタ	0000_0000
T3CNT0	7F2C	R/W	タイマ3制御レジスタ0	0000_0000
T3CNT1	7F2D	R/W	タイマ3制御レジスタ1	LLLL_L000
T3PR	7F2E	R/W	タイマ3プリスケール設定レジスタ	0000_0000
	7F2F			
S0CNT	7F30	R/W	SIO0制御レジスタ	0000_0000
S0BG	7F31	R/W	SIO0ボーレート制御レジスタ	0000_0000
S0BUF	7F32	R/W	SIO0データバッファ	0000_0000
S0INTVL	7F33	R/W	SIO0インターバルレジスタ	0000_0000
S1CNT	7F34	R/W	SIO1制御レジスタ	0000_0000
S1BG	7F35	R/W	SIO1ボーレート制御レジスタ	0000_0000
S1BUF	7F36	R/W	SIO1データバッファ	0000_0000
S1INTVL	7F37	R/W	SIO1インターバルレジスタ	0000_0000
U0CR	7F38	R/W	UART0制御レジスタ	0000_1000
	7F39			
U0RXL	7F3A	R/W	UART0受信レジスタ下位	0000_0000
U0RXH	7F3B	R/W	UART0受信レジスタ上位	LLLL_LL00
U0TXL	7F3C	R/W	UART0送信レジスタ下位	0000_0000
U0TXH	7F3D	R/W	UART0送信レジスタ下位	LLLL_LLH0
	7F3E			
	7F3F			
P0LAT	7F40	R/W	ポート0データラッチ	0000_0000
P0IN	7F41	R	ポート0入力アドレス	XXXX_XXXX
P0DDR	7F42	R/W	ポート0方向制御レジスタ	0000_0000
P0FSA	7F43	R/W	ポート0機能制御レジスタA	0000_0000
P1LAT	7F44	R/W	ポート1データラッチ	0000_0000
P1IN	7F45	R	ポート1入力アドレス	XXXX_XXXX
P1DDR	7F46	R/W	ポート1方向制御レジスタ	0000_0000
P1FSA	7F47	R/W	ポート1機能制御レジスタA	0000_0000
P2LAT	7F48	R/W	ポート2データラッチ	0000_0000
P2IN	7F49	R	ポート2入力アドレス	XXXX_XXXX
P2DDR	7F4A	R/W	ポート2方向制御レジスタ	0000_0000
P2FSA	7F4B	R/W	ポート2機能制御レジスタA	0000_0000
P3LAT	7F4C	R/W	ポート3データラッチ	LLLL_0000
P3IN	7F4D	R	ポート3入力アドレス	LLLL_XXXX
P3DDR	7F4E	R/W	ポート3方向制御レジスタ	LLLL_0000
P3FSA	7F4F	R/W	ポート3機能制御レジスタA	LLLL_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
P4LAT	7F50	R/W	ポート4データラッチ	0000_0000
P4IN	7F51	R	ポート4入力アドレス	XXXX_XXXX
P4DDR	7F52	R/W	ポート4方向制御レジスタ	0000_0000
P4FSA	7F53	R/W	ポート4機能制御レジスタA	0000_0000
	7F54			
	7F55			
	7F56			
	7F57			
P6LAT	7F58	R/W	ポート6データラッチ	0000_0000
P6IN	7F59	R	ポート6入力アドレス	XXXX_XXXX
P6DDR	7F5A	R/W	ポート6方向制御レジスタ	0000_0000
	7F5B			
P7LAT	7F5C	R/W	ポート7データラッチ	LLLL_L000
P7IN	7F5D	R	ポート7入力アドレス	LLLL_LXXX
P7DDR	7F5E	R/W	ポート7方向制御レジスタ	LLLL_L000
	7F5F			
SMIC0CNT	7F60	R/W	I ² C制御レジスタ0	0000_0000
SMIC0STA	7F61	R/W	I ² Cステータスレジスタ0	0000_0000
SMIC0BRG	7F62	R/W	I ² Cボーレート制御レジスタ0	0000_0000
SMIC0BUF	7F63	R/W	I ² Cデータバッファ0	0000_0000
	7F64			
	7F65			
	7F66			
	7F67			
SMIC0PCNT	7F68	R/W	I ² Cポート制御レジスタ0	LLLL_0000
	7F69			
	7F6A			
	7F6B			
U2CNT0	7F6C	R/W	UART2制御レジスタ0	0010_0000
U2CNT1	7F6D	R/W	UART2制御レジスタ1	0000_0000
U2TBUF	7F6E	R/W	UART2送信データレジスタ	0000_0000
U2RBUF	7F6F	R	UART2受信データレジスタ	0000_0000
	7F70			
	7F71			
	7F72			
	7F73			
U2BG	7F74	R/W	UART2ボーレート制御レジスタ	0000_0000
	7F75			
FSR0	7F76		システム予約レジスタ	
	7F77			
	7F78			
	7F79			
	7F7A			
	7F7B			

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
	7F7C			
	7F7D			
	7F7E			
	7F7F			
USM0CTL	7F80	R/W	USM0制御レジスタ	0000_0000
USM0NPH	7F81	R/W	USM0PHASE数設定レジスタ	0000_0000
USM0TWL	7F82	R/W	USM0周期設定レジスタ下位	0000_0000
USM0TWH	7F83	R/W	USM0周期設定レジスタ上位	00LL_0000
USM0LPL	7F84	R/W	USM0LOW期間設定レジスタ下位	0000_0000
USM0LPH	7F85	R/W	USM0LOW期間設定レジスタ上位	L00L_LL00
USM0PSF	7F86	R/W	USM0出力波形設定レジスタ	0000_L000
	7F87			
USM0PLL	7F88	R/W	USM0用PLL制御レジスタ	0L00_0000
	7F89			
	7F8A			
	7F8B			
	7F8C			
	7F8D			
	7F8E			
	7F8F			
	7F90			
	7F91			
	7F92			
	7F93			
	7F94			
	7F95			
	7F96			
	7F97			
	7F98			
	7F99			
	7F9A			
	7F9B			
	7F9C			
	7F9D			
	7F9E			
	7F9F			
T4LR	7FA0	R/W	タイマ4周期設定レジスタ下位	0000_0000
T4HR	7FA1	R/W	タイマ4周期設定レジスタ上位	0000_0000
T5LR	7FA2	R/W	タイマ5周期設定レジスタ下位	0000_0000
T5HR	7FA3	R/W	タイマ5周期設定レジスタ上位	0000_0000
T45CNT	7FA4	R/W	タイマ45制御レジスタ	0000_0000
	7FA5			
	7FA6			
	7FA7			

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
	7FA8			
	7FA9			
PWM0AL	7FAA	R/W	PWM0AコンペアレジスタL	0000_LLLL
PWM0AH	7FAB	R/W	PWM0AコンペアレジスタH	0000_0000
PWM0BL	7FAC	R/W	PWM0BコンペアレジスタL	0000_LLLL
PWM0BH	7FAD	R/W	PWM0BコンペアレジスタH	0000_0000
PWM0C	7FAE	R/W	PWM0制御レジスタ	0000_0000
PWM0PR	7FAF	R/W	PWM0プリスケータ	0000_0000
	7FB0			
	7FB1			
	7FB2			
	7FB3			
	7FB4			
	7FB5			
TMCLK0	7FB6	R/W	タイマクロック設定レジスタ0	0000_00L0
	7FB7			
	7FB8			
	7FB9			
	7FBA			
	7FBB			
	7FBC			
	7FBD			
	7FBE			
	7FBF			
	7FC0			
	7FC1			
	7FC2			
	7FC3			
	7FC4			
	7FC5			
	7FC6			
	7FC7			
PALAT	7FC8	R/W	ポートAデータラッチ	0000_0000
PAIN	7FC9	R	ポートA入力アドレス	XXXX_XXXX
PADDR	7FCA	R/W	ポートA方向制御レジスタ	0000_0000
PAFSA	7FCB	R/W	ポートA機能制御レジスタA	0000_0000
	7FCC			
	7FCD			
	7FCE			
	7FCF			
PCLAT	7FD0	R/W	ポートCデータラッチ	LLLL_L000
PCIN	7FD1	R	ポートC入力アドレス	LLLL_LXXX
PCDDR	7FD2	R/W	ポートC方向制御レジスタ	LLLL_L000
	7FD3			

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
	7FD4			
	7FD5			
	7FD6			
	7FD7			
INT01CR	7FD8	R/W	INT01制御レジスタ	0000_0000
INT23CR	7FD9	R/W	INT23制御レジスタ	0000_0000
INT45CR	7FDA	R/W	INT45制御レジスタ	0000_0000
INT67CR	7FDB	R/W	INT67制御レジスタ	0000_0000
IRQREG0	7FDC		システム予約レジスタ	
IRQREG1	7FDD		システム予約レジスタ1	
	7FDE			
	7FDF			
RTS1ADRL	7FE0	R/W	RTS1ベースアドレスレジスタ下位	0000_0000
RTS1ADRH	7FE1	R/W	RTS1ベースアドレスレジスタ上位	LLL0_0000
RTS2ADRL	7FE2	R/W	RTS2ベースアドレスレジスタ下位	0000_0000
RTS2ADRH	7FE3	R/W	RTS2ベースアドレスレジスタ上位	LLL0_0000
RTS1CTR	7FE4	R/W	RTS1転送回数設定レジスタ	0000_0000
RTS2CTR	7FE5	R/W	RTS2転送回数設定レジスタ	0000_0000
	7FE6			
	7FE7			
	7FE8			
	7FE9			
	7FEA			
	7FEB			
	7FEC			
	7FED			
	7FEE			
	7FEF			
	7FF0			
P1FSB	7FF1	R/W	ポート1機能制御レジスタB	0000_0000
P2FSB	7FF2	R/W	ポート2機能制御レジスタB	0000_0000
P3FSB	7FF3	R/W	ポート3機能制御レジスタB	LLLL_0000
P4FSB	7FF4	R/W	ポート4機能制御レジスタB	0000_0000
	7FF5			
P6FSB	7FF6	R/W	ポート6機能制御レジスタB	0000_0000
P7FSB	7FF7	R/W	ポート7機能制御レジスタB	LLLL_L000
	7FF8			
	7FF9			
PAFSB	7FFA	R/W	ポートA機能制御レジスタB	0000_0000
	7FFB			
	7FFC			
	7FFD			
RTSTST	7FFE	R/W	RTSテストレジスタ	0000_0000
RTSCNT	7FFF	R/W	RTS制御レジスタ	LL00_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

3 周辺システム構成

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタにより1ビット毎に設定できます。

P0n(n=0~5)は、外部割り込み端子としても使用でき、HOLD/HOLDXモードの解除も可能です。

P06、P07端子はタイマ0のPWM出力ポートとして使用することができます。

3-1-2 機能

①入出力ポート(8ビット:P00~P07)

- ・ポート0データラッチ(POLAT:7F40)でポート出力データの制御、ポート0データディレクションレジスタ(P0DDR:FE42)で入出力方向を制御します。
- ・端子に入力されたデータはポート0入力アドレス(P0IN:7F41)を通して読み込みます
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み端子機能

- ・P0IE(P0FSA:7F43のビット0)が“1”の時、対応するP0DDR<n>が“0”のP00~P03端子のどれか1つのLレベルを入力するとP0FLG((P0FSA:7F43のビット1)に1がセットされHOLD/HOLDXモード解除とベクタアドレス803CHへの割り込み要求を行います。
- ・P04IE(P0FSA:7F43のビット2)が“1”の時、P04端子にP04IL((P0FSA:7F43のビット4)で指定されたレベルを入力するとP04FLG((P0FSA:7F43のビット3)に1がセットされHOLD/HOLDXモード解除とベクタアドレス803CHへの割り込み要求を行います。
- ・P05IE(P0FSA:7F43のビット5)が“1”の時、P05端子にP05IL((P0FSA:7F43のビット7)で指定されたレベルを入力するとP05FLG((P0FSA:7F43のビット6)に1がセットされHOLD/HOLDXモード解除とベクタアドレス803CHへの割り込み要求を行います。

③兼用機能

- ・P06、P07はタイマ0PWM出力(T0PWML、T0PWMH)とのORを出力します。モードによりPWM動作しない場合のT0PWML、T0PWMH出力は0です。
- ・P07はUART0のボーレートクロックの入力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

ポート0

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ (POLAT)

①ポート0の出力データとプルアップ抵抗とポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-2 ポート0入力アドレス (POIN)

①ポート0の端子データの読み込みを行うアドレスです。

②ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	POIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-3 ポート0データディレクションレジスタ (PODDR)

①ポート0の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットPODDR<n>が“1”の時、ポートP0nは出力モードになり、ビットPODDR<n>が“0”の時、ポートP0nは入力モードになります。

②ビットPODDR<n>が“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	PODDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-4 ポート0機能制御レジスタA (POFSA)

①ポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	POFSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL (ビット7) : P05割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P05FLG (ビット6) : P05割り込み検出フラグ

P05割り込みの条件が満たされると“1”がセットされます。

このビットはPOFSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE (ビット5) : P05割り込み動作制御

このビットが“1”の時、P05割り込みが動作します。

このビットとP05FLGがともに“1”の時、HOLD/HOLDモードX解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL (ビット4) : P04割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P04FLG (ビット3) : P04割り込み検出フラグ

P04割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE (ビット2) : P04割り込み動作制御

このビットが“1”の時、P04割り込みが動作します。

このビットとP04FLGがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG (ビット1) : P0L割り込み検出フラグ

P0L割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE (ビット0) : P0L割り込み動作制御

このビットが“1”の時、P0DDR<n>が“0”設定されたP0n (n=0~3) に対しP0L割り込み検出が動作します。

このビットとP0FLGがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-1-4 レジスタ設定毎のポート状態

レジスタデータ		ポートP0nの状態	
POLAT<n>	P0DDR<n>	入力	出力
0	0	可能	オープン
1	0	可能	内蔵プルアップ抵抗
0	1	可能	LOW
1	1	可能	HIGH

3-1-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

ポート1

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-2-2 機能

①入出力ポート（8ビット:P10～P17）

- ・ポート1データラッチ(P1LAT:7F44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:7F46)で入出力方向を制御します。
- また、ポート1機能制御レジスタA(P1FSA:7F47)、ポート1機能制御レジスタB(P1FSB:7FF1)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P10～P12はSIO0通信機能を兼用します。
- ・P13～P14はUART0への入出力を兼用します。
- ・P14～P15はタイマ3のPWM/トグル出力を兼用します。
- ・P16～P17はUART2の入出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ(P1LAT)

①ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-2 ポート1入力アドレス(P1IN)

①ポート1の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-3 ポート1データディレクションレジスタ(P1DDR)

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-4 ポート1機能制御レジスタA(P1FSA)

①ポート1の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-5 ポート1機能制御レジスタB(P1FSB)

①ポート1の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-4 レジスタ設定毎のポート状態

(注)兼用機能への入力端子データが取り込まれます。

3-2-4-1 P10の状態

レジスタデータ				ポートP10の状態		
P1FSA<0>	P1FSB<0>	P1LAT<0>	P1DDR<0>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SIO0データ (CMOS反転)
1	0	0	1	可能	—	SIO0データ (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	SIO0データ (変化SLOW)
1	1	0	1	可能	—	SIO0データ (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポート1

3-2-4-2 P11の状態

レジスタデータ				ポートP11の状態		
P1FSA<1>	P1FSB<1>	P1LAT<1>	P1DDR<1>	端子データの読み込み	兼用機能への入力 (SIO0データ)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0データ (CMOS反転)
1	0	0	1	可能	可能	SIO0データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SIO0データ (変化SLOW)
1	1	0	1	可能	可能	SIO0データ (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-3 P12の状態

レジスタデータ				ポートP12の状態		
P1FSA<2>	P1FSB<2>	P1LAT<2>	P1DDR<2>	端子データの読み込み	兼用機能への入力 (SIO0クロック)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0クロック (CMOS反転)
1	0	0	1	可能	可能	SIO0クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SIO0クロック (変化SLOW)
1	1	0	1	可能	可能	SIO0クロック (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-4 P13の状態

レジスタデータ				ポートP13の状態		
P1FSA<3>	P1FSB<3>	P1LAT<3>	P1DDR<3>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	UART0送信データ出力 (CMOS反転)
1	0	0	1	可能	—	UART0送信データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	UART0送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	UART0送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポート1

3-2-4-5 P14の状態

レジスタデータ				ポートP14の状態		
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	端子データの読み込み	兼用機能への入力 (UART0)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ3L出力 (CMOS反転)
1	0	0	1	可能	可能	タイマ3L出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ3L出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	タイマ3L出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-6 P15の状態

レジスタデータ				ポートP15の状態		
P1FSA<5>	P1FSB<5>	P1LAT<5>	P1DDR<5>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ3H出力 (CMOS反転)
1	0	0	1	可能	—	タイマ3H出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ3H出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ3H出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-2-4-7 P16の状態

レジスタデータ				ポートP16の状態		
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	端子データの読み込み	兼用機能への入力 (UART2受信)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-2-4-8 P17の状態

レジスタデータ				ポートP17の状態		
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	UART2送信データ出力 (CMOS反転)
1	0	0	1	可能	—	UART2送信データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	UART2送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	UART2送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-2-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

ポート2

3-3 ポート2

3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-3-2 機能

①入出力ポート（8ビット:P20～P27）

- ・ポート2データラッチ(P2LAT:7F48)でポート出力データの制御、ポート2データディレクションレジスタ(P2DDR:7F4A)で入出力方向を制御します。
- また、ポート2機能制御レジスタA(P2FSA:7F4B)、ポート2機能制御レジスタB(P2FSB:7FF2)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P20, P21は外部割込み入力(INT4, INT5)を兼用します。
- ・P22, P23, P24はシングルマスタI²C通信機能を兼用します。
- ・P25はタイマ4出力を兼用します。
- ・P26はタイマ5出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3 関連レジスタ

3-3-3-1 ポート2データラッチ(P2LAT)

①ポート2の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-2 ポート2入力アドレス(P2IN)

①ポート2の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-3 ポート2データディレクションレジスタ(P2DDR)

①ポート2の入出力方向の制御をビット毎に行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-4 ポート2機能制御レジスタA(P2FSA)

①ポート2の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-5 ポート2機能制御レジスタB(P2FSB)

①ポート2の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-4 レジスタ設定毎のポート状態

(注)兼用機能への入力端子データが取り込まれます。

3-3-4-1 P20の状態

レジスタデータ				ポートP20の状態		
P2FSA<0>	P2FSB<0>	P2LAT<0>	P2DDR<0>	端子データの読み込み	兼用機能への入力 (INT4入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート2

3-3-4-2 P21の状態

レジスタデータ				ポートP21の状態		
P2FSA<1>	P2FSB<1>	P2LAT<1>	P2DDR<1>	端子データの読み込み	兼用機能への入力 (INT5入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-3-4-3 P22の状態

レジスタデータ				ポートP22の状態		
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	端子データの読み込み	兼用機能への入力 (SMIICクロック)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIICクロック出力 (CMOS反転)
1	0	0	1	可能	可能	SMIICクロック出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIICクロック出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMIICクロック出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-3-4-4 P23の状態

レジスタデータ				ポートP23の状態		
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	端子データの読み込み	兼用機能への入力 (SMIICデータ)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIICデータ出力 (CMOS反転)
1	0	0	1	可能	可能	SMIICデータ出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIICデータ出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMIICデータ出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-3-4-5 P24の状態

レジスタデータ				ポートP24の状態		
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SMIICデータ出力 (CMOS反転)
1	0	0	1	可能	—	SMIICデータ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	SMIICデータ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	SMIICデータ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポート2

3-3-4-6 P25の状態

レジスタデータ				ポートP25の状態		
P2FSA<5>	P2FSB<5>	P2LAT<5>	P2DDR<5>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ4出力 (CMOS反転)
1	0	0	1	可能	—	タイマ4出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ4出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ4出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-3-4-7 P26の状態

レジスタデータ				ポートP26の状態		
P2FSA<6>	P2FSB<6>	P2LAT<6>	P2DDR<6>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ5出力 (CMOS反転)
1	0	0	1	可能	—	タイマ5出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ5出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ5出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-3-4-8 P27の状態

レジスタデータ				ポートP27の状態		
P2FSA<7>	P2FSB<7>	P2LAT<7>	P2DDR<7>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	HIGHW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

3-3-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

ポート3

3-4 ポート3

3-4-1 概要

ポート3は、プログラマブル・プルアップ抵抗付きの4ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-4-2 機能

①入出力ポート（4ビット:P30～P33）

- ・ポート3データラッチ(P3LAT:7F4C)でポート出力データの制御、ポート3データディレクションレジスタ(P3DDR:7F4E)で入出力方向を制御します。
また、ポート3機能制御レジスタA(P3FSA:7F4F)、ポート3機能制御レジスタB(P3FSB:7FF3)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P30～P33は外部割込み入力(INT0～INT3)を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	LLLL 0000	R/W	P3LAT	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4D	LLLL XXXX	R	P3IN	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4E	LLLL 0000	R/W	P3DDR	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4F	LLLL 0000	R/W	P3FSA	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7FF3	LLLL 0000	R/W	P3FSB	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-3 関連レジスタ

3-4-3-1 ポート3データラッチ(P3LAT)

①ポート3の出力データとプルアップ抵抗の制御を行う4ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	LLLL 0000	R/W	P3LAT	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-3-2 ポート3入力アドレス(P3IN)

①ポート3の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート3のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	LLLL XXXX	R	P3IN	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-3-3 ポート3データディレクションレジスタ(P3DDR)

①ポート3の入出力方向の制御をビット毎に行う4ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	LLLL 0000	R/W	P3DDR	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-3-4 ポート3機能制御レジスタA(P3FSA)

①ポート3の機能制御を行う4ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	LLLL 0000	R/W	P3FSA	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-3-5 ポート3機能制御レジスタB(P3FSB)

①ポート3の機能制御を行う4ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	LLLL 0000	R/W	P3FSB	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-4-4 レジスタ設定毎のポート状態

(注)兼用機能への入力端子データが取り込まれます。

3-4-4-1 P30の状態

レジスタデータ				ポートP30の状態		
P3FSA<0>	P3FSB<0>	P3LAT<0>	P3DDR<0>	端子データの読み込み	兼用機能への入力 (INT0入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート3

3-4-4-2 P31の状態

レジスタデータ				ポートP31の状態		
P3FSA<1>	P3FSB<1>	P3LAT<1>	P3DDR<1>	端子データの読み込み	兼用機能への入力 (INT1入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-3 P32の状態

レジスタデータ				ポートP32の状態		
P3FSA<2>	P3FSB<2>	P3LAT<2>	P3DDR<2>	端子データの読み込み	兼用機能への入力 (INT2入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-4 P33の状態

レジスタデータ				ポートP33の状態		
P3FSA<3>	P3FSB<3>	P3LAT<3>	P3DDR<3>	端子データの 読み込み	兼用機能への入力 (INT3入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-5 ポート4

3-5-1 概要

ポート4は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-5-2 機能

①入出力ポート（8ビット:P40～P47）

- ・ポート4データラッチ(P4LAT:7F50)でポート出力データの制御、ポート4データディレクションレジスタ(P4DDR:7F52)で入出力方向を制御します。
- また、ポート4機能制御レジスタA(P4FSA:7F53)、ポート4機能制御レジスタB(P4FSB:7FF4)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P40, P41は外部割込み入力(INT6, INT7)を兼用します。
- ・P43～P45はSIO1通信機能を兼用します。
- ・P46, P47はPWM0出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3 関連レジスタ

3-5-3-1 ポート4データラッチ(P4LAT)

①ポート4の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-2 ポート4入力アドレス(P4IN)

- ①ポート4の端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポート4のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-3 ポート4データディレクションレジスタ(P4DDR)

①ポート4の入出力方向の制御をビット毎に行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-4 ポート4機能制御レジスタA(P4FSA)

① ポート4の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-5 ポート4機能制御レジスタB(P4FSB)

① ポート4の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-4 レジスタ設定毎のポート状態

(注) 兼用機能への入力は端子データが取り込まれます。

3-5-4-1 P40の状態

レジスタデータ				ポートP40の状態		
P4FSA<0>	P4FSB<0>	P4LAT<0>	P4DDR<0>	端子データの読み込み	兼用機能への入力 (INT6入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート4

3-5-4-2 P41の状態

レジスタデータ				ポートP41の状態		
P4FSA<1>	P4FSB<1>	P4LAT<1>	P4DDR<1>	端子データの読み込み	兼用機能への入力 (INT7入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-5-4-3 P42の状態

レジスタデータ				ポートP42の状態		
P4FSA<2>	P4FSB<2>	P4LAT<2>	P4DDR<2>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	HIGH(変化SLOW)
1	1	0	1	可能	—	オープン (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-4 P43の状態

レジスタデータ				ポートP43の状態		
P4FSA<3>	P4FSB<3>	P4LAT<3>	P4DDR<3>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SIO1データ(CMOS反転)
1	0	0	1	可能	—	SIO1データ(CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	SIO1データ(変化SLOW)
1	1	0	1	可能	—	SIO1データ(Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-5 P44の状態

レジスタデータ				ポートP44の状態		
P4FSA<4>	P4FSB<4>	P4LAT<4>	P4DDR<4>	端子データの読み込み	兼用機能への入力(SIO1データ)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO1データ(CMOS反転)
1	0	0	1	可能	可能	SIO1データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SIO1データ(変化SLOW)
1	1	0	1	可能	可能	SIO1データ(Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

ポート4

3-5-4-6 P45の状態

レジスタデータ				ポートP45の状態		
P4FSA<5>	P4FSB<5>	P4LAT<5>	P4DDR<5>	端子データの読み込み	兼用機能への入力 (SIO1クロック)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW(変化SLOW)
0	1	1	0	可能	可能	HIGH(変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO1クロック (CMOS反転)
1	0	0	1	可能	可能	SIO1クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SIO1クロック (変化SLOW)
1	1	0	1	可能	可能	SIO1クロック (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-5-4-7 P46の状態

レジスタデータ				ポートP46の状態		
P4FSA<6>	P4FSB<6>	P4LAT<6>	P4DDR<6>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	PWM00出力 (CMOS反転)
1	0	0	1	可能	—	PWM00出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	PWM00出力 (CMOS変化SLOW)
1	1	0	1	可能	—	PWM00出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-8 P47の状態

レジスタデータ				ポートP47の状態		
P4FSA<7>	P4FSB<7>	P4LAT<7>	P4DDR<7>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	PWM01出力 (CMOS反転)
1	0	0	1	可能	—	PWM01出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	PWM01出力 (CMOS変化SLOW)
1	1	0	1	可能	—	PWM01出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-6 ポート6

3-6-1 概要

ポート6は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-6-2 機能

①入出力ポート（8ビット:P60～P67）

- ・ポート6データラッチ(P6LAT:7F58)でポート出力データの制御、ポート6データディレクションレジスタ(P6DDR:7F5A)で入出力方向を制御します。
- ・ポート6機能制御レジスタB(P6FSB:7FF6)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P60～P67はADコンバータのアナログ入力AN0～AN7を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3 関連レジスタ

3-6-3-1 ポート6データラッチ(P6LAT)

①ポートの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-2 ポート6入力アドレス(P6IN)

- ①ポート6の端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポート6のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-3 ポート6データディレクションレジスタ(P6DDR)

①ポート6の入出力方向の制御をビット毎に行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-4 ポート6機能制御レジスタB(P6FSB)

① ポート6の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-4 レジスタ設定毎のポート状態

(注) 兼用機能 AN_n (n = 0 ~ 7) には端子のレベルが取り込まれます。

3-6-4-1 P60の状態

レジスタデータ			ポートP60の状態		
P6FSB<0>	P6LAT<0>	P6DDR<0>	端子データの読み込み	兼用機能への入力 (AN0)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-2 P61の状態

レジスタデータ			ポートP61の状態		
P6FSB<1>	P6LAT<1>	P6DDR<1>	端子データの読み込み	兼用機能への入力 (AN1)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-3 P62の状態

レジスタデータ			ポートP62の状態		
P6FSB<2>	P6LAT<2>	P6DDR<2>	端子データの読み込み	兼用機能への入力 (AN2)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

ポート6

3-6-4-4 P63の状態

レジスタデータ			ポートP63の状態		
P6FSB<3>	P6LAT<3>	P6DDR<3>	端子データの読み込み	兼用機能への入力 (AN3)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-5 P64の状態

レジスタデータ			ポートP64の状態		
P6FSB<4>	P6LAT<4>	P6DDR<4>	端子データの読み込み	兼用機能への入力 (AN4)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-6 P65の状態

レジスタデータ			ポートP65の状態		
P6FSB<5>	P6LAT<5>	P6DDR<5>	端子データの読み込み	兼用機能への入力 (AN5)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-7 P66の状態

レジスタデータ			ポートP66の状態		
P6FSB<6>	P6LAT<6>	P6DDR<6>	端子データの読み込み	兼用機能への入力 (AN6)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-4-8 P67の状態

レジスタデータ			ポートP67の状態		
P6FSB<7>	P6LAT<7>	P6DDR<7>	端子データの読み込み	兼用機能への入力 (AN7)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-6-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

ポート7

3-7 ポート7

3-7-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの3ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-7-2 機能

①入出力ポート（3ビット:P70～P72）

- ・ポート7データラッチ(P7LAT:7F5C)でポート出力データの制御、ポート7データディレクションレジスタ(P7DDR:7F5E)で入出力方向を制御します。
ポート7機能制御レジスタB(P7FSB:7FF7)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P70～P72はADコンバータのアナログ入力AN8～AN10を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	LLLL L000	R/W	P7LAT	-	-	-	-	-	BIT2	BIT1	BIT0
7F5D	LLLL LXXX	R	P7IN	-	-	-	-	-	BIT2	BIT1	BIT0
7F5E	LLLL L000	R/W	P7DDR	-	-	-	-	-	BIT2	BIT1	BIT0
7FF7	LLLL L000	R/W	P7FSB	-	-	-	-	-	BIT2	BIT1	BIT0

3-7-3 関連レジスタ

3-7-3-1 ポート7データラッチ(P7LAT)

①ポートの出力データとプルアップ抵抗の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	LLLL L000	R/W	P7LAT	-	-	-	-	-	BIT2	BIT1	BIT0

3-7-3-2 ポート7入力アドレス(P7IN)

- ①ポート7の端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	LLLL LXXX	R	P7IN	-	-	-	-	-	BIT2	BIT1	BIT0

3-7-3-3 ポート7データディレクションレジスタ(P7DDR)

①ポート7の入出力方向の制御をビット毎に行う3ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	LLLL L000	R/W	P7DDR	-	-	-	-	-	BIT2	BIT1	BIT0

3-7-3-4 ポート7機能制御レジスタB(P7FSB)

①ポート7の機能制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	LLLL L000	R/W	P7FSB	-	-	-	-	-	BIT2	BIT1	BIT0

3-7-4 レジスタ設定毎のポート状態

(注) 兼用機能 AN_n (n = 8 ~ 10) には端子のレベルが取り込まれます。

3-7-4-1 P70の状態

レジスタデータ			ポートP70の状態		
P7FSB<0>	P7LAT<0>	P7DDR<0>	端子データの読み込み	兼用機能への入力 (AN8)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-2 P71の状態

レジスタデータ			ポートP71の状態		
P7FSB<1>	P7LAT<1>	P7DDR<1>	端子データの読み込み	兼用機能への入力 (AN9)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-3 P72の状態

レジスタデータ			ポートP72の状態		
P7FSB<2>	P7LAT<2>	P7DDR<2>	端子データの読み込み	兼用機能への入力 (AN10)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(変化SLOW)
1	1	0	可能	可能	HIGH(変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-8 ポートA

3-8-1 概要

ポートAは、プログラマブル・プルアップ抵抗付きの4ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-8-2 機能

①入出力ポート（4ビット:PA0～PA3）

- ・ポートAデータラッチ(PALAT:7FC8)でポート出力データの制御、ポートAデータディレクションレジスタ(PADDR:7FCA)で入出力方向を制御します。
- また、ポートA機能制御レジスタA(PAFSA:7FCB)、ポートA機能制御レジスタB(PAFSB:7FFA)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・PA0～PA3は、USM0出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3 関連レジスタ

3-8-3-1 ポートAデータラッチ(PALAT)

①ポートAの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-2 ポートA入力アドレス(PAIN)

- ①ポートAの端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポートAのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-3 ポートAデータディレクションレジスタ(PADDR)

①ポートAの入出力方向の制御をビット毎に行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-4 ポートA機能制御レジスタA (PAFSA)

①ポートAの機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

ビット7～4は0で使用してください。

3-8-3-5 ポートA機能制御レジスタB (PAFSB)

①ポートAの機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-4 レジスタ設定毎のポート状態

(注) 兼用機能への入力は端子データが取り込まれます。

3-8-4-1 PA0の状態

レジスタデータ				ポートPA0の状態		
PAFSA<0>	PAFSB<0>	PALAT<0>	PADDR<0>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	USM000出力(CMOS反転)
1	0	0	1	可能	—	USM000出力(CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	USM000出力(CMOS変化SLOW)
1	1	0	1	可能	—	USM000出力(Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポートA

3-8-4-2 PA1の状態

レジスタデータ				ポートPA1の状態		
PAFSA<1>	PAFSB<1>	PALAT<1>	PADDR<1>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プリアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	USM001出力 (CMOS反転)
1	0	0	1	可能	—	USM001出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	USM001出力 (CMOS変化SLOW)
1	1	0	1	可能	—	USM001出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-8-4-3 PA2の状態

レジスタデータ				ポートPA2の状態		
PAFSA<2>	PAFSB<2>	PALAT<2>	PADDR<2>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	USM0O2出力(CMOS反転)
1	0	0	1	可能	—	USM0O2出力(CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	USM0O2出力(CMOS変化SLOW)
1	1	0	1	可能	—	USM0O2出力(Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポートA

3-8-4-4 PA3の状態

レジスタデータ				ポートPA3の状態		
PAFSA<3>	PAFSB<3>	PALAT<3>	PADDR<3>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	USM003出力(CMOS反転)
1	0	0	1	可能	—	USM003出力(CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	USM003出力(CMOS変化SLOW)
1	1	0	1	可能	—	USM003出力(Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-8-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-9 ポートC

3-9-1 概要

ポートCは、OSC0発振端子を兼用した2ビットのNchオープンドレイン出力のポートとFILT端子を兼用した1ビットのCMOS出力のポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、PC0～PC1はOSC0が発振設定でない時に出力をデータディレクションレジスタによりビット毎に設定できます。

3-9-2 機能

①入出力ポート（3ビット:PC0～PC2）

- ・ポートCデータラッチ(PCLAT:7FD0)でポート出力データの制御,ポートCデータディレクションレジスタ(PCDDR:7FD2)で入出力を制御します。

注意:OSC0の発振設定が優先されます。

②兼用機能

- ・PC0, PC1はOSC0発振端子を兼用します。

- ・PC2はFILT端子を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLLL L000	R/W	PCLAT	-	-	-	-	-	BIT2	BIT1	BIT0
7FD1	LLLL LXXX	R	PCIN	-	-	-	-	-	BIT2	BIT1	BIT0
7FD2	LLLL L000	R/W	PCDDR	-	-	-	-	-	BIT2	BIT1	BIT0

3-9-3 関連レジスタ

3-9-3-1 ポートCデータラッチ(PCLAT)

①ポートCの出力データの制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLLL L000	R/W	PCLAT	-	-	-	-	-	BIT2	BIT1	BIT0

3-9-3-2 ポートC入力アドレス(PCIN)

①ポートCの端子データの読み込みを行うアドレスです。

②ポートCのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLL LXXX	R	PCIN	-	-	-	-	-	BIT2	BIT1	BIT0

3-9-3-3 ポートCデータディレクションレジスタ(PCDDR)

①ポートCの入出力方向の制御をビット毎に行う3ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLLL L000	R/W	PCDDR	-	-	-	-	-	BIT2	BIT1	BIT0

ポートC

3-9-4 レジスタ設定毎のポート状態

3-9-4-1 PC0の状態

レジスタデータ				ポートPC0の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT<0>	PCDDR<0>	端子データの読み込み	出力
1	1	x	x	発振モード	
0	x	0	0	可能	オープン
0	x	1	0	可能	オープン
0	x	0	1	可能	LOW
0	x	1	1	可能	オープン

3-9-4-2 PC1の状態

レジスタデータ				ポートPC1の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT<1>	PCDDR<1>	端子データの読み込み	出力
1	1	x	x	発振モード	
0	x	0	0	可能	オープン
0	x	1	0	可能	オープン
0	x	0	1	可能	LOW
0	x	1	1	可能	オープン

3-9-4-3 PC2の状態

レジスタデータ		ポートPC2の状態		
PCLAT<2>	PCDDR<2>	端子データの読み込み	兼用機能FILT	出力
0	0	可能	可能	オープン
1	0	可能	—	内蔵プルアップ
0	1	可能	—	LOW
1	1	可能	—	HIGH

3-9-5 HALT, HOLD, HOLDX時の動作

3-9-5-1 HALT, HOLDX時の動作

HALT, HOLDX時のポートの状態は、汎用出力モード、OSC0発振モードにかかわらずHALT, HOLDX突入時の状態を保持します。

3-9-5-2 HOLD時の動作

- ① 汎用出力モード時、HOLDモード突入時の状態を保持します。
- ② OSC0発振モード時、PC0・PC1は汎用出力モードに移行します。

3-10 外部割り込み機能 (INT_n)

3-10-1 概要

本シリーズは外部割り込み用入力端子 INT_n (n=0~7) を内蔵しています。INT_n (n=0~7) は、それぞれLレベル、Hレベル、Lエッジ、Hエッジ、両エッジ検出を行い割り込み要求フラグをセットします。また、タイマ2のカウントクロック入力、キャプチャ信号入力、タイマ3のカウントクロック入力やHOLD/HOLDXモードの解除信号入力としても使用できます。

3-10-2 機能

① 割り込み入力機能

INT_n (n=0~7) はLレベル、Hレベル、Lエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

② タイマ2カウント入力機能

INT₂、INT₃から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2にカウント信号を送ります。
レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2にカウント信号を送ります。

③ タイマ2Lキャプチャ入力機能

INT₀、INT₂、INT₄、INT₅から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Lキャプチャ信号を送ります。
レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2Lキャプチャ要求信号が発生します。

④ タイマ2Hキャプチャ入力機能

INT₁、INT₃、INT₄、INT₅から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Hキャプチャ信号を送ります。
レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2Hキャプチャ要求信号が発生します。

⑤ タイマ3カウント入力機能

INT₄、INT₅から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ3にカウント信号を送ります。
レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ3にカウント信号を送ります。

INTn

⑥ HOLDモード解除機能

- INTn (n=0~7) で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振=内蔵RC発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- HOLDモード時に、レベル割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。
- HOLDモード時に、エッジ割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。但し、HOLDモード突入時のINTn (n=0~7) のデータが“H”の時のHエッジと、HOLDモード突入時のINTn (n=0~7) のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTn (n=0~7) でHOLDモードを解除する時は、INTn (n=0~7) を両エッジ割り込みモードで使用してください。

⑦ HOLDXモード解除機能

- INTn (n=0~7) で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振=HOLDX突入時の発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- HOLDXモード時に、レベル割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。
- HOLDXモード時に、エッジ割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。但し、HOLDXモード突入時のINTn (n=0~7) のデータが“H”の時のHエッジと、HOLDXモード突入時のINTn (n=0~7) のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTn (n=0~7) でHOLDXモードを解除する時は、INTn (n=0~7) を両エッジ割り込みモードで使用してください。

	割り込み入力 信号検出	タイマカウント入力	キャプチャ入力	HOLD/HOLDXモード解除
INT0	Lレベル, Hレベル	—	タイマ2L	可能
INT1	Lエッジ, Hエッジ,	—	タイマ2H	可能
INT2	両エッジ	タイマ2	タイマ2L	可能
INT3		タイマ2	タイマ2H	可能
INT4		タイマ3	タイマ2	可能
INT5		タイマ3	タイマ2	可能
INT6		—	—	可能
INT7		—	—	可能

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT31F	INT31E	INT2MD		INT21F	INT21E
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT51F	INT51E	INT4MD		INT41F	INT41E
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT71F	INT71E	INT6MD		INT61F	INT61E

3-10-3 関連レジスタ

3-10-3-1 外部割り込み0, 1制御レジスタ(INT01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E

INT1MD (ビット7, 6) : INT1検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT1MD	INT1割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT11F (ビット5) : INT1割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT11E)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT11E (ビット4) : INT1割り込み要求許可

このビットとINT11Fがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。

INT0MD (ビット3, 2) : INT0検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT0MD	INT0割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INTn

INT0IF (ビット1) : INT0 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE (ビット0) : INT0 割り込み要求許可

このビットとINT0IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。

3-10-3-2 外部割り込み2, 3制御レジスタ(INT23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT3IF	INT3IE	INT2MD		INT2IF	INT2IE

INT3MD (ビット7, 6) : INT3 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT3MD	INT3 割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT3IF (ビット5) : INT3 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4) : INT3 割り込み要求許可

このビットとINT3IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。

INT2MD (ビット3, 2) : INT2 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT2MD	INT2 割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT2IF(ビット1):INT2割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE(ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。

3-10-3-3 外部割り込み4, 5制御レジスタ(INT45CR)

①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT5IF	INT5IE	INT4MD		INT4IF	INT4IE

INT5MD(ビット7, 6):INT5検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT5MD	INT5割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT5IF(ビット5):INT5割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT5の割り込み要求許可ビット(INT5IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT5IE(ビット4):INT5割り込み要求許可

このビットとINT5IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。

INT4MD(ビット3, 2):INT4検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT4MD	INT4割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INTn

INT4IF(ビット1):INT4割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット(INT4IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE(ビット0):INT4割り込み要求許可

このビットとINT4IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。

3-10-3-4 外部割り込み6,7制御レジスタ(INT67CR)

①外部割り込み6,7の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT7IF	INT7IE	INT6MD		INT6IF	INT6IE

INT7MD(ビット7,6):INT7検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT7MD	INT7割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT7IF(ビット5):INT7割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT7IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT7IE(ビット4):INT7割り込み要求許可

このビットとINT7IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。

INT6MD(ビット3,2):INT6検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT6MD	INT6割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT6IF(ビット1):INT6割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT6の割り込み要求許可ビット(INT6IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT6IE(ビット0):INT6割り込み要求許可

このビットとINT6IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。

3-10-4 INT_n入力時のポート設定**3-10-4-1 INT0入力時のポート設定**

レジスタデータ				ポートP30の状態
P3FSA<0>	P3FSB<0>	P3LAT<0>	P3DDR<0>	入力
0	0	0	0	INT0入力
0	1	1	1	INT0入力(極性反転)
1	1	1	1	INT0入力

3-10-4-2 INT1入力時のポート設定

レジスタデータ				ポートP31の状態
P3FSA<1>	P3FSB<1>	P3LAT<1>	P3DDR<1>	入力
0	0	0	0	INT1入力
0	1	1	1	INT1入力(極性反転)
1	1	1	1	INT1入力

3-10-4-3 INT2入力時のポート設定

レジスタデータ				ポートP32の状態
P3FSA<2>	P3FSB<2>	P3LAT<2>	P3DDR<2>	入力
0	0	0	0	INT2入力
0	1	1	1	INT2入力(極性反転)
1	1	1	1	INT2入力

3-10-4-4 INT3入力時のポート設定

レジスタデータ				ポートP33の状態
P3FSA<3>	P3FSB<3>	P3LAT<3>	P3DDR<3>	入力
0	0	0	0	INT3入力
0	1	1	1	INT3入力(極性反転)
1	1	1	1	INT3入力

3-10-4-5 INT4入力時のポート設定

レジスタデータ				ポートP20の状態
P2FSA<0>	P2FSB<0>	P2LAT<0>	P2DDR<0>	入力
0	0	0	0	INT4入力
0	1	1	1	INT4入力(極性反転)
1	1	1	1	INT4入力

INTn

3-10-4-6 INT5入力時のポート設定

レジスタデータ				ポートP21の状態
P2FSA<1>	P2FSB<1>	P2LAT<1>	P2DDR<1>	入力
0	0	0	0	INT5入力
0	1	1	1	INT5入力(極性反転)
1	1	1	1	INT5入力

3-10-4-7 INT6入力時のポート設定

レジスタデータ				ポートP40の状態
P4FSA<0>	P4FSB<0>	P4LAT<0>	P4DDR<0>	入力
0	0	0	0	INT6入力
0	1	1	1	INT6入力(極性反転)
1	1	1	1	INT6入力

3-10-4-8 INT7入力時のポート設定

レジスタデータ				ポートP41の状態
P4FSA<1>	P4FSB<1>	P4LAT<1>	P4DDR<1>	入力
0	0	0	0	INT7入力
0	1	1	1	INT7入力(極性反転)
1	1	1	1	INT7入力

3-11 ポート0割り込み機能

3-11-1 概要

本シリーズのポート0(P00~P05)はデジタル入出力機能のほか外部からの入力信号を検出して、割り込みやHOLD/HOLDXモードの解除を行うことができます。

3-11-2 機能

① 割り込みフラグセット機能

- ・割り込み端子指定されたP00~P03のいずれかにLレベルを入力するとP0FLG(P0FSA:7F43のビット1)がセットされます。
- ・P04IE(P0FSA:7F43のビット2)が“1”の時、P04端子にP04IL(P0FSA:7F43のビット4)で指定されたレベルを入力するとP04FLG(P0FSA:7F43のビット3)に1がセットされます。
- ・P05IE(P0FSA:7F43のビット5)が“1”の時、P05端子にP05IL(P0FSA:7F43のビット7)で指定されたレベルを入力するとP05FLG(P0FSA:7F43のビット6)に1がセットされます。

② HOLDモード解除機能

- ・割り込みフラグセットがされると、HOLDモード解除信号が発生し、HOLDモードが解除されホルトモード(メイン発振=内蔵RC)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

③ HOLDXモード解除機能

- ・割り込みフラグセットがされると、HOLDXモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振=HOLDX突入時)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDXモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

3-11-3 関連レジスタ

3-11-3-1 ポート0データラッチ(POLAT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

POINT

3-11-3-2 ポート0入力アドレス(P0IN)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-3 ポート0データディレクションレジスタ(P0DDR)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-4 ポート0機能選択レジスタA(P0FSA)

①ポート0の割り込み機能を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL(ビット7): P05割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P05FLG(ビット6): P05割り込み検出フラグ

P05割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE(ビット5): P05割り込み動作制御

このビットが“1”の時、P05割り込みが動作します。

このビットとP05FLGがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL(ビット4): P04割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P04FLG(ビット3): P04割り込み検出フラグ

P04割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE(ビット2): P04割り込み動作制御

このビットが“1”の時、P04割り込みが動作します。

このビットとP04FLGがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG(ビット1): P0L割り込み検出フラグ

P0L割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE(ビット0): P0L割り込み動作制御

このビットが“1”の時、P0DDR<n>が“0”設定されたP0n(n=0~3)に対しP0L割り込み検出が動作します。

このビットとP0FLGがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-11-4 ポート0割り込みの設定

3-11-4-1 POL割り込み設定

レジスタデータ(n=0~3)			ポートP0nの状態(n=0~3)	検出レベル
POIE	POLAT<n>	PODDR<n>	出力	
1	0	0	内蔵プルアップ	“L”レベル
1	1	0	オープン	“L”レベル

3-11-4-2 P04割り込み設定

レジスタデータ				ポートP04の状態	検出レベル
P04IL	P04IE	POLAT<4>	PODDR<4>	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-11-4-3 P05割り込み設定

レジスタデータ				ポートP05の状態	検出レベル
P05IL	P05IE	POLAT<5>	PODDR<5>	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-12 タイマ0 (T0)

3-12-1 概要

本シリーズ内蔵しているタイマ0 (T0) は、次の8つの機能を持ったプリスケータ付きの16ビットのタイマです。

- ①モード0: 5ビットプリスケータ付き16ビットタイマ
- ②モード1: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き) + 8ビットPWM
- ③モード2: 5ビットプリスケータ付き8ビットPWM
- ④モード3: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き)
- ⑤モード4: 5ビットプリスケータ付き8ビットタイマ + 8ビットPWM
- ⑥モード5: 5ビットプリスケータ付き8ビットタイマ + 8ビットトグル出力
- ⑦モード6: 5ビットプリスケータ付き8ビットPWM + 8ビットPWM
- ⑧モード7: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き) + トグル出力

3-12-2 機能

- ①モード0: 5ビットプリスケータ付き16ビットタイマ
 - ・タイマ0 (T0) はシステムクロック、OSC0、OSC1または内蔵RC発振をカウントする16ビットのプログラマブルタイマとして動作します。
$$T0 \text{の周期} = [(T0HR << 8) + T0LR] + 1 \times (PR + 1) \times \text{カウントクロック周期}$$
 - ・TOPWML, TOPWMHは“0”出力します。
- ②モード1: 5ビットプリスケータ付8ビットタイマ(トグル出力付き) + 8ビットPWM
 - ・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。T0Hはシステムクロックをカウントする8ビットPWMとして動作します。
 - ・TOPWMLはT0L周期毎にトグルする信号を出力します。
 - ・TOPWMHは $256T_{cyc}$ を周期とするPWMとして動作します。
 - ・T0周期
 - $$T0L \text{の周期} = (T0LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - $$TOPWML \text{周期} = T0L \text{周期} \times 2$$
 - $$T0H \text{の周期} = 256T_{cyc}$$
 - $$TOPWMH \text{のH期間} = (T0HR + 1) \times T_{cyc}$$
- ③モード2: 5ビットプリスケータ付き8ビットPWM
 - ・T0Lはシステムクロック、OSC0、OSC1または内蔵RCをカウントとする8ビットPWMとして動作します。T0Hは動作停止しています。
 - ・TOPWMLは周期 $256 \times (PR + 1) \times \text{カウントクロック周期}$ のPWMとして動作します。
 - ・TOPWMHは“0”出力します。
 - $$TOPWML \text{の周期} = 256 \times (PR + 1) \times \text{カウントクロック周期}$$
 - $$TOPWML \text{のH期間} = (T0LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ④モード3: 5ビットプリスケアラ付8ビットタイマ
- TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHは動作停止しています。
 - TOPWMLはTOL周期毎にトグルする信号を出力します。
 - TOPWMHは“0”出力します。
- $$\text{TOLの周期} = (\text{TOLR} + 1) \times (\text{PR} + 1) \times \text{カウントクロック周期}$$
- $$\text{TOPWML周期} = \text{TOL周期} \times 2$$
- ⑤モード4: 5ビットプリスケアラ付き8ビットタイマ+8ビットPWM
- TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHはシステムクロックをカウントする8ビットPWMとして動作します。
 - TOPWMLは“0”出力します。
 - TOPWMHは256T_{cyc}周期とするPWMとして動作します。
- $$\text{TOHの周期} = 256\text{T}_{\text{cyc}}$$
- $$\text{TOPWMHのH期間} = (\text{TOHR} + 1) \times \text{T}_{\text{cyc}}$$
- ⑥モード5: 5ビットプリスケアラ付き8ビットタイマ+8ビットトグル出力
- TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
 - TOPWMLは“0”出力します。
 - TOPWMHはTOH周期毎にトグルする信号を出力します。
- $$\text{TOHの周期} = (\text{TOHR} + 1) \times \text{T}_{\text{cyc}}$$
- $$\text{TOPWMH周期} = \text{TOH周期} \times 2$$
- ⑦モード6: 5ビットプリスケアラ付き8ビットPWM+8ビットPWM
- TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットPWMとして動作します。TOHはシステムクロックをカウントする8ビットPWMとして動作します。
 - TOPWMLは周期 $256 \times (\text{PR} + 1) \times \text{カウントクロック周期}$ のPWMとして動作します。
 - TOPWMHは256T_{cyc}周期とするPWMとして動作します。
- $$\text{TOPWMLの周期} = 256 \times (\text{PR} + 1) \times \text{カウントクロック周期}$$
- $$\text{TOPWMLのH期間} = (\text{TOLR} + 1) \times (\text{PR} + 1) \times \text{カウントクロック周期}$$
- $$\text{TOHの周期} = 256\text{T}_{\text{cyc}}$$
- $$\text{TOPWMHのH期間} = (\text{TOHR} + 1) \times \text{T}_{\text{cyc}}$$
- ⑧モード7: 5ビットプリスケアラ付き8ビットタイマ(トグル出力付き)+トグル出力
- TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。TOHはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
 - TOPWMLはTOL周期毎にトグルする信号を出力します。
 - TOPWMHはTOH周期毎にトグルする信号を出力します。
- $$\text{TOLの周期} = (\text{TOLR} + 1) \times (\text{PR} + 1) \times \text{カウントクロック周期}$$
- $$\text{TOHの周期} = (\text{TOHR} + 1) \times \text{T}_{\text{cyc}}$$

タイマ0

⑨ 割り込みの発生

- ・タイマ0割り込み要求許可ビットがセットされている場合、TOL周期またはTOPWML周期で、T0割り込み要求を発生します。
- ・タイマ0ソフトウェア割り込み制御により、T0割り込み要求を発生します。

⑩タイマ0(T0)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・TOLR, TOHR, TOCNT, TOPR
- ・POLAT, PODDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	TOLR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	TOHR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	TOCNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE
7F13	0000 0000	R/W	TOPR	MODE			PR				

3-12-3 回路構成

3-12-3-1 タイマ0制御レジスタ(TOCNT) (8ビットレジスタ)

①T0の動作、割り込みの制御を行います。

3-12-3-2 タイマ0プリスケアラ制御レジスタ(TOPR) (8ビットレジスタ)

①T0プリスケアラの周期設定とタイマ0の8種類の動作モードの選択を行います。

3-12-3-3 タイマ0プリスケアラ (5ビットカウンタ)

- ①動作開始/停止: RUN(TOCNTのビット2)の0/1により、停止/動作が制御される。
- ②カウントクロック: モードにより異なります。

モード	CKSEL	T0プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

- ③一致信号: カウント値がPR(TOPRのビット4~0)の値と一致すると一致信号を発生する。
- ④リセット: 動作停止時、または一致信号発生時。

3-12-3-4 タイマ0下位(TOL) (8ビットカウンタ)

- ①動作開始/停止: RUN(TOCNTのビット2)の0/1により、停止/動作が制御される。
- ②カウントクロック: T0プリスケアラの一致信号
- ③一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)
- ④リセット: 動作停止時、または一致信号の発生時。

3-12-3-5 タイマ0上位 (TOH) (8ビットカウンタ)

- ①動作開始/停止: RUN (TOCNTのビット2)の0で停止、1の場合はモードにより異なる。

モード	MODE	TOHの動作
0	000	動作
1	001	動作
2	010	停止
3	011	停止
4	100	動作
5	101	動作
6	110	動作
7	111	動作

- ②カウントクロック: モードにより異なる。

モード	MODE	TOHのカウントクロック
0	000	TOLのオーバーフロー
1	001	システムクロック
2	010	—
3	011	—
4	100	システムクロック
5	101	システムクロック
6	110	システムクロック
7	111	システムクロック

- ③一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)
- ④リセット: 動作停止時、または一致信号の発生時。

3-12-3-6 タイマ0一致データレジスタ下位 (TOLR) (一致バッファレジスタ付8ビットレジスタ)

- ①TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位 (TOL)の値が一致した時、一致信号が発生します。
- ②一致バッファレジスタの更新は以下のように行われます。
非動作時には、TOLRと一致バッファレジスタは同値となる。
動作時には、TOLの値が0になる時、一致バッファレジスタはTOLRの内容をロードする。
- ③TOLのカウントクロックにシステムクロック以外を選択した場合、TOL動作時にTOLRの更新は、TOL一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-12-3-7 タイマ0一致データレジスタ上位 (TOHR) (一致バッファレジスタ付8ビットレジスタ)

- ①TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位 (TOH)の値が一致した時、一致信号が発生します。

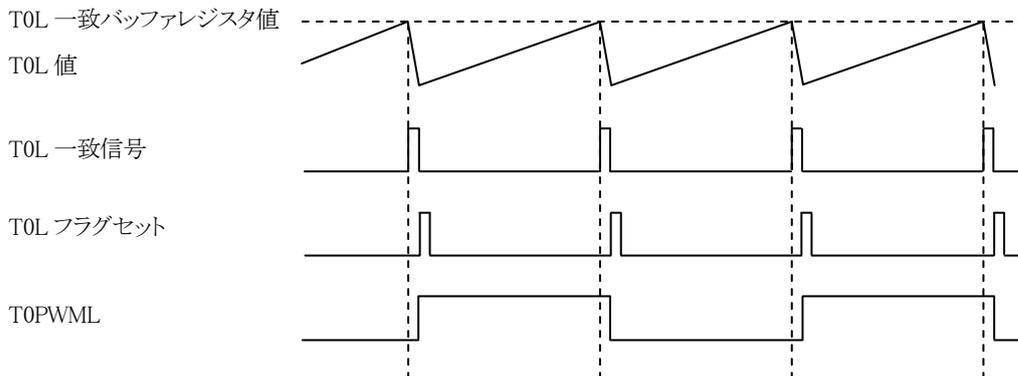
タイマ0

- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、TOHRと一致バッファレジスタは同値となる。
動作時には、TOHの値が0になる時、一致バッファレジスタはTOHRの内容をロードする。
- ③ TOHのカウントクロックにシステムクロック以外を選択した場合、TOH動作時にTOHRの更新は、TOH一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

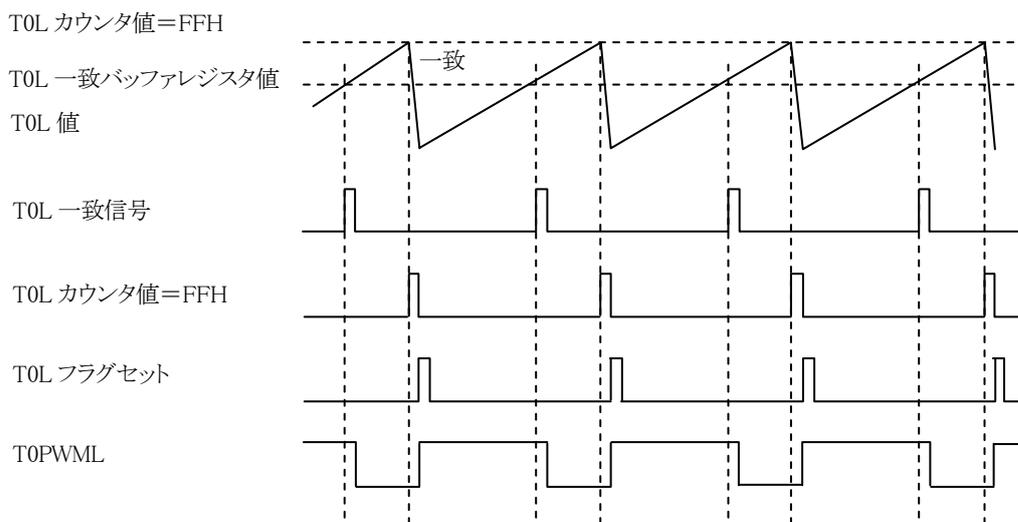
3-12-3-8 タイマ0下位出力 (TOPWML)

- ① TOL動作停止時、TOPWMLの出力はLOW固定となります。
- ② モード0, 4, 5時、TOPWMLの出力はLOW固定となります。
- ③ モード1, 3, 7時、TOL一致信号で変化するトグル出力。
- ④ モード2, 6時、TOLのオーバーフローでセット、TOLの一致信号でリセットされるPWM出力。

<モード1, 3, 7>



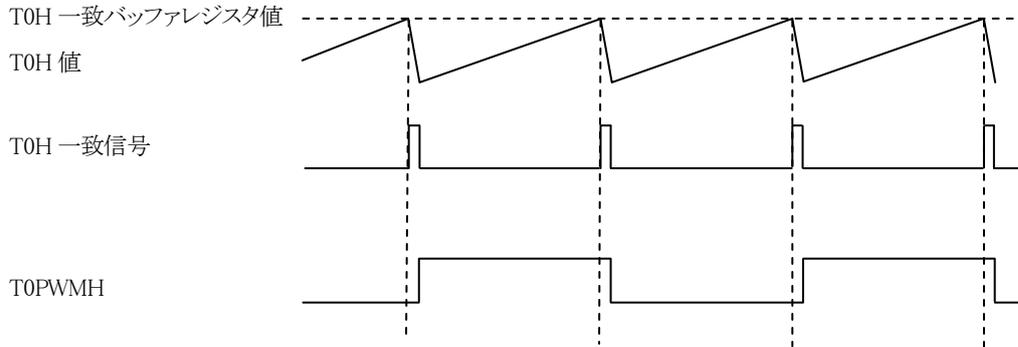
<モード2, 6>



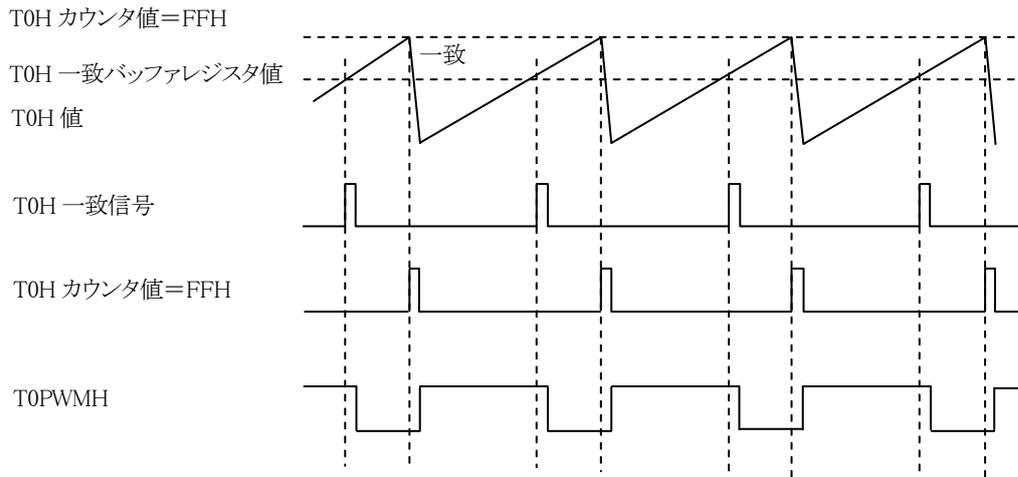
3-12-3-9 タイマ0上位出力 (TOPWMH)

- ① T0H動作停止時、TOPWMHの出力はLOW固定となります。
- ② モード0, 2, 3時、TOPWMHの出力はLOW固定となります。
- ③ モード5, 7時、T0H一致信号で変化するトグル出力。
- ④ モード1, 4, 6時、T0Hのオーバーフローでセット、T0Hの一致信号でリセットされるPWM出力。

<モード5, 7>



<モード1, 4, 6>



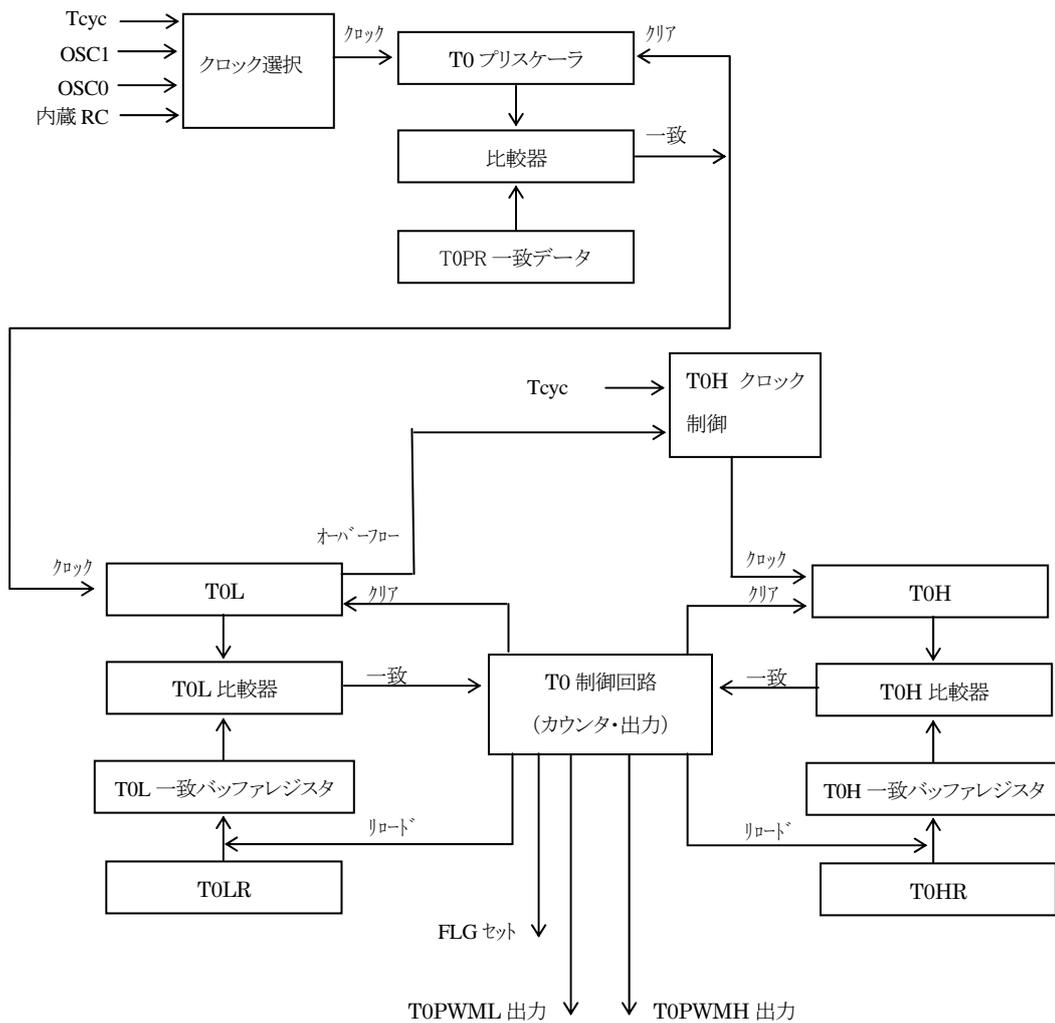


図 3-12-1 タイマ0ブロック図

3-12-4 関連レジスタ

3-12-4-1 タイマ0一致データレジスタ下位 (TOLR)

- ① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、TOLRと一致バッファレジスタは同値となる。
動作時には、TOLの値が0になる時、一致バッファレジスタはTOLRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	TOLR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-4-2 タイマ0一致データレジスタ上位 (TOHR)

- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、TOHRと一致バッファレジスタは同値となる。
動作時には、TOHの値が0になる時、一致バッファレジスタはTOHRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	TOHR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-4-3 タイマ0制御レジスタ (TOCNT)

- ① T0の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	TOCNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE

SISTS (ビット7) : ソフトウェア割り込み状態
SIFLGとSIIEのANDデータを読めます。
このビットはリードオンリーです。

SIFLG (ビット6) : ソフトウェア割り込みフラグ

SIIE (ビット5) : ソフトウェア割り込み許可制御

ビット5とビット6がともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

CKSEL (ビット4, 3) : T0カウントクロック選択

上記2ビットでタイマ0のカウントクロックを選択します。

モード	CKSEL	T0プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

RUN (ビット2) : T0カウント制御

このビットが0の時タイマ0 (T0) は、カウント値0で停止し、T0の一致バッファレジスタ値はTORの値と同じです。

このビットが1の時タイマ0 (T0) は、所定のカウント動作を行います。

FLG (ビット1) : T0一致フラグ

T0が動作している (RUN = 1) 場合、T0が0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

IE (ビット0) : T0割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

3-12-4-4 タイマ0プリスケアラ制御レジスタ (TOPR)

- ① ビット0～4でタイマ0プリスケアラのカウント数を設定します。

- ② ビット5～7でタイマ0のモード選択を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F13	0000 0000	R/W	TOPR	MODE			PR				

タイマ0

MODE (ビット7～5) : タイマ0モード選択

上記3ビットでタイマ0のモード選択を行います。

モード	MODE	TOLの動作	TOHの動作
0	000	16ビットタイマ	
1	001	8ビットタイマ(トグル出力)	8ビットPWM
2	010	8ビットPWM	停止
3	011	8ビットタイマ(トグル出力)	停止
4	100	8ビットタイマ	8ビットPWM
5	101	8ビットタイマ	一致カウンタ(トグル出力)
6	110	8ビットPWM	8ビットPWM
7	111	8ビットタイマ(トグル出力)	一致カウンタ(トグル出力)

PR (ビット4～0) : タイマ0プリスケアラ制御

上記5ビットでタイマ0プリスケアラの周期を設定します。

TOPR周期 = (PR + 1) × カウントクロック

3-12-5 タイマ0出力のポート設定

① TOPWML (P06)

レジスタデータ		ポートP06の状態
POLAT<6>	PODDR<6>	
1	0	内蔵プルアップ
0	0	TOPWMLとPOLAT<6>のOR(内蔵プルアップ/オープン)
1	1	H出力
0	1	TOPWMLとPOLAT<6>のOR(H出力/L出力)

② TOPWMH (P07)

レジスタデータ		ポートP07の状態
POLAT<7>	PODDR<7>	
1	0	内蔵プルアップ
0	0	TOPWMHとPOLAT<7>のOR(内蔵プルアップ/オープン)
1	1	H出力
0	1	TOPWMHとPOLAT<7>のOR(H出力/L出力)

3-13 タイマ1 (T1)

3-13-1 概要

本シリーズ内蔵しているタイマ1 (T1) は、次の2つの機能を持ったプリスケアラ付きの16ビットのタイマです。

- ①モード0: 5ビットプリスケアラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)
- ②モード1: 5ビットプリスケアラ付き8ビットタイマ(8ビットキャプチャレジスタ付) × 2ch

3-13-2 機能

- ①モード0: 5ビットプリスケアラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

- ・タイマ1 (T1) はシステムクロック、OSC0、OSC1または内蔵RCをカウントする16ビットのプログラマブルタイマとして動作します。
- ・キャプチャ許可時、命令でHFLGを1にすることでT1L、T1Hの内容をT1CAPL、T1CAPHに同時にキャプチャします。
- ・T1周期

$$T1の周期 = ([(T1HR << 8) + T1LR] + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ②モード1: 5ビットプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付) × 2ch

- ・タイマ1 (T1) はシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとシステムクロックをカウント8ビットタイマとして動作します。
- ・キャプチャ許可時、HFLGが1になるとT1Lの内容をT1CAPLにキャプチャします。
- ・キャプチャ許可時、FLGが1になるとT1Hの内容をT1CAPHにキャプチャします。
- ・T1周期

$$T1Lの周期 = (T1LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$T1Hの周期 = (T1HR + 1) \times T_{cyc}$$

- ③割り込みの発生

タイマ割り込み要求許可ビットがセットされている場合、T1LまたはT1Hのカウント周期で、T1LまたはT1H割り込み要求を発生します。

- ④タイマ1 (T1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T1LR, T1HR, T1CNT, T1PR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

3-13-3 回路構成

3-13-3-1 タイマ1制御レジスタ (T1CNT) (8ビットレジスタ)

- ① T1L, T1Hの動作、割り込みの制御を行います。

タイマ1

3-13-3-2 タイマ1プリスケアラ制御レジスタ(T1PR) (8ビットレジスタ)

①タイマ1のプリスケアラ設定とモード選択を行います。

3-13-3-3 タイマ1プリスケアラ (5ビットカウンタ)

①動作開始/停止:RUN(T1CNTのビット2)の0/1により、停止/動作が制御される。

②カウントクロック:モードにより異なります。

モード	CKSEL	T1プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

③一致信号:カウント値がPR(T1PRレジスタのビット4~0)の値と一致すると一致信号を発生する。

④リセット:動作停止時、または一致信号発生時。

3-13-3-4 タイマ1下位(T1L) (8ビットカウンタ)

①動作開始/停止:RUN(T1CNTのビット2)の0/1により、停止/動作が制御される。

②カウントクロック:T1プリスケアラの一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。(16ビットモード時は16ビットデータの一致が必要)。

④リセット:動作停止時、または一致信号の発生時。

3-13-3-5 タイマ1上位(T1H) (8ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	MDSELBIT	HRUN	RUN	T1Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック:モードにより異なる。

モード	MDSELBIT	T1Hのカウントクロック
0	0	T1Lのオーバーフロー信号
1	1	システムクロック

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)。

④リセット:動作停止時、または一致信号の発生時。

3-13-3-6 タイマ1一致データレジスタ下位 (T1LR) (一致バッファレジスタ付8ビットレジスタ)

- ①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位 (T1L) の値が一致した時、一致信号が発生します。
- ②一致バッファレジスタの更新は以下のように行われます。
非動作時には、T1LRと一致バッファレジスタは同値となる。
動作時には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。
- ③1Lのカウントクロックにシステムクロック以外を選択した場合、T1L動作時にT1LRの更新は、T1L一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-13-3-7 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付8ビットレジスタ)

- ①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ②一致バッファレジスタの更新は以下のように行われます。
非動作時には、T1HRと一致バッファレジスタは同値となる。
動作時には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。
- ③T1Hのカウントクロックにシステムクロック以外を選択した場合、T1H動作時にT1HRの更新は、T1H一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-13-3-8 タイマ1キャプチャレジスタ下位 (T1CAPL) (8ビットレジスタ)

- ①MDSELCPが1の時以下の条件でT1Lの値を保持します。
(1)HFLGが1になった時のT1Lのカウント値を保持。

3-13-3-9 タイマ1キャプチャレジスタ上位 (T1CAPH) (8ビットレジスタ)

- ①MDSELCPが1の時以下の条件でT1Hの値を保持します。
(1)16ビットタイマモード時、HFLGが1になった時のT1Hのカウント値を保持。
(2)8ビットタイマモード時、FLGが1になった時のT1Hのカウント値を保持。

タイマ1

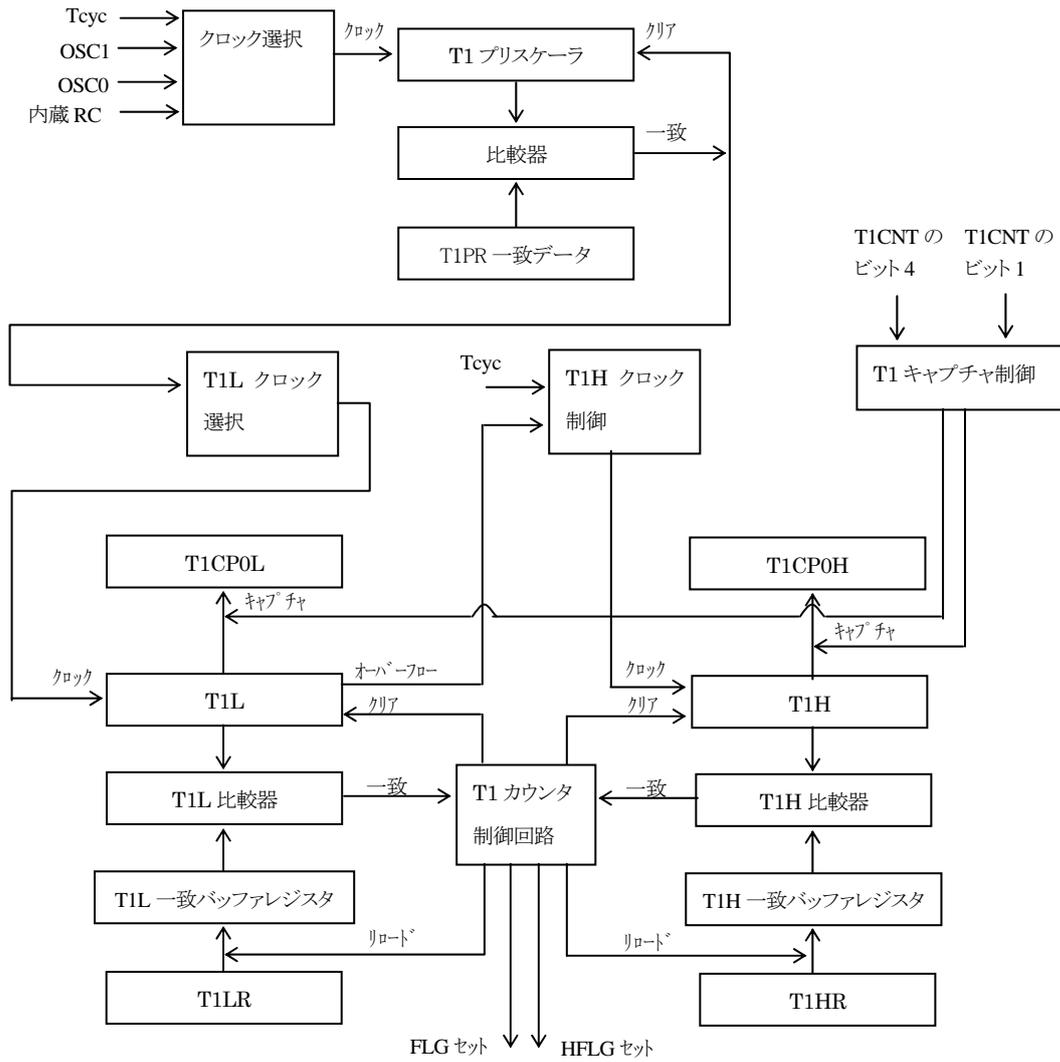


図 3-13-1 タイマ1ブロック図

3-13-4 関連レジスタ

3-13-4-1 タイマ1一致データレジスタ下位 (T1LR)

- ① T1L用の一致データ格納用レジスタです。
 ② MDSELRDが1の時、T1CAPLの内容が読み出せます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-13-4-2 タイマ1一致データレジスタ上位 (T1HR)

- ① T1H用の一致データ格納用レジスタです。
 ② MDSELRDが1の時、T1CAPHの内容が読み出せます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-13-4-3 タイマ1制御レジスタ (T1CNT)

- ① T1L, T1Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE

HRUN (ビット7) : T1Hカウント制御

- 8ビットタイマモード時にT1Hカウント制御に使用します。
 このビットが0の時タイマ1上位 (T1H) は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。
 このビットが1の時タイマ1上位 (T1H) は、所定のカウント動作を行います。

HFLG (ビット6) : T1H一致フラグ

- 8ビットタイマモード時にT1H一致フラグとして使用します。
 T1Hが動作している (HRUN=1) 場合、T1Hが0に変化する時にセットされます。
 このフラグは、命令でクリアしてください。
 このビットはキャプチャのトリガ信号になります。

HIE (ビット5) : T1H割り込み要求発生許可制御

- 8ビットタイマモード時にT1H割り込み制御に使用します。
 このビットとHFLGがともに1の時、ベクタアドレス8018Hへの割り込み要求が発生します。

CKSEL (ビット4、3) : T1カウントクロック選択

上記2ビットでタイマ1のカウントクロックを選択します。

モード	CKSEL	T1プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

タイマ1

RUN(ビット2):T1カウント制御

このビットが0の時タイマ1(T1)は、カウント値0で停止し、T1の一致バッファレジスタ値はT1Rの値と同じです。

このビットが1の時タイマ1(T1)は、所定のカウンタ動作を行います。

8ビットタイマモード時はT1Lの制御に使用します。

FLG(ビット1):T1一致フラグ

T1が動作している(RUN=1)場合、T1が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT1Lの一致フラグに使用します。

このビットはキャプチャのトリガ信号になります。

IE(ビット0):T1割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8018Hへの割り込み要求が発生します。

8ビットタイマモード時はT1Lの割り込み制御に使用します。

注意:FLG, HFLGは命令で0にしてください。

3-13-4-4 タイマ1プリスケアラ制御レジスタ(T1PR)

①タイマ1のカウントクロックとモード設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

MDSELRD(ビット7):レジスタ読み出し選択

リードレジスタの選択を行います。

このビットが1の時、T1LR、T1HRのアドレスを通してT1CAPL、T1CAPHの値が読み出せます。

このビットが0の時、T1LR、T1HRはそのまま読み出せます。

MDSELBIT(ビット6):タイマ1カウンタ長選択

このビットが1の時、タイマ1は8ビットタイマモードで動作します。

このビットが0の時、タイマ1は16ビットタイマモードで動作します。

MDSELCP(ビット5):タイマ1キャプチャ許可

このビットが1の時、キャプチャ条件が成立したときのタイマ1カウンタのデータをキャプチャレジスタに保持します。

このビットが0の時、キャプチャ動作はしません。

MDSELBIT	T1Lキャプチャ条件	T1Hキャプチャ条件
0	HFLGが1	HFLGが1
1	HFLGが1	FLGが1

*キャプチャレジスタはキャプチャ条件が成立している間、保持されていますので読み出しはキャプチャ条件が成立している間に行ってください。

PR(ビット4~0):タイマ1プリスケアラ制御

上記5ビットでタイマ1プリスケアラの周期を設定します。

$T1PR周期 = (PR + 1) \times \text{カウントクロック}$

3-14 タイマ2 (T2)

3-14-1 概要

本シリーズ内蔵しているタイマ2 (T2) は、次の2つの機能を持ったプリスケアラ付きの16ビットのタイマです。

- ①モード0: 4ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)
- ②モード1: 4ビットプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) × 2ch

3-14-2 機能

- ①モード0: 4ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)

- ・タイマ2 (T2) はシステムクロック、OSC0、OSC1または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
- ・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
- ・INT0、INT2端子からの検出信号により、T2L、T2Hの内容をT2CP0L、T2CP0Hに同時にキャプチャします。
- ・T2周期

$$T2の周期 = ([(T2HR << 8) + T2LR] + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ②モード1: 4ビットプリスケアラ付8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) × 2ch

- ・タイマ2 (T2) はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
- ・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
- ・INT0、INT2端子からの検出信号により、T2Lの内容をT2CP0Lにキャプチャします。
- ・INT1、INT3端子からの検出信号により、T2Hの内容をT2CP0Hにキャプチャします。

- ・T2周期 (クロックソース: 外部イベント非選択時)

$$T2Lの周期 = (T2LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$T2Hの周期 = (T2HR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ・T2周期 (クロックソース: 外部イベント選択時)

$$T2Lの周期 = (T2LR + 1) \times \text{外部イベント}$$

$$T2Hの周期 = (T2HR + 1) \times (PR + 1) \times (\text{システムクロック周期 又は 外部イベント})$$

- ③割り込みの発生

タイマ割り込み要求許可ビットがセットされている場合、T2LまたはT2Hのカウント周期で、T2LまたはT2H割り込み要求を発生します。

又はキャプチャ割り込み要求ビットがセットされている場合、キャプチャレジスタの更新時に割り込み要求を発生します。

タイマ2

④タイマ2(T2)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T2LR, T2HR, T2L, T2H, T2CNT0, T2CNT1, T2CNT2

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1	-	-	-	CPOSL		CP0HFLG	CP0LFLG	CPIE
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	-	PR			

3-14-3 回路構成

3-14-3-1 タイマ2制御レジスタ0(T2CNT0) (8ビットレジスタ)

①T2L, T2Hの動作、割り込みの制御を行います。

3-14-3-2 タイマ2制御レジスタ1(T2CNT1) (8ビットレジスタ)

①T2L, T2Hのカウントクロックの設定を行います。

3-14-3-3 タイマ2制御レジスタ2(T2CNT2) (8ビットレジスタ)

①T2L, T2Hのキャプチャ動作制御を行います。

3-14-3-4 タイマ2プリスケアラ(4ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	CTR8	HRUN	RUN	T2プリスケアラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック:モードにより異なります。

モード	CTR8	EXISL	CKSL	T2プリスケアラのカウントクロック
0	-	-	00	システムクロック
1	0	0	01	INT2からのイベント入力
2	1	0	01	システムクロック
3	-	1	01	INT3からのイベント入力
4	-	-	10	OSC0
5	-	-	11	OSC1

③一致信号:カウント値がPRの値(T2CNT2レジスタ ビット3~0)と一致すると一致信号を発生する。

④リセット:動作停止時、または一致信号発生時。

3-14-3-5 タイマ2下位(T2L) (8ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	CTR8	HRUN	RUN	T2Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

②カウントクロック:モードにより異なる。

モード	CTR8	CKSL	T2Lのカウントクロック
0	—	00	T2プリスケアラの一致信号
1	0	01	T2プリスケアラの一致信号
2	1	01	INT2からのイベント入力
3	—	10	T2プリスケアラの一致信号
4	—	11	T2プリスケアラの一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-14-3-6 タイマ2上位(T2H) (8ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	CTR8	HRUN	RUN	T2Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

タイマ2

②カウントクロック:モードにより異なる。

モード	CTR8	T2Hのカウントクロック
0	0	T2Lのオーバーフロー信号
1	1	T2プリスケラ一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-14-3-7 タイマ2一致データレジスタ下位 (T2LR) (一致バッファレジスタ付8ビットレジスタ)

①T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位 (T2L) の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時には、T2LRと一致バッファレジスタは同値となる。

動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードする。

③2Lのカウントクロックにシステムクロック以外を選択した場合、T2L動作時にT2LRの更新は、T2L一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-14-3-8 タイマ2一致データレジスタ上位 (T2HR) (一致バッファレジスタ付8ビットレジスタ)

①T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位 (T2H) の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時には、T2HRと一致バッファレジスタは同値となる。

動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードする。

③T2Hのカウントクロックにシステムクロック以外を選択した場合、T2H動作時にT2HRの更新は、T2H一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-14-3-9 タイマ2キャプチャレジスタ下位 (T2CP0L) (8ビットレジスタ)

①キャプチャ要求:モードにより異なる。

モード	CP0SL	T2CP0Lのキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

②キャプチャデータ:タイマ2下位 (T2L) の内容。

3-14-3-10 タイマ2キャプチャレジスタ上位 (T2CP0H) (8ビットレジスタ)

①キャプチャ要求:モードにより異なる。

モード	CTR8	CP0SL	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

②キャプチャデータ:タイマ2上位 (T2H) の内容。

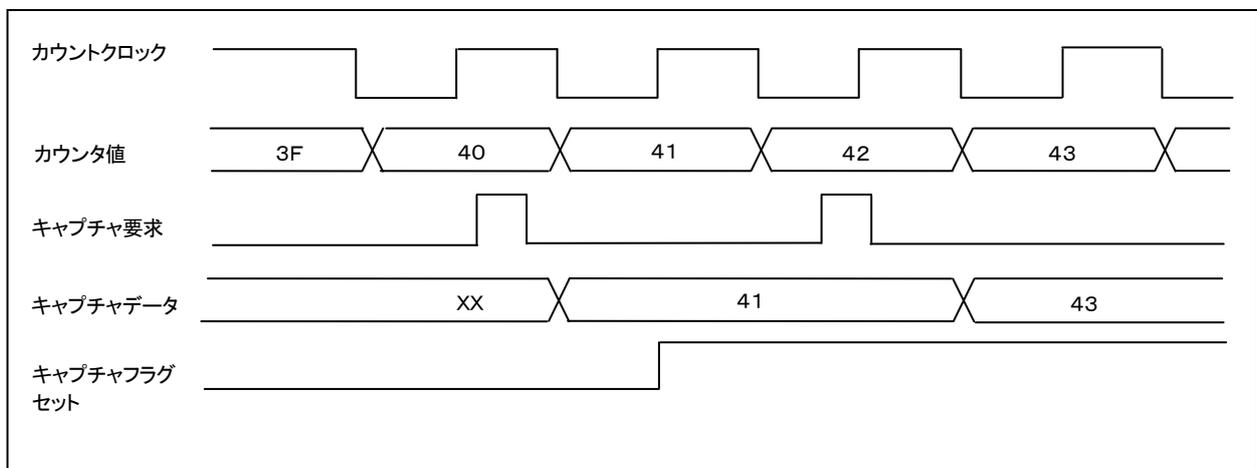


図 3-14-1 キャプチャ動作タイミング

タイマ2

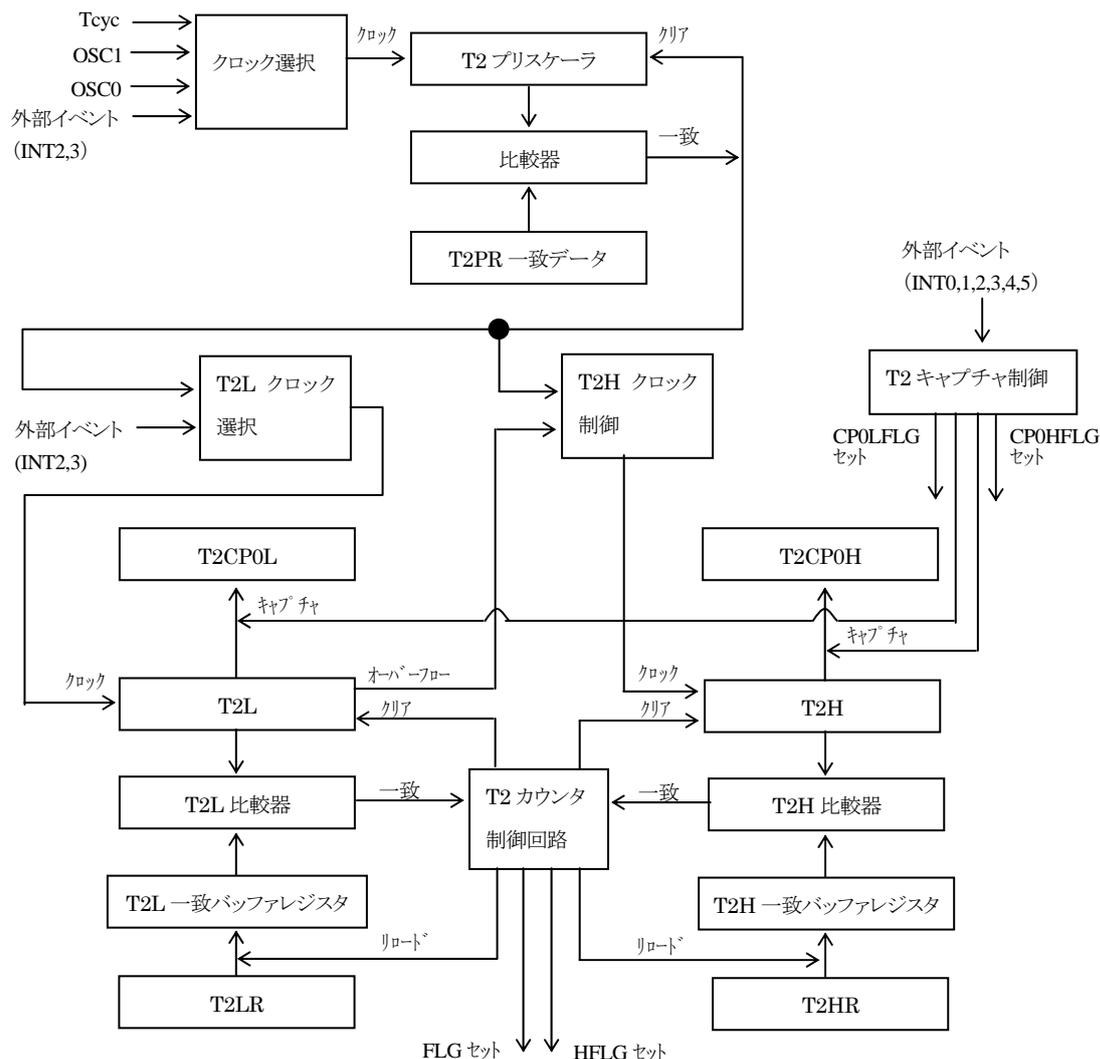


図 3-14-2 タイマ2ブロック図

3-14-4 関連レジスタ

3-14-4-1 タイマ2一致データレジスタ下位 (T2LR)

- ① T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位 (T2L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、T2LRと一致バッファレジスタは同値となる。
動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-4-2 タイマ2一致データレジスタ上位 (T2HR)

- ① T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位 (T2H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、T2HRと一致バッファレジスタは同値となる。
動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-4-3 タイマ2下位 (T2L)

- ① 読み出し専用の8ビットのタイマです。T2プリスケアラの一致信号でカウントアップします。
- ② タイマ2制御レジスタ0 (T2CNT0) のビット3が“1”の時、タイマ2キャプチャレジスタ下位 (T2CP0L) のデータを読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-4-4 タイマ2上位 (T2H)

- ① 読み出し専用の8ビットのタイマです。T2Lのオーバーフロー信号またはT2プリスケアラの一致信号でカウントアップします。
- ② タイマ2制御レジスタ0 (T2CNT0) のビット3が“1”の時、タイマ2キャプチャレジスタ上位 (T2CP0H) のデータを読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-4-5 タイマ2制御レジスタ0 (T2CNT0)

- ① T2L, T2Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE

HRUN (ビット7) : T2Hカウント制御

8ビットタイマモード時にT2Hカウント制御に使用します。

このビットが0の時タイマ2上位 (T2H) は、カウント値0で停止し、T2Hの一致バッファレジスタ値はT2HRの値と同じです。

このビットが1の時タイマ2上位 (T2H) は、所定のカウント動作を行います。

HFLG (ビット6) : T2H一致フラグ

8ビットタイマモード時にT2H一致フラグとして使用します。

T2Hが動作している (HRUN=1) 場合、T2Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

HIE (ビット5) : T2H割り込み要求発生許可制御

8ビットタイマモード時にT2H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

タイマ2

CTR8 (ビット4) : タイマ2モード選択

このビットが0の時タイマ2は16ビットタイマとして動作します。

このビットが1の時タイマ2は独立した2本の8ビットタイマとして動作します。

SLCPRD (ビット3) : キャプチャレジスタ読み出し選択

このビットが0の時アドレス7F1A、7F1BはT2L、T2Hの値が読み出されます。

このビットが1の時アドレス7F1A、7F1BはT2CP0L、T2CP0Hの値が読み出されます。

RUN (ビット2) : T2カウント制御

このビットが0の時タイマ2 (T2) は、カウント値0で停止し、T2の一致バッファレジスタ値はT2Rの値と同じです。

このビットが1の時タイマ2 (T2) は、所定のカウント動作を行います。

8ビットタイマモード時はT2Lの制御に使用します。

FLG (ビット1) : T2一致フラグ

T2が動作している (RUN=1) 場合、T2が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT2Lの一致フラグに使用します。

IE (ビット0) : T2割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

8ビットタイマモード時はT2Lの割り込み制御に使用します。

注意 : FLG, HFLGは命令で0にしてください。

3-14-4-6 タイマ2制御レジスタ1 (T2CNT1)

① タイマ2キャプチャ動作の設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1D	LLL0 0000	R/W	T2CNT1	-	-	-	CP0SL		CP0HFLG	CP0LFLG	CP1E

CP0SL (ビット4、3) : タイマ2キャプチャ要求入力選択

上記2ビットでタイマ2キャプチャ要求の入力を選択します。

モード	CTR8	CP0SL	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

モード	CP0SL	T2CP0Lのキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

CP0HFLG (ビット2) : タイマ2キャプチャ0Hフラグ

8ビットモード時 T2CP0Hレジスタが更新されると1になります。
 16ビットモード時はT2CP0Hレジスタが更新で変化しません。
 T2CP0Hレジスタを読み出した後“0”にしてください。

CP0LFLG (ビット1) : タイマ2キャプチャ0Lフラグ

8ビットモード時、T2CP0Lレジスタが更新されると1になります。
 16ビットモード時、T2CP0H、T2CP0Lレジスタが同時に更新され1になります。
 T2CP0Lレジスタを読み出した後“0”にしてください。

CPIE (ビット0) : T2キャプチャ割り込み要求発生許可制御

このビットとCP0LFLG又はCP0HFLGがともに1の時、ベクタアドレス801CHへの
 割り込み要求が発生します。

注意 : CP0LFLG, CP0HFLGは命令で0にしてください。

3-14-4-7 タイマ2制御レジスタ2 (T2CNT2)

①タイマ2のカウントクロックを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	-	PR			

CKSL (ビット7、6) : タイマ2カウントクロック選択

上記2ビットでタイマ2のカウントクロックを選択します。

モード	CKSL	T2プリスケアラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1

EXISL (ビット5) : タイマ2イベントカウント入力選択。

このビットが0の時 INT2をイベント入力として選択します。
 このビットが1の時 INT3をイベント入力として選択します。

PR (ビット3~0) : タイマ2プリスケアラ制御

上記4ビットでタイマ2プリスケアラの周期を設定します。
 $T2PR周期 = (PR + 1) \times \text{カウントクロック}$

3-15 タイマ3 (T3)

3-15-1 概要

本シリーズ内蔵しているタイマ3 (T3) は、次の4つの機能を持ったプリスケータ付きの16ビットのタイマです。

- ①モード0: 8ビットプリスケータ付き16ビットプログラマブルタイマ(トグル出力付き)
- ②モード1: 8ビットプリスケータ付き8ビットプログラマブルタイマ(トグル出力付き) × 2ch
- ③モード2: 8ビットプリスケータ付き8ビットPWM × 1ch、PWM周期をカウントする8ビットタイマ(トグル出力付き)
- ④モード3: 8ビットプリスケータ付き8ビットPWM × 2ch

3-15-2 機能

- ①モード0: 8ビットプリスケータ付き16ビットプログラマブルタイマ(トグル出力付き)
 - ・タイマ3 (T3) はシステムクロック、OSC0、OSC1または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
 - ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
 - ・T3OHはT3周期毎にトグルする信号を出力します。
$$T3 \text{の周期} = [(T3HR < 8) + T3LR] + 1 \times (PR + 1) \times \text{カウントクロック周期}$$
$$T3OH \text{周期} = T3 \text{周期} \times 2$$
- ②モード1: 8ビットプリスケータ付8ビットプログラマブルタイマ(トグル出力付き) × 2ch
 - ・タイマ3 (T3) はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
 - ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
 - ・T3OL、T3OHはそれぞれT3L、T3H毎にトグルする信号を出力します。
 - ・T3周期(クロックソース:外部イベント非選択時)
$$T3L \text{の周期} = (T3LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
$$T3H \text{の周期} = (T3HR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - ・T3周期(クロックソース:外部イベント選択時)
$$T3L \text{の周期} = (T3LR + 1) \times \text{外部イベント}$$
$$T3H \text{の周期} = (T3HR + 1) \times (PR + 1) \times (\text{システムクロック周期又は外部イベント})$$
$$T3OL \text{周期} = T3L \text{周期} \times 2$$
$$T3OH \text{周期} = T3H \text{周期} \times 2$$

③ モード2: 8ビットプリスケラ付8ビットPWM×1ch+PWM周期をカウントする8ビットプログラマブルタイマ(トグル出力付き)

- ・T3Lはシステムクロック、OSC0、OSC1または外部イベントをカウントする8ビットPWMとして動作します。
- ・T3HはT3L周期をカウントする8ビットタイマとして動作します。
- ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
- ・T3OLは周期 $256 \times (PR + 1) \times$ カウントクロック周期のPWMとして動作します。
- ・T3OHはT3H毎にトグルする信号を出力します。

T3OLの周期 = $256 \times (PR + 1) \times$ カウントクロック周期

T3OLのH期間 = $(T3LR + 1) \times (PR + 1) \times$ カウントクロック周期

T3Hの周期 = $(T3HR + 1) \times T3PWML$ の周期

T3OHの期間 = T3周期 × 2

④ モード3: 8ビットプリスケラ付8ビットPWM×2ch

- ・タイマ3(T3)はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットPWMとして動作します。
- ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
- ・T3OL、T3OHは周期 $256 \times (PR + 1) \times$ カウントクロック周期のPWMとして動作します。

T3OLの周期 = $256 \times (PR + 1) \times$ カウントクロック周期

T3OLのH期間 = $(T3LR + 1) \times (PR + 1) \times$ カウントクロック周期

T3OHの周期 = $256 \times (PR + 1) \times$ カウントクロック周期

T3OHのH期間 = $(T3HR + 1) \times (PR + 1) \times$ カウントクロック周期

⑤ 割り込みの発生

割り込み要求許可ビットがセットされている場合、T3LまたはT3Hのカウント周期で、T3LまたはT3H割り込み要求が発生します。

⑥ タイマ3(T3)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T3LR, T3HR, T3L, T3H, T3CNT0, T3CNT1, T3PR
- ・P1LAT, P1DDR, P1FSA, P1FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL	MD	
7F2E	0000 0000	R/W	T3PR	PR							

タイマ3

3-15-3 回路構成

3-15-3-1 タイマ3制御レジスタ0 (T3CNT0) (8ビットレジスタ)

① T3L, T3Hの動作、割り込みの制御を行います。

3-15-3-2 タイマ3制御レジスタ1 (T3CNT1) (3ビットレジスタ)

① T3L, T3Hの動作制御を行います。

3-15-3-3 タイマ3プリスケアラ制御レジスタ (T3PR) (8ビットレジスタ)

① T3L, T3Hのクロック設定を行います。

3-15-3-4 タイマ3プリスケアラ (8ビットカウンタ)

① 動作開始 / 停止 : モードにより異なる。

モード	MD<0>	HRUN	RUN	T3プリスケアラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック : モードにより異なります。

モード	EXISL	MD	CKSL	T3プリスケアラのカウントクロック
0	—	—	00	システムクロック
1	0	1—	01	INT4からのイベント入力
2	0	01	01	システムクロック
3	1	—0	01	INT5からのイベント入力
4	—	—	10	OSC0
5	—	—	11	OSC1

③ 一致信号 : カウント値がPRの値 (レジスタT3PR ビット7~0) と一致すると一致信号を発生する。

④ リセット : 動作停止時、または一致信号発生時。

3-15-3-5 タイマ3下位 (T3L) (8ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	MD<0>	HRUN	RUN	T3Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

②カウントクロック:モードにより異なる。

モード	MD	CKSL	T3Lのカウントクロック
0	--	00	T3プリスケアラの一致信号
1	-0	01	T3プリスケアラの一致信号
2	01	01	INT4からのイベント入力
3	--	10	T3プリスケアラの一致信号
4	--	11	T3プリスケアラの一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-15-3-6 タイマ3上位 (T3H) (8ビットカウンタ)

①動作開始/停止:モードにより異なる。

モード	MD<0>	HRUN	RUN	T3Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

②カウントクロック:モードにより異なる。

モード	MD	T3Hのカウントクロック
0	-0	T3Lのオーバーフロー信号
1	-1	T3プリスケアラ一致信号

③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は16ビットデータの一致が必要)。

④リセット:動作停止時、または一致信号の発生時

タイマ3

3-15-3-7 タイマ3一致データレジスタ下位 (T3LR) (一致バッファレジスタ付8ビットレジスタ)

- ① T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位 (T3L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、T3LRと一致バッファレジスタは同値となる。
動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードする。
- ③ T3Lのカウントクロックにシステムクロック以外を選択した場合、T3L動作時にT3LRの更新は、T3L一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

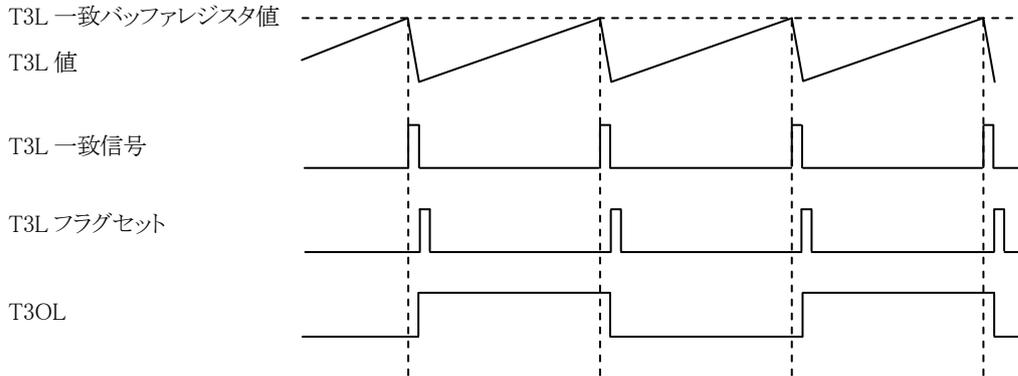
3-15-3-8 タイマ3一致データレジスタ上位 (T3HR) (一致バッファレジスタ付8ビットレジスタ)

- ① T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位 (T3H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、T3HRと一致バッファレジスタは同値となる。
動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードする。
- ③ T3Hのカウントクロックにシステムクロック以外を選択した場合、T3H動作時にT3HRの更新は、T3H一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

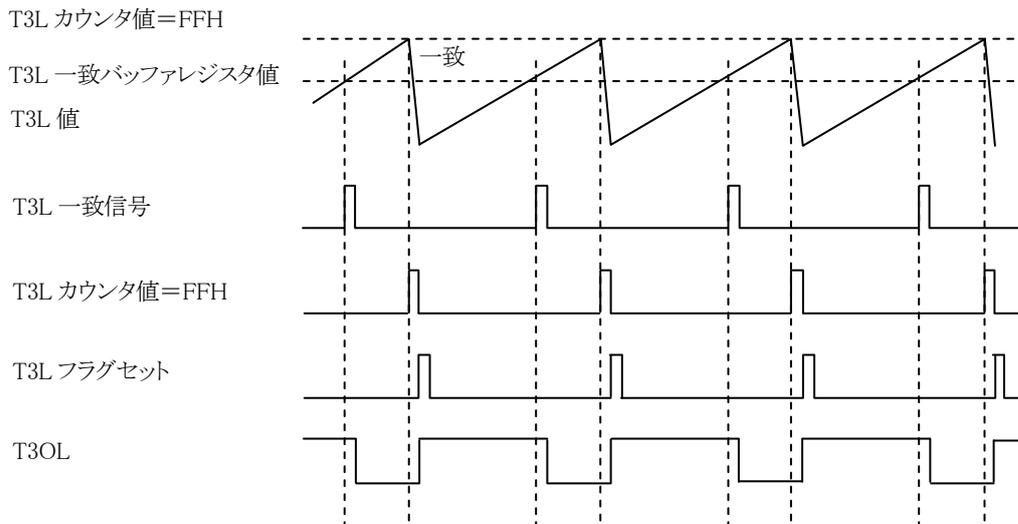
3-15-3-9 タイマ3下位出力 (T3OL)

- ① T3L動作停止時、T3OLの出力はHIGH固定となります。
- ② モード0時、T3OLの出力はHIGH固定となります。
- ③ モード1時、T3L一致信号で変化するトグル出力。
- ④ モード2、3時、T3Lのオーバーフローでセット、T3Lの一致信号でリセットされるPWM出力。

<モード1>



<モード2,3>



タイマ3

3-15-3-10 タイマ3上位出力 (T3OH)

- ① T3H動作停止時、T3OHの出力はHIGH固定となります。
- ② モード0時、T3一致信号で変化するトグル出力。
- ③ モード1、3時、T3H一致信号で変化するトグル出力。
- ④ モード2時、T3Hのオーバーフローでセット、T3Hの一致信号でリセットされるPWM出力。

<モード0>

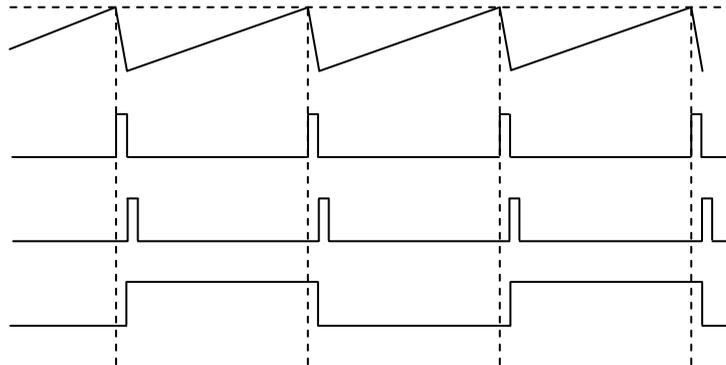
T3 一致バッファレジスタ値
(16 ビット)

T3(16ビット)値

T3 一致信号

T3 フラグセット

T3OL



<モード3>

T3H カウンタ値=FFH

T3H 一致バッファレジスタ値

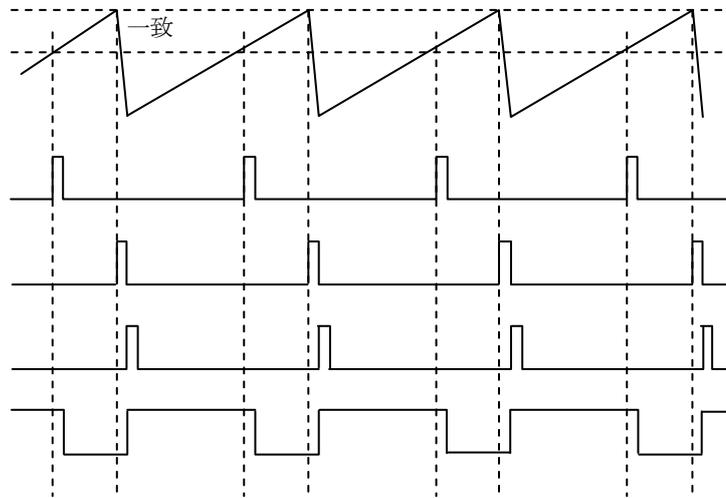
T3H 値

T3H 一致信号

T3H カウンタ値=FFH

T3H フラグセット

T3OH



<モード1, 2>

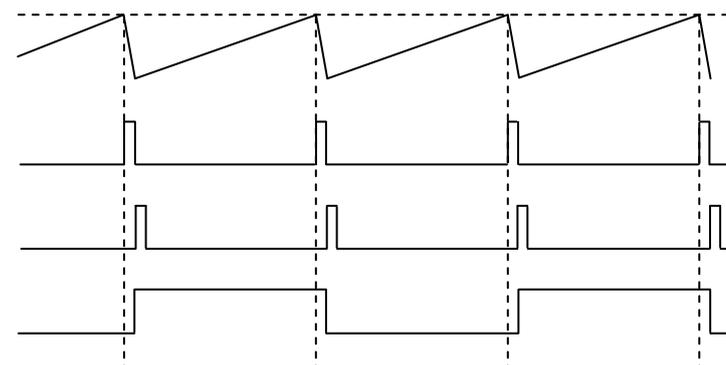
T3H 一致バッファレジスタ値

T3H 値

T3H 一致信号

T3H フラグセット

T3OH



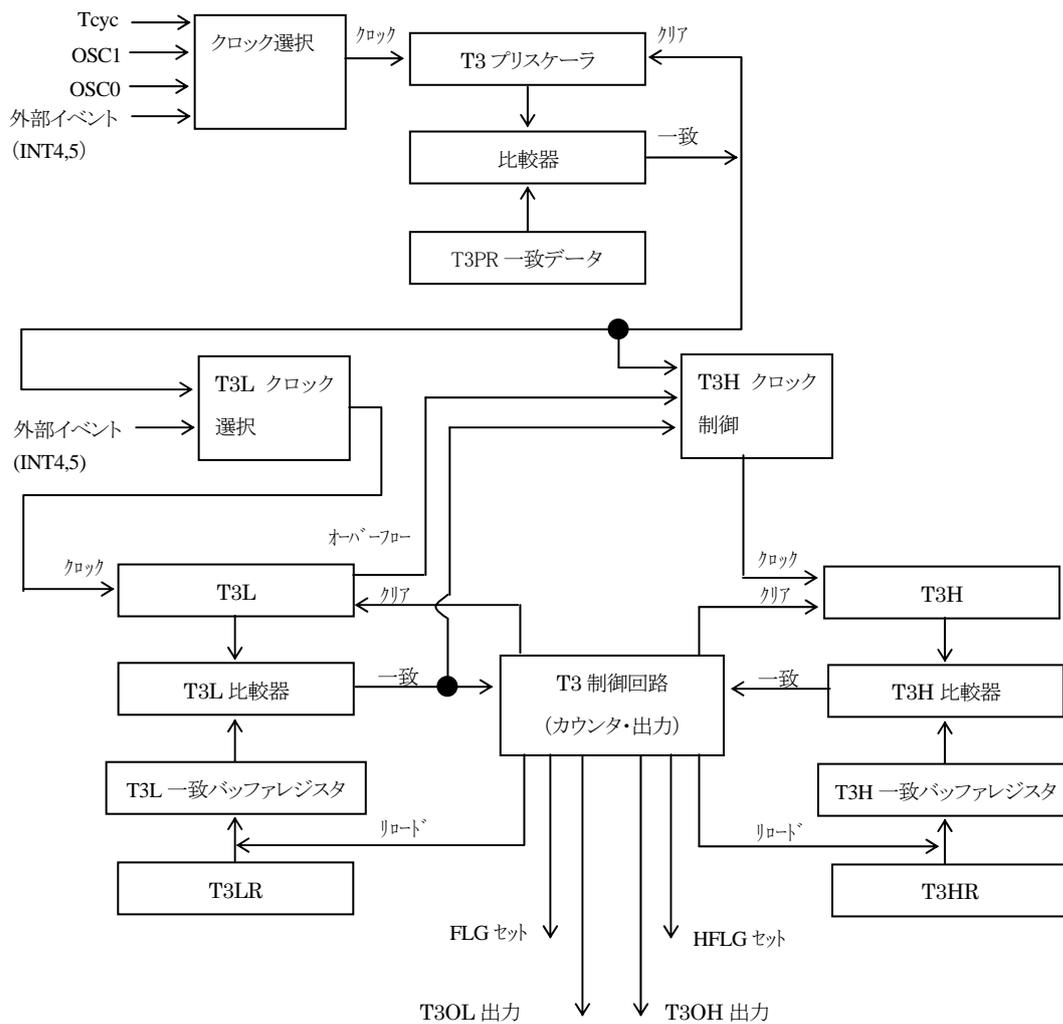


図 3-15-1 タイマ3ブロック図

3-15-4 関連レジスタ

3-15-4-1 タイマ3一致データレジスタ下位 (T3LR)

- ① T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 非動作時には、T3LRと一致バッファレジスタは同値となる。
 動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

タイマ3

3-15-4-2 タイマ3一致データレジスタ上位 (T3HR)

- ① T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時には、T3HRと一致バッファレジスタは同値となる。
動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-4-3 タイマ3下位 (T3L)

- ① 読み出し専用の8ビットのタイマです。T3プリスケアラの一致信号でカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-4-4 タイマ3上位 (T3H)

- ① 読み出し専用の8ビットのタイマです。T3Lのオーバーフロー信号またはT3プリスケアラの一致信号でカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-4-5 タイマ3制御レジスタ0 (T3CNT0)

- ① T3L, T3Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE

HRUN (ビット7) : T3Hカウント制御

8ビットタイマモード時にT3Hカウント制御に使用します。

このビットが0の時タイマ3上位 (T3H) は、カウント値0で停止し、T3Hの一致バッファレジスタ値はT3HRの値と同じです。

このビットが1の時タイマ3上位 (T3H) は、所定のカウント動作を行います。

HFLG (ビット6) : T3H一致フラグ

8ビットタイマモード時にT3H一致フラグとして使用します。

T3Hが動作している (HRUN = 1) 場合、T3Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

HIE (ビット5) : T3H割り込み要求発生許可制御

8ビットタイマモード時にT3H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス8020Hへの割り込み要求が発生します。

CKSL(ビット4、3):T3カウントクロック選択

上記2ビットでタイマ3のカウントクロックを選択します。

モード	CKSL	T3プリスケアラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1

RUN(ビット2):T3カウント制御

このビットが0の時タイマ3(T3)は、カウント値0で停止し、T3の一致バッファレジスタ値はT3Rの値と同じです。

このビットが1の時タイマ3(T3)は、所定のカウント動作を行います。

8ビットタイマモード時はT3Lの制御に使用します。

FLG(ビット1):T3一致フラグ

T3が動作している(RUN=1)場合、T3が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT3Lの一致フラグに使用します。

IE(ビット0):T3割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8020Hへの割り込み要求が発生します。

8ビットタイマモード時はT3Lの割り込み制御に使用します。

注意:FLG, HFLGは命令で0にしてください。

3-15-4-6 タイマ3制御レジスタ1(T3CNT1)

①T3L, T3Hの動作の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL		MD

EXISL(ビット2):タイマ3イベントカウント入力選択。

このビットが0の時INT4をイベント入力として選択します。

このビットが1の時INT5をイベント入力として選択します。

MD(ビット1、0):タイマ3モード選択

上記2ビットでタイマ3のモード選択を行います。

モード	MD	タイマ3動作モード
0	00	16ビットタイマ
1	01	8ビットタイマ×2
2	10	8ビットPWM+8ビットタイマ
3	11	8ビットPWM×2

タイマ3

3-15-4-7 タイマ3プリスケータ制御レジスタ(T3PR)

①ビット0～7でタイマ3プリスケータのカウンタ数を設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2E	0000 0000	R/W	T3PR	PR							

PR(ビット7～0):タイマ3プリスケータ制御

上記8ビットでタイマ3プリスケータの周期を設定します。

$T3PR \text{ 周期} = (PR + 1) \times \text{カウンタクロック}$

3-15-5 タイマ3出力のポート設定

①T3OL(P14)

レジスタデータ				ポートP14の状態
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	出力
1	0	1	0	タイマ3L出力(CMOS反転)
1	0	0	1	タイマ3L出力(CMOS)
1	1	1	0	タイマ3L出力(CMOS変化SLOW)
1	1	0	1	タイマ3L出力(Nchオープンドレイン)

②T3OH(P15)

レジスタデータ				ポートP15の状態
P1FSA<5>	P1FSB<5>	P1LAT<5>	P1DDR<5>	出力
1	0	1	0	タイマ3H出力(CMOS反転)
1	0	0	1	タイマ3H出力(CMOS)
1	1	1	0	タイマ3H出力(CMOS変化SLOW)
1	1	0	1	タイマ3H出力(Nchオープンドレイン)

3-16 タイマ4, タイマ5(T4, T5)

3-16-1 概要

本シリーズ内蔵しているタイマ4(T4), タイマ5(T5)は、それぞれ独立に制御される16ビットのタイマです。

3-16-2 機能

①タイマ4(T4)

タイマ4(T4)はシステムクロック又はプリスケアラ0の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T4周期のトグル波形をT4O端子に出力できます。

$$T4の周期 = ([(T4HR \ll 8) + T4LR] + 1) \times \text{カウントクロック周期}$$

$$T4O周期 = T4周期 \times 2$$

②タイマ5(T5)

タイマ5(T5)はシステムクロック又はプリスケアラ0の一致信号をカウントする16ビットのプログラマブルタイマとして動作します。また、T5周期のトグル波形をT5O端子に出力できます。

$$T5の周期 = ([(T5HR \ll 8) + T5LR] + 1) \times \text{カウントクロック周期}$$

$$T5O周期 = T5周期 \times 2$$

③割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、T4, T5のカウンタ周期で、T4, T5割り込み要求を発生します。

④タイマ4(T4), タイマ5(T5)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T4LR, T4HR, T5LR, T5HR, T45CNT, TMCLK0
- ・P2LAT, P2DDR, P2FSA, P2FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FB6	0000 00L0	R/W	TMCLK0	PR0				PR0CK		—	PWM0CK

3-16-3 回路構成

3-16-3-1 タイマ4, 5制御レジスタ(T45CNT) (7ビットレジスタ)

① T4, T5の動作、割り込みの制御を行います。

3-16-3-2 タイマ4(T4) (16ビットカウンタ)

① 動作開始/停止: T4RUN(T45CNTのビット3)の0/1により、停止/動作が制御される。

② カウントクロック: T4CKSL(T45CNTのビット2)の0/1により選択される。

モード	T4CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号

③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。

④ リセット: 動作停止時、または一致信号の発生時。

3-16-3-3 タイマ5(T5) (16ビットカウンタ)

① 動作開始/停止: T5RUN(T45CNTのビット7)の0/1により、停止/動作が制御される。

② カウントクロック: T5CKSL(T45CNTのビット6)の0/1により選択される。

モード	T5CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号

③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。

④ リセット: 動作停止時、または一致信号の発生時。

3-16-3-4 タイマ4一致データレジスタ(T4HR, T4LR) (一致バッファレジスタ付き16ビットレジスタ)

① T4用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ4(T4)の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

非動作時(T4RUN=0)には、(T4HR, T4LR)と一致バッファレジスタは同値となる。
動作時(T4RUN=1)には、一致バッファレジスタは一致信号発生時に(T4HR, T4LR)の内容をロードする。

③ T4のカウントクロックにシステムクロック以外を選択した場合、T4動作時にT4LR, T4HRの更新は、T4一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-16-3-5 タイマ5一致データレジスタ(T5HR, T5LR) (一致バッファレジスタ付き16ビットレジスタ)

- ① T5用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ5(T5)の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下に行われます。
非動作時(T5RUN=0)には、(T5HR, T5LR)と一致バッファレジスタは同値となる。
動作時(T5RUN=1)には、一致バッファレジスタは一致信号発生時に(T5HR, T5LR)の内容をロードする。
- ③ T5のカウントクロックにシステムクロック以外を選択した場合、T5動作時にT5LR, T5HRの更新は、T5一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-16-3-6 タイマクロック設定レジスタ0(TMCLK0)

- ① プリスケアラ0のクロックを設定と一致データを格納するレジスタです。

3-16-3-7 プリスケアラ0(4ビットカウンタ)

- ① 動作開始/停止: T4CLKまたはT5CLK(T45CNTのビット2, 6)の0/1により、停止/動作が制御される。
- ② カウントクロック: PROCK(TMCLK0のビット3, 2)の0/1によって選択される。

モード	PROCK	プリスケアラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

- ③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号が発生する。
- ④ リセット: 一致信号の発生又は動作停止。

3-16-3-8 タイマ4出力(T4O)

- ① タイマ4動作停止時、T4OはHIGH固定となり、タイマ4動作時、T4Oはタイマ4一致信号で変化するトグル出力。

3-16-3-9 タイマ5出力(T5O)

- ① タイマ5動作停止時、T5OはHIGH固定となり、タイマ5動作時、T5Oはタイマ5一致信号で変化するトグル出力。

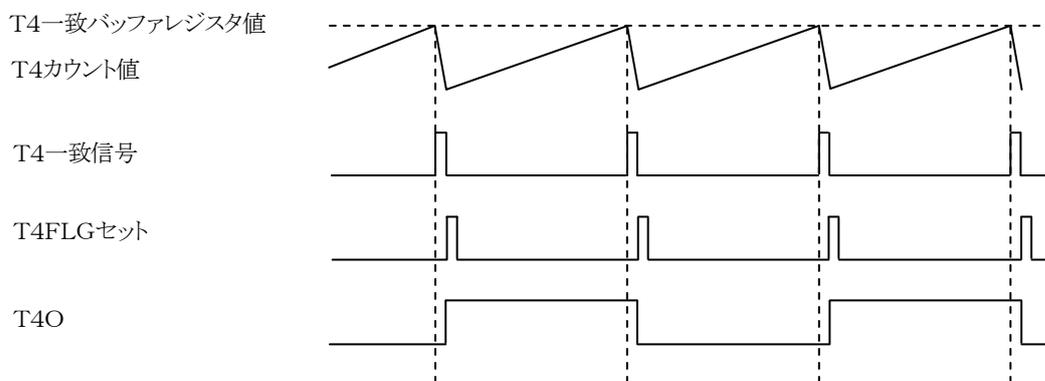
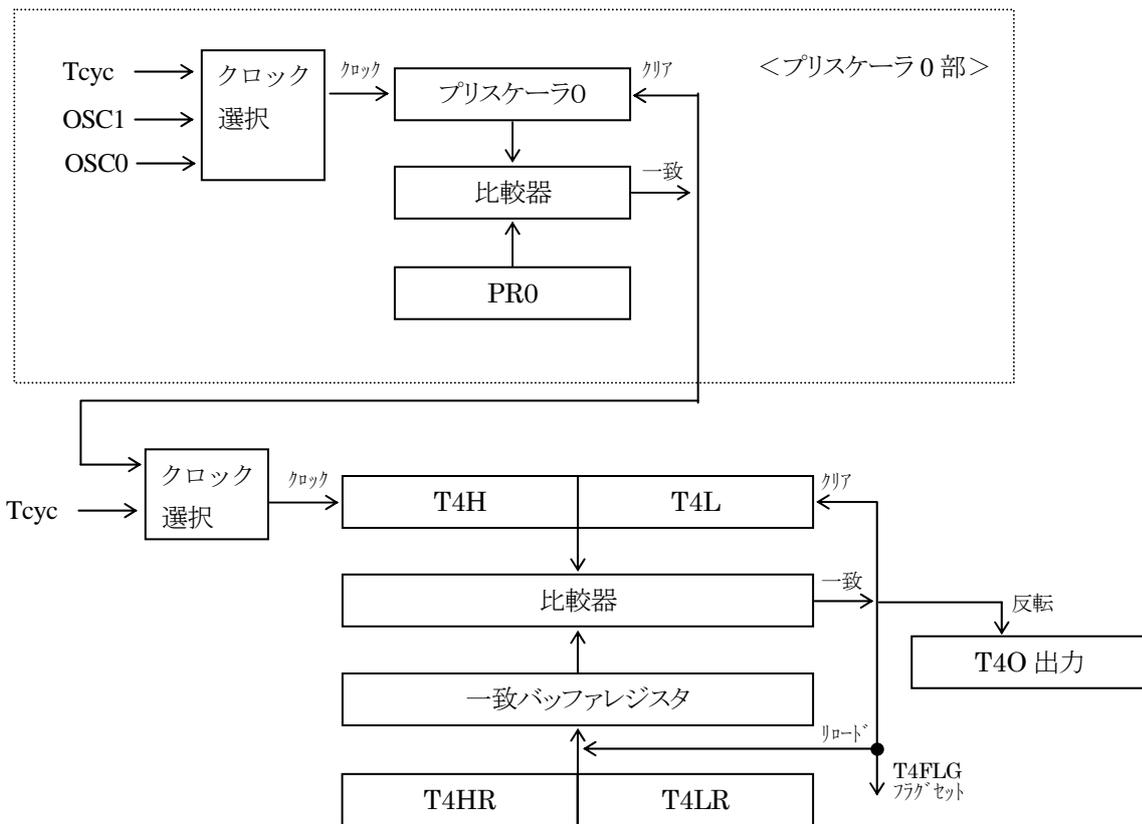


図 3-16-1 タイマ4ブロック図

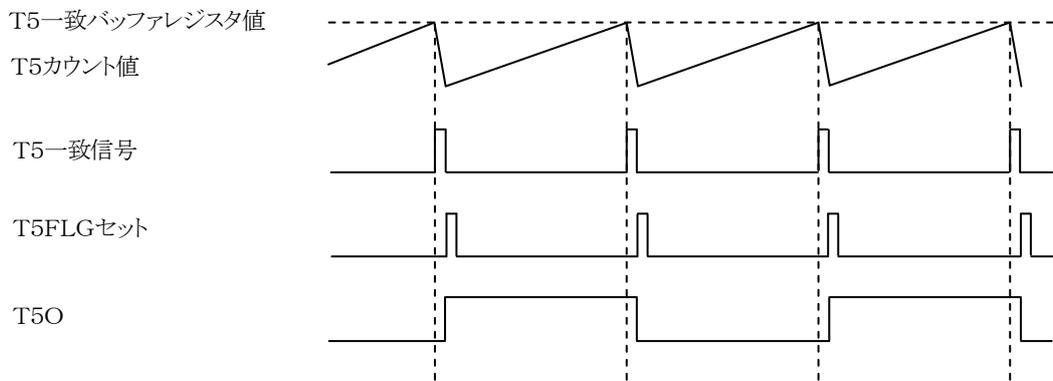
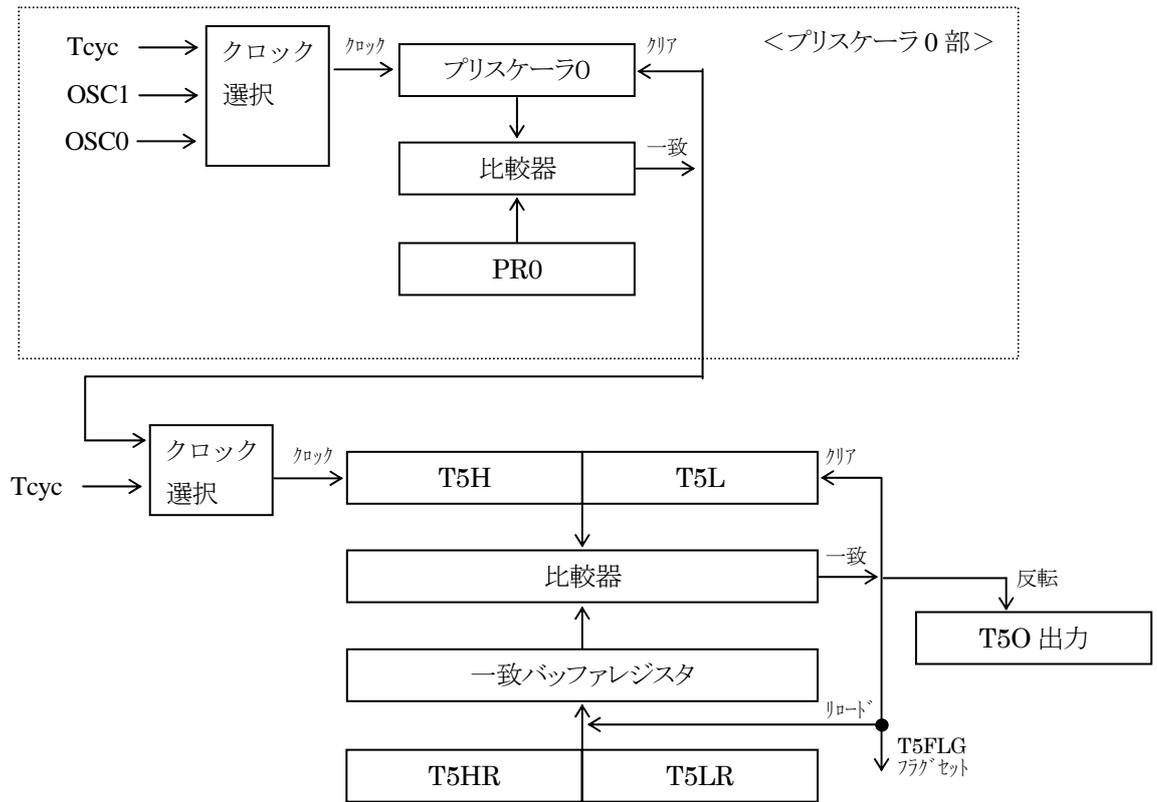


図 3-16-2 タイマ5ブロック

3-16-4 関連レジスタ

3-16-4-1 タイマ4一致データレジスタ(T4HR, T4LR) (16ビットレジスタ)

①T4用の一致データ格納用レジスタです。この一致バッファレジスタとタイマ4(T4)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-2 タイマ5一致データレジスタ(T5HR, T5LR) (16ビットレジスタ)

①T5用の一致データ格納用レジスタです。この一致バッファレジスタとタイマ5(T5)の値が一致した時、一致信号が発生します。

②8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-3 タイマ4, 5制御レジスタ(T45CNT)

①T4, T5の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE

T5RUN(ビット7): T5カウント制御

このビットが0の時タイマ5(T5)は、カウント値0で停止します。

このビットが1の時タイマ5(T5)は、所定のカウント動作を行います。

T5CKSL(ビット6): T5カウントクロック選択

モード	T5CKSL	T5カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号

(注)このビットはT5RUNが0の時設定してください。

T5FLG(ビット5): T5一致フラグ

T5が動作している(T5RUN=1)場合、T5が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T5IE(ビット4): T5割り込み要求発生許可制御

このビットとT5FLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

T4RUN(ビット3): T4カウント制御

このビットが0の時タイマ4(T4)は、カウント値0で停止します。

このビットが1の時タイマ4(T4)は、所定のカウント動作を行います。

T4CKSL (ビット2) : T4カウントクロック選択

モード	T4CKSL	T4カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号

(注)このビットはT4RUNが0の時設定してください。

T4FLG (ビット1) : T4一致フラグ

T4が動作している(T4RUN=1)場合、T4が0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

T4IE (ビット0) : T4割り込み要求発生許可制御

このビットとT4FLGがともに1の時、ベクタアドレス8024Hへの割り込み要求が発生します。

注意 : T5FLG, T4FLGは命令で0にしてください。

3-16-4-4 タイマクロック設定レジスタ0

①タイマ用のクロックの設定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 00L0	R/W	TMCLK0	PR0				PROCK		-	PWM0CK

PR0 (ビット7~4) : プリスケアラ0制御

上記4ビットでプリスケアラ0の周期を設定します。
PR0周期 = (PR0 + 1) × カウントクロック

PROCK (ビット3、2) : プリスケアラ0クロック選択

モード	PROCK	プリスケアラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

(ビット1) : 存在しません。“0”が読み出されます。

PWM0CK (ビット0) : このモジュールでは使用しません。

3-16-5 タイマ4出力, タイマ5出力のポート設定

①T4O(P25)

レジスタデータ				ポートP25の状態
P2FSA<5>	P2FSB<5>	P2LAT<5>	P2DDR<5>	出力
1	0	1	0	タイマ4出力(CMOS反転)
1	0	0	1	タイマ4出力(CMOS)
1	1	1	0	タイマ4出力(CMOS変化SLOW)
1	1	0	1	タイマ4出力(Nchオープンドレイン)

②T5O(P26)

レジスタデータ				ポートP26の状態
P2FSA<6>	P2FSB<6>	P2LAT<6>	P2DDR<6>	出力
1	0	1	0	タイマ5出力(CMOS反転)
1	0	0	1	タイマ5出力(CMOS)
1	1	1	0	タイマ5出力(CMOS変化SLOW)
1	1	0	1	タイマ5出力(Nchオープンドレイン)

3-17 ベースタイマ

3-17-1 概要

本シリーズ内蔵しているベースタイマは数種類の一定時間を計時できる16ビットバイナリアップカウンタです。また、ウォッチドッグタイマへクロックを供給します。

3-17-2 機能

- ①一定時間の計時
8種類の一定時間の計時が行えます。
- ②割り込みの発生
対応する割り込み要求許可ビットがセットされている場合、選択された周期で割り込み要求を発生します。
- ③HOLDXモード解除
HOLDXモードの解除をベースタイマ割り込みで行うことができます。
- ④ウォッチドッグタイマへのクロック供給
32TBSTまたは8192TBST周期のクロックをウォッチドッグタイマへ供給します。
*TBST:OCR1で選択される入力クロックの周期
- ⑤ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, OCR0, OCR1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

3-17-3 回路構成

3-17-3-1 8ビットバイナリアップカウンタ0（8ビットカウンタ）

- ①発振制御レジスタ1(OCR1)で選択された信号を入力とする8ビットのアップカウンタです。ベースタイマ割り込み1フラグのセット信号を発生します。このカウンタのオーバーフローが8ビットバイナリアップカウンタ1のクロックとなります。

3-17-3-2 8ビットバイナリアップカウンタ1（8ビットカウンタ）

- ①発振制御レジスタ1(OCR1)で選択された信号または8ビットバイナリアップカウンタ0のオーバーフローを入力とする8ビットのアップカウンタです。ベースタイマ割り込み0, 1フラグのセット信号を発生します。入力信号の切り替えはベースタイマ制御レジスタで行われます。

3-17-3-3 ベースタイマ入力クロック源

- ①ベースタイマの入力クロック(fBST)はOSC0、システムクロックの分周クロックを発振制御レジスタ1(OCR1)で選択します。

ベースタイマ

3-17-3-4 ベースタイマ制御レジスタ（8ビットレジスタ）

① ベースタイマの動作の制御を行います。

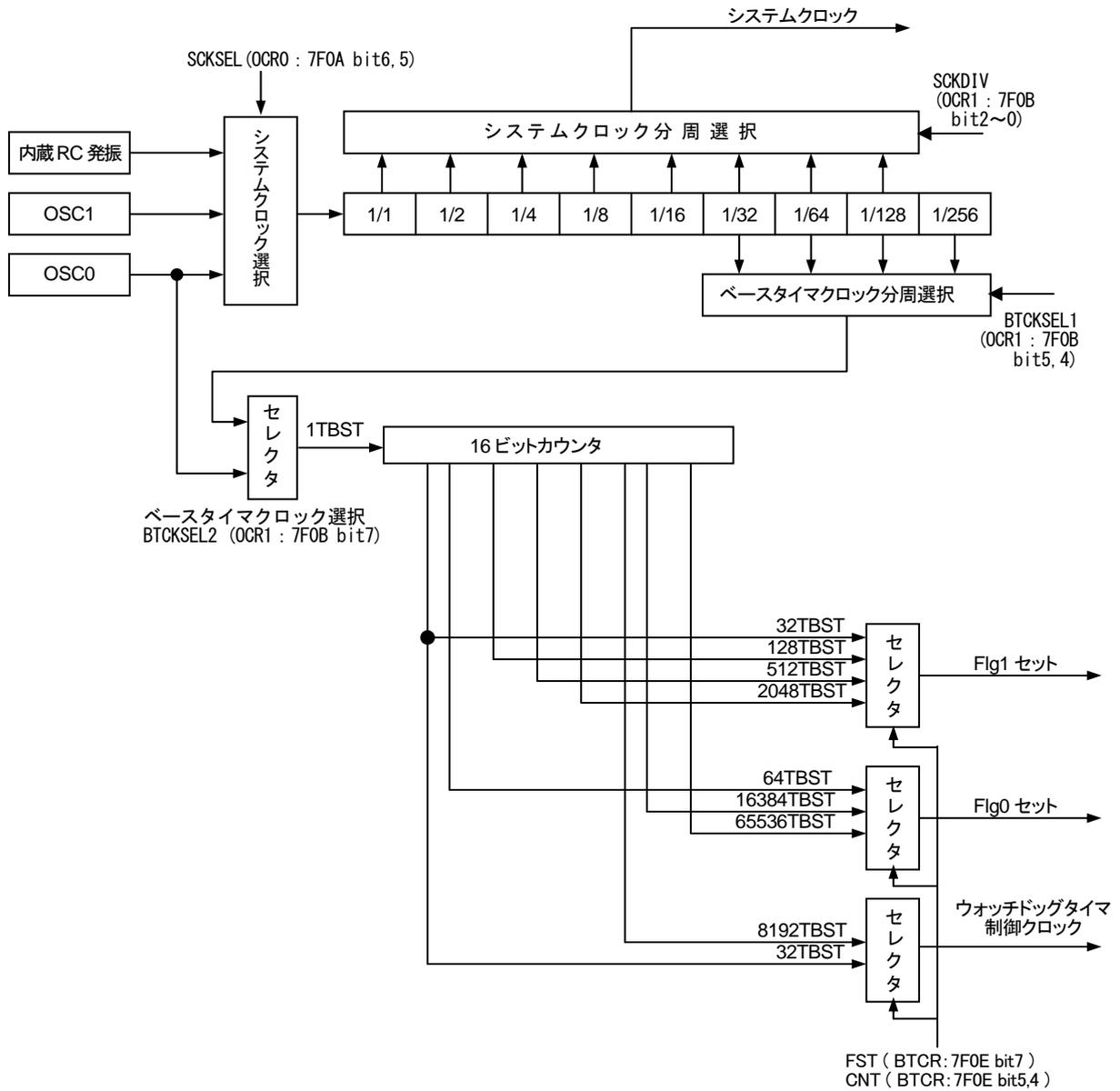


図 3-17-1 ベースタイマブロック図

3-17-4 関連レジスタ

3-17-4-1 ベースタイマ制御レジスタ

① ベースタイマの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

RUN (ビット6) : ベースタイマ動作制御

このビットが0の時 ベースタイマはカウント0で停止します。

このビットが1の時 ベースタイマは動作を行います。

FST (ビット7) : ベースタイマ割り込み周期選択

CNT (ビット5、4) : ベースタイマ割り込み周期選択

上記3ビットでベースタイマ割り込みの周期選択と、ウォッチドッグタイマ制御クロック選択を行います。

FST	CNT	ベースタイマ割り込み0 周期	ベースタイマ割り込み1 周期	ウォッチドッグタイマ 制御クロック
0	00	16384TBST	32TBST	8192TBST
0	01	16384TBST	128TBST	8192TBST
0	10	16384TBST	512TBST	8192TBST
0	11	16384TBST	2048TBST	8192TBST
1	00	64TBST	32TBST	32TBST
1	01	64TBST	128TBST	32TBST
1	10	65536TBST	512TBST	8192TBST
1	11	65536TBST	2048TBST	8192TBST

TBST: 発振制御レジスタ1 (OCR1) で選択される入力クロックの周期

FLG1 (ビット3) : ベースタイマ割り込み1フラグ

ベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

IE1 (ビット2) : ベースタイマ割り込み1要求発生許可制御

このビットとFLG1がともに1の時、HOLDXモード解除信号とベクタアドレス8004Hへの割り込み要求が発生します。

FLG0 (ビット1) : ベースタイマ割り込み0フラグ

ベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

IE0 (ビット0) : ベースタイマ割り込み0要求発生許可制御

このビットとFLG0がともに1の時、HOLDXモード解除信号とベクタアドレス8004Hへの割り込み要求が発生します。

3-18 非同期シリアルインターフェース0 (UART0)

3-18-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース0 (UART0) を備えています。

- ① データ長 : 8ビット (LSBファースト固定)
- ② ストップビット長 : 1ビット
- ③ パリティビット : なし / 偶数パリティ / 奇数パリティ
- ④ 転送レート : 4サイクル / 8サイクル (注1)
- ⑤ ボーレートクロックソース : P07端子
(外部から入力、または、タイマ0トグル出力TOPWMH)

⑥ 全2重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)

UART0のボーレートクロックソースは、P07端子から入力されます。このボーレートクロックソースの1周期を、以下サイクルと表記します。

3-18-2 機能

3-18-2-1 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ受信および送信を行います。受信データは受信データレジスタL (U0RXL) に格納されます。送信データは送信データレジスタL (U0TXL) から読み出されます。

3-18-2-2 割り込みの発生

以下の2つの要因で割り込み要求が発生させられます。

TXEMPTY、RXREADY

詳細は、3-18-4 関連レジスタをご参照ください。

3-18-2-3 HALTモード時の動作

HALTモード時、UART0の送信回路、および、受信回路は動作します。HALTモードの解除をUART0の割り込みで行うことができます。

3-18-2-4 特殊機能レジスタ(SFR)の操作

UART0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

U0CR、U0RXL、U0RXH、U0TXL、U0TXH、
POLAT、PODDR、
P1LAT、P1DDR、P1FSA、P1FSB、
T0LR、T0HR、T0CNT、TOPR、
EXCPH、OCRO

3-18-3 回路構成

3-18-3-1 UART0制御レジスタ(UOCR) (8ビットレジスタ)

①UART0の動作、割り込みの制御を行います。

3-18-3-2 UART0受信データレジスタL(UORXL) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-18-3-3 UART0受信データレジスタH(UORXH) (2ビットレジスタ)

①受信パリティビット、受信ストップビットの値が入ります。

3-18-3-4 UART0受信シフトレジスタ(UORSH) (10ビットレジスタ)

①データ受信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-18-3-5 UART0送信データレジスタL(UOTXL) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-18-3-6 UART0送信データレジスタH(UOTXH) (2ビットレジスタ)

①送信パリティを選択します。

3-18-3-7 UART0送信シフトレジスタ(UOTSH) (10ビットレジスタ)

①データ送信のためのシフトレジスタです。

②命令で直接アクセスはできません。

UART0

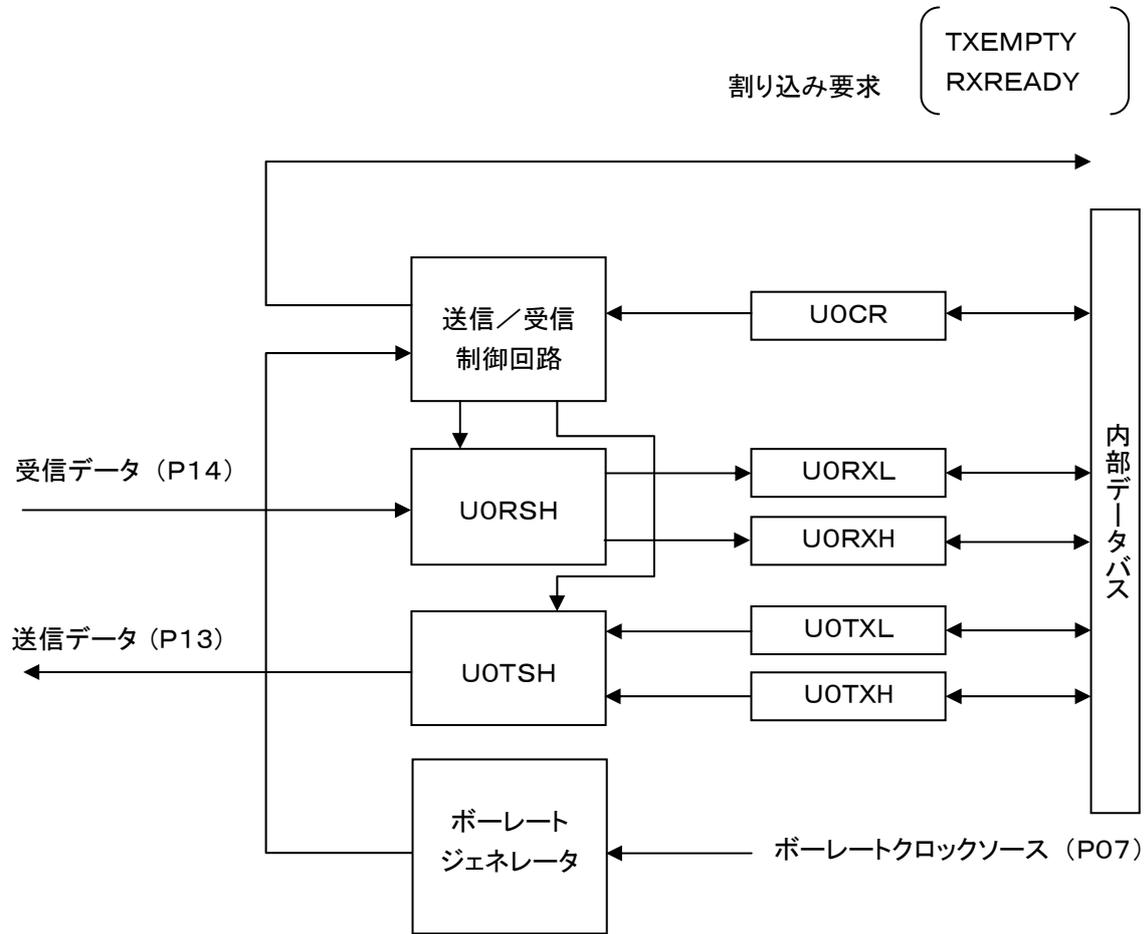


図 3-18-1 UART0のブロック図

3-18-4 関連レジスタ

3-18-4-1 UART0制御レジスタ(U0CR)

①UART0モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F38	0000 1000	R/W	U0CR	RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE

RUN(ビット7):UART0動作制御

- 0:UART0モジュールの回路が動作停止となります。
- 1:UART0モジュールの回路が動作状態となります。

OVRUN(ビット6):オーバーランエラーフラグ

ストップビットを検出できなかった時、または、受信バッファフルの状態新しいデータを受け取った時に、セットされます。

BAUDRATE(ビット5):ボーレート選択

- 0:転送レートは、8サイクルとなります。
(ボーレートクロックソース=460.8kHzの時、転送レート=57.6kbps)
- 1:転送レートは、4サイクルとなります。
(ボーレートクロックソース=460.8kHzの時、転送レート=115.2kbps)

PARITY(ビット4):パリティビット制御

- 0:パリティビット無し、となります。
- 1:パリティビット有り、となります。

TXEMPTY(ビット3):送信データ転送完了フラグ

- 0:送信データレジスタ(U0TXL)にデータが準備されている。
- 1:送信データレジスタ(U0TXL)にデータが準備されていない。

①リセット時、TXEMPTYは1ですが、命令で書き換えられます。

②RUN=1かつTXEMPTY=1の時、

a) U0TXLにデータを書くと、TXEMPTYはクリアされます。

さらに転送中でない時は転送がスタートし、スタートビットが出力された後、再びTXEMPTY=1となり、次のデータを書き込むことができる状態になります。

b) 次のデータをU0TXLに書き込むと、TXEMPTYはクリアされます。

転送中の場合は、現在の転送終了後、このU0TXLのデータの転送を開始し、再びTXEMPTY=1となります。

TXIE(ビット2):送信割り込み許可

このビットとTXEMPTYが1の時、EXCPHレジスタのUART0__FLG(ビット5)=1となります。

UART0

RXREADY(ビット1):受信データ受信完了フラグ

- 1:受信データレジスタ(UORXL)にデータが準備されている。
- 0:受信データレジスタ(UORXL)にデータが準備されていない。

①データを受信終了すると、

- a)RXREADY=0の時、受信データはUORXLに入り、RXREADY=1となります。
- b)RXREADY=1の時、OVRUNがセットされます。

②UART0動作中(RUN=1)で、RXREADY=1の時、UORXLを命令で読むと、RXREADYはクリアされます。

RXIE(ビット0):受信割り込み許可

- このビットとRXREADYが1の時、EXCPHレジスタのUART0_FLG(ビット5)=1となります。

3-18-4-2 UART0受信データレジスタL(UORXL)

①受信データが格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3A	0000 0000	R/W	UORXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信データ8ビットが入ります。

UART0動作中に、このレジスタを読むと、UOCRのRXREADY(ビット1)はクリアされます。

3-18-4-3 UART0受信データレジスタH(UORXH)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3B	LLLL LL00	R/W	UORXH	-	-	-	-	-	-	BIT1	BIT0

(ビット7~2):固定値0が読み出されます。

このビットは、R/Oです。

(ビット1):受信ストップビットの値が入ります。

(ビット0):受信パリティビットも含めた9ビットのデータのパリティが入ります。

すなわち、

偶数パリティ受信の時は0、

奇数パリティ受信の時は1、

が入ります。

正しくない結果になった時は、パリティエラー処理が必要です。

※UOCRのPARITY(ビット4)=0の場合、8ビットの受信データのパリティが入ります。

3-18-4-4 UART0送信データレジスタL(U0TXL)

①送信データを書き込む8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3C	0000 0000	R/W	U0TXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信データ8ビット用のバッファレジスタです。

UART0動作中に、このレジスタにデータを書き込むと、U0CRのTXEMPTY(ビット3)がクリアされます。

3-18-4-5 UART0送信データレジスタH(U0TXH)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3D	LLLL LLH0	R/W	U0TXH	-	-	-	-	-	-	BIT1	BIT0

(ビット7～2): 固定値0が読み出されます。

このビットは、R/Oです。

(ビット1): 送信ストップビットの値(固定値1)が読み出されます。

このビットは、R/Oです。

(ビット0): 送信パリティを選択します。

0: 偶数パリティ送信

1: 奇数パリティ送信

※U0CRのPARITY(ビット4)=0の場合、

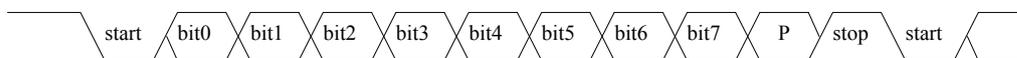
このビットの値は Don't-care です。

3-18-5 UART0通信フォーマットの具体例

①U0CRのPARITY(ビット4)=0の場合



②U0CRのPARITY(ビット4)=1の場合



※ただし図中のPは、

U0TXH<0>=0の時 偶数パリティ、

U0TXH<0>=1の時 奇数パリティ、

を表す。

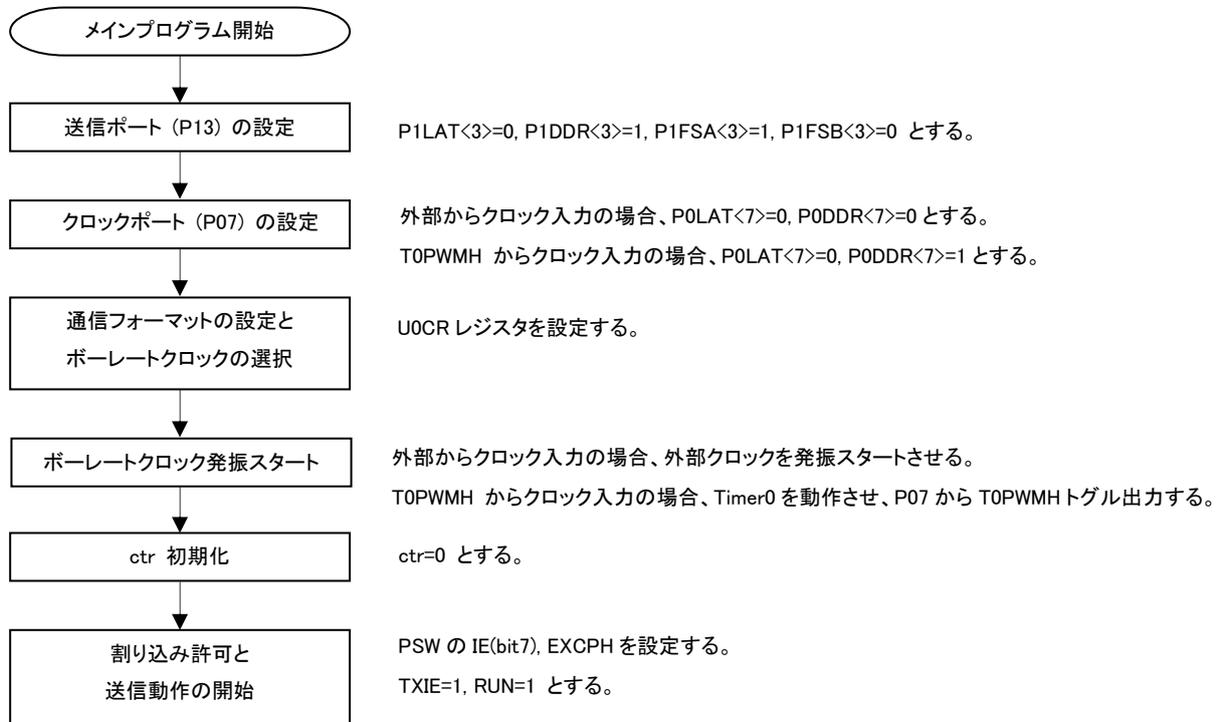
UART0

3-18-6 UART0通信の具体例

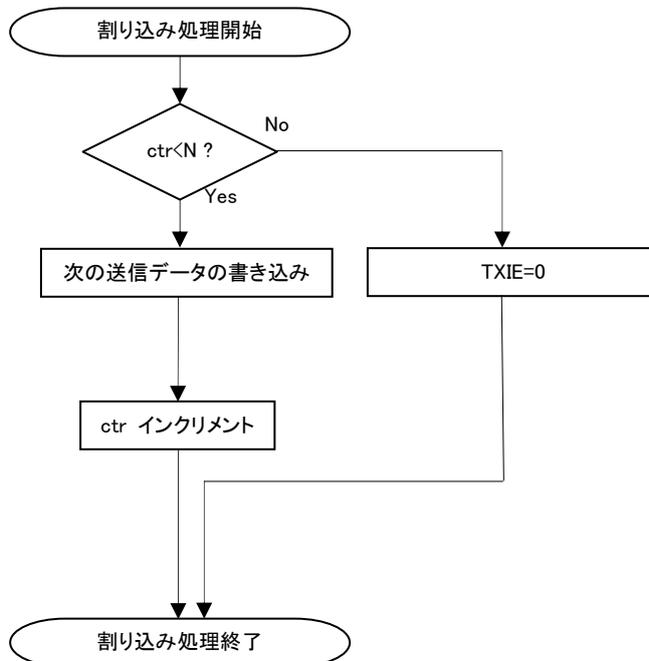
3-18-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウンタ用変数とします。

1. メインプログラム

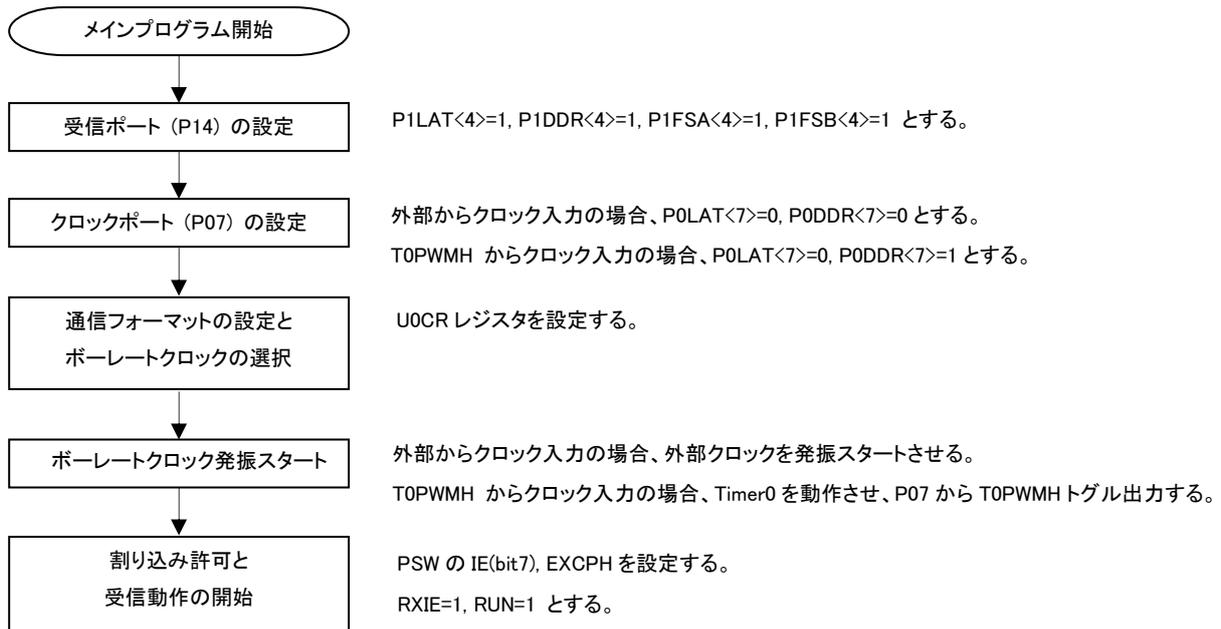


2. 割り込み処理

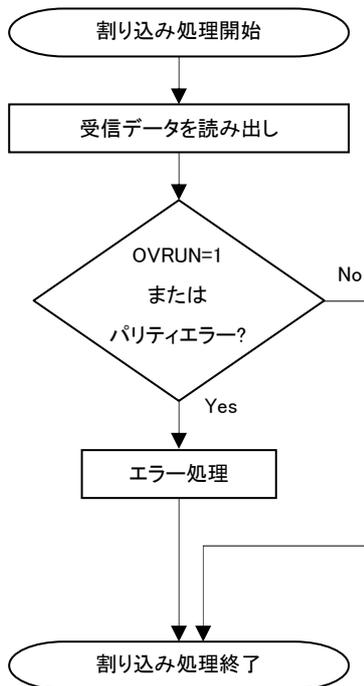


3-18-6-2 連続受信の具体例

1. メインプログラム



2. 割り込み処理



UART0

3-18-6-3 UART0通信のポート設定

①送信ポート(P13)の設定

レジスタデータ				ポートP13の状態
P1FSA<3>	P1FSB<3>	P1LAT<3>	P1DDR<3>	
1	0	0	1	UART0送信出力(CMOS)
1	1	1	0	UART0送信出力(CMOS変化SLOW)
1	1	0	1	UART0送信出力(Nchオープンドレイン)

②受信ポート(P14)の設定

レジスタデータ				ポートP14の状態
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	
1	1	1	1	入力(UART0受信入力)

③クロックポート(P07)の設定

レジスタデータ			ポートP07の状態
-	P0LAT<7>	P0DDR<7>	
-	0	0	入力(UART0クロックを外部入力)
-	0	1	CMOS出力(UART0クロックをTOPWMHから入力)

3-19 非同期シリアルインターフェース2 (UART2)

3-19-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース2 (UART2) を備えています。

- ① データ長 : 8ビット (LSBファースト固定)
- ② ストップビット長 : 1/2ビット
- ③ パリティビット : なし/偶数パリティ/奇数パリティ
- ④ 転送レート : 8~4096サイクル(注1)
- ⑤ ボーレートクロックソース : システムクロック/OSC0/OSC1
- ⑥ 動作モード : モード0/モード1

⑦ ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求を発生させられます。

⑧ 全2重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)

UART2のボーレートクロックソースは、システムクロック/OSC0/OSC1 から選択できます。選択されたボーレートクロックソースの1周期を、以下サイクルと表記します。

3-19-2 機能

3-19-2-1 動作モード

UART2は、レジスタ設定により以下の2つのモード設定が選択できます。

① モード0

U2BGの設定値=00H以外の値とすることで、このモードに設定されます。

UART2制御レジスタ1(U2CNT1)のDIVとUART2ボーレート制御レジスタ(U2BG)でボーレートクロックの周波数を制御します。

転送レートの設定範囲は、8~4096サイクルとなります。

また、UART2制御レジスタ1(U2CNT1)のPODD、PENでパリティを制御します。

② モード1

U2BGの設定値=00Hとすることで、このモードに設定されます。

X'tal発振子(32.768kHz)で、転送レート=9600bpsの通信を行うためのモードです。

DIVの設定は無視されます。

また、PODD、PENの設定にかかわらず、パリティなし、となります。

3-19-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。

送信データは送信データレジスタ(U2TBUF)から読み出されます。

受信データは受信データレジスタ(U2RBUF)に格納されます。

UART2

3-19-2-3 割り込みの発生

以下の4つの要因で割り込み要求を発生させられます。

EMPTY、TEND、RREADY、WUPFLG

詳細は、3-19-4 関連レジスタをご参照ください。

3-19-2-4 HALTモード時の動作

HALTモード時、UART2の送信回路、および、受信回路は動作します。

HALTモードの解除をUART2の割り込みで行うことができます。

3-19-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求(WUPFLG)を発生させられます。

この機能は、HOLDモードの解除に使用することができます。

3-19-2-6 特殊機能レジスタ(SFR)の操作

UART2をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

U2CNT0、U2CNT1、U2TBUF、U2RBUF、U2BG

P1LAT、P1DDR、P1FSA、P1FSB

IL1H、OCR0

3-19-3 回路構成

3-19-3-1 UART2制御レジスタ0(U2CNT0) (8ビットレジスタ)

①UART2の動作、割り込みの制御を行います。

3-19-3-2 UART2制御レジスタ1(U2CNT1) (8ビットレジスタ)

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-19-3-3 UART2送信データレジスタ(U2TBUF) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-19-3-4 UART2送信シフトレジスタ(U2TSH) (9ビットレジスタ)

①データ送信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-19-3-5 UART2受信データレジスタ(U2RBUF) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-19-3-6 UART2受信シフトレジスタ(U2RSH) (8ビットレジスタ)

①データ受信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-19-3-7 UART2ボーレート制御レジスタ(U2BG) (8ビットレジスタ)

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

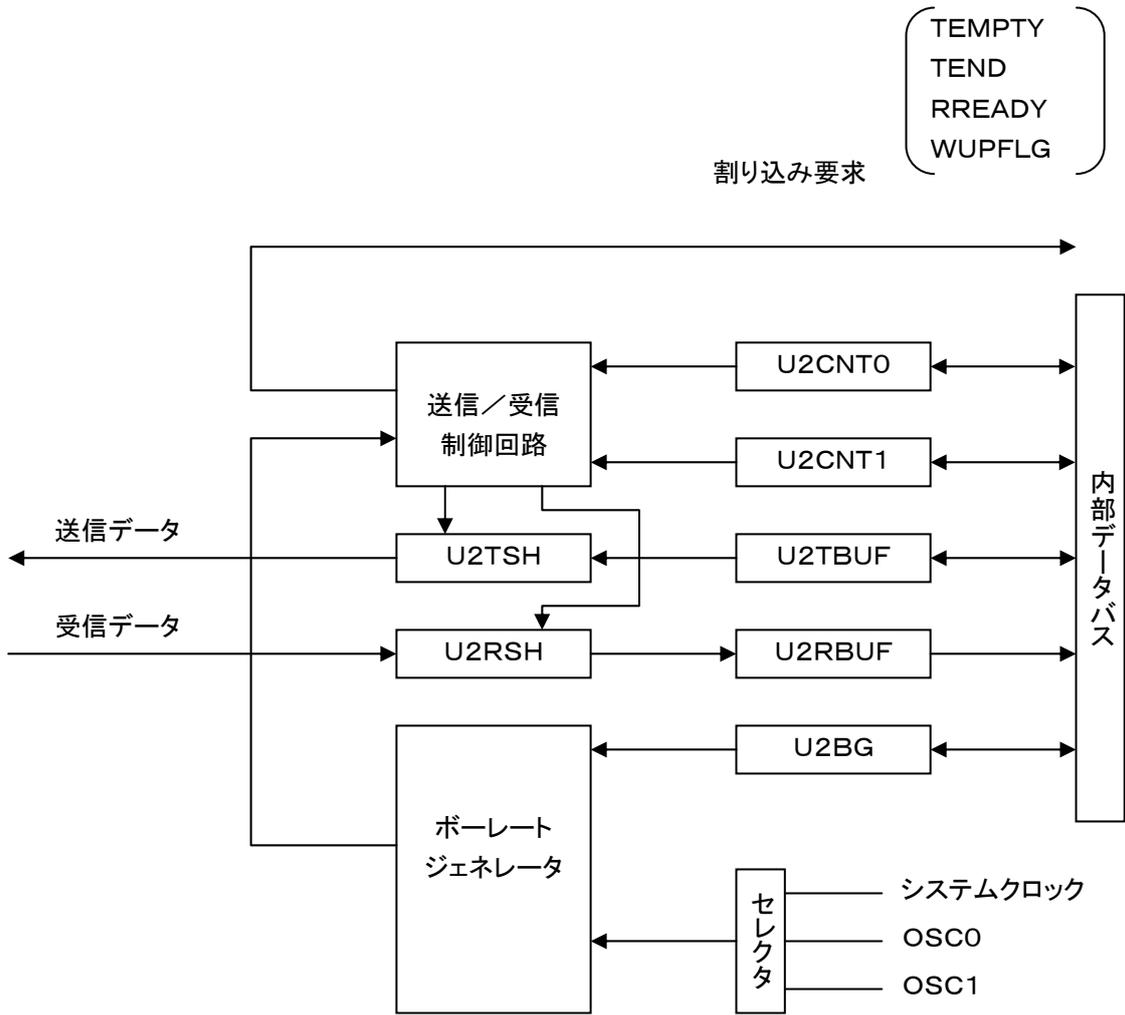


図 3-19-1 UART2のブロック図

UART2

3-19-4 関連レジスタ

3-19-4-1 UART2制御レジスタ0(U2CNT0)

①UART2モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6C	0010 0000	R/W	U2CNT0	TEND	TENDIE	EMPTY	EMPTYIE	RUN	RERR	RREADY	RIE

TEND(ビット7):送信終了フラグ

ストップビット送信終了時、送信データレジスタ(U2TBUF)に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはクリアされます。

TENDIE(ビット6):TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

EMPTY(ビット5):送信データ転送完了フラグ

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはセットされます。

送信データレジスタ(U2TBUF)へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R/Oです。

EMPTYIE(ビット4):EMPTY割り込み許可

このビットとEMPTYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

RUN(ビット3):UART2動作制御

0:UART2モジュールの回路が動作停止となります。

1:UART2モジュールの回路が動作状態となります。

RERR(ビット2):受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY(ビット1):受信データ受信完了フラグ (R/O)

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ(U2RBUF)のデータを読んだ時、このビットはクリアされます。

このビットは、R/Oです。

RIE(ビット0):受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

3-19-4-2 UART2制御レジスタ1(U2CNT1)

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6D	0000 0000	R/W	U2CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB(ビット7):送信ストップビット長選択

送信時のストップビットの長さを選択します。

- 0:1ストップビット
- 1:2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV(ビット6):ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

- 0:ボーレートの設定範囲は、8~1024サイクルとなります。
 - 1:ボーレートの設定範囲は、32~4096サイクルとなります。
- モード1では、このビットの設定値は無視されます。

SCK(ビット5、4):ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
10	OSC0
11	OSC1

※上記の設定値以外では使用しないでください。

PODD(ビット3):パリティ偶数/奇数選択

モード0時の送信、および、受信のパリティを選択します。

- 0:偶数パリティ
- 1:奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN(ビット2):パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

- 0:パリティなし
- 1:パリティ有り

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG(ビット1):ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE(ビット0):ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

UART2送信データレジスタ(U2TBUF)

①送信データを書き込む8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6E	0000 0000	R/W	U2TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U2TBUFのデータが送信シフトレジスタ(U2TSH)に転送されます。

次の送信データは、送信データ転送完了フラグ(EMPTY)を確認してから設定してください。

UART2

3-19-4-4 UART2受信データレジスタ(U2RBUF)

①受信データが格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R/O	U2RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U2RSH)から、U2RBUFに転送されます。

3-19-4-5 UART2ボーレート制御レジスタ(U2BG)

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F74	0000 0000	R/W	U2BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	$(U2BG\text{の設定値} + 1) \times 4\text{サイクル}$	8~1024サイクル
1	$(U2BG\text{の設定値} + 1) \times 16\text{サイクル}$	32~4096サイクル

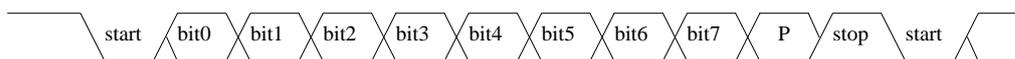
U2BGの設定値 = 00Hとすることにより、動作モードがモード1に設定されます。

3-19-5 UART2通信フォーマットの具体例

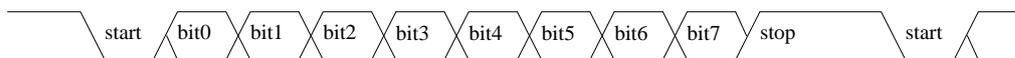
①TSTB=0、PEN=0の場合



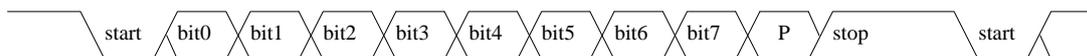
②TSTB=0、PEN=1の場合



③TSTB=1、PEN=0の場合



④TSTB=1、PEN=1の場合



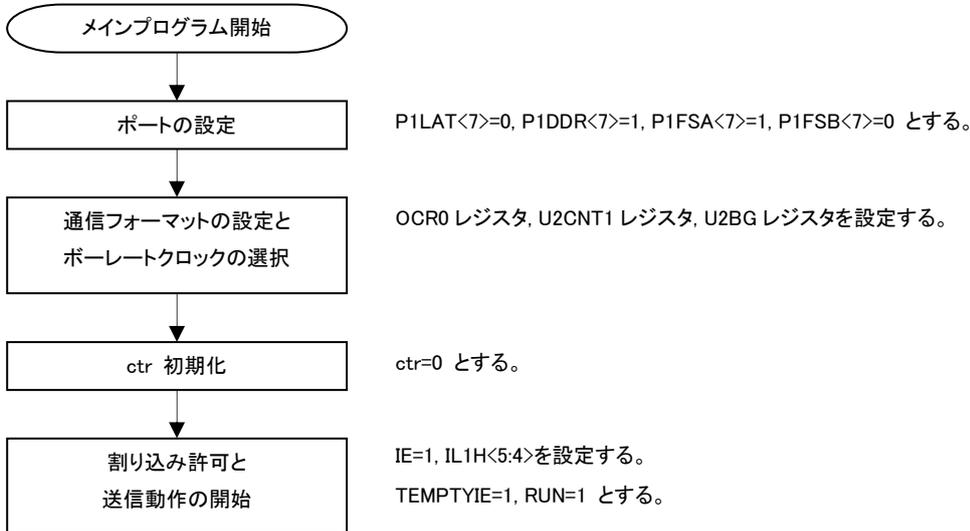
※ただし図中のPは、PODD=0の時偶数パリティ、PODD=1の時奇数パリティを表す。

3-19-6 UART2通信の具体例

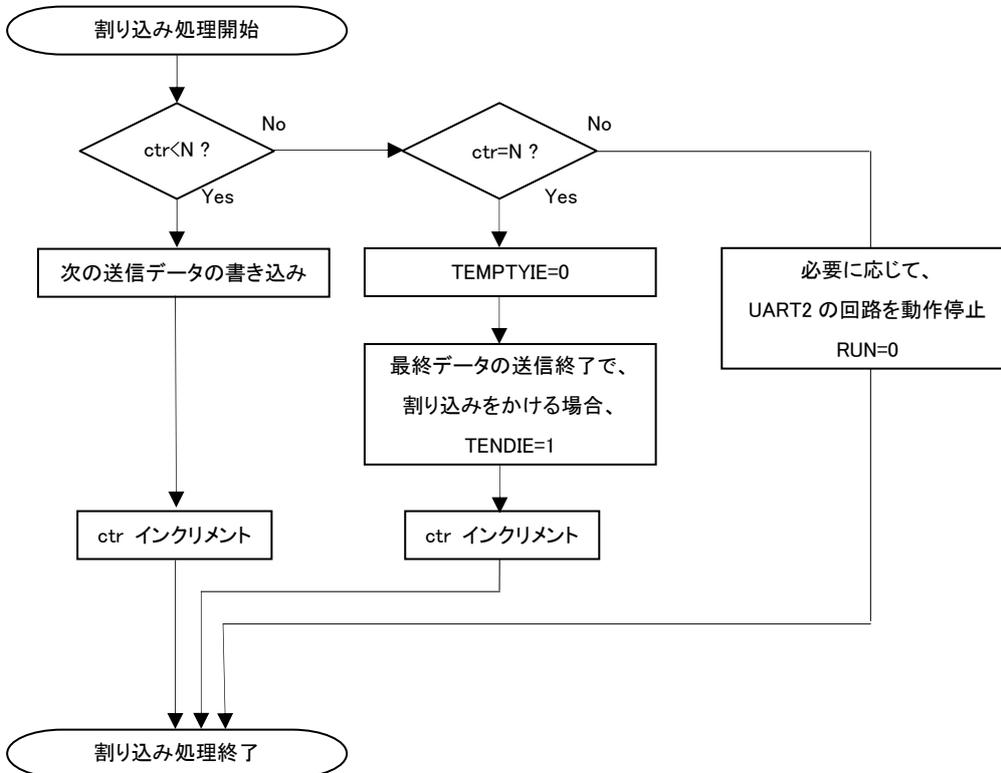
3-19-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウンタ用変数とします。

1. メインプログラム

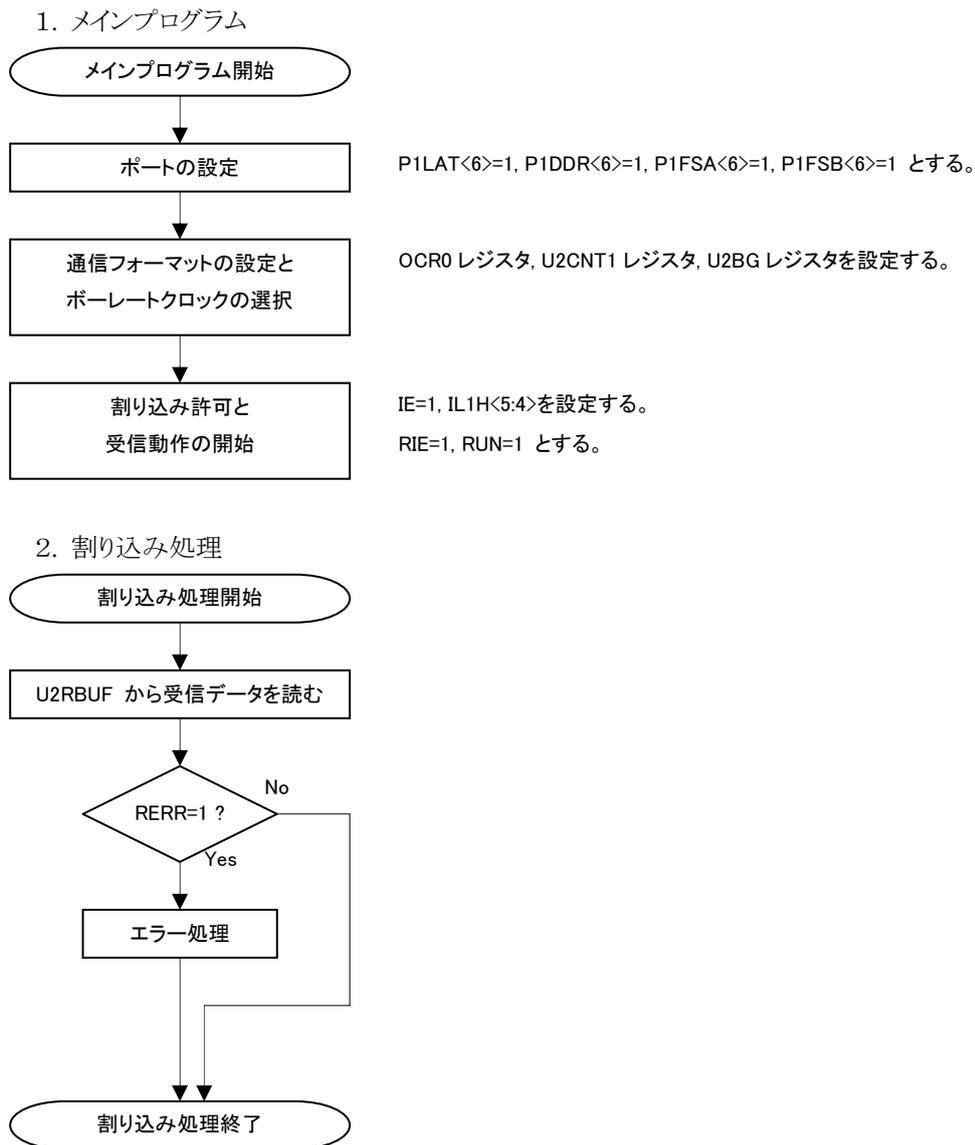


2. 割り込み処理



UART2

3-19-6-2 連続受信の具体例



3-19-6-3 UART2通信のポート設定

①送信ポート(P17)の設定

レジスタデータ				ポートP17の状態
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	出力
1	0	0	1	UART2送信出力(CMOS)
1	1	1	0	UART2送信出力(CMOS変化SLOW)
1	1	0	1	UART2送信出力(Nchオープンドレイン)

②受信ポート(P16)の設定

レジスタデータ				ポートP16の状態
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	入力
1	1	1	1	可能(UART2受信入力)

3-20 シリアルインタフェース0 (SIO0)

3-20-1 概要

本シリーズは、次の機能を持ったシリアルインタフェース(SIO0)を備えています。

- ①同期式8ビットシリアルI/O(2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル)(注1)
- ②ウェークアップ機能(2線式または3線式、外部クロックモードのみ)
- ③連続データ自動通信機能(9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル)

(注1)

SIO0のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下サイクルと表記します。

3-20-2 機能

3-20-2-1 動作モード

SIO0は、レジスタ設定により以下のモード設定が選択できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	S0CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F31	0000 0000	R/W	S0BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	S0INTVL	-	SNBIT			XCHNG	INTVL		

①モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

②モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S0BUF)へ自動転送されます。

自動受信時の受信データは、データバッファ(S0BUF)から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S0BUF)へ自動転送され、受信データは、データバッファ(S0XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

バイト間のインターバル時間は(内部クロックの周期) $\times n$ [サイクル]
($n=0, 1, 2, 4, 8, 16, 32, 64$)の範囲で可変です。

3-20-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-20-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。
HALTモードの解除をSIO0の割り込みで行うことができます。

3-20-2-4 ウェークアップ機能

モード0のみ使用できる機能です。
外部クロック時、HOLD/HOLDXモードの解除に使用することができます。

3-20-2-5 特殊機能レジスタ(SFR)の操作

SIO0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

S0CNT、S0BG、S0BUF、S0INTVL
P1LAT、P1DDR、P1FSA、P1FSB
IL2H
RTS1ADRL、RTS1ADRH、RTS1CTR、RTSCNT

3-20-3 回路構成

3-20-3-1 SIO0制御レジスタ(S0CNT) (8ビットレジスタ)

①SIO0の動作、割り込みの制御を行います。

3-20-3-2 SIO0ボーレート制御レジスタ(S0BG) (8ビットレジスタ)

①内部クロック発生用のリロードカウンタです。
② $(n+1) \times 2$ サイクル($n=1 \sim 255$)周期のクロックを発生できます。
外部クロックを使用する場合は、S0BG=00[H]で使用してください。

3-20-3-3 SIO0シフトレジスタ(S0SH) (8ビットシフトレジスタ)

①IO0のデータ転送・受信のためのシフトレジスタです。
②命令で直接アクセスできません。S0BUFを通してアクセスします。

3-20-3-4 SIO0Xデータバッファ(S0XBUF) (8ビットレジスタ)

①モード1の自動送受信の受信データを格納するレジスタです。
②命令で直接アクセスできません。

SIO0

3-20-3-5 SIO0データバッファ(S0BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。

- ①モード0の送信・受信をこのレジスタを通して行います。
- ②モード1の自動送信時、RAMから送信データが自動転送されます。
- ③モード1の自動受信時、受信データをRAMへ自動転送します。
- ④モード1の自動送受信時、RAMから送信データが自動転送されます。
- ⑤命令で直接アクセスできます。

3-20-3-6 SIO0インターバルレジスタ(S0INTVL) (8ビットレジスタ)

- ①モード1時、バイト間のインターバル時間の設定を行います。
- ②モード1の、自動送受信の設定を行います。
- ③端数ビットを指定します。

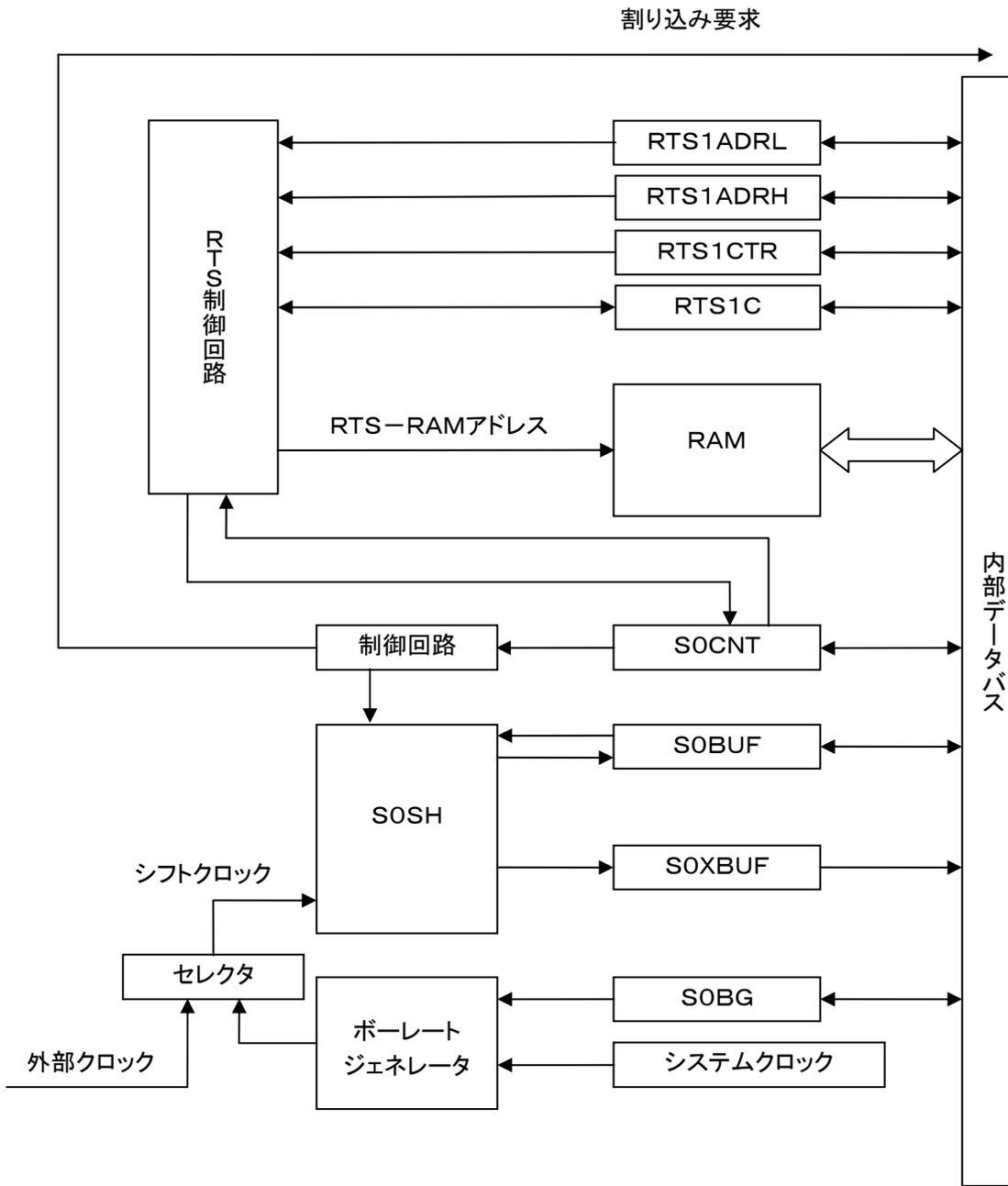


図 3-20-1 SIO0のブロック図

3-20-4 関連レジスタ

3-20-4-1 SIO0制御レジスタ(SOCNT)

①SIO0モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	SOCNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

*モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO0動作フラグ

①このビットが1の時SIO0は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信/自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①のビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO=0固定になります。

③のビットが1の時、モード1になります。

④モード1の通信中(AUTO=RUN=1)、このビットにCLR命令を実行すると、自動通信を一時停止(AUTO=0、RUN=1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO=RUN=1)すると、自動通信を再開します。

MSB(ビット3):MSB/LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

OVRUN(ビット2):オーバーランフラグ

①RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットはセットされます。

②モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。

- ③モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ④モード1の自動送信時、RAMからSOBUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑤モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、SOBUF・SOXBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑥このビットを読んで通信が正常に行われたかどうか判断してください。
- ⑦このビットのクリアは命令で行ってください。

FLG(ビット1):シリアル転送終了フラグ

- ①シリアル転送が終了で、このビットがセットされます。
- ②このビットのクリアは命令で行ってください。

IE(ビット0):受信割り込み許可

- ①このビットとFLGが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。
- ②このビットとOVRUNが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

3-20-4-2 SIO0ボーレート制御レジスタ(SOBG)

①シリアル転送の転送レートを設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F31	0000 0000	R/W	SOBG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは

$$TSOBG = (SOBGの設定値 + 1) \times 2 \text{ サイクル}$$

SOBGの設定値 = 1~255であり、TSOBGの設定範囲は、4~512サイクルとなります。外部クロックを使用する場合は、SOBG = 00[H]で使用してください。

3-20-4-3 SIO0データバッファ(SOBUF)

- ①シリアル転送データを格納する8ビットのバッファレジスタです。
- ②送受信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
- ③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	SOBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-20-4-4 SIO0インターバルレジスタ(SOINTVL)

①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	SOINTVL	-	SNBIT			XCHNG	INTVL		

(ビット7):固定ビット

0で使用してください。

SIO0

SNBIT (ビット6～4) :

- ① 端数ビットの指定を行います。
- ② 動作中 (RUN=1) に変更しないでください。変更すると、誤動作します。必ず、動作停止中 (RUN=0) に、設定してください。

XCHNG (ビット3) : 自動送受信

- ① このビットが1の時、モード1の自動送受信になります。
- ② 動作中 (RUN=1) にセット/クリアをしないでください。必ず、動作停止中 (RUN=0) に、設定してください。また、自動通信モード以外 (AUTO=0) でこのビットをセットすると誤動作します。

INTVL (ビット2～0) :

- ① モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
- ② インターバル時間 [サイクル] =
(S0BGの設定値 + 1) × 2 × インターバル設定値) です。
- ③ S0SHとS0BUF、S0XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数 (シリアルクロックの立ち上がりから立ち下がりまで) を6サイクル以下に設定しても、そのサイクル数で動作できません。
- ④ また、リアルタイムサービスコントローラのRTS制御レジスタの設定 (バススチール要求禁止 / ウェイト要求禁止) によっては、必ずしもS0INTVLで設定するインターバル時間になるとは限りません。
- ⑤ 動作中 (RUN=1) に変更しないでください。変更すると、誤動作します。必ず、動作停止中 (RUN=0) に、設定してください。

表 3-20-1 INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表 3-20-2 SIO0の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信/送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信/送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-20-5 転送ビット数の設定

3-20-5-1 モード0時の設定方法

転送ビットは、SNBITで設定します。

表3-20-3を参照してください。

例：5ビット通信の場合

SNBIT=101となります。

3-20-5-2 モード1時の設定方法

$n = ((X + 1) \times 8) + N$ で転送ビット数を指定します。

($n = 9$ ビット～ 32768 ビット、 $X = 0 \sim 4094$ 、 $N = 1 \sim 8$ ビット)

Xの設定は、RTS1CTR、RTS1ADRLで設定します。

$X = (((RTS1ADRL) \ll 8) \& 0x0F00) + (RTS1CTR \& 0x00FF)$

Nの設定は、SNBITで設定します。

表3-20-3を参照してください。

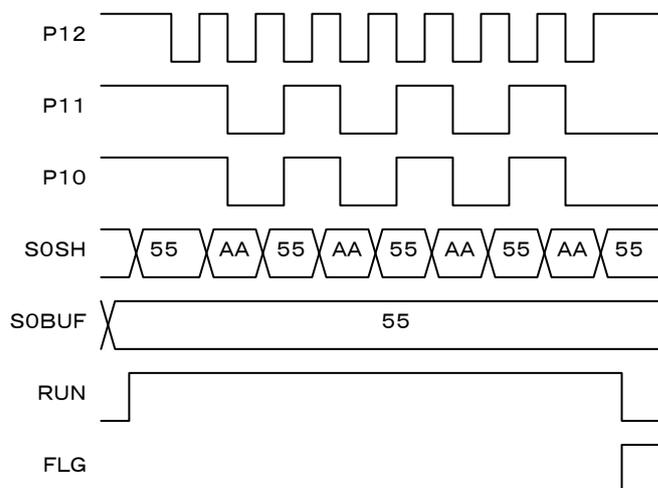
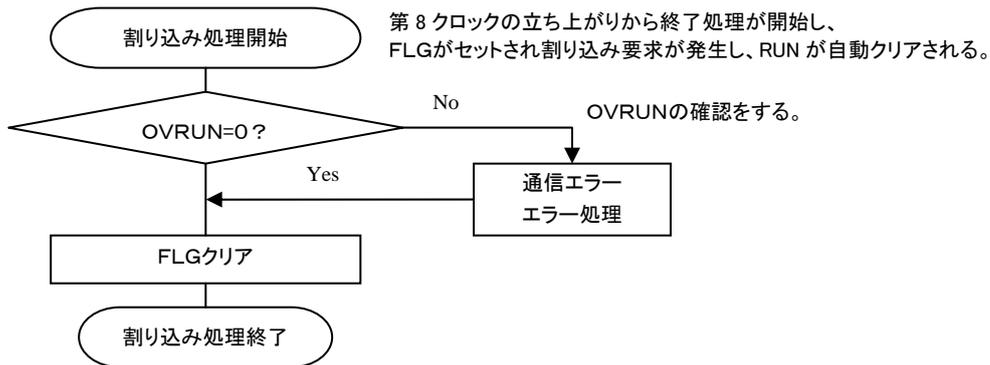
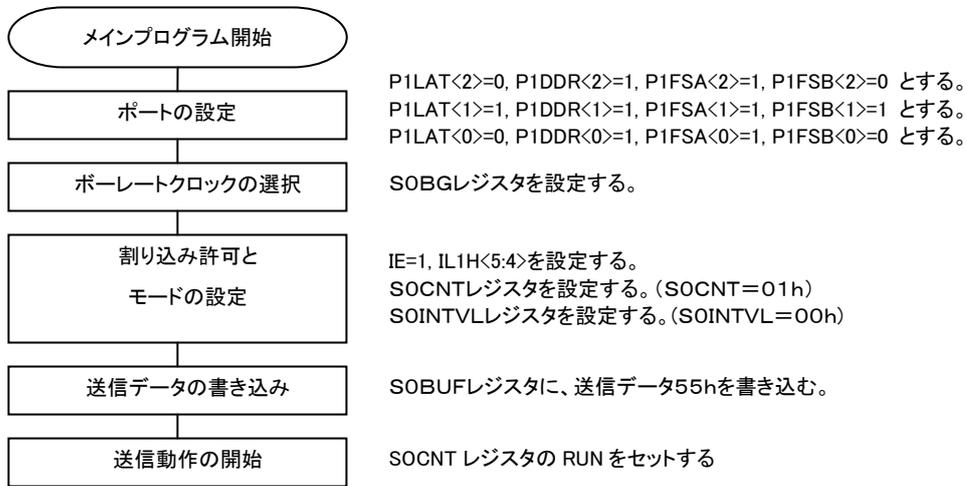
表3-20-3 ビット数の設定

SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

3-20-6 SIO0通信の具体例

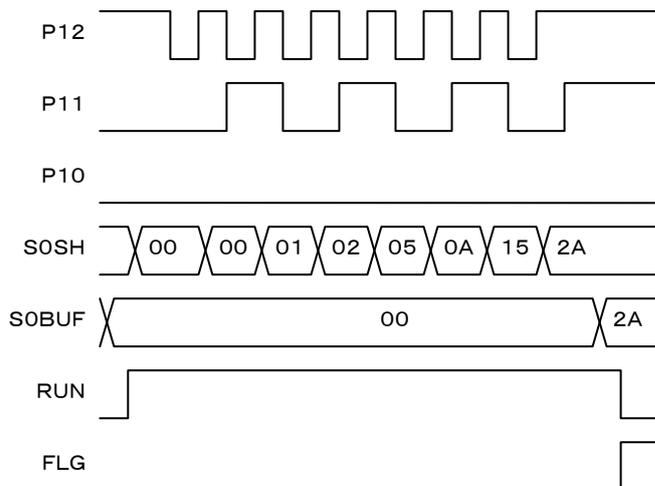
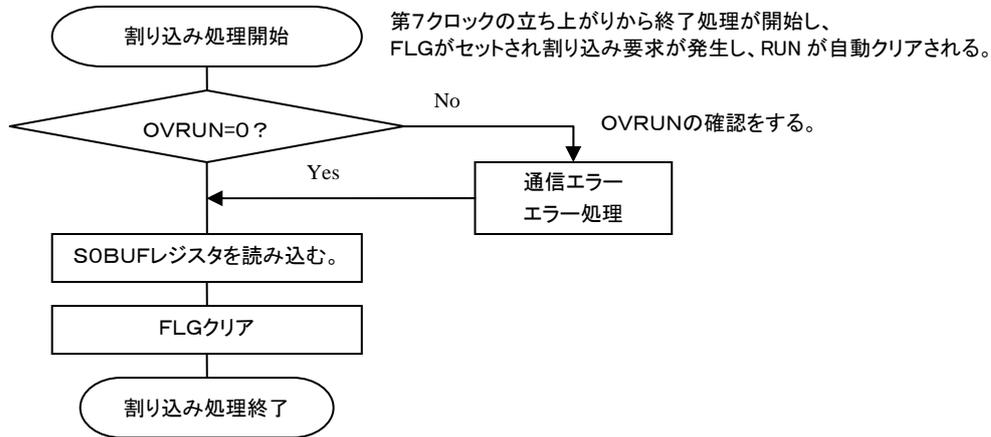
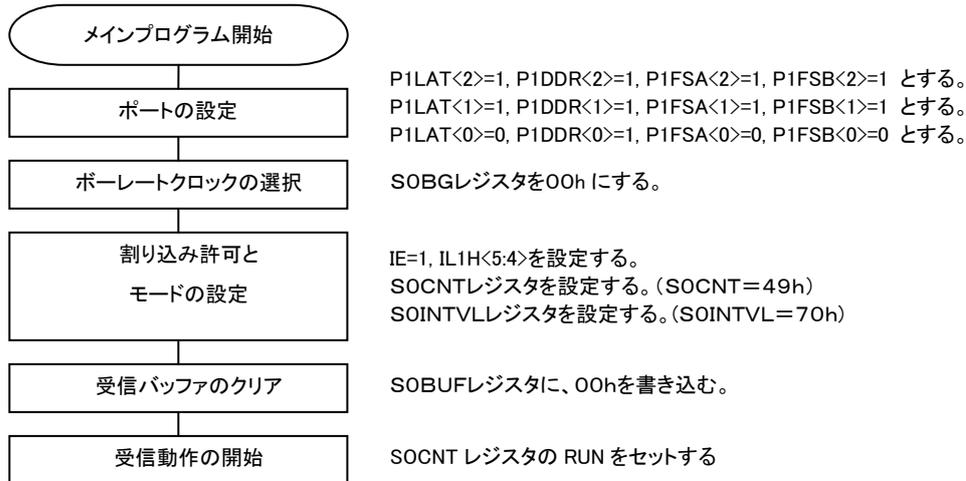
3-20-6-1 モード0(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合



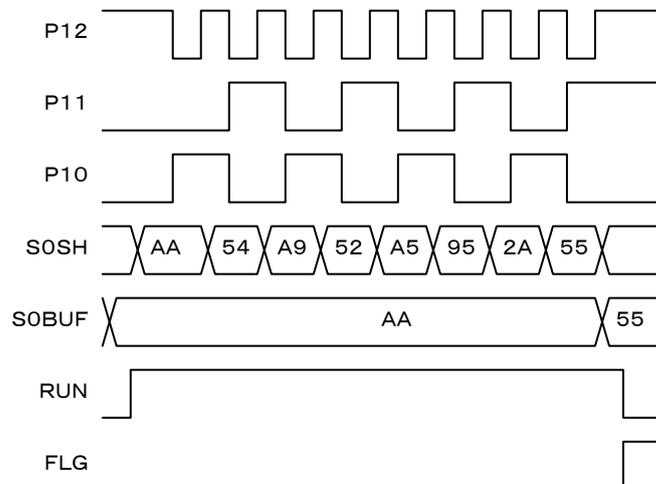
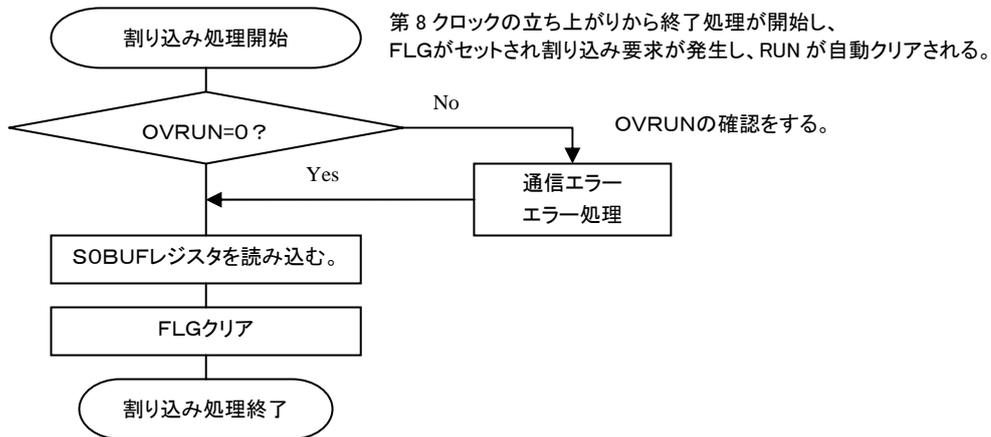
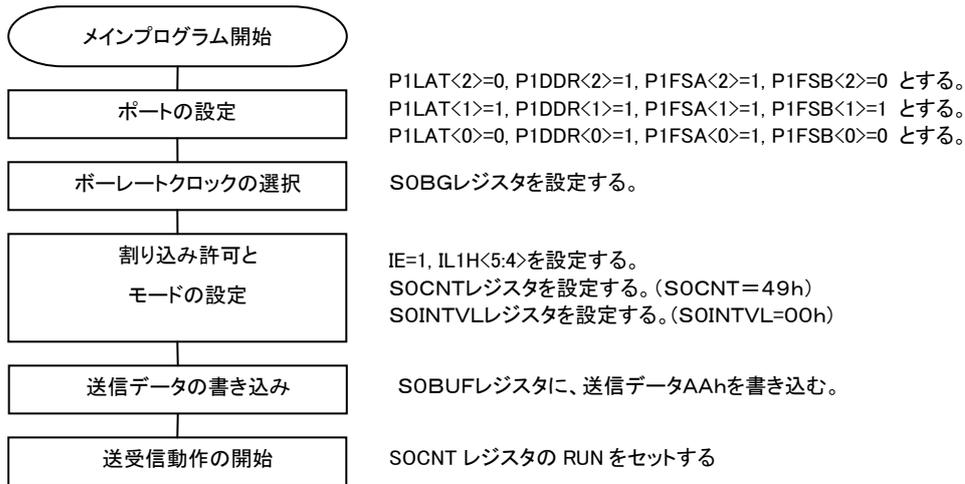
3-20-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、P10=L出力、受信データ2Ah、受信ビット数7の場合



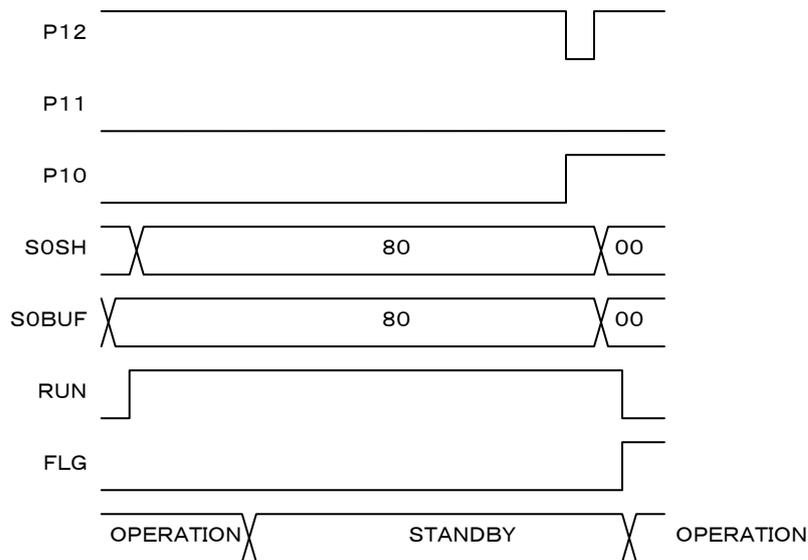
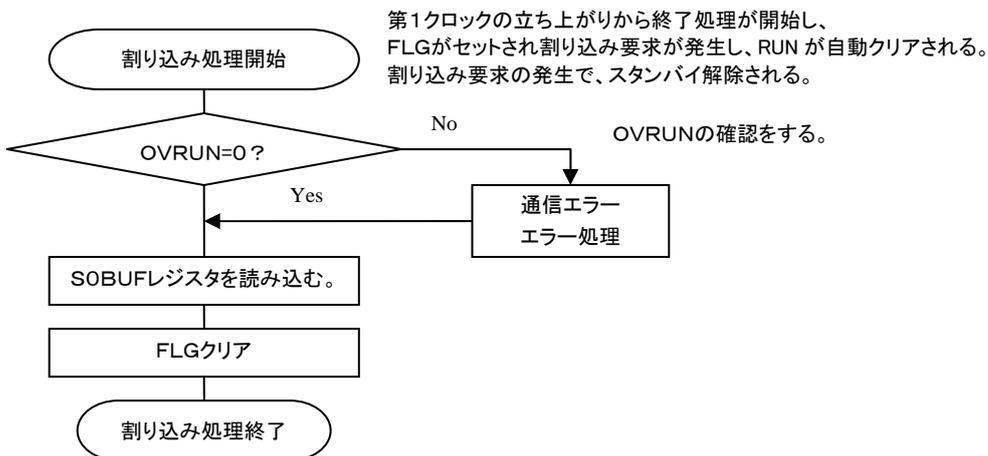
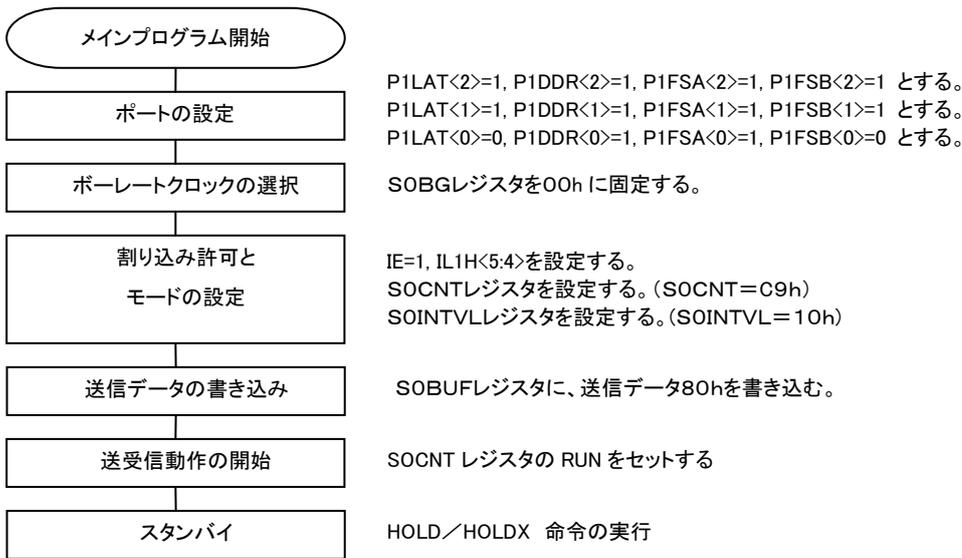
3-20-6-3 モード0(送受信)の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合



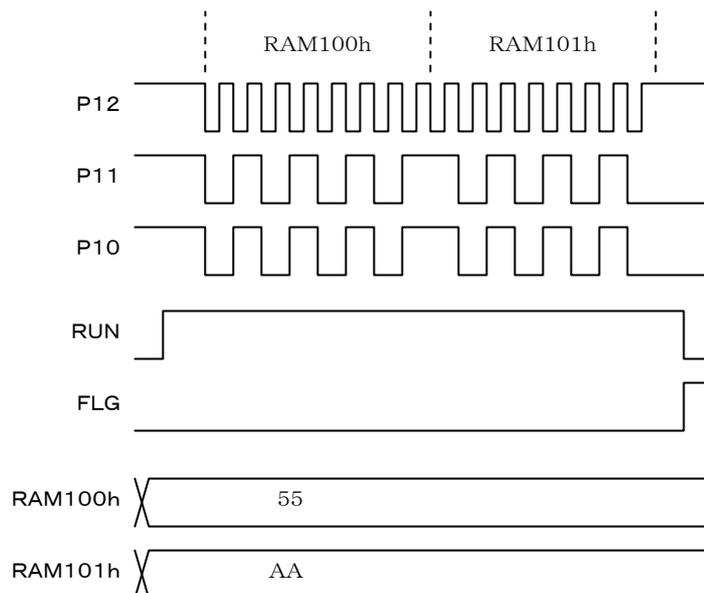
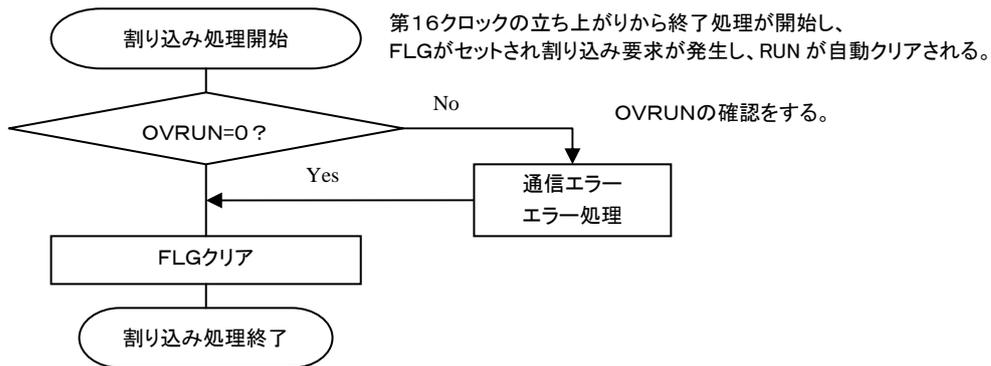
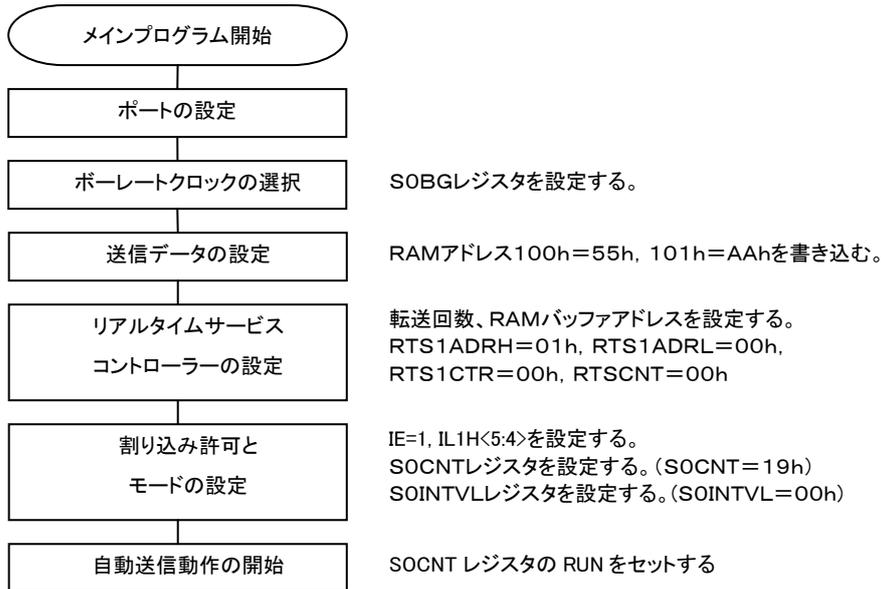
3-20-6-4 モード0(送受信・ウェークアップ)の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合



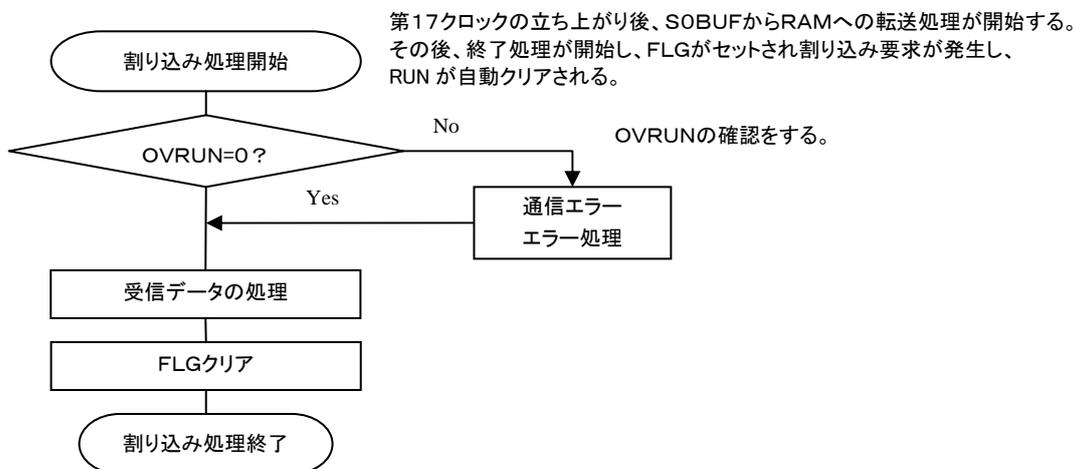
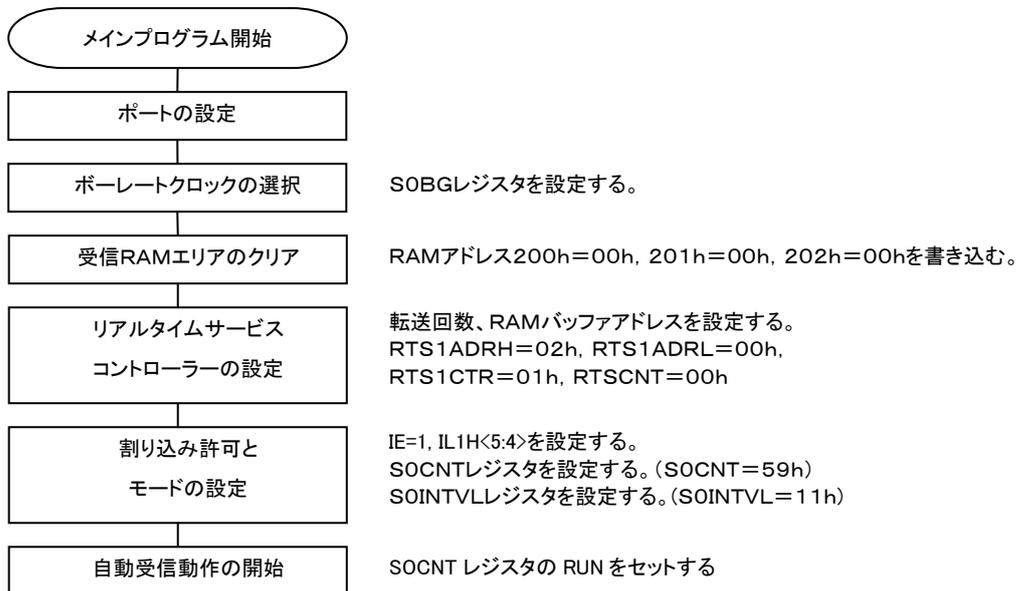
3-20-6-5 モード1(自動送信)の具体例

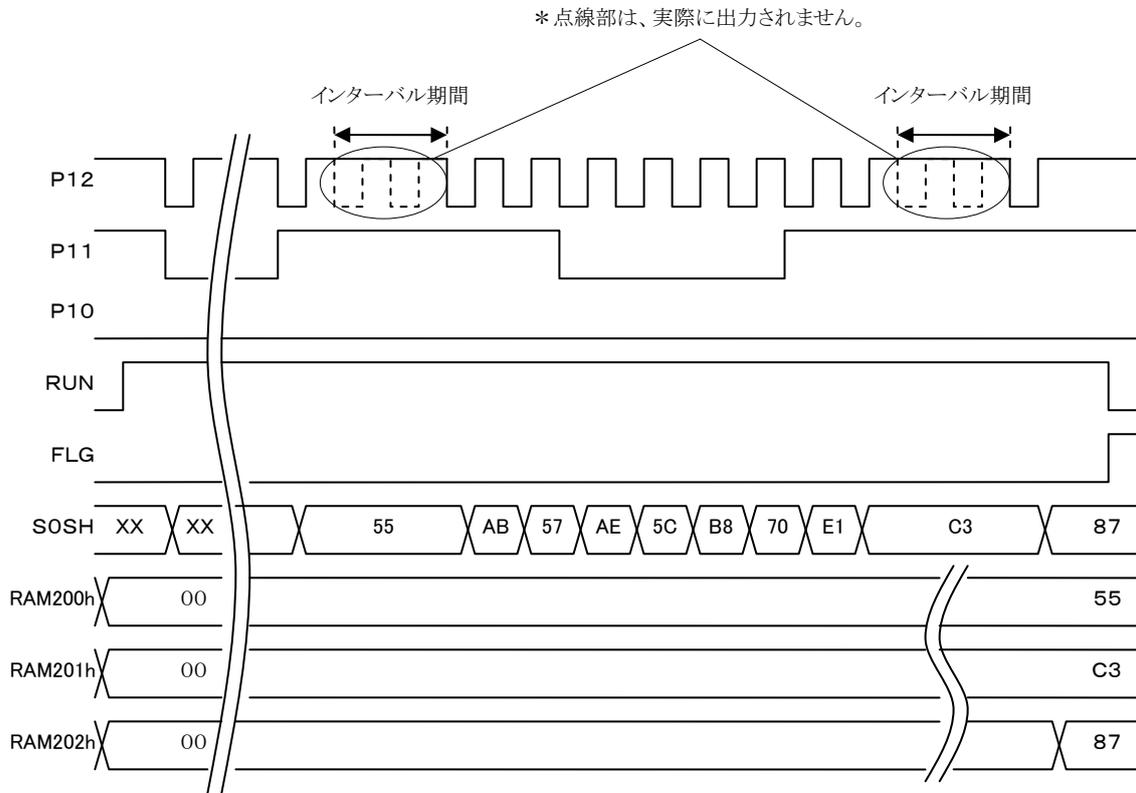
内部クロック、MSB先頭、送信データ開始RAMバッファアドレス100番地、インターバル=0、送信ビット数16の場合



3-20-6-6 モード1(自動受信)の具体例

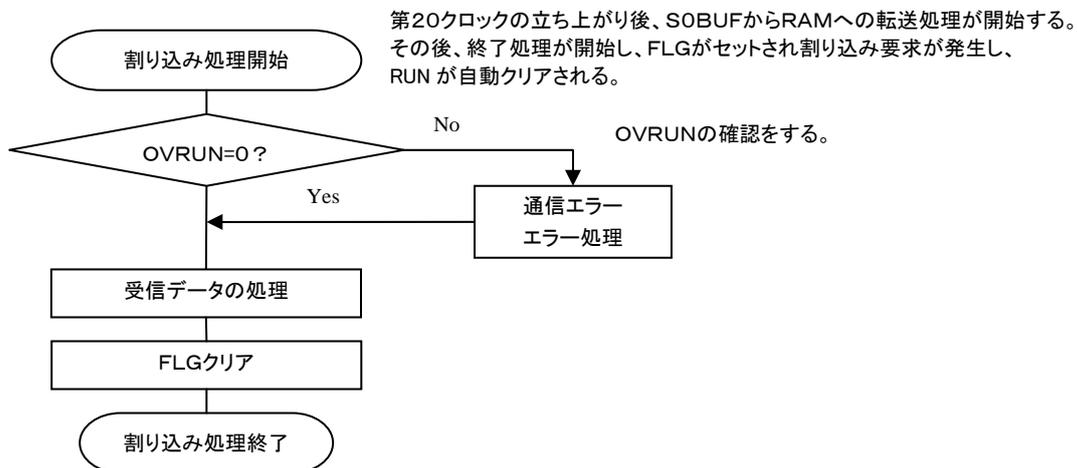
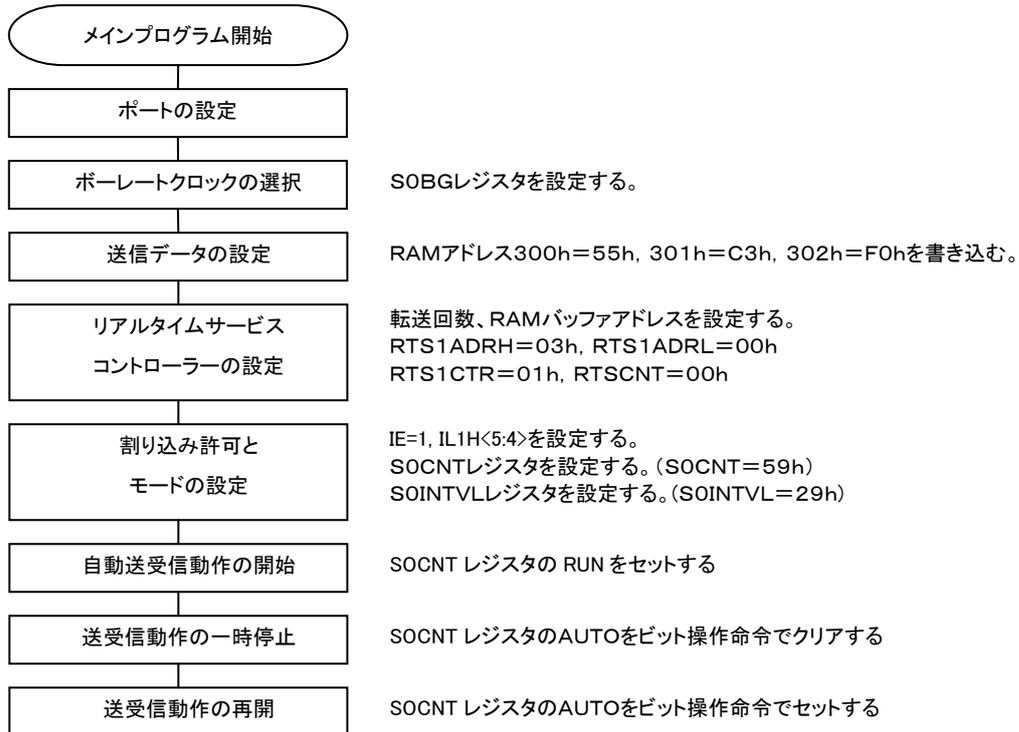
内部クロック、MSB先頭、受信データ開始RAMバッファアドレス200番地、
インターバル=2、受信ビット数17、P10=L出力の場合

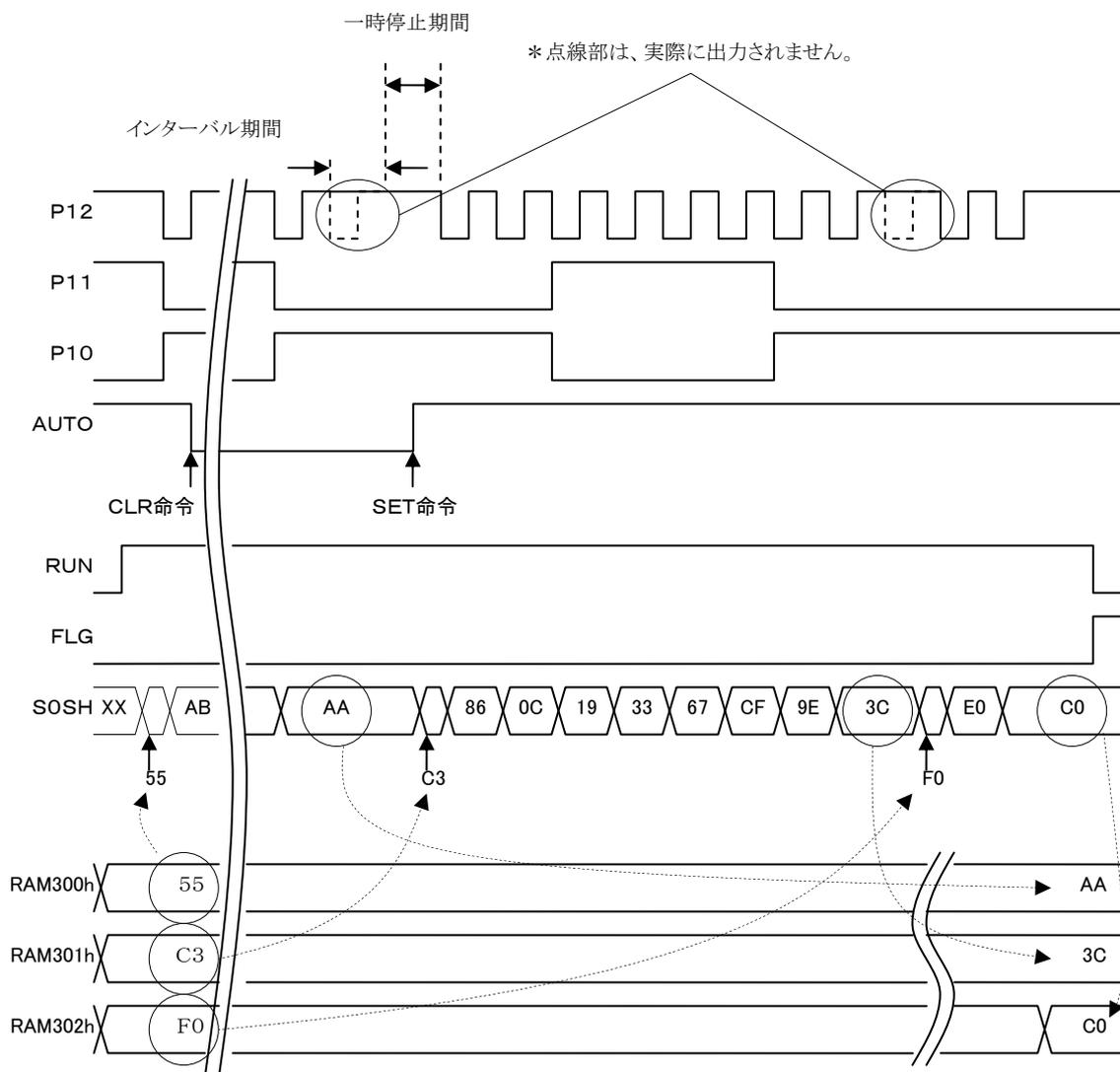




3-20-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、
インターバル=1、送受信ビット数18、一時停止後、通信再開の場合





3-20-6-8 SIO0通信のポート設定

①データ送信専用ポート(P10)の設定

レジスタ設定				P10の状態	FAST/ SLOW
P1FSA<0>	P1DDR<0>	P1LAT<0>	P1FSB<0>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW

②データ送受信ポート(P11)の設定

レジスタ設定				P11の状態	FAST/ SLOW
P1FSA<1>	P1DDR<1>	P1LAT<1>	P1FSB<1>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW
1	1	1	1	入力 (受信)	—

③クロック用ポート(P12)の設定

レジスタ設定				P12の状態	FAST/ SLOW
P1FSA<2>	P1DDR<2>	P1LAT<2>	P1FSB<2>		
1	1	0	0	CMOS出力 (内部クロック)	FAST
1	0	1	1	CMOS出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	—

3-21 シリアルインタフェース1 (SIO1)

3-21-1 概要

本シリーズは、次の機能を持ったシリアルインタフェース1 (SIO1)を備えています。

- ① 同期式8ビットシリアルI/O (2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル) (注1)
- ② ウェークアップ機能 (2線式または3線式、外部クロックモードのみ)
- ③ 連続データ自動通信機能 (9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル)

(注1)

SIO1のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下サイクルと表記します。

3-21-2 機能

3-21-2-1 動作モード

SIO1は、レジスタ設定により以下のモード設定が選択できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	SICNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	-	SNBUT			XCHNG	INTVL		

① モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は $(n+1) \times 2$ サイクル ($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

② モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S1BUF)へ自動転送されます。

自動受信時の受信データは、データバッファ(S1BUF)から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S1BUF)へ自動転送され、受信データは、データバッファ(S1XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

バイト間のインターバル時間は(内部クロックの周期) $\times n$ [サイクル]
($n=0, 1, 2, 4, 8, 16, 32, 64$)の範囲で可変です。

3-21-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-21-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。
HALTモードの解除をSIO1の割り込みで行うことができます。

3-21-2-4 ウェークアップ機能

モード0のみ使用できる機能です。
外部クロック時、HOLD/HOLDXモードの解除に使用することができます。

3-21-2-5 特殊機能レジスタ(SFR)の操作

SIO1をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

S1CNT、S1BG、S1BUF、S1INTVL
P4LAT、P4DDR、P4FSA、P4FSB
IL2L
RTS2ADRL、RTS2ADRH、RTS2CTR、RTSCNT

3-21-3 回路構成

3-21-3-1 SIO1制御レジスタ(S1CNT) (8ビットレジスタ)

①SIO1の動作、割り込みの制御を行います。

3-21-3-2 SIO1ボーレート制御レジスタ(S1BG) (8ビットレジスタ)

①内部クロック発生用のリロードカウンタです。
② $(n+1) \times 2$ サイクル($n=1 \sim 255$)周期のクロックを発生できます。
外部クロックを使用する場合は、S1BG=00[H]で使用してください。

3-21-3-3 SIO1シフトレジスタ(S1SH) (8ビットシフトレジスタ)

①SIO1のデータ転送・受信のためのシフトレジスタです。
②命令直接アクセスできません。S1BUFを通してアクセスします。

3-21-3-4 SIO1Xデータバッファ(S1XBUF) (8ビットレジスタ)

①モード1の自動送受信の受信データを格納するレジスタです。
②命令で直接アクセスできません。

SIO1

3-21-3-5 SIO1データバッファ(S1BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。

- ① モード0の送信・受信をこのレジスタを通して行います。
- ② モード1の自動送信時、RAMから送信データが自動転送されます。
- ③ モード1の自動受信時、受信データをRAMへ自動転送します。
- ④ モード1の自動送受信時、RAMから送信データが自動転送されます。
- ⑤ 命令で直接アクセスできます。

3-21-3-6 SIO1インターバルレジスタ(S1INTVL) (8ビットレジスタ)

- ① モード1時、バイト間のインターバル時間の設定を行います。
- ② モード1の、自動送受信の設定を行います。
- ③ 端数ビットを指定します。

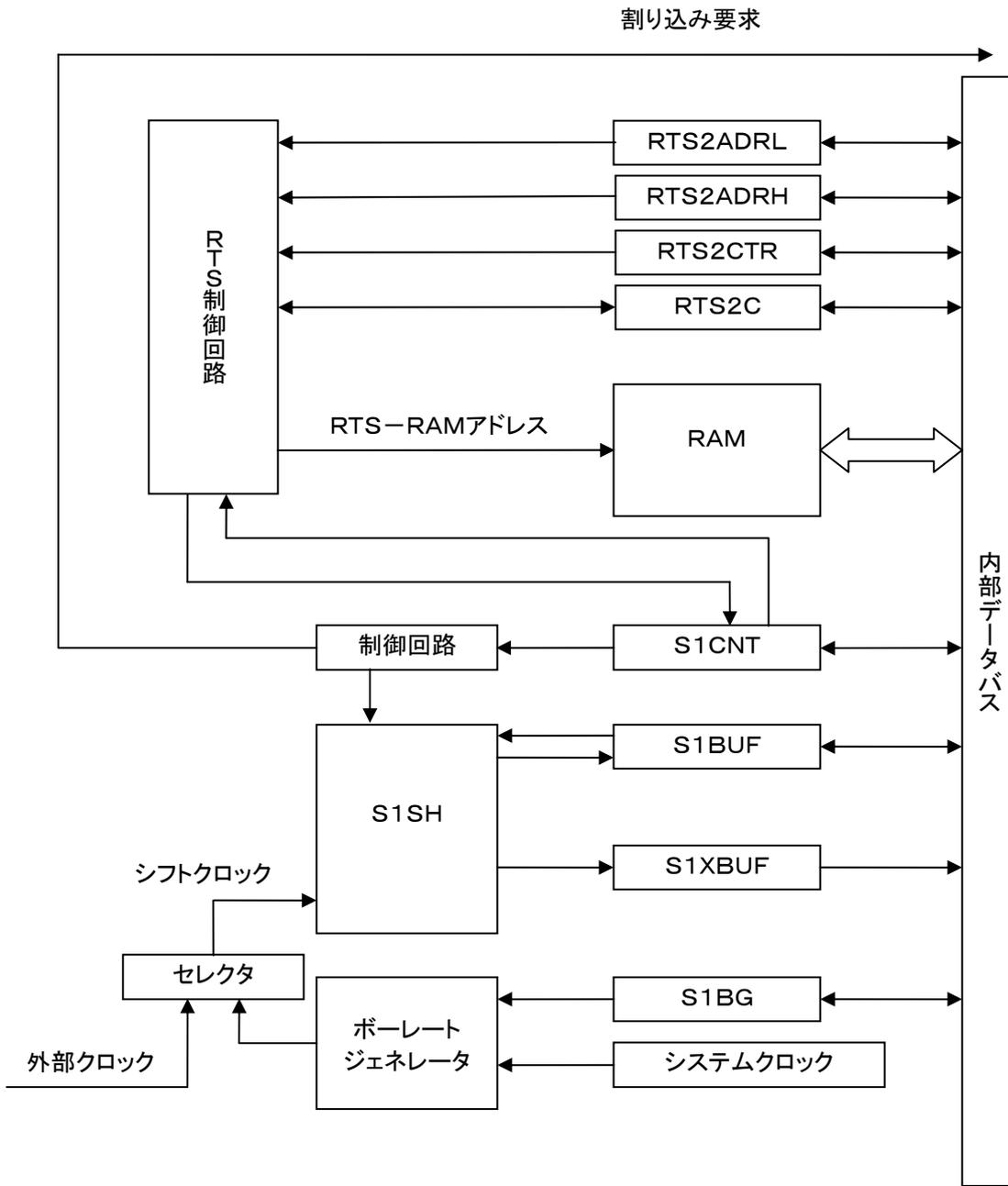


図 3-21-1 SIO1のブロック図

SIO1

3-21-4 関連レジスタ

3-21-4-1 SIO1制御レジスタ(S1CNT)

①SIO1モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	S1CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

*モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO1動作フラグ

①このビットが1の時SIO1は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信/自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO=0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中(AUTO=RUN=1)、このビットにCLR命令を実行すると、自動通信を一時停止(AUTO=0、RUN=1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO=RUN=1)すると、自動通信を再開します。

MSB(ビット3):MSB/LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

OVRUN(ビット2):オーバーランフラグ

①RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットはセットされます。

②モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。

③モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。

- ④モード1の自動送信時、RAMからS1BUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑤モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、S1BUF・S1XBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑥このビットを読んで通信が正常に行われたかどうか判断してください。
- ⑦このビットのクリアは命令で行ってください。

FLG(ビット1):シリアル転送終了フラグ

- ①シリアル転送が終了で、このビットがセットされます。
- ②このビットのクリアは命令で行ってください。

IE(ビット0):受信割り込み許可

- ①このビットとFLGが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。
- ②このビットとOVRUNが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。

3-21-4-2 SIO1ボーレート制御レジスタ(S1BG)

①シリアル転送の転送レートを設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは

$$TS1BG = (S1BGの設定値 + 1) \times 2 \text{ サイクル}$$

S1BGの設定値 = 1 ~ 255であり、TS1BGの設定範囲は、4 ~ 512サイクルとなります。

外部クロックを使用する場合は、S1BG = 00[H]で使用してください。

3-21-4-3 SIO1データバッファ(S1BUF)

①シリアル転送データを格納する8ビットのバッファレジスタです。

送信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。

受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-21-4-4 SIO1インターバルレジスタ(S1INTVL)

①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	-	SNBIT			XCHNG	INTVL		

(ビット7):固定ビット

0で使用してください。

SIO1

SNBIT (ビット6～4) :

- ① 端数ビットの指定を行います。
- ② 動作中 (RUN=1) に変更しないでください。変更すると、誤動作します。必ず、動作停止中 (RUN=0) に、設定してください。

XCHNG (ビット3) : 自動送受信

- ① このビットが1の時、モード1の自動送受信になります。
- ② 動作中 (RUN=1) にセット/クリアをしないでください。必ず、動作停止中 (RUN=0) に、設定してください。また、自動通信モード以外 (AUTO=0) でこのビットをセットすると誤動作します。

INTVL (ビット2～0) :

- ① モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
- ② インターバル時間 [サイクル] = $((S1BG \text{ の設定値} + 1) \times 2) \times \text{インターバル設定値}$ です。
- ③ S1SHとS1BUF、S1XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数 (シリアルクロックの立ち上がりから立ち下がりまで) を6サイクル以下に設定しても、そのサイクル数で動作できません。
- ④ また、リアルタイムサービスコントローラのRTS制御レジスタの設定 (バススチール要求禁止 / ウェイト要求禁止) によっては、必ずしもS1INTVLで設定するインターバル時間になるとは限りません。
- ⑤ 動作中 (RUN=1) に変更しないでください。変更すると、誤動作します。必ず、動作停止中 (RUN=0) に、設定してください。

表 3-21-1 INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表 3-21-2 SIO1 の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信/送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信/送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-21-5 転送ビット数の設定

3-21-5-1 モード0時の設定方法

転送ビットは、SNBITで設定します。

表3-21-3を参照してください。

例：5ビット通信の場合

SNBIT=101となります。

3-21-5-2 モード1時の設定方法

$n = ((X + 1) \times 8) + N$ で転送ビット数を指定します。

($n = 9$ ビット～ 32768 ビット、 $X = 0 \sim 4094$ 、 $N = 1 \sim 8$ ビット)

Xの設定は、RTS2CTR、RTS2ADRLで設定します。

$X = (((RTS2ADRL) \ll 8) \& 0x0F00) + (RTS2CTR \& 0x00FF)$

Nの設定は、SNBITで設定します。

表3-21-3を参照してください。

表 3-21-3 ビット数の設定

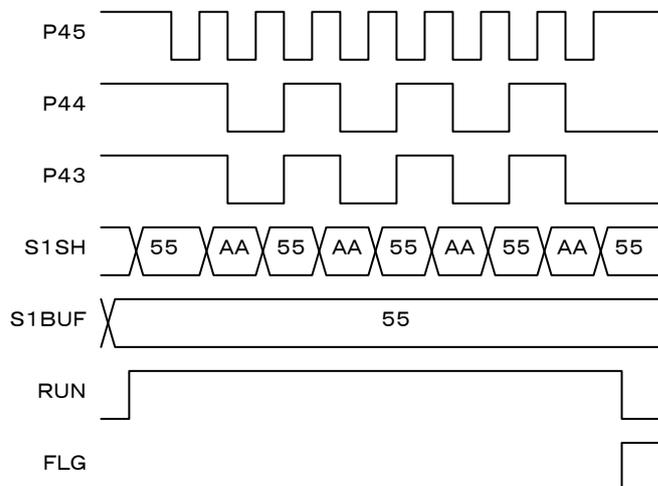
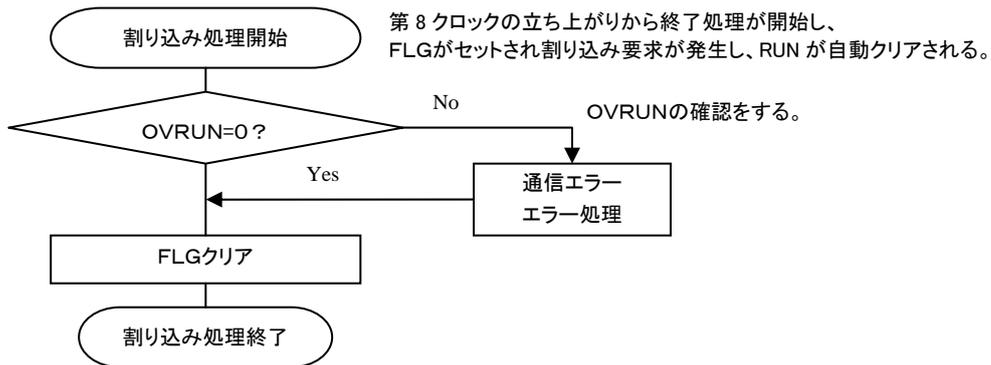
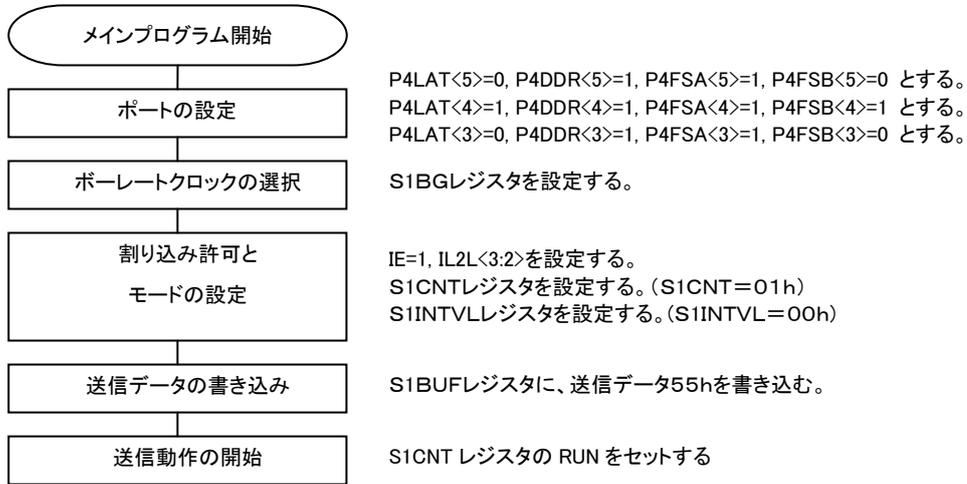
SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

SIO1

3-21-6 SIO1通信の具体例

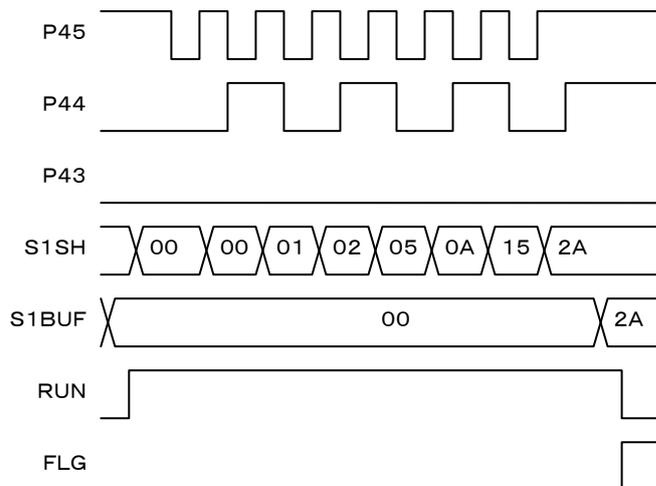
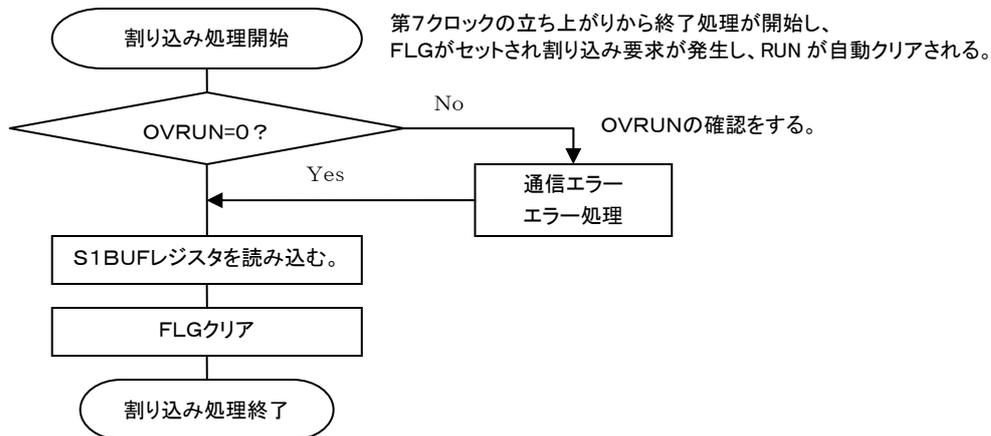
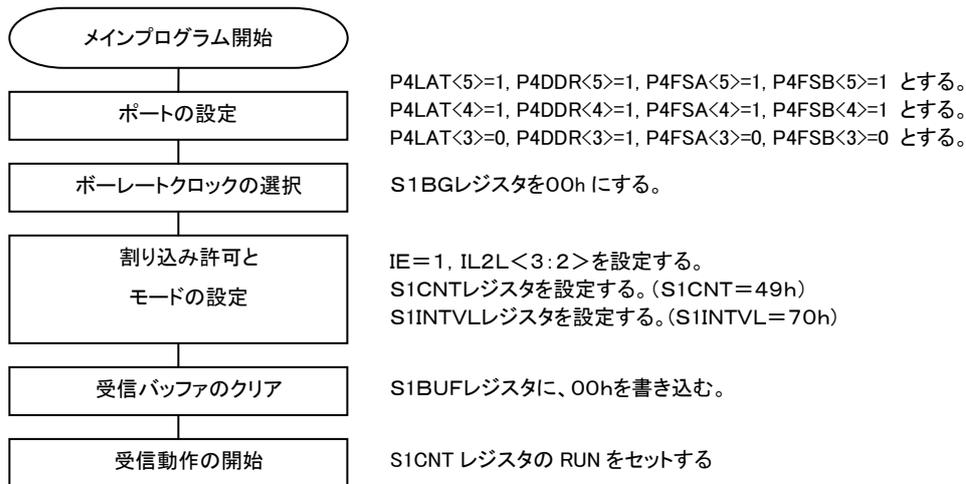
3-21-6-1 モード1(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合



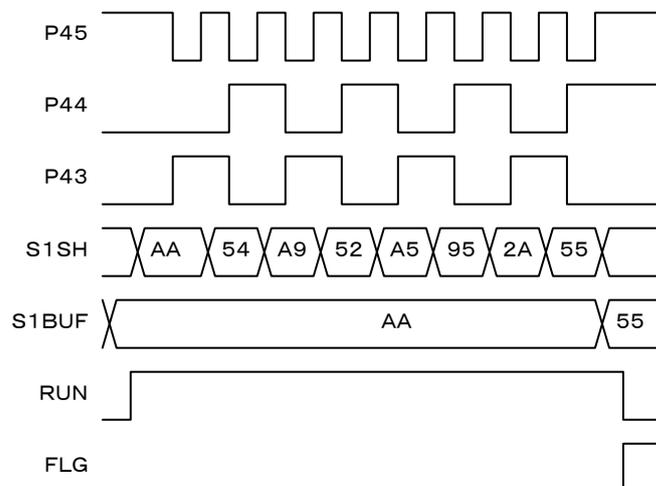
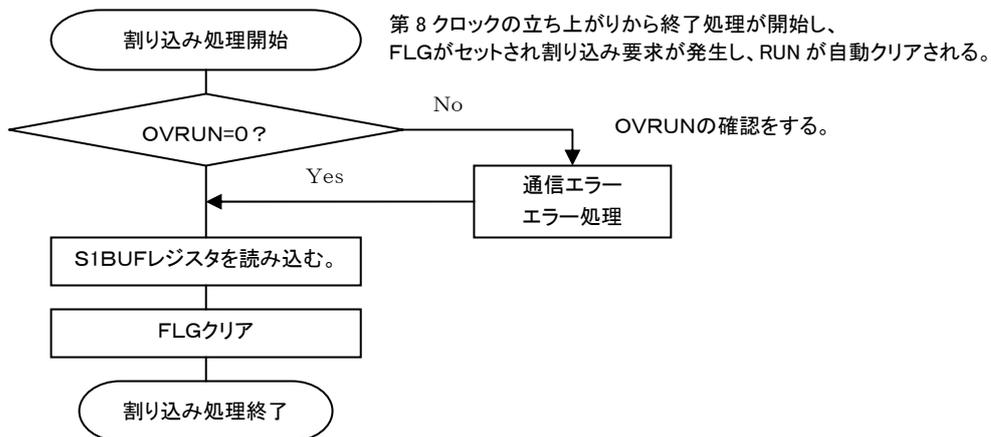
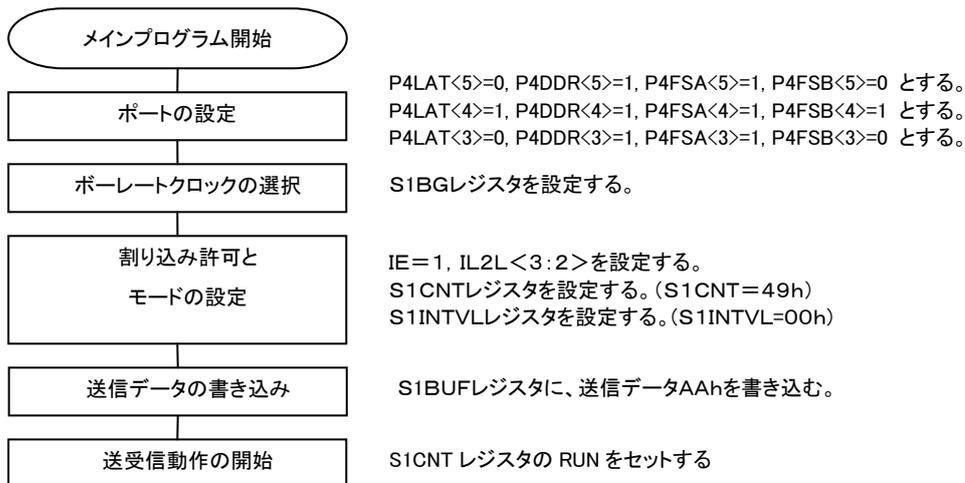
3-21-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、P43=L出力、受信データ2Ah、受信ビット数7の場合



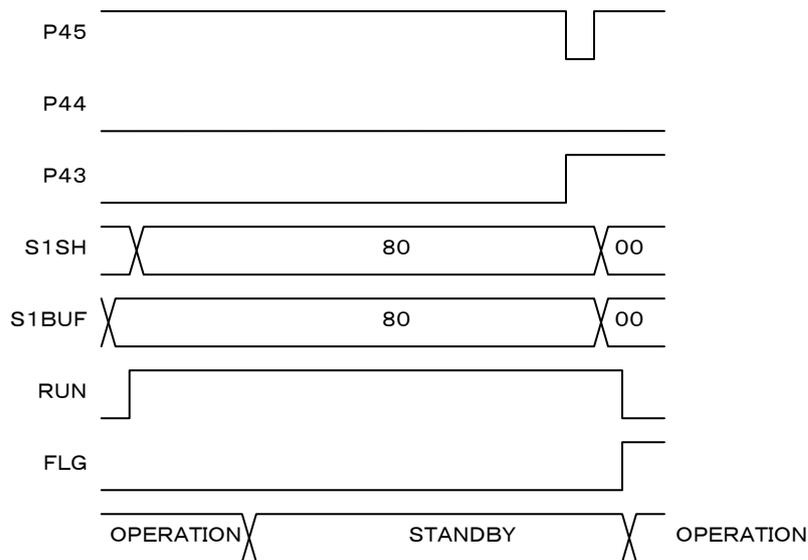
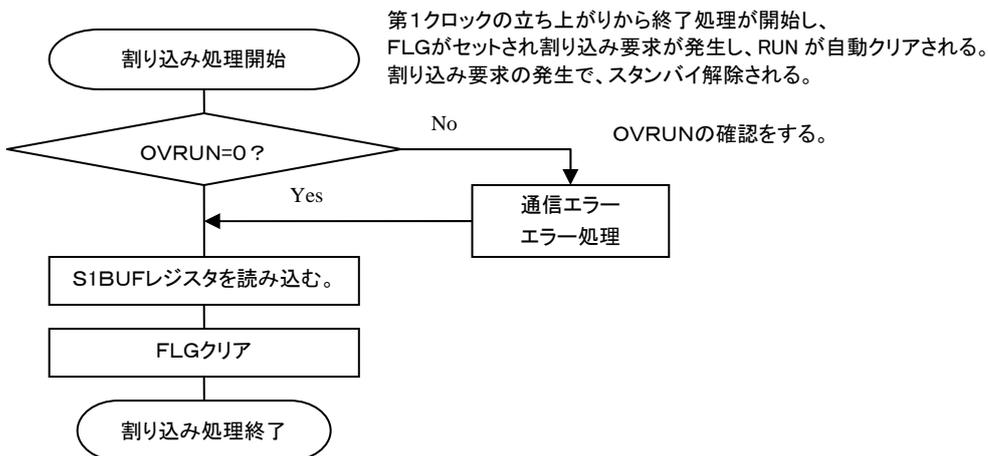
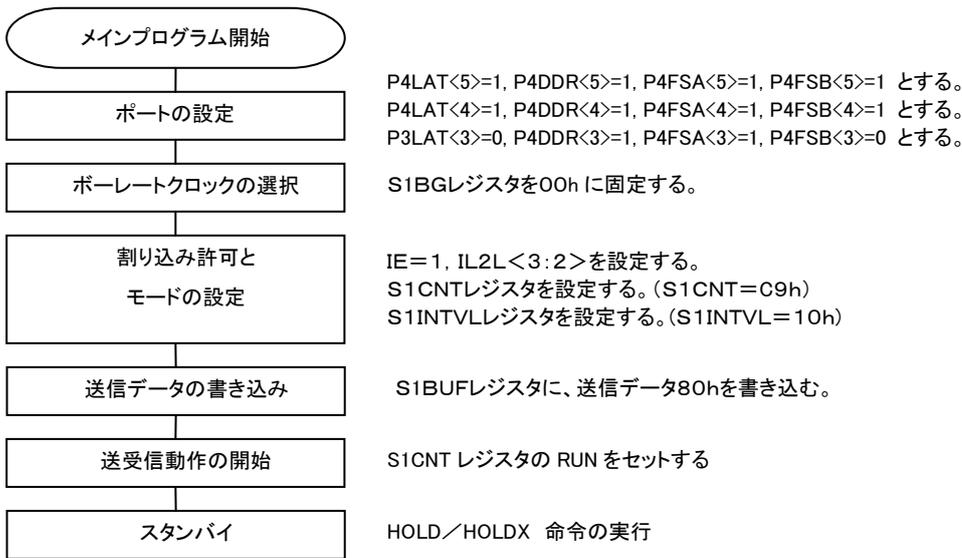
3-21-6-3 モード0(送受信)の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合



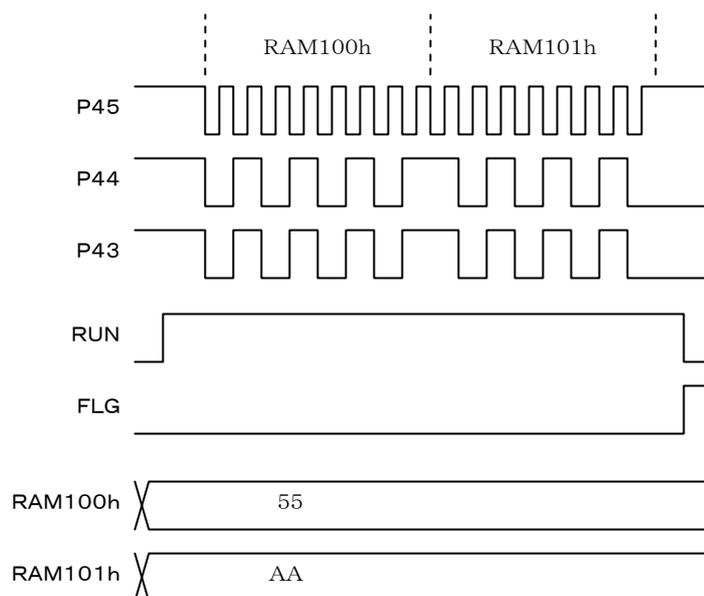
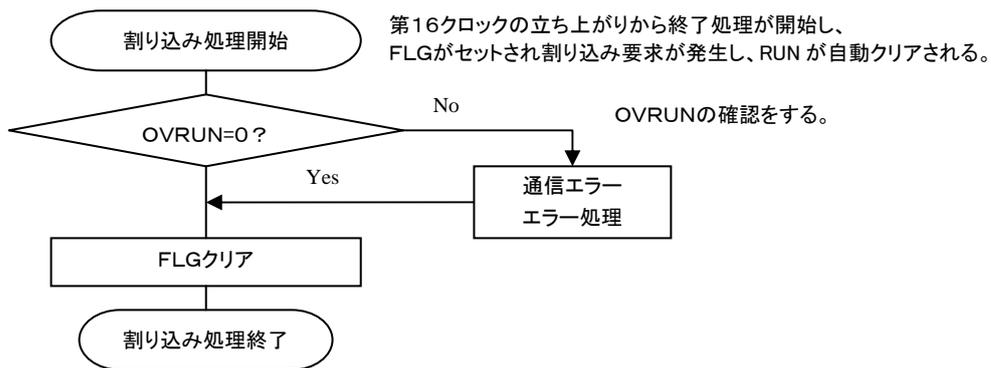
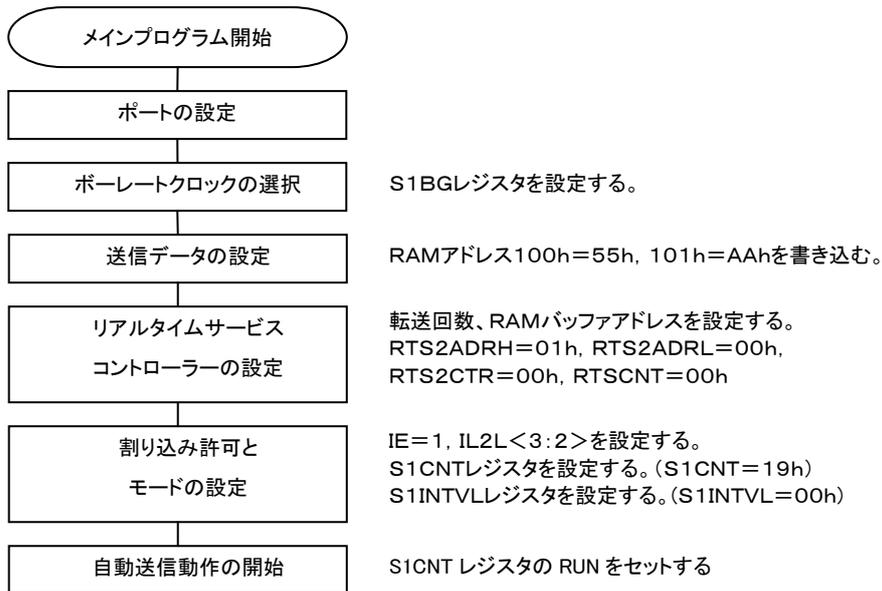
3-21-6-4 モード0(送受信・ウェークアップ)の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合



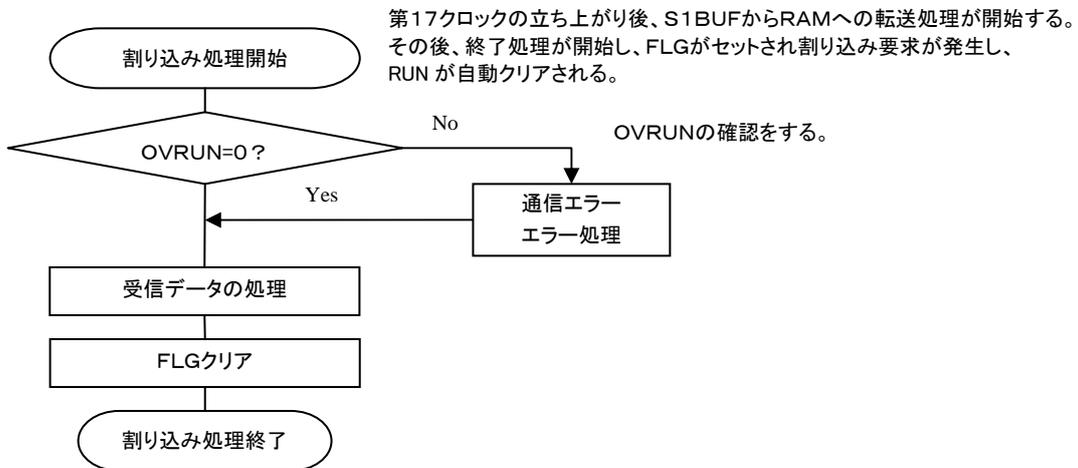
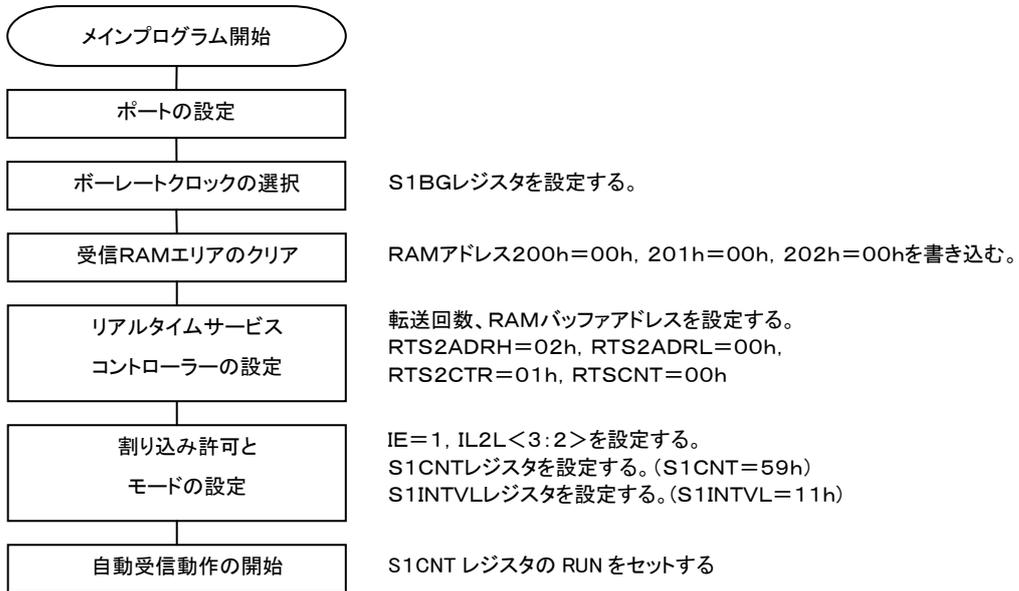
3-21-6-5 モード1(自動送信)の具体例

内部クロック、MSB先頭、送信データ開始RAMバッファアドレス100番地、
インターバル=0、送信ビット数16の場合

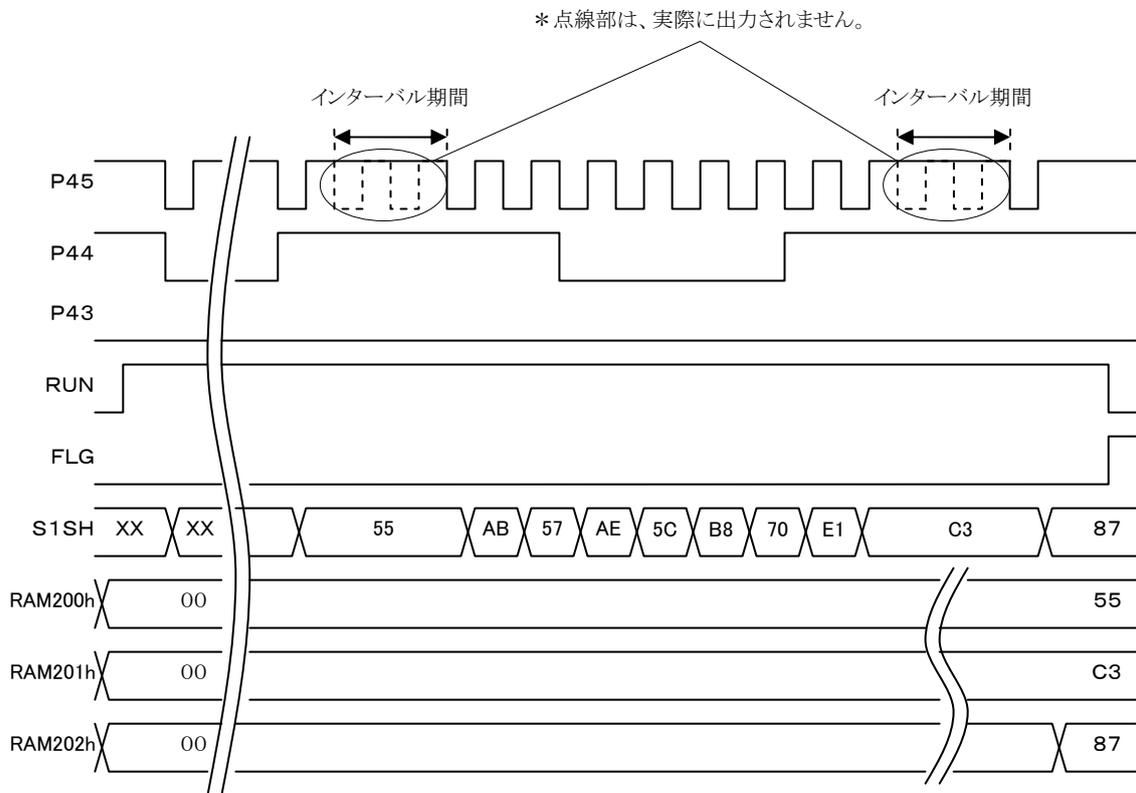


3-21-6-6 モード1(自動受信)の具体例

内部クロック、MSB先頭、受信データ開始RAMバッファアドレス200番地、
インターバル=2、受信ビット数17、P43=L出力の場合

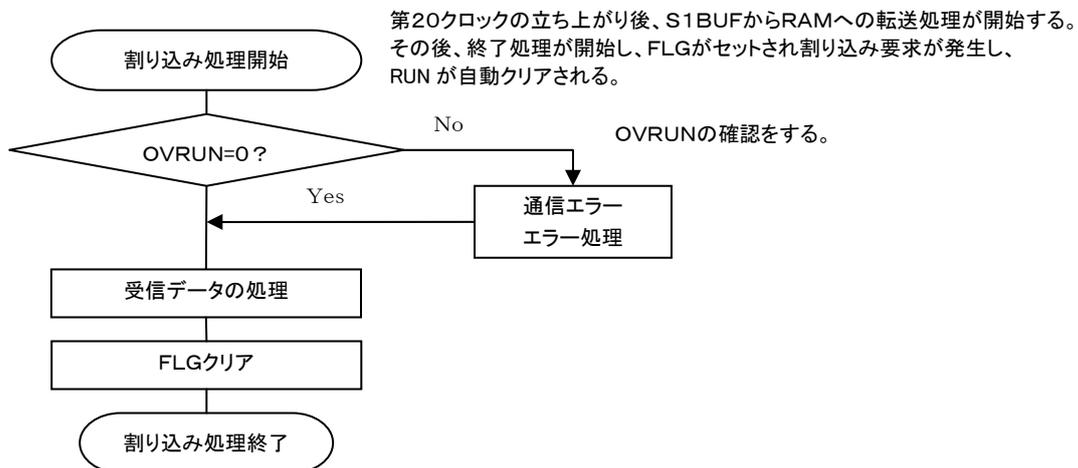
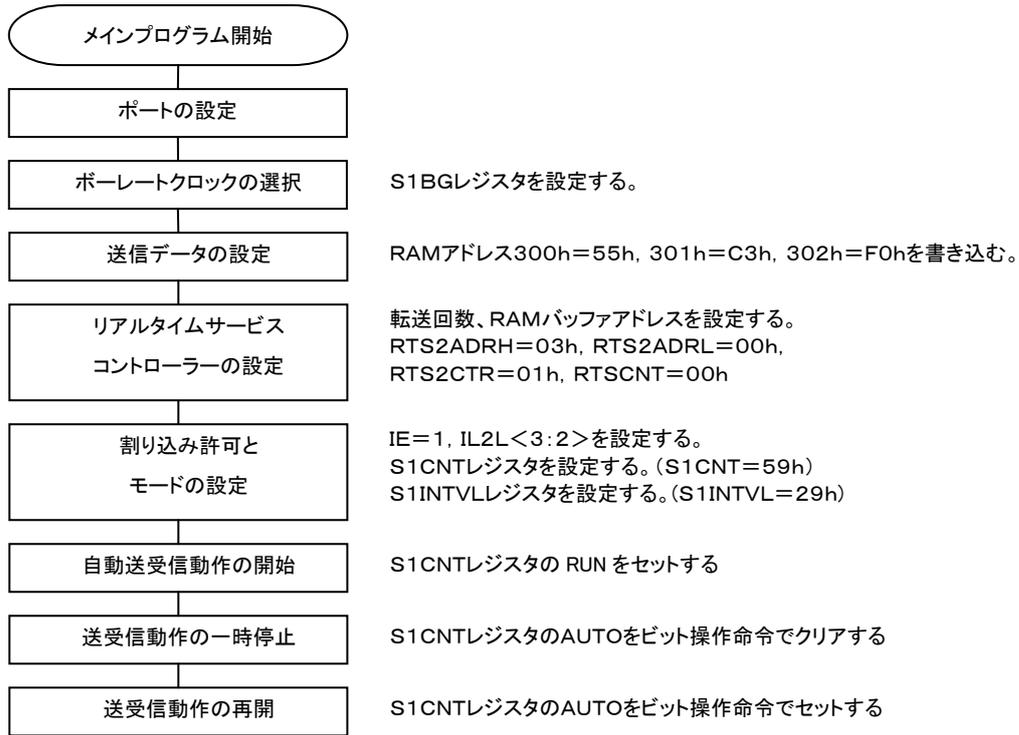


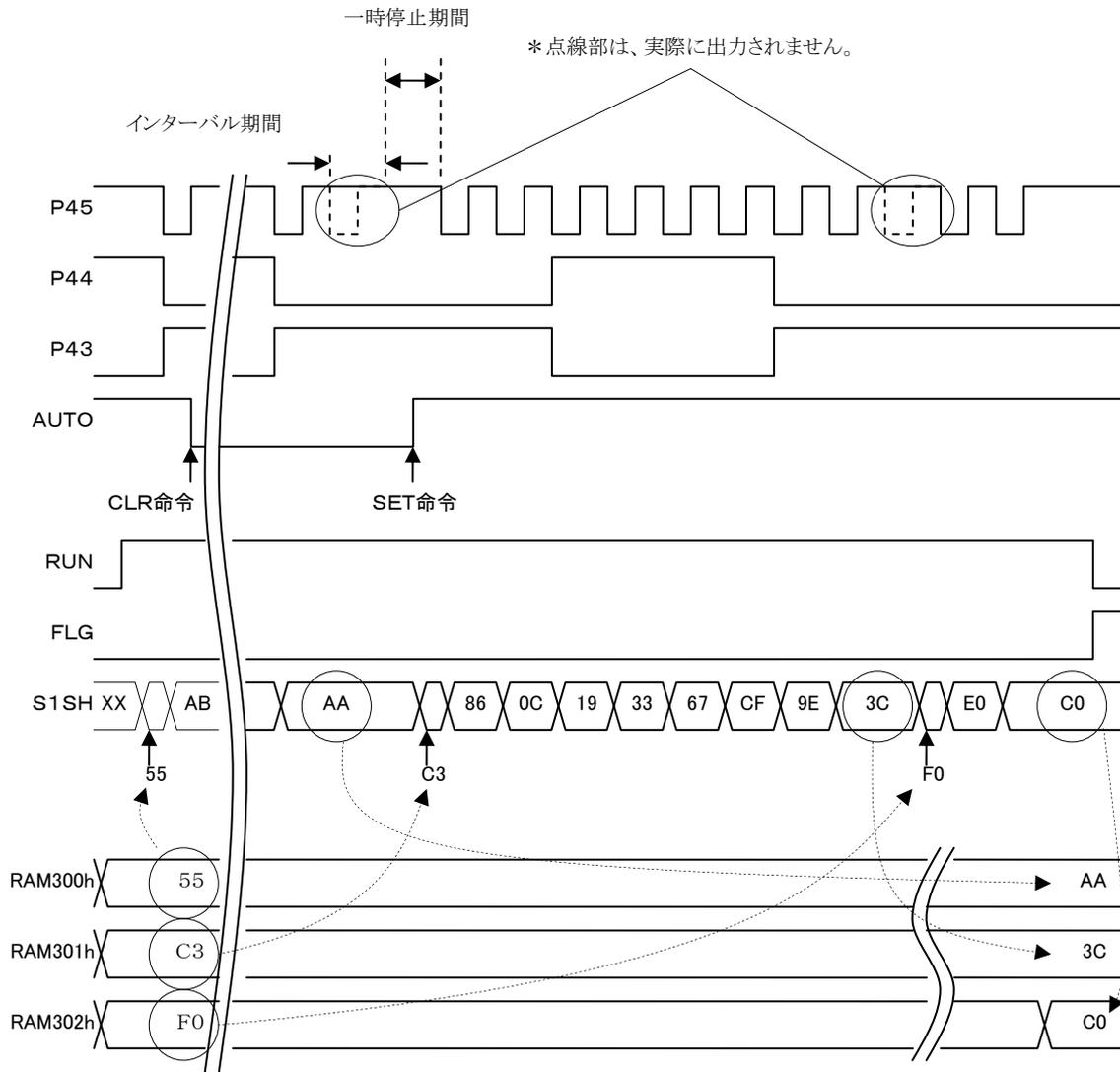
SIO1



3-21-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、
インターバル=1、送受信ビット数18、一時停止後、通信再開の場合





3-21-6-8 SIO1通信のポート設定

① データ送信専用ポート(P43)の設定

レジスタ設定				P43の状態	FAST/ SLOW
P4FSA<3>	P4DDR<3>	P4LAT<3>	P4FSB<3>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW

② データ送受信ポート(P44)の設定

レジスタ設定				P44の状態	FAST/ SLOW
P4FSA<4>	P4DDR<4>	P4LAT<4>	P4FSB<4>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW
1	1	1	1	入力 (受信)	—

③ クロック用ポート(P45)の設定

レジスタ設定				P45の状態	FAST/ SLOW
P4FSA<5>	P4DDR<5>	P4LAT<5>	P4FSB<5>		
1	1	0	0	CMOS出力 (内部クロック)	FAST
1	0	1	1	CMOS出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	—

3-22 SMIIC0(Single Master I²C)

3-22-1 概要

本シリーズが内蔵しているI²Cバス機能は、次の2つの機能を持ちます。

- ① Single-masterのマスターモードによるI²C通信※
- ② 同期式8ビットシリアルI/O(2線式または3線式、データMSB先頭)

※本モジュールはアドレスのコンパレータ機能を持っていません。よって、single-masterのスレーブモードとして使用する場合や、multi-masterのI²C通信を行う場合は、アドレス比較やその他の処理をソフトウェアによって行う必要があります。

3-22-2 回路構成

3-22-2-1 I²C制御レジスタ0(SMIC0CNT) (8ビットレジスタ)

- ① I²Cバスのモード制御を行います。
- ② 割り込みの制御を行います。

3-22-2-2 I²Cステータスレジスタ0(SMIC0STA) (8ビットレジスタ)

- ① I²Cバスの各イベント検出フラグ。
- ② ACKデータの制御を行います。

3-22-2-3 I²Cボーレート制御レジスタ0(SMIC0BRG) (8ビットレジスタ)

- ① SDA・SCL取り込み部ノイズフィルタのクロック周波数制御を行います。
- ② SCLクロックの周波数を制御します。

3-22-2-4 I²Cデータバッファ0(SMIC0BUF) (8ビットレジスタ)

- ① データの送受信をこのレジスタを通して行います。

3-22-2-5 I²Cポート制御レジスタ0(SMIC0PCNT) (8ビットレジスタ)

- ① I²Cポートの制御を行います。

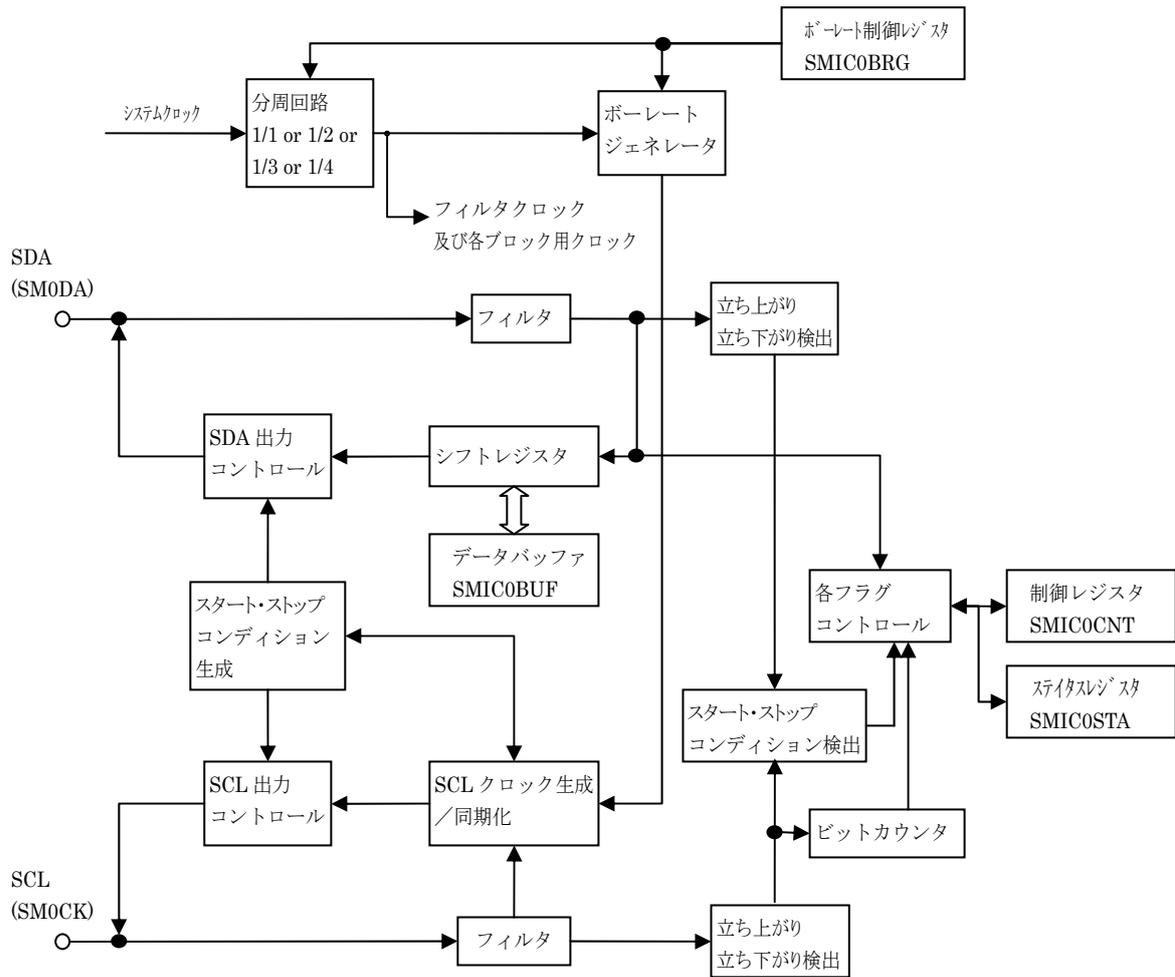


図 3-22-1 SMIC0ブロック図

3-22-3 関連レジスタ

3-22-3-1 I²C制御レジスタ0 (SMIIC0CNT)

① SMIICモジュールの動作制御を行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F60	0000 0000	R/W	SMIIC0CNT	RUN	MST	TRX	SCL8	MKC	BB	END	IE

RUN (ビット7) : SMIIC0動作許可

このビットが1の時、SMIIC0モジュールが動作状態となります。

このビットが0の時、SMIIC0モジュールは動作停止します。

MST (ビット6) : マスタ・スレーブ制御ビット

・I²Cモード時 (SMD=0)

このビットが1の時、マスターモードとして動作します。

(スタート・ストップコンディションの生成、転送クロックの送出を行う)

このビットが0の時、スレーブモードとして動作します。

(クロック出力は行わない。マスタが送出するクロックに同期して、データの送受信を行う)

MSTがリセットされる条件

①ストップコンディションを検出した時

②アービトレーションロストを検出した時

アービトレーションロストを検出後、1バイトの転送終了までは、このビットはクリアされずに、クロックの送出を続けます。
アービトレーションロスト後、割り込み要因フラグENDがセットされるタイミングで、MSTフラグはクリアされます。

・同期式8ビットシリアルモード時 (SMD=1)

このビットを1にすることで、8ビットの通信を開始します。

MSTがリセットされる条件

①第8クロックの立ち上がりで、リセットされます

TRX (ビット5) : トランスマッタ・レシーバ制御

・I²Cモード時 (SMD=0)

このビットが1の時、トランスマッタとして動作します。

このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

①ストップコンディションを検出した時

②アービトレーションロストを検出した時

③スレーブモード時に、スタートコンディションを検出した時

・同期式8ビットシリアルモード時 (SMD=1)

このビットが1の時、データ転送モードとなります。

このビットが0の時、データ受信モードとなります。

SCL8(ビット4):第8クロック立ち下がり時の割り込み制御

・I²Cモード時(SMD=0)

このビットが1の時、第8クロックの立ち下がりで、割り込み要求が発生します。
このビットが0の時、第8クロックの立ち下がりで、割り込み要求が発生しません。

SCL8がセットされる条件

①スタートコンディションの検出

このビットは、自動的にクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時(SMD=1)

このビットは、0にして使用してください。

MKC(ビット3):スタート・ストップコンディション生成制御

・I²Cモード時(SMD=0)

このビットは、書き込み専用のビットで、スタート or ストップコンディションを生成させる時に、1を書き込みます(このビットを読み込んだ時は、常に0が読み込まれます)。

・同期式8ビットシリアルモード時(SMD=1)

このビットは、0にして使用してください。

BB(ビット2):バスビジーフラグ(R/O)

・I²Cモード時(SMD=0)

ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。

読み出し専用のBBは、バスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。

このビットが1の時は、I²Cバスは使用状態であることを示します。

スタートコンディションを生成する時には、このビットが0であることと、SDA、SCLがともに‘H’レベルであることを確認してから行ってください(再スタートコンディションを生成する場合を除きます)。

・このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

BBがセットされる条件

①スタートコンディションの検出

BBがリセットされる条件

①ストップコンディションの検出

②RUN=0の場合

SMIIC0

BBW(ビット2):スタート・ストップコンディション生成制御

ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。

書き込み専用のBBWは、このレジスタ(SMIC0CNT 07F60h)のビット6, 5, 3と同時にMOV命令で値を書き込むことで、スタート・ストップコンディションの生成を制御します。

・割り込み要求発生許可制御 IE=1とした場合

SMIC0CNTに、EDhを書き込み :スタートコンディションを生成

SMIC0CNTに、E9hを書き込み :ストップコンディションを生成

・割り込み要求発生許可制御 IE=0とした場合

SMIC0CNTに、EChを書き込み :スタートコンディションを生成

SMIC0CNTに、E8hを書き込み :ストップコンディションを生成

※スタート・ストップコンディションの生成に関しては、3-22-6スタートコンディション/ストップコンディションの章を参照してください。

・同期式8ビットシリアルモード時(SMD=1)

このビットは、読み出し専用で、MST(ビット6)と同一値が読み出されます。

END(ビット1):割り込み要因フラグ

・I²Cモード時(SMD=0)

データの転送終了及びストップコンディションでセットされます。

このビットが1で、かつSCLが‘L’レベルの場合、マスタ・スレーブモードにかかわらず、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

ENDがセットされる条件

- ①SCL8=1の場合の、第8クロック立ち下がり
- ②ACKクロックの立ち下がり
- ③ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。このビットをクリアする前に、バッファSMIC0BUFへのデータセット/データ読み出しを完了してください。

・同期式8ビットシリアルモード時(SMD=1)

データの転送終了時にセットされます。

ENDがセットされる条件

- ①第8クロック立ち上がり

このビットは自動的にクリアされません。命令でクリアしてください。

IE(ビット0):割り込み要求発生許可制御

このビットとENDがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

3-22-3-2 I²Cステイタスレジスタ0 (SMICOSTA)

① I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F61	0000 0000	R/W	SMICOSTA	SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK

SMD (ビット7) : I²C / 同期式 8ビットシリアルモード切り替え

このビットが1の時、同期式 8ビットシリアルモードで動作します。

また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。

このビットが0の時、I²C通信モードで動作します。

また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

RQL9 (ビット6) : ACKクロックタイミング検出フラグ (R/O)

第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。

・このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式 8ビットシリアルモード時 (SMD = 1)、このビットは使用しません。リードすると、0が読まれます。

STD (ビット5) : スタートコンディション検出フラグ

スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件

① スタートコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式 8ビットシリアルモード時 (SMD = 1)、このビットは自動的にセットされません。このビットは0にして使用してください。

SPD (ビット4) : ストップコンディション検出フラグ

ストップコンディションを検出するとセットされるフラグです。

SPDがセットされる条件

① ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式 8ビットシリアルモード時 (SMD = 1)、このビットは自動的にセットされません。このビットは0にして使用してください。

SMIIC0

AL (ビット3) : アービトレーションロスト検出フラグ

マスターモード時に、アービトレーションロストを検出するとセットされるフラグです。

ALがセットされる条件

- ① マスタトランスミッタモード時の第1～第8クロックの立ち上がりタイミングと、マスタレシーバー時の第9クロック立ち上がりタイミングで、内部SDA値が‘H’でSDA端子レベルが‘L’の場合。
- ② スタートコンディション重複防止機能により、スタートコンディション生成が禁止された場合

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時(SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

OVR (ビット2) : オーバーラン検出フラグ

・I²Cモード時(SMD=0)

BB(07F60h ビット2)バスビジーフラグが0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件

- ① BB=0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

・同期式8ビットシリアルモード時(SMD=1)

MST(07F60h ビット6)0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件

- ① MST=0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

TAK (ビット1) : ACKクロック時のSDA制御ビット

マスタレシーバ・スレーブレシーバモード時に、ACKクロックタイミングでSDAにこのビットの値が出力されます。

マスタトランスミッタ・スレーブトランスミッタモード時は、このビットのデータにかかわらず、ACKクロックタイミングでSDA=‘H’レベルを出力します。

TAKがセットされる条件

- ① ストップコンディションを検出した時
- ② アービトレーションロストを検出した時
- ③ スレーブモード時に、スタートコンディションを検出した時

※同期式8ビットシリアルモード時(SMD=1)、このビットは0で使用してください。

RAK(ビット0):受信アクノリッジデータ格納ビット(R/O)

アクノリッジ受信データが格納されます。

このビットは、トランスミッタ・レシーバ両モードともに、ACKクロック時のSDAデータの値が格納されます。

RAKがセットされる条件

- ①ACKクロック立ち上がりタイミングで、SDA = 'H'レベルの時

RAKがリセットされる条件

- ①ACKクロック立ち上がりタイミングで、SDA = 'L'レベルの時

・このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD=1)、このビットは使用しません。リードすると、0が読まれます。

3-22-3-3 I²Cボーレート制御レジスタ0(SMIC0BRG)

①SDA、SCLフィルタクロック周波数及びSCLクロック周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F62	0000 0000	R/W	SMIC0BRG	BRP		BRDQ	BRD				

BRP(ビット7、6):フィルタクロック制御

BRP	フィルタクロック周期 (Tfilt)
00	Tcyc × 1
01	Tcyc × 2
10	Tcyc × 3
11	Tcyc × 4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期 Tfilt が以下の範囲になるように設定してください。

$$250\text{nsec} \geq \text{Tfilt} > 140\text{nsec}$$

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns × 1 = 250ns
6MHz	00	166ns × 1 = 166ns
7MHz	00	143ns × 1 = 143ns
8MHz	01	125ns × 2 = 250ns

SMIIC0

BRDQ (ビット5) : SCLクロック周波数制御

このビットは、標準クロックモード時は1に、高速クロックモード時は0に設定してください。

BRD (ビット4~0) : SCLクロック周波数制御

BRDの5ビットの設定値を n とすると、SCLクロック周期 T_{fsck} は、以下の計算式で設定されます。

BRDQ = 0の時 (高速クロックモード)

$$T_{fsck} = T_{filt} \times (n + 1) \times 2$$

BRDQ = 1の時 (標準クロックモード)

$$T_{fsck} = T_{filt} \times (n + 1) \times 8$$

SCLクロック周波数 f_{sck} は、以下の計算式で設定されます。

BRDQ = 0の時 (高速クロックモード)

$$f_{sck} = 1 / (T_{filt} \times (n + 1) \times 2)$$

BRDQ = 1の時 (標準クロックモード)

$$f_{sck} = 1 / (T_{filt} \times (n + 1) \times 8)$$

※ T_{filt} は、システムクロック周波数と、フィルタクロック制御ビットBRP (SMIC0BRGのビット7, 6) によって設定されるフィルタクロック周期です。

※ I²C通信モードで使用する場合 (SMD = 0) は、BRDの5ビットの設定値 n は、4以上の値を設定してください。(0~3は設定禁止)

※ 同期式8ビットシリアルモードで使用する場合 (SMD = 1) は、このレジスタを次のように設定してください。

BRP (SMIC0BRGのビット7, 6) = 00

BRDQ = 0 or 1

BRDの5ビットの設定値 n は、3以上の値を設定してください(0, 1, 2は設定禁止)

この時、出力クロック周波数 f_{sck} は、以下の計算式で設定されます。

BRDQ = 0の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 2)$

BRDQ = 1の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 8)$

標準クロックモードBRDQ = 1

SCL周波数 (kHz)

BRD 設定値 n	Tfilt 周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	100	※
05h	83.3	※
06h	71.4	※
07h	62.5	94.1
08h	55.6	83.7
09h	50	75.3
0Ah	45.5	68.5
0Bh	41.7	57.9
0Ch	38.5	53.8
0Dh	35.7	50.2
0Eh	33.3	47.1
0Fh	31.3	44.3
10h	29.4	41.8
11h	27.8	39.6
:	:	:
1Ch	17.2	25.9
1Dh	16.7	25.1
1Eh	16.1	24.3
1Fh	15.6	23.5

高速クロックモードBRDQ = 0

SCL周波数 (kHz)

BRD 設定値 n	Tfilt 周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	400	※
05h	333.3	※
06h	328.7	※
07h	250	376.5
08h	222.2	334.7
09h	200	301.2
0Ah	181.8	273.8
0Bh	166.7	251
0Ch	153.8	231.7
0Dh	142.9	215.1
0Eh	133.3	200.8
0Fh	125	188.3
10h	117.6	177.2
11h	111.1	167.3
:	:	:
1Ch	69	103.9
1Dh	66.7	100.4
1Eh	64.5	97.23
1Fh	62.5	94.1

※I²Cバスの仕様範囲外

SMIIC0

3-22-3-4 I²Cデータバッファ0 (SMIC0BUF)

①受信データの格納、及び送信データを書き込むための8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F63	0000 0000	R/W	SMIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

- データの受信

- I²Cモード時 (SMD=0)

- トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

- 同期式8ビットシリアルモード時 (SMD=1)

- 送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

- データの送信

- I²Cモード時 (SMD=0)

- トランスミッタモード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

- ①スタートコンディション検出時

- ②END=1の時に、SMIC0BUFに書き込みを行った時

- 同期式8ビットシリアルモード時 (SMD=1)

- データ送信モード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

- ①MST=0の時に、SMIC0BUFに書き込みを行った時

3-22-3-5 I²Cポート制御レジスタ0 (SMIC0PCNT)

①I²Cポートを制御するための4ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F68	LLLL 0000	R/W	SMIC0PCNT	-	-	-	-	SHDS	P5V	PCLV	PSLW

SHDS (ビット3) : SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

P5V (ビット2) : I²Cポート電圧制御

5Vで使用する場合、このビットを1にしてください。

3Vで使用する場合、このビットを0にしてください。

PCLV (ビット1) : I²Cポート入力特性制御

このビットが1の時、I²Cポートのスレッシュホールド電圧はCMOSレベルとなります。

このビットが0の時、I²Cポートのスレッシュホールド電圧はTTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW (ビット0) : I²CポートSLOW制御

このビットが1の時、P22,P23の出力特性は、SLOWとなります。

このビットが0の時、P22,P23ポートの出力特性は、P2LAT、P2DDR、P2FSA、P2FSBにより制御されます。

このビットを1にすると、P22,P23の出力信号の立ち下がり時間がSLOWモードとなりますが、P22,P23端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。

出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

3-22-3-6 SMICポートの設定

①クロック入出力ポート(P22)の設定

レジスタデータ				ポートP22の状態
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	出力
1	1	1	1	オープン(同期式8ビットシリアルモード時外部クロック入力)
1	0	0	1	クロック出力(CMOS)
1	1	1	0	クロック出力(CMOS変化SLOW)
1	1	0	1	クロック出力/I ² C SCL出力(Nchオープンドレイン)

②データ入出力ポート(P23)の設定

レジスタデータ				ポートP23の状態	
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	入力	出力
1	1	1	1	可能(データ受信入力)	オープン
1	0	0	1	可能(データ受信入力)	データ出力(CMOS)
1	1	1	0	可能(データ受信入力)	データ出力(CMOS変化SLOW)
1	1	0	1	可能(データ受信入力)	データ出力/I ² C SDA出力(Nchオープンドレイン)

③データ出力ポート(P24)の設定(3線式同期式8ビットシリアルモード時に使用)

レジスタデータ				ポートP24の状態
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	出力
1	0	0	1	データ出力(CMOS)
1	1	1	0	データ出力(CMOS変化SLOW)
1	1	0	1	データ出力(Nchオープンドレイン)

※ 本モジュールをI²Cモードで使用する時は、I²Cポート制御レジスタ0(SMIC0PCNT)のPCLV=1、P22、P23をI²C SCL出力(Nchオープンドレイン)、I²C SDA出力(Nchオープンドレイン)モードにして使用してください。

※ I²Cポート制御レジスタ0(SMIC0PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0(FASTモード)に設定してください。

※ 同期式8ビットシリアルモードで、外部クロックを使用する場合は、クロック入出力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-22-4 I²CポートSLOW設定時の注意事項

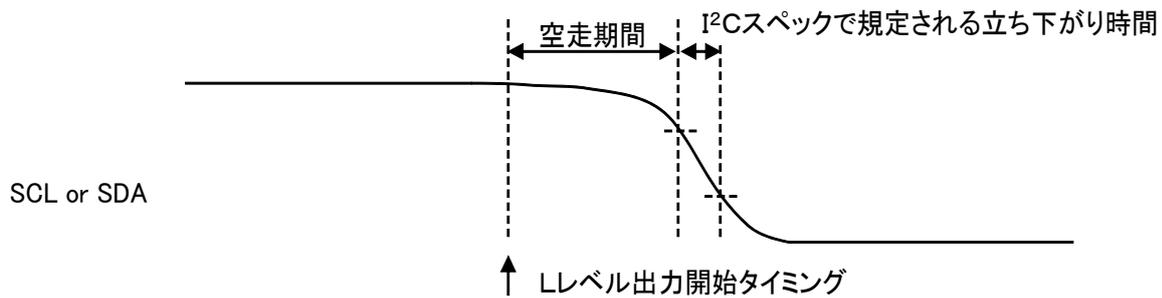


図3-22-2 I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。

データシートに掲載されているI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-22-5 生成クロック波形とSCL立ち上がり時間

3-22-5-1 生成クロック波形

SCLクロック出力波形は、I²Cポーレート制御レジスタ0 (SMIC0BRG) で設定されたクロック周期 T_{fsc} に対して、DUTY50%で生成されます。

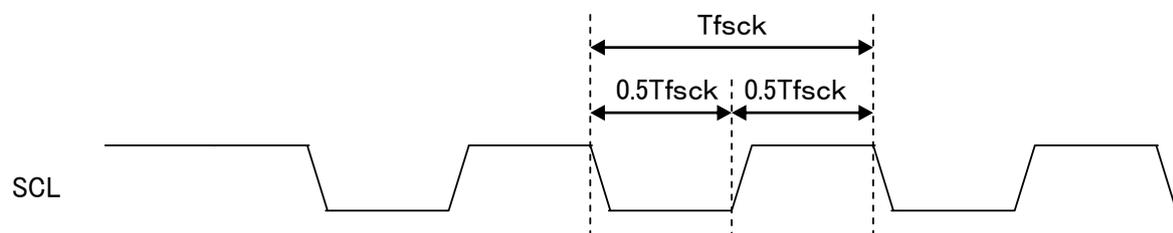


図3-22-3 SCLクロック波形

高速モード時で、クロック周波数を400kHzに設定した場合、SCLのL期間は、(信号の立ち上がり、立ち下がり時間を無視した場合)1.25μsecとなり、I²Cバスインターフェース仕様 (min. 1.3μsec) を満足しません。

これについては、以下のことを検討してください。

- ① 転送レートを下げ、仕様を満足するように設定する。
- ② プルアップ抵抗等外付けの調整により、立ち上がり・立ち下がり時間を調整する。

また、I²Cポートの出力特性をSLOWとした場合、L出力を開始してから、ポートがLレベルになる時間が長くなりますので、SCLのL期間がさらに短くなり、注意が必要です。

3-22-5-2 SCL立ち上がり時間

本モジュールはI²CモードでのSCLクロック出力時、他のマスタ又はスレーブがSCLラインをLにドライブした場合でも、クロックラインの立ち上がりタイミングを監視し、クロックのH幅を保証するために同期を取る動作を常に行っています。

SCLの立ち上がり時間は、I²Cバスインターフェース仕様で、高速モード300nsec 標準モード1000nsec以内と定められています。

高速モード時は、SCL立ち上がり時間が最大300nsecであるので問題ありませんが、標準モード時、立ち上がり時間が($T_{filt} \times 2.5$)より遅い場合、この同期動作が働いてしまい、設定したクロック周波数よりも転送速度が遅くなってしまいます。

システムクロック	BRP1	BRP0	Tfilt	Tfilt×2.5
4MHz	0	0	250ns	625ns
6MHz	0	0	166ns	415ns
7MHz	0	0	143ns	357ns
8MHz	0	1	250ns	625ns

設定した転送レートで動作させるためには、SCLラインの立ち上がり時間が、上記表に示す $T_{filt} \times 2.5$ よりも短くなるように、プルアップ抵抗、負荷容量を設定してください。

3-22-6 スタートコンディション/ストップコンディション

3-22-6-1 スタート/ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I²Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

- ・スタートコンディション(S)
データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
- ・ストップコンディション(P)
データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

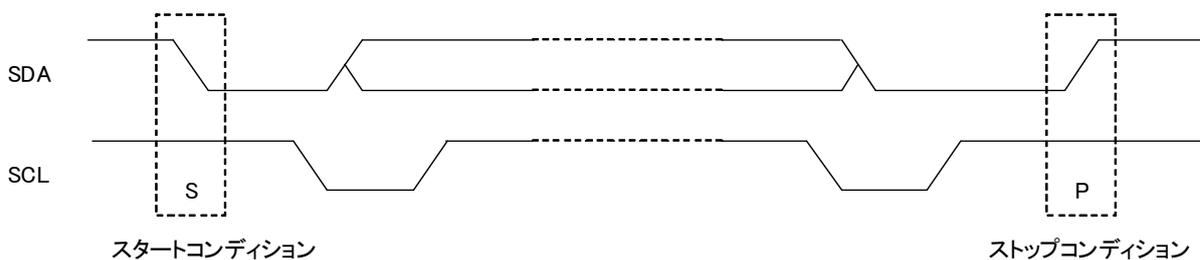


図3-22-4 スタートコンディションとストップコンディション

SMIIC0

3-22-6-2 スタートコンディション生成方法

SMIIC0動作許可ビットRUN(SMIC0CNTのbit7)をあらかじめ1にしている状態で、I²C制御レジスタSMIC0CNTに以下に示す値を書き込むことで、スタートコンディションの生成作業が始まります。

ただし、SMIC0CNTのbit0は割り込み許可制御ビットなので、割り込みを許可(IE=1)するか、禁止(IE=0)するかによって、書き込むデータが異なります。

スタートコンディション生成方法

SMIC0CNTに、EDhを書き込み(割り込みを許可する時)

SMIC0CNTに、EChを書き込み(割り込みを許可しない時)

3-22-6-3 スタートコンディション生成タイミング

スタートコンディションを生成する前に、BBフラグ(SMIC0CNTのbit2)が0であることを確認してください。

リセット後に本モジュールを動作開始させる場合は、以下の手順で行ってください。

- ① SMIC0BRGにより、フィルタクロック・ボーレートクロックの設定を行う。
- ② RUN(SMIC0CNTのbit7)に1をセットする。
- ③ ボーレートクロック数回分ウェイトし、BB(SMIC0CNTのbit2)及び、OVR(SMIC0COSTAのbit2)がともに0であることを確認する。
- ④ 他のマスタやスレーブデバイスにより、SDA・SCLラインが固定されていないか、SDA・SCLポートを読み込みとともに‘H’レベルであることを確認する。
- ⑤ 上記③・④がOKの場合、スタートコンディション命令を実行可と判断できる。
- ⑥ 上記③・④がNGの場合、本モジュール動作開始前に、他マスタがバスを使用開始したと判断し、ストップコンディション受信までウェイトする。(バスが異常な状態でロックされている場合などは、タイマを使用した、ウェイト時間のタイムアウト処理が必要となります)
- ⑦ シングルマスタの場合や、⑥のストップコンディションのウェイト動作がタイムアウトした場合などは、他のスレーブデバイスがバスをロックしていると判断し、プログラムによるポート操作で、ストップコンディションを生成する必要があります。

手順1. プログラムによるポート操作で、SCL=Lとする。この時、SDA=Lの場合は、SCL=LかつSDA=H状態になるまで、ポート操作によりSCLにクロックを送出する。

手順2. プログラムによるポート操作で、以下のようにSDA,SCLラインの状態を変化させる。

1－ SDA=H SCL=L

2－ SDA=L SCL=L

3－ SDA=L SCL=H

4－ SDA=H SCL=H

(上記のようにポートを変化させる場合は、他のデバイスのsetup/hold時間を考慮する必要があります)

以下に、スタートコンディションの生成タイミングを示します。

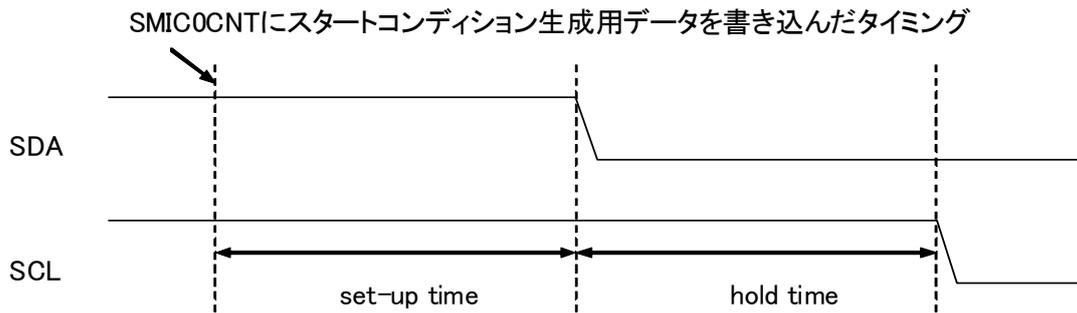


図3-32-5 スタートコンディション生成タイミング

3-22-6-4 再スタートコンディション生成タイミング

マスタ通信モードで、スタートコンディション送出及びデータ送受信後に、ストップコンディションを生成せずに、送受信モードや通信先スレーブデバイスの切り替えを行うため、再度スタートコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ=1 (NACK)を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END (SMIC0CNTのbit1) = 1かつRQL9 (SMIC0STAのbit6) = 1となったことを確認する。END=1の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC0BUFにスレーブアドレス7ビットとR/ \overline{W} ビットを設定する。
- ④ SMIC0CNTにスタートコンディション生成用データを書き込む。
- ⑤ SMIC0CNTにスタートコンディション生成用データを書き込むことで、END (SMIC0CNTのbit1)がクリアされ、再スタートコンディションのpre-set-up time経過後にSCLが開放される。このように、スタートコンディション命令により、ENDフラグのクリアが行われるので、IE (SMIC0CNTのbit0) = 1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのスタートコンディション命令を実行してください。

以下に、再スタートコンディションの生成タイミングを示します。

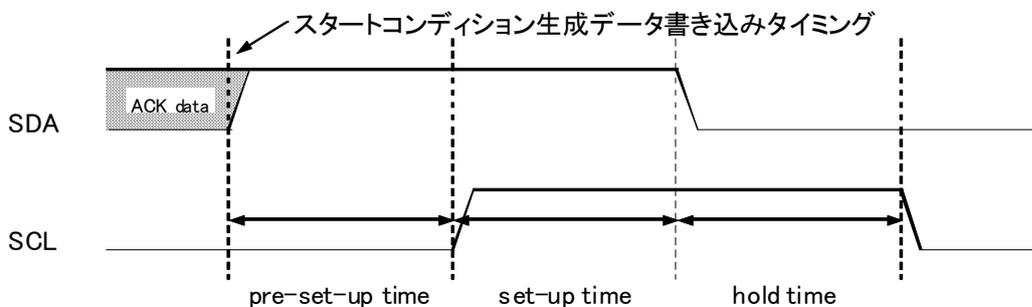


図3-22-6 再スタートコンディション生成タイミング

SMIIC0

3-22-6-5 ストップコンディション生成方法

ACKクロックの立ち下がり、END(SMIC0CNTのbit1)=1となり、SCLに‘L’を継続出力している状態で、I²C制御レジスタSMIC0CNTに以下に示す値を書き込むことで、ストップコンディションの生成作業が始まります。

ただし、SMIC0CNTのbit0は割り込み許可制御ビットなので、割り込みを許可(IE=1)するか、禁止(IE=0)するかによって、書き込むデータが異なります。

ストップコンディション生成方法

SMIC0CNTに、E9hを書き込み(割り込みを許可する時)

SMIC0CNTに、E8hを書き込み(割り込みを許可しない時)

3-22-6-6 ストップコンディション生成タイミング

マスタ通信モードで、ストップコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ=1(NACK)を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END(SMIC0CNTのbit1)=1かつRQL9(SMIC0STAのbit6)=1となったことを確認する。END=1の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC0BUFに0FFhを設定する。
- ④ SMIC0CNTにストップコンディション生成用データを書き込む。
- ⑤ SMIC0CNTにストップコンディション生成用データを書き込むことで、END(SMIC0CNTのbit1)がクリアされ、ストップコンディションのpre-set-up time 経過後にSCLが開放される。このように、ストップコンディション命令により、ENDフラグのクリアが行われるので、IE(SMIC0CNTのbit0)=1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのストップコンディション命令を実行してください。

以下に、ストップコンディションの生成タイミングを示します。

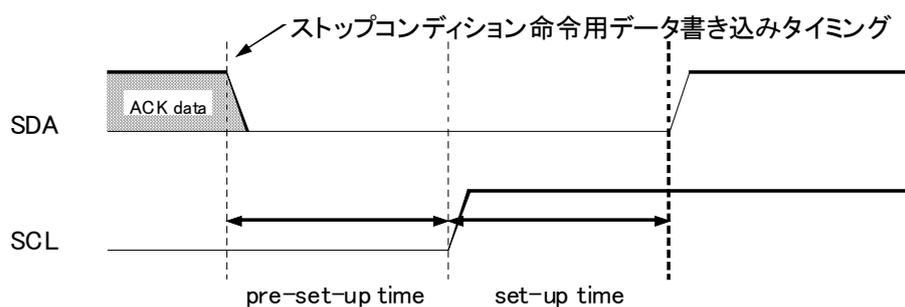


図3-22-7 ストップコンディション生成タイミング

3-22-7 アービトレーションロスト

3-22-7-1 アービトレーション

アービトレーションとは通信許可のことであり、唯一のマスタがバスを制御できるようにする手続きです。アービトレーションは各デバイスのSDAをAND接続する（‘L’を出力したデバイスの影響で、SDAが‘L’になる）ことにより実現されます。この時、自分の出力とSDAの値が一致しないマスタは通信不許可となり、SDAに影響を与えないために以後の出力を‘H’に保持しなければなりません。このマスタとしての通信が不許可になった状態をアービトレーションロストといいます。アービトレーションロストの検出は、スタートコンディション生成時と、マスタ時のデータ送信時に行われます。

3-22-7-2 データ転送時のアービトレーションロスト

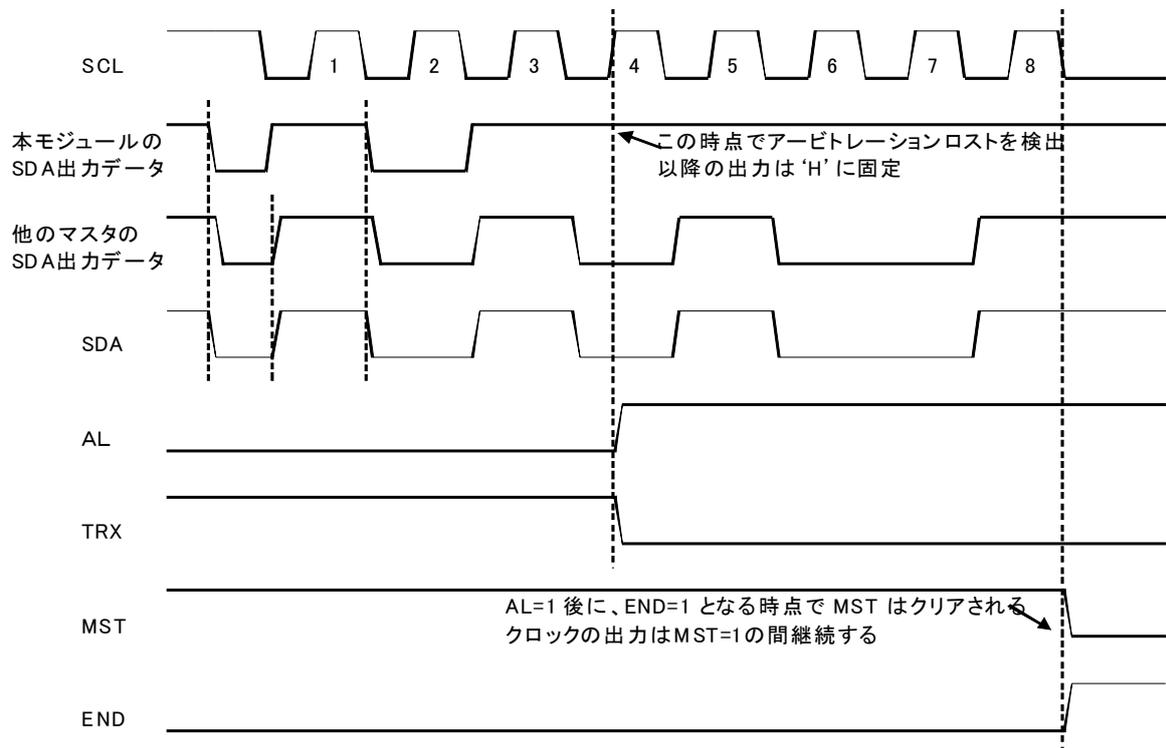


図3-22-8 データ転送時のアービトレーションロスト

データ転送時のアービトレーションロストは、SCLの立ち上がり時のSDA値で判断されます。

図3-22-8の、第4クロック立ち上がり時点で内部SDA出力値が‘H’で、SDAの値が‘L’であるので、この時点でアービトレーションロストを検出し、AL=1となります。アービトレーションロストを検出することで、ALはセット、TRXはリセットされ、SDA出力は‘H’に固定されます。MSTはこの時点ではリセットされず、SCLクロックの送出を継続します。

MSTのクリアは、ENDがセットされるタイミングで起こります。SCL8(SMIC0CNTのbit 4)が1の時は、第8クロックの立ち下がり、SLC8が0の時は、第9クロックの立ち下がり、MSTがクリアされ、クロックの送出を停止します。

アービトレーションロストの検出は、マスタトランスミッタ時のデータ部（第1～第8クロック）と、マスタレシーバ時のACK部（第9クロック）の送出時に行われます。

SMIIC0

アービトレーションロストを検出したマスタは、ストップコンディションが検出されるまでスレーブとして動作を継続する必要があります。

3-22-7-3 スタートコンディション送付時のアービトレーションロスト

スタートコンディション命令実行後、スタートコンディションが生成されるまでの間にアービトレーションロストが検出されるのは、以下の2条件の場合です。

- ① スタートコンディション命令実行時に、オーバーラン検出フラグOVR(SMIC0STAのbit2)または、スタートコンディション検出フラグSTD(SMIC0STAのbit5)が1の場合
- ② スタートコンディション生成作業中に、他のマスタの影響により予定時間より早くSDAが‘H’から‘L’に変化したことを検出した場合

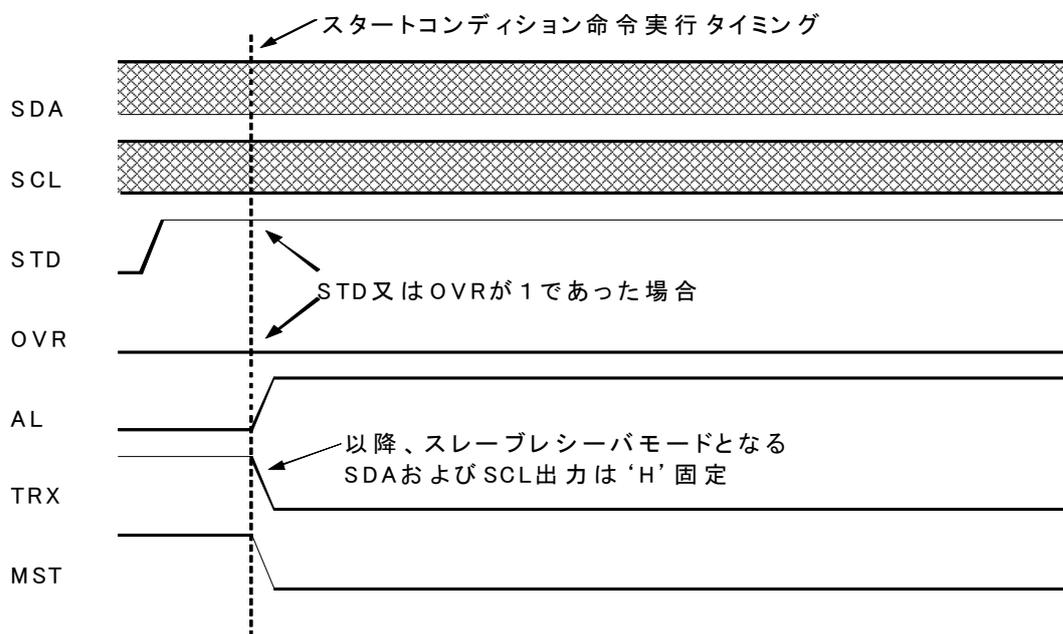


図3-22-9 スタートコンディション生成時のアービトレーションロスト①

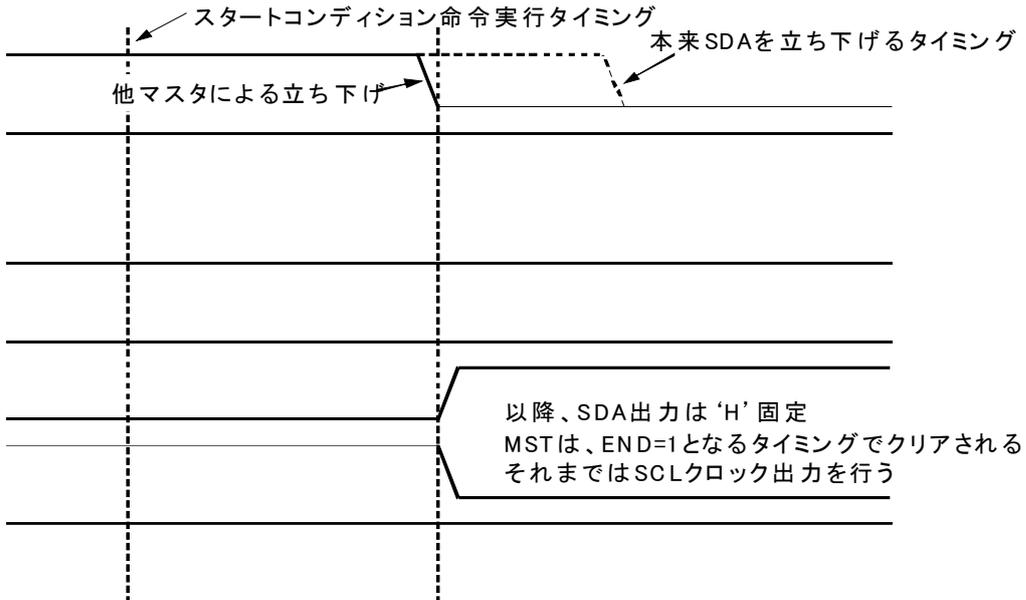


図3-22-10 スタートコンディション生成時のアービトレーションロスト②

上記①の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、MSTとTRXはクリアされ、スレーブレシーバモードとなって、送られてくるアドレスを受信します。上記②の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、TRXはクリアされますが、MSTはクリアされません。3-22-7-2データ転送時のアービトレーションロストの場合と同様に、クロックの送出を継続し、ENDがセットされるタイミングで、MSTはクリアされます。この時点で、スレーブレシーバモードとなり、プログラムにより受信したアドレスの処理を行います。

3-22-8 単純SIOモード通信の具体例

3-22-8-1 単純SIOモード1バイト送受信具体例

1. メインプログラム



2. 割り込み処理

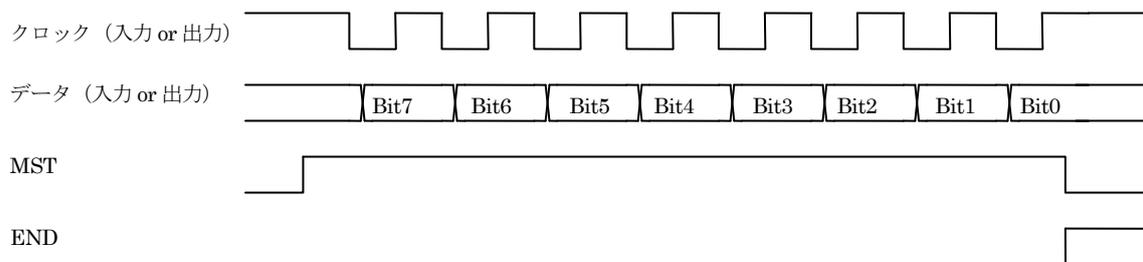
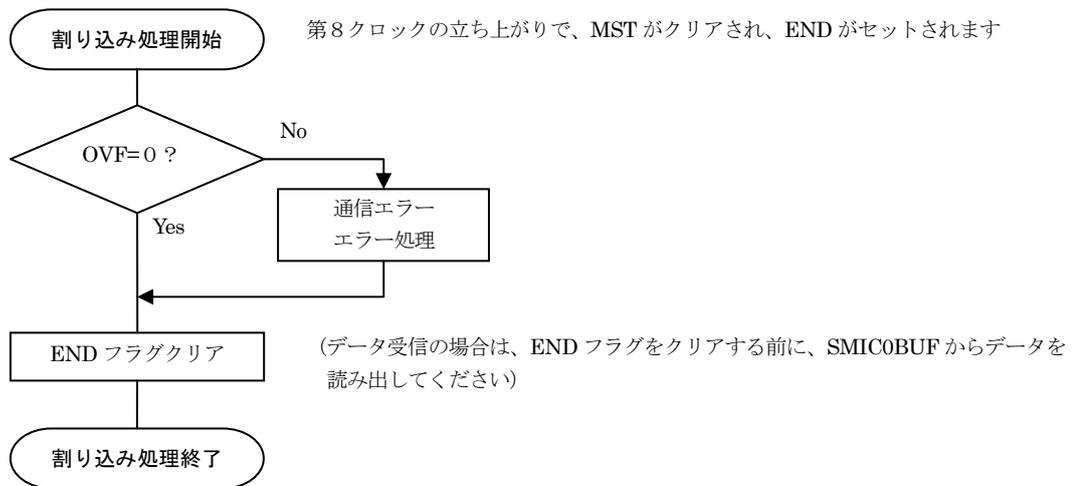


図3-22-11 単純SIOモード1バイト送受信波形

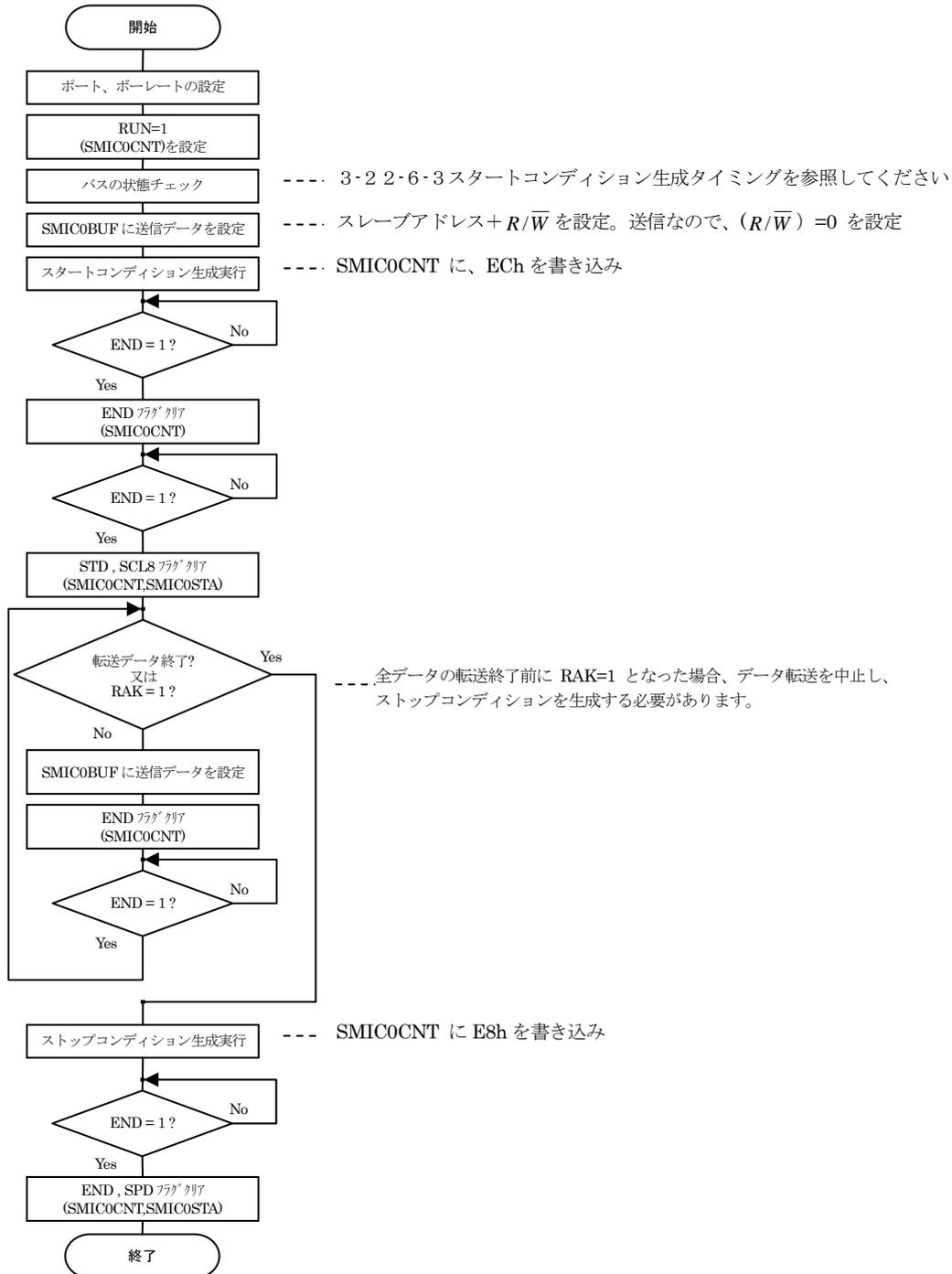
3-22-9 シングルマスタI²C通信の具体例

I²C通信の各モードのフローチャートを示します。

※ノイズや、バスに接続されているデバイスの誤動作でバスが異常状態になることが想定される場合、タイマ等を使用したタイムアウト処理による、ロック状態の回避手段を用意しておく必要があります。

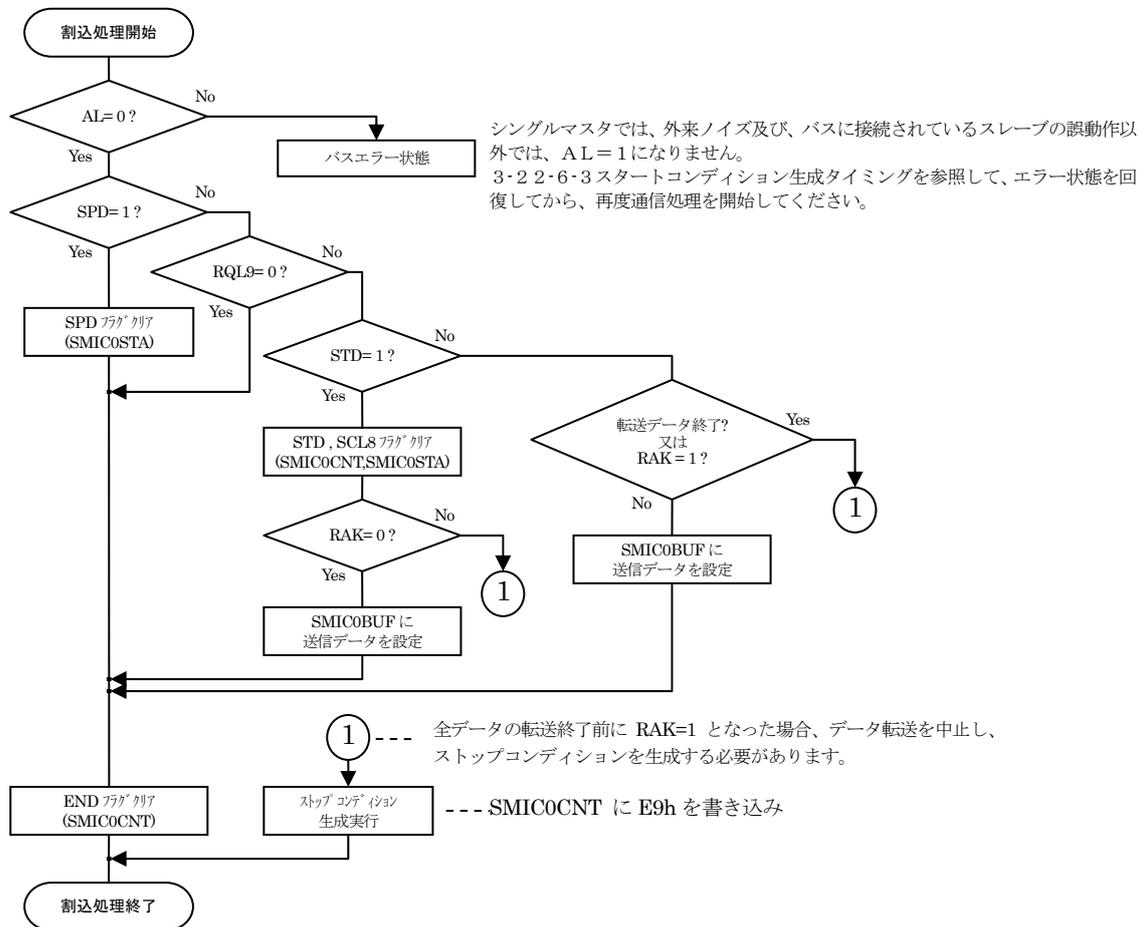
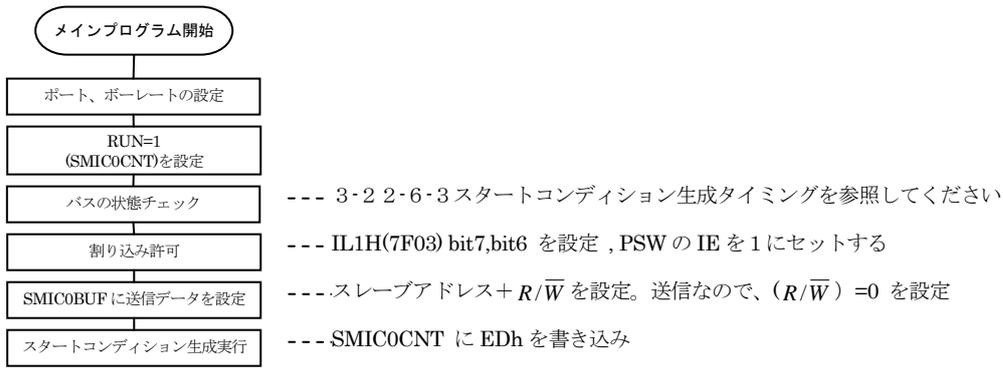
3-22-9-1 シングルマスタ・データ送信(割り込み不使用)の具体例

データ送信・割り込み不使用時のフローチャートを示します。



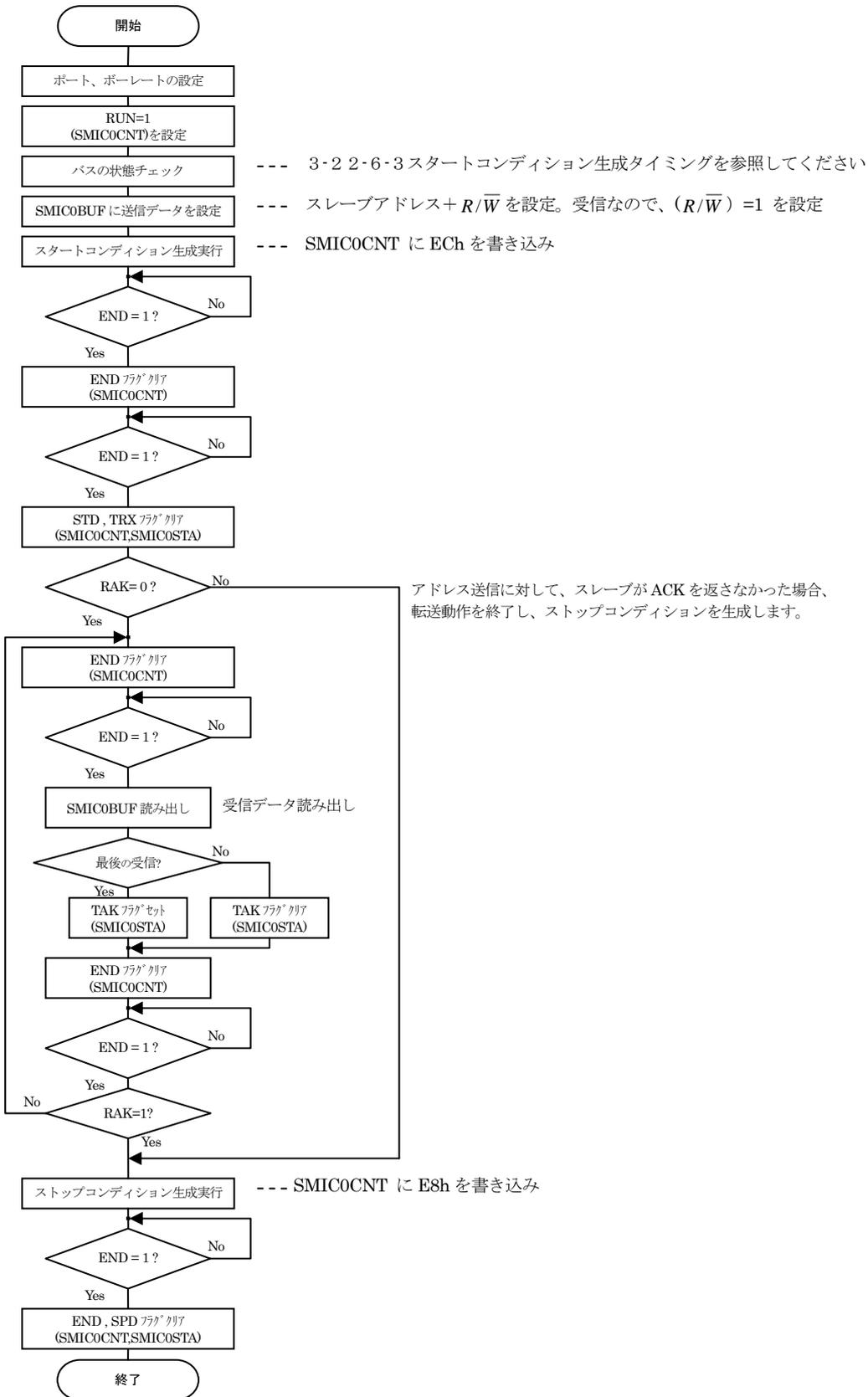
3-22-9-2 シングルマスタ・データ送信 (割り込み使用時) の具体例

データ送信・割り込み使用時のフローチャートを示します。



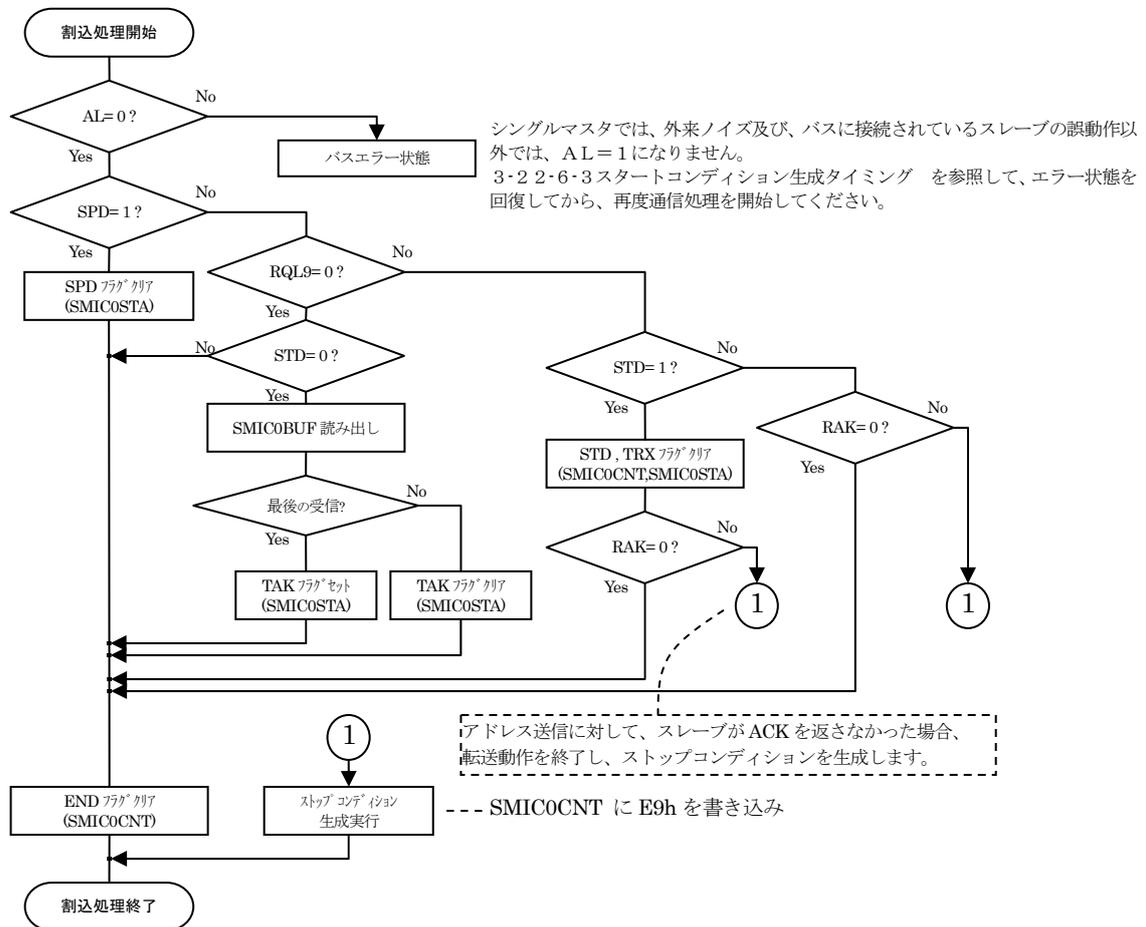
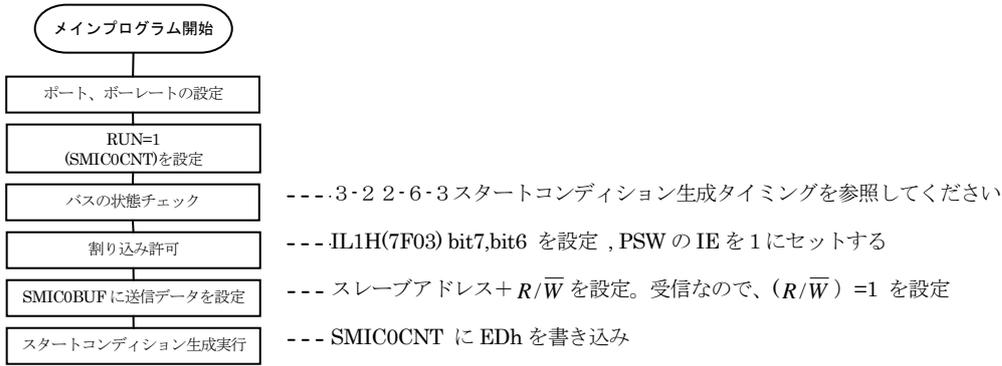
3-22-9-3 シングルマスタ・データ受信(割り込み不使用)の具体例

データ受信・割り込み不使用時のフローチャートを示します。



3-22-9-4 シングルマスタ・データ受信 (割り込み使用時) の具体例

データ受信・割り込み使用時のフローチャートを示します。



3-23 PWM0

3-23-1 概要

本シリーズが内蔵しているPWM0は2本の出力 (PWM0A, PWM0B) を持つ12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。

3-23-2 機能

①PWM0基本波周期

基本波周期 = (16~256)TPWMR0
(16TPWMR0単位で可変、PWM0A, PWM0B共通)

②PWM0A出力

- (1) 基本波PWMモード (レジスタPWM0AL=0設定)
HIGHパルス幅 = 0~基本波周期 - TPWMR0 (TPWMR0単位で可変)
- (2) 基本波 + 付加パルスPWMモード
全体周期 = 基本波周期 × 16
HIGHパルス幅 = 0~全体周期 - TPWMR0 (TPWMR0単位で可変)

③PWM0B出力

- (1) 基本波PWMモード (レジスタPWM0BL=0設定)
HIGHパルス幅 = 0~基本周期 - TPWMR0 (TPWMR0単位で可変)
- (2) 基本波 + 付加パルスPWMモード
全体周期 = 基本波周期 × 16
HIGHパルス幅 = 0~全体周期 - TPWMR0 (TPWMR0単位で可変)

④割り込みの発生

割り込み要求許可ビットがセットされている場合、PWM0の全体周期で割り込み要求を発生します。

⑤PWM0を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・PWM0AL, PWM0AH, PWM0BL, PWM0BH, PWM0C, PWM0PR
- ・PWMCNT, P4LAT, P4DDR, P4FSA, P4FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 00L0	R/W	TMCLK0	PR0				PROCK		-	PWM0CK

PWM0

3-23-3 回路構成

3-23-3-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0の動作, 割り込みの制御を行います。

3-23-3-2 PWM0基本波カウンタ (8ビットカウンタ)

- ①動作開始/停止: PWM0Cレジスタのビット2(ENPWM0A)又はビット3(ENPWM0B)の1/0により制御されます。
- ②カウントクロック: PWM0プリスケラー一致信号
- ③一致信号: カウント値がCHの設定値と一致すると一致信号を発生します。
- ④リセット: 動作停止、または一致信号発生時。

3-23-3-3 PWM0付加パルスカウンタ (4ビットカウンタ)

- ①カウントクロック: PWM0一致信号
- ②一致信号: カウント値がPWM0AL, PWM0BLの設定値と一致すると一致信号を発生します。
- ③リセット: リセット時

3-23-3-4 PWM0AコンペアレジスタL(PWM0AL) (4ビットレジスタ)

- ①PWM0Aの付加パルスの制御を行います。
- ②PWM0ALにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-23-3-5 PWM0AコンペアレジスタH(PWM0AH) (一致バッファレジスタ付き8ビットレジスタ)

- ①PWM0AのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0A出力がLOWに変化します。
- ②PWM0ALのビット7~4を全て“0”固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。
- ③一致バッファレジスタの更新は以下のように行われます。
非動作時にはPWM0AHと一致バッファレジスタは同値となります。
動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0AHの値をロードします。

3-23-3-6 PWM0BコンペアレジスタL(PWM0BL) (4ビットレジスタ)

- ①PWM0Bの付加パルスの制御を行います。
- ②PWM0BLにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-23-3-7 PWM0BコンペアレジスタH (PWM0BH) (一致バッファレジスタ付き8ビットレジスタ)

- ① PWM0BのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0B出力がLOWに変化します。
- ② PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。
- ③ 一致バッファレジスタの更新は以下のように行われます。
非動作時にはPWM0BHと一致バッファレジスタは同値となります。
動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0BHの値をロードします。

3-23-3-8 PWM0プリスケアラ(PWM0PR) (8ビットレジスタ)

- ① 動作開始/停止: PWM0Cレジスタのビット2 (ENPWM0A) 又はビット3 (ENPWM0B) の1/0により制御されます。
- ② カウントクロック: TMCLK0のビット0 (PWM0CK) で選択される。

モード	PWM0CK	PWM0プリスケアラのカウントクロック
0	0	システムクロック(Tcyc)
1	1	OSC1

- ③ 一致信号: カウント値が8ビットレジスタPWM0PR<7:0>の値と一致すると一致信号を発生する。
- ④ リセット: 動作停止時、または一致信号発生時。
- ⑤ PWM0プリスケアラ周期

$$TPWMR0 = (PWM0PR<7:0> + 1) \times \text{カウントクロック}$$

3-23-3-9 タイマクロック設定レジスタ0 (TMCLK0) (8ビットレジスタ)

- ① PWM0プリスケアラのカウントクロックを設定します。

3-23-3-10 PWM0A出力 (PWM0A)

- ① PWM0A動作停止時、PWM0AはLOW固定となり、PWM0A動作時、PWM0Aは周期可変のPWM出力。

3-23-3-11 PWM0B出力 (PWM0B)

- ① PWM0B動作停止時、PWM0BはLOW固定となり、PWM0B動作時、PWM0Bは周期可変のPWM出力。

PWM0

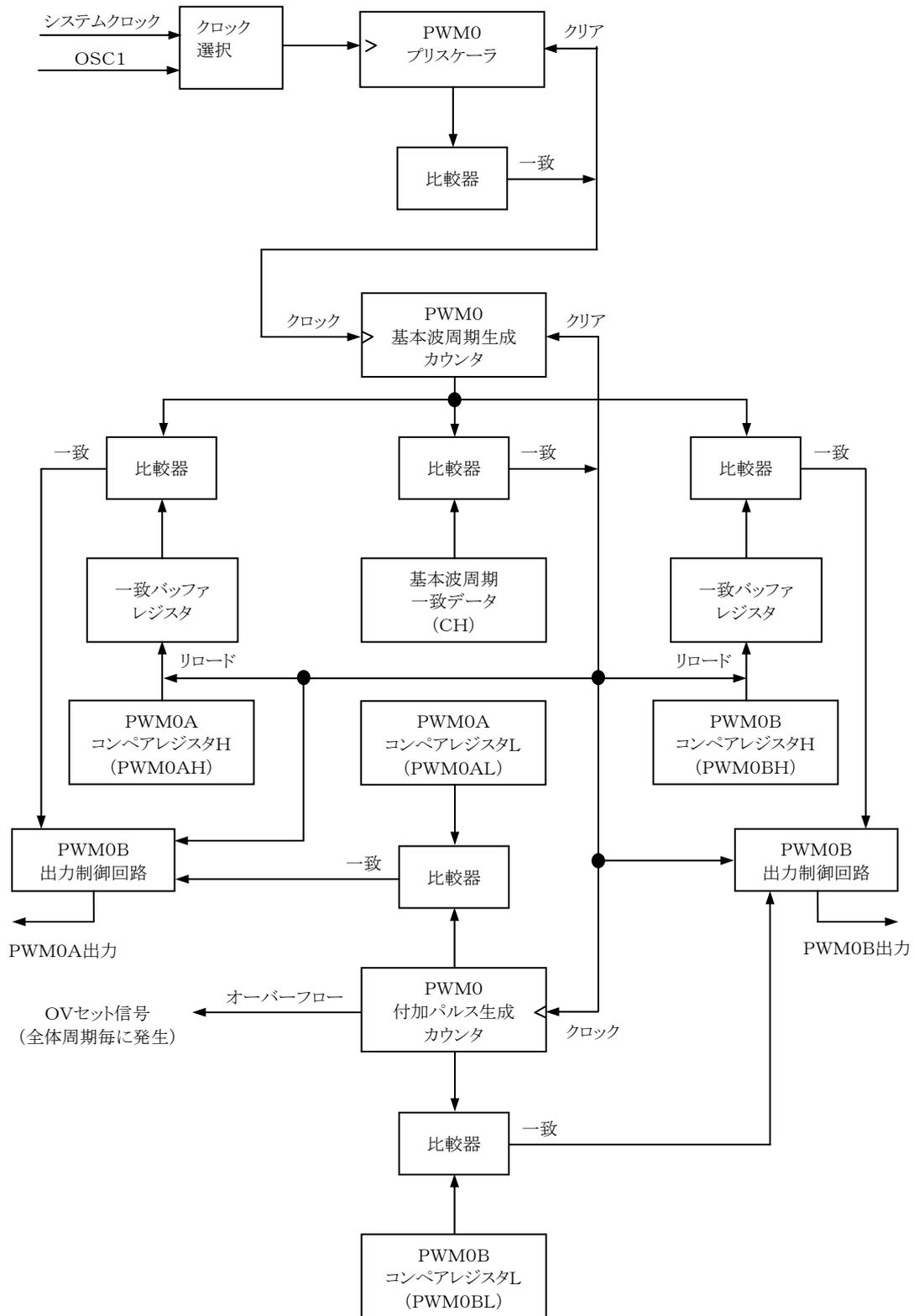


図 3-23-1 PWM0ブロック図

3-23-4 関連レジスタ

3-23-4-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0の動作, 割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE

CH(ビット7~4):PWM0周期設定

$$\text{基本波周期} = (\text{CHで示される値} + 1) \times 16\text{TPWMR0}$$

$$\text{全体周期} = \text{基本波周期} \times 16$$

ENPWM0B(ビット3):PWM0B動作制御

このビットが1の時、PWM0Bが動作します。

このビットが0の時、PWM0Bが停止します。

ENPWM0A(ビット2):PWM0A動作制御

このビットが1の時、PWM0Aが動作します。

このビットが0の時、PWM0Aが停止します。

OV(ビット1):PWM0オーバーフローフラグ

PWM0の全体周期毎にセットされます。

このフラグは命令でクリアしてください。

IE(ビット0):PWM0割り込み要求発生許可制御

このビットとOVがともに1の時、ベクタアドレス802CHへの割り込み要求が発生します。

3-23-4-2 PWM0AコンペアレジスタL(PWM0AL) (4ビットレジスタ)

①PWM0Aの付加パルスの制御を行います。

②PWM0ALにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-23-4-3 PWM0AコンペアレジスタH(PWM0AH) (8ビットレジスタ)

①PWM0Aの基本波パルス幅の制御を行います。

$$\text{HIGHパルス幅} = (\text{PWM0AH} \langle 7:0 \rangle \text{で示される値}) \times \text{TPWMR0}$$

②PWM0ALのビット7~4を全て“0”固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

PWM0

3-23-4-4 PWM0BコンペアレジスタL (PWM0BL) (4ビットレジスタ)

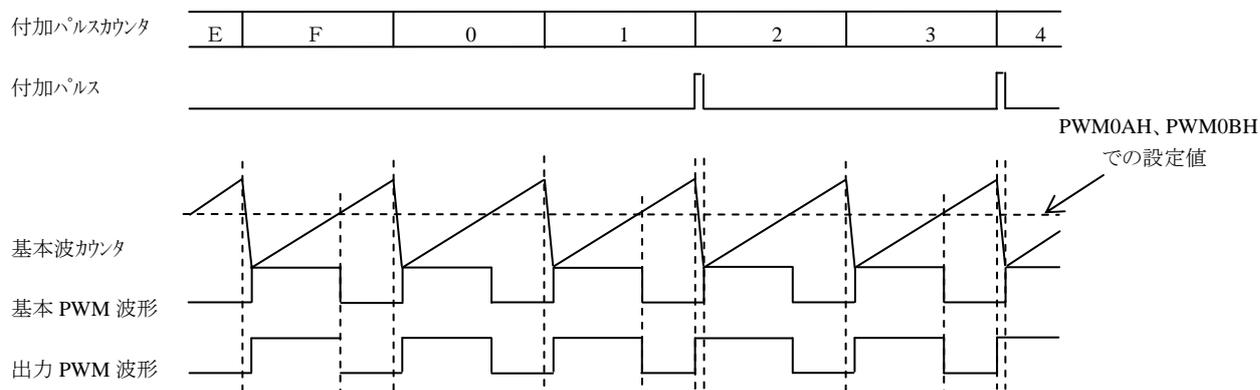
- ① PWM0Bの付加パルスの制御を行います。
- ② PWM0BLにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-23-4-5 PWM0BコンペアレジスタH (PWM0BH) (8ビットレジスタ)

- ① PWM0Bの基本波パルス幅の制御を行います。
 $\text{HIGHパルス幅} = (\text{PWM0BH} \langle 7:0 \rangle \text{で示される値}) \times \text{TPWMR0}$
- ② PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0



3-23-4-6 PWM0プリスケラ(PWM0PR) (8ビットレジスタ)

①PWM0プリスケラのカウンタ値を設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

(ビット7～0): PWM0プリスケラ制御

上記8ビットでPWM0プリスケラの周期を設定します。

$PWM0PR周期 = (PWM0PR < 7:0 > + 1) \times \text{カウンタクロック}$

3-23-4-7 タイマクロック設定レジスタ0

①PWM0のクロック選択を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 00L0	R/W	TMCLK0	PR0				PROCK		-	PWM0CK

PR0(ビット7～4): このモジュールでは使用しません。

PROCK(ビット3、2): このモジュールでは使用しません。

(ビット1): 存在しません。“0”が読み出されます。

PWM0CK(ビット0): PWM0カウンタクロック選択。

モード	PWM0CK	PWM0プリスケラのカウンタクロック
0	0	システムクロック
1	1	OSC1

(注) このビットはPWMモジュールが停止時に設定してください。

3-23-5 PWM0出力のポート設定

①PWM0A(P46)

レジスタデータ				ポートP46の状態
P4FSA<6>	P4FSB<6>	P4LAT<6>	P4DDR<6>	出力
1	0	1	0	PWM0A 出力(CMOS反転)
1	0	0	1	PWM0A 出力(CMOS)
1	1	1	0	PWM0A 出力(CMOS変化SLOW)
1	1	0	1	PWM0A 出力(Nchオープンドレイン)

②PWM0B(P47)

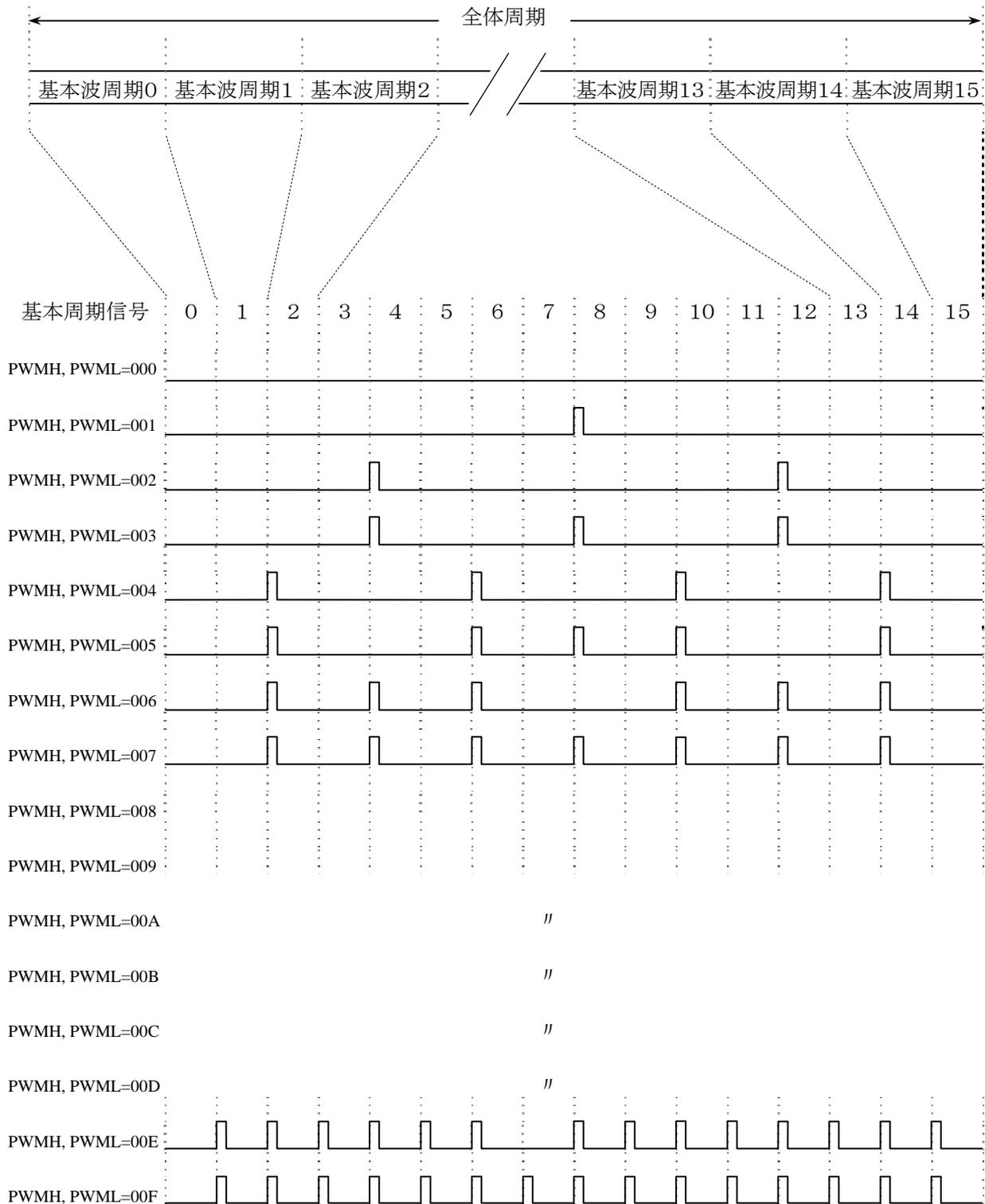
レジスタデータ				ポートP47の状態
P4FSA<7>	P4FSB<7>	P4LAT<7>	P4DDR<7>	出力
1	0	1	0	PWM0B 出力(CMOS反転)
1	0	0	1	PWM0B 出力(CMOS)
1	1	1	0	PWM0B出力(CMOS変化SLOW)
1	1	0	1	PWM0B出力(Nchオープンドレイン)

PWM0

- 12ビットPWMは、以下のような波形構成となります。
 - 全体周期は、基本波周期が16個で構成されます。
 - 基本波周期内は、8ビットPWMで構成されます。 (PWMコンペアレジスタH) (PWMH)
 - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。(PWMコンペアマッチレジスタL) (PWML)

12ビットレジスタ構成 → (PWMH), (PWML) = XXXX XXXX, XXXX (12ビット)

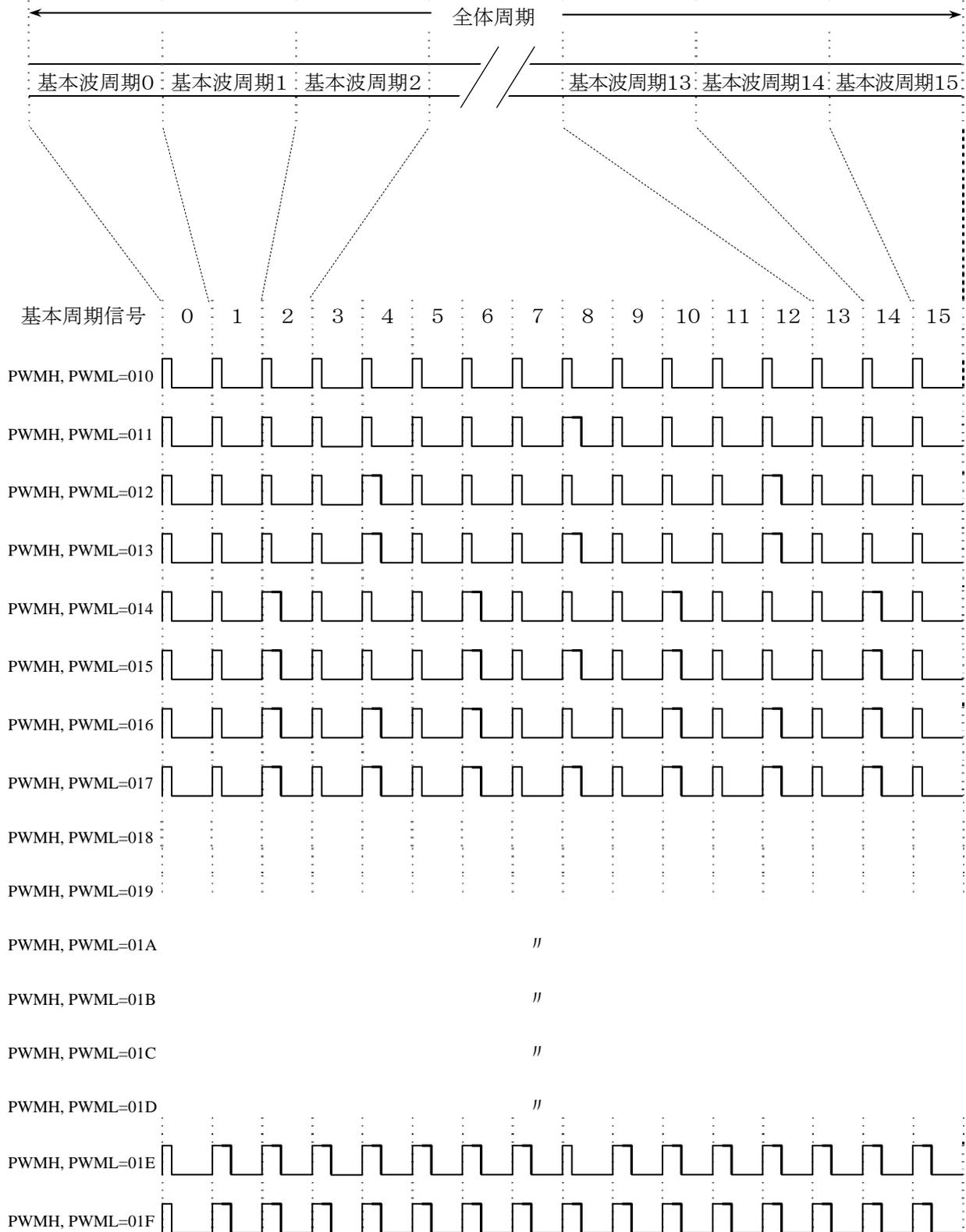
- 基本波周期内への、パルス付加状況 例1。
 - PWMコンペアレジスタH (PWMH) = 00 [H]
 - PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期内への、パルス付加状況。

- PWMコンペアレジスタH (PWMH) = 01 [H]

- PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期は、(16~256)TPWMR0 の範囲で可変です。

基本波周期 = (CHで示される値 + 1) × 16TPWMR0

- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

3-24 ADコンバータ

3-24-1 概要

本シリーズは、下記の特徴を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り替え機能（分解能切り替え）
- ④11チャンネルアナログ入力
- ⑤変換時間切り替え機能
- ⑥基準電圧自動発生制御機能
- ⑦8ビットコンパレータ

3-24-2 機能

①逐次比較方式

12ビット分解能を持っています。

変換には、変換開始から所定の変換時間が必要です。

変換結果は、AD変換結果レジスタ(ADRL, ADRH)に転送されます。

②AD変換切り替え機能（分解能切り替え）

使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMR)で行います。

③11チャンネルアナログ入力

変換される信号は、P60～P67, P70～P72から入力される11種類のアナログ信号からAD制御レジスタ(ADCR)で選択されます。

④変換時間切り替え機能

AD変換時間をサイクルタイムの $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ (分周比)に切り替えることができます。適切なAD変換ができるようにAD制御レジスタ(ADCR)によって切り替えます。

⑤基準電圧自動発生制御機能

基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生のセット/リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

⑥コンパレータ機能

8ビット分解のコンパレータ機能を持っており、11チャンネルのアナログ入力との比較することができます。

⑦ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ADCR, ADMR, ADRL, ADRH, P6LAT, P6DDR, P6FSB,
P7LAT, P7DDR, P7FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-24-3 回路構成

3-24-3-1 AD変換制御

①AD変換制御には12ビットAD変換モードと8ビットAD変換モードがあります。

3-24-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する制御回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCR)の変換終了フラグ(ENDFLG)がセットされます。

変換結果は、AD変換結果レジスタ(ADRH, ADRL)に格納されます。

3-24-3-3 マルチプレクサ1(MPX1)

①4チャンネルからAD変換するアナログ信号を選択します。

3-24-3-4 基準電圧自動発生回路

①ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はVDD~VSSの範囲で作成されます。

ADC

3-24-4 関連レジスタ

3-24-4-1 ADコンバータ制御レジスタ(ADCR)

①ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE

CHSEL(ビット7～4):AD変換入力選択

上記4ビットでAD変換する信号を選択します。

CHSEL	信号入力端子
0000	P60/AN0
0001	P61/AN1
0010	P62/AN2
0011	P63/AN3
0100	P64/AN4
0101	P65/AN5
0110	P66/AN6
0111	P67/AN7
1000	P70/AN8
1001	P71/AN9
1010	P72/AN10
1011	—
1100	—
1101	—
1110	—
1111	—

CMP(ビット3):ADコンバータ/コンパレータ動作制御

8ビットコンパレータ(1)/ADコンバータ(0)の動作モードを設定します。‘1’の設定時、8ビットコンパレータとして動作します。変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャンネル選択は本レジスタの入力チャンネルビットで設定します。比較データは変換結果上位レジスタ(ADRH)で設定したデジタル値と比較し、比較結果は変換結果下位レジスタ(ADRL)のビット7にセットされます。

‘0’の設定時、12ビット/8ビットADコンバータとして動作します。12ビットと8ビットのAD変換モードはモードレジスタで設定し、変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャンネル選択は本レジスタの入力チャンネルビットで設定します。変換結果は変換結果上位レジスタ(ADRH)にセットされ、12ビットモードは変換結果下位4ビットが変換結果下位レジスタ(ADRL)のビット7～4にセットされます。

START(ビット2):AD変換/コンパレータ動作制御

AD変換/コンパレータ動作を開始(1)/停止(0)します。‘1’の設定時、AD変換/コンパレータ動作が開始され、AD変換/コンパレータ動作が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRL)のMD2とADモードレジスタ(ADMR)のMD10の3ビットで行います。

‘0’の設定時、AD変換／コンパレータ動作が停止します。AD変換／コンパレータ動作中にクリアすると正しい変換結果が得られません。
AD変換／コンパレータ動作中は、絶対にクリアまたはHALT, HOLD, HOLDX状態にしないでください。

ENDFLG (ビット1) : AD変換／コンパレータ動作終了フラグ

AD変換／コンパレータ動作の終了を知らせます。AD変換／コンパレータ動作が終了するとセット(1)されます。

IEが‘1’の場合、ベクタアドレス8030Hへの割り込み要求が発生し、‘0’の場合、AD変換／コンパレータが動作していないことを示しています。

このフラグは、命令でクリアしてください。

IE (ビット0) : AD変換／コンパレータ割り込み要求発生許可制御

このビットとENDFLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

注意：

- ・ STARTが‘1’の動作状態でHALT, HOLD, HOLDX状態にしないでください。必ず、‘0’になったことを確認してからHALT, HOLD, HOLDX状態にしてください。
- ・ コンパレータ動作モードで使用する場合には、ADモードレジスタ(ADMR)のRESOLを‘0’、ADJを‘1’にして動作させる必要があります。

3-24-4-2 ADモードレジスタ(ADMR)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	

(ビット7) : 固定ビット

0で使用してください。

RESOL (ビット6) : AD変換モード制御 (分解能切り替え)

ADコンバータの分解能を12ビットADモード(0)／8ビットADモード(1)に切り替えます。

‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)のみセットされ、AD変換結果下位レジスタ(ADRL)は変化しません。

‘0’の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)とAD変換結果下位レジスタ(ADRL)にセットされます。

(ビット5～3) : 固定ビット

0で使用してください。

ADJ (ビット2) : 自動オフセット補正制御

AD変換モードで使用する場合、このビットは0で使用してください。

コンパレータモードで使用する場合、このビットは1で使用してください。

ADC

MD10(ビット1、0):AD変換時間制御

AD変換結果レジスタのMD2(ビット0)と合わせて3ビットで変換時間を制御します。

MD2	MD10	分周比
0	00	$\frac{1}{1}$
0	01	$\frac{1}{2}$
0	10	$\frac{1}{4}$
0	11	$\frac{1}{8}$
1	00	$\frac{1}{16}$
1	01	$\frac{1}{32}$
1	10	$\frac{1}{64}$
1	11	$\frac{1}{128}$

変換時間算出方法

- ・12ビットAD変換モード : 変換時間 = $((52 / (\text{AD分周比})) + 2) \times T_{\text{cyc}}$
- ・8ビットAD変換モード : 変換時間 = $((32 / (\text{AD分周比})) + 2) \times T_{\text{cyc}}$

注意:

- ・変換時間は下記の時、通常時の約2倍となります。
 - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り替え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-24-4-3 AD変換結果下位レジスタ(ADRL)

- ①12ビットADモード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2

DATAL(ビット7~4):AD変換結果下位

上記にAD変換結果の下位4ビットが格納されます。
コンパレータモード時は、ビット7にコンパレータ比較結果が格納されます。
AD変換を動作させない時は、汎用のリード/ライトレジスタとして使用できます。

(ビット3~1):固定ビット

0で使用してください。

MD2(ビット0):AD変換時間制御

ADモードレジスタのMD10の2ビットと合わせて3ビットで変換時間を制御します。
時間設定はADモードレジスタ説明を参照。

注意:

変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新のデータシートの規格に従って有効となる変換データのみをご使用ください。

3-24-4-4 AD変換結果上位レジスタ(ADRH)

- ① 12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。
- ② AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

AD変換を動作させない時は、汎用のリード/ライトレジスタとして使用できます。

3-24-5 ADC動作の具体例

3-24-5-1 12ビットADコンバータモード

① AD変換モードの設定

- ・ADモードレジスタ(ADMR)のRESOL=0にします。

② 変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0)=1にし、ADモードレジスタのMD10(ビット1、0)=01にします。

③ 入力チャネルの設定

- ・ADチャネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7~4)=0001にします。

④ ADスタート

- ・AD制御レジスタ(ADCR)のSTART(ビット2)=1にします。

⑤ AD変換終了フラグの検知

- ・AD制御レジスタ(ADCR)のENDFLG(ビット1)=1になるまでモニタします。
- ・終了フラグのENDFLGを0にクリアします。

⑥ AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRH)を読み込みます。
- ・AD変換結果下位レジスタ(ADRL)を読み込みます。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

ADC

3-24-5-2 コンパレータ動作の具体例

①コンパレータモードの設定

- ・AD制御レジスタ(ADCR)のCMP(ビット3) = 1にします。
- ・ADモードレジスタ(ADMR)のADJ(ビット2) = 1にします。
- ・ADモードレジスタ(ADMR)のRESOL(ビット6) = 0にします。

②変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0) = 1にし、ADモードレジスタのMD10(ビット1、0) = 01にします。

変換時間算出方法

$$\text{変換時間} = ((28 / (\text{分周比})) + 2) \times T_{\text{cyc}}$$

③入力チャンネルの設定

- ・ADチャンネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7~4) = 0001にします。

④比較データの設定

- ・AD変換結果上位レジスタ(ADRH)に8ビットの比較データを設定します。

⑤比較スタート

- ・AD制御レジスタ(ADCR)のSTART(ビット2) = 1にします。

⑥変換終了フラグの検知

- ・AD制御レジスタ(ADCR)のENDFLG(ビット1) = 1になるまでモニタします。
- ・終了フラグのENDFLGを0にクリアします。

⑦AD変換データの読み込み

- ・AD変換結果下位レジスタ(ADRL)のビット7を読み込みます。
REF < AIN = H、REF > AIN = Lが入力されます。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

3-24-6 ADC使用上の留意点

- ①サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、最新のデータシートを参照してください。
- ②変換動作中にSTART = 0にすると、変換動作が停止します。
- ③変換動作中にHALT, HOLD, HOLDX状態にしないでください。必ず、STARTが'0'になったことを確認してからHALT, HOLD, HOLDX状態にしてください。
- ④変換中にリセット状態に入ると、自動的にSTARTがリセットされ変換動作を停止します。

- ⑤変換を終了するとAD変換終了フラグ(ENDFLG)がセットされ、同時にAD変換動作制御ビット(START)がリセットされます。変換終了はENDFLGをモニタすることによって確認できます。また、IEをセットすることによって、変換終了でベクタアドレス8030Hへの割り込み要求が発生します。
- ⑥P60/AN0~P67/AN7, P70/AN8~P72/AN10への入力電圧は規格の範囲で使用してください。
特にVDD以上, VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。
- ⑦ノイズ等による変換精度の低下を防ぐ対策として、アナログ入力端子には1000pF程度のコンデンサ等の外付けや変換動作を数回行って変換値の平均をとる等の処理を行ってください。
- ⑧変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力されるデータが変化するとカップリングノイズによって、変換結果が期待通りに得られないことがあります。
- ⑨ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成する時には、この点に注意して作成してください。

3-25 リアルタイムサービス (RTS)

3-25-1 概要

本シリーズの連続データ処理は、処理モジュールと、リアルタイムサービスコントローラ(以下RTSと表記)で行われます。

連続データ処理には、バススチール動作とウェイト動作の2種類があります。

- ①RTSは、各処理モジュールのバススチール要求を受け、バススチール動作を行います。
- ②RTSは、各処理モジュールのウェイト要求を受け、ウェイト動作を行います。

※本シリーズでは、次のようになります。

処理モジュール1=SIO0

処理モジュール2=SIO1

3-25-2 機能

3-25-2-1 バススチール動作とウェイト動作について

①バススチール動作

CPUの命令動作中、内部データバスを使用していない時、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。

②ウェイト動作

CPUの命令動作を一時停止し、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。

3-25-2-2 RAMバッファアドレス

- ①転送用RAMバッファアドレスは、各処理モジュール用ごとに用意されたベースアドレスレジスタ値と転送回数カウンタ値で決定されます。

3-25-2-3 転送回数

- ①処理モジュール1の転送回数は、RTS1転送回数設定レジスタ(RTS1CTR)で設定します。
- ②処理モジュール2の転送回数は、RTS2転送回数設定レジスタ(RTS2CTR)で設定します。

3-25-2-4 特殊機能レジスタ(SFR)の操作

RTSを制御するには次に示す特殊機能レジスタを操作する必要があります。

RTS1ADRL, RTS1ADRH, RTS1CTR
 RTS2ADRL, RTS2ADRH, RTS2CTR
 RTSTST, RTSCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	LLL0 0000	R/W	RTS1ADRH	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	LLL0 0000	R/W	RTS2ADRH	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWP	INHBS

3-25-3 回路構成

3-25-3-1 RTS1ベースアドレスレジスタ(RTS1ADRL, RTS1ADRH) (16ビットレジスタ)

①処理モジュール1の転送用RAMバッファアドレスを設定します。

3-25-3-2 RTS1転送回数設定レジスタ(RTS1ADRL, RTS1CTR) (12ビットレジスタ)

①処理モジュール1の転送回数を設定します。

3-25-3-3 RTS1転送回数カウンタ(RTS1ADRL, RTS1C) (12ビットレジスタ)

①処理モジュール1の転送回数カウンタです。

3-25-3-4 RTS2ベースアドレスレジスタ(RTS2ADRL, RTS2ADRH) (16ビットレジスタ)

①処理モジュール2の転送用RAMバッファアドレスを設定します。

3-25-3-5 RTS2転送回数設定レジスタ(RTS2ADRL, RTS2CTR) (12ビットレジスタ)

①処理モジュール2の転送回数を設定します。

3-25-3-6 RTS2転送回数カウンタ(RTS2ADRL, RTS2C) (12ビットレジスタ)

①処理モジュール2の転送カウンタです。

3-25-3-7 RTSテストレジスタ(RTSTST)(8ビットレジスタ)

①RTSのテストレジスタです。必ず0に設定して使用してください。

3-25-3-8 RTS制御レジスタ(RTSCNT)(8ビットレジスタ)

①RTS動作の許可・禁止の制御を行います。

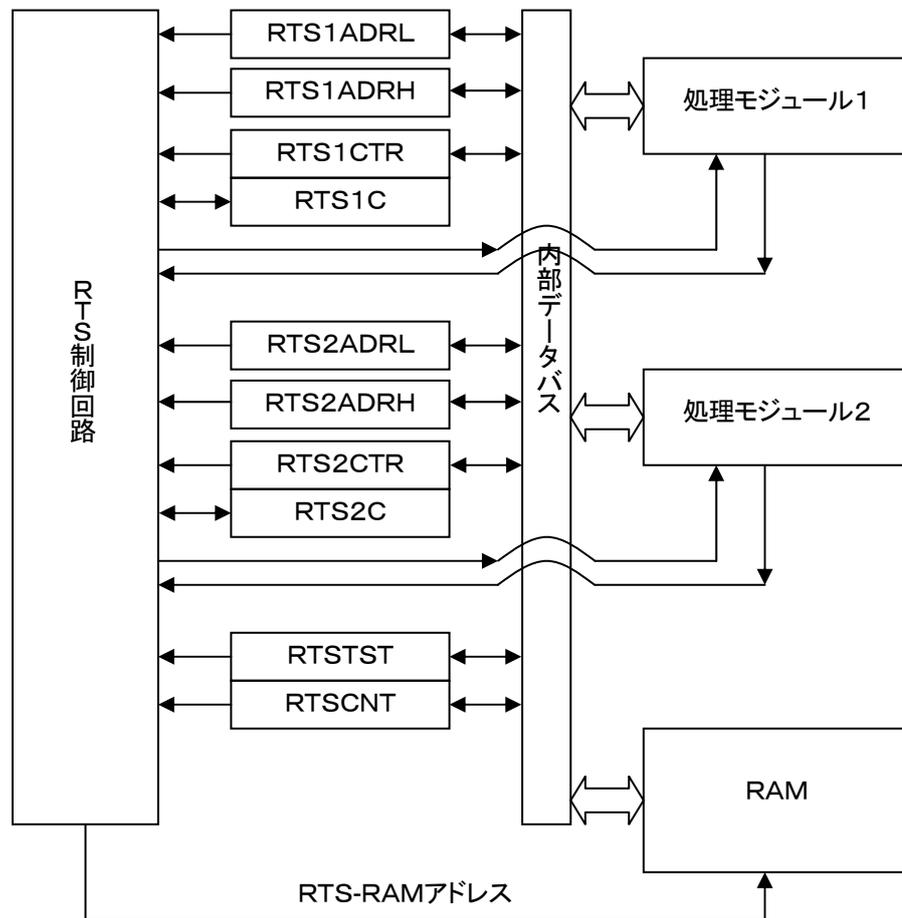


図 3-25-1 RTSのブロック図

3-25-4 関連レジスタ

3-25-4-1 RTS1ベースアドレスレジスタ(RTS1ADRL, RTS1ADRH)

①処理モジュール1の転送用RAMバッファアドレスを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	LLL0 0000	R/W	RTS1ADRH	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

RTS1ベースアドレス =

$$((RTS1ADRH) \ll 8) \& 0xFF00 + ((RTS1ADRL) \& 0x00F0)$$

*RTS1動作中、ベースアドレスを変更しないでください。

3-25-4-2 RTS2ベースアドレスレジスタ(RTS2ADRL, RTS2ADRH)

①処理モジュール2の転送用RAMバッファアドレスを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	LLL0 0000	R/W	RTS2ADRH	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

RTS2ベースアドレス =

$$((RTS2ADRH) \ll 8) \& 0xFF00 + ((RTS2ADRL) \& 0x00F0)$$

*RTS2動作中、ベースアドレスを変更しないでください。

3-25-4-3 RTS1転送回数設定レジスタ(RTS1ADRL, RTS1CTR)

①処理モジュール1の転送回数を設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

(1) 処理モジュール1がバイトモードの場合

処理モジュール1の転送回数 =

$$((RTS1ADRL) \ll 8) \& 0x0F00 + ((RTS1CTR) \& 0x00FF) + 2$$

RTS1転送回数カウンタは、転送処理毎に+1カウントアップします。

(2) 処理モジュール1がワードモードの場合

処理モジュール1の転送回数 =

$$(((RTS1ADRL) \ll 8) \& 0x0F00 + ((RTS1CTR) \& 0x00FE)) / 2 + 2$$

RTS1転送回数カウンタは、転送処理毎に+2カウントアップします。

(3) RTS1動作中このレジスタは、RTS1転送回数カウンタがR/Oでアクセスできます。

*本シリーズは、バイトモードです。

3-25-4-4 RTS2転送回数設定レジスタ(RTS2CTR)

①処理モジュール2の転送回数を設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

(1) 処理モジュール2がバイトモードの場合

処理モジュール2の転送回数 =

$$((RTS2ADRL) \ll 8) \& 0x0F00 + ((RTS2CTR) \& 0x00FF) + 2$$

RTS2転送回数カウンタは、転送処理毎に+1カウントアップします。

(2) 処理モジュール2がワードモードの場合

処理モジュール2の転送回数 =

$$(((RTS2ADRL) \ll 8) \& 0x0F00 + ((RTS2CTR) \& 0x00FE)) / 2 + 2$$

RTS2転送回数カウンタは、転送処理毎に+2カウントアップします。

(3) RTS2動作中このレジスタは、RTS2転送回数カウンタがR/Oでアクセスできます。

* 本シリーズは、バイトモードです。

3-25-4-5 RTSテストレジスタ(RTSTST)

①RTSのテストレジスタです。必ず0に設定して使用してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-25-4-6 RTS制御レジスタ(RTSCNT)

①RTS動作の許可・禁止の制御するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT0	INHBS0

INHWT2(ビット5): 処理モジュール2ウェイト禁止

0: 処理モジュール2のウェイトを許可

1: 処理モジュール2のウェイトを禁止

INHBS2(ビット4): 処理モジュール2バススチール禁止

0: 処理モジュール2のバススチールを許可

1: 処理モジュール2のバススチールを禁止

INHWT1(ビット3): 処理モジュール1ウェイト禁止

0: 処理モジュール1のウェイトを許可

1: 処理モジュール1のウェイトを禁止

INHBS1(ビット2): 処理モジュール1バススチール禁止

0: 処理モジュール1のバススチールを許可

1: 処理モジュール1のバススチールを禁止

INHWT0(ビット1): テスト用です。

必ず0に設定して使用してください。

INHBS0(ビット0): テスト用です。

必ず0に設定して使用してください。

3-26 USM0

3-26-1 概要

本シリーズが内蔵している、モータ駆動信号生成モジュール、USM0は、以下の種類のモータに対応します。

- ①超音波モータ(4相駆動)
- ②2相ステッピングモータ(1相・2相・1-2相励磁)

3-26-2 機能

3-26-2-1 超音波モータ駆動信号

- ①1周期がPh0~Ph3までの、4相からなるパルス生成機能。
- ②PLLクロック(40MHz/48MHz)を、カウントクロックソースとする。
- ③Ph0~Ph3までの4相出力の1周期は、カウントクロックの1周期単位で設定可能。
4相出力の1周期設定範囲
(40~4095)×カウントクロック周期
- ④各相切り替わり時に、Ph0~Ph3出力をすべて低レベルにする期間をカウントクロック1周期単位で設定可能。
低レベル期間設定範囲
(0~1023)×カウントクロック周期
- ⑤動作中の周期変更、反転制御可能。

3-26-2-2 ステッピングモータ駆動信号

- ①2相ステッピングモータ用駆動パルス波形(A, B, \overline{A} , \overline{B})生成機能。
- ②カウントクロックソースは、システムクロック、タイマ3上位一致信号、OSC0から選択可能。
- ③1相励磁、2相励磁、1-2相励磁波形を選択可能。
- ④駆動波形の各ステップ切り替わり時間は、カウントクロックの1周期単位で設定可能。
設定範囲
(2~1023)×カウントクロック周期
- ⑤各波形(A, B, \overline{A} , \overline{B})の立ち上がりタイミングを、カウントクロック1周期単位で遅延させることが可能。
設定範囲
(0~1023)×カウントクロック周期
- ⑥動作中の周期変更、反転制御可能。
- ⑦割り込みの発生
USMONPH設定値とPHASE数カウンタとの一致・PHASE数カウンタオーバーフロー・STPビット受付タイミングで、割り込みを発生させることが可能。

USM0

3-26-2-3 特殊機能レジスタ(SFR)の操作

USM0を制御するには次に示す特殊機能レジスタを操作する必要があります。

USM0CNT, USM0NPH, USM0TWL, USM0TWH
USM0LPL, USM0LPH, USM0PSF, USM0PLL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F80	0000 0000	R/W	USM0CTL	STPFLG	OVF	NPHFLG	IE	CKSL		DIR1	RUN
7F81	0000 0000	R/W	USM0NPH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	USM0TWL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F83	00LL 0000	R/W	USM0TWH	DIR2	STP	-	-	BIT3	BIT2	BIT1	BIT0
7F84	0000 0000	R/W	USM0LPL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F85	L00L LL00	R/W	USM0LPH	-	BRKMD		-	-	-	BIT1	BIT0
7F86	0000 L000	R/W	USM0PSF	TSTA	PWMMD	OUTMD		-	NPT		
7F88	0L00 0000	R/W	USM0PLL	TSTB	-	SELREF		FRQSEL	VC3	PLLON	

3-26-3 回路構成

3-26-3-1 USM0制御レジスタ(USM0CTL) (8ビットレジスタ)

①USM0の動作制御、割り込みの制御を行います。

3-26-3-2 PHASE数カウンタ (8ビットカウンタ)

- ①ステッピングモータ波形出力の、ステップ数をカウントします。
- ②USM0出力信号が変化するタイミング(1ステップ進むタイミング)で、PHASE数カウンタはカウントアップします。
- ③このカウンタが0FFh→000hになるタイミングで、USM0CTLのOVFフラグ(bit6)がセットされます。
- ④PHASE数カウンタと、PHASE数設定レジスタ(USM0NPH)バッファレジスタ値一致信号により、このカウンタは0にクリアされます。
- ⑤PHASE数設定レジスタを、000hに設定している場合、④の一致信号は発生せず、このカウンタはフリーラン状態となります。
- ⑥PHASE数カウンタ値は、USM0CTLのSTPFLG(bit7)が1の時、USM0NPHレジスタをリードすることにより、読み出すことができます。

3-26-3-3 PHASE数設定レジスタ(USM0NPH) (バッファレジスタ付8ビットレジスタ)

- ①ステッピングモータモード時に使用し、設定した回転速度・回転方向を継続出力させるステップ数を設定します。
- ②超音波モータモード時は、このレジスタは使用しません。0に設定してください。
- ③継続出力されるステップ数は、USM0NPH設定値+1となります。
- ④8ビットのレジスタと、このレジスタ値が転送される8ビットのバッファレジスタを持ちます。
- ⑤8ビットのバッファレジスタの値と、PHASE数カウンタの値が一致した時、一致信号が発生し、PHASE数カウンタを0にクリアします。

⑥ 8ビットのバッファレジスタに、レジスタUSMONPHの値が転送されるのは、以下のタイミングです。

- ・非動作時(RUN=0)は、USMONPHレジスタ値とバッファレジスタ値は同値です。
- ・動作時(RUN=1)は、上記③の一致信号発生時に、バッファレジスタにUSMONPHレジスタ値が転送されます。

⑦ USM0CTLのSTPFLG(bit7)が1の時、USMONPHレジスタをリードすると、USMONPHレジスタ値ではなく、PHASE数カウンタ値がリードされます。

3-26-3-4 周期カウンタ (10ビットカウンタ)

- ① 各パルス出力の周期制御用のカウンタです。
- ② 周期カウンタと、周期設定レジスタ上位(USM0TWH)のbit3～bit0を上位4ビットとし、周期設定レジスタ下位(USM0TWL)のbit7～bit2を下位6ビットとする、10ビット値が一致した時、一致信号が発生し、このカウンタ値は1にリセットされます。

3-26-3-5 周期設定レジスタ(USM0TWH, USM0TWL) (バッファレジスタ付14ビットレジスタ)

- ① 超音波モード時
 - ・周期設定レジスタ上位(USM0TWH)のbit3～bit0を上位4ビットとし、周期設定レジスタ下位(USM0TWL)のbit7～bit0を下位8ビットとする、12ビット値により、Ph0～Ph3の4相1周期の期間を設定します。
- ② ステッピングモータモード時
 - ・周期設定レジスタ上位(USM0TWH)のbit3～bit0を上位4ビットとし、周期設定レジスタ下位(USM0TWL)のbit7～bit2を下位6ビットとする、10ビット値により、各ステップの切り替わり時間を設定します。
- ③ 14ビットのレジスタと、このレジスタ値が転送される14ビットのバッファレジスタを持ちます。
- ④ 周期カウンタと、周期設定レジスタ上位(USM0TWH)のbit3～bit0を上位4ビットとし、周期設定レジスタ下位(USM0TWL)のbit7～bit2を下位6ビットとする、10ビット値が一致した時、一致信号が発生し、周期カウンタ値を1にリセットします。
- ⑤ 16ビットのバッファレジスタに、レジスタ(USM0TWH, USM0TWL)の値が転送されるのは、以下のタイミングです。
 - ・非動作時(RUN=0)は、USMONPHレジスタ値とバッファレジスタ値は同値です。
 - ・動作時(RUN=1)で、USMONPHに0を設置している時は、上記④の一致信号発生時に、バッファレジスタにレジスタ(USM0TWH, USM0TWL)の値が転送されます。
 - ・動作時(RUN=1)で、USMONPHに0以外を設置している時は、PHASE数カウンタと、USMONPH設定値が一致し、かつ上記④の一致信号発生時に、バッファレジスタにレジスタ(USM0TWH, USM0TWL)の値が転送されます。

USM0

3-26-3-6 LOW期間設定レジスタ(USM0LPH, USM0LPL) (バッファレジスタ付12ビットレジスタ)

- ① 各出力信号の立ち上がり遅延時間を、USM0LPHのbit1～bit0を上位2ビットとし、USM0LPLのbit7～bit0を下位8ビットとする10ビットにより指定します。
- ② 12ビットのレジスタと、USM0LPHのbit1～bit0を上位2ビットとし、USM0LPLのbit7～bit0を下位8ビットとする10ビット値が転送される10ビットのバッファレジスタを持ちます
- ③ 10ビットのバッファレジスタに、このレジスタ値が転送されるタイミングは、周期設定レジスタ(USM0TWH, USM0TWL)がバッファレジスタに転送されるタイミングと同一です。

3-26-3-7 出力波形設定レジスタ(USM0PSF) (8ビットレジスタ)

- ① 出力する波形を制御します。

3-26-3-8 PLL制御レジスタ(USM0PLL) (8ビットレジスタ)

- ① PLLの発振制御を行います。

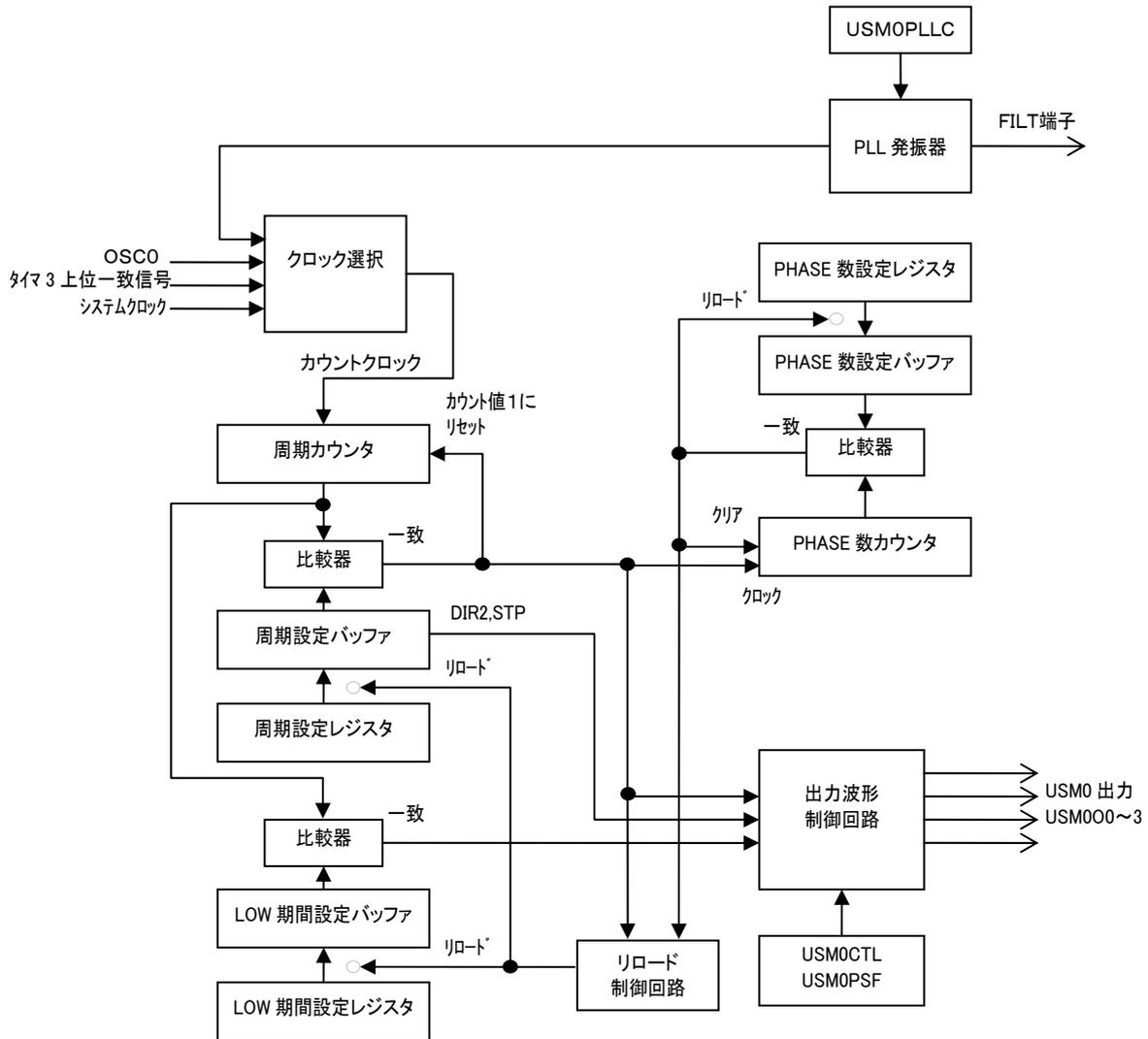


図 3-26-1 USM0ブロック図

3-26-4 関連レジスタ

3-26-4-1 USM0制御レジスタ(USM0CTL)

①動作制御、割り込みの制御を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F80	0000 0000	R/W	USM0CTL	STPFLG	OVF	NPHFLG	IE	CKSL		DIR1	RUN

STPFLG(ビット7) : STPビット受付フラグ

USM0TWHのSTP(bit6)がバッファレジスタにリロードされ、波形出力が停止するタイミングでこのビットが1にセットされます。

このビットは、自動ではクリアされません。命令によりクリアしてください。

OVF(ビット6) : PHASE数カウンタオーバーフローフラグ

PHASE数カウンタが0FFh→000hになるタイミングで、このビットが1にセットされます。

USM0

PHASE数カウンタは、PHASE数設定レジスタとの一致によりクリアされるため、このビットが1にセットされるのは、PHASE数設定レジスタの設定値が0FFhの場合と、000h(カウンタフリーラン)の場合だけです。
このビットは、自動ではクリアされません。命令によりクリアしてください。

NPHFLG(ビット5):USM0NPH一致フラグ

PHASE数カウンタ値と、PHASE数設定レジスタ(USM0NPH)が一致し、PHASE数カウンタが000hにリセットされるタイミングで、このビットが1にセットされます。
PHASE数設定レジスタ(USM0NPH)を000hに設定している場合、PHASE数カウンタはフリーランとなり、このビットが自動的に1にセットされることはありません。
このビットは、自動ではクリアされません。命令によりクリアしてください。

IE(ビット4):USM0割り込み要求発生許可信号

STPFLG(ビット7)、OVF(ビット6)、NPHFLG(ビット5)の3つのビットのOR信号と、このビットがともに1の場合、ベクタアドレス8028hへの割り込み要求が発生します。

※超音波モータモードでは、割り込み機能は使用しません。このビットは0に設定してください。

CKSL(ビット3、2):USM0周期カウンタカウントクロック選択

上記2ビットで周期カウンタのカウントクロックを選択します。

超音波モータモード時は、モード2を選択してください。

ステッピングモータモード時は、モード0、1、3のいずれかを選択してください。

モード	CKSL	周期カウンタのカウントクロック	超音波モータ	ステッピングモータ
0	00	システムクロック	×	○
1	01	タイマ3上位一致信号	×	○
2	10	PLLクロック(40MHz/48MHz)	○	×
3	11	OSC0	×	○

モード1タイマ3上位一致信号を選択した場合、カウントクロック周期は、以下のようになります。

- ①タイマ3を16ビットモードで設定した場合は、16ビットのタイマ3周期が、カウントクロック周期となります。
- ②タイマ3を8ビットモードで設定した場合は、8ビットのタイマ3上位の周期が、カウントクロック周期となります。

DIR1(ビット1):超音波モータ回転方向設定ビット

超音波モータモード時、正回転・逆回転を、このビットにより制御します。

このビットが0の時、正回転モードになります。

このビットが1の時、逆回転モードになります。

※ステッピングモータモード時は、このビットは0に設定してください。

RUN(ビット0):USM0動作制御

このビットを1にすることで、USM0モジュールは動作を開始します。

このビットを0にすることで、USM0モジュールは、動作を停止し、USM0出力USM000～USM003は、全てLOWとなります。

- ①ステッピングモータモード時に、CKSLによるカウントクロックの選択を、モード1(タイマ3上位一致信号)または、モード3(OSC0)を選択している場合、このビットを0にクリアすると同時に、CKSLによるモードを0(システムクロック)に設定してください。
- その場合、このビットを0にクリアする命令終了後、2Tcyc後にUSM0出力USM000～USM003が全てLOWとなります。
- ②超音波モータモード時に、このビットをクリアした場合、PLLクロック2周期以内に、USM0出力USM000～USM003が全てLOWとなります。
- USM0モジュールを停止し、PLLクロックを停止する場合、このビットを0にクリアしてから、PLLクロックを停止するようにしてください。

3-26-4-2 PHASE数設定レジスタ(USM0NPH)

- ①ステッピングモータモード時、現在の設定値を継続して出力するステップ数を設定するレジスタです。
- ②継続出力されるステップ数は、USM0NPH設定値+1となります。
- ③ステップ数設定機能を使用する場合、USM0NPHに1以上の値を設定してください。
- USM0NPHに最小値の1を設定した場合、指定されるステップ数は2となりますので、この機能で指定できる最小ステップ数は2となります。ステップ数指定機能を使用しない場合、このレジスタは00hで使用してください。
- ④超音波モータモード時は、このレジスタは00hで使用してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F81	0000 0000	R/W	USM0NPH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

USM0CTLのSTPFLG(bit7)が1の時、このレジスタをリードすると、USM0NPH設定値ではなく、PHASE数カウンタ値がリードされます。

この機能は、USM0NPHに00hを設定し、PHASE数カウンタをフリーラン状態とした時に、PHASE数カウンタ値を知るためのものです。

PHASE数カウンタ値をリードする場合は、以下の手順により行ってください。

- ・USM0TWHのSTP(bit6)に1を設定する
- ・STPビットがリロードされ、USM0CTLのSTPFLG(bit7)がセットされるのを待つ
(STPビットがリロードされることで、ステッピングモータ波形出力は停止状態となる)
- ・USM0NPHレジスタをリードする(PHASE数カウンタ値がリードされる)
- ・STPFLGをクリア・USM0TWHのSTP(bit6)に0を設定し、モータ出力を再始動する

PHASE数設定レジスタバッファリロードタイミングについては、「3-26-5-1 PHASE数設定レジスタリロードタイミング」を参照してください。

このレジスタの使用方法は、「3-26-8-3 PHASE数設定レジスタUSM0NPHを使用した時の動作」を参照してください。

3-26-4-3 周期設定レジスタ(USM0TWH, USM0TWL)

- ①出力波形の切り替わり時間を設定するレジスタです。
- ②超音波モータモード時は、USM0TWHのbit3～bit0を上位4ビットとし、USM0TWLのbit7～bit0を下位8ビットとする12ビットにより、Ph0～Ph3の4相1周期の設定を行います。ただし、この12ビット値は、40以上の値を設定してください。

USM0

- ③ ステッピングモータモード時は、USM0TWHのbit3～bit0を上位4ビットとし、USM0TWLのbit7～bit2を下位6ビットとする、10ビット値により、各ステップの切り替わり時間を設定します。ただし、この10ビット値は、2以上の値を設定してください。USM0TWLのbit1, bit0は0で使用してください。
- ④ SM0TWHのDIR2 (bit7) およびSTP (bit6) は、ステッピングモータモードで使用し、DIR2ビットは回転方向、STPビットは波形出力停止制御を行います。超音波モータモード時は、DIR2, STPビットは0で使用してください。

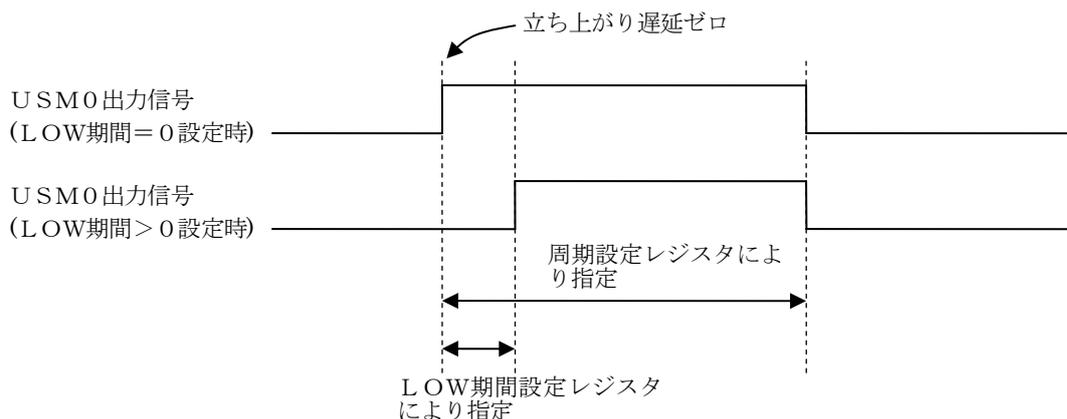
アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	USM0TWL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F83	00LL 0000	R/W	USM0TWH	DIR2	STP	-	-	BIT3	BIT2	BIT1	BIT0

周期設定レジスタバッファリロードタイミングについては、「3-26-5-2 周期設定レジスタ、LOW期間設定レジスタリロードタイミング」を参照してください
このレジスタの使用方法については、「3-26-7 超音波モータモード動作の具体例」「3-26-8 ステッピングモータモード動作の具体例」を参照してください

3-26-4-4 LOW期間設定レジスタ(USM0LPH, USM0LPL)

- ① 出力波形の立ち上がり遅延時間を設定するレジスタです。
- ② USM0LPHのbit1～bit0を上位2ビットとし、USM0LPLのbit7～bit0を下位8ビットとする10ビットにより、立ち上がり遅延時間を設定します。
- ③ USM0LPHのBRKMDは(bit6, 5)、ステッピングモータモードで使用し、デバッグ使用時のブレイクモード時の動作を設定します。超音波モータモード時は、BRKMDは0で使用してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F84	0000 0000	R/W	USM0LPL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F85	L00L LL00	R/W	USM0LPH	-	BRKMD		-	-	-	BIT1	BIT0



LOW期間 = (LOW期間10ビット設定値) × カウントクロック周期

※ カウントクロック周期 = USM0CTLのbit3, bit2で選択されたカウントクロックの1周期

※ LOW期間10ビット設定値 = USM0LPHのbit1～bit0を上位2ビットとし、USM0LPLのbit7～bit0を下位8ビットとする10ビット値

Bit6, 5のBRKMDを設定することで、デバッグ使用時のブレイク時に、モータ出力信号を以下のように制御できます。

モード	BRKMD	Break時の動作
0	00	動作を継続
1	01	現在のステップの終了で回路停止 出力は停止時の状態
2	10	回路停止、出力はALL0
3	11	回路停止、出力は停止時の状態

周期設定レジスタバッファリロードタイミングについては、「3-26-5-2 周期設定レジスタ、LOW期間設定レジスタリロードタイミング」を参照してください。

このレジスタの使用方法については、「3-26-7 超音波モータモード動作の具体例」「3-26-8 ステッピングモータモード動作の具体例」を参照してください。

3-26-4-5 出力波形設定レジスタ(USM0PSF)

①出力する波形を制御するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F86	0000 L000	R/W	USM0PSF	TSTA	PWMMD	OUTMD		-	NPT		

TSTA(ビット7):テストモード設定ビット

このビットは0で使用してください。

PWMMD(ビット6):PWM波形重畳制御ビット

このビットが1の時、USM0出力信号に、タイマ3上位PWM出力波形がAND出力されます。

このビットが0の時、USM0出力信号に、タイマ3上位PWM出力波形は影響を与えません。

※超音波モータモード時、このビットは0で使用してください。

OUTMD(ビット5、4):出力波形指定

2ビットにより出力波形を指定します。

超音波モータモード時は、モード0を選択してください。

ステッピングモータモード時は、モード0、1、2のいずれかを選択してください。

モード	OUTMD	出力波形	超音波モータ	ステッピングモータ
0	00	超音波用4相波形/1相励磁	○	○
1	01	1-2相励磁	×	○
2	10	2相励磁	×	○
3	11	—	×	×

NPT(ビット2、1、0):出力ポート数指定

3ビットにより波形出力するポート数を指定します。

超音波モータモード、ステッピングモータモード時ともに、NPT(ビット2、1、0)=(011)を設定してください。

USM0

3-26-4-6 PLL制御レジスタ(USMPLL)

- ①超音波モータモード用PLL発振器を制御するレジスタです。
- ②ステッピングモータモード時は、このレジスタは00hで使用してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F88	0L00 0000	R/W	USMPLL	TSTB	-	SELREF			FRQSEL	VC3	PLLON

TSTB(ビット7):テストモード設定ビット

このビットは0で使用してください。

SELREF(ビット5, 4, 3):OSC1クロック選択ビット

CF1, CF2端子に接続しているOSC1用の発振子周波数により、このビットを設定してください。

SELREF	OSC1周波数
000 or 001	2MHz
010	4MHz
011	6MHz
100	8MHz
101	10MHz
110	12MHz

FRQSEL(ビット2):40MHz/48MHz選択ビット

このビットが0の時、PLL発振周波数は40MHzになります。

このビットが1の時、PLL発振周波数は48MHzになります。

VC3(ビット1):電源電圧選択ビット

マイコンの電源電圧により、このビットを設定してください。

電源電圧5V系の場合、このビットを0に設定してください。

電源電圧3V系の場合、このビットを1に設定してください。

PLLON(ビット0):PLL発振器動作制御ビット

このビットが0の時、PLL発振器は動作を停止します。

このビットが1の時、PLL発振器は動作を開始します。

3-26-5 バッファレジスタリロードタイミング

3-26-5-1 PHASE数設定レジスタリロードタイミング

PHASE数カウンタと、PHASE数バッファレジスタ値が一致し、かつ、周期カウンタと周期バッファレジスタが一致し、周期カウンタが1にリセットされるタイミングで、PHASE数カウンタが0にリセットされ、PHASE数設定レジスタ値がPHASE数バッファレジスタにリロードされます。

PHASE数バッファレジスタ値が0の時、PHASE数カウンタはフリーラン状態(00h→ F Fhまでのカウントアップを繰り返す)となり、PHASE数バッファレジスタのリロードは、行われません。

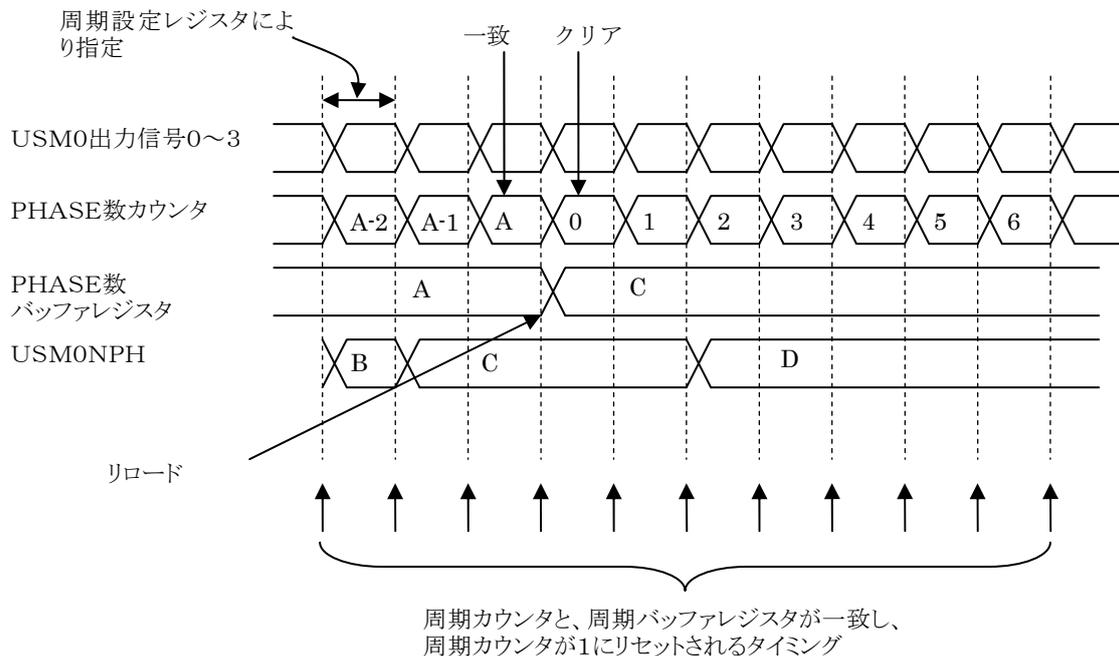


図3-26-2 PHASE数設定レジスタバッファリロードタイミング

3-26-5-2 周期設定レジスタ、LOW期間設定レジスタリロードタイミング

①超音波モータモード時

周期設定バッファレジスタ、LOW期間設定バッファレジスタは、周期カウンタと周期設定バッファレジスタが一致し、周期カウンタが1にリセットされるタイミングでリロードされます。

ただし、周期設定レジスタ、LOW期間設定レジスタに書き込むタイミングが、このリロードタイミングからカウントクロック2周期より前でないと、書き込んだ値はリロードに反映されません。

レジスタに書き込んでから、リロードタイミングまでの時間がカウントクロック1周期以内の場合、レジスタに書き込んだ値はリロードに反映されず、次々回のリロードタイミングに反映されます。

レジスタに書き込んでから、リロードタイミングまでの時間がカウントクロック2周期～1周期の間の場合、書き込んだ値がリロードに反映されるか、次々回のリロード時に反映されるかは、カウントクロックとシステムクロックの非同期性により、不確定です。

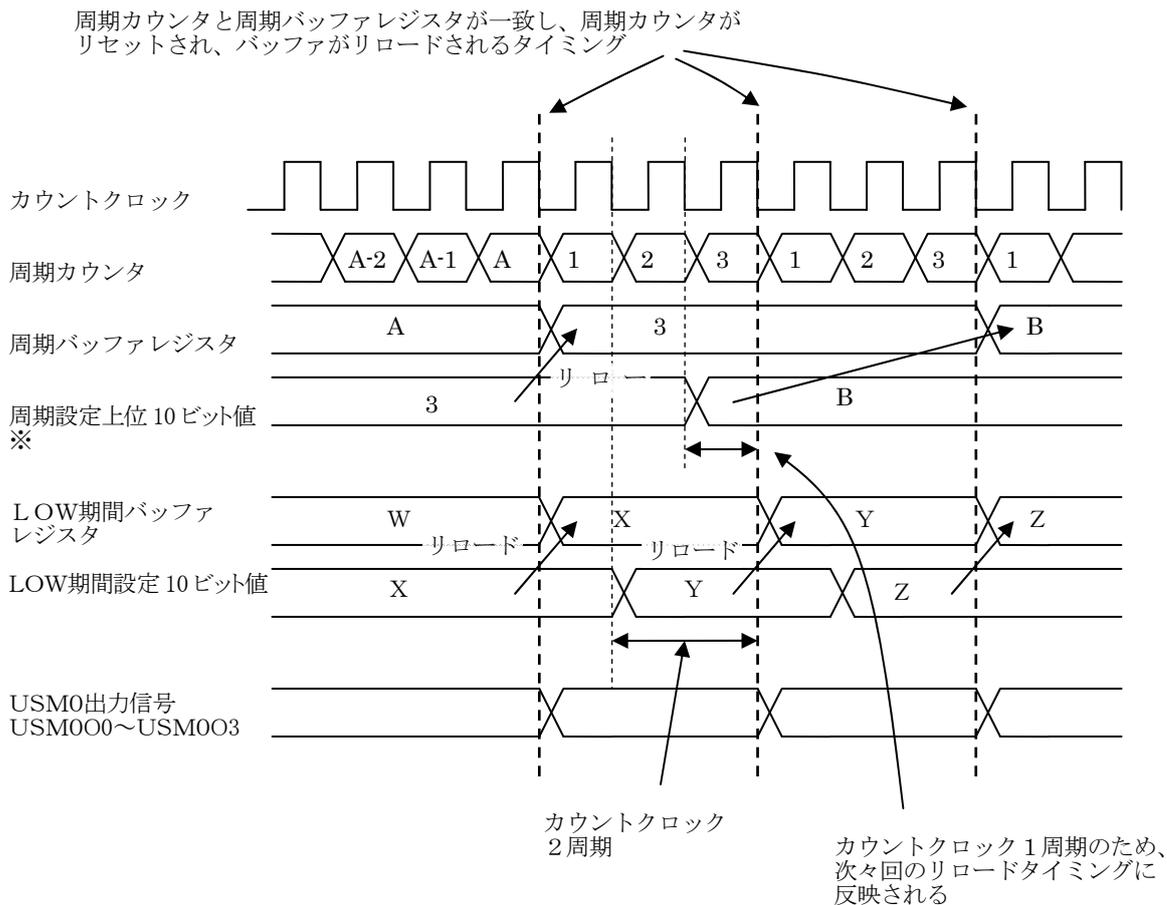


図3-26-3 超音波モータモード時リロードタイミング

※超音波モータモード時周期設定値は12ビットであるが、周期カウンタとコンペアが行われるのは、上位10ビットです。上図は、設定値12ビットのうち、下位2ビットを00とした時のタイミング図です。下位2ビットを00以外に設定した場合は、その設定値により、4相の特定のPHASEの、コンペア一致後のリロードおよび出力波形変化のタイミングが、1カウントクロック周期延長されます。
(「3-26-7-3 周期設定レジスタ値と4相パルス波形」参照)

②ステッピングモータモード時 (USMONPH=0設定時)

ステッピングモータモード時で、PHASE数設定レジスタに0を設定している場合のリロードタイミングは、①の超音波モータモード時と同じで、周期バッファレジスタと、周期設定(10ビット値)が一致したタイミングでリロードが行われます。この時、超音波モータモードと同様に、リロードタイミングの2カウントクロック以前に更新されたデータが反映されます。

③ステッピングモータモード時 (USMONPH=0以外を設定時)

ステッピングモータモード時で、PHASE数設定レジスタに0以外を設定している場合は、PHASE数カウンタとPHASE数バッファレジスタ値が一致し、かつ、周期カウンタと、周期バッファレジスタ値が一致したタイミングで、周期設定レジスタ・LOW期間設定レジスタ、PHASE数設定レジスタ値がリロードされます。

この時、超音波モータモードと同様に、リロードタイミングの2カウントクロック以前に更新されたデータが反映されます。

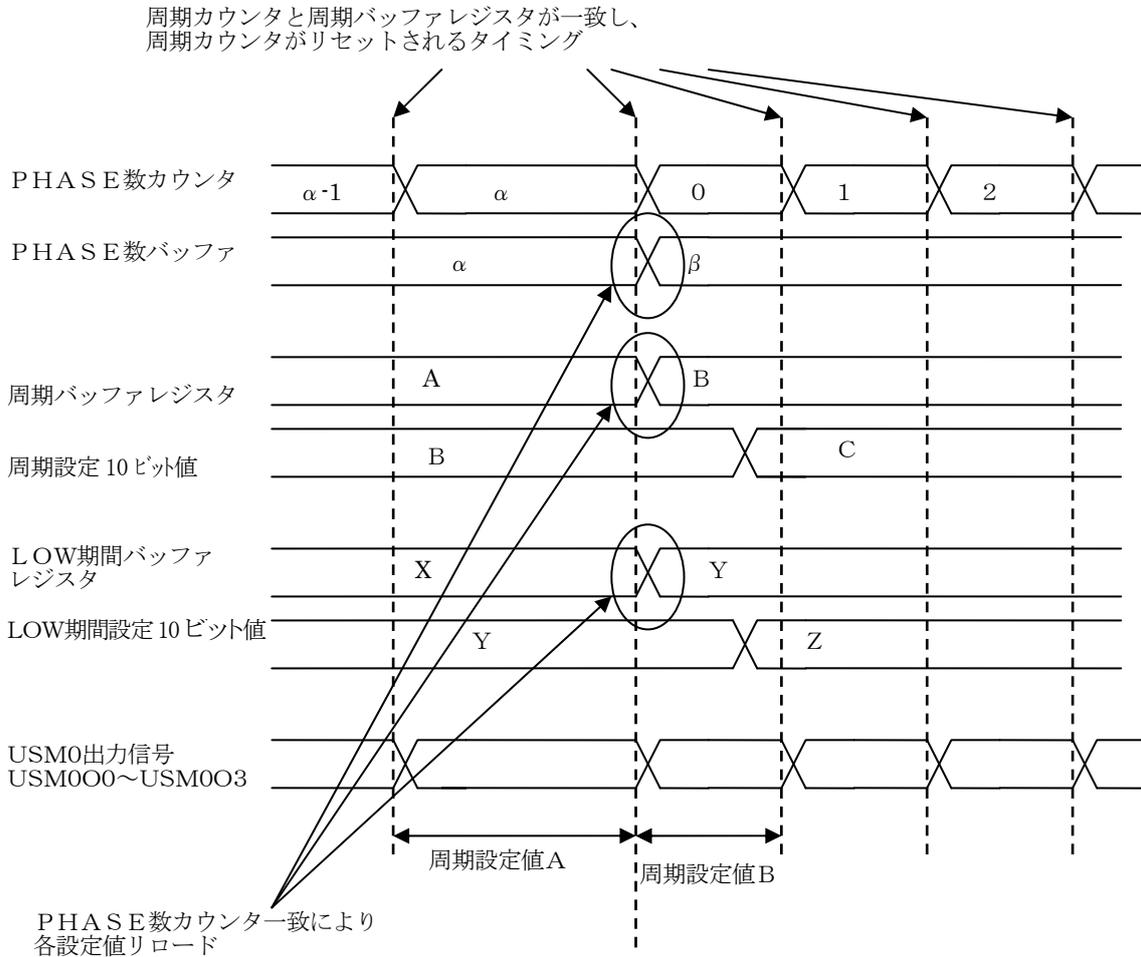


図3-26-4 ステッピングモータモード時リロードタイミング

3-26-6 USM0ポート設定

①USM000 (PA0)

レジスタデータ				ポートPA0の状態
PAFSA<0>	PAFSB<0>	PALAT<0>	PADDR<0>	出力
1	0	1	0	USM000出力(CMOS反転)
1	0	0	1	USM000出力(CMOS)
1	1	1	0	USM000出力(CMOS変化SLOW)
1	1	0	1	USM000出力(Nchオープンドレイン)

②USM001 (PA1)

レジスタデータ				ポートPA1の状態
PAFSA<1>	PAFSB<1>	PALAT<1>	PADDR<1>	出力
1	0	1	0	USM001出力(CMOS反転)
1	0	0	1	USM001出力(CMOS)
1	1	1	0	USM001出力(CMOS変化SLOW)
1	1	0	1	USM001出力(Nchオープンドレイン)

③USM002 (PA2)

レジスタデータ				ポートPA2の状態
PAFSA<2>	PAFSB<2>	PALAT<2>	PADDR<2>	出力
1	0	1	0	USM002出力(CMOS反転)
1	0	0	1	USM002出力(CMOS)
1	1	1	0	USM002出力(CMOS変化SLOW)
1	1	0	1	USM002出力(Nchオープンドレイン)

④USM003 (PA3)

レジスタデータ				ポートPA3の状態
PAFSA<3>	PAFSB<3>	PALAT<3>	PADDR<3>	出力
1	0	1	0	USM003出力(CMOS反転)
1	0	0	1	USM003出力(CMOS)
1	1	1	0	USM003出力(CMOS変化SLOW)
1	1	0	1	USM003出力(Nchオープンドレイン)

⑤FILT (PC2)

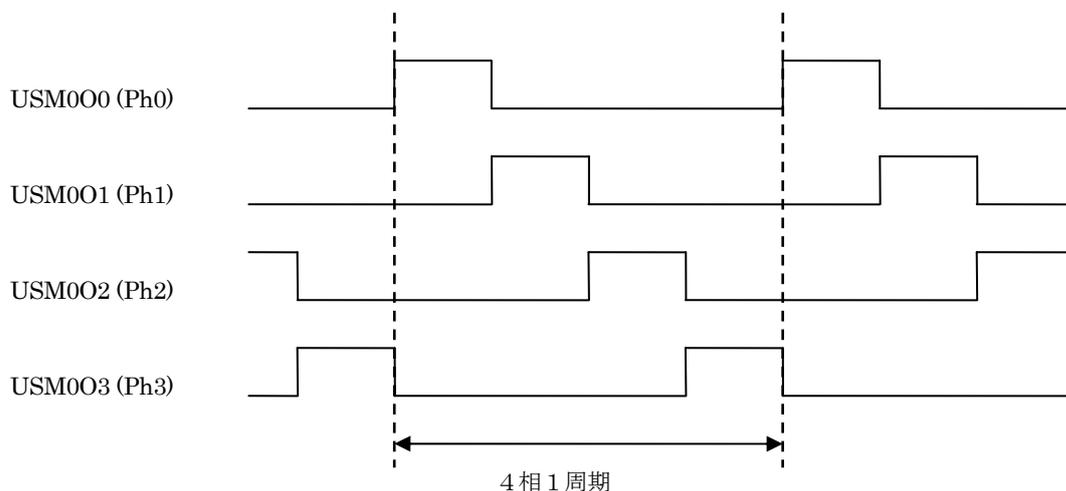
レジスタデータ		ポートPC2の状態		
PCLAT<2>	PCDDR<2>	端子データの読み込み	兼用機能FILT	出力
0	0	可能	可能	オープン
1	0	可能	—	内蔵プルアップ
0	1	可能	—	LOW
1	1	可能	—	HIGH

※超音波モータモードで使用する場合、PCLAT<2>、PCDDR<2>を0にし、外付けフィルタ回路を接続する必要があります。

3-26-7 超音波モータモード動作の具体例

3-26-7-1 超音波モータモードプログラム例

- ① USM0出力ポートPA0～PA3の設定を行う。
- ② OSC1発振子周波数により、PLL制御レジスタUSMPLLのSELREF (bit5,4,3)の設定を行う。
- ③ 電源電圧により、PLL制御レジスタUSMPLLのVC3 (bit1)の設定を行う。
- ④ PLL制御レジスタUSMPLLのFRQSEL (bit2)の設定により、PLL出力周波数を選択する。
- ⑤ PLL制御レジスタUSMPLLのPLLON (bit0)に1を書き込む。
- ⑥ PLLの発振が安定するまでWAITする。
- ⑦ 出力波形設定レジスタUSM0PSFに03hを書き込む。
- ⑧ USM0制御レジスタUSM0CTLのCKSL (bit3, 2)=(1, 0)を書き込み、USM0のカウンタクロックをPLLクロックとする。
- ⑨ 周期設定レジスタに、4相パルスPh0～Ph3の1周期の時間を設定する。周期設定レジスタ上位USM0TWHのDIR2 (bit7)、STP (bit6)は0で使用してください。また、周期設定値は40以上の値を設定してください。



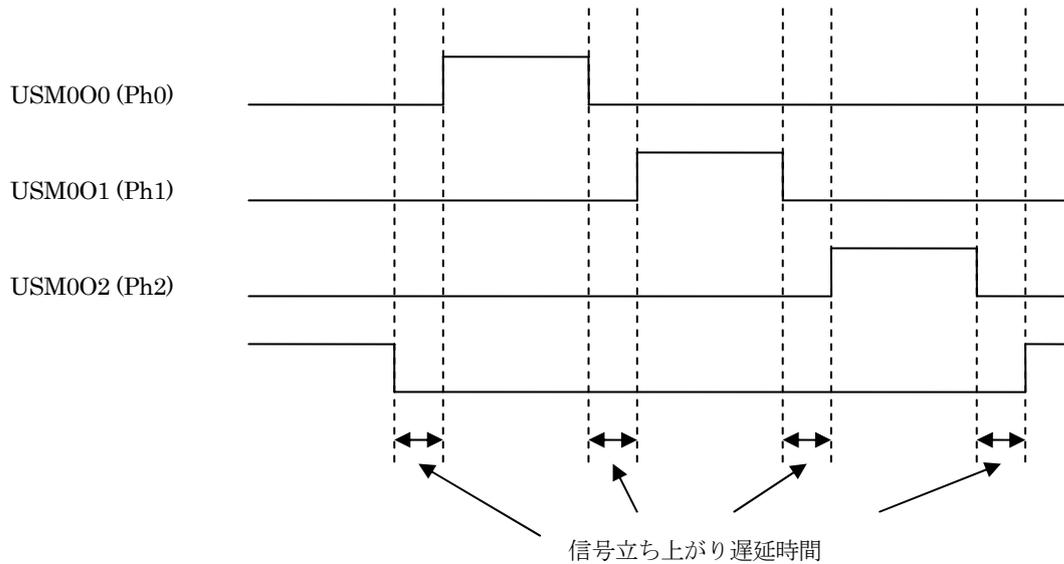
上図4相1周期の時間は、周期設定レジスタにより以下のように設定されます。

$$4\text{相}1\text{周期} = (\text{周期設定}12\text{ビット値}) \times \text{カウンタクロック周期}$$

※カウンタクロック周期 = USM0CTLのbit3, bit2で選択されたカウンタクロックの1周期
 ※周期設定12ビット値 = USM0TWHのbit3～bit0を上位4ビットとし、USM0TWLのbit7～bit0を下位8ビットとする12ビット値

- ⑩ LOW設定レジスタに、Ph0～Ph3の信号立ち上がり遅延時間を設定する。LOW期間設定レジスタ上位USM0LPHのBRKMD (bit6,5)は0で使用してください。

USM0



上図信号立ち上がり遅延時間は、LOW期間設定レジスタにより以下のように設定されます。

信号立ち上がり遅延時間 = (LOW期間設定10ビット値) × カウントクロック周期

※カウントクロック周期 = USM0CTL bit3, bit2で選択されたカウントクロックの1周期

※LOW期間設定10ビット値 = USM0LPHのbit1～bit0を上位2ビットとし、USM0LPLのbit7～bit0を下位8ビットとする10ビット値

- ⑪ 回転方向により、USM0制御レジスタUSM0CTLのDIR1 (bit1)を設定する。
DIR1 = 0の時正回転
DIR1 = 1の時逆回転
- ⑫ USM0制御レジスタUSM0CTLのRUN (bit0)に1を書き込むことで、USM0モジュールが動作を開始し、USM000～USM003に出力が開始される。
- ⑬ 動作中に周期、信号立ち上がり遅延時間を変更する場合、周期設定レジスタ・LOW期間設定時間に値を書き込む。ただし、動作中に値を書き込む場合は、周期設定レジスタ、LOW期間設定レジスタともにワードアクセスにより書き換えてください。
- ⑭ 動作中に回転方向を変える場合、USM0制御レジスタUSM0CTLのDIR1 (bit1)を書き換えてください。
- ⑮ 動作を停止する場合、USM0制御レジスタUSM0CTLのRUN (bit0)に0を書き込んでください。カウントクロック2周期以内にUSM0モジュールは動作を停止し、USM0出力USM000～USM003にはLOWレベルが出力されます。

3-26-7-2 DIR1ビットによる回転方向指定

動作開始時、USM0制御レジスタUSM0CTLのDIR1(bit1)を設定することにより、回転方向を指定できます。

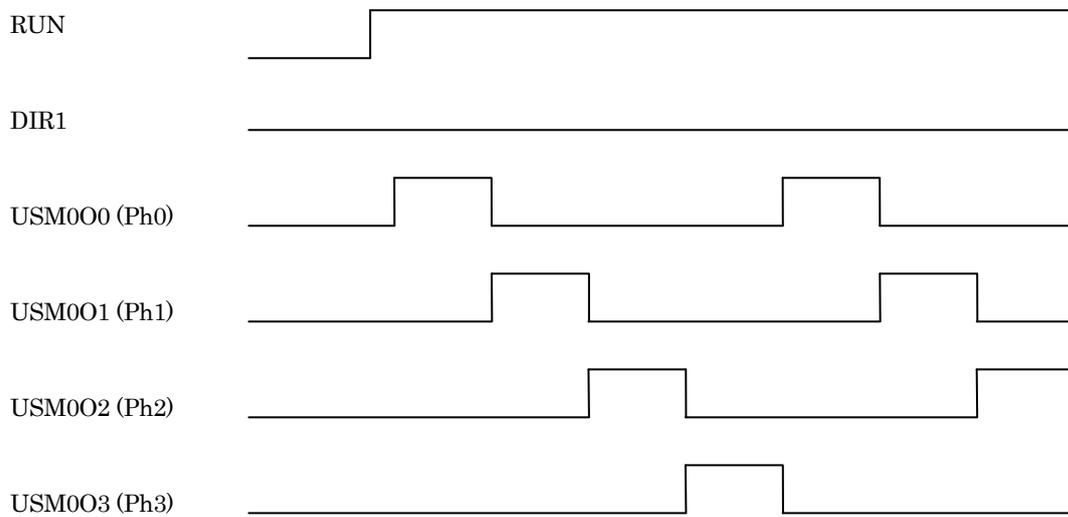


図3-26-5 動作開始後波形(正回転)

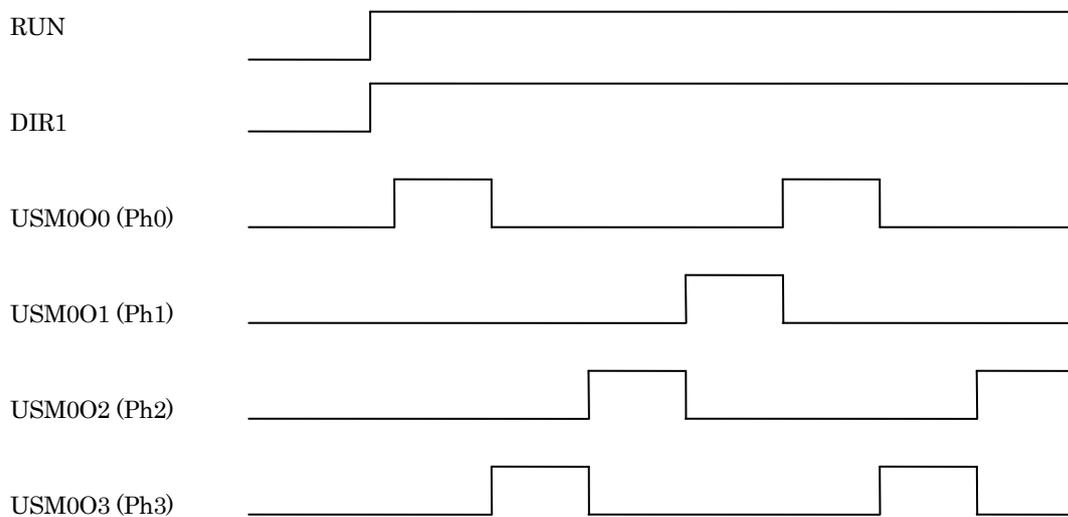


図3-26-6 動作開始後波形(逆回転)

また、動作中にDIR1ビットを書き換えることで、回転方向を変えることが可能です。動作中にDIR1ビットを書き換えた場合、書き換え命令終了後、カウントクロック2周期以内に、1～2カウントクロック周期停止した後、反転動作します。

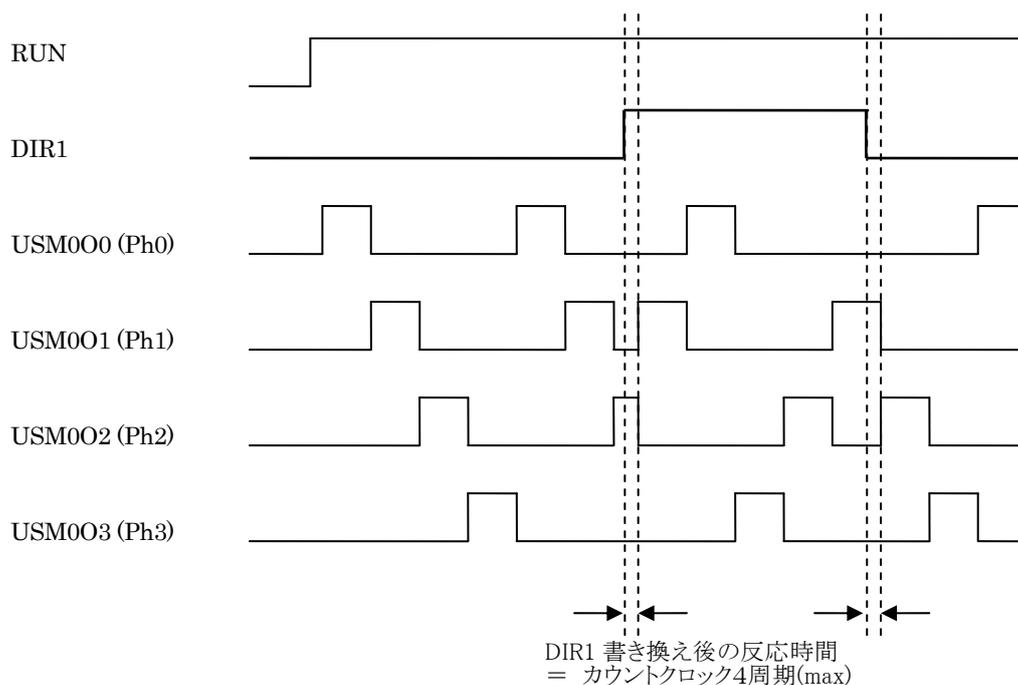


図 3-26-7 DIR1による反転動作

3-26-7-3 周期設定レジスタ値と4相パルス波形

周期設定12ビット値により、4相パルス波形の1周期の時間が設定されます。周期設定12ビット値の、上位10ビット値をWとし、 $T_w, T_{(w+1)}$ を以下の式のように定義すると、USM000(Ph0)~USM003(Ph3)の各パルス幅は以下のようになります。

$$T_w = W \times \text{カウントクロック周期}$$

$$T_{(w+1)} = (W + 1) \times \text{カウントクロック周期}$$

周期設定 下位2ビット値	USM000パルス幅 (Ph0)	USM001パルス幅 (Ph1)	USM002パルス幅 (Ph2)	USM003パルス幅 (Ph3)
00	T_w	T_w	T_w	T_w
01	T_w	$T_{(w+1)}$	T_w	T_w
10	$T_{(w+1)}$	T_w	$T_{(w+1)}$	T_w
11	$T_{(w+1)}$	$T_{(w+1)}$	$T_{(w+1)}$	T_w

3-26-8 ステッピングモータモード動作の具体例

3-26-8-1 ステッピングモータモードプログラム例

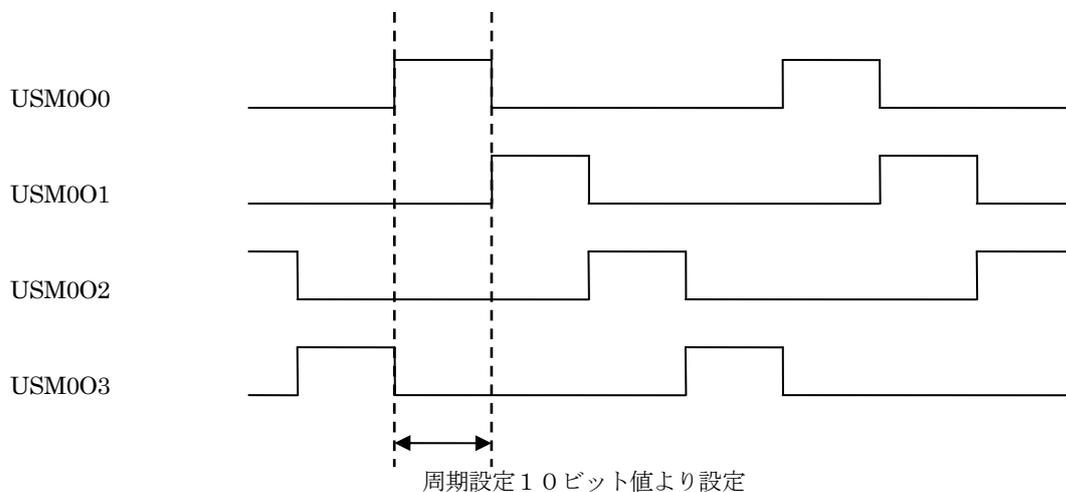
- ① USM0出力ポートPA0～PA3の設定を行う。
- ② PLL制御レジスタUSMPLLCは00hに設定する。
- ③ カウントクロックに、タイマ3上位一致信号を使用する場合、タイマ3の設定を行い、タイマ3を動作状態にする。
- ④ 出力波形設定レジスタUSM0PSFのNPT(bit2～0)に03hを書き込む。
- ⑤ 出力波形設定レジスタUSM0PSFのOUTMD(bit5,4)を設定する。

モード	OUTMD	出力波形
0	00	1相励磁
1	01	1-2相励磁
2	10	2相励磁

- ⑥ USM0制御レジスタUSM0CTLのCKSL(bit3,2)を設定し、USM0のカウントクロックを選択する。

モード	CKSL	周期カウンタのカウントクロック
0	00	システムクロック
1	01	タイマ3上位一致信号
3	11	OSC0

- ⑦ 周期設定レジスタに、1ステップの切り替え時間を10ビット値で設定する。



上図1ステップの切り替え時間は、周期設定レジスタにより以下のように設定されます。

切り替え時間 = (周期設定10ビット値) × カウントクロック周期

※カウントクロック周期 = USM0CTLのbit3, bit2で選択されたカウントクロックの1周期

※周期設定10ビット値 = USM0TWHのbit3～bit0を上位4ビットとし、USM0TWLのbit7～bit2を下位6ビットとする10ビット値

※USM0TWLのbit1, bit0は0に設定してください。

USM0

USM0TWHのDIR2(bit7)は、回転方向によって以下のように設定してください。

DIR2=0の時正回転

DIR2=1の時逆回転

USM0TWHのSTP(bit6)は、0に設定してください。

- ⑧ LOW設定レジスタに、Ph0～Ph3の信号立ち上がり遅延時間を設定する。LOW期間設定レジスタ上位USM0LPHのBRKMD(bit6,5)によりデバッグ使用時のブレイクモード時動作を指定できます。

モード	BRKMD	Break時の動作
0	00	動作を継続
1	01	現在のステップの終了で回路停止 出力は停止時の状態
2	10	回路停止、出力はALLO
3	11	回路停止、出力は停止時の状態

- ⑨ PHASE数設定レジスタUSM0NPHに、値を設定する。ステップ数指定機能を使用しない場合、USM0NPHに0を設定する。
- ⑩ USM0制御レジスタUSM0CTLのRUN(bit0)に1を書き込むことで、USM0モジュールが動作を開始し、USM0O0～USM0O3に出力が開始される。
- ⑪ 動作中に周期、信号立ち上がり遅延時間、回転方向を変更する場合、周期設定レジスタ・LOW期間設定時間に値を書き込む。ただし、動作中に値を書き込む場合は、周期設定レジスタ、LOW期間設定レジスタともにワードアクセスにより書き換えてください。(「3-26-9 レジスタ書き込み時の注意点」参照)
- ⑫ 途中でモータを停止させる場合、USM0TWHのSTP(bit6)に1を書き込んでください。再動作させる場合は、STPをクリアしてください。
- ⑬ モジュール動作を停止する場合、USM0制御レジスタUSM0CTLのRUN(bit0)に0を書き込んでください。この時同時に、USM0CTLのCKSL(bit3,2)に00を設定し、カウントクロックをシステムクロックに設定してください。2Tcyc以内にUSM0モジュールは動作を停止し、USM0出力のUSM0O0～USM0O3にはLOWレベルが出力されます。

3-26-8-2 ステッピングモータモード出力波形

①モード0 1相励磁

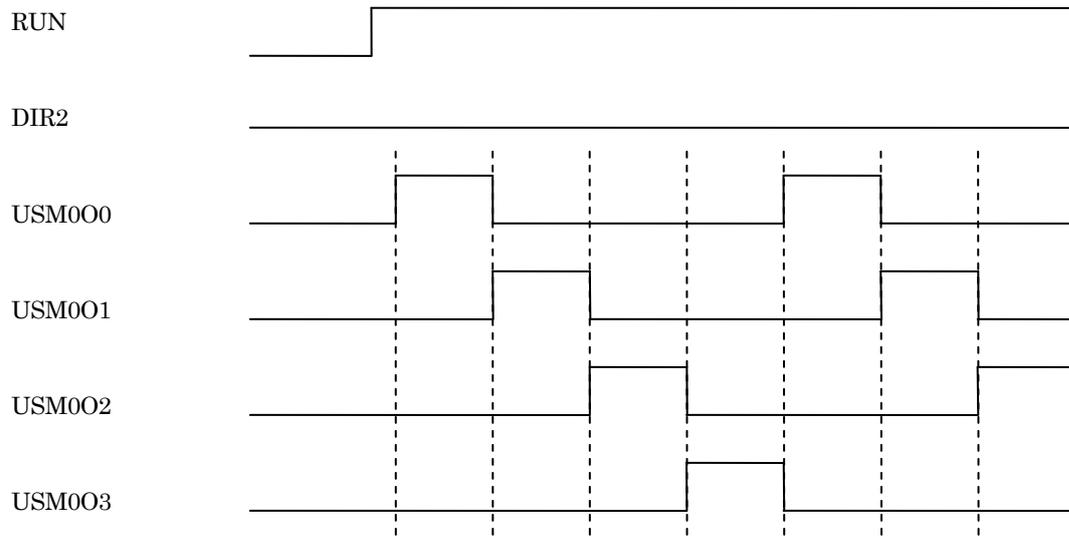


図3-26-8 モード0動作開始後波形(正回転)

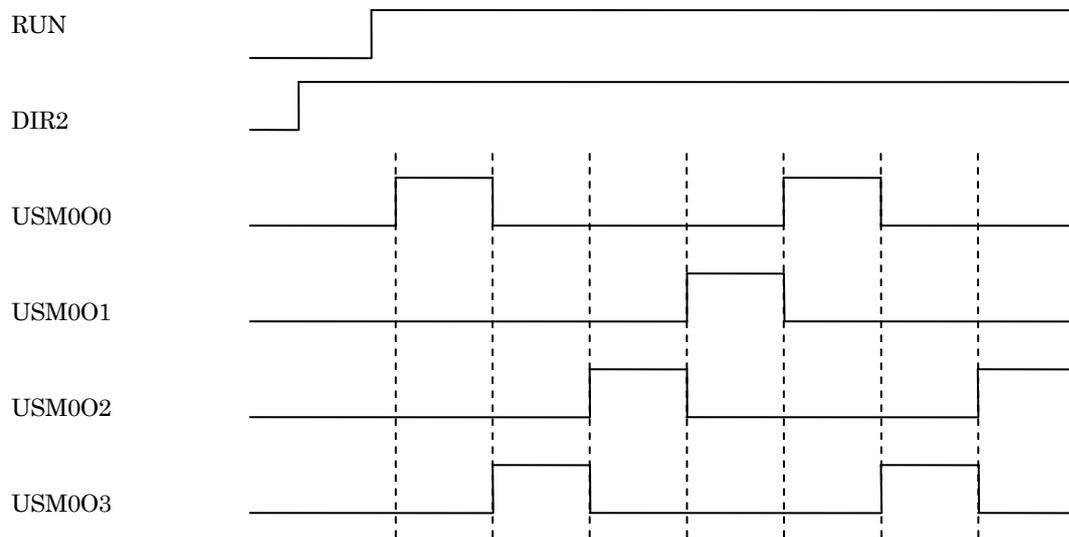


図3-26-9 モード0動作開始後波形(逆回転)

USM0

② モード1 1-2相励磁

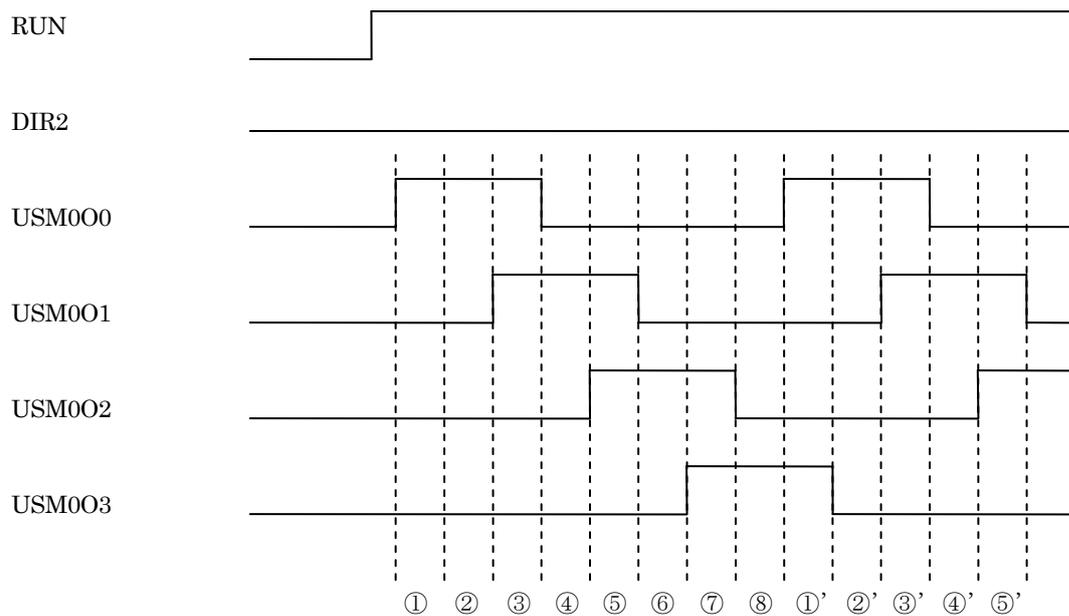


図 3-26-10 モード1動作開始後波形(正回転)

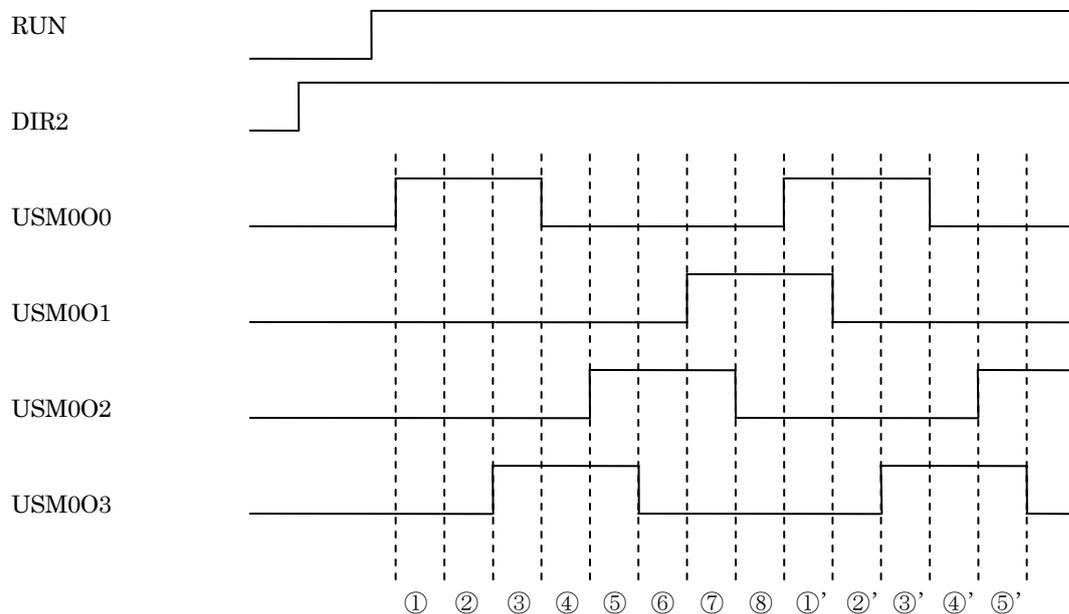


図 3-26-11 モード1動作開始後波形(逆回転)

上図正回転、逆回転ともに、①時の波形と①'波形が異なります。これは、動作開始直後の1回目のみの現象であり、1サイクル後の①'時点以降は正常に波形出力されます。

③モード2 2相励磁

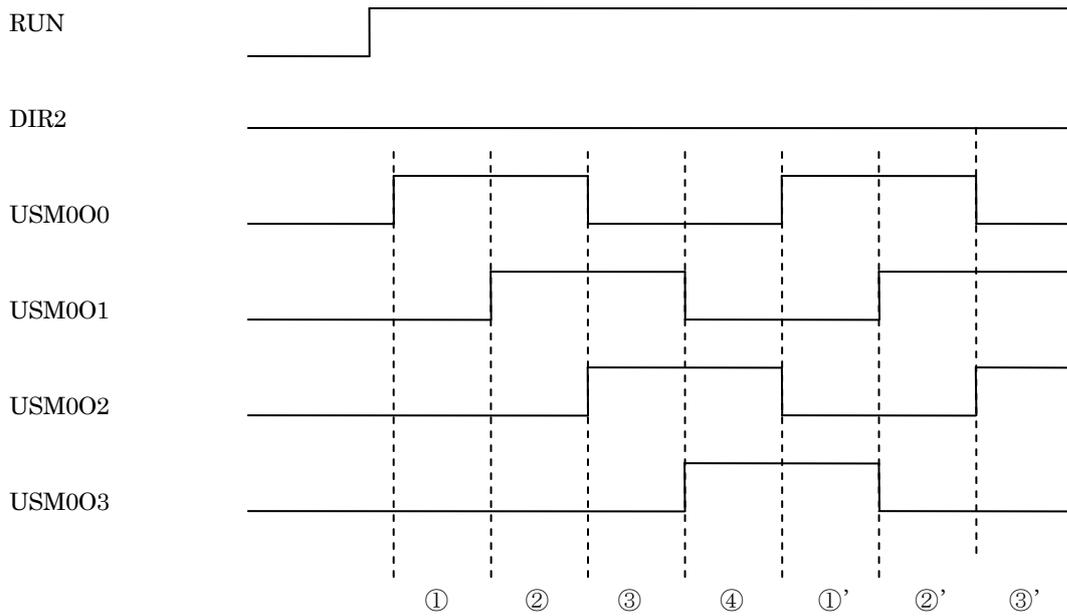


図 3-26-12 モード2動作開始後波形(正回転)

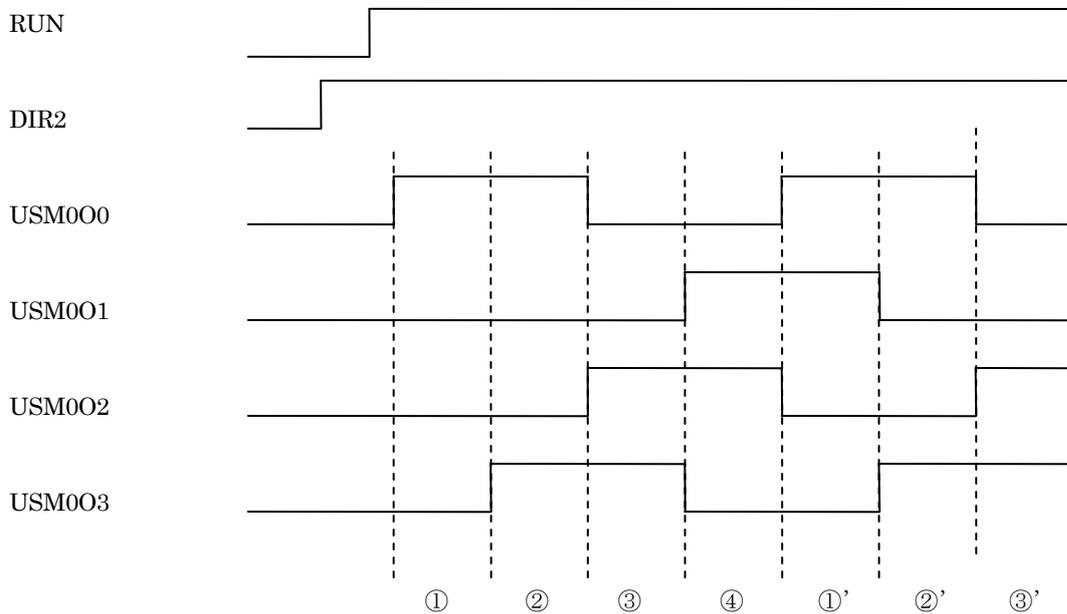


図 3-26-13 モード2動作開始後波形(逆回転)

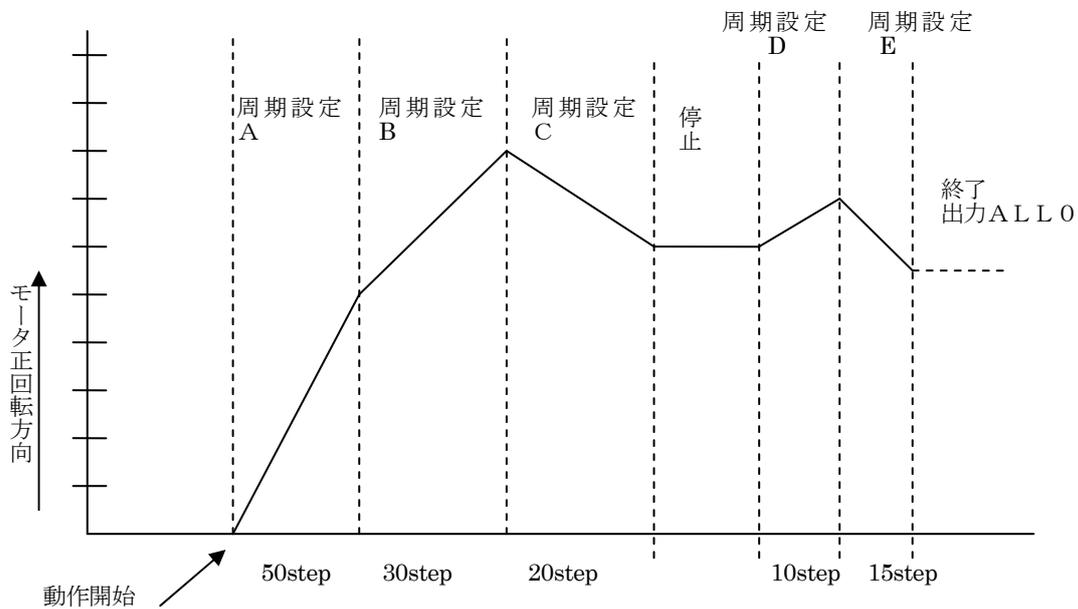
上図正回転、逆回転ともに、①時の波形と①'波形が異なります。これは、動作開始直後の1回目のみの現象であり、1サイクル後の①'時点以降は正常に波形出力されます。

3-26-8-3 PHASE数設定レジスタUSMONPHを使用した時の動作

USMONPHレジスタと割り込みを使用することで、次に周期設定レジスタ、LOW期間設定レジスタがリロードされるまでの、ステップ数を制御できます。

例として、以下のような制御を行う場合の方法を説明します。

- ①動作開始後、1ステップ幅‘A’で50ステップ進む
- ②次の30ステップは、1ステップ幅‘B’で進む
- ③次の20ステップは、1ステップ幅‘C’で逆回転する
- ④上記③の20ステップ終了で、停止（出力維持）
- ⑤次の10ステップは、1ステップ幅‘D’で正回転する
- ⑥次の15ステップは、1ステップ幅‘E’で逆回転する
- ⑦15ステップ終了後、モジュールを停止し、出力をALL0とする



上図動作を行うために、USMONPHレジスタと割り込みを使用します。

- 1.ポート、各レジスタの設定、USM0の割り込み許可設定を行う
- 2.USMONPHに49を設定する
(USMONPH+1ステップ進むため)
- 3.周期設定レジスタに、周期A、DIR2=0、STP=0を設定
- 4.USM0動作開始させる
- 5.USMONPHに、次のステップ数29を書き込む
- 6.周期設定レジスタに、周期B、DIR2=0、STP=0を設定。
- 7.周期Aで50ステップ終了後に、割り込みが発生するので、それまでWAITする
(USMONPHの29,周期設定Bがリロードされる)
- 8.USMONPHに、次のステップ数19を書き込む
- 9.周期設定レジスタに、周期B、DIR2=1、STP=0を設定

10. 周期Bで30ステップ終了後に、割り込みが発生するので、それまでWAITする
(USM0NPHの19,周期設定Cがリードされる)
11. 周期設定レジスタにSTP=1を設定
12. 周期Cで20ステップ終了後に、STP=1設定により、波形出力が停止する(出力ポート維持)
13. 波形出力が停止するタイミングで、USM0CTLのSTPFLG(bit7)がセットされ、割り込みが発生するので、それまでWAITする
14. 停止状態を解除し、再動作させたいタイミングになるまでWAITする
15. USM0NPHに9を設定する
16. 周期設定レジスタに、周期D、DIR2=0、STP=0を設定する
17. 周期設定レジスタにSTP=0を設定後、4カウントクロック周期以内にリロードが発生し、波形出力が再動作を開始する
18. 再動作開始後、NPHFLGがセットされ割り込みが発生するので、それまでWAITする
19. USM0NPHに14を設定する
20. 周期設定レジスタに、周期E、DIR2=1、STP=0を設定する
21. 周期Dで10ステップ終了後に、割り込みが発生するので、それまでWAITする
22. 周期設定レジスタにSTP=1を設定
23. 周期Eで15ステップ終了後に、STP=1設定により、波形出力が停止する(出力ポート維持)
24. 波形出力が停止するタイミングで、USM0CTLのSTPFLG(bit7)がセットされ、割り込みが発生するので、それまでWAITする
25. USM0制御レジスタUSM0CTLのRUN(bit0)に0、CKSL(bit3, 2)に00を設定する
26. 2T_{cyc}以内にUSM0モジュールは動作を停止し、USM0出力USM0O0~USM0O3にLOWレベルが出力される

3-26-9 レジスタ書き込み時の注意点

周期設定レジスタ(USM0TWL, USM0TWH)、LOW期間設定レジスタ(USM0LPL, USM0LPH)をUSM0動作中(RUN=1時)に書き換える場合は、必ずWORDアクセス命令により行ってください。

①アセンブラ言語使用の場合

MOV.W命令により、書込みを行ってください。

②C言語使用の場合、次のようにアクセスしてください。

```
__SFRW(USM0TWL) = xxxx
```

```
__SFRW(USM0LPL) = xxxx
```


4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズには外部入力による割り込み要因と、内部ブロックの動作結果から生じる割り込み要因があります。

割り込み個別許可フラグと一括許可フラグでそれぞれの割り込みの許可・禁止が設定できる割り込みベクタに対し、3レベルの割り込みレベルが設定可能です。

また、一括許可フラグに影響されない例外処理の割り込みが存在します。

4-1-2 機能

① 割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・CPUは周辺モジュールからの割り込み要求を受け付けると、割り込みレベル、優先順位割り込み許可状態を判断します。その結果、割り込みを受け付ける場合にはPCの値とPSWの値をスタックに退避し、あらかじめ決められているベクタアドレスに分岐します。その際、3サイクルかかります。
- ・割り込みルーチンからの復帰は、IRET命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

② 割り込み要求の許可受付制御

- ・最高レベルの割り込み以外は、IE(PSWのビット7)で割り込み要求受付の許可/禁止の制御ができます。

③ 多重割り込み制御

- ・割り込みレベル設定レジスタ(IL1L, IL1H, IL2L, IL2H)で3つの割り込みレベルが設定できます。
- ・割り込み処理中に同一レベルまたは下位レベルの割り込み要求があっても受け付けられません。
- ・現在の割り込み優先レベルはPSWのビット8～10に設定されています。

④ 割り込みの優先

- ・異なる優先レベルの割り込みが同時に発生した時は、優先レベルの高いものが優先されます。また、同じ優先レベルの割り込みが同時に発生した時は、割り込みベクタアドレスの小さいものが優先されます。

⑤ 割り込み受け付け禁止期間

- ・HOLD、HOLDX解除後の2T_{cyc}の期間割り込みは受け付けられません。
- ・HALT、HOLD、HOLDX命令の直前での割り込みは禁止されます。
- ・IRET命令と次の命令実行の間には割り込みは発生しません。

割り込み

⑥ 割り込みレベル制御

- ・ 割り込みレベル設定レジスタ(IL1L, IL1H, IL2L, IL2H)で、ベクタ単位で割り込みの許可／禁止の設定と3つの割り込み優先レベルの設定ができます。

⑦ 例外処理の割り込み

- ・ 例外割り込み制御レジスタ(EXCPL、EXCPH)で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。
- ・ 例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

⑧ 割り込みの許可や割り込みの優先レベルの指定を行うにはR14(PSW)と次に示す特殊機能レジスタを操作する必要があります。

- ・ R14、IL1L、IL1H、IL2L、IL2H、EXCPL、EXCPH

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	
7F08	0000 0000	R/W	EXCPL	CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE
7F09	LL00 L0L0	R/W	EXCPH	UART1_FLG	UART1_IE	UART0_FLG	UART0_IE	UART1_ITYPE	UART0_ITYPE	-	MOVEVEC

4-1-3 割り込み一覧

① 本シリーズの割り込み一覧

No.	ベクタ	割り込み(周辺機能)
1	08000H	ウォッチドッグタイマ(1)
2	08004H	ベースタイマ(2)
3	08008H	タイマ 0(2)
4	0800CH	INT0(1)
5	08010H	
6	08014H	INT1(1)
7	08018H	INT2(1)/タイマ 1(2)/UART2(4)
8	0801CH	INT3(1)/タイマ 2(4)/SMIIC0(1)
9	08020H	INT4(1)/タイマ 3(2)
10	08024H	INT5(1)/タイマ 4(1)/SIO1(2)
11	08028H	USM0(3)
12	0802CH	PWM0(1)
13	08030H	ADC(1)/タイマ 5(1)
14	08034H	INT6(1)
15	08038H	INT7(1)/SIO0(2)
16	0803CH	ポート 0(3)

()内の数字はモジュールにおける割り込み要因数

- ・ 優先レベル 3 > 2 > 1
- ・ 同一レベルではベクタアドレスの小さいものが優先される。

②本シリーズの例外処理割り込み一覧

No.	ベクタアドレス	割り込み(例外処理)
1	08080H	例外処理(5)

- ・()内の数字は割り込み要因数
- ・例外処理割り込みは、①のすべての周辺機能による割り込みよりも優先される

4-1-4 関連レジスタ

4-1-4-1 R14(PSW)

①CPUの状態を格納する16ビットのレジスタです。

②ビット7～10で割り込みの制御を行います。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 *このビットが1でないとすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。 *IE=1の時、IL2～IL0で指定されたレベルより高いレベルの割り込み要求が受け付けられます。
9	IL1	
10	IL2	
11	WS	例外割り込み制御レジスタの書き込み制御(0/1 : 禁止/許可)
12	N0	N3～N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタの番号がここに入ります。
13	N1	
14	N2	
15	N3	

(注) MUL・DIV・DIVLH・SDIV・SDIVLH 命令実行時のフラグ変化は以下のようになります。

- | | |
|-------------|---|
| Z8,Z16,P,S | … 演算結果のR0の値に影響を受け変化します |
| HC,OV,N0～N3 | … クリアされます |
| CY | … SDIV・SDIVLH 命令時は S フラグと同一値、それ以外の場合クリア |

割り込み

4-1-4-2 割り込みレベル設定レジスタ1L

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	

IRQ3(ビット7、6):ベクタアドレス800CH割り込みレベル設定

上記2ビットでベクタアドレス800CHの割り込みレベルを設定します。

IRQ3	割り込みレベル(800CH)
11	3
10	2
01	1
00	割り込み禁止

T0(ビット5、4):ベクタアドレス8008H割り込みレベル設定

上記2ビットでベクタアドレス8008Hの割り込みレベルを設定します。

T0	割り込みレベル(8008H)
11	3
10	2
01	1
00	割り込み禁止

BT(ビット3、2):ベクタアドレス8004H割り込みレベル設定

上記2ビットでベクタアドレス8004Hの割り込みレベルを設定します。

BT	割り込みレベル(8004H)
11	3
10	2
01	1
00	割り込み禁止

WDT(ビット1、0):ベクタアドレス8000H割り込みレベル設定

上記2ビットでベクタアドレス8000Hの割り込みレベルを設定します。

WDT	割り込みレベル(8000H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-3 割り込みレベル設定レジスタ1H

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	

IRQ7(ビット7、6):ベクタアドレス801CH割り込みレベル設定

上記2ビットでベクタアドレス801CHの割り込みレベルを設定します。

IRQ7	割り込みレベル(801CH)
11	3
10	2
01	1
00	割り込み禁止

IRQ6(ビット5、4):ベクタアドレス8018H割り込みレベル設定

上記2ビットでベクタアドレス8018Hの割り込みレベルを設定します。

IRQ6	割り込みレベル(8018H)
11	3
10	2
01	1
00	割り込み禁止

IRQ5(ビット3、2):ベクタアドレス8014H割り込みレベル設定

上記2ビットでベクタアドレス8014Hの割り込みレベルを設定します。

IRQ5	割り込みレベル(8014H)
11	3
10	2
01	1
00	割り込み禁止

IRQ4(ビット1、0):ベクタアドレス8010H割り込みレベル設定

上記2ビットでベクタアドレス8010Hの割り込みレベルを設定します。

IRQ4	割り込みレベル(8010H)
11	3
10	2
01	1
00	割り込み禁止

割り込み

4-1-4-4 割り込みレベル設定レジスタ2L

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	

IRQB(ビット7、6) : ベクタアドレス802CH割り込みレベル設定

上記2ビットでベクタアドレス802CHの割り込みレベルを設定します。

IRQB	割り込みレベル(802CH)
11	3
10	2
01	1
00	割り込み禁止

IRQA(ビット5、4) : ベクタアドレス8028H割り込みレベル設定

上記2ビットでベクタアドレス8028Hの割り込みレベルを設定します。

IRQA	割り込みレベル(8028H)
11	3
10	2
01	1
00	割り込み禁止

IRQ9(ビット3、2) : ベクタアドレス8024H割り込みレベル設定

上記2ビットでベクタアドレス8024Hの割り込みレベルを設定します。

IRQ9	割り込みレベル(8024H)
11	3
10	2
01	1
00	割り込み禁止

IRQ8(ビット1、0) : ベクタアドレス8020H割り込みレベル設定

上記2ビットでベクタアドレス8020Hの割り込みレベルを設定します。

IRQ8	割り込みレベル(8020H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-5 割り込みレベル設定レジスタ2H

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	

IRQF (ビット7、6) : ベクタアドレス803CH割り込みレベル設定

上記2ビットでベクタアドレス803CHの割り込みレベルを設定します。

IRQF	割り込みレベル(803CH)
11	3
10	2
01	1
00	割り込み禁止

IRQE (ビット5、4) : ベクタアドレス8038H割り込みレベル設定

上記2ビットでベクタアドレス8038Hの割り込みレベルを設定します。

IRQE	割り込みレベル(8038H)
11	3
10	2
01	1
00	割り込み禁止

IRQD (ビット3、2) : ベクタアドレス8034H割り込みレベル設定

上記2ビットでベクタアドレス8034Hの割り込みレベルを設定します。

IRQD	割り込みレベル(8034H)
11	3
10	2
01	1
00	割り込み禁止

IRQC (ビット1、0) : ベクタアドレス8030H割り込みレベル設定

上記2ビットでベクタアドレス8030Hの割り込みレベルを設定します。

IRQC	割り込みレベル(8030H)
11	3
10	2
01	1
00	割り込み禁止

割り込み

4-1-4-6 例外割り込み制御レジスタ下位

①R14 (PSW) のビット11が1の時、書き込みを行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F08	0000 0000	R/W	EXCPL	CLKSTP _FLG	CLKSTP _IE	ADDERR _FLG	ADDERR _IE	ODDACC _FLG	ODDACC _IE	NONINS _FLG	NONINS _IE

CLKSTP_FLG (ビット7): 発振停止検出フラグ

CLKSTP_IEが1の時システムクロックが停止するとセットされます。

このビットは命令で0にクリアしてください。

CLKSTP_IE (ビット6): 発振停止割り込み許可

このビットとCLKSTP_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

このビットが1の時、低速RC発振回路が動作し、発振停止検出回路が動作します。

ADDERR_FLG (ビット5): アドレスエラーフラグ

実装されているメモリ空間の領域外をアクセスするとセットされます。

このビットは命令で0にクリアしてください。

ADDERR_IE (ビット4): アドレスエラー割り込み許可

このビットとADDERR_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

ODDACC_FLG (ビット3): ワード命令奇数アドレスアクセスフラグ

奇数アドレスに対しワード命令でアクセスした時にセットされます。

このビットは命令で0にクリアしてください。

ODDACC_IE (ビット2): ワード命令奇数アドレスアクセス割り込み許可

このビットとODDACC_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

NONINS_FLG (ビット1): 未定義命令チェックフラグ

未定義の命令コードを実行するとセットされます。

このビットは命令で0にクリアしてください。

NONINS_IE (ビット0): 未定義命令チェック割り込み許可

このビットとNONINS_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

4-1-4-7 例外割り込み制御レジスタ上位

①R14 (PSW) のビット11が1の時、書き込みを行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F09	LL00 L0L0	R/W	EXCPH	UART1 _FLG	UART1 _IE	UART0 _FLG	UART0 _IE	UART1 _ITYPE	UART0 _ITYPE	—	MOVEVEC

UART1_FLG (ビット7) : 予約ビット
0で使用してください。

UART1_IE (ビット6) : 予約ビット
0で使用してください。

UART0_FLG (ビット5) : UART0割り込みフラグ
UART0の割り込み要求フラグを見るレジスタです。
このビットはリードオンリーです。

UART0_IE (ビット4) : UART0割り込み許可
このビットとUART0_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

UART1_ITYPE (ビット3) : 予約ビット
0で使用してください。

UART0_ITYPE (ビット2) : UART0割り込みマスク制御
このビットが1の時、UART0割り込みはIEによって許可・禁止を制御されます。
このビットが0の時、UART0割り込みはIEの値にかかわらず許可されます。

MOVEVEC (ビット0) : 予約ビット
0で使用してください。

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック源として、OSC1、OSC0、RC発振回路の3系統のクロックからプログラムでシステムクロックを選択します。RC発振回路は、抵抗R、コンデンサCを内蔵しており、外付け回路の必要がありません。また、システムクロックの分周出力をベースタイマのクロック源として使用することができます。

- (1) OSC1: CF発振回路
- (2) OSC0: 水晶発振回路

4-2-2 機能

① システムクロック選択

- ・OSC1、OSC0、RC発振の3系統のクロックからシステムクロックを選択します。

② システムクロック分周

- ・システムクロックとして選択されたクロックを分周してシステムクロックとして供給します。
- ・分周は $\frac{1}{1}$ 、 $\frac{1}{2}$ 、 $\frac{1}{4}$ 、 $\frac{1}{8}$ 、 $\frac{1}{16}$ 、 $\frac{1}{32}$ 、 $\frac{1}{64}$ 、 $\frac{1}{128}$ の選択ができます。

③ 発振回路制御

- ・命令で上記3系統のクロック源の動作/停止を独立に制御できます。

④ ベースタイマへのクロック供給

- ・システムクロックの分周出力をベースタイマのクロックとして供給することができます。
- ・分周は $\frac{1}{32}$ 、 $\frac{1}{64}$ 、 $\frac{1}{128}$ 、 $\frac{1}{256}$ の選択ができます。

⑤ 周辺モジュールへのクロック供給

- ・上記3系統のクロックを周辺モジュールで使用します。詳細は周辺モジュールを参照してください。

⑥ システムクロックを制御するには次に示す特殊機能レジスタを操作する必要があります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

4-2-3 回路構成

4-2-3-1 OSC1

4-2-3-1-1 CF発振回路

① CF1, CF2端子にセラミック発振子と容量を接続することにより発振可能になります。

4-2-3-2 OSC0

4-2-3-2-1 XT発振回路

① XT1, XT2端子に水晶発振子(32.768kHz)と容量, 帰還抵抗, ダンピング抵抗を接続することにより発振可能となります。

4-2-3-3 RC発振回路

- ①内蔵の抵抗と容量で発振します。
- ②リセットまたはHOLD解除後には、RC発振のクロックがシステムクロックとなります。
- ③発振開始直後から正常な周波数で発振を行います。

4-2-3-4 発振制御レジスタ0

①発振回路の選択と動作停止/開始の制御を行います。

4-2-3-5 発振制御レジスタ1

- ①システムクロック分周回路の制御を行います。
- ②ベースタイマへの供給クロック選択を行います。

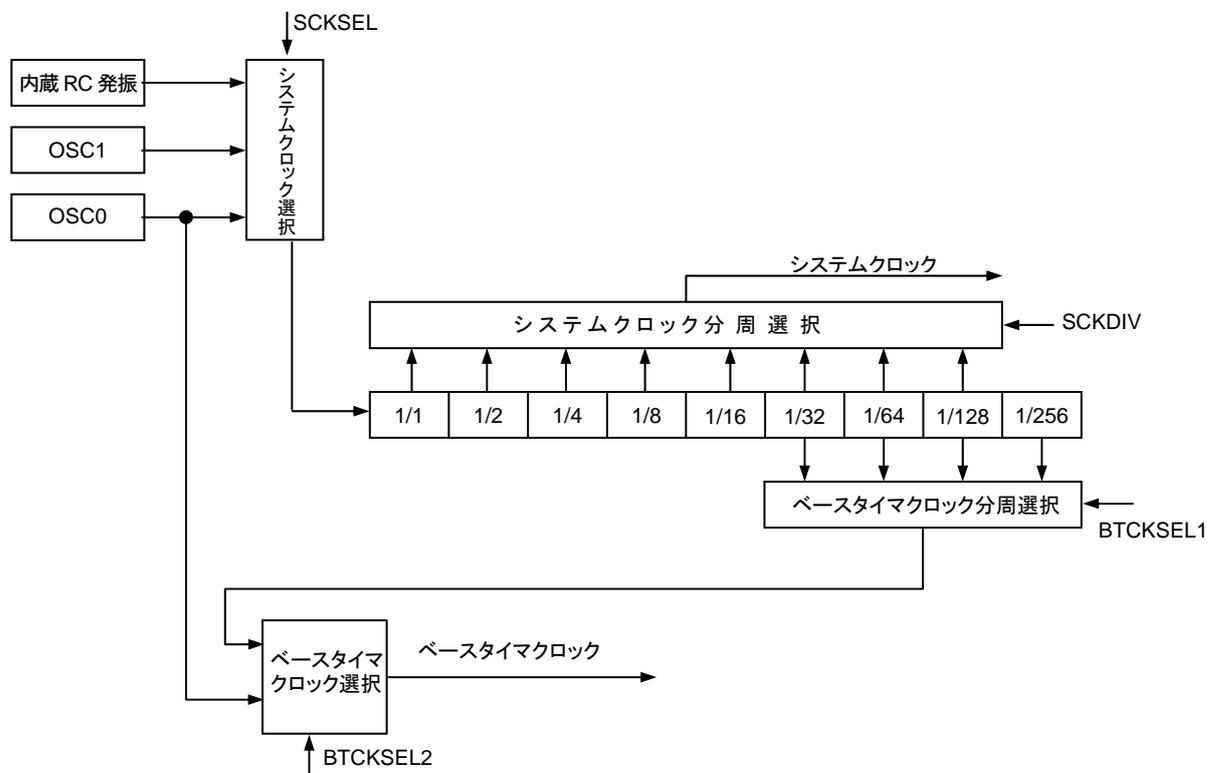


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 発振制御レジスタ0

①発振回路の選択と動作停止／開始の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0

SCKSEL(ビット6、5):システムクロック選択

上記2ビットでシステムクロック源を選択します。

SCKSEL	システムクロック
11	OSC0
10	OSC1
01	RC発振
00	RC発振

RCSTOP(ビット4):RC発振動作制御

このビットが“1”の時、RC発振は停止します。

このビットは“0”の時、RC発振は動作します。

OSC1TYPE1(ビット7):OSC1回路選択1

OSC1TYPE0(ビット3):OSC1回路選択0

上記2ビットでOSC1を選択します。

OSC1TYPE1	OSC1TYPE0	OSC1回路選択
1	1	CF発振回路
1	0	設定禁止
0	1	設定禁止
0	0	発振停止

OSC0TYPE(ビット2):OSC0回路選択

このビットでOSC0を選択します。

OSC0TYPE	OSC0回路選択
1	XT発振回路
0	汎用ポート

ENOSC1(ビット1):OSC1動作制御

このビットが“1”の時、選択されたOSC1回路が動作します。

このビットは“0”の時、OSC1は停止します。

ENOSC0(ビット0):OSC0動作制御

このビットが“1”の時、選択されたOSC0回路が動作します。

このビットは“0”の時、OSC0は停止します。

4-2-4-2 発振制御レジスタ1

- ①システムクロック分周回路の制御を行います。
 ②ベースタイマへの供給クロック選択を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

BTCKSEL2(ビット7): ベースタイマクロック選択

このビットでベースタイマのクロックを選択します。

BTCKSEL2	ベースタイマクロック
1	システムクロックの分周出力(注)
0	OSC0

(注)分周比はビット5, 4で設定します。

BTCKSEL1(ビット5, 4): ベースタイマクロック分周設定

このビットでベースタイマへ供給するクロック分周を選択します。

BTCKSEL1	分周比
00	$\frac{1}{32}$
01	$\frac{1}{64}$
10	$\frac{1}{128}$
11	$\frac{1}{256}$

SCKDIV(ビット2~0): システムクロック分周設定

SCKDIV	分周比
000	$\frac{1}{1}$
001	$\frac{1}{2}$
010	$\frac{1}{4}$
011	$\frac{1}{8}$
100	$\frac{1}{16}$
101	$\frac{1}{32}$
110	$\frac{1}{64}$
111	$\frac{1}{128}$

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時や待機中の消費電流を低減するためにHALT(ホルト), HOLD(ホールド), HOLDX(ホールドX)と呼ばれる3つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

①HALTモード

- ・命令の実行は停止するが、周辺回路は動作を継続します。
- ・HALT命令を実行することにより、HALTモードに入ります。
- ・リセットまたは割り込み要求の受付により、通常動作モードに復帰します。

②HOLDモード

- ・全ての発振が停止します。命令の実行が停止し、周辺回路も動作停止します。
- ・HOLD命令を実行することにより、HOLDモードに入ります。
- ・リセットまたはHOLD解除信号の発生により、HALTモードに移行します。

③HOLDXモード

- ・OSC0以外の発振が停止します。命令の実行が停止し、OSC0のクロック以外で動作する周辺回路も動作停止します。
- ・HOLDX命令を実行することにより、HOLDXモードに入ります。
- ・リセットまたはHOLDX解除信号の発生により、HALTモードに移行します。
- ・HOLDX解除時、OSC1・RC発振の発振状態、及びシステムクロック選択は突入時の状態に戻ります。OSC1にCF発振子を接続している場合は、発振安定時間が必要となりますので、HOLDXモードに入る前に、システムクロックとしてOSC0またはRC発振を選択してください。

※HOLD/HOLDX解除信号は各周辺システムからの割り込み要求信号です。したがって各周辺システムの割り込み要求が成立したままHOLD/HOLDX命令を実行してもすぐにHOLD/HOLDXモードから移行してしまいます。

- ・割り込み受け付けが許可されていた場合は通常動作へ移行。
- ・割り込み受け付けが禁止されていた場合はHALTモード移行。

(注)割り込みの受け付けに関しては、4-1章を参照してください。

※周辺システムでHOLD/HOLDXモードから復帰させる場合は、HOLD/HOLDXモードに入る前に解除要因以外の周辺システムの割り込み要求を禁止してください。

※リセット条件のみでHOLD/HOLDXモードから復帰させる場合は、HOLD/HOLDXモードに入る前にすべての周辺システムの割り込み要求を禁止してください。

※HALT, HOLD, HOLDXの3種類の命令を2つ以上連続して記述しないでください。

例)

```
      :  
      HOLD  
      HALT } 記述NG
```

```
      :  
      :  
      :  
      HALT  
      NOP  } 記述OK  
      HALT  
      :
```

スタンバイ機能

表 4-3-1 スタンバイ動作

項目/モード	リセット状態	HALTモード	HOLDモード	HOLDXモード
突入条件	・RESB信号印加 ・ウォッチドッグタイマのリセット発生	HALT命令実行	HOLD命令実行	HOLDX命令実行
突入後、 変化するデータ	別紙のように初期化される。 (表2-6-1)	なし	・WDTCRのビット3がセットされている場合、WDTCRのビット0がクリアされる。 ・OCR0, OCR1レジスタが00になる。	・WDTCRのビット3がセットされている場合、WDTCRのビット0がクリアされる。
OCR0, OCR1	初期化される	変化しない	初期化される	変化しない
OSC0	停止	突入時の状態	停止	突入時の状態
OSC1	停止	突入時の状態	停止	停止
RC発振	停止	突入時の状態	停止	停止
CPU	初期化される	停止	停止	停止
I/O端子状態	表4-3-2参照	←	←	←
RAM	・RESBの場合:不定 ・ウォッチドッグタイマリセットの場合:データ保持	データ保持	データ保持	データ保持
周辺モジュール	停止	突入時の状態	停止	OSC0で動作しているモジュール:突入時の状態 その他:停止
復帰条件	突入条件の解消	・割り込み要求の受付 ・リセット条件の成立	・INT0~7, POINT, UART2, SIO0, SIO1からの割り込み要求の受付 ・リセット条件の成立	・INT0~7, POINT, UART2, SIO0, SIO1, OSC0で動作しているモジュールからの割り込み要求の受付 ・リセット条件の成立
復帰先	通常動作モード	通常動作モード	HALTモード (注1)	HALTモード (注1)
復帰後に変化するデータ	なし	なし	なし	なし

注1:リセット突入条件の成立で復帰した場合、リセット状態に移行する。

表4-3-2 モードによる端子状態(本シリーズ)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RESB	・入力端子	←	←	←	←
PC0	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ	・レジスタ OCR0(7F0AH) で X'tal 発振用入力端子として使用を制御 ・入力/出力はプログラムで制御 ※発振端子として使用時は PC0 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプログラムで制御	←	・HOLD 突入時の PC0 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗はオフ	・HOLD 時の状態
PC1	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ	・レジスタ OCR0(7F0AH) で X'tal 発振用出力端子として使用を制御 ・入力/出力はプログラムで制御 ※発振端子として使用時は PC1 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプログラムで制御	←	・HOLD 突入時の PC1 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗はオフ	・HOLD 時の状態
CF1	・CF 発振用インバータの入力 ・CF1,CF2 の間に帰還抵抗あり	・CF 発振用インバータの入力 ・レジスタ OCR0(7F0AH) で発振可能/停止を制御 ・CF1,CF2 の間に帰還抵抗あり	←	・発振停止状態 ・CF1,CF2 の間に帰還抵抗あり	・リセット時と同じ ※HOLDX 解除時は突入時の状態
CF2	・CF 発振用インバータの出力 ・発振可能状態	・CF 発振用インバータの出力 ・レジスタ OCR0(7F0AH) で発振可能/停止を制御 ・発振停止時は CF1 に関係なく VDD レベル出力	←	・発振停止状態 ・CF1 に関係なく VDD レベル出力	・リセット時と同じ ※HOLDX 解除時は突入時の状態
P00-P07	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
P20-P27	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
P30-P33	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←

次ページへ続く

スタンバイ機能

モードによる端子状態(続き)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
P40-P47	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
P60-P67	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
P70-P72	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
PA0-PA3	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
PC2	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御	←	←	←
TEST	・オンチップデバッグ通信端子	←	←	←	←

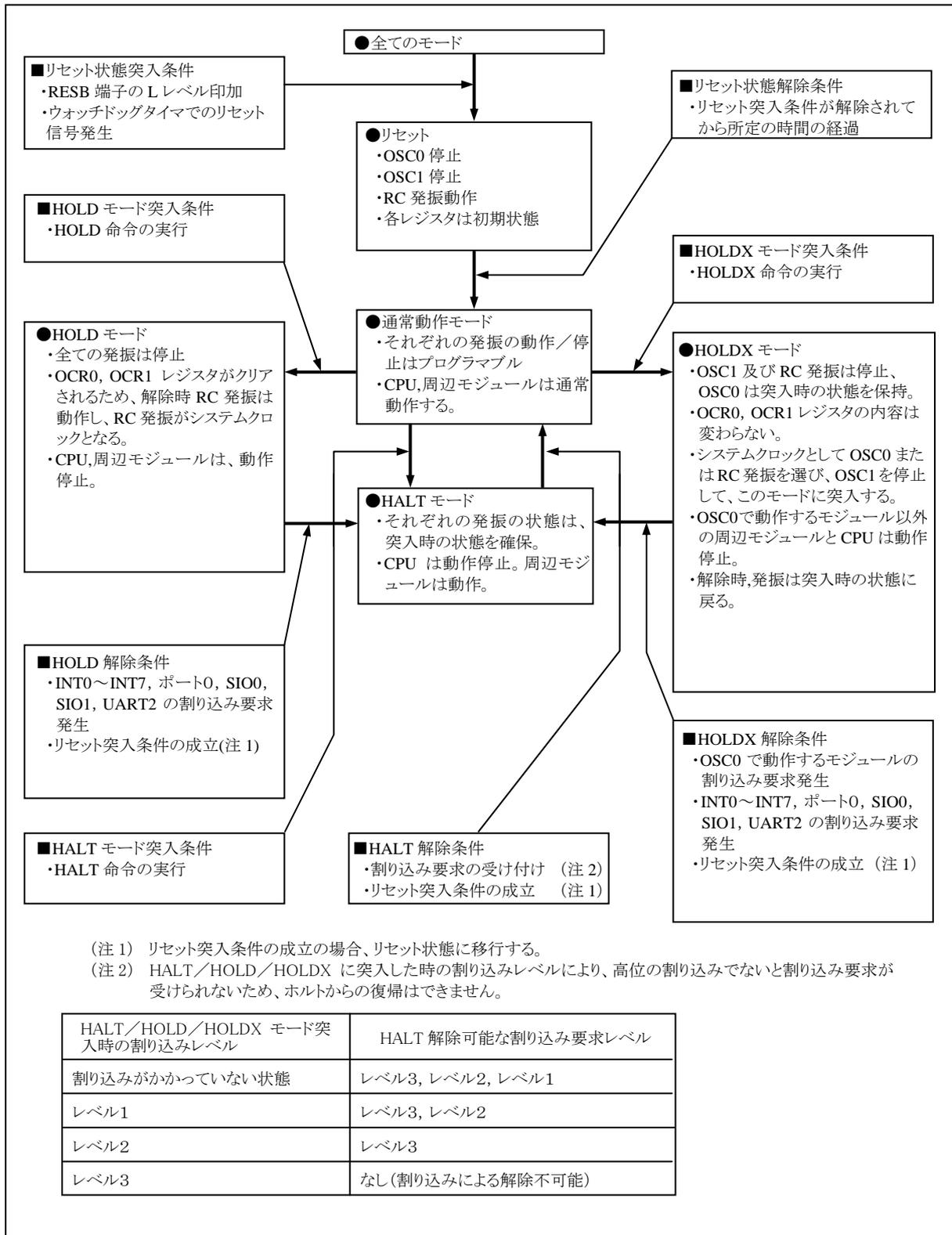


図 4-3-1 スタンバイモード遷移

リセット機能

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の三つの機能を持っています。

① RESB端子による外部リセット機能

- ・電源が安定してからRESB端子のLレベルを10 μ s以上印加することで、確実にリセットがかかります。しかしわずかな幅のLレベルが印加されてもリセットがかかる場合がありますので注意が必要です。
- ・RESB端子に適切な時定数を外付けすれば、電源投入時のリセットとして使用できます。

② ウォッチドッグタイマによる暴走検出リセット機能

③ プログラムでRESET命令を実行することによる、ソフトウェアリセット機能

4-4-3 リセット時の状態

- ・RESB端子、ウォッチドッグタイマ、ソフトウェアによるリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。
- ・リセットがかかると、システムクロックはRC発振クロックになりますので、電源投入後の待ち時間は不要です。システムクロックの切り替えは、切り替えるクロックが安定発振してから行ってください。

< 注意点 >

- ・R15(SP)の初期値は0000Hとなります。
- ・データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が不定となっています。

4-5 ウォッチドッグタイマ

4-5-1 概要

本シリーズは、プログラム暴走を検出するために、ベースタイマを使用するウォッチドッグタイマを内蔵しています。

このウォッチドッグタイマは、一定期間のうちにプログラムによるクリア信号を検出しなかった場合にプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

4-5-2 機能

① 暴走の検出

定期的にウォッチドッグタイマをクリアするプログラムを作成します。プログラムが暴走するとタイマをクリアする命令が実行されないため、タイマはオーバーフローし、暴走検出フラグがセットされます。

② 暴走検出の動作

ウォッチドッグタイマが暴走を検出した場合、次の2つの動作を選択することができます。

・リセットモード

PCは、初期化され“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されます。

ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のbit5～bit2は、ウォッチドッグタイマリセットで初期化されません。bit1, bit0は、ウォッチドッグタイマリセットで初期化されます。

・インタラプトモード

ウォッチドッグタイマ割り込みが発生します。ベクタアドレス“008000H”への割り込み処理が行われます。

PCは、ベクタアドレス“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されません。インタラプトモード突入前の状態が保持されます。

ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のビット1は、セットされます。

③ウォッチドッグタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・WDTCR, BTCR, OCR0, OCR1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

ウォッチドッグタイマ

4-5-3 回路構成

4-5-3-1 3ビットバイナリアップカウンタ

① ベースタイマの出力をカウントするアップカウンタです。

4-5-3-2 ウォッチドッグタイマ制御レジスタ

① ウォッチドッグタイマの動作の制御を行います。

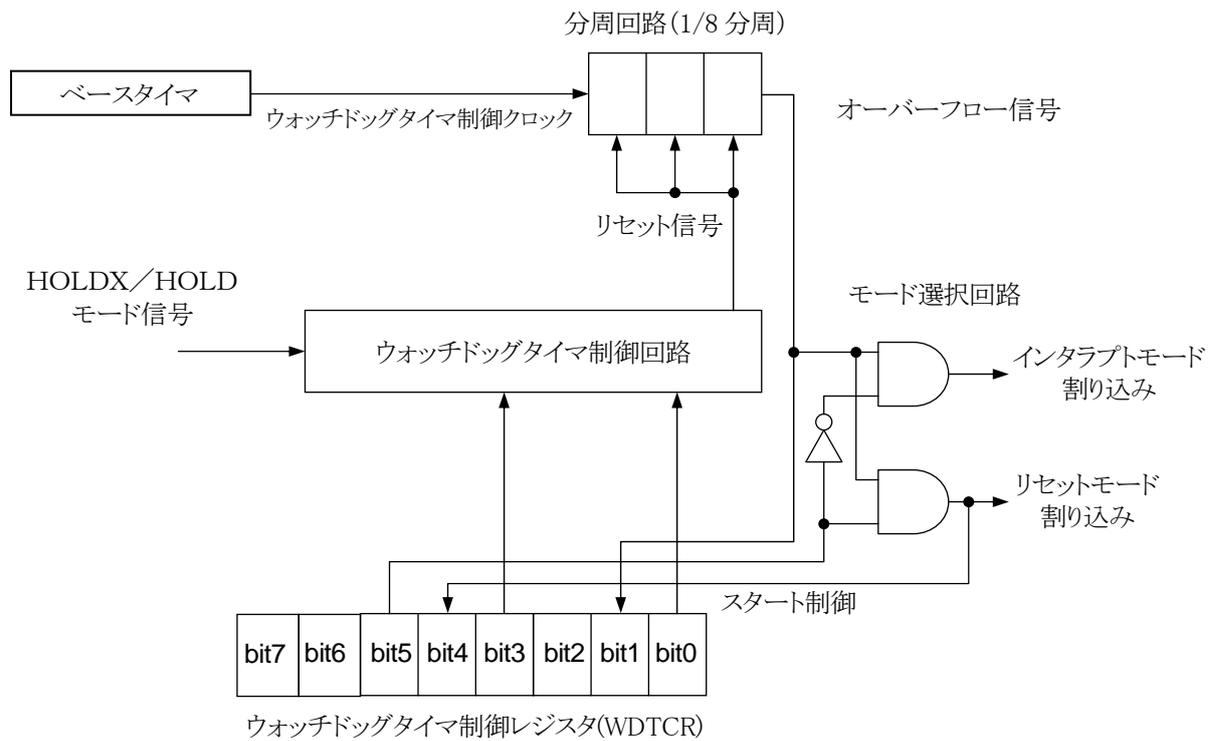


図 4-5-1 ウォッチドッグタイマブロック図

4-5-4 関連レジスタ

4-5-4-1 ウォッチドッグタイマ制御レジスタ

①ウォッチドッグタイマの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

(ビット7～6): 固定ビット
0で使用してください。

MDSEL (ビット5): 暴走検出時のモード選択

このビットが1の時、ウォッチドッグタイマはリセットモード。
このビットが0の時、ウォッチドッグタイマはインタラプトモード。

SRFLG (ビット4): リセット実行検出フラグ

MDSELが1(リセットモード)の状態では暴走検出された場合、もしくは設定が不十分な状態でウォッチドッグタイマを動作させた場合、マイクロコンピュータはリセットを実行し、このビットをセットします。このビットはリセット実行によりクリアされないため、このビットをモニタすることにより、ウォッチドッグタイマによるリセット実行かどうかを判断することができます。

PDNSTOP (ビット3): HOLDX/HOLDモード時の機能制御

HOLDX/HOLDモードになった場合のウォッチドッグタイマの動作(0)/停止(1)を制御します。「1」の設定時HOLDX/HOLD状態ではSTARTがリセットされ、ウォッチドッグタイマは停止します。「0」の設定時ではSTARTは変化せずHOLDX状態でもウォッチドッグタイマは動作します。

USERFLG (ビット2): 汎用フラグ

OVF (ビット1): 暴走検出フラグ

ウォッチドッグタイマのオーバーフローによって暴走が検出された場合にセットされます。

START (ビット0): ウォッチドッグタイマの動作制御

ウォッチドッグタイマの動作を制御します。このビットに「1」を書き込むことで、ウォッチドッグタイマが動作開始します。ウォッチドッグタイマ動作開始後は、レジスタWDTCRへの書き込みは禁止されます。したがって、プログラムでこのビットに「0」を書き込むことで、ウォッチドッグタイマを停止させることはできません。

STARTビットがクリアされ、ウォッチドッグタイマが停止する条件は、表4-5-1を参照してください。

ウォッチドッグタイマ

注意：①ウォッチドッグタイマに供給するクロックは、ベースタイマ部内の16ビットカウンタから出力しています。従って、ベースタイマを動作させないと(16ビットカウンタにクロックを供給しないと)この機能は動作しません。

これらの機能を使用する場合は、ベースタイマ制御レジスタBTCR(アドレス:7F0EH)のベースタイマ動作制御(bit6)を必ず“1”(動作)に設定してから、ウォッチドッグタイマを動作させてください。

ベースタイマ動作制御(bit6)が“0”(停止)もしくは、ベースタイマクロックとして選択された発振器が、発振許可でない状態で、ウォッチドッグタイマを動作させると、ウォッチドッグタイマリセット信号が発生します。

WDTCR	外部リセット発生時	ウォッチドッグタイマ 暴走検出時		RESET 命令実行時	HOLDX/HOLD 命令の実行時	
		リセット モード	インタラプト モード		PDNSTP=1 設定時	PDNSTP=0 設定時
ビット7	0	保持	保持	保持	保持	保持
ビット6	L	L	L	L	L	L
MDSEL	0	1を保持	0を保持	保持	保持	保持
SRFLG	0	1	保持	保持	保持	保持
PDNSTP	0	保持	保持	保持	1を保持	0を保持
USERFLG	0	保持	保持	保持	保持	保持
OVF	0	0	1	0	保持	保持
START	0	0	1を保持	0	0	保持

表 4-5-1 各イベント発生後のWDTCRの状態

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

(1)ウォッチドッグタイマ実行前の状態設定

以下の設定を行わずにウォッチドッグタイマを動作させた場合、マイクロコンピュータはリセットを実行します。

- ①ベースタイマクロックとして使用する発振源の発振許可
- ②ベースタイマの動作開始

(2)ウォッチドッグタイマの動作開始

以下①～③のレジスタ設定を同時に行ってください。

- ①ビット0(START)に「1」を書き込みます。
- ②暴走検出でリセットをかける場合はビット5(MDSEL)に「1」を同時に書き込みます。

③HOLDXモード時にウォッチドッグタイマの動作を停止する場合にはビット3(PDN STOP)に「1」を同時に書き込みます。

ビット0 (START)に「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、レジスタ(WDTCR)への書き込みは禁止され、ウォッチドッグタイマカウンタのクリアとWDTCRの読み出しのみが可能になります。したがって、プログラムでビット0 (START)に「0」を書き込むことでは、ウォッチドッグタイマを停止させることはできません。STARTビットがクリアされ、ウォッチドッグタイマが停止する条件については、表4-5-1を参照してください。

(3) ウォッチドッグタイマカウンタのクリア

ウォッチドッグタイマが動作を開始すると、カウンタがカウントアップします。このカウンタがオーバーフローすると、ウォッチドッグタイマ制御レジスタ(WDTCR)の設定にしたがって、リセットまたは割り込みが発生します。したがって、通常のプログラム動作を行うには、カウンタがオーバーフローする前に、定期的にカウンタをクリアする必要があります。動作中のウォッチドッグタイマカウンタのクリアには次の命令を使用してください。これ以外の命令では、ウォッチドッグタイマカウンタのクリアは、行われません。

C言語:

```
___SFR__BITCLR(___WDTCR, 0);
```

アセンブラ:

```
CLR1 ___WDTCR, #0
```

(4) 暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないのでカウンタがオーバーフローします。オーバーフローが起こるとプログラムが暴走したと判断され、リセットあるいは割り込みが発生します。このとき、暴走検出フラグOVFがセットされます。

この時、MDSELが「1」であればリセットがかかり、「0」であれば割り込みを発生し、プログラムを8000Hから実行します。

(5) タイマ値の設定

ウォッチドッグタイマを使用する場合、割り込み発生周期を設定する必要があります。また同時に、メインルーチン中でこの割り込み発生周期を下回る周期でウォッチドッグタイマカウンタのクリア処理を行う必要があります。

ウォッチドッグタイマ

ウォッチドッグタイマ割り込み発生周期の計算式は以下のようになります。

- ① ベースタイマ制御 (BTCCR) の FST=1, CNT=00 又は CNT=01 の時

$$T_{WDT} = (1 / f_{BST}) \times 32 \times 8$$

- ② ベースタイマ制御 (BTCCR) の FST, CNT が ① 以外の時

$$T_{WDT} = (1 / f_{BST}) \times 8192 \times 8$$

* f_{BST} : ベースタイマクロック選択レジスタ (OCR1) で選択される、入力クロック周波数。

T_{WDT} : ウォッチドッグタイマの割り込み発生周期

例 1: システムクロックを OSC1 (1MHz) の 1/1 分周、ベースタイマクロックをシステムクロックの 1/64 分周、ベースタイマ制御レジスタ (BTCCR) の FST=0, CNT=00 の場合。

$$T_{WDT} = 1 \times 10^{-6} \times 64 \times 8192 \times 8 = 4.194304 \text{ S}$$

例 2: システムクロックを OSC1 (1MHz) の 1/1 分周、ベースタイマクロックを OSC0 (32.768kHz) の 1/1 分周、ベースタイマ制御レジスタ (BTCCR) の FST=1, CNT=00 の場合。

$$T_{WDT} = (1 / 32.768) \times 10^{-3} \times 32 \times 8 = 7.8125 \mu \text{ s}$$

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~17FF	XXXX XXXX	R/W	RAM6KB									
7F00												
7F01												
7F02	0000 0000	R/W	IL1L		IRQ3		TO		BT		WDT	
7F03	0000 0000	R/W	IL1H		IRQ7		IRQ6		IRQ5		IRQ4	
7F04	0000 0000	R/W	IL2L		IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H		IRQF		IRQE		IRQD		IRQC	
7F06												
7F07												
7F08	0000 0000	R/W	EXCPL		CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE
7F09	LL00 L0L0	R/W	EXCPH		UART1_FLG	UART1_IE	UART0_FLG	UART0_IE	UART1_IYPE	UART0_IYPE	-	MOVEVEC
7F0A	0000 0000	R/W	OCR0		OSC1TYPE1	SCKSEL	RCSTOP	OSC1TYPE0	OSGOTYPE	ENOSC1	ENOSCO	
7F0B	0L00 L000	R/W	OCR1		BTCKSEL2	-	BTCKSEL1	-	SCKDIV			
7F0C	0L00 0000	R/W	WDTCR		-	-	MSEL	SRFLG	PDNSTOP	USERFLG	OVF	START
7F0D			RAND	システム予約								
7F0E	0000 0000	R/W	BTCR		FST	RUN	GNT	FLG1	IE1	FLG0	IE0	
7F0F			PWRDET	システム予約								
7F10	0000 0000	R/W	TOLR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	TOHR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	TOCNT		SISTS	SIFLG	SIE	CLKSEL	RUN	FLG	IE	
7F13	0000 0000	R/W	TOPR		MODE			PR				
7F14	0000 0000	R/W	T1LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT		HRUN	HFLG	HIE	CLKSEL	RUN	FLG	IE	
7F17	0000 0000	R/W	T1PR		MSELRD	MSELBIT	MSELCP	PR				
7F18	0000 0000	R/W	T2LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0		HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1		-	-	-	CPSL	CP0HFLG	CP0LFLG	CP1E	

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F1E	000L 0000	R/W	T2CNT2		CKSL		EXISL	-	PR				
7F1F													
7F20	0000 0000	R/W	ADCR		CHSEL				CMP	START	ENDFLG	IE	
7F21	0000 0000	R/W	ADMR		-	RESOL	-	-	-	ADJ	MD10		
7F22	0000 0000	R/W	ADRL		DATAL				-	-	-	MD2	
7F23	0000 0000	R/W	ADRH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F24													
7F25													
7F26													
7F27													
7F28	0000 0000	R/W	T3LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F29	0000 0000	R/W	T3HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F2A	0000 0000	R	T3L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F2B	0000 0000	R	T3H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F2C	0000 0000	R/W	T3CNT0		HRUN	HFLG	HIE	CKSL		RUN	FLG	IE	
7F2D	LLLL L000	R/W	T3CNT1		-	-	-	-	-	EXISL	MD		
7F2E	0000 0000	R/W	T3PR		PR								
7F2F													
7F30	0000 0000	R/W	S0CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE	
7F31	0000 0000	R/W	S0BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F32	0000 0000	R/W	S0BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F33	0000 0000	R/W	S0INTVL		-	SNBIT			XCHNG	INTVL			
7F34	0000 0000	R/W	S1CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE	
7F35	0000 0000	R/W	S1BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F36	0000 0000	R/W	S1BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F37	0000 0000	R/W	S1INTVL		-	SNBIT			XCHNG	INTVL			
7F38	0000 1000	R/W	U0CR		RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE	
7F39													
7F3A	0000 0000	R/W	U0RXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F3B	LLLL LL00	R/W	U0RXH		-	-	-	-	-	-	BIT1	BIT0	
7F3C	0000 0000	R/W	U0TXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F3D	LLLL LLH0	R/W	U0TXH		-	-	-	-	-	-	BIT1	BIT0	

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3E												
7F3F												
7F40	0000 0000	R/W	P0LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA		P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE
7F44	0000 0000	R/W	P1LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	LLLL 0000	R/W	P3LAT		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4D	LLLL XXXX	R	P3IN		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4E	LLLL 0000	R/W	P3DDR		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F4F	LLLL 0000	R/W	P3FSA		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54												
7F55												
7F56												
7F57												
7F58	0000 0000	R/W	P6LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5B												
7F5C	LLLL L000	R/W	P7LAT		-	-	-	-	-	BIT2	BIT1	BIT0
7F5D	LLLL LXXX	R	P7IN		-	-	-	-	-	BIT2	BIT1	BIT0

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	LLLL L000	R/W	P7DDR		-	-	-	-	-	BIT2	BIT1	BIT0
7F5F												
7F60	0000 0000	R/W	SMICOCNT		RUN	MST	TRX	SCL8	MKC	BB	END	IE
7F61	0000 0000	R/W	SMICOSTA		SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK
7F62	0000 0000	R/W	SMICOBRG		BRP		BRDQ	BRD				
7F63	0000 0000	R/W	SMICOBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F64												
7F65												
7F66												
7F67												
7F68	LLLL 0000	R/W	SMICOPCNT		-	-	-	-	SHDS	P5V	PCLV	PSLW
7F69												
7F6A												
7F6B												
7F6C	0010 0000	R/W	U2CNT0		TEND	TENDIE	EMPTY	EMPTYIE	RUN	RERR	RREADY	RIE
7F6D	0000 0000	R/W	U2CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F6E	0000 0000	R/W	U2TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R	U2RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F70												
7F71												
7F72												
7F73												
7F74	0000 0000	R/W	U2BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F75												
7F76			FSR0	システム予約								
7F77												
7F78												
7F79												
7F7A												
7F7B												
7F7C												

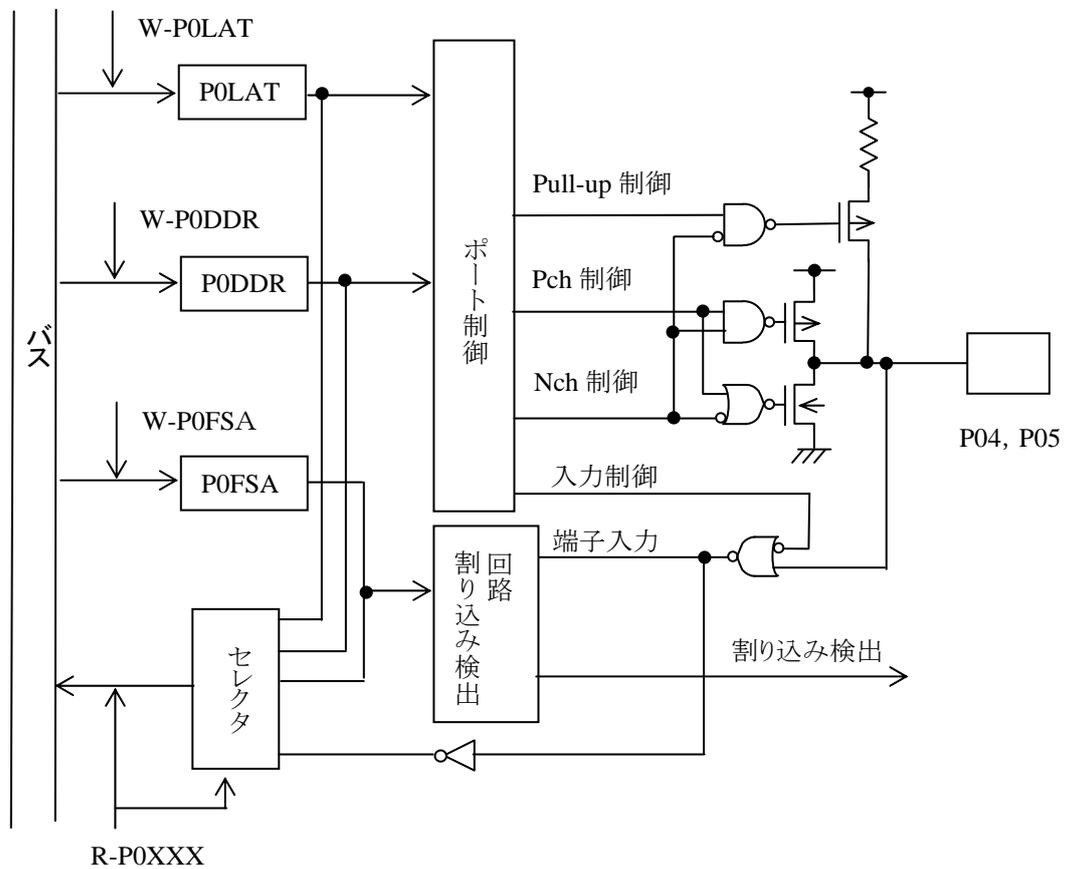
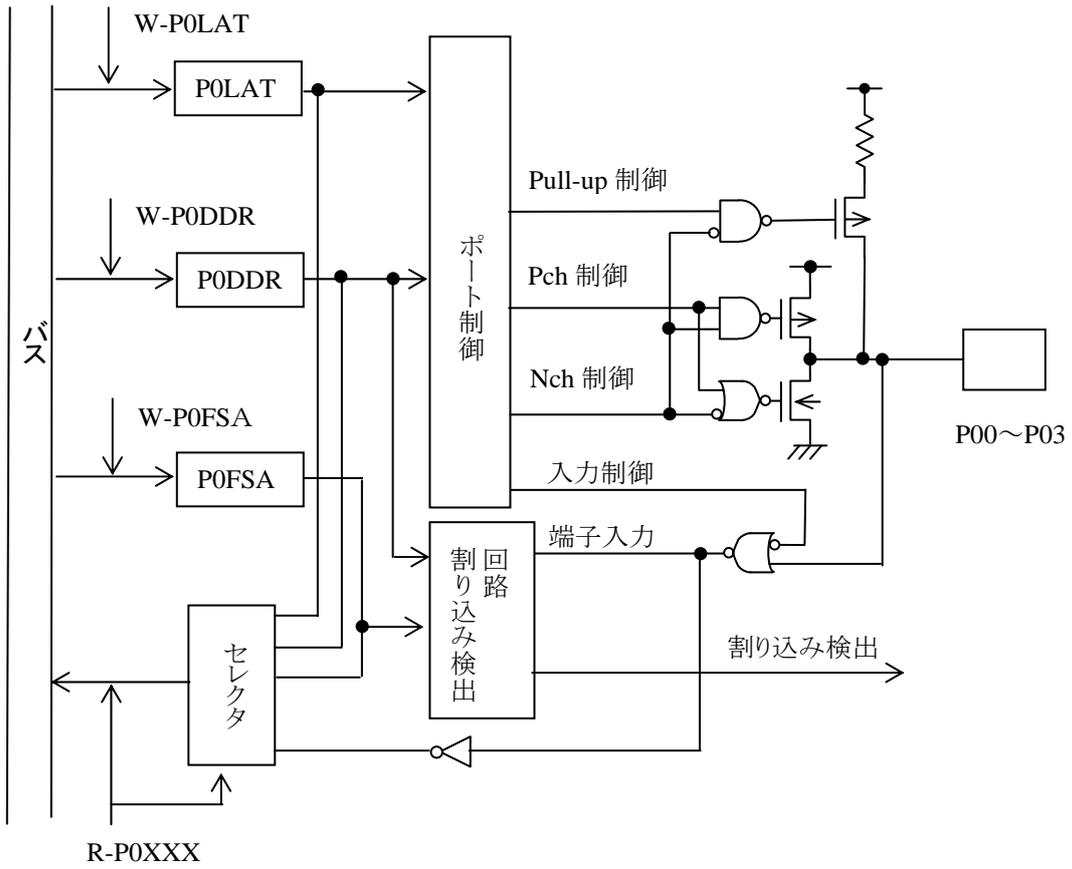
アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F7D												
7F7E												
7F7F												
7F80	0000 0000	R/W	USMOCTL		STPFLG	OVF	NPHFLG	IE	CKSL		DIR1	RUN
7F81	0000 0000	R/W	USMONPH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	USMOTWL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F83	00LL 0000	R/W	USMOTWH		DIR2	STP	-	-	BIT3	BIT2	BIT1	BIT0
7F84	0000 0000	R/W	USMOLPL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F85	L00L LL00	R/W	USMOLPH		-	BRKMD		-	-	-	BIT1	BIT0
7F86	0000 L000	R/W	USMOPSF		TSTA	PWMD	OUTMD		-	NPT		
7F87												
7F88	0L00 0000	R/W	USMPLLC		TSTB	-	SELREF			FRQSEL	VC3	PLLON
7F89												
7F8A												
7F8B												
7F8C												
7F8D												
7F8E												
7F8F												
7F90												
7F91												
7F92												
7F93												
7F94												
7F95												
7F96												
7F97												
7F98												
7F99												
7F9A												
7F9B												

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9C												
7F9D												
7F9E												
7F9F												
7FA0	0000 0000	R/W	T4LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT		T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FA5												
7FA6												
7FA7												
7FA8												
7FA9												
7FAA	0000 LLLL	R/W	PWMOAL		BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAB	0000 0000	R/W	PWMOAH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWMOBL		BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAD	0000 0000	R/W	PWMOBH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWMOC		CH				ENPWMOB	ENPWMOA	OV	IE
7FAF	0000 0000	R/W	PWMOPR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB0												
7FB1												
7FB2												
7FB3												
7FB4												
7FB5												
7FB6	0000 00L0	R/W	TMCLK0		PRO				PROCK		-	PWMOCK
7FB7												
7FB8												
7FB9												
7FBA												
7FBB												

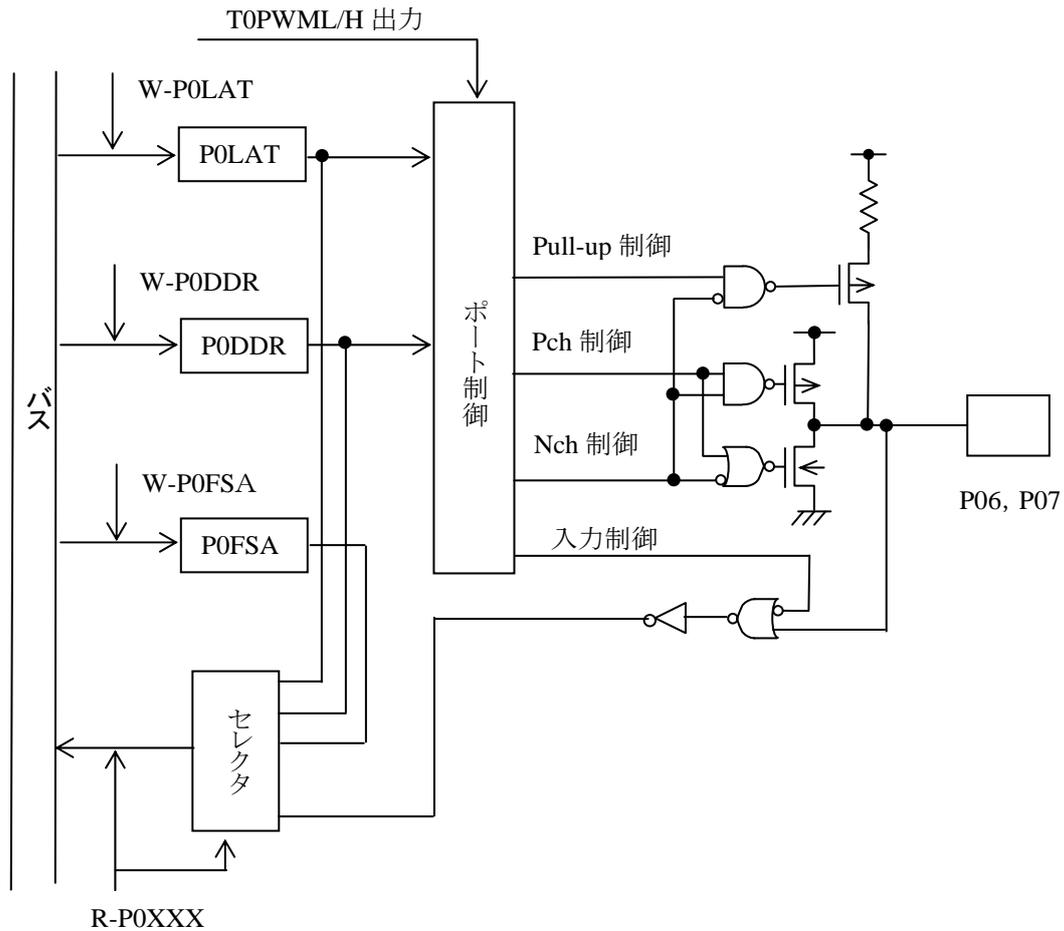
アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBC												
7FBD												
7FBE												
7FBF												
7FC0												
7FC1												
7FC2												
7FC3												
7FC4												
7FC5												
7FC6												
7FC7												
7FC8	0000 0000	R/W	PALAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC												
7FCD												
7FCE												
7FCF												
7FD0	LLLL L000	R/W	PCLAT		-	-	-	-	-	BIT2	BIT1	BIT0
7FD1	LLLL LXXX	R	PCIN		-	-	-	-	-	BIT2	BIT1	BIT0
7FD2	LLLL L000	R/W	PCDDR		-	-	-	-	-	BIT2	BIT1	BIT0
7FD3												
7FD4												
7FD5												
7FD6												
7FD7												
7FD8	0000 0000	R/W	INT01CR		INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E
7FD9	0000 0000	R/W	INT23CR		INT3MD		INT31F	INT31E	INT2MD		INT21F	INT21E
7FDA	0000 0000	R/W	INT45CR		INT5MD		INT51F	INT51E	INT4MD		INT41F	INT41E
7FDB	0000 0000	R/W	INT67CR		INT7MD		INT71F	INT71E	INT6MD		INT61F	INT61E

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDC			IRQREG0	システム予約								
7FDD			IRQREG1	システム予約								
7FDE												
7FDF												
7FE0	0000 0000	R/W	RTS1ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	LLLL 0000	R/W	RTS1ADRH		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	LLLL 0000	R/W	RTS2ADRH		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS1CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6												
7FE7												
7FE8												
7FE9												
7FEA												
7FEB												
7FEC												
7FED												
7FEE												
7FEF												
7FF0												
7FF1	0000 0000	R/W	P1FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	LLLL 0000	R/W	P3FSB		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5												
7FF6	0000 0000	R/W	P6FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	LLLL L000	R/W	P7FSB		-	-	-	-	-	BIT2	BIT1	BIT0
7FF8												
7FF9												
7FFA	0000 0000	R/W	PAFSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB												

アドレス	初期値	R/W	LC885800	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFC												
7FFD												
7FFE	0000 0000	R/W	RTSTST		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT		-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT0	INHBS0

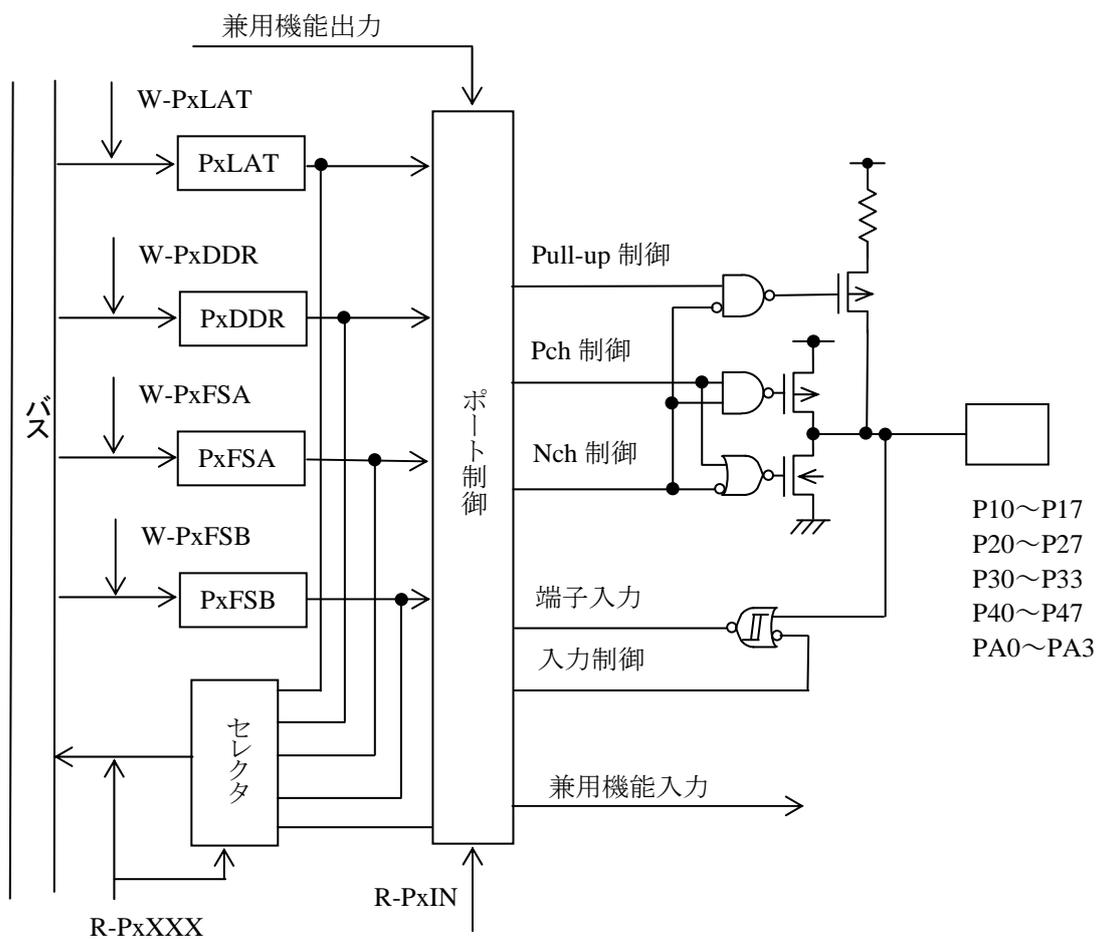


ポートブロック図



- W-P0LAT:レジスタ P0LAT への書き込み制御信号
- W-P0DDR:レジスタ P0DDR への書き込み信号
- W-P0FSA:レジスタ P0FSA への書き込み信号
- R-P0XXX:P0LAT または P0DDR または P0FSA の読み出し信号

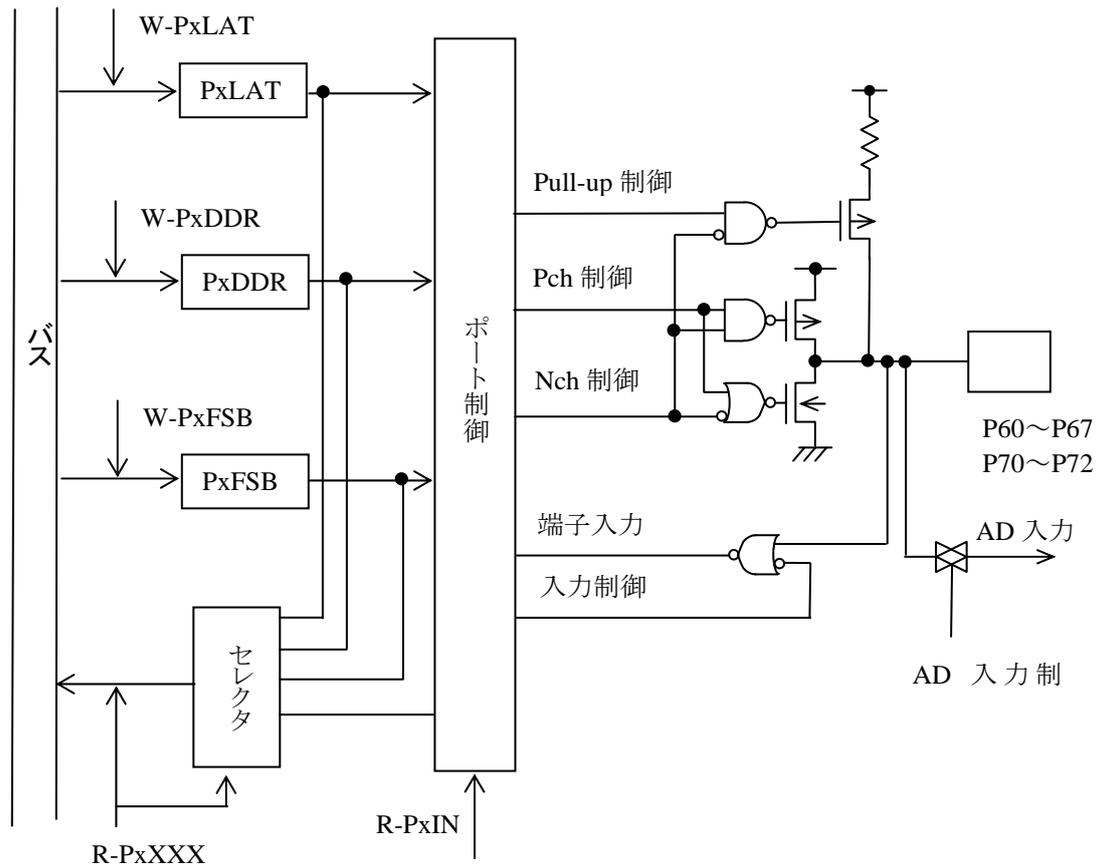
ポート0 ブロック図



- W-PxLAT:レジスタ PxLAT への書き込み制御信号
- W-PxDDR:レジスタ PxDDR への書き込み信号
- W-PxFSA:レジスタ PxFSA への書き込み信号
- W-PxFSB:レジスタ PxFSB への書き込み信号
- R-PxXXX:PxLAT または PxDDR または PxFSA または PxFSB の読み出し信号
(注) x:は1/2/3/4/A

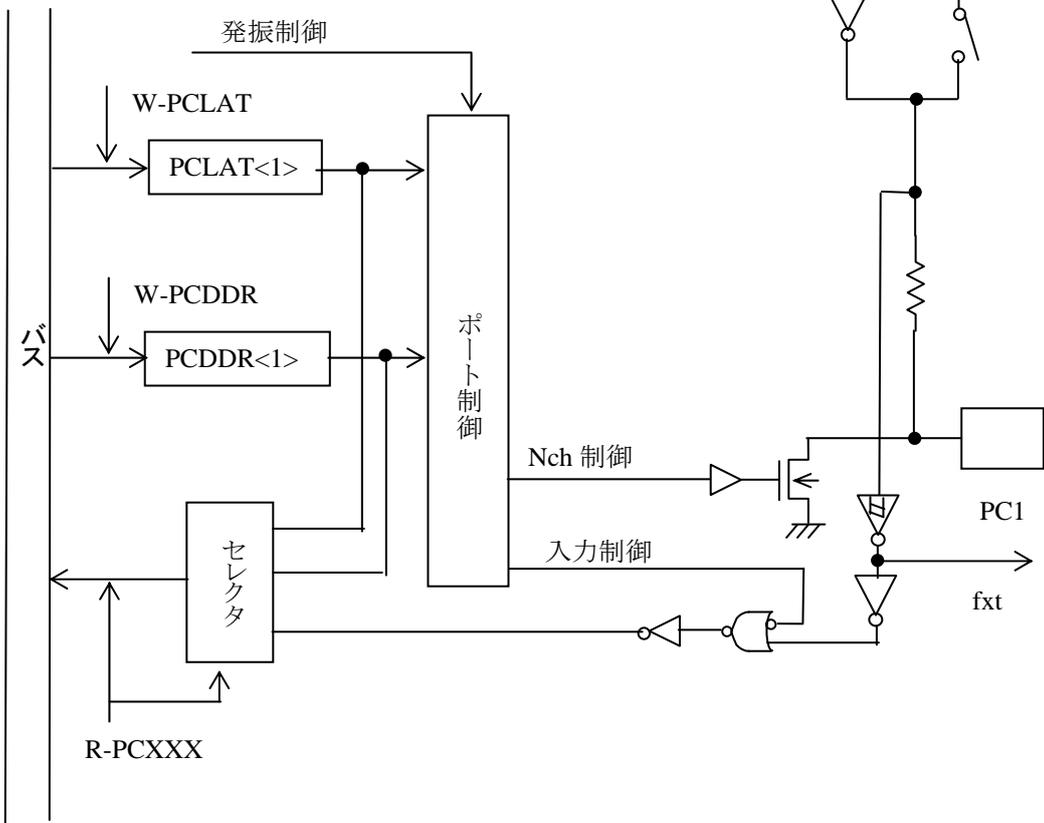
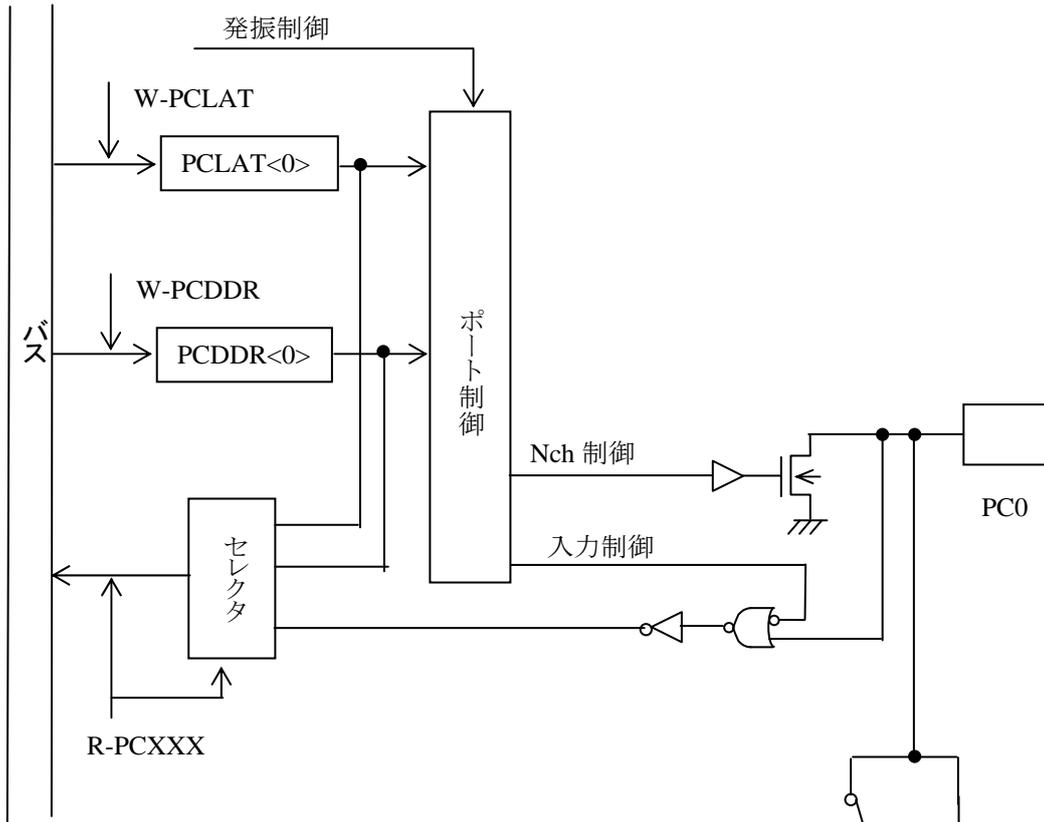
ポート1/2/3/4/A ブロック図

ポートブロック図

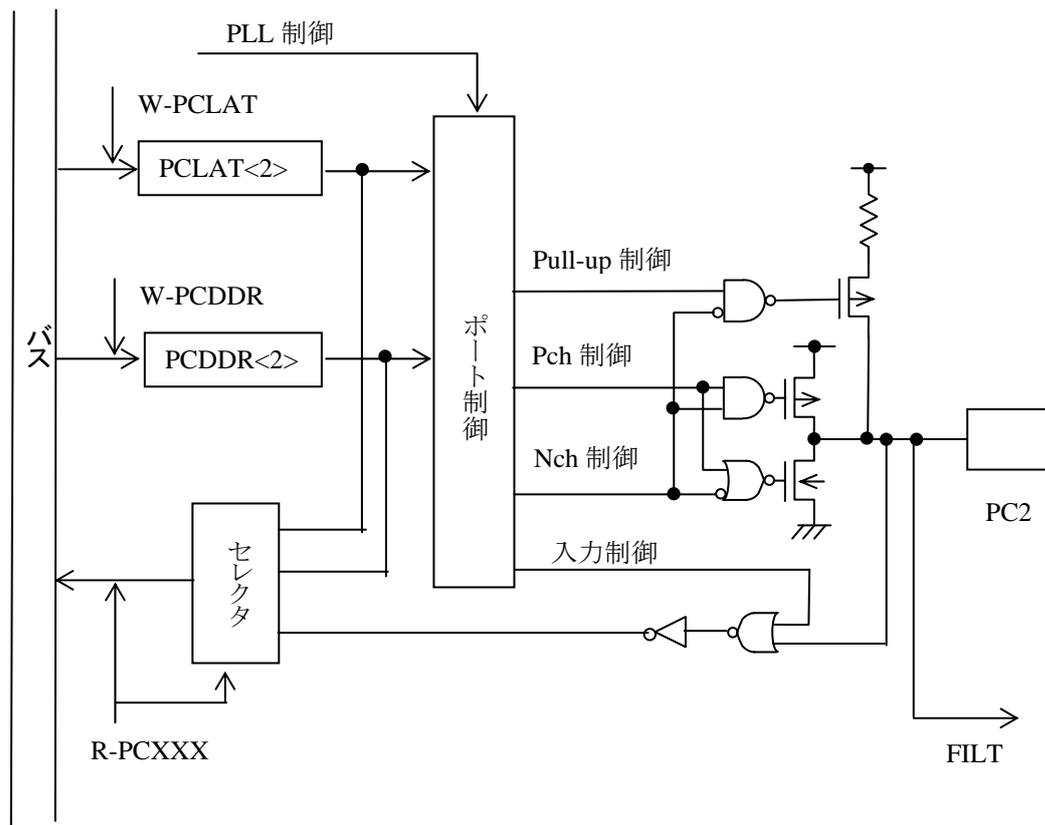


- W-PxLAT:レジスタ PxLAT への書き込み制御信号
- W-PxDDR:レジスタ PxDDR への書き込み信号
- W-PxFSB:レジスタ PxFSB への書き込み信号
- R-PxXXX:PxLAT または PxDDR または PxFSB の読み出し信号
(注) x:は6/7

ポート6/7 ブロック図



ポートブロック図



- W-PCLAT: レジスタ PCLAT への書き込み制御信号
- W-PCDDR: レジスタ PCDDR への書き込み信号
- R-PCXXX: PCLAT または PCDDR の読み出し信号

ポートC ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC885800 シリーズ

ユーザーズマニュアル

Rev. 0 2016. 1 版

オン・セミコンダクター

マイクロコントローラービジネスユニット
