

AND9399/D

CMOS 16-BIT MICROCONTROLLER

LC88C200 シリーズ ユーザーズマニュアル



ON Semiconductor®

www.onsemi.jp

APPLICATION NOTE

オン・セミコンダクター
マイクロコントローラービジネスユニット

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-7
1-4	システムブロック図	1-8
1-5	端子機能表	1-9
1-6	ポート出力形態	1-12

第2章 内部システム構成

2-1	メモリ空間	2-1
2-1-1	プログラム/データ空間	2-1
2-1-2	データ/プログラムスタック/SFR空間	2-2
2-2	プログラムカウンタ(PC)	2-2
2-3	汎用レジスタ	2-4
2-3-1	概要	2-4
2-3-2	R0~R7	2-4
2-3-3	R8	2-4
2-3-4	R9	2-4
2-3-5	R10~R13	2-4
2-3-6	R14(PSW)	2-5
2-3-7	R15(SP)	2-5
2-4	プログラムメモリ(ROM)	2-6
2-5	データメモリ(RAM)	2-6
2-6	特殊機能レジスタ(SFR)	2-7

第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1
3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	レジスタ設定毎のポート状態	3-3
3-1-5	HALT, HOLD, HOLDX時の動作	3-3
3-2	ポート1	3-4
3-2-1	概要	3-4
3-2-2	機能	3-4
3-2-3	関連レジスタ	3-4
3-2-4	レジスタ設定毎のポート状態	3-5
3-2-5	HALT, HOLD, HOLDX時の動作	3-9
3-3	ポート2	3-10
3-3-1	概要	3-10

目 次

3-3-2	機能	3-10
3-3-3	関連レジスタ	3-10
3-3-4	レジスタ設定毎のポート状態	3-11
3-3-5	HALT, HOLD, HOLDX時の動作	3-15
3-4	ポート3	3-16
3-4-1	概要	3-16
3-4-2	機能	3-16
3-4-3	関連レジスタ	3-16
3-4-4	レジスタ設定毎のポート状態	3-17
3-4-5	HALT, HOLD, HOLDX時の動作	3-21
3-5	ポート4	3-22
3-5-1	概要	3-22
3-5-2	機能	3-22
3-5-3	関連レジスタ	3-22
3-5-4	レジスタ設定毎のポート状態	3-23
3-5-5	HALT, HOLD, HOLDX時の動作	3-27
3-6	ポート5	3-28
3-6-1	概要	3-28
3-6-2	機能	3-28
3-6-3	関連レジスタ	3-28
3-6-4	レジスタ設定毎のポート状態	3-29
3-6-5	HALT, HOLD, HOLDX時の動作	3-29
3-7	ポート6	3-30
3-7-1	概要	3-30
3-7-2	機能	3-30
3-7-3	関連レジスタ	3-30
3-7-4	レジスタ設定毎のポート状態	3-31
3-7-5	HALT, HOLD, HOLDX時の動作	3-33
3-8	ポート7	3-34
3-8-1	概要	3-34
3-8-2	機能	3-34
3-8-3	関連レジスタ	3-34
3-8-4	レジスタ設定毎のポート状態	3-35
3-8-5	HALT, HOLD, HOLDX時の動作	3-37
3-9	ポートA	3-38
3-9-1	概要	3-38
3-9-2	機能	3-38
3-9-3	関連レジスタ	3-38
3-9-4	レジスタ設定毎のポート状態	3-39
3-9-5	HALT, HOLD, HOLDX時の動作	3-43

目次

3-1 0	ポートB	3-44
3-1 0-1	概要	3-44
3-1 0-2	機能	3-44
3-1 0-3	関連レジスタ	3-44
3-1 0-4	レジスタ設定毎のポート状態	3-45
3-1 0-5	HALT, HOLD, HOLDX時の動作	3-50
3-1 1	ポートC	3-51
3-1 1-1	概要	3-51
3-1 1-2	機能	3-51
3-1 1-3	関連レジスタ	3-51
3-1 1-4	レジスタ設定毎のポート状態	3-52
3-1 1-5	HALT, HOLD, HOLDX時の動作	3-53
3-1 2	ポートD	3-54
3-1 2-1	概要	3-54
3-1 2-2	機能	3-54
3-1 2-3	関連レジスタ	3-54
3-1 2-4	レジスタ設定毎のポート状態	3-55
3-1 2-5	HALT, HOLD, HOLDX時の動作	3-56
3-1 3	外部割り込み機能 (INT _n)	3-57
3-1 3-1	概要	3-57
3-1 3-2	機能	3-57
3-1 3-3	関連レジスタ	3-59
3-1 3-4	INT _n 入力時のポート設定	3-63
3-1 4	ポート0割り込み機能	3-65
3-1 4-1	概要	3-65
3-1 4-2	機能	3-65
3-1 4-3	関連レジスタ	3-65
3-1 4-4	ポート0割り込みの設定	3-67
3-1 5	ポート5割り込み機能	3-68
3-1 5-1	概要	3-68
3-1 5-2	機能	3-68
3-1 5-3	関連レジスタ	3-69
3-1 5-4	ポート5割り込みの設定	3-70
3-1 6	タイマ0 (T0)	3-71
3-1 6-1	概要	3-71
3-1 6-2	機能	3-71
3-1 6-3	回路構成	3-73
3-1 6-4	関連レジスタ	3-78
3-1 6-5	タイマ0出力のポート設定	3-80
3-1 7	タイマ1 (T1)	3-81

目次

3-17-1	概要	3-81
3-17-2	機能	3-81
3-17-3	回路構成	3-82
3-17-4	関連レジスタ	3-85
3-18	タイマ2 (T2)	3-87
3-18-1	概要	3-87
3-18-2	機能	3-87
3-18-3	回路構成	3-88
3-18-4	関連レジスタ	3-93
3-19	タイマ3 (T3)	3-97
3-19-1	概要	3-97
3-19-2	機能	3-97
3-19-3	回路構成	3-99
3-19-4	関連レジスタ	3-104
3-19-5	タイマ3出力のポート設定	3-108
3-20	タイマ4, タイマ5 (T4, T5)	3-109
3-20-1	概要	3-109
3-20-2	機能	3-109
3-20-3	回路構成	3-110
3-20-4	関連レジスタ	3-114
3-20-5	タイマ4出力, タイマ5出力のポート設定	3-116
3-21	タイマ6, タイマ7 (T6, T7)	3-117
3-21-1	概要	3-117
3-21-2	機能	3-117
3-21-3	回路構成	3-118
3-21-4	関連レジスタ	3-122
3-21-5	タイマ6出力, タイマ7出力のポート設定	3-124
3-22	ベースタイマ	3-125
3-22-1	概要	3-125
3-22-2	機能	3-125
3-22-3	回路構成	3-126
3-22-4	関連レジスタ	3-128
3-23	非同期シリアルインタフェース0 (UART0)	3-129
3-23-1	概要	3-129
3-23-2	機能	3-129
3-23-3	回路構成	3-130
3-23-4	関連レジスタ	3-132
3-23-5	UART0通信フォーマットの具体例	3-135
3-23-6	UART0通信の具体例	3-136
3-24	非同期シリアルインタフェース2 (UART2)	3-139

目次

3-24-1	概要	3-139
3-24-2	機能	3-139
3-24-3	回路構成	3-140
3-24-4	関連レジスタ	3-142
3-24-5	UART2通信フォーマットの具体例	3-144
3-24-6	UART2通信の具体例	3-145
3-25	非同期シリアルインタフェース3 (UART3)	3-148
3-25-1	概要	3-148
3-25-2	機能	3-148
3-25-3	回路構成	3-149
3-25-4	関連レジスタ	3-151
3-25-5	UART3通信フォーマットの具体例	3-153
3-25-6	UART3通信の具体例	3-154
3-26	シリアルインタフェース0 (SIO0)	3-157
3-26-1	概要	3-157
3-26-2	機能	3-157
3-26-3	回路構成	3-158
3-26-4	関連レジスタ	3-161
3-26-5	転送ビット数の設定	3-164
3-26-6	SIO0通信の具体例	3-165
3-27	シリアルインタフェース1 (SIO1)	3-175
3-27-1	概要	3-175
3-27-2	機能	3-175
3-27-3	回路構成	3-176
3-27-4	関連レジスタ	3-179
3-27-5	転送ビット数の設定	3-182
3-27-6	SIO1通信の具体例	3-183
3-28	シリアルインタフェース4 (SIO4)	3-193
3-28-1	概要	3-193
3-28-2	機能	3-193
3-28-3	回路構成	3-194
3-28-4	関連レジスタ	3-197
3-28-5	転送ビット数の設定	3-200
3-28-6	SIO4通信の具体例	3-210
3-29	SMIIC0 (Single master I ² C)	3-211
3-29-1	概要	3-211
3-29-2	回路構成	3-211
3-29-3	関連レジスタ	3-213
3-29-4	I ² CポートSLOW設定時の注意事項	3-224
3-29-5	生成クロック波形とSCL立ち上がり時間	3-224

目次

3-29-6	スタートコンディション/ストップコンディション	3-225
3-29-7	アービトレーションロスト	3-229
3-29-8	単純SIOモード通信の具体例	3-232
3-29-9	シングルマスタI ² C通信の具体例	3-233
3-30	SMIIC1 (Single master I ² C)	3-237
3-30-1	概要	3-237
3-30-2	回路構成	3-237
3-30-3	関連レジスタ	3-239
3-30-4	I ² CポートSLOW設定時の注意事項	3-250
3-30-5	生成クロック波形とSCL立ち上がり時間	3-250
3-30-6	スタートコンディション/ストップコンディション	3-251
3-30-7	アービトレーションロスト	3-255
3-30-8	単純SIOモード通信の具体例	3-258
3-30-9	シングルマスタI ² C通信の具体例	3-259
3-31	SLIIC0 (Slave I ² C)	3-263
3-31-1	概要	3-263
3-31-2	特殊機能レジスタ(SFR)の操作	3-263
3-31-3	回路構成	3-263
3-31-4	関連レジスタ	3-265
3-31-5	I ² CポートSLOW設定時の注意事項	3-275
3-31-6	スタートコンディション/ストップコンディション	3-275
3-31-7	単純SIOモード通信の具体例	3-276
3-31-8	I ² Cモード通信の具体例	3-277
3-32	PWM0	3-280
3-32-1	概要	3-280
3-32-2	機能	3-280
3-32-3	回路構成	3-281
3-32-4	関連レジスタ	3-284
3-32-5	PWM0出力のポート設定	3-286
3-33	ADコンバータ	3-289
3-33-1	概要	3-289
3-33-2	機能	3-289
3-33-3	回路構成	3-290
3-33-4	関連レジスタ	3-291
3-33-5	AD動作の具体例	3-295
3-33-6	ADC使用上の留意点	3-297
3-34	リアルタイムサービス(RTS)	3-298
3-34-1	概要	3-298
3-34-2	機能	3-298
3-34-3	回路構成	3-299

目次

3-3 4-4	関連レジスタ	3-301
3-3 5	CRC演算機能	3-304
3-3 5-1	概要	3-304
3-3 5-2	機能	3-304
3-3 5-3	関連レジスタ	3-306
3-3 6	リアルタイムクロック (RTC)	3-308
3-3 6-1	概要	3-308
3-3 6-2	機能	3-308
3-3 6-3	回路構成	3-309
3-3 6-4	関連レジスタ	3-311
3-3 6-5	RTCの動作	3-314
3-3 7	赤外線リモコン受信回路	3-315
3-3 7-1	概要	3-315
3-3 7-2	機能	3-315
3-3 7-3	回路構成	3-316
3-3 7-4	関連レジスタ	3-320
3-3 7-5	リモコン受信回路の動作	3-326
第4章 制御機能		
4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	割り込み一覧	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-10
4-2-1	概要	4-10
4-2-2	機能	4-10
4-2-3	回路構成	4-11
4-2-4	関連レジスタ	4-13
4-3	スタンバイ機能	4-15
4-3-1	概要	4-15
4-3-2	機能	4-15
4-4	リセット機能	4-21
4-4-1	概要	4-21
4-4-2	機能	4-21
4-4-3	リセット時の状態	4-21
4-5	ウォッチドッグタイマ	4-22
4-5-1	概要	4-22
4-5-2	機能	4-22
4-5-3	回路構成	4-22

目 次

4-5-4	関連レジスタ	4-24
4-5-5	ウォッチドッグタイマの使い方	4-25
4-6	内蔵リセット機能	4-28
4-6-1	概要	4-28
4-6-2	機能	4-28
4-6-3	回路構成	4-28
4-6-4	オプション	4-29
4-6-5	内蔵リセット回路の波形例	4-31
4-6-6	内蔵リセット回路使用時の留意点	4-32
4-6-6	内蔵リセット回路未使用時の留意点	4-32

A P P E N D I X

A-I	特殊機能レジスタ (SFR) マップ	A I-(1-9)
A-II	ポートブロック図	A II-(1-8)

1 概説

1-1 概要

LC88C200シリーズは、Xstormy16 CPUを中心にして、512KバイトのフラッシュROM(オンボード書き換え可能)、24KバイトRAM、16ビットタイマ×8、時計用ベースタイマ、同期式SIO×3(自動転送機能付き)、シングルマスタI²C/同期式SIO×2、スレーブI²C/同期式SIO、非同期式SIO(UART)×3、周期可変12ビットPWM×2、12ビット分解能16チャンネルADコンバータ、赤外線リモコン受信回路、CRC演算回路、ウォッチドッグタイマ、システムクロック分周機能、61要因(33モジュール)14ベクタ割り込み機能、オンチップデバッグ機能等を1チップに集積した16ビットマイクロコンピュータです。

1-2 特徴

■ CPU

- Xstormy16
- 4Gバイトのアドレス空間・汎用レジスタ:16ビット×16本

■ ROM

- LC88FC2H0A: 524288×8ビット(フラッシュROM)
- LC88FC2H0B: 524288×8ビット(フラッシュROM)
- LC88FC2F0B: 393216×8ビット(フラッシュROM)
- LC88FC2D0B: 262144×8ビット(フラッシュROM)
 - 2Kバイト単位でのブロック消去可能
 - 2バイト単位でのデータ書き込み

■ RAM

- LC88FC2H0A : 24576×8ビット
- LC88FC2H0B : 24576×8ビット
- LC88FC2F0B : 24576×8ビット
- LC88FC2D0B : 24576×8ビット

■ 命令サイクルタイム(T_{cyc})

命令サイクルタイム	発振仕様	システムクロック発振源	発振周波数
0.083 μs	1/1分周	セラミック発振(OSC1)	12MHz
0.100 μs	1/1分周	セラミック発振(OSC1)	10MHz
1 μs (Typ)	1/1分周	内蔵RC発振	1MHz (typ)
30.5 μs	1/1分周	水晶発振(OSC0)	32.768kHz

機種概要

■ポート

- ・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 86 (P0n, P1n, P2n, P3n, P4n, P5n, P6n, P7n, PAn, PB0~PB6, PC2, PD0~PD5)
- ・発振、ノーマル耐圧出力ポート 4 (PC0, PC1, PC3, PC4)
- ・リセット端子 1 (RESB)
- ・テスト端子 1 (TEST)
- ・電源端子 8 (VSS1~4, VDD1~4)

■タイマ

- ・タイマ0: PWM/トグル出力可能な16ビットのタイマ
 - ① 5ビットプリスケアラ付き
 - ② 8ビットPWM×2、8ビットタイマ+8ビットPWM分割モード選択可能
 - ③ クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
- ・タイマ1: キャプチャレジスタ付き16ビットタイマ
 - ① 5ビットプリスケアラ付き
 - ② 8ビットタイマ×2chの分割可能
 - ③ クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
- ・タイマ2: キャプチャレジスタ付き16ビットタイマ
 - ① 4ビットプリスケアラ付き
 - ② 8ビットタイマ×2chに分割可能
 - ③ クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択
- ・タイマ3: PWM/トグル出力可能な16ビットタイマ
 - ① 8ビットプリスケアラ付き
 - ② 8ビットタイマ×2ch、8ビットタイマ+8ビットPWMの分割モード選択可能
 - ③ クロックソースをシステムクロック、OSC0、OSC1、VCO発振、外部イベントから選択
- ・タイマ4: トグル出力可能な16ビットタイマ
 - ① ロックソースをシステムクロック、プリスケアラ0、VCO発振から選択
- ・タイマ5: トグル出力可能な16ビットタイマ
 - ① ロックソースをシステムクロック、プリスケアラ0、VCO発振から選択
- ・タイマ6: トグル出力可能な16ビットタイマ
 - ① ロックソースをシステムクロック、プリスケアラ1、VCO発振から選択
- ・タイマ7: トグル出力可能な16ビットタイマ
 - ① クロックソースをシステムクロック、プリスケアラ1、VCO発振から選択
- ・プリスケアラ0, 1はそれぞれ4ビットで構成されクロックソースをシステムクロック、OSC0、OSC1から選択。
- ・ベースタイマ
 - ① クロックは、OSC0 (32.768kHz水晶発振)、システムクロックの分周出力から選択できる。
 - ② 7種類の時間での割り込み発生が可能。

■ シリアルインターフェース

• SIO0: 8ビット同期式 SIO

- ① LSB/MSB先頭切り替え可能
- ② 8ビット以下の通信可能 (1~8ビットのビット指定可能)
- ③ 8ビットボーレートジェネレータ内蔵 (転送クロック4~512T_{cyc})
- ④ 連続データ自動転送機能 (9~32768ビットのビット単位指定可能)
- ⑤ インターバル機能 (インターバル時間0~64t_{SCK})
- ⑥ ウェークアップ機能

• SIO1: 8ビット同期式 SIO

- ① LSB/MSB先頭切り替え可能
- ② 8ビット以下の通信可能 (1~8ビットのビット指定可能)
- ③ 8ビットボーレートジェネレータ内蔵 (転送クロック4~512T_{cyc})
- ④ 連続データ自動転送機能 (9~32768ビットのビット単位指定可能)
- ⑤ インターバル機能 (インターバル時間0~64t_{SCK})
- ⑥ ウェークアップ機能

• SIO4: 8ビット同期式 SIO

- ① LSB/MSB先頭切り替え可能
- ② 8ビット以下の通信可能 (1~8ビットのビット指定可能)
- ③ 8ビットボーレートジェネレータ内蔵 (転送クロック4~512T_{cyc})
- ④ 連続データ自動転送機能 (9~32768ビットのビット単位指定可能)
- ⑤ インターバル機能 (インターバル時間0~64t_{SCK})
- ⑥ ウェークアップ機能

• SMII0: シングルマスタI²C/8ビット同期式 SIO

- モード0: シングルマスタのマスタモードによる通信
- モード1: 同期式8ビットシリアルI/O (データMSB先頭)

• SMII1: シングルマスタI²C/8ビット同期式 SIO

- モード0: シングルマスタのマスタモードによる通信
- モード1: 同期式8ビットシリアルI/O (データMSB先頭)

• SLIIC0: スレーブI²C/8ビット同期式 SIO

- モード0: スレーブモードでのI²C通信
- モード1: 同期式8ビットシリアルI/O (データMSB先頭)
- (注) 外部クロックでのみ使用可能

• UART0: 非同期式 SIO

- ① データ長 : 8ビット (LSBファースト)
- ② ストップビット : 1ビット
- ③ パリティビット : なし/偶数パリティ/奇数パリティ
- ④ 転送レート : 4/8サイクル
- ⑤ ボーレートソースクロック : P07入力信号 (TOPWMH信号をクロックソースとして使用可能) またはタイマ4周期
- ⑥ 全二重通信

機種概要

・UART2:非同期式SIO

- ①データ長 : 8ビット(LSBファースト)
- ②ストップビット : 1ビット
- ③パリティビット : なし/偶数パリティ/奇数パリティ
- ④転送レート : 8~4096サイクル
- ⑤ボーレートソースクロック : システムクロック/OSC0/OSC1/P26入力信号
- ⑥ウェークアップ機能
- ⑦全二重通信

・UART3:非同期式SIO

- ①データ長 : 8ビット(LSBファースト)
- ②ストップビット : 1ビット
- ③パリティビット : なし/偶数パリティ/奇数パリティ
- ④転送レート : 8~4096サイクル
- ⑤ボーレートソースクロック : システムクロック/OSC0/OSC1/P36入力信号
- ⑥ウェークアップ機能
- ⑦全二重通信

■ADコンバータ

- ①12/8ビット分解能切り替え
- ②アナログ入力:16チャンネル
- ③コンパレータモード
- ④基準電圧自動発生

■PWM

・PWM0:周期可変12ビットPWM×2チャンネル(PWM0A、PWM0B)

- ①2チャンネル1組で構成され制御は独立
- ②クロックソースをシステムクロック、OSC1から選択可能
- ③8ビットプリスケアラ内蔵: $TPWMR0 = (\text{プリスケアラ設定値} + 1) \times \text{クロック周期}$
- ④8ビット基本波PWM発生回路+4ビット付加パルス発生回路
- ⑤基本波PWMモード
 - 基本波周期 $16TPWMR0 \sim 256TPWR0$
 - HIGHパルス幅 $0 \sim (\text{基本波周期} - TPWMR0)$
- ⑥基本波+付加パルスモード
 - 基本波周期 $16TPWR0 \sim 256TPWR0$
 - 全体周期 基本波周期×16
 - HIGHパルス幅 $0 \sim (\text{全体周期} - TPWR0)$

■CRC演算回路

■赤外線リモコン受信回路

- ①ノイズ除去機能
(ノイズ除去フィルタの時定数:基準クロックに32.768kHzの水晶発振を選択した場合、約120μs)
- ②PPM(Pulse Position Modulation)、マンチェスター方式などの符号化方式に対応
- ③HOLDXモード解除機能

■ 内蔵リセット回路

- ・パワーオンリセット (POR) 機能

PORは電源投入時のみリセットがかかります。
 POR解除レベルはオプションにて切り替え可能。

- ・低電圧検知リセット (LVD) 機能

LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
 LVD機能を使用 / 不使用と低電圧検知レベルをオプションにて切り替え可能。

■ ウォッチドッグタイマ

- ・ベースタイマ+内蔵のウォッチドッグ専用カウンタにより動作する。
- ・割り込み、リセットの選択可能。

■ 割り込み (周辺機能)

- ・61要因 (33モジュール) 14ベクタ

- ① 割り込みは3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ② 2つ以上のベクタアドレスへの割り込み要求が発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	割り込み (周辺機能)
1	08000H	ウォッチドッグタイマ (1)
2	08004H	ベースタイマ (2)
3	08008H	タイマ 0 (2)
4	0800CH	INT0 (1)
5	08010H	
6	08014H	INT1 (1)
7	08018H	INT2 (1) / タイマ 1 (2) / UART2 (4)
8	0801CH	INT3 (1) / タイマ 2 (4) / SMIC0 (1) / SLIC0 (1)
9	08020H	INT4 (1) / タイマ 3 (2) / 赤外線リモコン受信(4)
10	08024H	INT5 (1) / タイマ 4 (1) / SIO1 (2)
11	08028H	
12	0802CH	PWM0 (1) / SMIC1 (1)
13	08030H	ADC (1) / タイマ 5 (1) / SIO4 (2)
14	08034H	INT6 (1) / タイマ 6 (1) / UART3 (4)
15	08038H	INT7 (1) / タイマ 7 (1) / SIO0 (2)
16	0803CH	ポート 0 (3) / ポート 5 (8) / RTC (1) / CRC(1)

- ・優先レベルを3レベル指定可能
- ・同一レベルではベクタアドレスの小さいものが優先
- ・()内の数字はモジュールにおける要因数

機種概要

■ 割り込み (例外処理)

・5要因 1ベクタ

- ① 例外割り込み制御レジスタ (EXCPL、EXCPH) で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。
- ② 例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

No.	ベクタ	割り込み (例外処理)
1	08080H	例外処理(5)

・()内の数字は要因数

■ サブルーチンスタック: 24KバイトRAM領域

PSWを自動待避するサブルーチンコール、割り込みベクタコール: 6バイト

PSWを自動待避しないサブルーチンコール: 4バイト

■ 乗除算命令

- ・16ビット×16ビット (実行時間: 4Tcyc)
- ・16ビット÷16ビット (実行時間: 18~19Tcyc)
- ・32ビット÷16ビット (実行時間: 18~19Tcyc)

■ 発振回路

- ・RC発振回路 (内蔵) : システムクロック用
- ・OSC1 (CF発振回路) : システムクロック用 (CF1, CF2)
- ・OSC0 (水晶発振回路) : 低速システムクロック用 (XT1, XT2)
- ・低速RC発振回路 (内蔵) : 発振停止時システムクロック用
- ・VCO発振回路 : タイマ3, 4, 5, 6, 7用

■ システムクロック分周機能

- ・低消費電流動作可能
- ・システムクロックの1~128分周の設定が可能

■ スタンバイ機能

- ・HALTモード: 命令実行停止, 周辺回路動作継続
 - ① 発振の停止は自動的には行いません。
 - ② システムリセットまたは割り込みの発生により解除。
- ・HOLDモード: 命令実行停止, 周辺回路動作停止
 - ① OSC1, 内蔵RC発振, OSC0のいずれも自動的に停止します。
 - ② HOLDモードを解除するには次の6つの方法があります。
 - (1) リセット端子に「L」レベルを入力する。
 - (2) INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3) POINT, P04INT, P05INTで割り込み要因が成立する。
 - (4) ポート5で割り込み要因が成立する。
 - (5) SIO0, SIO1, SIO4で割り込み要因が成立する。
 - (6) UART2, UART3で割り込みが成立する。

・HOLDXモード:命令実行停止, OSC0で動作するモジュール以外の周辺回路動作停止

- ①OSC1, 内蔵RC発振は自動的に停止します。
- ②OSC0は突入時の状態を維持します。
- ③HOLDXモードを解除するには次の7つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0, INT1, INT2, INT3, INT4, INT5, INT6, INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)POINT, P04INT, P05INTで割り込み要因が成立する。
 - (4)ポート5で割り込み要因が成立する。
 - (5)SIO0, SIO1, SIO4で割り込み要因が成立する。
 - (6)UART2, UART3で割り込みが成立する。
 - (7)ベースタイム回路で割り込み要因が成立する。

■ サンプル形態

・TQFP100(14×14) : 『鉛フリー・ハロゲンフリー仕様品』

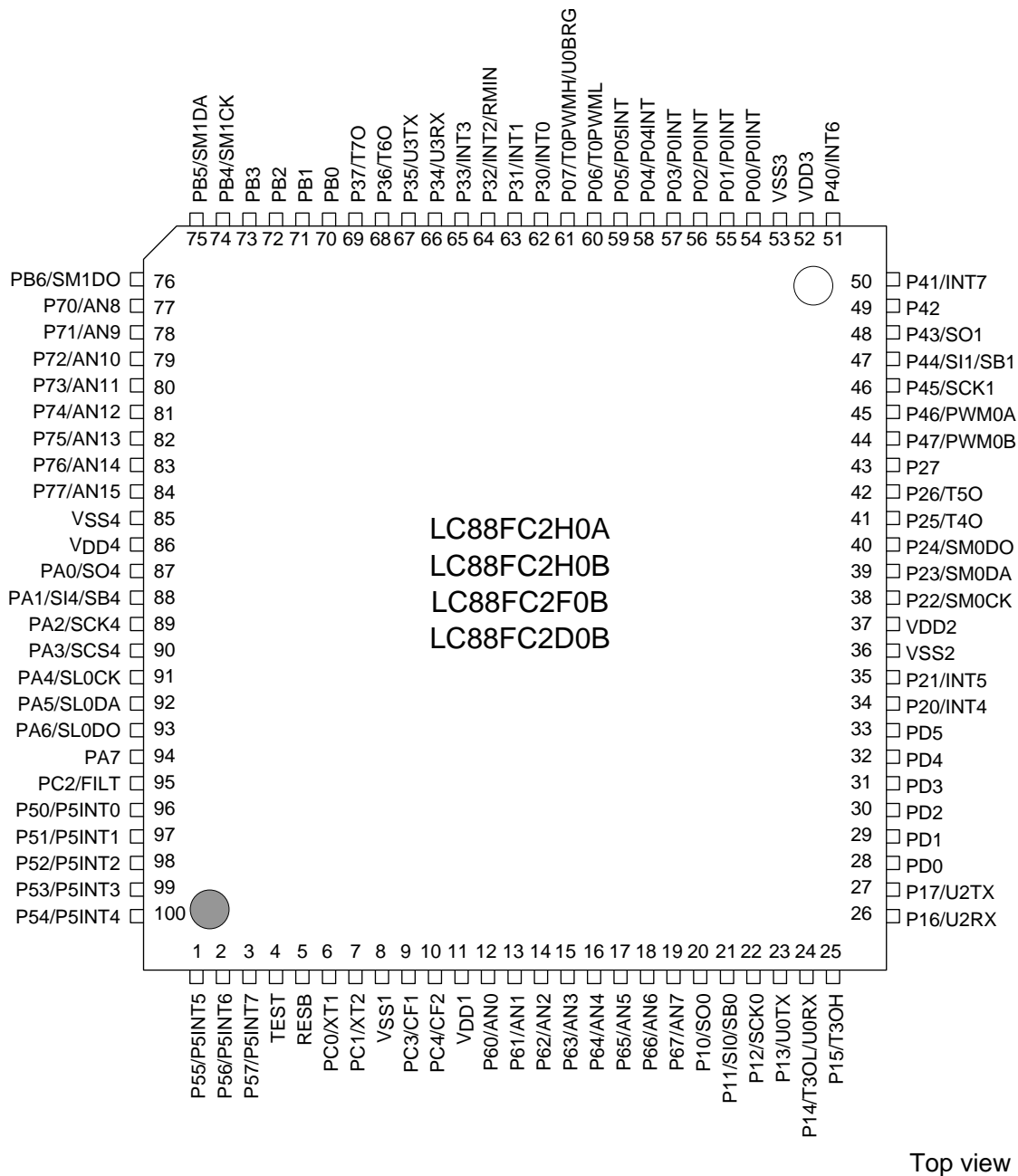
■ オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・ソースラインデバッグ機能、トレース機能、ブレイクポイント設定、リアルタイム表示機能
- ・1ワイヤー通信

■ 開発ツール

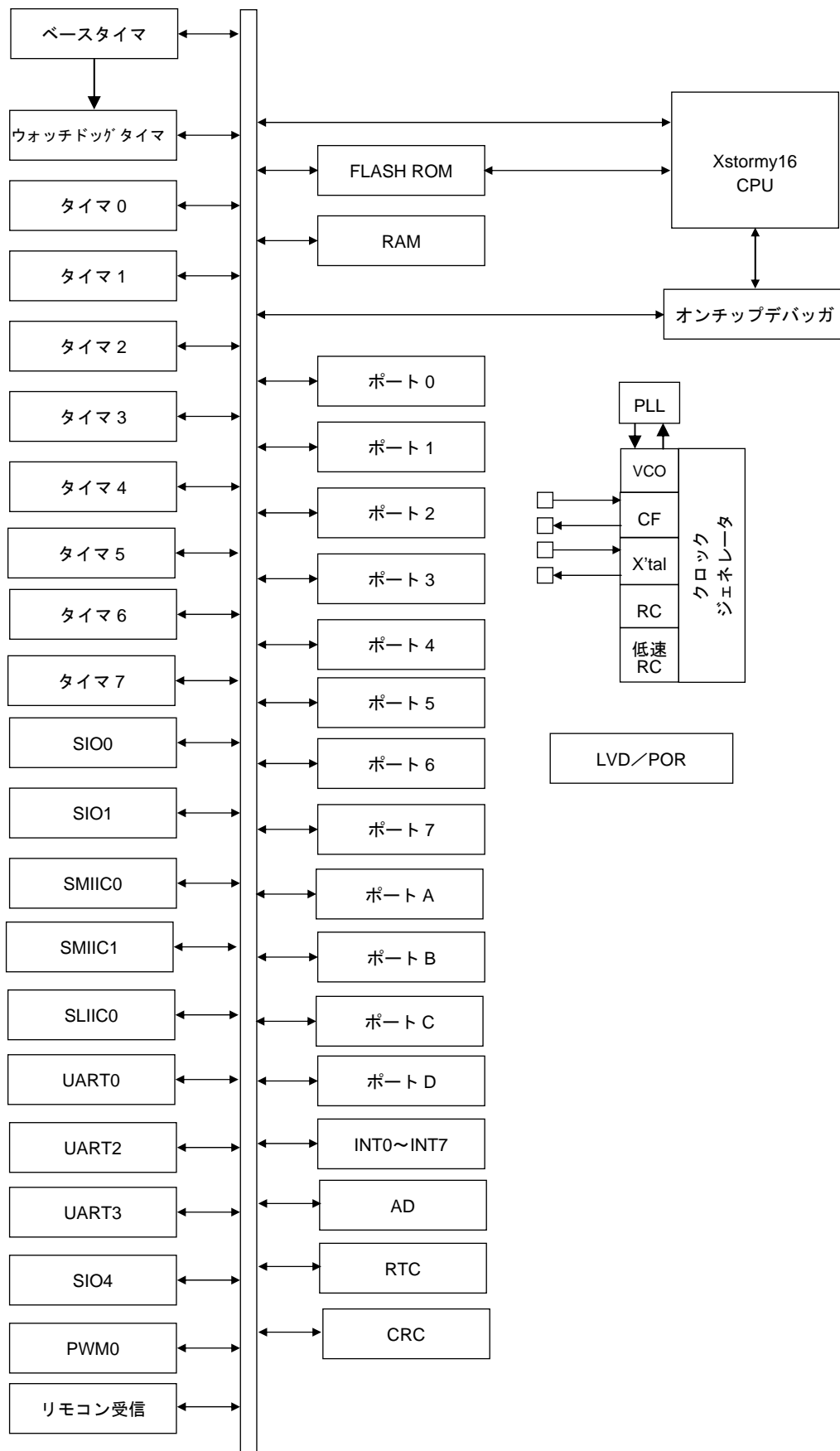
・オンチップデバッグ : EOCUIF2+LC88FC2H0A
 EOCUIF2+LC88FC2H0B
 EOCUIF2+LC88FC2F0B
 EOCUIF2+LC88FC2D0B

1-3 ピン配置図



TQFP100 (14×14) 『鉛フリー・ハロゲンフリー仕様品』

1-4 システムブロック図



機種概要

1-5 端子機能表

端子名	I/O	機能説明
VSS1,VSS2, VSS3,VSS4	-	電源の-端子
VDD1,VDD2, VDD3,VDD4	-	電源の+端子
ポート0 P00~P07	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・ポート0 割り込み入力(P00~P03, P04, P05) ・HOLD 解除入力(P00~P03, P04, P05) ・端子機能 <ul style="list-style-type: none"> P06:タイマ 0L 出力 P07:タイマ 0H 出力/UART0クロック入力
ポート1 P10~P17	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P10:SIO0データ出力 P11:SIO0データ入力/バス入出力 P12:SIO0クロック入出力 P13:UART0送信 P14:タイマ 3L 出力/UART0受信 P15:タイマ 3H 出力 P16:UART2 受信 P17:UART2 送信
ポート2 P20~P27	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P20:INT4 入力/HOLD 解除入力/タイマ 3 イベント入力 /タイマ 2L キャプチャ入力/タイマ 2H キャプチャ入力 P21:INT5 入力/HOLD 解除入力/タイマ 3 イベント入力 /タイマ 2L キャプチャ入力/タイマ 2H キャプチャ入力 P22:SMIIC0 クロック入出力 P23:SMIIC0 データバス入出力 P24:SMIIC0 データ(3 線式 SIO モード時使用) P25:タイマ 4 出力 P26:タイマ 5 出力 ・インタラプト受付形式 INT4, INT5:H レベル, L レベル, H エッジ, L エッジ, 両エッジ
ポート3 P30~P37	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P30:INT0 入力/HOLD 解除入力/タイマ 2L キャプチャ入力 P31:INT1 入力/HOLD 解除入力/タイマ 2H キャプチャ入力 P32:INT2 入力/HOLD 解除入力/タイマ 2 イベント入力 /タイマ 2L キャプチャ入力/赤外線リモコン受信 P33:INT3 入力/HOLD 解除入力/タイマ 2 イベント入力 /タイマ 2H キャプチャ入力 P34:UART3 受信 P35:UART3 送信 P36:タイマ 6 出力 P37:タイマ 7 出力 ・インタラプト受付形式 INT0~INT3:H レベル, L レベル, H エッジ, L エッジ, 両エッジ

端子名	I/O	機能説明
ポート4 P40～P47	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P40:INT6 入力/HOLD 解除入力 P41:INT7 入力/HOLD 解除入力 P43:SI01 データ出力 P44:SI01 データ入力/バス入出力 P45:SI01 クロック入出力 P46:PWM0A 出力 P47:PWM0B 出力 ・インタラプト受付形式 <ul style="list-style-type: none"> INT6, INT7:Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ
ポート5 P50～P57	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・ポート5 割り込み機能 ・HOLD 解除
ポート6 P60～P67	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> AN0(P60)～AN7(P67):AD 変換入力ポート
ポート7 P70～P77	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> AN8(P70)～AN15(P77):AD 変換入力ポート
ポートA PA0～PA7	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> PA0:SIO4 データ出力 PA1:SIO4 データ入力/バス入出力 PA2:SIO4 クロック入出力 PA3:SIO4 チップセレクト入力 PA4:SLIIC クロック入出力 PA5:SLIIC データバス入出力 PA6:SLIIC データ(3線式 SIO モード時使用)
ポートB PB0～PB6	I/O	<ul style="list-style-type: none"> ・7ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> PB4:SMIIC1 クロック入出力 PB5:SMIIC1 データバス入出力 PB6:SMIIC1 データ(3線式 SIO モード時使用)

機種概要

端子名	I/O	機能説明
ポートC PC0~PC4	I/O	•5ビットの出力ポート •1ビット単位の出力指定可能 •1ビット単位プルアップ抵抗 ON/OFF 可能(PC2) •端子機能 PC0:32.768kHz 水晶発振子入力 PC1:32.768kHz 水晶発振子出力 PC2:VCO 用 FILT 接続 PC3:セラミック発振子入力 PC4:セラミック発振子出力
ポートD PD0~PD5	I/O	•6ビットの入出力ポート •1ビット単位の入出力指定可能 •1ビット単位プルアップ抵抗 ON/OFF 可能
TEST	I/O	•テスト端子 •オンチップデバッグ通信端子(利用時には 100k Ω のプルダウン抵抗を外部接続する)
RESB	I/O	•リセット端子

1-6 ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	出力形式切り替え単位	出力形式	プルアップ抵抗
P00～P07	1ビット単位 (プログラマブル)	CMOS	プログラマブル
P10～P17 P20～P27 P30～P37 P40～P47 PA0～PA7 PB0～PB6		兼用機能はCMOS/Nchオープン ドレイン出力の設定をプログラマブル に制御可能	
P60～P67 P70～P77 PD0～PD5 PC2		CMOS	
PC0		CMOS (32.768kHz 水晶発振子用入力)	なし
PC1		CMOS (32.768kHz 水晶発振子用出力)	なし
PC3		CMOS (セラミック発振子用入力)	なし
PC4		CMOS (セラミック発振子用出力)	なし

2 内部システム構成

2-1 メモリ空間

Xstormy16は、4Gバイトのリニアアドレスメモリを制御できます。

4Gバイトのメモリ空間のうち0000_0000h~0000_7FFFhの32Kバイトは命令で制御され、CPU動作と周辺機能を実現するために使用されます。

0000_8000h~FFFF_FFFFhの約4Gバイトはプログラム及びデータ格納用として使用されプログラムとしてはプログラムカウンタ(PC)で制御されます。また、データ格納用として0000_0000h~0000_7FFFhと同様に命令で制御できます。

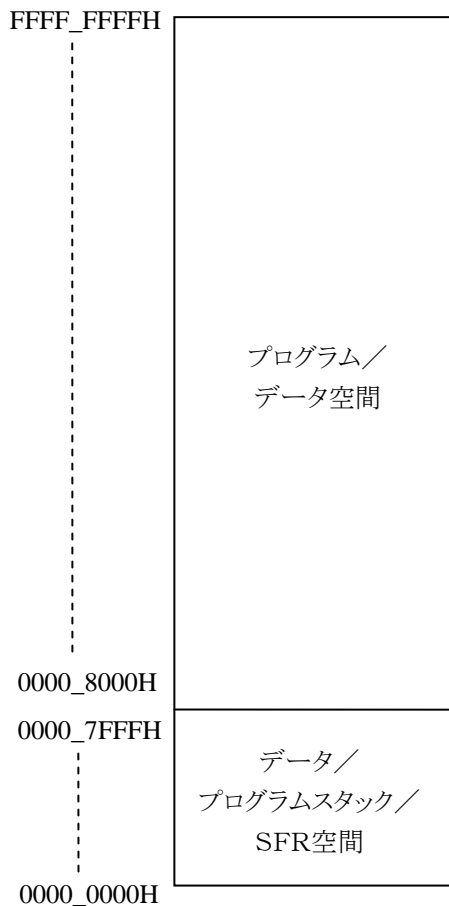


図 2-1-1 Xstormy16メモリ空間

2-1-1 プログラム/データ空間

プログラム/データ空間は0000_8000H~FFFF_FFFFHの約4Gバイトありますが、実際に内蔵するメモリは機種により異なります。プログラム空間のうち256バイトをオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-1-2 データ／プログラムスタック／SFR空間

データ／プログラムスタック／SFR空間は0000_0000H～0000_7FFFHの32Kバイトありますが、実際に内蔵しているRAM(データ／プログラムスタック)／SFRは機種により異なります。

図2-1-2に示すように、データ／プログラムスタック／SFR空間のアドレスにより使用できる命令が異なります。

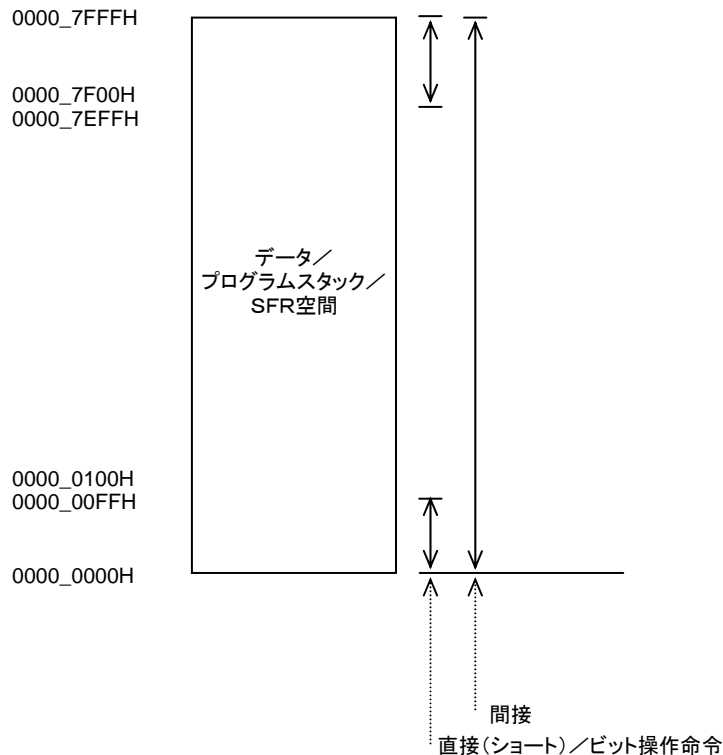


図2-1-2 データ／プログラムスタック／SFR空間アドレッシングマップ

また、PSWを自動的に退避するサブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSPにPCの下位16ビットが、SP+2にPCの上位16ビットが、SP+4にPSWの値が格納され、SP=SP+6となります。PSWを自動的に退避しないサブルーチンコールが発生するとRAMのSPにPCの下位16ビットが、SP+2にPCの上位16ビットが格納され、SP=SP+4となります。

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は32ビットで構成されて、PCにより、0000_8000H～FFFF_FFFFHの約4Gバイト空間がリニアにアクセスできます。

CPUの命令は、すべて2バイトを単位としているため、最下位ビットは無効で0とみなされます。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表2-2-1に示します。

表 2-2-1 PC設定値

動作の種類		PCの値
割り込み	リセット/ウォッチドッグタイマ	0000_8000H
	ベースタイマ	0000_8004H
	タイマ0	0000_8008H
	INT0	0000_800CH
		0000_8010H
	INT1	0000_8014H
	INT2/タイマ1/UART2	0000_8018H
	INT3/タイマ2/SMIIC0/SLIIC0	0000_801CH
	INT4/タイマ3/赤外線リモコン受信	0000_8020H
	INT5/タイマ4/SIO1	0000_8024H
		0000_8028H
	PWM0/SMIIC1	0000_802CH
	ADC/タイマ5/SIO4	0000_8030H
	INT6/タイマ6/UART3	0000_8034H
	INT7/タイマ7/SIO0	0000_8038H
	ポート0/ポート5/RTC/CRC	0000_803CH
例外処理	0000_8080H	
無条件分岐命令	JMPF a24	PC=a24
	JMP Rb,Rs	PC=Rb<<16+Rs Rb:ベースレジスタの内容 Rs:汎用レジスタの内容
	BR r12	PC=PC+2+r12[-2048~+2047]
	BR Rs	PC=PC+2+Rs[-32768~+32768] Rs:汎用レジスタの内容
条件分岐命令	BGE, BNC, BLT, BC, BGT, BHI, BLE, BLS, BPL, BNV, BMI, BV, BNZ, BZ, BN, BP	PC=PC+nb+r12[-2048~+2048] または PC=PC+nb+r8[-128~+127] nb:命令のバイト数
CALL命令	CALLF a24	PC=a24
	CALL Rb,Rs ICALL Rb,Rs	PC=Rb<<16+Rs Rb:ベースレジスタの内容 Rs:汎用レジスタの内容
	CALLR r12 ICALLR r12	PC=PC+2+r12[-2048~+2047]
	CALLR Rs ICALLR Rs	PC=PC+2+Rs[-32768~+32768]
	リターン命令	RET,IRET

2-3 汎用レジスタ

2-3-1 概要

本シリーズは16本の汎用レジスタ(R0~R15)が実装されています。
バイトモードでは下位8ビットのみ命令実行の対象となります。また、バイトモードでデータをロードすると上位8ビットは0になります。

名前	別名	説明
R0~R13		16ビットの汎用レジスタです。
R14	PSW	CPUの状態を示す16ビットのレジスタとして使用します。
R15	SP	サブルーチンスタックポインタとして暗示的に使用する16ビットレジスタです。 SPのビット0は常に0で使用してください。

2-3-2 R0~R7

各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。

2-3-3 R8

- ① 各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ② 1ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ③ 2ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ④ CALL, ICALL, JMP命令でPC32~16指定に使用されます。

2-3-4 R9

- ① 各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ② 2ワードMOVF命令でベースアドレスレジスタとして使用されます。
- ③ CALL, ICALL, JMP命令でPC32~16指定に使用されます。

2-3-5 R10~R13

- ① 各演算で使用され、データやアドレスの値を格納する16ビットのレジスタです。
- ② 2ワードMOVF命令でベースアドレスレジスタとして使用されます。

2-3-6 R14(PSW)

CPUの状態を格納する16ビットのレジスタです。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 *このビットが1でないときすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。
9	IL1	*IE=1の時、IL2~IL0で指定されたレベルより高いレベルの割り込み 要求が受け付けられます。
10	IL2	
11	WS	例外割り込み制御レジスタの書込み制御。(0/1:禁止/許可)
12	N0	N3~N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタのアドレスがここに入ります。
13	N1	
14	N2	
15	N3	

(注) MUL・DIV・DIVLH・SDIV・SDIVLH命令実行時のフラグ変化は以下のようになります。

- Z8,Z16,P,S … 演算結果のR0の値に影響を受け変化します。
 HC,OV,N0~N3 … クリアされます。
 CY … SDIV・SDIVLH命令時はSフラグと同一値、それ以外の場合クリア。

2-3-7 R15(SP)

暗示的にサブルーチンのスタックポインタとして使用される16ビットのレジスタです。サブルーチンスタックポインタとして使用されるので、SPのビット0は常に0にする必要があります。

SPの値は以下のように変化します。

- ①PUSH命令実行時 : $RAM(SP) = DATA, SP = SP + 2$
 ②CALL, CALLF,
 CALLR命令実行時 : $RAM(SP) = PCL, SP = SP + 2,$
 $RAM(SP) = PCH, SP = SP + 2$
 ③ICALL, ICALLF,
 ICALLR命令実行時 : $RAM(SP) = PCL, SP = SP + 2,$
 $RAM(SP) = PCH, SP = SP + 2,$
 $RAM(SP) = PSW, SP = SP + 2$
 ④POP命令実行時 : $SP = SP - 2, DATA = RAM(SP)$
 ⑤RET命令実行時 : $SP = SP - 2, PCH = RAM(SP),$
 $SP = SP - 2, PCL = RAM(SP)$
 ⑥IRET命令実行時 : $SP = SP - 2, PSW = RAM(SP),$
 $SP = SP - 2, PCH = RAM(SP),$
 $SP = SP - 2, PCL = RAM(SP)$

*PCLはPC(プログラムカウンタ)のビット0~15、PCHはPCのビット16~31を示します。

2-4 プログラムメモリ (ROM)

本シリーズはプログラム/データ空間に以下のように、プログラムメモリ (ROM) を内蔵しています。

機種名	アドレス	ROMサイズ
LC88FC2H0A	0000_8000H~0008_7FFFH	512K バイト
LC88FC2H0B	0000_8000H~0008_7FFFH	512k バイト
LC88FC2F0B	0000_8000H~0006_7FFFH, 0008_7000H~0008_7FFFH	384K バイト + 4K バイト
LC88FC2D0B	0000_8000H~0004_7FFFH, 0008_7000H~0008_7FFFH	256K バイト + 4K バイト

(注) 本シリーズは 0008_7F00H~0008_7FFFH の 256 バイトをオプション指定領域として使用しますので、この領域はプログラム領域として使用することはできません。

2-5 データメモリ (RAM)

本シリーズはデータメモリまたはプログラムスタック用として、以下のように RAM を内蔵しています。

機種名	アドレス	RAMサイズ
LC88FC2H0A/ LC88FC2H0B/ LC88FC2F0B/ LC88FC2D0B	0000_0000H~0000_5FFFH	24576 バイト

2-6 特殊機能レジスタ(SFR)

本シリーズは周辺機能を制御するための特殊機能レジスタ(SFR)がアドレス0000_7E00H~0000_7FFFHに存在しています。SFRの一覧を表2-6-1に示します。SFR内の各レジスタの内容は、各項目を参照してください。

表2-6-1 SFR一覧

シンボル	アドレス	R/W	名称	初期値
	7EE0			
	7EE1			
	7EE2			
	7EE3			
	7EE4			
	7EE5			
	7EE6			
	7EE7			
	7EE8			
	7EE9			
	7EEA			
	7EEB			
	7EEC			
	7EED			
TMXCKSL	7EEE	R/W	タイマクロック選択レジスタ	LLLL_L000
	7EEF			
RTCCNT	7EF0	R/W	RTC制御レジスタ	0000_0000
SECR	7EF1	R/W	秒設定レジスタ/カウンタ	LL00_0000
MINR	7EF2	R/W	分設定レジスタ/カウンタ	LL00_0000
HOURR	7EF3	R/W	時設定レジスタ/カウンタ	LLL0_0000
DAYR	7EF4	R/W	日設定レジスタ/カウンタ	LLL0_0001
WEEKR	7EF5	R/W	週設定レジスタ/カウンタ	LLLL_L000
MONTHR	7EF6	R/W	月設定レジスタ/カウンタ	LLLL_0001
YEARR	7EF7	R/W	年設定レジスタ/カウンタ	L000_0000
CENTR	7EF8	R/W	世紀設定レジスタ/カウンタ	LLLL_L000
RTCCLB	7EF9	R/W	システム予約	0000_0000
	7EFA			
	7EFB			
	7EFC			
	7EFD			
	7EFE			
	7EFF			

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
	7F00			
	7F01			
IL1L	7F02	R/W	割り込みレベル設定レジスタ 1L	0000_0000
IL1H	7F03	R/W	割り込みレベル設定レジスタ 1H	0000_0000
IL2L	7F04	R/W	割り込みレベル設定レジスタ 2L	0000_0000
IL2H	7F05	R/W	割り込みレベル設定レジスタ 2H	0000_0000
	7F06			
	7F07			
EXCPL	7F08	R/W	例外割り込み制御レジスタ下位	0000_0000
EXCPH	7F09	R/W	例外割り込み制御レジスタ上位	LL00_L0L0
OCR0	7F0A	R/W	発振制御レジスタ0	0000_0000
OCR1	7F0B	R/W	発振制御レジスタ1	0L00_L000
WDTCR	7F0C	R/W	ウォッチドッグタイマ制御レジスタ	0L00_0000
RAND	7F0D		システム予約レジスタ	
BTCR	7F0E	R/W	ベースタイマ制御レジスタ	0000_0000
PWRDET	7F0F		システム予約レジスタ	
T0LR	7F10	R/W	タイマ0一致データレジスタ下位	0000_0000
T0HR	7F11	R/W	タイマ0一致データレジスタ上位	0000_0000
T0CNT	7F12	R/W	タイマ0制御レジスタ	0000_0000
T0PR	7F13	R/W	タイマ0プリスケアラ制御レジスタ	0000_0000
T1LR	7F14	R/W	タイマ1一致データレジスタ下位	0000_0000
T1HR	7F15	R/W	タイマ1一致データレジスタ上位	0000_0000
T1CNT	7F16	R/W	タイマ1制御レジスタ	0000_0000
T1PR	7F17	R/W	タイマ1プリスケアラ制御レジスタ	0000_0000
T2LR	7F18	R/W	タイマ2一致データレジスタ下位	0000_0000
T2HR	7F19	R/W	タイマ2一致データレジスタ上位	0000_0000
T2L	7F1A	R	タイマ2下位	0000_0000
T2H	7F1B	R	タイマ2上位	0000_0000
T2CNT0	7F1C	R/W	タイマ2制御レジスタ0	0000_0000
T2CNT1	7F1D	R/W	タイマ2制御レジスタ1	LLL0_0000
T2CNT2	7F1E	R/W	タイマ2制御レジスタ2	000L_0000
	7F1F			
ADCR	7F20	R/W	ADコンバータ制御レジスタ	0000_0000
ADMR	7F21	R/W	ADモードレジスタ	0000_0000
ADRL	7F22	R/W	AD変換結果レジスタ下位	0000_0000
ADRH	7F23	R/W	AD変換結果レジスタ上位	0000_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
	7F24			
	7F25			
	7F26			
	7F27			
T3LR	7F28	R/W	タイマ3一致データレジスタ下位	0000_0000
T3HR	7F29	R/W	タイマ3一致データレジスタ上位	0000_0000
T3L	7F2A	R	タイマ3下位	0000_0000
T3H	7F2B	R	タイマ3上位	0000_0000
T3CNT0	7F2C	R/W	タイマ3制御レジスタ0	0000_0000
T3CNT1	7F2D	R/W	タイマ3制御レジスタ1	LLLL_LL00
T3PR	7F2E	R/W	タイマ3プリスケアラ制御レジスタ	0000_0000
	7F2F			
S0CNT	7F30	R/W	SIO0制御レジスタ	0000_0000
S0BG	7F31	R/W	SIO0ボーレート制御レジスタ	0000_0000
S0BUF	7F32	R/W	SIO0データバッファ	0000_0000
S0INTVL	7F33	R/W	SIO0インターバルレジスタ	0000_0000
S1CNT	7F34	R/W	SIO1制御レジスタ	0000_0000
S1BG	7F35	R/W	SIO1ボーレート制御レジスタ	0000_0000
S1BUF	7F36	R/W	SIO1データバッファ	0000_0000
S1INTVL	7F37	R/W	SIO1インターバルレジスタ	0000_0000
U0CR	7F38	R/W	UART0制御レジスタ	0X00_X0X0
	7F39			
U0RXL	7F3A	R/W	UART0受信データレジスタL	0000_0000
U0RXH	7F3B	R/W	UART0受信データレジスタH	XLLL_LL00
U0TXL	7F3C	R/W	UART0送信データレジスタL	0000_0000
U0TXH	7F3D	R/W	UART0送信データレジスタH	LLLL_LLH0
	7F3E			
	7F3F			
P0LAT	7F40	R/W	ポート0データラッチ	0000_0000
P0IN	7F41	R	ポート0入力アドレス	XXXX_XXXX
P0DDR	7F42	R/W	ポート0データディレクションレジスタ	0000_0000
P0FSA	7F43	R/W	ポート0機能制御レジスタA	0000_0000
P1LAT	7F44	R/W	ポート1データラッチ	0000_0000
P1IN	7F45	R	ポート1入力アドレス	XXXX_XXXX
P1DDR	7F46	R/W	ポート1データディレクションレジスタ	0000_0000
P1FSA	7F47	R/W	ポート1機能制御レジスタA	0000_0000
P2LAT	7F48	R/W	ポート2データラッチ	0000_0000
P2IN	7F49	R	ポート2入力アドレス	XXXX_XXXX
P2DDR	7F4A	R/W	ポート2データディレクションレジスタ	0000_0000
P2FSA	7F4B	R/W	ポート2機能制御レジスタA	0000_0000
P3LAT	7F4C	R/W	ポート3データラッチ	0000_0000
P3IN	7F4D	R	ポート3入力アドレス	XXXX_XXXX
P3DDR	7F4E	R/W	ポート3データディレクションレジスタ	0000_0000
P3FSA	7F4F	R/W	ポート3機能制御レジスタA	0000_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
P4LAT	7F50	R/W	ポート4データラッチ	0000_0000
P4IN	7F51	R	ポート4入力アドレス	XXXX_XXXX
P4DDR	7F52	R/W	ポート4データディレクションレジスタ	0000_0000
P4FSA	7F53	R/W	ポート4機能制御レジスタA	0000_0000
P5LAT	7F54	R/W	ポート5データラッチ	0000_0000
P5IN	7F55	R	ポート5入力アドレス	XXXX_XXXX
P5DDR	7F56	R/W	ポート5データディレクションレジスタ	0000_0000
P5FSA	7F57	R/W	ポート5機能制御レジスタA	0000_0000
P6LAT	7F58	R/W	ポート6データラッチ	0000_0000
P6IN	7F59	R	ポート6入力アドレス	XXXX_XXXX
P6DDR	7F5A	R/W	ポート6データディレクションレジスタ	0000_0000
P7LAT	7F5C	R/W	ポート7データラッチ	0000_0000
P7IN	7F5D	R	ポート7入力アドレス	XXXX_XXXX
P7DDR	7F5E	R/W	ポート7データディレクションレジスタ	0000_0000
SMIC0CNT	7F60	R/W	I ² C 制御レジスタ0	0000_0000
SMIC0STA	7F61	R/W	I ² C ステータスレジスタ0	0000_0000
SMIC0BRG	7F62	R/W	I ² C ボーレート制御レジスタ0	0000_0000
SMIC0BUF	7F63	R/W	I ² C データバッファ0	0000_0000
SMIC1CNT	7F64	R/W	I ² C 制御レジスタ1	0000_0000
SMIC1STA	7F65	R/W	I ² C ステータスレジスタ1	0000_0000
SMIC1BRG	7F66	R/W	I ² C ボーレート制御レジスタ1	0000_0000
SMIC1BUF	7F67	R/W	I ² C データバッファ1	0000_0000
SMIC0PCNT	7F68	R/W	I ² C ポート制御レジスタ0	LLLL_0000
SMIC1PCNT	7F69	R/W	I ² C ポート制御レジスタ1	LLLL_0000
	7F6A			
	7F6B			
U2CNT0	7F6C	R/W	UART2制御レジスタ0	0010_0000
U2CNT1	7F6D	R/W	UART2制御レジスタ1	0000_0000
U2TBUF	7F6E	R/W	UART2送信データレジスタ	0000_0000
U2RBUF	7F6F	R	UART2受信データレジスタ	0000_0000
U3CNT0	7F70	R/W	UART3制御レジスタ0	0010_0000
U3CNT1	7F71	R/W	UART3制御レジスタ1	0000_0000
U3TBUF	7F72	R/W	UART3送信データレジスタ	0000_0000
U3RBUF	7F73	R	UART3受信データレジスタ	0000_0000
U2BG	7F74	R/W	UART2ボーレート制御レジスタ	0000_0000
U3BG	7F75	R/W	UART3ボーレート制御レジスタ	0000_0000
FSR0	7F76		システム予約レジスタ	
	7F77			
	7F78			
	7F79			
	7F7A			
	7F7B			

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
	7F7C			
	7F7D			
	7F7E			
	7F7F			
S4CNT	7F80	R/W	SIO4制御レジスタ	0000_0000
S4BG	7F81	R/W	SIO4ボーレート制御レジスタ	0000_0000
S4BUF	7F82	R/W	SIO4データバッファ	0000_0000
S4INTVL	7F83	R/W	SIO4インターバルレジスタ	0000_0000
	7F84			
	7F85			
	7F86			
	7F87			
TMXPLL	7F88	R/W	TMXPLL 制御レジスタ	0LL0_0000
	7F89			
	7F8A			
	7F8B			
	7F8C			
	7F8D			
	7F8E			
	7F8F			
	7F90			
	7F91			
	7F92			
	7F93			
	7F94			
	7F95			
	7F96			
	7F97			
	7F98			
	7F99			
	7F9A			
	7F9B			
	7F9C			
	7F9D			
	7F9E			
	7F9F			
T4LR	7FA0	R/W	タイマ4一致データレジスタ下位	0000_0000
T4HR	7FA1	R/W	タイマ4一致データレジスタ上位	0000_0000
T5LR	7FA2	R/W	タイマ5一致データレジスタ下位	0000_0000
T5HR	7FA3	R/W	タイマ5一致データレジスタ上位	0000_0000
T45CNT	7FA4	R/W	タイマ4, 5制御レジスタ	0000_0000
T67CNT	7FA5	R/W	タイマ6, 7制御レジスタ	0000_0000
T6LR	7FA6	R/W	タイマ6一致データレジスタ下位	0000_0000
T6LR	7FA7	R/W	タイマ6一致データレジスタ上位	0000_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
T7LR	7FA8	R/W	タイマ7一致データレジスタ下位	0000_0000
T7HR	7FA9	R/W	タイマ7一致データレジスタ上位	0000_0000
PWM0AL	7FAA	R/W	PWM0AコンペアレジスタL	0000_LLLL
PWM0AH	7FAB	R/W	PWM0AコンペアレジスタH	0000_0000
PWM0BL	7FAC	R/W	PWM0BコンペアレジスタL	0000_LLLL
PWM0BH	7FAD	R/W	PWM0BコンペアレジスタH	0000_0000
PWM0C	7FAE	R/W	PWM0制御レジスタ	0000_0000
PWM0PR	7FAF	R/W	PWM0プリスケータ	0000_0000
	7FB0	R/W		
	7FB1	R/W		
	7FB2	R/W		
	7FB3	R/W		
	7FB4	R/W		
	7FB5	R/W		
TMCLK0	7FB6	R/W	タイマクロック設定レジスタ0	0000_0000
TMCLK1	7FB7	R/W	タイマクロック設定レジスタ1	0000_00L0
CRCBUF	7FB8	R/W	CRC バッファレジスタ	0000_0000
CRCNT	7FB9	R/W	CRC 制御レジスタ	LL00_0000
CRCRL	7FBA	R/W	CRC 結果格納レジスタ下位	0000_0000
CRCRH	7FBB	R/W	CRC 結果格納レジスタ上位	0000_0000
	7FBC			
	7FBD			
	7FBE			
	7FBF			
	7FC0			
	7FC1			
	7FC2			
	7FC3			
	7FC4			
	7FC5			
	7FC6			
	7FC7			
PALAT	7FC8	R/W	ポートAデータラッチ	0000_0000
PAIN	7FC9	R	ポートA入力アドレス	XXXX_XXXX
PADDR	7FCA	R/W	ポートAデータディレクションレジスタ	0000_0000
PAFSA	7FCB	R/W	ポートA機能制御レジスタA	0000_0000
PBLAT	7FCC	R/W	ポートBデータラッチ	L000_0000
PBIN	7FCD	R	ポートB入力アドレス	LXXX_XXXX
PBDDR	7FCE	R/W	ポートBデータディレクションレジスタ	L000_0000
PBFSA	7FCF	R/W	ポートB機能制御レジスタA	L000_0000
PCLAT	7FD0	R/W	ポートCデータラッチ	LLL0_0000
PCIN	7FD1	R	ポートC入力アドレス	LLLX_XXXX
PCDDR	7FD2	R/W	ポートCデータディレクションレジスタ	LLL0_0000
PCFSA	7FD3	R/W	ポートC機能制御レジスタA	LLL0_LLLL

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

シンボル	アドレス	R/W	名称	初期値
PDLAT	7FD4	R/W	ポートDデータラッチ	LL00_0000
PDIN	7FD5	R	ポートD入力アドレス	LLXX_XXXX
PDDDR	7FD6	R/W	ポートDデータディレクションレジスタ	LL00_0000
	7FD7			
INT01CR	7FD8	R/W	外部割り込み0, 1制御レジスタ	0000_0000
INT23CR	7FD9	R/W	外部割り込み2, 3制御レジスタ	0000_0000
INT45CR	7FDA	R/W	外部割り込み4, 5制御レジスタ	0000_0000
INT67CR	7FDB	R/W	外部割り込み6, 7制御レジスタ	0000_0000
IRQREG0	7FDC		システム予約レジスタ	
IRQREG1	7FDD		システム予約レジスタ1	
	7FDE			
	7FDF			
RTS1ADRL	7FE0	R/W	RTS1ベースアドレスレジスタ下位	0000_0000
RTS1ADRH	7FE1	R/W	RTS1ベースアドレスレジスタ上位	L000_0000
RTS2ADRL	7FE2	R/W	RTS2ベースアドレスレジスタ下位	0000_0000
RTS2ADRH	7FE3	R/W	RTS2ベースアドレスレジスタ上位	L000_0000
RTS1CTR	7FE4	R/W	RTS1転送回数設定レジスタ	0000_0000
RTS2CTR	7FE5	R/W	RTS2転送回数設定レジスタ	0000_0000
RTS3ADRL	7FE6	R/W	RTS3ベースアドレスレジスタ下位	0000_0000
RTS3ADRH	7FE7	R/W	RTS3ベースアドレスレジスタ上位	L000_0000
SLIC0CNT	7FE8	R/W	SLIIC0制御レジスタ	0000_0000
SLIC0STA	7FE9	R/W	SLIIC0ステータスレジスタ	0000_0000
SLIC0PCNT	7FEA	R/W	SLIIC0ポート制御レジスタ	0000_0000
SLIC0BUF	7FEB	R/W	SLIIC0データバッファ	0000_0000
	7FEA			
	7FEB			
	7FEC			
	7FED			
PINT0F	7FEE	R/W	ポート5割り込みフラグ	0000_0000
	7FEF			
	7FF0			
P1FSB	7FF1	R/W	ポート1機能制御レジスタB	0000_0000
P2FSB	7FF2	R/W	ポート2機能制御レジスタB	0000_0000
P3FSB	7FF3	R/W	ポート3機能制御レジスタB	0000_0000
P4FSB	7FF4	R/W	ポート4機能制御レジスタB	0000_0000
P5FSB	7FF5	R/W	ポート5機能制御レジスタB	0000_0000
P6FSB	7FF6	R/W	ポート6機能制御レジスタB	0000_0000
P7FSB	7FF7	R/W	ポート7機能制御レジスタB	0000_0000
	7FF8			
	7FF9			
PAFSB	7FFA	R/W	ポートA機能制御レジスタB	0000_0000
PBFSB	7FFB	R/W	ポートB機能制御レジスタB	L000_0000
RTS3CTR	7FFC	R/W	RTS3転送回数設定レジスタ	0000_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

システム構成

シンボル	アドレス	R/W	名称	初期値
PDFSB	7FFD	R/W	ポートD機能制御レジスタB	LL00_0000
RTSTST	7FFE	R/W	RTSテストレジスタ	0000_0000
RTSCNT	7FFF	R/W	RTS制御レジスタ	LL00_0000

注1. 空欄は予約領域ですのでアクセスしないでください。

注2. システム予約レジスタはアクセスしないでください。

3 周辺システム構成

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタにより1ビット毎に設定できます。

P0n (n=0~5)は、外部割り込み端子としても使用でき、HOLDモード、HOLDXモードの解除も可能です。

P06、P07端子はタイマ0のPWM出力ポートとして使用することができます。

3-1-2 機能

① 出力ポート (8ビット:P00~P07)

- ・ポート0データラッチ (POLAT: 7F40) でポート出力データの制御、ポート0データディレクションレジスタ (PODDR: 7F42) で入出力方向を制御します。
- ・端子に入力されたデータはポート0入力アドレス (POIN: 7F41) を通して読み込みます
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

② 割り込み端子機能

- ・P0IE (POFSA: 7F43のビット0) が“1”の時、対応するPODDR<n>が“0”のP00~P03端子のどれか1つにLレベルを入力するとPOFLG (POFSA: 7F43のビット1) に1がセットされHOLDモード、HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。
- ・P04IE (POFSA: 7F43のビット2) が“1”の時、P04端子にP04IL (POFSA: 7F43のビット4) で指定されたレベルを入力するとP04FLG (POFSA: 7F43のビット3) に1がセットされHOLDモード、HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。
- ・P05IE (POFSA: 7F43のビット5) が“1”の時、P05端子にP05IL (POFSA: 7F43のビット7) で指定されたレベルを入力するとP05FLG (POFSA: 7F43のビット6) に1がセットされHOLDモード、HOLDXモードの解除とベクタアドレス803CHへの割り込み要求を行います。

③ 兼用機能

- ・P06、P07はタイマ0PWM出力 (TOPWML、TOPWMH) とのORを出力します。モードによりPWM動作しない場合のTOPWML、TOPWMH出力は0です。
- ・P07はUART0のボーレートクロックの入力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	POIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	PODDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	POFSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

ポート0

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ (POLAT)

①ポート0の出力データとプルアップ抵抗とポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-2 ポート0入力アドレス (POIN)

①ポート0の端子データの読み込みを行うアドレスです。

②ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	POIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-3 ポート0データディレクションレジスタ (PODDR)

①ポート0の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットPODDR <n>が“1”の時、ポートP0nは出力モードになり、ビットPODDR <n>が“0”の時、ポートP0nは入力モードになります。

②ビットPODDR <n>が“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	PODDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-1-3-4 ポート0機能制御レジスタA (POFSA)

①ポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	POFSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL (ビット7) : P05割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P05FLG (ビット6) : P05割り込み検出フラグ

P05割り込みの条件が満たされると“1”がセットされます。

このビットはPOFSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE (ビット5) : P05割り込み動作制御

このビットが“1”の時、P05割り込みが動作します。

このビットとP05FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL (ビット4) : P04割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P04FLG (ビット3) : P04割り込み検出フラグ

P04割り込みの条件が満たされると“1”がセットされます。

このビットはPOFSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE (ビット2) : P04 割り込み動作制御

このビットが“1”の時、P04 割り込みが動作します。

このビットとP04FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG (ビット1) : POL 割り込み検出フラグ

POL 割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE (ビット0) : POL 割り込み動作制御

このビットが“1”の時、P0DDR<n>が“0”設定されたP0n (n=0~3) に対しPOL 割り込み検出が動作します。

このビットとP0FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-1-4 レジスタ設定毎のポート状態

レジスタデータ		ポートP0nの状態	
POLAT<n>	P0DDR<n>	入力	出力
0	0	可能	オープン
1	0	可能	内蔵プルアップ抵抗
0	1	可能	LOW
1	1	可能	HIGH

3-1-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

ポート1

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-2-2 機能

①入出力ポート（8ビット:P10～P17）

- ・ポート1データラッチ (P1LAT:7F44) でポート出力データの制御，ポート1データディレクションレジスタ (P1DDR:7F46) で入出力方向を制御します。
- ・また、ポート1機能制御レジスタA (P1FSA:7F47)、ポート1機能制御レジスタB (P1FSB:7FF1) を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P10～P12はSIO0通信機能を兼用します。
- ・P13～P14はUART0への入出力を兼用します。
- ・P14～P15はタイマ3のPWM/トグル出力を兼用します。
- ・P16～P17はUART2の入出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ (P1LAT)

①ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F44	0000 0000	R/W	P1LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-2 ポート1入力アドレス (P1IN)

①ポート1の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F45	XXXX XXXX	R	P1IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-3 ポート1データディレクションレジスタ(P1DDR)

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F46	0000 0000	R/W	P1DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-4 ポート1機能制御レジスタA(P1FSA)

①ポート1の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F47	0000 0000	R/W	P1FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-3-5 ポート1機能制御レジスタB(P1FSB)

①ポート1の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF1	0000 0000	R/W	P1FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-2-4 レジスタ設定毎のポート状態

(注)兼用機能への入力端子データが取り込まれます。

3-2-4-1 P10の状態

レジスタデータ				ポートP10の状態		
P1FSA<0>	P1FSB<0>	P1LAT<0>	P1DDR<0>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SIO0データ (CMOS反転)
1	0	0	1	可能	—	SIO0データ (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	SIO0データ (出力変化SLOW)
1	1	0	1	可能	—	SIO0データ (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポート1

3-2-4-2 P11の状態

レジスタデータ				ポートP11の状態		
P1FSA<1>	P1FSB<1>	P1LAT<1>	P1DDR<1>	端子データの読み込み	兼用機能への入力 (SIO0データ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0データ (CMOS反転)
1	0	0	1	可能	可能	SIO0データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO0データ (出力変化SLOW)
1	1	0	1	可能	可能	SIO0データ (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-3 P12の状態

レジスタデータ				ポートP12の状態		
P1FSA<2>	P1FSB<2>	P1LAT<2>	P1DDR<2>	端子データの読み込み	兼用機能への入力 (SIO0クロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO0クロック (CMOS反転)
1	0	0	1	可能	可能	SIO0クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO0クロック (出力変化SLOW)
1	1	0	1	可能	可能	SIO0クロック (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-4 P13の状態

レジスタデータ				ポートP13の状態		
P1FSA<3>	P1FSB<3>	P1LAT<3>	P1DDR<3>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	UART0送信データ出力 (CMOS反転)
1	0	0	1	可能	—	UART0送信データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	UART0送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	UART0送信データ出力 (Nchオーブンドレイン)
1	1	1	1	可能	—	オープン

ポート1

3-2-4-5 P14の状態

レジスタデータ				ポートP14の状態		
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	端子データの読み込み	兼用機能への入力 (UART0)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ3L出力 (CMOS反転)
1	0	0	1	可能	—	タイマ3L出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ3L出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ3L出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-2-4-6 P15の状態

レジスタデータ				ポートP15の状態		
P1FSA<5>	P1FSB<5>	P1LAT<5>	P1DDR<5>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ3H出力 (CMOS反転)
1	0	0	1	可能	—	タイマ3H出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ3H出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ3H出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-2-4-7 P16の状態

レジスタデータ				ポートP16の状態		
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	端子データの 読み込み	兼用機能への入力 (UART2受信)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-2-4-8 P17の状態

レジスタデータ				ポートP17の状態		
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	端子データの 読み込み	兼用機能への 入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	UART2送信データ出力 (CMOS反転)
1	0	0	1	可能	—	UART2送信データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	UART2送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	UART2送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-2-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-3 ポート2

3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-3-2 機能

①入出力ポート（8ビット:P20~P27）

- ・ポート2データラッチ(P2LAT:7F48)でポート出力データの制御、ポート2データディレクションレジスタ(P2DDR:7F4A)で入出力方向を制御します。
- また、ポート2機能制御レジスタA(P2FSA:7F4B)、ポート2機能制御レジスタB(P2FSB:7FF2)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P20, P21は外部割り込み入力(INT4, INT5)を兼用します。
- ・P22, P23, P24はシングルマスタIIC通信機能(SMIIC0)を兼用します。
- ・P25はタイマ4出力を兼用します。
- ・P26はタイマ5出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3 関連レジスタ

3-3-3-1 ポート2データラッチ(P2LAT)

①ポート2の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F48	0000 0000	R/W	P2LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-2 ポート2入力アドレス(P2IN)

①ポート2の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F49	XXXX XXXX	R	P2IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-3 ポート2データディレクションレジスタ(P2DDR)

①ポート2の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4A	0000 0000	R/W	P2DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-4 ポート2機能制御レジスタA(P2FSA)

①ポート2の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4B	0000 0000	R/W	P2FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-3-5 ポート2機能制御レジスタB(P2FSB)

①ポート2の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-3-4 レジスタ設定毎のポート状態

(注)兼用機能への入力は端子データが取り込まれます。

3-3-4-1 P20の状態

レジスタデータ				ポートP20の状態		
P2FSA<0>	P2FSB<0>	P2LAT<0>	P2DDR<0>	端子データの読み込み	兼用機能への入力 (INT4入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート2

3-3-4-2 P21の状態

レジスタデータ				ポートP21の状態		
P2FSA<1>	P2FSB<1>	P2LAT<1>	P2DDR<1>	端子データの読み込み	兼用機能への入力 (INT5入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-3-4-3 P22の状態

レジスタデータ				ポートP22の状態		
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	端子データの読み込み	兼用機能への入力 (SMIIC0クロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIIC0クロック出力 (CMOS反転)
1	0	0	1	可能	可能	SMIIC0クロック出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIIC0クロック出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMIIC0クロック出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-3-4-4 P23の状態

レジスタデータ				ポートP23の状態		
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	端子データの読み込み	兼用機能への入力 (SMIIC0データ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIIC0データ出力 (CMOS反転)
1	0	0	1	可能	可能	SMIIC0データ出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIIC0データ出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMIIC0データ出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-3-4-5 P24の状態

レジスタデータ				ポートP24の状態		
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SMIIC0データ出力 (CMOS反転)
1	0	0	1	可能	—	SMIIC0データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	SMIIC0データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	SMIIC0データ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポート2

3-3-4-6 P25の状態

レジスタデータ				ポートP25の状態		
P2FSA<5>	P2FSB<5>	P2LAT<5>	P2DDR<5>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ4出力 (CMOS反転)
1	0	0	1	可能	—	タイマ4出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ4出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ4出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-3-4-7 P26の状態

レジスタデータ				ポートP26の状態		
P2FSA<6>	P2FSB<6>	P2LAT<6>	P2DDR<6>	端子データの読み込み	兼用機能への入力(UART2のクロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ5出力 (CMOS反転)
1	0	0	1	可能	可能	タイマ5出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ5出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	タイマ5出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-3-4-8 P27の状態

レジスタデータ				ポートP27の状態		
P2FSA<7>	P2FSB<7>	P2LAT<7>	P2DDR<7>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

3-3-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-4 ポート3

3-4-1 概要

ポート3は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-4-2 機能

①入出力ポート（8ビット:P30～P37）

- ・ポート3データラッチ(P3LAT:7F4C)でポート出力データの制御、ポート3データディレクションレジスタ(P3DDR:7F4E)で入出力方向を制御します。
- また、ポート3機能制御レジスタA(P3FSA:7F4F)、ポート3機能制御レジスタB(P3FSB:7FF3)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P30～P33は外部割り込み入力(INT0～INT3)を兼用します。
- ・P32は赤外線リモコン受信回路への入力を兼用します。
- ・P34、P35はUART3通信機能を兼用します。
- ・P36はタイマ6出力を兼用します。
- ・P37はタイマ7出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 0000	R/W	P3DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 0000	R/W	P3FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3 関連レジスタ

3-4-3-1 ポート3データラッチ(P3LAT)

①ポート3の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-2 ポート3入力アドレス(P3IN)

①ポート3の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート3のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-3 ポート3データディレクションレジスタ(P3DDR)

①ポート3の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 0000	R/W	P3DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-4 ポート3機能制御レジスタA(P3FSA)

①ポート3の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 0000	R/W	P3FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-3-5 ポート3機能制御レジスタB(P3FSB)

①ポート3の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-4-4 レジスタ設定毎のポート状態

(注)兼用機能への入力は端子データが取り込まれます。

3-4-4-1 P30の状態

レジスタデータ				ポートP30の状態		
P3FSA<0>	P3FSB<0>	P3LAT<0>	P3DDR<0>	端子データの読み込み	兼用機能への入力(INT0入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能]	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート3

3-4-4-2 P31の状態

レジスタデータ				ポートP31の状態		
P3FSA<1>	P3FSB<1>	P3LAT<1>	P3DDR<1>	端子データの読み込み	兼用機能への入力 (INT1入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-3 P32の状態

レジスタデータ				ポートP32の状態		
P3FSA<2>	P3FSB<2>	P3LAT<2>	P3DDR<2>	端子データの読み込み	兼用機能への入力 (INT2入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-4 P33の状態

レジスタデータ				ポートP33の状態		
P3FSA<3>	P3FSB<3>	P3LAT<3>	P3DDR<3>	端子データの 読み込み	兼用機能への入力 (INT3入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-4-4-5 P34の状態

レジスタデータ				ポートP34の状態		
P3FSA<4>	P3FSB<4>	P3LAT<4>	P3DDR<4>	端子データの 読み込み	兼用機能への入力 (UART3受信)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW(変化SLOW)
0	1	1	0	可能	—	HIGH(変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	HIGH(変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート3

3-4-4-6 P35の状態

レジスタデータ				ポートP35の状態		
P3FSA<5>	P3FSB<5>	P3LAT<5>	P3DDR<5>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	UART3送信データ出力 (CMOS反転)
1	0	0	1	可能	—	UART3送信データ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	UART3送信データ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	UART3送信データ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-4-4-7 P36の状態

レジスタデータ				ポートP36の状態		
P3FSA<6>	P3FSB<6>	P3LAT<6>	P3DDR<6>	端子データの読み込み	兼用機能への入力(UART3のクロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	タイマ6出力 (CMOS反転)
1	0	0	1	可能	可能	タイマ6出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	タイマ6出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	タイマ6出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-4-4-8 P37の状態

レジスタデータ				ポートP37の状態		
P3FSA<7>	P3FSB<7>	P3LAT<7>	P3DDR<7>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	タイマ7出力 (CMOS反転)
1	0	0	1	可能	—	タイマ7出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	タイマ7出力 (CMOS変化SLOW)
1	1	0	1	可能	—	タイマ7出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-4-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-5 ポート4

3-5-1 概要

ポート4は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-5-2 機能

①入出力ポート（8ビット:P40～P47）

- ・ポート4データラッチ(P4LAT:7F50)でポート出力データの制御、ポート4データディレクションレジスタ(P4DDR:7F52)で入出力方向を制御します。
- また、ポート4機能制御レジスタA(P4FSA:7F53)、ポート4機能制御レジスタB(P4FSB:7FF4)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P40, P41は外部割り込み入力(INT6, INT7)を兼用します。
- ・P43～P45はSIO1通信機能を兼用します。
- ・P46, P47はPWM0出力を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3 関連レジスタ

3-5-3-1 ポート4データラッチ(P4LAT)

①ポート4の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-2 ポート4入力アドレス(P4IN)

- ①ポート4の端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポート4のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-3 ポート4データディレクションレジスタ(P4DDR)

①ポート4の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 0000	R/W	P4DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-4 ポート4機能制御レジスタA (P4FSA)

①ポート4の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 0000	R/W	P4FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-3-5 ポート4機能制御レジスタB (P4FSB)

①ポート4の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-5-4 レジスタ設定毎のポート状態

(注) 兼用機能への入力は端子データが取り込まれます。

3-5-4-1 P40の状態

レジスタデータ				ポートP40の状態		
P4FSA<0>	P4FSB<0>	P4LAT<0>	P4DDR<0>	端子データの読み込み	兼用機能への入力 (INT6 入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

ポート4

3-5-4-2 P41の状態

レジスタデータ				ポートP41の状態		
P4FSA<1>	P4FSB<1>	P4LAT<1>	P4DDR<1>	端子データの読み込み	兼用機能への入力 (INT7入力)	出力
0	0	0	0	可能	可能	オープン
0	0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	0	1	可能	可能	LOW
0	0	1	1	可能	可能	HIGH
0	1	0	0	可能	可能	LOW (出力変化SLOW)
0	1	1	0	可能	可能	HIGH (出力変化SLOW)
0	1	0	1	可能	可能	LOW
0	1	1	1	可能(反転)	可能(反転)	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-5-4-3 P42の状態

レジスタデータ				ポートP42の状態		
P4FSA<2>	P4FSB<2>	P4LAT<2>	P4DDR<2>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-4 P43の状態

レジスタデータ				ポートP43の状態		
P4FSA<3>	P4FSB<3>	P4LAT<3>	P4DDR<3>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SIO1データ (CMOS反転)
1	0	0	1	可能	—	SIO1データ (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	SIO1データ (出力変化SLOW)
1	1	0	1	可能	—	SIO1データ (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-5 P44の状態

レジスタデータ				ポートP44の状態		
P4FSA<4>	P4FSB<4>	P4LAT<4>	P4DDR<4>	端子データの 読み込み	兼用機能への入力 (SIO1データ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO1データ (CMOS反転)
1	0	0	1	可能	可能	SIO1データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO1データ (出力変化SLOW)
1	1	0	1	可能	可能	SIO1データ (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

ポート4

3-5-4-6 P45の状態

レジスタデータ				ポートP45の状態		
P4FSA<5>	P4FSB<5>	P4LAT<5>	P4DDR<5>	端子データの読み込み	兼用機能への入力 (SIO1クロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO1クロック (CMOS反転)
1	0	0	1	可能	可能	SIO1クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO1クロック (出力変化SLOW)
1	1	0	1	可能	可能	SIO1クロック (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-5-4-7 P46の状態

レジスタデータ				ポートP46の状態		
P4FSA<6>	P4FSB<6>	P4LAT<6>	P4DDR<6>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	PWM0A出力 (CMOS反転)
1	0	0	1	可能	—	PWM0A出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	PWM0A出力 (CMOS変化SLOW)
1	1	0	1	可能	—	PWM0A出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-4-8 P47の状態

レジスタデータ				ポートP47の状態		
P4FSA<7>	P4FSB<7>	P4LAT<7>	P4DDR<7>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	PWM0B出力 (CMOS反転)
1	0	0	1	可能	—	PWM0B出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	PWM0B出力 (CMOS変化SLOW)
1	1	0	1	可能	—	PWM0B出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-5-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-6 ポート5

3-6-1 概要

ポート5は、8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に動作設定できます。また、外部割り込み端子として使用することができます。

3-6-2 機能

①入出力ポート（8ビット:P50～P57）

- ・ポート5データラッチ(P5LAT:7F54)でポート出力データの制御、ポート5データディレクションレジスタ(P5DDR:7F56)で入出力方向を制御します。
また、ポート5機能制御レジスタB(P5FSB:7FF5)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み端子機能

- ・ポート5機能制御レジスタA(P5FSA:7FC6)でビット毎にポート割り込み端子に設定できます。
- ・割り込み端子に設定された端子に対応したP5LATn、P5DDRn検出モードを設定を行い、P5FSBnで検出クロックの設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3 関連レジスタ

3-6-3-1 ポート5データラッチ(P5LAT)

- ①ポート5の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ②割り込み端子設定時(P5FSA_nが“1”の時)検出モードの設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-2 ポート5入力アドレス(P5IN)

- ①ポート5の端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポート5のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-3 ポート5データディレクションレジスタ(P5DDR)

- ①ポート5の入出力方向の制御をビット毎に行う8ビットのレジスタです。
- ②割り込み端子設定時(P5FSA_nが“1”の時)検出モードの設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-3-4 ポート5機能制御レジスタA(P5FSA)

- ①ポート5の割り込み端子選択を行う8ビットのレジスタです。
- ②“1”をセットしたビットに対応した端子が割り込み端子になります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

*ポート5割り込みの詳細は「ポート5割り込み機能」を参照してください。

3-6-3-5 ポート5機能制御レジスタB(P5FSB)

- ①ポート5の入出力機能選択を行う8ビットのレジスタです。
- ②割り込みのサンプリングクロックの設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-6-4 レジスタ設定毎のポート状態

レジスタデータ				ポートP5 _n の状態	
P5FSA<n>	P5FSB<n>	P5LAT<n>	P5DDR<n>	端子データの読み込み	出力
0	0	0	0	可能	オープン
0	0	1	0	可能	内蔵プルアップ抵抗
0	0	0	1	可能	LOW
0	0	1	1	可能	HIGH
0	1	0	0	可能	LOW(出力変化SLOW)
0	1	1	0	可能	HIGH(出力変化SLOW)
0	1	0	1	可能	LOW
0	1	1	1	可能(反転)	オープン
1	0	0	0	可能	オープン
1	0	1	0	可能(反転)	オープン
1	0	0	1	可能	オープン
1	0	1	1	可能	オープン
1	1	0	0	可能	オープン
1	1	1	0	可能	オープン
1	1	0	1	可能	オープン
1	1	1	1	可能	オープン

3-6-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-7 ポート6

3-7-1 概要

ポート6は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-7-2 機能

①入出力ポート（8ビット:P60～P67）

- ・ポート6データラッチ(P6LAT:7F58)でポート出力データの制御、ポート6データディレクションレジスタ(P6DDR:7F5A)で入出力方向を制御します。
- ・ポート6機能制御レジスタB(P6FSB:7FF6)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P60～P67はADコンバータのアナログ入力AN0～AN7を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3 関連レジスタ

3-7-3-1 ポート6データラッチ(P6LAT)

①ポートの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-2 ポート6入力アドレス(P6IN)

①ポート6の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート6のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-3 ポート6データディレクションレジスタ(P6DDR)

①ポート6の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 0000	R/W	P6DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-3-4 ポート6機能制御レジスタB(P6FSB)

①ポート6の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-7-4 レジスタ設定毎のポート状態

(注)兼用機能 AN_n(n=0~7)には端子のレベルが取り込まれます。

3-7-4-1 P60の状態

レジスタデータ			ポートP60の状態		
P6FSB<0>	P6LAT<0>	P6DDR<0>	端子データの読み込み	兼用機能への入力(AN0)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-2 P61の状態

レジスタデータ			ポートP61の状態		
P6FSB<1>	P6LAT<1>	P6DDR<1>	端子データの読み込み	兼用機能への入力(AN1)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-3 P62の状態

レジスタデータ			ポートP62の状態		
P6FSB<2>	P6LAT<2>	P6DDR<2>	端子データの読み込み	兼用機能への入力(AN2)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

ポート6

3-7-4-4 P63の状態

レジスタデータ			ポートP63の状態		
P6FSB<3>	P6LAT<3>	P6DDR<3>	端子データの読み込み	兼用機能への入力 (AN3)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-5 P64の状態

レジスタデータ			ポートP64の状態		
P6FSB<4>	P6LAT<4>	P6DDR<4>	端子データの読み込み	兼用機能への入力 (AN4)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-6 P65の状態

レジスタデータ			ポートP65の状態		
P6FSB<5>	P6LAT<5>	P6DDR<5>	端子データの読み込み	兼用機能への入力 (AN5)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-7 P66の状態

レジスタデータ			ポートP66の状態		
P6FSB<6>	P6LAT<6>	P6DDR<6>	端子データの読み込み	兼用機能への入力(AN6)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-4-8 P67の状態

レジスタデータ			ポートP67の状態		
P6FSB<7>	P6LAT<7>	P6DDR<7>	端子データの読み込み	兼用機能への入力(AN7)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-7-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-8 ポート7

3-8-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-8-2 機能

①入出力ポート（8ビット:P70～P77）

- ・ポート7データラッチ(P7LAT:7F5C)でポート出力データの制御、ポート7データディレクションレジスタ(P7DDR:7F5D)で入出力方向を制御します。
- ・ポート7機能制御レジスタB(P7FSB:7FF7)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P70～P77はADコンバータのアナログ入力AN8～AN15を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	0000 0000	R/W	P7LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 0000	R/W	P7DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3 関連レジスタ

3-8-3-1 ポート7データラッチ(P7LAT)

①ポートの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5C	0000 0000	R/W	P7LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-2 ポート7入力アドレス(P7IN)

①ポート7の端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-3 ポート7データディレクションレジスタ(P7DDR)

①ポート7の入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 0000	R/W	P7DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-3-4 ポート7機能制御レジスタB(P7FSB)

①ポート7の機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-8-4 レジスタ設定毎のポート状態

(注)兼用機能 ANn (n=8~15)には端子のレベルが取り込まれます。

3-8-4-1 P70の状態

レジスタデータ			ポートP70の状態		
P7FSB<0>	P7LAT<0>	P7DDR<0>	端子データの読み込み	兼用機能への入力 (AN8)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-2 P71の状態

レジスタデータ			ポートP71の状態		
P7FSB<1>	P7LAT<1>	P7DDR<1>	端子データの読み込み	兼用機能への入力 (AN9)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-3 P72の状態

レジスタデータ			ポートP72の状態		
P7FSB<2>	P7LAT<2>	P7DDR<2>	端子データの読み込み	兼用機能への入力 (AN10)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

ポート7

3-8-4-4 P73の状態

レジスタデータ			ポートP73の状態		
P7FSB<3>	P7LAT<3>	P7DDR<3>	端子データの読み込み	兼用機能への入力 (AN11)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-5 P74の状態

レジスタデータ			ポートP74の状態		
P7FSB<4>	P7LAT<4>	P7DDR<4>	端子データの読み込み	兼用機能への入力 (AN12)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-6 P75の状態

レジスタデータ			ポートP75の状態		
P7FSB<5>	P7LAT<5>	P7DDR<5>	端子データの読み込み	兼用機能への入力 (AN13)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-7 P76の状態

レジスタデータ			ポートP76の状態		
P7FSB<6>	P7LAT<6>	P7DDR<6>	端子データの読み込み	兼用機能への入力 (AN14)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-4-8 P77の状態

レジスタデータ			ポートP77の状態		
P7FSB<7>	P7LAT<7>	P7DDR<7>	端子データの読み込み	兼用機能への入力 (AN15)	出力
0	0	0	可能	可能	オープン
0	1	0	可能	可能	内蔵プルアップ抵抗
0	0	1	可能	可能	LOW
0	1	1	可能	可能	HIGH
1	0	0	可能	可能	LOW(出力変化SLOW)
1	1	0	可能	可能	HIGH(出力変化SLOW)
1	0	1	可能	可能	LOW
1	1	1	可能(反転)	可能	オープン

3-8-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-9 ポートA

3-9-1 概要

ポートAは、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-9-2 機能

①入出力ポート（8ビット:PA0～PA7）

- ・ポートAデータラッチ(PALAT:7FC8)でポート出力データの制御、ポートAデータディレクションレジスタ(PADDR:7FCA)で入出力方向を制御します。
- また、ポートA機能制御レジスタA(PAFSA:7FCB)、ポートA機能制御レジスタB(PAFSB:7FFA)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・PA0, PA1, PA2, PA3はSIO4機能を兼用します。
- ・PA4, PA5, PA6はスレーブ I²C通信機能(SLIIC0)を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3 関連レジスタ

3-9-3-1 ポートAデータラッチ(PALAT)

①ポートAの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC8	0000 0000	R/W	PALAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-2 ポートA入力アドレス(PAIN)

①ポートAの端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポートAのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-3 ポートAデータディレクションレジスタ(PADDR)

①ポートAの入出力方向の制御をビット毎に行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 0000	R/W	PADDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-3-4 ポートA機能制御レジスタA(PAFSA)

①ポートAの機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 0000	R/W	PAFSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

ビット7～4は0で使用してください。

3-9-3-5 ポートA機能制御レジスタB(PAFSB)

①ポートAの機能制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFA	0000 0000	R/W	PAFSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-9-4 レジスタ設定毎のポート状態

(注)兼用機能への入力は端子データが取り込まれます。

3-9-4-1 PA0の状態

レジスタデータ				ポートPA0の状態		
PAFSA<0>	PAFSB<0>	PALAT<0>	PADDR<0>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SIO4データ (CMOS反転)
1	0	0	1	可能	—	SIO4データ (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	SIO4データ (出力変化SLOW)
1	1	0	1	可能	—	SIO4データ (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

ポートA

3-9-4-2 PA1の状態

レジスタデータ				ポートPA1の状態		
PAFSA<1>	PAFSB<1>	PALAT<1>	PADDR<1>	端子データの読み込み	兼用機能への入力 (SIO4データ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO4データ (CMOS反転)
1	0	0	1	可能	可能	SIO4データ(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO4データ (出力変化SLOW)
1	1	0	1	可能	可能	SIO4データ (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-9-4-3 PA2の状態

レジスタデータ				ポートPA2の状態		
PAFSA<2>	PAFSB<2>	PALAT<2>	PADDR<2>	端子データの読み込み	兼用機能への入力 (SIO4クロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SIO4クロック (CMOS反転)
1	0	0	1	可能	可能	SIO4クロック(CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	SIO4クロック (出力変化SLOW)
1	1	0	1	可能	可能	SIO4クロック (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-9-4-4 PA3の状態

レジスタデータ				ポートPA3の状態		
PAFSA<3>	PAFSB<3>	PALAT<3>	PADDR<3>	端子データの読み込み	兼用機能への入力 (SIO4チップセレクト)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	LOW
1	0	0	1	可能	可能	HIGH
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW (出力変化SLOW)
1	1	1	0	可能	可能	HIGH (出力変化SLOW)
1	1	0	1	可能	可能	オープン
1	1	1	1	可能	可能	オープン

3-9-4-5 PA4の状態

レジスタデータ				ポートPA4の状態		
PAFSA<4>	PAFSB<4>	PALAT<4>	PADDR<4>	端子データの読み込み	兼用機能への入力 (SLIICクロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SLIICクロック出力 (CMOS反転)
1	0	0	1	可能	可能	SLIICクロック出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SLIICクロック出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SLIICクロック出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

ポートA

3-9-4-6 PA5の状態

レジスタデータ				ポートPA5の状態		
PAFSA<5>	PAFSB<5>	PALAT<5>	PADDR<5>	端子データの読み込み	兼用機能への入力 (SLIICデータ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SLIICデータ出力 (CMOS反転)
1	0	0	1	可能	可能	SLIICデータ出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SLIICデータ出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SLIICデータ出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-9-4-7 PA6の状態

レジスタデータ				ポートPA6の状態		
PAFSA<6>	PAFSB<6>	PALAT<6>	PADDR<6>	端子データの読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	SMIICデータ出力 (CMOS反転)
1	0	0	1	可能	—	SMIICデータ出力 (CMOS)
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW(変化SLOW)
1	1	1	0	可能	—	SMIICデータ出力 (CMOS変化SLOW)
1	1	0	1	可能	—	SMIICデータ出力 (Nchオープンドレイン)
1	1	1	1	可能	—	オープン

3-9-4-8 PA7の状態

レジスタデータ				ポートPA7の状態		
PAFSA<7>	PAFSB<7>	PALAT<7>	PADDR<7>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

3-9-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-10 ポートB

3-10-1 概要

ポートBは、プログラマブル・プルアップ抵抗付きの7ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタA/B、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-10-2 機能

①入出力ポート（7ビット：PB0～PB6）

- ・ポートBデータラッチ(PBLAT:7FCC)でポート出力データの制御，ポートBデータディレクションレジスタ(PBDDR:7FCE)で入出力方向を制御します。
- また、ポートB機能制御レジスタA(PBFSA:7FCF)、ポートB機能制御レジスタB(PBFSB:7FFB)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・PB4, PB5, PB6はシングルマスタ I²C通信機能(SMIIC1)を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 0000	R/W	PBDDR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 0000	R/W	PBFSA	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3 関連レジスタ

3-10-3-1 ポートBデータラッチ(PBLAT)

①ポートBの出力データとプルアップ抵抗の制御を行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-2 ポートB入力アドレス(PBIN)

①ポートBの端子データの読み込みを行うアドレスです。

②反転入力指定されたポートは端子の反転データが読み込まれます。

③ポートBのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-3 ポートBデータディレクションレジスタ(PBDDR)

①ポートBの入出力方向の制御をビット毎に行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 0000	R/W	PBDDR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-4 ポートB機能制御レジスタA(PBFSA)

①ポートBの機能制御を行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 0000	R/W	PBFSA	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-3-5 ポートB機能制御レジスタB(PBFSB)

①ポートBの機能制御を行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-10-4 レジスタ設定毎のポート状態

3-10-4-1 PB0の状態

レジスタデータ				ポートPB0の状態		
PBFSA<0>	PBFSB<0>	PBLAT<0>	PBDDR<0>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

ポートB

3-10-4-2 PB1の状態

レジスタデータ				ポートPB1の状態		
PBFS<1>	PBFSB<1>	PBLAT<1>	PBDDR<1>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

3-10-4-3 PB2の状態

レジスタデータ				ポートPB2の状態		
PBFS<2>	PBFSB<2>	PBLAT<2>	PBDDR<2>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

3-10-4-4 PB3の状態

レジスタデータ				ポートPB3状態		
PBFSA<3>	PBFSS<3>	PBLAT<3>	PBDDR<3>	端子データの 読み込み	兼用機能への入力 (なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	LOW
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	HIGH
1	0	1	1	可能	—	HIGH
1	1	0	0	可能	—	LOW (出力変化SLOW)
1	1	1	0	可能	—	HIGH (出力変化SLOW)
1	1	0	1	可能	—	オープン
1	1	1	1	可能	—	オープン

ポートB

3-10-4-5 PB4の状態

レジスタデータ				ポートPB4の状態		
PBFSA<4>	PBFBS<4>	PBLAT<4>	PBDDR<4>	端子データの読み込み	兼用機能への入力 (SMIC1クロック)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMICクロック出力 (CMOS反転)
1	0	0	1	可能	可能	SMICクロック出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMICクロック出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMICクロック出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

3-10-4-6 PB5の状態

レジスタデータ				ポートPB5の状態		
PBFSA<5>	PBF5B<5>	PBLAT<5>	PBDDR<5>	端子データの読み込み	兼用機能への入力 (SMIIC1データ)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	可能	LOW
1	0	1	0	可能(反転)	可能(反転)	SMIICデータ出力 (CMOS反転)
1	0	0	1	可能	可能	SMIICデータ出力 (CMOS)
1	0	1	1	可能	可能	HIGH
1	1	0	0	可能	可能	LOW(変化SLOW)
1	1	1	0	可能	可能	SMIICデータ出力 (CMOS変化SLOW)
1	1	0	1	可能	可能	SMIICデータ出力 (Nchオープンドレイン)
1	1	1	1	可能	可能	オープン

ポートB

3-10-4-7 PB6の状態

レジスタデータ				ポートPB6の状態		
PBFSA<6>	PBFBS<6>	PBLAT<6>	PBDDR<6>	端子データの読み込み	兼用機能への入力(なし)	出力
0	0	0	0	可能	—	オープン
0	0	1	0	可能	—	内蔵プルアップ抵抗
0	0	0	1	可能	—	LOW
0	0	1	1	可能	—	HIGH
0	1	0	0	可能	—	LOW (出力変化SLOW)
0	1	1	0	可能	—	HIGH (出力変化SLOW)
0	1	0	1	可能	—	LOW
0	1	1	1	可能(反転)	—	オープン
1	0	0	0	可能	—	オープン
1	0	1	0	可能(反転)	—	LOW
1	0	0	1	可能	—	SMIICデータ出力 (CMOS反転)
1	0	1	1	可能	—	SMIICデータ出力 (CMOS)
1	1	0	0	可能	—	HIGH
1	1	1	0	可能	—	LOW(変化SLOW)
1	1	0	1	可能	—	SMIICデータ出力 (CMOS変化SLOW)
1	1	1	1	可能	—	SMIICデータ出力 (Nchオープンドレイン)

3-10-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-11 ポートC

3-11-1 概要

ポートCは、X'tal発振端子とCF発振端子を兼用した5ビットの入出力のポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、PC0～PC1はX'tal発振回路、PC3～PC4はCF発振回路が発振設定でないときに出力をデータディレクションレジスタによりビット毎に設定できます。

3-11-2 機能

①入出力ポート（5ビット:PC0～PC4）

- ・ポートCデータラッチ(PCLAT:7FD0)でポート出力データの制御,ポートCデータディレクションレジスタ(PCDDR:7FD2)で入出力を制御します。

注意:X'tal/CFの発振設定が優先されます。

②兼用機能

- ・PC0, PC1はX'tal発振端子を兼用します。
- ・PC2はVCO発振回路のフィルター接続端子を兼用します。
- ・PC3, PC4はCF発振端子を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLL0 0000	R/W	PCDDR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3 関連レジスタ

3-11-3-1 ポートCデータラッチ(PCLAT)

①ポートCの出力データの制御を行う5ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-2 ポートC入力アドレス(PCIN)

①ポートCの端子データの読み込みを行うアドレスです。

②ポートCのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-11-3-3 ポートCデータディレクションレジスタ(PCDDR)

①ポートCの入出力方向の制御をビット毎に行う5ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLL0 0000	R/W	PCDDR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

ポートC

3-11-4 レジスタ設定毎のポート状態

3-11-4-1 PC0の状態

レジスタデータ				ポートPC0の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT<0>	PCDDR<0>	端子データの読み込み	出力
1	1	x	x	XT発振モード	
XT発振モード 以外の設定		0	0	可能	オープン
		1	0	可能	オープン
		0	1	可能	LOW
		1	1	可能	HIGH

3-11-4-2 PC1の状態

レジスタデータ				ポートPC1の状態	
OCR0 ビット2	OCR0 ビット0	PCLAT<1>	PCDDR<1>	端子データの読み込み	出力
1	1	x	x	XT発振モード	
XT発振モード 以外の設定		0	0	可能	オープン
		1	0	可能	オープン
		0	1	可能	LOW
		1	1	可能	HIGH

3-11-4-3 PC2の状態

レジスタデータ		ポートPC2の状態	
PCLAT<2>	PCDDR<2>	端子データの読み込み	出力
0	0	可能	オープン
1	0	可能	内蔵プルアップ
0	1	可能	LOW
1	1	可能	HIGH

* VCO発振使用時は出力オープン設定にしてください。

3-11-4-4 PC3の状態

レジスタデータ					ポートPC3の状態	
OCR0 ビット7	OCR0 ビット3	OCR0 ビット1	PCLAT<3>	PCDDR<3>	端子データの読み込み	出力
1	1	1	x	x	発振モード	
CF発振モード以外の設定			0	0	可能	オープン
			1	0	可能	オープン
			0	1	可能	LOW
			1	1	可能	HIGH

3-11-4-5 PC4の状態

レジスタデータ					ポートPC4の状態	
OCR0 ビット7	OCR0 ビット3	OCR0 ビット1	PCLAT<4>	PCDDR<4>	端子データの読み込み	出力
1	1	1	x	x	発振モード	
CF発振モード以外の設定			0	0	可能	オープン
			1	0	可能	オープン
			0	1	可能	LOW
			1	1	可能	HIGH

3-11-5 HALT, HOLD, HOLDX時の動作

3-11-5-1 HALT時の動作

HALT時のポートの状態は、HALT突入時の状態を保持します。

3-11-5-2 HOLD時の動作

- ①汎用出力モード時、HOLDモード突入時の状態を保持します。
- ②XT発振モード時、PC0, PC1は汎用ポートに移行します。
- ③CF発振モード時、PC3, PC4は汎用ポートに移行します。

3-11-5-3 HOLDX時の動作

- ①汎用出力モード時、HOLDXモード突入時の状態を保持します。
- ②XT発振モード時、PC0, PC1は、HOLDXモード突入時の状態を保持します。
- ③CF発振モード時、PC3, PC4は汎用ポートに移行します。

3-12 ポートD

3-12-1 概要

ポートDは、プログラマブル・プルアップ抵抗付きの6ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタB、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

3-12-2 機能

①入出力ポート（6ビット:PD0～PD5）

- ・ポートDデータラッチ(PDLAT:7FD4)でポート出力データの制御、ポートDデータディレクションレジスタ(PDDDR:7FD6)で入出力方向を制御します。
- ・ポートD機能制御レジスタB(PDFSB:7FFD)を制御することにより各種出力モードに対応します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD4	LL00 0000	R/W	PDLAT	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 0000	R/W	PDDDR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFD	LL00 0000	R/W	PDFSB	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3 関連レジスタ

3-12-3-1 ポートDデータラッチ(PDLAT)

①ポートDの出力データとプルアップ抵抗の制御を行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD4	LL00 0000	R/W	PDLAT	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-2 ポートD入力アドレス(PDIN)

- ①ポートDの端子データの読み込みを行うアドレスです。
- ②反転入力指定されたポートは端子の反転データが読み込まれます。
- ③ポートDのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-3 ポートDデータディレクションレジスタ(PDDDR)

①ポートDの入出力方向の制御をビット毎に行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 0000	R/W	PDDDR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-3-4 ポートD機能制御レジスタB(PDFSB)

①ポート6の機能制御を行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFD	LL00 0000	R/W	PDFSB	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-12-4 レジスタ設定毎のポート状態

3-12-4-1 PD0の状態

レジスタデータ			ポートPD0の状態	
PDFSB<0>	PDLAT<0>	PDDDR<0>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

3-12-4-2 PD1の状態

レジスタデータ			ポートPD1の状態	
PDFSB<1>	PDLAT<1>	PDDDR<1>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

3-12-4-3 PD2の状態

レジスタデータ			ポートPD2の状態	
PDFSB<2>	PDLAT<2>	PDDDR<2>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

ポートD

3-12-4-4 PD3の状態

レジスタデータ			ポートPD3の状態	
PDFSB<3>	PDLAT<3>	PDDDR<3>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

3-12-4-5 PD4の状態

レジスタデータ			ポートPD4の状態	
PDFSB<4>	PDLAT<4>	PDDDR<4>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

3-12-4-6 PD5の状態

レジスタデータ			ポートPD5の状態	
PDFSB<5>	PDLAT<5>	PDDDR<5>	端子データの読み込み	出力
0	0	0	可能	オープン
0	1	0	可能	内蔵プルアップ抵抗
0	0	1	可能	LOW
0	1	1	可能	HIGH
1	0	0	可能	LOW(出力変化SLOW)
1	1	0	可能	HIGH(出力変化SLOW)
1	0	1	可能	LOW
1	1	1	可能(反転)	オープン

3-12-5 HALT, HOLD, HOLDX時の動作

HALT, HOLD, HOLDX時のポートの状態は、HALT, HOLD, HOLDX突入時の状態を保持します。

3-13 外部割り込み機能 (INT_n)

3-13-1 概要

本シリーズは外部割り込み用入力端子 INT_n (n=0~7) を内蔵しています。INT_n (n=0~7) は、それぞれLレベル、Hレベル、Lエッジ、Hエッジ、両エッジ検出を行い割り込み要求フラグをセットします。また、タイマ2のカウントクロック入力、キャプチャ信号入力、タイマ3のカウントクロック入力やHOLD/HOLDXモードの解除信号入力としても使用できます。

3-13-2 機能

① 割り込み入力機能

・INT_n (n=0~7) はLレベル、Hレベル、Lエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

② タイマ2カウント入力機能

INT2、INT3から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2にカウント信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2にカウント信号を送ります。

③ タイマ2Lキャプチャ入力機能

INT0、INT2、INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Lキャプチャ信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2Lキャプチャ要求信号が発生します。

④ タイマ2Hキャプチャ入力機能

INT1、INT3、INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ2Hキャプチャ信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ2Hキャプチャ要求信号が発生します。

⑤ タイマ3カウント入力機能

INT4、INT5から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ3にカウント信号を送ります。

レベル割り込み指定された場合、選択されたレベルの信号が入力されると、この間、2T_{cyc}毎にタイマ3にカウント信号を送ります。

INTn

⑥ HOLDモード解除機能

- INTn (n=0~7) で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振=内蔵RC発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- HOLDモード時に、レベル割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。
- HOLDモード時に、エッジ割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDモードが解除されます。但し、HOLDモード突入時のINTn (n=0~7) のデータが“H”の時のHエッジと、HOLDモード突入時のINTn (n=0~7) のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。

⑦ HOLDXモード解除機能

- INTn (n=0~7) で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振=HOLDX突入時の発振)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- HOLDXモード時に、レベル割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。
- HOLDXモード時に、エッジ割り込み指定されたINTn (n=0~7) に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、HOLDXモードが解除されます。但し、HOLDXモード突入時のINTn (n=0~7) のデータが“H”の時のHエッジと、HOLDXモード突入時のINTn (n=0~7) のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。

	割り込み入力 信号検出	タイマカウント入力	キャプチャ入力	HOLDモード HOLDXモード解除
INT0	Lレベル, Hレベル	—	タイマ2L	可能
INT1	Lエッジ, Hエッジ,	—	タイマ2H	可能
INT2	両エッジ(注)	タイマ2	タイマ2L	可能
INT3		タイマ2	タイマ2H	可能
INT4		タイマ3	タイマ2	可能
INT5		タイマ3	タイマ2	可能
INT6		—	—	可能
INT7		—	—	可能

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT31F	INT31E	INT2MD		INT21F	INT21E
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT51F	INT51E	INT4MD		INT41F	INT41E
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT71F	INT71E	INT6MD		INT61F	INT61E

3-13-3 関連レジスタ

3-13-3-1 外部割り込み0, 1制御レジスタ(INT01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD8	0000 0000	R/W	INT01CR	INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E

INT1MD(ビット7、6):INT1検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT1MD	INT1割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT11F(ビット5):INT1割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT11E)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT11E(ビット4):INT1割り込み要求許可

このビットとINT11Fがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8014Hへの割り込み要求が発生します。

INT0MD(ビット3、2):INT0検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT0MD	INT0割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INTn

INT0IF (ビット1) : INT0 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE (ビット0) : INT0 割り込み要求許可

このビットとINT0IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス800CHへの割り込み要求が発生します。

3-13-3-2 外部割り込み2, 3制御レジスタ (INT23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD9	0000 0000	R/W	INT23CR	INT3MD		INT3IF	INT3IE	INT2MD		INT2IF	INT2IE

INT3MD (ビット7, 6) : INT3 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT3MD	INT3割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT3IF (ビット5) : INT3 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4) : INT3 割り込み要求許可

このビットとINT3IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス801CHへの割り込み要求が発生します。

INT2MD (ビット3, 2) : INT2 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT2MD	INT2割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT2IF (ビット1) : INT2 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0) : INT2 割り込み要求許可

このビットとINT2IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8018Hへの割り込み要求が発生します。

3-13-3-3 外部割り込み4, 5制御レジスタ(INT45CR)

①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDA	0000 0000	R/W	INT45CR	INT5MD		INT5IF	INT5IE	INT4MD		INT4IF	INT4IE

INT5MD (ビット7, 6) : INT5 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT5MD	INT5割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT5IF (ビット5) : INT5 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT5の割り込み要求許可ビット(INT5IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT5IE (ビット4) : INT5 割り込み要求許可

このビットとINT5IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8024Hへの割り込み要求が発生します。

INT4MD (ビット3, 2) : INT4 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT4MD	INT4割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INTn

INT4IF (ビット1) : INT4 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット(INT4IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE (ビット0) : INT4 割り込み要求許可

このビットとINT4IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求が発生します。

3-13-3-4 外部割り込み6, 7制御レジスタ(INT67CR)

①外部割り込み6, 7の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FDB	0000 0000	R/W	INT67CR	INT7MD		INT7IF	INT7IE	INT6MD		INT6IF	INT6IE

INT7MD (ビット7, 6) : INT7 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT7MD	INT7 割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT7IF (ビット5) : INT7 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT7の割り込み要求許可ビット(INT7IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT7IE (ビット4) : INT7 割り込み要求許可

このビットとINT7IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8038Hへの割り込み要求が発生します。

INT6MD (ビット3, 2) : INT6 検出モード選択

上記2ビットとポート入力の極性選択によって以下の検出モードになります。

対応ポート入力極性	INT6MD	INT6 割り込み条件
—	00	検出しない
通常	01	“L”レベル検出
反転	01	“H”レベル検出
通常	10	立ち下がりエッジ検出
反転	10	立ち上がりエッジ検出
—	11	両エッジ検出

INT6IF (ビット1) : INT6 割り込み要因フラグ

検出モード選択で指定された条件が満たされるとセットされます。このビットとINT6の割り込み要求許可ビット(INT6IE)がともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT6IE (ビット0) : INT6 割り込み要求許可

このビットとINT6IFがともに“1”の時、HOLD/HOLDXモード解除信号とベクタアドレス8034Hへの割り込み要求が発生します。

3-13-4 INT_n入力時のポート設定

3-13-4-1 INT0入力時のポート設定

レジスタデータ				ポートP30の状態
P3FSA<0>	P3FSB<0>	P3LAT<0>	P3DDR<0>	入力
0	0	0	0	INT0入力
0	1	1	1	INT0入力(極性反転)
1	1	1	1	INT0入力

3-13-4-2 INT1入力時のポート設定

レジスタデータ				ポートP31の状態
P3FSA<1>	P3FSB<1>	P3LAT<1>	P3DDR<1>	入力
0	0	0	0	INT1入力
0	1	1	1	INT1入力(極性反転)
1	1	1	1	INT1入力

3-13-4-3 INT2入力時のポート設定

レジスタデータ				ポートP32の状態
P3FSA<2>	P3FSB<2>	P3LAT<2>	P3DDR<2>	入力
0	0	0	0	INT2入力
0	1	1	1	INT2入力(極性反転)
1	1	1	1	INT2入力

3-13-4-4 INT3入力時のポート設定

レジスタデータ				ポートP33の状態
P3FSA<3>	P3FSB<3>	P3LAT<3>	P3DDR<3>	入力
0	0	0	0	INT3入力
0	1	1	1	INT3入力(極性反転)
1	1	1	1	INT3入力

3-13-4-5 INT4入力時のポート設定

レジスタデータ				ポートP20の状態
P2FSA<0>	P2FSB<0>	P2LAT<0>	P2DDR<0>	入力
0	0	0	0	INT4入力
0	1	1	1	INT4入力(極性反転)
1	1	1	1	INT4入力

INTn

3-13-4-6 INT5入力時のポート設定

レジスタデータ				ポートP21の状態
P2FSA<1>	P2FSB<1>	P2LAT<1>	P2DDR<1>	入力
0	0	0	0	INT5入力
0	1	1	1	INT5入力(極性反転)
1	1	1	1	INT5入力

3-13-4-7 INT6入力時のポート設定

レジスタデータ				ポートP40の状態
P4FSA<0>	P4FSB<0>	P4LAT<0>	P4DDR<0>	入力
0	0	0	0	INT6入力
0	1	1	1	INT6入力(極性反転)
1	1	1	1	INT6入力

3-13-4-8 INT7入力時のポート設定

レジスタデータ				ポートP41の状態
P4FSA<1>	P4FSB<1>	P4LAT<1>	P4DDR<1>	入力
0	0	0	0	INT7入力
0	1	1	1	INT7入力(極性反転)
1	1	1	1	INT7入力

3-14 ポート0割り込み機能

3-14-1 概要

本シリーズのポート0(P00~P05)はデジタル入出力機能のほか外部からの入力信号を検出して、割り込みやHOLD、HOLDXモードの解除を行うことができます。

3-14-2 機能

①割り込みフラグセット機能

- ・割り込み端子指定されたP00~P03のいずれかにLレベルを入力するとP0FLG(P0FSA:7F43のビット1)がセットされます。
- ・P04IE(P0FSA:7F43のビット2)が“1”の時、P04端子にP04IL(P0FSA:7F43のビット4)で指定されたレベルを入力するとP04FLG(P0FSA:7F43のビット3)に1がセットされます。
- ・P05IE(P0FSA:7F43のビット5)が“1”の時、P05端子にP05IL(P0FSA:7F43のビット7)で指定されたレベルを入力するとP05FLG(P0FSA:7F43のビット6)に1がセットされます。

②HOLDモード解除機能

- ・割り込みフラグセットがされると、HOLDモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振=内蔵RC)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

③HOLDXモード解除機能

- ・割り込みフラグセットがされると、HOLDXモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振=HOLDX突入時)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDXモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	POIN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	PODDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

3-14-3 関連レジスタ

3-14-3-1 ポート0データラッチ(POLAT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F40	0000 0000	R/W	POLAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

POINT

3-14-3-2 ポート0入力アドレス(P0IN)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F41	XXXX XXXX	R	P0IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-3-3 ポート0データディレクションレジスタ(P0DDR)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F42	0000 0000	R/W	P0DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-14-3-4 ポート0機能選択レジスタA(P0FSA)

①ポート0の割り込み機能を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F43	0000 0000	R/W	P0FSA	P05IL	P05FLG	P05IE	P04IL	P04FLG	P04IE	P0FLG	P0IE

P05IL (ビット7) : P05割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P05FLG (ビット6) : P05割り込み検出フラグ

P05割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P05IE (ビット5) : P05割り込み動作制御

このビットが“1”の時、P05割り込みが動作します。

このビットとP05FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P04IL (ビット4) : P04割り込みの検出モード

このビットが“1”の時、Hレベルを検出します。

このビットが“0”の時、Lレベルを検出します。

P04FLG (ビット3) : P04割り込み検出フラグ

P04割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P04IE (ビット2) : P04割り込み動作制御

このビットが“1”の時、P04割り込みが動作します。

このビットとP04FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

P0FLG (ビット1) : P0L割り込み検出フラグ

P0L割り込みの条件が満たされると“1”がセットされます。

このビットはP0FSAレジスタに書き込みを行うと自動的に“0”になります。

P0IE (ビット0) : P0L割り込み動作制御

このビットが“1”の時、P0DDR < n > が“0”設定されたP0n (n = 0 ~ 3) に対しP0L割り込み検出が動作します。

このビットとP0FLGがともに“1”の時、HOLDモード、HOLDXモード解除信号とベクタアドレス803CHへの割り込み要求が発生します。

3-14-4 ポート0割り込みの設定

3-14-4-1 POL割り込み設定

レジスタデータ (n=0~3)			ポートP0nの状態 (n=0~3)	検出レベル
POIE	POLAT<n>	PODDR<n>	出力	
1	0	0	内蔵プルアップ	“L”レベル
1	1	0	オープン	“L”レベル

3-14-4-2 P04割り込み設定

レジスタデータ				ポートP04の状態	検出レベル
P04IL	P04IE	POLAT<4>	PODDR<4>	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-14-4-3 P05割り込み設定

レジスタデータ				ポートP05の状態	検出レベル
P05IL	P05IE	POLAT<5>	PODDR<5>	出力	
0	1	1	0	内蔵プルアップ	“L”レベル
0	1	0	0	オープン	“L”レベル
1	1	1	0	内蔵プルアップ	“H”レベル
1	1	0	0	オープン	“H”レベル

3-15 ポート5割り込み機能

3-15-1 概要

本シリーズのポート5はデジタル入出力機能のほか外部からの入力信号を検出して、割り込みやHOLD、HOLDXモードの解除を行うことができます。

3-15-2 機能

①割り込みフラグ0セット機能

- ・立ち上りエッジを検出して割り込みフラグレジスタ0をセットします。
- ・立ち下りエッジを検出して割り込みフラグレジスタ0をセットします。

②サンプリングクロック選択

- ・通常動作時は信号検出のサンプリングクロックをシステムクロックとベースタイマクロックから選択することができます。
- ・通常動作時は割り込み検出されるようなデータ変化が起きてから割り込みフラグがセットされるまではサンプリングクロックの7倍～15倍の時間が必要です。

③HOLDモード解除機能

- ・割り込みフラグセットがされると、HOLDモード解除信号が発生し、HOLDモードが解除されHALTモード(メイン発振=内蔵RC)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDモード時に割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。

④HOLDXモード解除機能

- ・割り込みフラグセットがされると、HOLDXモード解除信号が発生し、HOLDXモードが解除されHALTモード(メイン発振=HOLDX突入時)に移行します。さらに割り込みが受け付けられるとHALTモードから通常動作モードへ移行します。
- ・HOLDXモード時はサンプリングクロックとしてベースタイマクロック(OSC0選択)を選択しない場合、割り込み検出できません。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEE	0000 0000	R/W	PINT0F	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3 関連レジスタ

3-15-3-1 ポート5データラッチ (P5LAT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-2 ポート5入力アドレス (P5IN)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-3 ポート5データディレクションレジスタ (P5DDR)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 0000	R/W	P5DDR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-4 ポート5機能選択Aレジスタ (P5FSA)

①ポート5の割り込み端子選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 0000	R/W	P5FSA	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-15-3-5 ポート5機能選択Bレジスタ (P5FSB)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

*ポート5の詳細は「3-6 ポート5」を参照してください。

3-15-3-6 割り込みフラグレジスタ0

①割り込みを制御する8ビットのレジスタです。

②割り込み端子指定 (P5FSAn = 1)された端子に対しフラグをセットするような信号変化があった場合対応したビットがセットされます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEE	0000 0000	R/W	PINT0F	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

BIT7 (ビット7) : P57割り込みフラグ
 BIT6 (ビット6) : P56割り込みフラグ
 BIT5 (ビット5) : P55割り込みフラグ
 BIT4 (ビット4) : P54割り込みフラグ
 BIT3 (ビット3) : P53割り込みフラグ
 BIT2 (ビット2) : P52割り込みフラグ
 BIT1 (ビット1) : P51割り込みフラグ
 BIT0 (ビット0) : P50割り込みフラグ

*このレジスタは自動的に“0”にクリアされませんので命令で0にしてください。

P5INT

3-15-4 ポート5割り込みの設定

①レジスタ設定毎の検出モードの設定と検出時のサンプリングクロックの関係は以下のようになります。

レジスタデータ(n=0~7)				割り込みモード	
P5FSA<n>	P5FSB<n>	P5DDR<n>	P5LAT<n>	サンプリングクロック	検出モード
1	0	0	0	システムクロック	検出しない
1	0	0	1	システムクロック	立ち下がりエッジ
1	0	1	0	システムクロック	立ち上がりエッジ
1	0	1	1	システムクロック	両エッジ
1	1	0	0	ベースタイマクロック	検出しない
1	1	0	1	ベースタイマクロック	立ち下がりエッジ
1	1	1	0	ベースタイマクロック	立ち上がりエッジ
1	1	1	1	ベースタイマクロック	両エッジ

*通常動作時は割り込み検出されるようなデータが変化が起きてから割り込み検出されるまではサンプリングクロックの7倍～15倍の時間が必要です。

②HOLD、HOLDXモードの解除とレジスタ設定の関係は以下のようになります。

レジスタデータ(n=0~7)					
P5FSA<n>	P5FSB<n>	P5DDR<n>	P5LAT<n>	HOLD 解除	HOLDX解除
1	0	0	0	×	×
1	0	0	1	○	×
1	0	1	0	○	×
1	0	1	1	○	×
1	1	0	0	×	×
1	1	0	1	○	○
1	1	1	0	○	○
1	1	1	1	○	○

3-16 タイマ0 (T0)

3-16-1 概要

本シリーズ内蔵しているタイマ0 (T0) は、次の8つの機能を持ったプリスケータ付きの16ビットのタイマです。

- ① モード0: 5ビットプリスケータ付き16ビットタイマ
- ② モード1: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き) + 8ビットPWM
- ③ モード2: 5ビットプリスケータ付き8ビットPWM
- ④ モード3: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き)
- ⑤ モード4: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き)
- ⑥ モード5: 5ビットプリスケータ付き8ビットタイマ + 8ビットトグル出力
- ⑦ モード6: 5ビットプリスケータ付き8ビットPWM + 8ビットPWM
- ⑧ モード7: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き) + 8ビットトグル出力

3-16-2 機能

- ① モード0: 5ビットプリスケータ付き16ビットタイマ
 - ・タイマ0 (T0) はシステムクロック、OSC0、OSC1または内蔵RC発振をカウントする16ビットのプログラマブルタイマとして動作します。
 - $$T0 \text{の周期} = ([T0HR << 8] + T0LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - ・TOPWML, TOPWMHは“0”出力します。
- ② モード1: 5ビットプリスケータ付き8ビットタイマ(トグル出力付き) + 8ビットPWM
 - ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。TOHはシステムクロックをカウントする8ビットPWMとして動作します。
 - ・TOPWMLはTOL周期毎にトグルする信号を出力します。
 - ・TOPWMHは256Tcycを周期とするPWMとして動作します。
 - ・T0周期
 - $$TOL \text{の周期} = (T0LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - $$TOPWML \text{周期} = TOL \text{周期} \times 2$$
 - $$TOH \text{の周期} = 256Tcyc$$
 - $$TOPWMH \text{のH期間} = (T0HR + 1) \times Tcyc$$
- ③ モード2: 5ビットプリスケータ付き8ビットPWM
 - ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントとする8ビットPWMとして動作します。TOHは動作停止しています。
 - ・TOPWMLは周期 $256 \times (PR + 1) \times \text{カウントクロック周期}$ のPWMとして動作します。
 - ・TOPWMHは“0”出力します。
 - $$TOPWML \text{の周期} = 256 \times (PR + 1) \times \text{カウントクロック周期}$$
 - $$TOPWML \text{のH期間} = (T0LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

タイマ0

④ モード3: 5ビットプリスケアラ付き8ビットタイマ

- ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHは動作停止しています。
- ・TOPWMLはTOL周期毎にトグルする信号を出力します。
- ・TOPWMHは“0”出力します。

$$TOLの周期 = (TOLR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$TOPWML周期 = TOL周期 \times 2$$

⑤ モード4: 5ビットプリスケアラ付き8ビットタイマ+8ビットPWM

- ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHはシステムクロックをカウントする8ビットPWMとして動作します。
- ・TOPWMLは“0”出力します。
- ・TOPWMHは256T_{cyc}周期とするPWMとして動作します。

$$TOHの周期 = 256T_{cyc}$$

$$TOPWMHのH期間 = (TOHR + 1) \times T_{cyc}$$

⑥ モード5: 5ビットプリスケアラ付き8ビットタイマ+8ビットトグル出力

- ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとして動作します。TOHはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
- ・TOPWMLは“0”出力します。
- ・TOPWMHはTOH周期毎にトグルする信号を出力します。

$$TOHの周期 = (TOHR + 1) \times T_{cyc}$$

$$TOPWMH周期 = TOH周期 \times 2$$

⑦ モード6: 5ビットプリスケアラ付き8ビットPWM+8ビットPWM

- ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットPWMとして動作します。TOHはシステムクロックをカウントする8ビットPWMとして動作します。
- ・TOPWMLは周期 $256 \times (PR + 1) \times \text{カウントクロック周期}$ のPWMとして動作します。
- ・TOPWMHは256T_{cyc}周期とするPWMとして動作します。

$$TOPWMLの周期 = 256 \times (PR + 1) \times \text{カウントクロック周期}$$

$$TOPWMLのH期間 = (TOLR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$TOHの周期 = 256T_{cyc}$$

$$TOPWMHのH期間 = (TOHR + 1) \times T_{cyc}$$

⑧ モード7: 5ビットプリスケアラ付き8ビットタイマ(トグル出力付き)+8ビットトグル出力

- ・TOLはシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットのプログラマブルタイマとして動作します。TOHはシステムクロックをカウントするトグル出力用の一致カウンタとして動作します。
- ・TOPWMLはTOL周期毎にトグルする信号を出力します。
- ・TOPWMHはTOH周期毎にトグルする信号を出力します。

$$TOLの周期 = (TOLR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$TOHの周期 = (TOHR + 1) \times T_{cyc}$$

⑨ 割り込みの発生

- ・タイマ0割り込み要求許可ビットがセットされている場合、TOL周期またはTOPWML周期で、T0割り込み要求を発生します。
- ・タイマ0ソフトウェア割り込み制御により、T0割り込み要求を発生します。

⑩ タイマ0 (T0) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・TOLR, TOHR, TOCNT, TOPR
- ・POLAT, PODDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	TOLR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	TOHR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	TOCNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE
7F13	0000 0000	R/W	TOPR	MODE			PR				

3-16-3 回路構成

3-16-3-1 タイマ0制御レジスタ (TOCNT) (8ビットレジスタ)

① T0の動作、割り込みの制御を行います。

3-16-3-2 タイマ0プリスケアラ制御レジスタ (TOPR) (8ビットレジスタ)

① T0プリスケアラの周期設定とタイマ0の8種類の動作モードの選択を行います。

3-16-3-3 タイマ0プリスケアラ (5ビットカウンタ)

① 動作開始/停止: RUN (TOCNTのビット2) の0/1により、停止/動作が制御されます。

② カウントクロック: モードにより異なります。

モード	CKSEL	T0プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

③ 一致信号: カウント値がPR (TOPRのビット4~0) の値と一致すると一致信号を発生します。

④ リセット: 動作停止時、または一致信号発生時。

3-16-3-4 タイマ0下位 (TOL) (8ビットカウンタ)

① 動作開始/停止: RUN (TOCNTのビット2) の0/1により、停止/動作が制御されます。

② カウントクロック: T0プリスケアラの一致信号

③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④ リセット: 動作停止時、または一致信号の発生時。

タイマ0

3-16-3-5 タイマ0上位 (TOH) (8ビットカウンタ)

- ① 動作開始 / 停止 : RUN (TOCNTのビット2) の0で停止、1の場合はモードにより異なります。

モード	MODE	TOHの動作
0	000	動作
1	001	動作
2	010	停止
3	011	停止
4	100	動作
5	101	動作
6	110	動作
7	111	動作

- ② カウントクロック: モードにより異なります。

モード	MODE	TOHのカウントクロック
0	000	TOLのオーバーフロー
1	001	システムクロック
2	010	—
3	011	—
4	100	システムクロック
5	101	システムクロック
6	110	システムクロック
7	111	システムクロック

- ③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)
- ④ リセット: 動作停止時、または一致信号の発生時。

3-16-3-6 タイマ0一致データレジスタ下位 (TOLR) (一致バッファレジスタ付き8ビットレジスタ)

- ① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位 (TOL) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時には、TOLRと一致バッファレジスタは同値となります。
 - ・動作時には、TOLの値が0になる時、一致バッファレジスタはTOLRの内容をロードします。
- ③ TOLのカウントクロックにシステムクロック以外を選択した場合、TOL動作時にTOLRの更新は、TOL一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-16-3-7 タイマ0一致データレジスタ上位 (TOHR) (一致バッファレジスタ付き8ビットレジスタ)

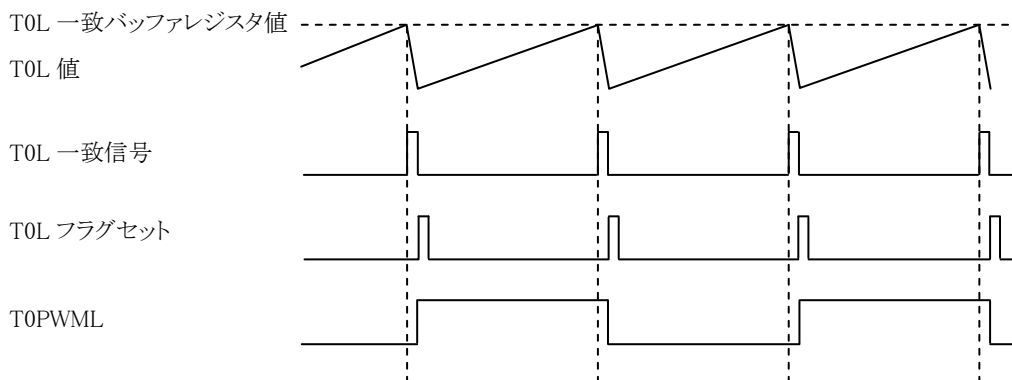
- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位 (TOH) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、TOHRと一致バッファレジスタは同値となります。
 - ・動作時には、TOHの値が0になる時、一致バッファレジスタはTOHRの内容をロードします。
- ③ TOHのカウントクロックにシステムクロック以外を選択した場合、TOH動作時にTOHRの更新は、TOH一致信号発生から次の一致信号発生までの間に1度のみにしてください。

タイマ0

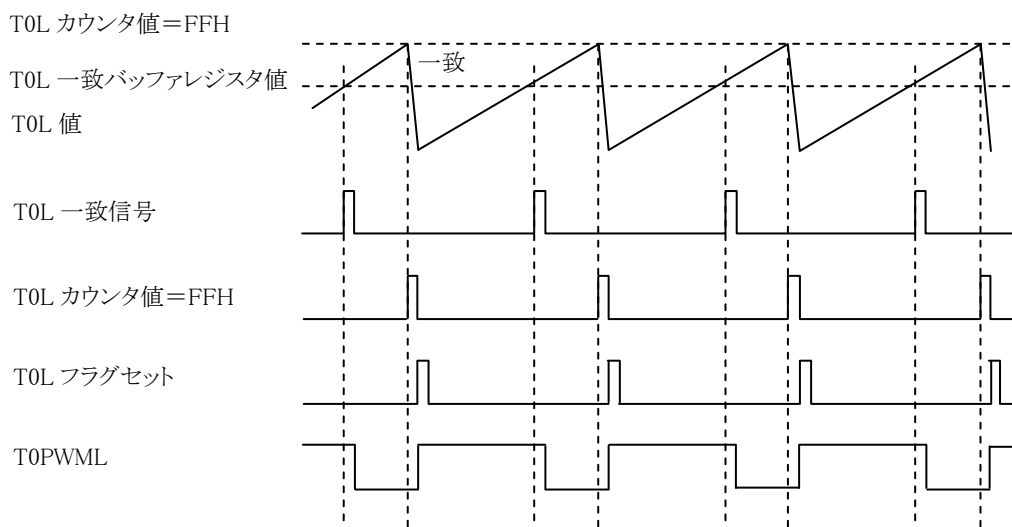
3-16-3-8 タイマ0下位出力 (TOPWML)

- ① TOL動作停止時、TOPWMLの出力はLOW固定となります。
- ② モード0, 4, 5時、TOPWMLの出力はLOW固定となります。
- ③ モード1, 3, 7時、TOL一致信号で変化するトグル出力。
- ④ モード2, 6時、TOLのオーバーフローでセット、TOLの一致信号でリセットされるPWM出力。

<モード1, 3, 7>



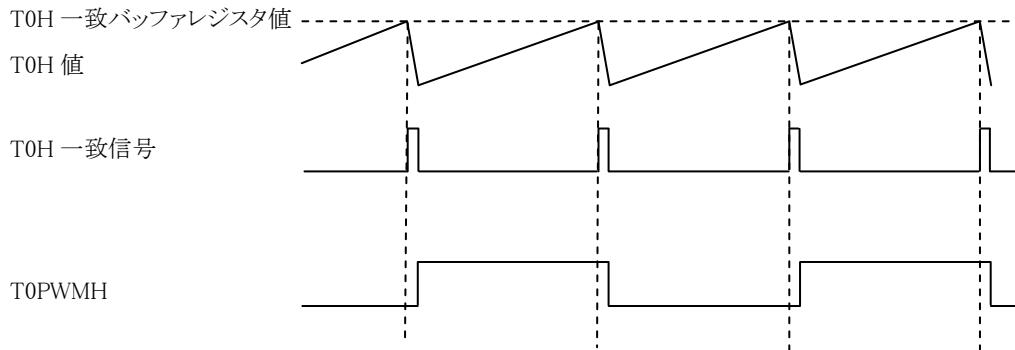
<モード2, 6>



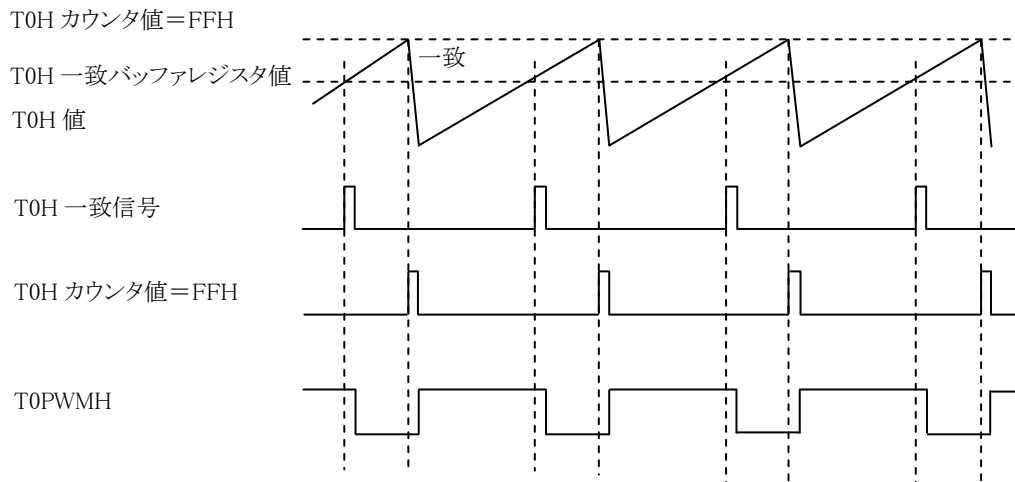
3-16-3-9 タイマ0上位出力 (TOPWMH)

- ① T0H動作停止時、TOPWMHの出力はLOW固定となります。
- ② モード0, 2, 3時、TOPWMHの出力はLOW固定となります。
- ③ モード5, 7時、T0H一致信号で変化するトグル出力。
- ④ モード1, 4, 6時、T0Hのオーバーフローでセット、T0Hの一致信号でリセットされるPWM出力。

<モード5, 7>



<モード1, 4, 6>



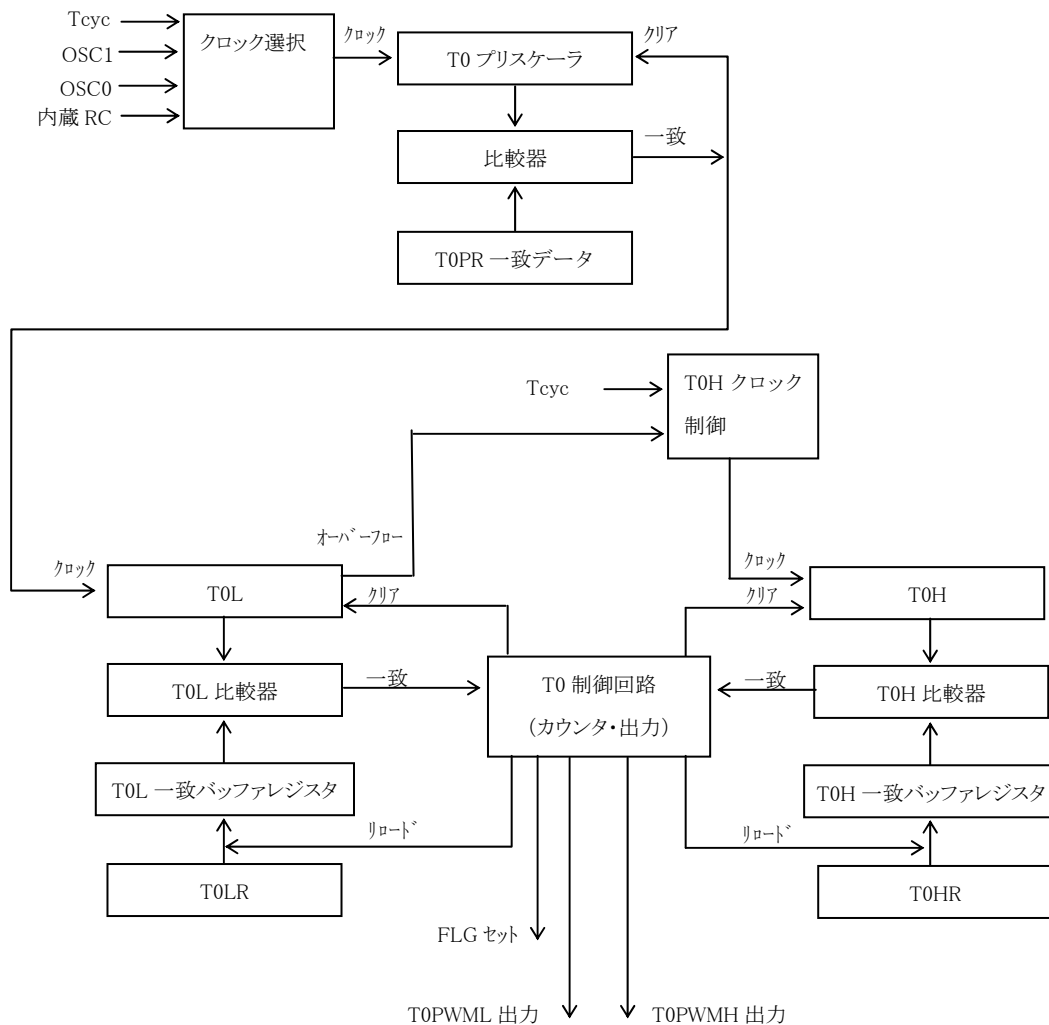


図 3-16-1 タイマ0ブロック図

3-16-4 関連レジスタ

3-16-4-1 タイマ0一致データレジスタ下位 (T0LR)

- ① T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T0LRと一致バッファレジスタは同値となります。
 - ・動作時には、T0Lの値が0になる時、一致バッファレジスタはT0LRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F10	0000 0000	R/W	T0LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-2 タイマ0一致データレジスタ上位 (T0HR)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ0上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T0HRと一致バッファレジスタは同値となります。
 - ・動作時には、T0Hの値が0になる時、一致バッファレジスタはT0HRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	T0HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-16-4-3 タイマ0制御レジスタ (T0CNT)

- ① T0の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	T0CNT	SISTS	SIFLG	SIIE	CKSEL		RUN	FLG	IE

SISTS (ビット7) : ソフトウェア割り込み状態
 SIFLGとSIIEのANDデータを読めます。
 このビットはリードオンリーです。

SIFLG (ビット6) : ソフトウェア割り込みフラグ

SIIE (ビット5) : ソフトウェア割り込み許可制御

ビット5とビット6がともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

CKSEL (ビット4, 3) : T0カウントクロック選択0

上記2ビットでタイマ0のカウントクロックを選択します。

モード	CKSEL	T0プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

RUN (ビット2) : T0カウント制御

このビットが0の時タイマ0 (T0) は、カウント値0で停止し、T0の一致バッファレジスタ値はTORの値と同じです。

このビットが1の時タイマ0 (T0) は、所定のカウント動作を行います。

FLG (ビット1) : T0一致フラグ

T0が動作している (RUN=1) 場合、T0が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

IE (ビット0) : T0割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8008Hへの割り込み要求が発生します。

タイマ0

3-16-4-4 タイマ0プリスケアラ制御レジスタ(TOPR)

①ビット0～4でタイマ0プリスケアラのカウント数を設定します。

②ビット5～7でタイマ0のモード選択を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F13	0000 0000	R/W	TOPR	MODE			PR				

MODE(ビット7～5):タイマ0モード選択

上記3ビットでタイマ0のモード選択を行います。

モード	MODE	TOLの動作	TOHの動作
0	000	16ビットタイマ	
1	001	8ビットタイマ(トグル出力)	8ビットPWM
2	010	8ビットPWM	停止
3	011	8ビットタイマ(トグル出力)	停止
4	100	8ビットタイマ	8ビットPWM
5	101	8ビットタイマ	一致カウンタ(トグル出力)
6	110	8ビットPWM	8ビットPWM
7	111	8ビットタイマ(トグル出力)	一致カウンタ(トグル出力)

PR(ビット4～0):タイマ0プリスケアラ制御

上記5ビットでタイマ0プリスケアラの周期を設定します。

TOPR周期 = (PR + 1) × カウントクロック

3-16-5 タイマ0出力のポート設定

① TOPWML(P06)

レジスタデータ		ポートP06の状態
POLAT<6>	PODDR<6>	
1	0	内蔵プルアップ
0	0	TOPWMLとPOLAT<6>のOR(内蔵プルアップ/オープン)
1	1	H出力
0	1	TOPWMLとPOLAT<6>のOR(H出力/L出力)

② TOPWMH(P07)

レジスタデータ		ポートP07の状態
POLAT<7>	PODDR<7>	
1	0	内蔵プルアップ
0	0	TOPWMHとPOLAT<7>のOR(内蔵プルアップ/オープン)
1	1	H出力
0	1	TOPWMHとPOLAT<7>のOR(H出力/L出力)

3-17 タイマ1 (T1)

3-17-1 概要

本シリーズ内蔵しているタイマ1 (T1) は、次の2つの機能を持ったプリスケアラ付きの16ビットのタイマです。

- ① モード0: 5ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)
- ② モード1: 5ビットプリスケアラ付き8ビットタイマ (8ビットキャプチャレジスタ付き) × 2ch

3-17-2 機能

- ① モード0: 5ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)

- ・タイマ1 (T1) はシステムクロック、OSC0、OSC1または内蔵RCをカウントする16ビットのプログラマブルタイマとして動作します。
- ・キャプチャ許可時、命令でHFLGを1にすることでT1L、T1Hの内容をT1CAPL、T1CAPHに同時にキャプチャします。
- ・T1周期

$$T1 \text{の周期} = ([(T1HR << 8) + T1LR] + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ② モード1: 5ビットプリスケアラ付き8ビットタイマ (8ビットキャプチャレジスタ付き) × 2ch

- ・タイマ1 (T1) はシステムクロック、OSC0、OSC1または内蔵RCをカウントする8ビットタイマとシステムクロックをカウントする8ビットタイマとして動作します。
- ・キャプチャ許可時、HFLGが1になるとT1Lの内容をT1CAPLにキャプチャします。
- ・キャプチャ許可時、FLGが1になるとT1Hの内容をT1CAPHにキャプチャします。
- ・T1周期

$$T1L \text{の周期} = (T1LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$T1H \text{の周期} = (T1HR + 1) \times T_{cyc}$$

- ③ 割り込みの発生

タイマ割り込み要求許可ビットがセットされている場合、T1LまたはT1Hのカウント周期で、T1LまたはT1H割り込み要求が発生します。

- ④ タイマ1 (T1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T1LR, T1HR, T1CNT, T1PR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

タイマ1

3-17-3 回路構成

3-17-3-1 タイマ1制御レジスタ(T1CNT) (8ビットレジスタ)

- ① T1L, T1Hの動作、割り込みの制御を行います。

3-17-3-2 タイマ1プリスケアラ制御レジスタ(T1PR) (8ビットレジスタ)

- ① タイマ1のプリスケアラ設定とモード選択を行います。

3-17-3-3 タイマ1プリスケアラ (5ビットカウンタ)

- ① 動作開始/停止: RUN(T1CNTのビット2)の0/1により、停止/動作が制御されます。

- ② カウントクロック: モードにより異なります。

モード	CKSEL	T1プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

- ③ 一致信号: カウント値がPR(T1PRのビット4~0)の値と一致すると一致信号を発生します。

- ④ リセット: 動作停止時、または一致信号発生時。

3-17-3-4 タイマ1下位(T1L) (8ビットカウンタ)

- ① 動作開始/停止: RUN(T1CNTのビット2)の0/1により、停止/動作が制御されます。

- ② カウントクロック: T1プリスケアラの一致信号

- ③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

- ④ リセット: 動作停止時、または一致信号の発生時。

3-17-3-5 タイマ1上位(T1H) (8ビットカウンタ)

- ① 動作開始/停止: モードにより異なります。

モード	MDSELBIT	HRUN	RUN	T1Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	MDSELBIT	T1Hのカウントクロック
0	0	T1Lのオーバーフロー信号
1	1	システムクロック

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④ リセット:動作停止時、または一致信号の発生時。

3-17-3-6 タイマ1一致データレジスタ下位 (T1LR) (一致バッファレジスタ付き8ビットレジスタ)

- ① T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位 (T1L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T1LRと一致バッファレジスタは同値となります。
 - ・動作時には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードします。
- ③ T1Lのカウントクロックにシステムクロック以外を選択した場合、T1L動作時にT1LRの更新は、T1L一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-17-3-7 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付き8ビットレジスタ)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T1HRと一致バッファレジスタは同値となります。
 - ・動作時には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードします。
- ③ T1Hのカウントクロックにシステムクロック以外を選択した場合、T1H動作時にT1HRの更新は、T1H一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-17-3-8 タイマ1キャプチャレジスタ下位 (T1CAPL) (8ビットレジスタ)

MDSELCPが1の時以下の条件でT1Lの値を保持します。

- ① HFLGが1になった時のT1Lのカウント値を保持。

3-17-3-9 タイマ1キャプチャレジスタ上位 (T1CAPH) (8ビットレジスタ)

MDSELCPが1の時以下の条件でT1Hの値を保持します。

- ① 16ビットタイマモード時、HFLGが1になった時のT1Hのカウント値を保持。
- ② 8ビットタイマモード時、FLGが1になった時のT1Hのカウント値を保持。

タイマ1

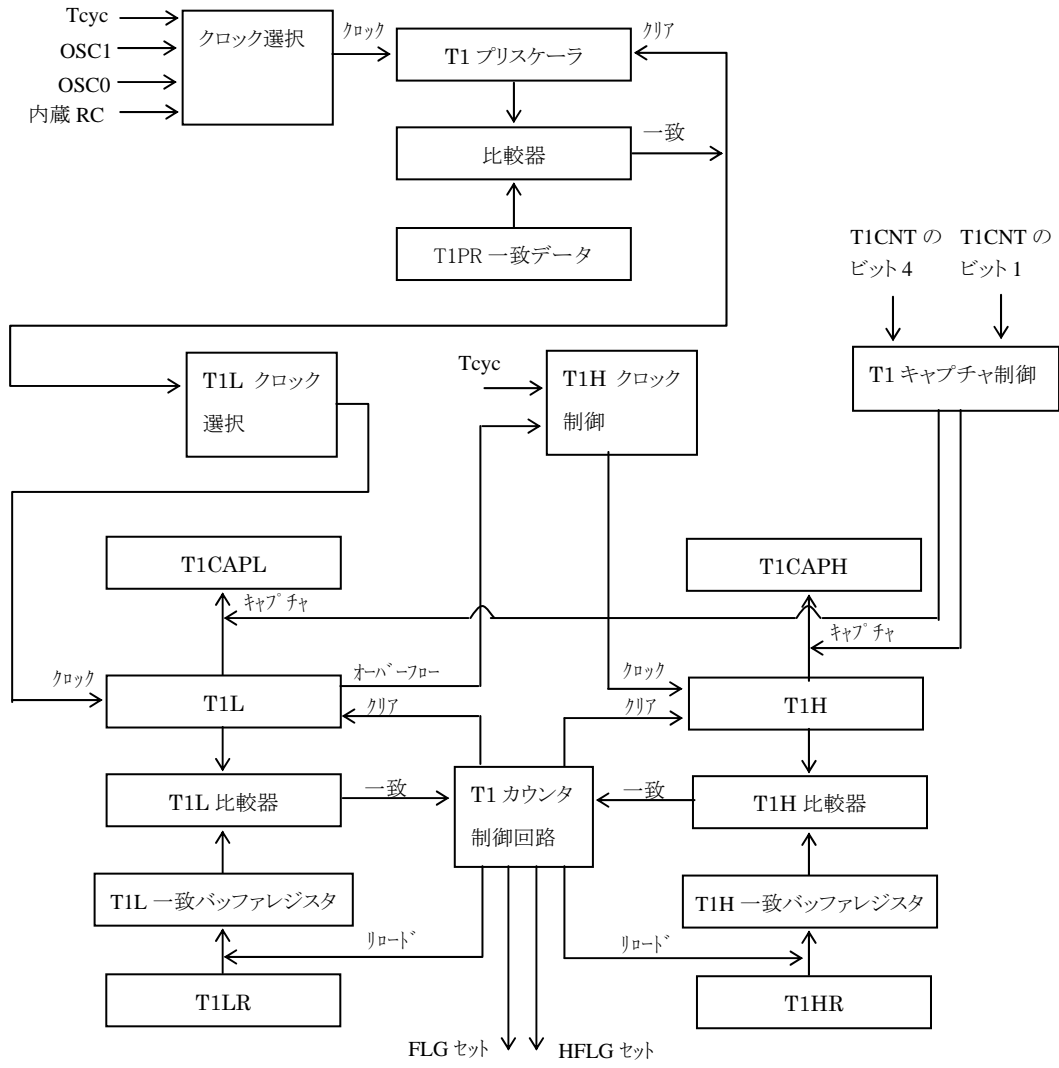


図 3-17-1 タイマ1ブロック図

3-17-4 関連レジスタ

3-17-4-1 タイマ1一致データレジスタ下位 (T1LR)

- ① T1L用の一致データ格納用レジスタです。
- ② MDSELRDが1の時、T1CAPLの内容が読み出せます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F14	0000 0000	R/W	T1LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-17-4-2 タイマ1一致データレジスタ上位 (T1HR)

- ① T1H用の一致データ格納用レジスタです。
- ② MDSELRDが1の時、T1CAPHの内容が読み出せます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-17-4-3 タイマ1制御レジスタ (T1CNT)

- ① T1L, T1Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT	HRUN	HFLG	HIE	CKSEL		RUN	FLG	IE

HRUN (ビット7) : T1Hカウント制御

8ビットタイマモード時にT1Hカウント制御に使用します。
 このビットが0の時タイマ1上位 (T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。
 このビットが1の時タイマ1上位 (T2H)は、所定のカウント動作を行います。

HFLG (ビット6) : T1H一致フラグ

8ビットタイマモード時にT1H一致フラグとして使用します。
 T1Hが動作している (HRUN = 1) 場合、T1Hが0に変化する時にセットされます。
 このフラグは、命令でクリアしてください。
 このビットはキャプチャのトリガ信号になります。

HIE (ビット5) : T1H割り込み要求発生許可制御

8ビットタイマモード時にT1H割り込み制御に使用します。
 このビットとHFLGがともに1の時、ベクタアドレス8018Hへの割り込み要求が発生します。

CKSEL (ビット4、3) : T1カウントクロック選択

上記2ビットでタイマ1のカウントクロックを選択します。

モード	CKSEL	T1プリスケアラのカウントクロック
0	00	システムクロック
1	01	内蔵RC
2	10	OSC0
3	11	OSC1

タイマ1

RUN (ビット2) : T1カウント制御

このビットが0の時タイマ1 (T1) は、カウント値 0 で停止し、T1の一致バッファレジスタ値はT1Rの値と同じです。

このビットが1の時タイマ1 (T1) は、所定のカウンタ動作を行います。

8ビットタイマモード時はT1Lの制御に使用します。

FLG (ビット1) : T1一致フラグ

T1が動作している (RUN = 1) 場合、T1が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT1Lの一致フラグに使用します。

このビットはキャプチャのトリガ信号になります。

IE (ビット0) : T1割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8018Hへの割り込み要求が発生します。

8ビットタイマモード時はT1Lの割り込み制御に使用します。

注意 : FLG, HFLGは命令で0にしてください。

3-17-4-4 タイマ1プリスケアラ制御レジスタ (T1PR)

①タイマ1のカウントクロックとモードを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F17	0000 0000	R/W	T1PR	MDSELRD	MDSELBIT	MDSELCP	PR				

MDSELRD (ビット7) : レジスタ読み出し選択

リードレジスタの選択を行います。

このビットが1の時、T1LR、T1HRのアドレスを通してT1CAPL、T1CAPHの値が読み出せます。

このビットが0の時、T1LR、T1HRはそのまま読み出せます。

MDSELBIT (ビット6) : タイマ1カウンタ長選択

このビットが1の時、タイマ1は8ビットタイマモードで動作します。

このビットが0の時、タイマ1は16ビットタイマモードで動作します。

MDSELCP (ビット5) : タイマ1キャプチャ許可

このビットが1の時、キャプチャ条件が成立したときのタイマ1カウンタのデータをキャプチャレジスタに保持します。

このビットが0の時、キャプチャ動作はしません。

MDSELBIT	T1Lキャプチャ条件	T1Hキャプチャ条件
0	HFLGが1	HFLGが1
1	HFLGが1	FLGが1

*キャプチャレジスタはキャプチャ条件が成立している間、保持されていますので読み出しはキャプチャ条件が成立している間に行ってください。

PR (ビット4~0) : タイマ1プリスケアラ制御

上記5ビットでタイマ1プリスケアラの周期を設定します。

T1PR周期 = (PR + 1) × カウントクロック

3-18 タイマ2 (T2)

3-18-1 概要

本シリーズ内蔵しているタイマ2 (T2) は、次の2つの機能を持ったプリスケアラ付きの16ビットのタイマです。

- ① モード0: 4ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)
- ② モード1: 4ビットプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) × 2ch

3-18-2 機能

- ① モード0: 4ビットプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)

- ・タイマ2 (T2) はシステムクロック、OSC0、OSC1または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
- ・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
- ・INT0、INT2端子からの検出信号により、T2L、T2Hの内容をT2CP0L、T2CP0Hに同時にキャプチャします。
- ・T2周期

$$T2の周期 = [(T2HR \ll 8) + T2LR] + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ② モード1: 4ビットプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) × 2ch

- ・タイマ2 (T2) はシステムクロック、OSC0、OSC1または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
- ・外部イベントはINT2またはINT3端子からの検出信号を選択できます。
- ・INT0、INT2端子からの検出信号により、T2Lの内容をT2CP0Lにキャプチャします。
- ・INT1、INT3端子からの検出信号により、T2Hの内容をT2CP0Hにキャプチャします。
- ・T2周期 (クロックソース: 外部イベント非選択時)

$$T2Lの周期 = (T2LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

$$T2Hの周期 = (T2HR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$

- ・T2周期 (クロックソース: 外部イベント選択時)

$$T2Lの周期 = (T2LR + 1) \times \text{外部イベント}$$

$$T2Hの周期 = (T2HR + 1) \times (PR + 1) \times (\text{システムクロック周期又は外部イベント})$$

タイマ2

③ 割り込みの発生

タイマ割り込み要求許可ビットがセットされている場合、T2LまたはT2Hのカウンタ周期で、T2LまたはT2H割り込み要求を発生します。

又はキャプチャ割り込み要求ビットがセットされている場合、キャプチャレジスタの更新時に割り込み要求を発生します。

④ タイマ2 (T2) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T2LR, T2HR, T2L, T2H, T2CNT0, T2CNT1, T2CNT2

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1	—	—	—	CP0SL		CP0HFLG	CP0LFLG	CPIE
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	—	PR			

3-18-3 回路構成

3-18-3-1 タイマ2制御レジスタ0 (T2CNT0) (8ビットレジスタ)

① T2L, T2Hの動作、割り込みの制御を行います。

3-18-3-2 タイマ2制御レジスタ1 (T2CNT1) (8ビットレジスタ)

① T2L, T2Hのキャプチャ動作制御を行います。

3-18-3-3 タイマ2制御レジスタ2 (T2CNT2) (8ビットレジスタ)

① T2L, T2Hのカウントクロックの設定を行います。

3-18-3-4 タイマ2プリスケアラ (4ビットカウンタ)

① 動作開始 / 停止 : モードにより異なります。

モード	CTR8	HRUN	RUN	T2プリスケアラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	CTR8	EXISL	CKSL	T2プリスケアラのカウントクロック
0	—	—	00	システムクロック
1	0	0	01	INT2からのイベント入力
2	1	0	01	システムクロック
3	—	1	01	INT3からのイベント入力
4	—	—	10	OSCO
5	—	—	11	OSC1

③ 一致信号:カウント値がPR(T2CNT2のビット3~0)の値と一致すると一致信号を発生します。

④リセット:動作停止時、または一致信号発生時。

3-18-3-5 タイマ2下位(T2L) (8ビットカウンタ)

① 動作開始/停止:モードにより異なります。

モード	CTR8	HRUN	RUN	T2Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	CTR8	CKSL	T2Lのカウントクロック
0	—	00	T2プリスケアラの一致信号
1	0	01	T2プリスケアラの一致信号
2	1	01	INT2からのイベント入力
3	—	10	T2プリスケアラの一致信号
4	—	11	T2プリスケアラの一致信号

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-18-3-6 タイマ2上位(T2H) (8ビットカウンタ)

① 動作開始/停止:モードにより異なります。

モード	CTR8	HRUN	RUN	T2Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

タイマ2

② カウントクロック:モードにより異なります。

モード	CTR8	T2Hのカウントクロック
0	0	T2Lのオーバーフロー信号
1	1	T2プリスケラ一致信号

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④ リセット:動作停止時、または一致信号の発生時。

3-18-3-7 タイマ2一致データレジスタ下位 (T2LR) (一致バッファレジスタ付き8ビットレジスタ)

① T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位 (T2L) の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時には、T2LRと一致バッファレジスタは同値となります。
- ・動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードします。

③ T2Lのカウントクロックにシステムクロック以外を選択した場合、T2L動作時にT2LRの更新は、T2L一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-18-3-8 タイマ2一致データレジスタ上位 (T2HR) (一致バッファレジスタ付き8ビットレジスタ)

① T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位 (T2H) の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時には、T2HRと一致バッファレジスタは同値となります。
- ・動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードします。

③ T2Hのカウントクロックにシステムクロック以外を選択した場合、T2H動作時にT2HRの更新は、T2H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

3-18-3-9 タイマ2キャプチャレジスタ下位 (T2CP0L) (8ビットレジスタ)

① キャプチャ要求:モードにより異なります。

モード	CPOS L	T2CP0Lのキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

② キャプチャデータ:タイマ2下位 (T2L) の内容。

3-18-3-10 タイマ2キャプチャレジスタ上位 (T2CP0H) (8ビットレジスタ)

① キャプチャ要求:モードにより異なります。

モード	CTR8	CPOSL	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

② キャプチャデータ:タイマ2上位 (T2H) の内容。

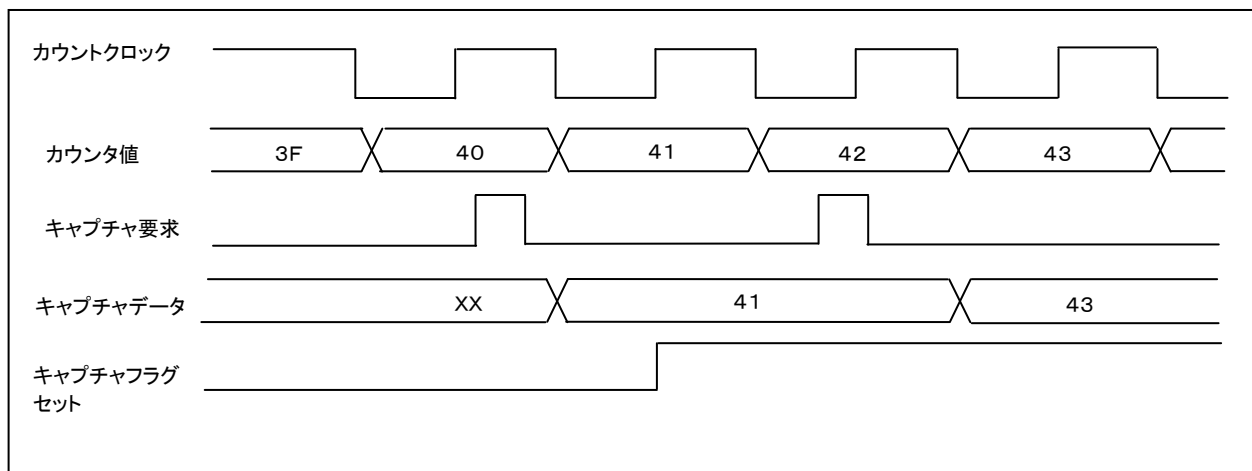


図 3-18-1 キャプチャ動作タイミング

タイマ2

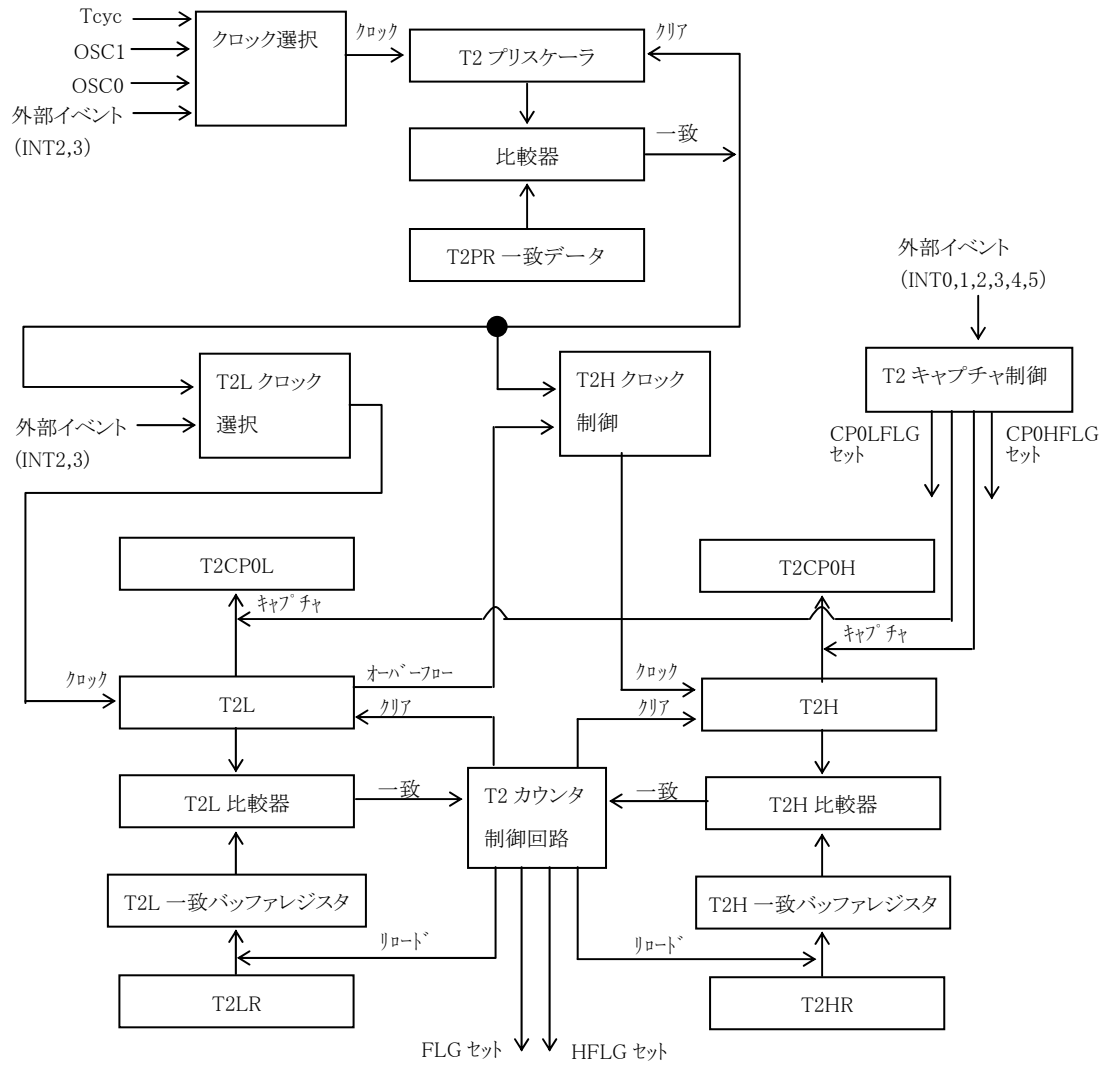


図 3-18-2 タイマ2ブロック図

3-18-4 関連レジスタ

3-18-4-1 タイマ2一致データレジスタ下位 (T2LR)

- ① T2L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T2LRと一致バッファレジスタは同値となります。
 - ・動作時には、T2Lの値が0になる時、一致バッファレジスタはT2LRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F18	0000 0000	R/W	T2LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-2 タイマ2一致データレジスタ上位 (T2HR)

- ① T2H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ2上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T2HRと一致バッファレジスタは同値となります。
 - ・動作時には、T2Hの値が0になる時、一致バッファレジスタはT2HRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-3 タイマ2下位 (T2L)

- ① 読み出し専用の8ビットのタイマです。T2プリスケアラの一致信号でカウントアップします。
- ② タイマ2制御レジスタ0 (T2CNT0) のビット3が“1”の時、タイマ2キャプチャレジスタ下位 (T2CP0L) のデータを読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-18-4-4 タイマ2上位 (T2H)

- ① 読み出し専用の8ビットのタイマです。T2Lのオーバーフロー信号またはT2プリスケアラの一致信号でカウントアップします。
- ② タイマ2制御レジスタ0 (T2CNT0) のビット3が“1”の時、タイマ2キャプチャレジスタ上位 (T2CP0H) のデータを読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

タイマ2

3-18-4-5 タイマ2制御レジスタ0 (T2CNT0)

① T2L, T2Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0	HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE

HRUN (ビット7) : T2Hカウント制御

8ビットタイマモード時にT2Hカウント制御に使用します。

このビットが0の時タイマ2上位 (T2H) は、カウント値0で停止し、T2Hの一致バッファレジスタ値はT2HRの値と同じです。

このビットが1の時タイマ2上位 (T2H) は、所定のカウント動作を行います。

HFLG (ビット6) : T2H一致フラグ

8ビットタイマモード時にT2H一致フラグとして使用します。

T2Hが動作している (HRUN = 1) 場合、T2Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

HIE (ビット5) : T2H割り込み要求発生許可制御

8ビットタイマモード時にT2H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

CTR8 (ビット4) : タイマ2モード選択

このビットが0の時タイマ2は16ビットタイマとして動作します。

このビットが1の時タイマ2は独立した2本の8ビットタイマとして動作します。

SLCPRD (ビット3) : キャプチャレジスタ読み出し選択

このビットが0の時アドレス7F1A、7F1BはT2L、T2Hの値が読み出されます。

このビットが1の時アドレス7F1A、7F1BはT2CP0L、T2CP0Hの値が読み出されます。

RUN (ビット2) : T2カウント制御

このビットが0の時タイマ2 (T2) は、カウント値0で停止し、T2の一致バッファレジスタ値はT2Rの値と同じです。

このビットが1の時タイマ2 (T2) は、所定のカウント動作を行います。

8ビットタイマモード時はT2Lの制御に使用します。

FLG (ビット1) : T2一致フラグ

T2が動作している (RUN = 1) 場合、T2が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT2Lの一致フラグに使用します。

IE(ビット0):T2割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

8ビットタイマモード時はT2Lの割り込み制御に使用します。

注意:FLG, HFLGは命令で0にしてください。

3-18-4-6 タイマ2制御レジスタ1(T2CNT1)

①タイマ2キャプチャ動作の設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1D	LLL0 0000	R/W	T2CNT1	-	-	-	CPOS		CP0HFLG	CP0LFLG	CPIE

CPOS(ビット4、3):タイマ2キャプチャ要求入力選択

上記2ビットでタイマ2キャプチャ要求の入力を選択します。

モード	CTR8	CPOS	T2CP0Hのキャプチャ要求
0	0	00	INT0からのイベント入力
1	0	01	INT2からのイベント入力
2	0	10	INT4からのイベント入力
3	0	11	INT5からのイベント入力
4	1	00	INT1からのイベント入力
5	1	01	INT3からのイベント入力
6	1	10	INT5からのイベント入力
7	1	11	INT4からのイベント入力

モード	CPOS	T2CP0Lのキャプチャ要求
0	00	INT0からのイベント入力
1	01	INT2からのイベント入力
2	10	INT4からのイベント入力
3	11	INT5からのイベント入力

CP0HFLG(ビット2):タイマ2キャプチャ0Hフラグ

8ビットモード時T2CP0Hレジスタが更新されると1になります。

16ビットモード時はT2CP0Hレジスタの更新では変化しません。

T2CP0Hレジスタを読み出した後0にしてください。

CP0LFLG(ビット1):タイマ2キャプチャ0Lフラグ

8ビットモード時、T2CP0Lレジスタが更新されると1になります。

16ビットモード時、T2CP0H、T2CP0Lレジスタが同時に更新され1になります。

T2CP0Lレジスタを読み出した後0にしてください。

CPIE(ビット0):T2キャプチャ割り込み要求発生許可制御

このビットとCP0LFLG又はCP0HFLGがともに1の時、ベクタアドレス801CHへの割り込み要求が発生します。

注意:CP0LFLG, CP0HFLGは命令で0にしてください。

タイマ2

3-18-4-7 タイマ2制御レジスタ2(T2CNT2)

① タイマ2のカウントクロックを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1E	000L 0000	R/W	T2CNT2	CKSL		EXISL	—	PR			

CKSL(ビット7、6):タイマ2カウントクロック選択

上記2ビットでタイマ2のカウントクロックを選択します。

モード	CKSL	T2プリスケアラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1

EXISL(ビット5):タイマ2イベントカウント入力選択。

このビットが0の時INT2をイベント入力として選択します。

このビットが1の時INT3をイベント入力として選択します。

PR(ビット3~0):タイマ2プリスケアラ制御

上記4ビットでタイマ2プリスケアラの周期を設定します。

$T2PR周期 = (PR + 1) \times \text{カウントクロック}$

3-19 タイマ3 (T3)

3-19-1 概要

本シリーズ内蔵しているタイマ3 (T3) は、次の4つの機能を持ったプリスケアラ付きの16ビットのタイマです。

- ① モード0: 8ビットプリスケアラ付き16ビットプログラマブルタイマ (トグル出力付き)
- ② モード1: 8ビットプリスケアラ付き8ビットプログラマブルタイマ (トグル出力付き) × 2ch
- ③ モード2: 8ビットプリスケアラ付き8ビットPWM × 1ch、PWM周期をカウントする8ビットタイマ (トグル出力付き)
- ④ モード3: 8ビットプリスケアラ付き8ビットPWM × 2ch

3-19-2 機能

- ① モード0: 8ビットプリスケアラ付き16ビットプログラマブルタイマ (トグル出力付き)
 - ・タイマ3 (T3) はシステムクロック、OSC0、OSC1、VCO発振または外部イベントをカウントする16ビットのプログラマブルタイマとして動作します。
 - ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
 - ・T3OHはT3周期毎にトグルする信号を出力します。

$$T3 \text{の周期} = [(T3HR << 8) + T3LR] + 1 \times (PR + 1) \times \text{カウントクロック周期}$$

$$T3OH \text{周期} = T3 \text{周期} \times 2$$
- ② モード1: 8ビットプリスケアラ付き8ビットプログラマブルタイマ (トグル出力付き) × 2ch
 - ・タイマ3 (T3) はシステムクロック、OSC0、OSC1、VCO発振または外部イベントをカウントする二つの独立した8ビットのプログラマブルタイマとして動作します。
 - ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
 - ・T3OL、T3OHはそれぞれT3L、T3H毎にトグルする信号を出力します。
 - ・T3周期 (クロックソース: 外部イベント非選択時)
 - $$T3L \text{の周期} = (T3LR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - $$T3H \text{の周期} = (T3HR + 1) \times (PR + 1) \times \text{カウントクロック周期}$$
 - ・T3周期 (クロックソース: 外部イベント選択時)
 - $$T3L \text{の周期} = (T3LR + 1) \times \text{外部イベント}$$
 - $$T3H \text{の周期} = (T3HR + 1) \times (PR + 1) \times (\text{システムクロック周期 又は 外部イベント})$$
 - $$T3OL \text{周期} = T3L \text{周期} \times 2$$
 - $$T3OH \text{周期} = T3H \text{周期} \times 2$$

タイマ3

③ モード2: 8ビットプリスケアラ付き8ビットPWM×1ch+PWM周期をカウントする8ビットプログラマブルタイマ(トグル出力付き)

- ・T3Lはシステムクロック、OSC0、OSC1、VCO発振または外部イベントをカウントする8ビットPWMとして動作します。
- ・T3HはT3L周期をカウントする8ビットタイマとして動作します。
- ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
- ・T3OLは周期 $256 \times (PR + 1) \times$ カウントクロック周期のPWMとして動作します。
- ・T3OHはT3H毎にトグルする信号を出力します。

$T3OL$ の周期 = $256 \times (PR + 1) \times$ カウントクロック周期

$T3OL$ のH期間 = $(T3LR + 1) \times (PR + 1) \times$ カウントクロック周期

$T3OH$ の周期 = $(T3HR + 1) \times T3PWML$ の周期

$T3OH$ の期間 = $T3$ 周期 $\times 2$

④ モード3: 8ビットプリスケアラ付き8ビットPWM×2ch

- ・タイマ3(T3)はシステムクロック、OSC0、OSC1、VCO発振または外部イベントをカウントする二つの独立した8ビットPWMとして動作します。
- ・外部イベントはINT4またはINT5端子からの検出信号を選択できます。
- ・T3OL、T3OHは周期 $256 \times (PR + 1) \times$ カウントクロック周期のPWMとして動作します。

$T3OL$ の周期 = $256 \times (PR + 1) \times$ カウントクロック周期

$T3OL$ のH期間 = $(T3LR + 1) \times (PR + 1) \times$ カウントクロック周期

$T3OH$ の周期 = $256 \times (PR + 1) \times$ カウントクロック周期

$T3OH$ のH期間 = $(T3HR + 1) \times (PR + 1) \times$ カウントクロック周期

⑤ 割り込みの発生

割り込み要求許可ビットがセットされている場合、T3LまたはT3Hのカウント周期で、T3LまたはT3H割り込み要求を発生します。

⑥ タイマ3(T3)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T3LR, T3HR, T3L, T3H, T3CNT0, T3CNT1, T3PR
- ・TMXPLLC, TMXCKSL
- ・P1LAT, P1DDR, P1FSA, P1FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL	MD	
7F2E	0000 0000	R/W	T3PR	PR							
7F88	0LL0 0000	R/W	TMXPLLC	TEST	-	-	SELREF		FRQSEL	VCL	ON
7EEE	LLLL L000	R/W	TMXCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

3-19-3 回路構成

3-19-3-1 タイマ3制御レジスタ0 (T3CNT0) (8ビットレジスタ)

① T3L, T3Hの動作、割り込みの制御を行います。

3-19-3-2 タイマ3制御レジスタ1 (T3CNT1) (3ビットレジスタ)

① T3L, T3Hの動作制御を行います。

3-19-3-3 タイマ3プリスケアラ制御レジスタ (T3PR) (8ビットレジスタ)

① T3L, T3Hのクロックを設定を行います。

3-19-3-4 タイマ3プリスケアラ (8ビットカウンタ)

① 動作開始 / 停止 : モードにより異なります。

モード	MD<0>	HRUN	RUN	T3プリスケアラの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック : モードにより異なります。

モード	EXISL	MD	CKSL	T3プリスケアラのカウントクロック
0	—	—	00	システムクロック
1	0	1—	01	INT4からのイベント入力
2	0	01	01	システムクロック
3	1	—0	01	INT5からのイベント入力
4	—	—	10	OSC0
5	—	—	11	OSC1/VCO発振

③ 一致信号 : カウント値がPR (T3PRのビット7~0) の値と一致すると一致信号を発生します。

④ リセット : 動作停止時、または一致信号発生時。

3-19-3-5 タイマ3下位 (T3L) (8ビットカウンタ)

① 動作開始 / 停止 : モードにより異なります。

モード	MD<0>	HRUN	RUN	T3Lの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	動作
6	1	1	0	停止
7	1	1	1	動作

タイマ3

② カウントクロック:モードにより異なります。

モード	MD	CKSL	T3Lのカウントクロック
0	--	00	T3プリスケアラの一致信号
1	-0	01	T3プリスケアラの一致信号
2	01	01	INT4からのイベント入力
3	--	10	T3プリスケアラの一致信号
4	--	11	T3プリスケアラの一致信号

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-19-3-6 タイマ3上位 (T3H) (8ビットカウンタ)

① 動作開始/停止:モードにより異なります。

モード	MD<0>	HRUN	RUN	T3Hの動作
0	0	0	0	停止
1	0	0	1	動作
2	0	1	0	停止
3	0	1	1	動作
4	1	0	0	停止
5	1	0	1	停止
6	1	1	0	動作
7	1	1	1	動作

② カウントクロック:モードにより異なります。

モード	MD	T3Hのカウントクロック
0	-0	T3Lのオーバーフロー信号
1	-1	T3プリスケアラ一致信号

③ 一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は16ビットデータの一致が必要)

④リセット:動作停止時、または一致信号の発生時。

3-19-3-7 タイマ3一致データレジスタ下位 (T3LR) (一致バッファレジスタ付き8ビットレジスタ)

① T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位 (T3L) の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時には、T3LRと一致バッファレジスタは同値となります。
- ・動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードします。

③ T3Lのカウントクロックにシステムクロック以外を選択した場合、T3L動作時にT3LRの更新は、T3L一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-19-3-8 タイマ3一致データレジスタ上位 (T3HR) (一致バッファレジスタ付き8ビットレジスタ)

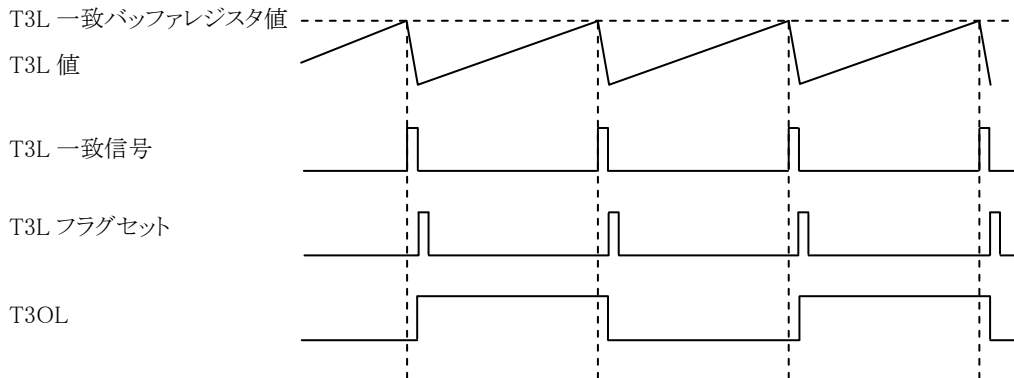
- ① T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位 (T3H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T3HRと一致バッファレジスタは同値となります。
 - ・動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードします。
- ③ T3Hのカウントクロックにシステムクロック以外を選択した場合、T3H動作時にT3HRの更新は、T3H一致信号発生から次の一致信号発生までの間に1度のみにしてください。

タイマ3

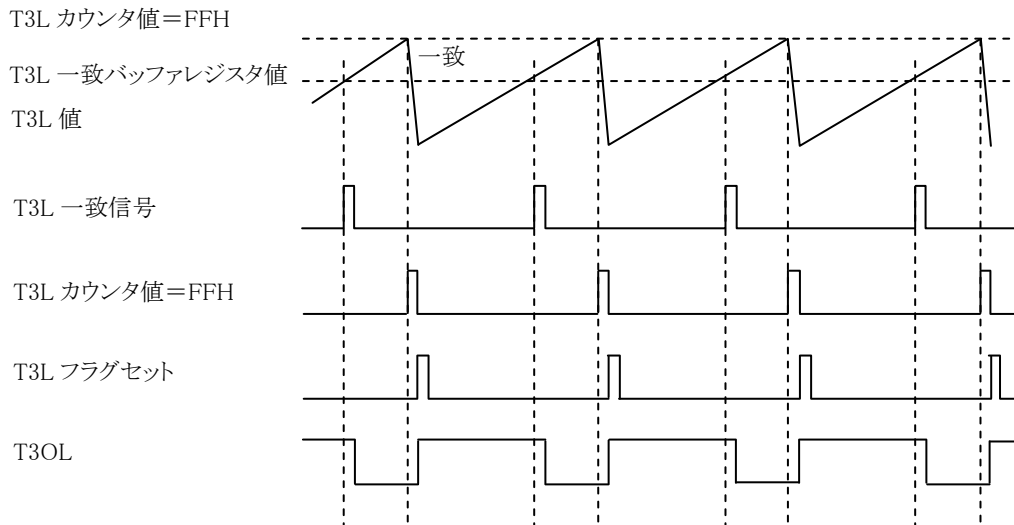
3-19-3-9 タイマ3下位出力 (T3OL)

- ① T3L動作停止時、T3OLの出力はHIGH固定となります。
- ② モード0時、T3OLの出力はHIGH固定となります。
- ③ モード1時、T3L一致信号で変化するトグル出力。
- ④ モード2、3時、T3Lのオーバーフローでセット、T3Lの一致信号でリセットされるPWM出力。

<モード1>



<モード 2, 3>



3-19-3-10 タイマ3上位出力 (T3OH)

- ① T3H動作停止時、T3OHの出力はHIGH固定となります。
- ② モード0時、T3一致信号で変化するトグル出力。
- ③ モード1、3時、T3H一致信号で変化するトグル出力。
- ④ モード2時、T3Hのオーバーフローでセット、T3Hの一致信号でリセットされるPWM出力。

<モード0>

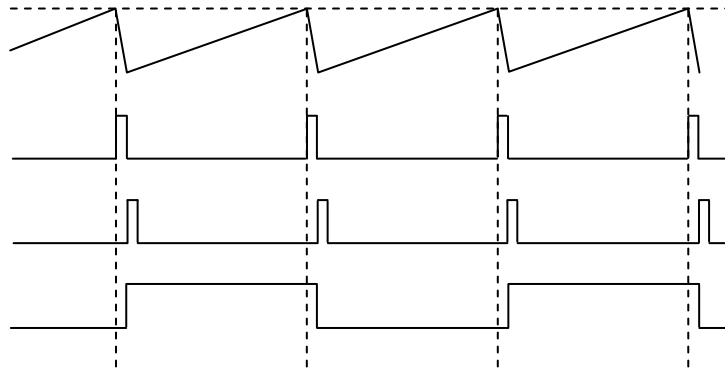
T3 一致バッファレジスタ値
(16ビット)

T3(16ビット)値

T3 一致信号

T3 フラグセット

T3OL



<モード3>

T3H カウンタ値=FFH

T3H 一致バッファレジスタ値

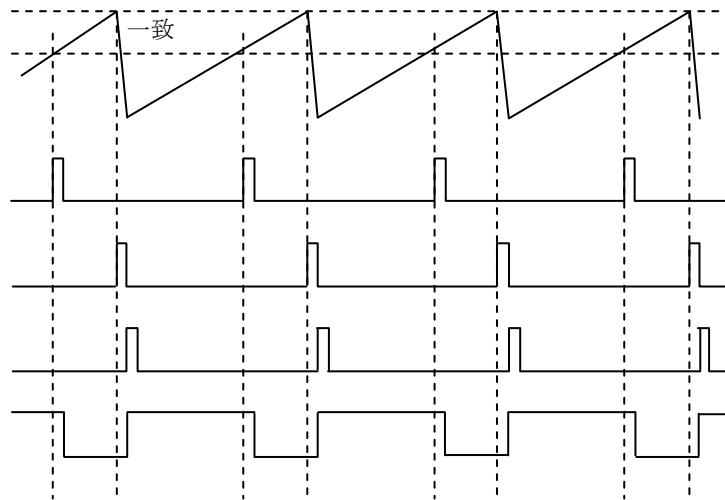
T3H 値

T3H 一致信号

T3H カウンタ値=FFH

T3H フラグセット

T3OH



<モード1, 2>

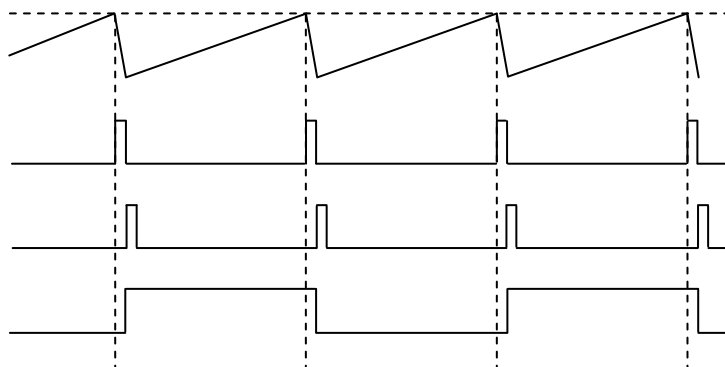
T3H 一致バッファレジスタ値

T3H 値

T3H 一致信号

T3H フラグセット

T3OH



タイマ3

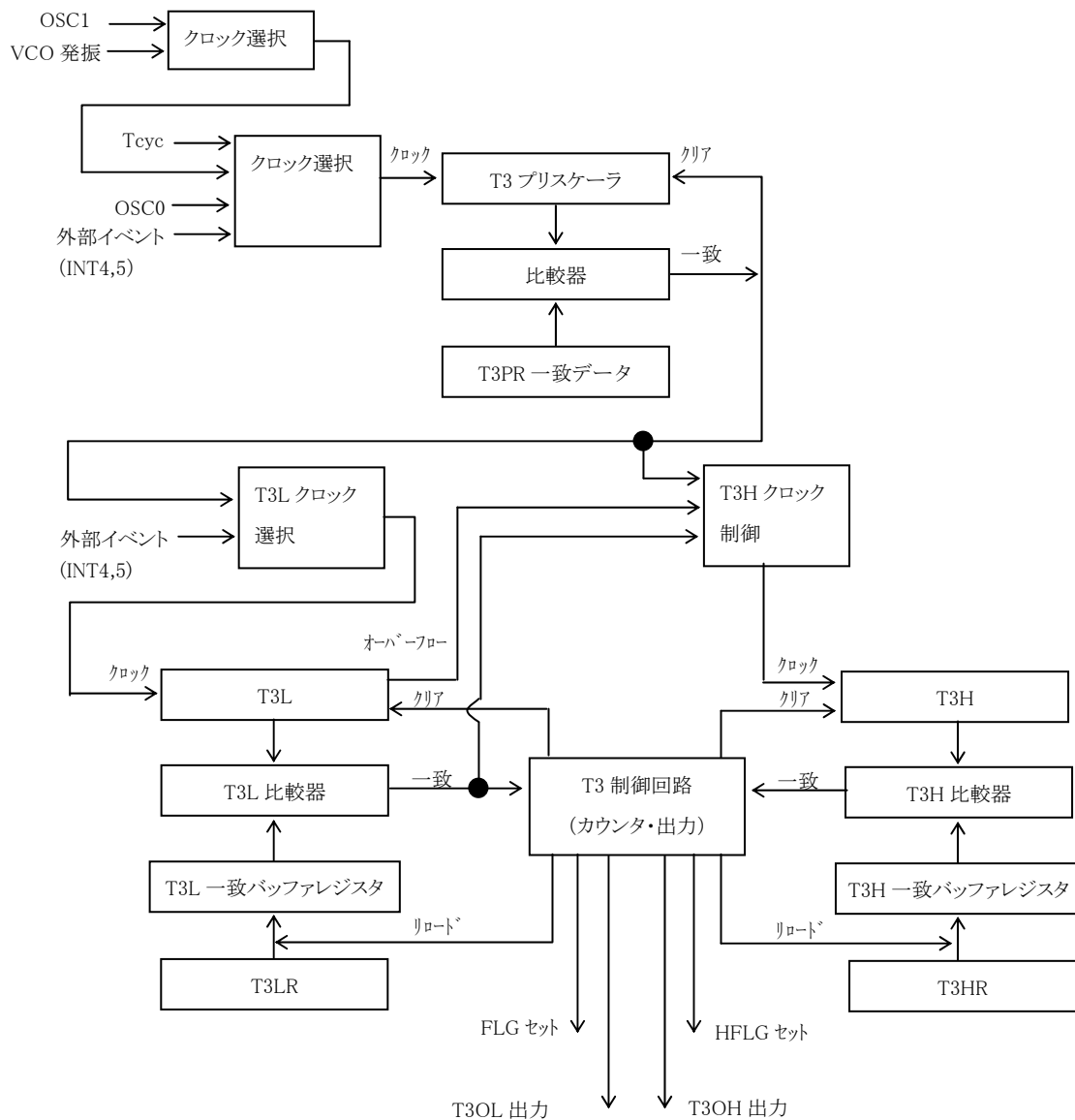


図 3-19-1 タイマ3ブロック図

3-19-4 関連レジスタ

3-19-4-1 タイマ3一致データレジスタ下位 (T3LR)

- ① T3L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時には、T3LRと一致バッファレジスタは同値となります。
 - ・動作時には、T3Lの値が0になる時、一致バッファレジスタはT3LRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F28	0000 0000	R/W	T3LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-2 タイマ3一致データレジスタ上位 (T3HR)

- ① T3H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ3上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時には、T3HRと一致バッファレジスタは同値となります。
 - ・動作時には、T3Hの値が0になる時、一致バッファレジスタはT3HRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-3 タイマ3下位 (T3L)

- ① 読み出し専用の8ビットのタイマです。T3プリスケアラの一致信号でカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-4 タイマ3上位 (T3H)

- ① 読み出し専用の8ビットのタイマです。T3Lのオーバーフロー信号またはT3プリスケアラの一致信号でカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-19-4-5 タイマ3制御レジスタ0 (T3CNT0)

- ① T3L, T3Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2C	0000 0000	R/W	T3CNT0	HRUN	HFLG	HIE	CKSL		RUN	FLG	IE

HRUN (ビット7) : T3Hカウント制御

8ビットタイマモード時にT3Hカウント制御に使用します。

このビットが0の時タイマ3上位 (T3H) は、カウント値0で停止し、T3Hの一致バッファレジスタ値はT3HRの値と同じです。

このビットが1の時タイマ3上位 (T3H) は、所定のカウント動作を行います。

HFLG (ビット6) : T3H一致フラグ

8ビットタイマモード時にT3H一致フラグとして使用します。

T3Hが動作している (HRUN = 1) 場合、T3Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

HIE (ビット5) : T3H割り込み要求発生許可制御

8ビットタイマモード時にT3H割り込み制御に使用します。

このビットとHFLGがともに1の時、ベクタアドレス8020Hへの割り込み要求が発生します。

タイマ3

CKSL (ビット4、3) : T3カウントクロック選択

上記2ビットでタイマ3のカウントクロックを選択します。

モード	CKSL	T3プリスケアラのカウントクロック
0	00	システムクロック
1	01	イベント入力
2	10	OSC0
3	11	OSC1/VCO発振

RUN (ビット2) : T3カウント制御

このビットが0の時タイマ3 (T3) は、カウント値0で停止し、T3の一致パルファレジスタ値はT3Rの値と同じです。

このビットが1の時タイマ3 (T3) は、所定のカウント動作を行います。

8ビットタイマモード時はT3Lの制御に使用します。

FLG (ビット1) : T3一致フラグ

T3が動作している (RUN=1) 場合、T3が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

8ビットタイマモード時はT3Lの一致フラグに使用します。

IE (ビット0) : T3割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス8020Hへの割り込み要求が発生します。

8ビットタイマモード時はT3Lの割り込み制御に使用します。

注意 : FLG, HFLGは命令で0にしてください。

3-19-4-6 タイマ3制御レジスタ1 (T3CNT1)

① T3L, T3Hの動作の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2D	LLLL L000	R/W	T3CNT1	-	-	-	-	-	EXISL		MD

EXISL (ビット2) : タイマ3イベントカウント入力選択。

このビットが0の時INT4をイベント入力として選択します。

このビットが1の時INT5をイベント入力として選択します。

MD (ビット1、0) : タイマ3モード選択

上記2ビットでタイマ3のモード選択を行います。

モード	MD	タイマ3動作モード
0	00	16ビットタイマ
1	01	8ビットタイマ×2
2	10	8ビットPWM+8ビットタイマ
3	11	8ビットPWM×2

3-19-4-7 タイマ3プリスケアラ制御レジスタ(T3PR)

①ビット0～7でタイマ3プリスケアラのカウント数を設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2E	0000 0000	R/W	T3PR	PR							

PR(ビット7～0):タイマ3プリスケアラ制御

上記8ビットでタイマ3プリスケアラの周期を設定します。

$T3PR \text{ 周期} = (PR + 1) \times \text{カウントクロック}$

3-19-4-8 タイマクロック選択レジスタ(TMCKSL)

① タイマ3, 4, 5, 6, 7のクロックを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EEE	LLLL L000	R/W	TMCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

TM67CKSL(ビット2):タイマ67クロック選択

このビットの説明は、タイマ6, タイマ7の章で行います。

TM45CKSL(ビット1):タイマ45クロック選択

このビットの説明は、タイマ4, タイマ5の章で行います。

TM3CKSL(ビット0):タイマ3クロック選択

CKSL=[1, 1]の時のクロック選択を行います。

このビットが1のとき、VCO発振が選択されます。

このビットが0のとき、OSC1が選択されます。

3-19-4-9 PLL制御レジスタ(TMPLLC)

① タイマクロック用のPLL回路を制御するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F88	0LL0 0000	R/W	TMPLLC	TEST	-	-	SELREF		FRQSEL	VCL	ON

TEST(ビット7):テストビット

このビットは0で使用してください。

SELREF<1:0>(ビット4, 3):逡倍比設定ビット

SELREFの設定値により、VCOの発振周波数が以下のように設定されます。

$VCO \text{ 発振周波数} = OSC0 \text{ 周波数} \times N$

SELREF<1:0>	N
00	2
01	4
10	6
11	8

FRQSEL(ビット2):VCO出力周波数設定ビット

このビットが0のとき、VCO発振周波数が10MHz～25MHzになります。

このビットが1のとき、VCO発振周波数が30MHz～80MHzになります。

タイマ3

VCL(ビット1):電源電圧選択ビット
このビットは0で使用してください。

ON(ビット0):VCO発振動作制御ビット
このビットが0のとき、VCO発振は動作を停止します。
このビットが1のとき、VCO発振は動作を開始します。

3-19-5 タイマ3出力のポート設定

①T3OL(P14)

レジスタデータ				ポートP14の状態
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	出力
1	0	1	0	タイマ3L出力(CMOS反転)
1	0	0	1	タイマ3L出力(CMOS)
1	1	1	0	タイマ3L出力(CMOS変化SLOW)
1	1	0	1	タイマ3L出力(Nchオープンドレイン)

②T3OH(P15)

レジスタデータ				ポートP15の状態
P1FSA<5>	P1FSB<5>	P1LAT<5>	P1DDR<5>	出力
1	0	1	0	タイマ3H出力(CMOS反転)
1	0	0	1	タイマ3H出力(CMOS)
1	1	1	0	タイマ3H出力(CMOS変化SLOW)
1	1	0	1	タイマ3H出力(Nchオープンドレイン)

3-20 タイマ4, タイマ5(T4, T5)

3-20-1 概要

本シリーズ内蔵しているタイマ4(T4), タイマ5(T5)は、それぞれ独立に制御される16ビットのタイマです。

3-20-2 機能

①タイマ4(T4)

・タイマ4(T4)はシステムクロック又はプリスケアラ0の一致信号またはVCO発振をカウントする16ビットのプログラマブルタイマとして動作します。また、T4周期のトグル波形をT4O端子に出力できます。

$$T4の周期 = [(T4HR \ll 8) + T4LR] + 1) \times \text{カウントクロック周期}$$

$$T4O周期 = T4周期 \times 2$$

②タイマ5(T5)

・タイマ5(T5)はシステムクロック又はプリスケアラ0の一致信号またはVCO発振をカウントする16ビットのプログラマブルタイマとして動作します。また、T5周期のトグル波形をT5O端子に出力できます。

$$T5の周期 = [(T5HR \ll 8) + T5LR] + 1) \times \text{カウントクロック周期}$$

$$T5O周期 = T5周期 \times 2$$

③割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、T4, T5のカウント周期で、T4, T5割り込み要求を発生します。

④タイマ4(T4), タイマ5(T5)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T4LR, T4HR, T5LR, T5HR, T45CNT, TMCLK0, TMXCKSL
- ・P2LAT, P2DDR, P2FSA, P2FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FB6	0000 0000	R/W	TMCLK0	PR0				PR0CK		U0CKSL	PWM0CK
7EEE	LLLL L000	R/W	TMXCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

3-20-3 回路構成

3-20-3-1 タイマ4, 5制御レジスタ(T45CNT) (8ビットレジスタ)

① T4, T5の動作、割り込みの制御を行います。

3-20-3-2 タイマ4(T4) (16ビットカウンタ)

① 動作開始/停止: T4RUN(T45CNTのビット3)の0/1により、停止/動作が制御されます。

② カウントクロック: T4CKSL(T45CNTのビット2)の0/1により選択されます。

モード	T4CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号/VCO発振

③ 一致信号: カウント値が一致レジスタの値と一致すると一致信号を発生します。

④ リセット: 動作停止時、または一致信号の発生時。

3-20-3-3 タイマ5(T5) (16ビットカウンタ)

① 動作開始/停止: T5RUN(T45CNTのビット7)の0/1により、停止/動作が制御されます。

② カウントクロック: T5CKSL(T45CNTのビット6)の0/1により選択されます。

モード	T5CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号/VCO発振

③ 一致信号: カウント値が一致レジスタの値と一致すると一致信号を発生します。

④ リセット: 動作停止時、または一致信号の発生時。

3-20-3-4 タイマ4一致データレジスタ(T4HR, T4LR) (一致バッファレジスタ付き16ビットレジスタ)

① T4用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ4(T4)の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時(T4RUN=0)には、(T4HR, T4LR)と一致バッファレジスタは同値となります。
- ・動作時(T4RUN=0)には、一致バッファレジスタは一致信号発生時に(T4HR, T4LR)の内容をロードします。

③ T4のカウントクロックにシステムクロック以外を選択した場合、T4動作時にT4LR, T4HRの更新は、T4一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-20-3-5 タイマ5一致データレジスタ(T5HR, T5LR) (一致バッファレジスタ付き16ビットレジスタ)

- ① T5用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ5(T5)の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時(T5RUN=0)には、(T5HR, T5LR)と一致バッファレジスタは同値となります。
 - ・動作時(T5RUN=0)には、一致バッファレジスタは一致信号発生時に(T5HR, T5LR)の内容をロードします。
- ③ T5のカウントクロックにシステムクロック以外を選択した場合、T5動作時にT5LR, T5HRの更新は、T5一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-20-3-6 タイマクロック設定レジスタ0(TMCLK0)

- ① プリスケアラ0のクロックを設定と一致データを格納するレジスタです。

3-20-3-7 プリスケアラ0(4ビットカウンタ)

- ① 動作開始/停止:T4CKSLまたはT5CKSL(T45CNTのビット2, 6)の0/1により、停止/動作が制御されます。
- ② カウントクロック:PROCK(TMCLK0のビット3, 2)の0/1によって選択されます。

モード	PROCK	プリスケアラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

- ③ 一致信号:カウント値が一致レジスタの値と一致すると一致信号が発生します。
- ④ リセット:一致信号の発生又は動作停止。

3-20-3-8 タイマ4出力(T4O)

- ① タイマ4動作停止時、T4OはHIGH固定となり、タイマ4動作時、T4Oはタイマ4一致信号で変化するトグル出力。

3-20-3-9 タイマ5出力(T5O)

- ① タイマ5動作停止時、T5OはHIGH固定となり、タイマ5動作時、T5Oはタイマ5一致信号で変化するトグル出力。

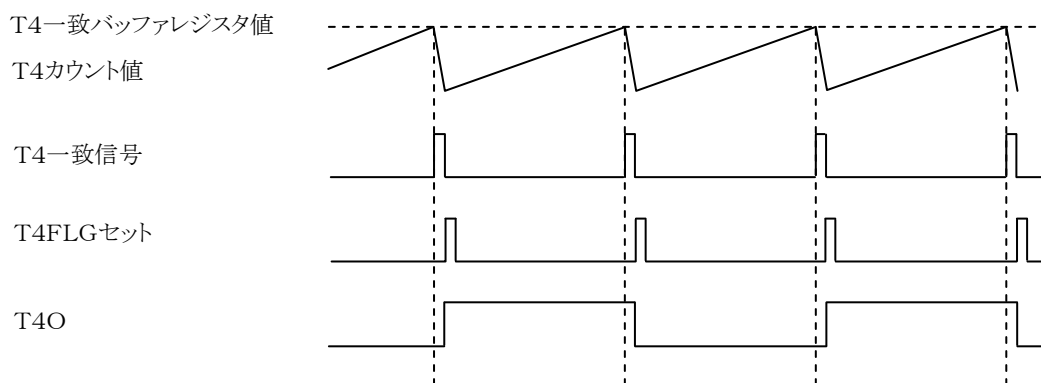
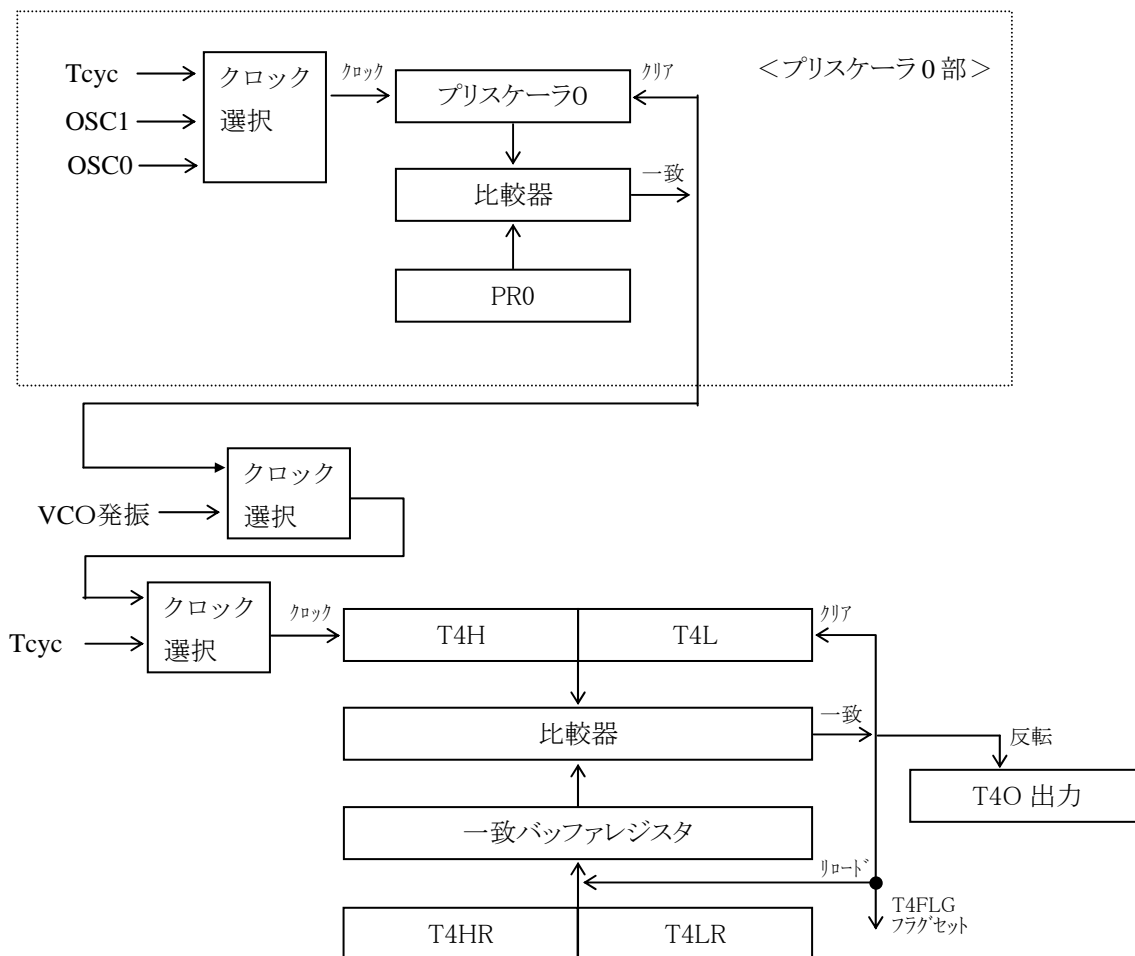


図 3-20-1 タイマ4ブロック図

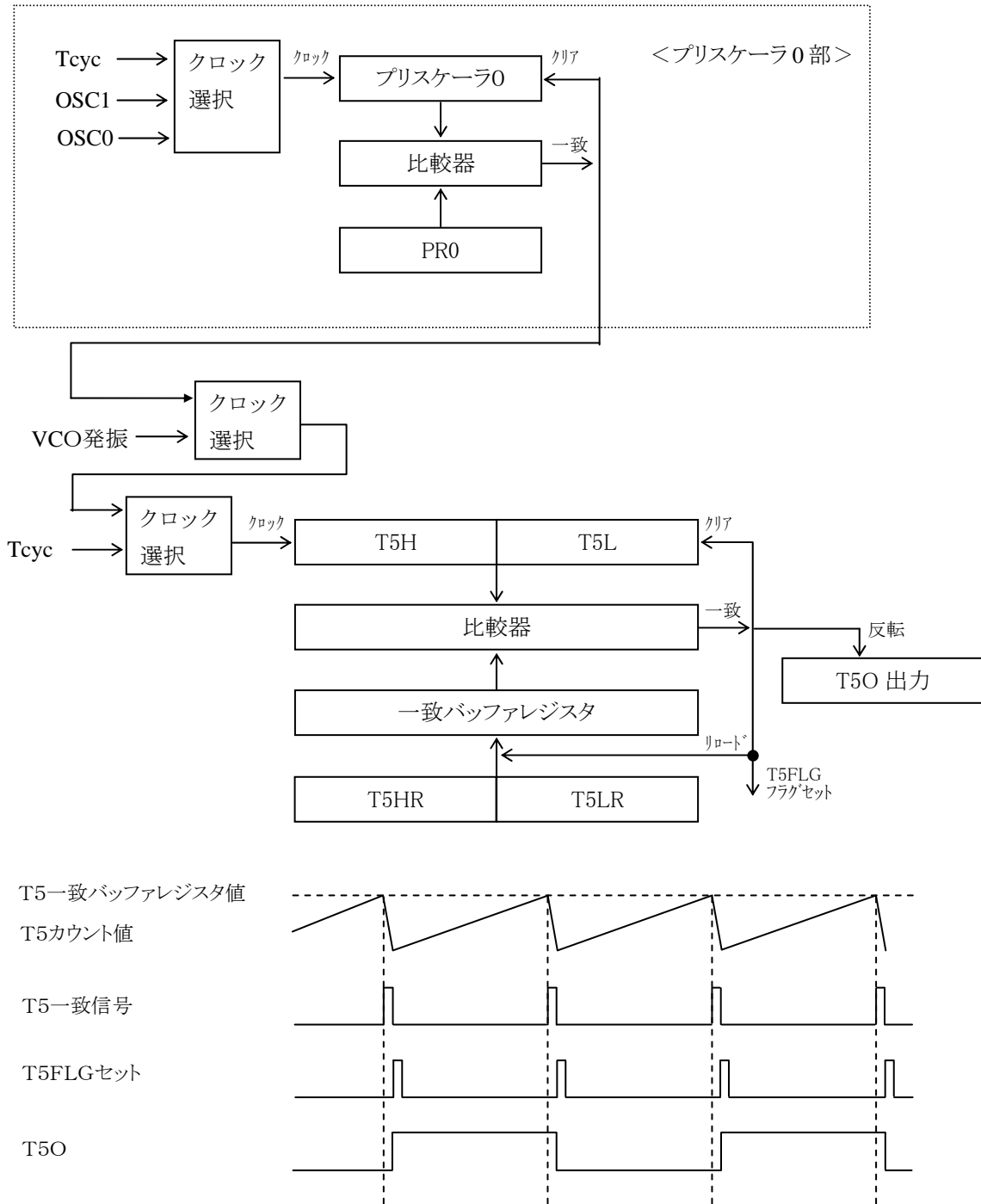


図 3-20-2 タイマ5ブロック図

3-20-4 関連レジスタ

3-20-4-1 タイマ4一致データレジスタ(T4HR, T4LR) (16ビットレジスタ)

- ① T4用の一致データ格納用レジスタです。この一致レジスタとタイマ4(T4)の値が一致した時、一致信号が発生します。
- ② 8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA0	0000 0000	R/W	T4LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-20-4-2 タイマ5一致データレジスタ(T5HR, T5LR) (16ビットレジスタ)

- ① T5用の一致データ格納用レジスタです。この一致レジスタとタイマ5(T5)の値が一致した時、一致信号が発生します。
- ② 8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-20-4-3 タイマ4, 5制御レジスタ(T45CNT)

- ① T4, T5の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT	T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE

T5RUN(ビット7): T5カウント制御

このビットが0の時タイマ5(T5)は、カウント値0で停止します。

このビットが1の時タイマ5(T5)は、所定のカウント動作を行います。

T5CKSL(ビット6): T5カウントクロック選択

モード	T5CKSL	T5カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号/VCO発振

(注)このビットはT5RUNが0の時設定してください。

T5FLG(ビット5): T5一致フラグ

T5が動作している(T5RUN=1)場合、T5が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T5IE(ビット4): T5割り込み要求発生許可制御

このビットとT5FLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

T4RUN(ビット3): T4カウント制御

このビットが0の時タイマ4(T4)は、カウント値0で停止します。

このビットが1の時タイマ4(T4)は、所定のカウント動作を行います。

T4CKSL (ビット2) : T4カウントクロック選択

モード	T4CKSL	T4カウントクロック
0	0	システムクロック
1	1	プリスケアラ0の一致信号

(注)このビットはT4RUNが0の時設定してください。

T4FLG (ビット1) : T4一致フラグ

T4が動作している(T4RUN=1)場合、T4が0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

T4IE (ビット0) : T4割り込み要求発生許可制御

このビットとT4FLGがともに1の時、ベクタアドレス8024Hへの割り込み要求が発生します。

注意 : T5FLG, T4FLGは命令で0にしてください。

3-20-4-4 タイマクロック設定レジスタ0(TMCLK0)

① タイマ用のクロックの設定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0				PROCK		U0CKSL	PWM0CK

PR0 (ビット7~4) : プリスケアラ0制御

上記4ビットでプリスケアラ0の周期を設定します。
PR0周期 = (PR0 + 1) × カウントクロック

PROCK (ビット3、2) : プリスケアラ0クロック選択

モード	PROCK	プリスケアラ0のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

U0CKSL (ビット1) : このモジュールでは使用しません。

PWM0CK (ビット0) : このモジュールでは使用しません。

タイマ4, タイマ5

3-20-4-5 タイマクロック選択レジスタ(TMCKSL)

① タイマ3, 4, 5, 6, 7のクロックを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EEE	LLLL L000	R/W	TMCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

TM67CKSL(ビット2): タイマ67クロック選択

このビットの説明は、タイマ6, タイマ7の章で行います。

TM45CKSL(ビット1): タイマ45クロック選択

T4CKSL=1, T5CKSL=1の時のクロック選択を行います。

このビットが1のとき、VCO発振が選択されます。

このビットが0のとき、OSC1が選択されます。

TM3CKSL(ビット0): タイマ3クロック選択

このビットの説明はタイマ3の章で行います。

タイマ4出力, タイマ5出力のポート設定

① T4O(P25)

レジスタデータ				ポートP25の状態
P2FSA<5>	P2FSB<5>	P2LAT<5>	P2DDR<5>	出力
1	0	1	0	タイマ4出力(CMOS反転)
1	0	0	1	タイマ4出力(CMOS)
1	1	1	0	タイマ4出力(CMOS変化SLOW)
1	1	0	1	タイマ4出力(Nchオープンドレイン)

② T5O(P26)

レジスタデータ				ポートP26の状態
P2FSA<6>	P2FSB<6>	P2LAT<6>	P2DDR<6>	出力
1	0	1	0	タイマ5出力(CMOS反転)
1	0	0	1	タイマ5出力(CMOS)
1	1	1	0	タイマ5出力(CMOS変化SLOW)
1	1	0	1	タイマ5出力(Nchオープンドレイン)

3-21 タイマ6, タイマ7(T6, T7)

3-21-1 概要

本シリーズ内蔵しているタイマ6(T6), タイマ7(T7)は、それぞれ独立に制御される16ビットのタイマです。

3-21-2 機能

①タイマ6(T6)

・タイマ6(T6)はシステムクロック又はプリスケアラ1の一致信号またはVCO発振をカウントする16ビットのプログラマブルタイマとして動作します。また、T6周期のトグル波形をT6O端子に出力できます。

$$T6の周期 = [(T6HR \ll 8) + T6LR] + 1) \times \text{カウントクロック周期}$$

$$T6O周期 = T6周期 \times 2$$

②タイマ7(T7)

・タイマ7(T7)はシステムクロック又はプリスケアラ1の一致信号またはVCO発振をカウントする16ビットのプログラマブルタイマとして動作します。また、T7周期のトグル波形をT7O端子に出力できます。

$$T7の周期 = [(T7HR \ll 8) + T7LR] + 1) \times \text{カウントクロック周期}$$

$$T7O周期 = T7周期 \times 2$$

③割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、T6, T7のカウント周期で、T6, T7割り込み要求を発生します。

④タイマ6(T6), タイマ7(T7)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T6LR, T6HR, T7LR, T7HR, T67CNT, TMCLK1, TMXCKSL
- ・P3LAT, P3DDR, P3FSA, P3FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA5	0000 0000	R/W	T67CNT	T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE
7FA6	0000 0000	R/W	T6LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA7	0000 0000	R/W	T6HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		—	PWM1CK
7EEE	LLLL L000	R/W	TMXCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

3-21-3 回路構成

3-21-3-1 タイマ6, 7制御レジスタ(T67CNT) (8ビットレジスタ)

① T6, T7の動作、割り込みの制御を行います。

3-21-3-2 タイマ6(T6) (16ビットカウンタ)

① 動作開始/停止:T6RUN(T67CNTのビット3)の0/1により、停止/動作が制御されます。

② カウントクロック:T6CKSL(T67CNTのビット2)の0/1により選択されます。

モード	T6CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ1の一致信号/VCO発振

③ 一致信号:カウント値が一致レジスタの値と一致すると一致信号を発生します。

④ リセット:動作停止時、または一致信号の発生時。

3-21-3-3 タイマ7(T7) (16ビットカウンタ)

① 動作開始/停止:T7RUN(T67CNTのビット7)の0/1により、停止/動作が制御されます。

② カウントクロック:T7CKSL(T67CNTのビット6)の0/1により選択されます。

モード	T7CKSL	カウントクロック
0	0	システムクロック
1	1	プリスケアラ1の一致信号/VCO発振

③ 一致信号:カウント値が一致レジスタの値と一致すると一致信号を発生します。

④ リセット:動作停止時、または一致信号の発生時。

3-21-3-4 タイマ6一致データレジスタ(T6HR, T6LR) (一致バッファレジスタ付き16ビットレジスタ)

① T6用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ6(T6)の値が一致した時、一致信号が発生します。

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時(T6RUN=0)には、(T6HR, T6LR)と一致バッファレジスタは同値となります。
- ・動作時(T6RUN=1)には、一致バッファレジスタは一致信号発生時に(T6HR, T6LR)の内容をロードします。

③ T6のカウントクロックにシステムクロック以外を選択した場合、T6動作時にT6LR, T6HRの更新は、T6一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-21-3-5 タイマ7一致データレジスタ(T7HR, T7LR) (一致バッファレジスタ付き16ビットレジスタ)

- ① T7用の一致データ格納用レジスタです。他に一致バッファレジスタを持ち、この一致バッファレジスタとタイマ7(T7)の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時(T7RUN=0)には、(T7HR, T7LR)と一致バッファレジスタは同値となります。
 - ・動作時(T7RUN=1)には、一致バッファレジスタは一致信号発生時に(T7HR, T7LR)の内容をロードします。
- ③ T7のカウントクロックにシステムクロック以外を選択した場合、T7動作時にT7LR, T7HRの更新は、T7一致信号発生から次の一致信号発生までの間に1度のみに行ってください。

3-21-3-6 タイマクロック設定レジスタ1(TMCLK1)

- ① プリスケーラ1のクロックを設定と一致データを格納するレジスタです。

3-21-3-7 プリスケーラ1(4ビットカウンタ)

- ① 動作開始/停止:T6CKSLまたはT7CKSL(T67CNTのビット2, 6)の0/1により、停止/動作が制御されます。
- ② カウントクロック:PR1CK(TMCLK1のビット3, 2)の0/1によって選択されます。

モード	PR1CK	プリスケーラ1のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

- ③ 一致信号:カウント値が一致レジスタの値と一致すると一致信号が発生します。
- ④ リセット:一致信号の発生又は動作停止。

3-21-3-8 タイマ6出力(T6O)

- ① タイマ6動作停止時、T6OはHIGH固定となり、タイマ6動作時、T6Oはタイマ6一致信号で変化するトグル出力。

3-21-3-9 タイマ7出力(T7O)

- ① タイマ7動作停止時、T7OはHIGH固定となり、タイマ7動作時、T7Oはタイマ7一致信号で変化するトグル出力。

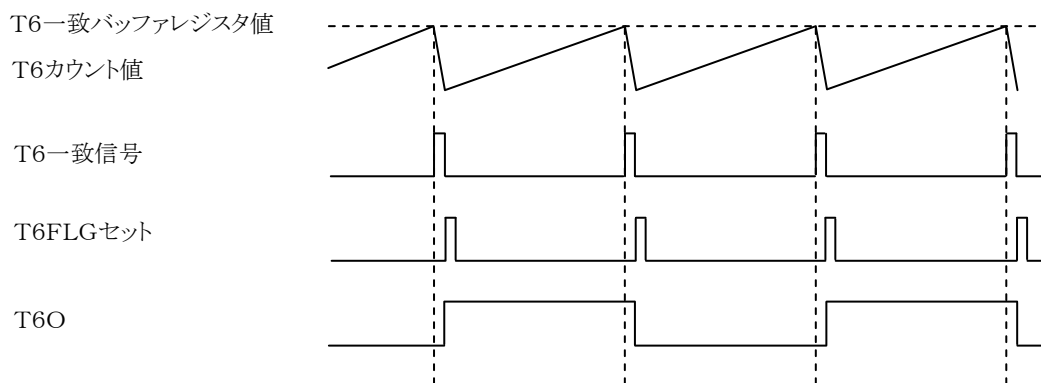
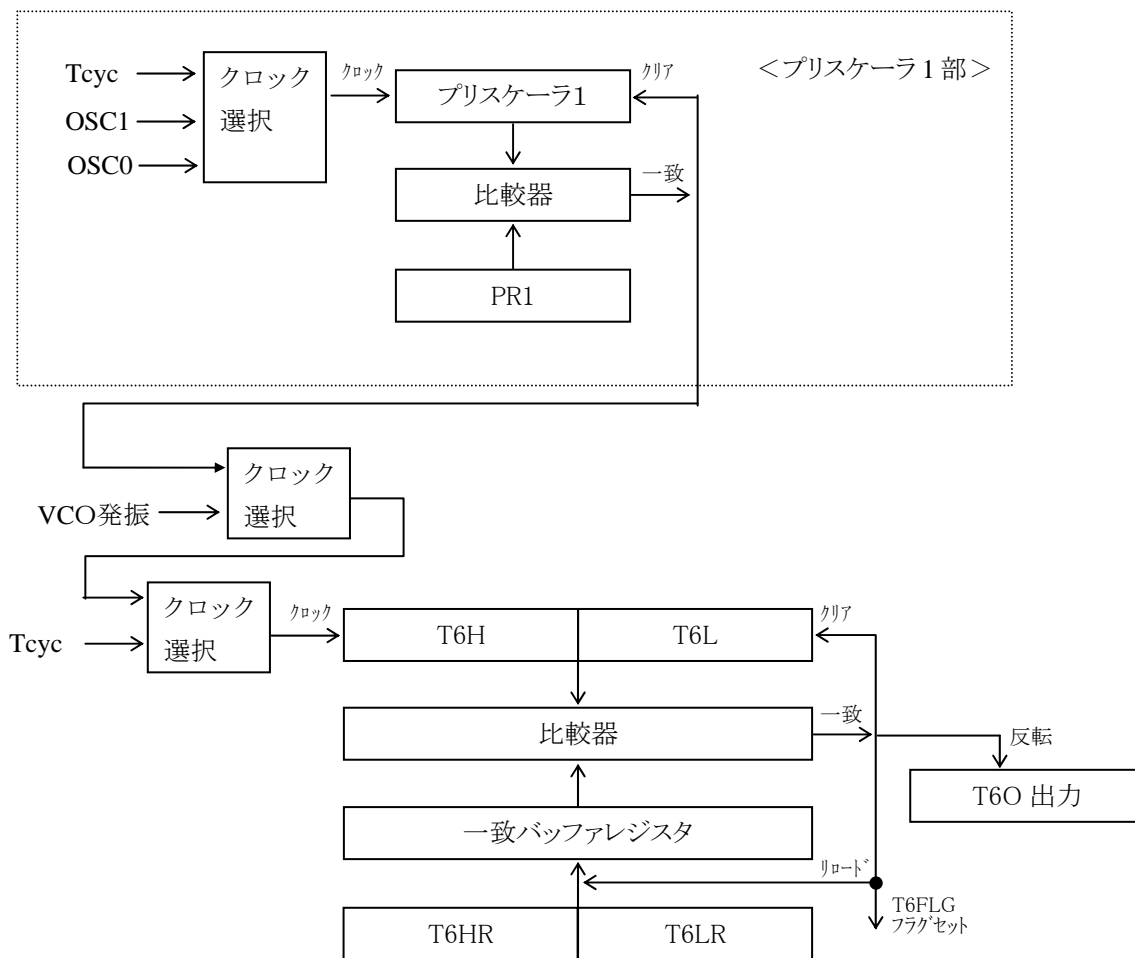


図 3-21-1 タイマ6ブロック図

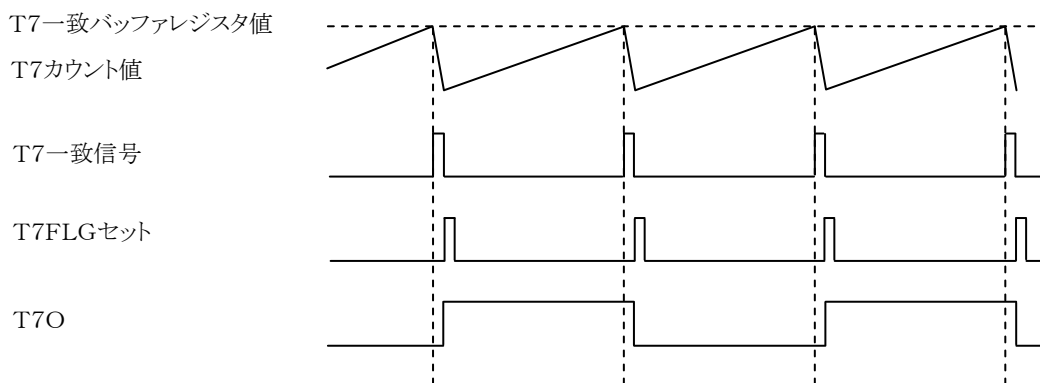
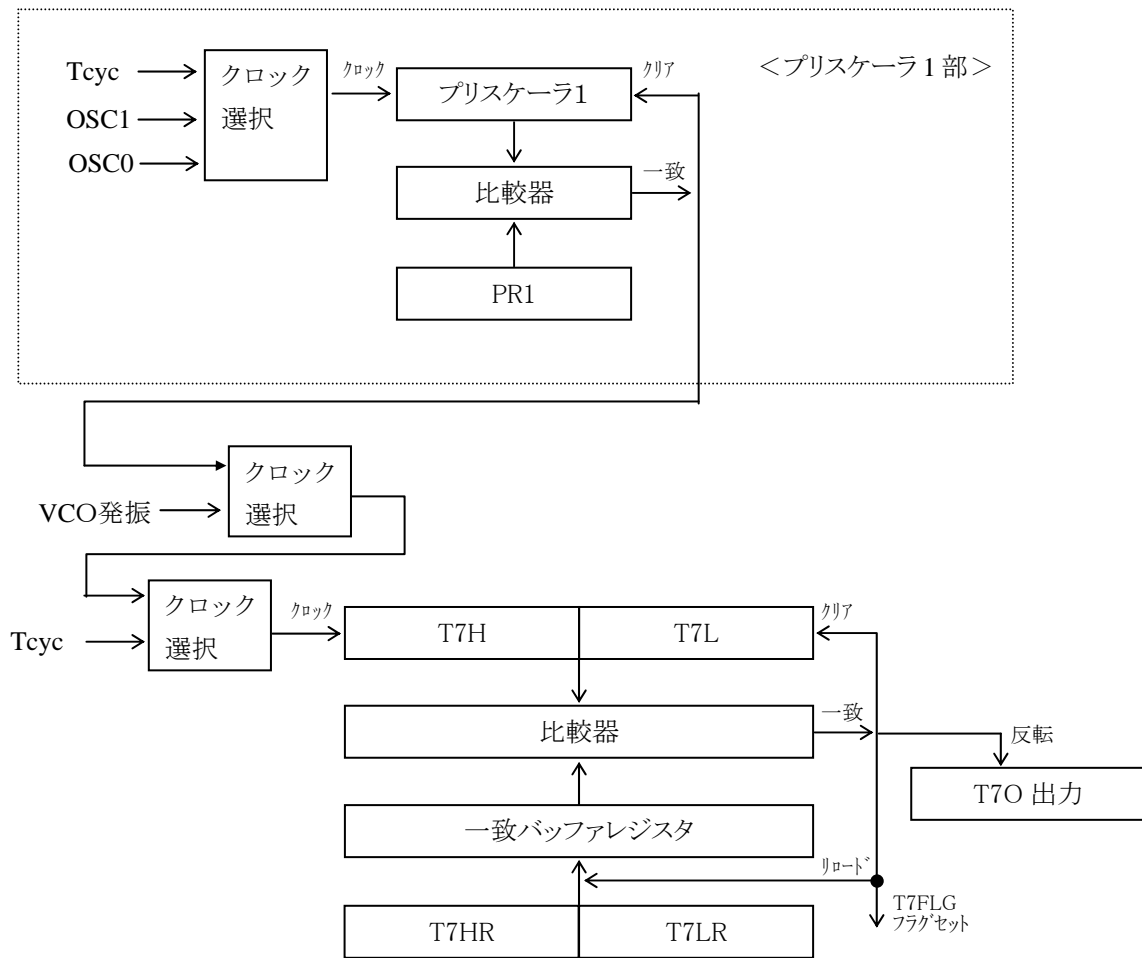


図 3-21-2 タイマ7ブロック図

3-21-4 関連レジスタ

3-21-4-1 タイマ6一致データレジスタ(T6HR, T6LR) (16ビットレジスタ)

① T6用の一致データ格納用レジスタです。この一致レジスタとタイマ6(T6)の値が一致した時、一致信号が発生します。

② 8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EA6	0000 0000	R/W	T6LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EA7	0000 0000	R/W	T6HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-21-4-2 タイマ7一致データレジスタ(T7HR, T7LR) (16ビットレジスタ)

① T7用の一致データ格納用レジスタです。この一致レジスタとタイマ7(T7)の値が一致した時、一致信号が発生します。

② 8ビット、16ビット単位でR/Wが可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-21-4-3 タイマ6, 7制御レジスタ(T67CNT)

① T6, T7の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA5	0000 0000	R/W	T67CNT	T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE

T7RUN(ビット7): T7カウント制御

このビットが0の時タイマ7(T7)は、カウント値0で停止します。

このビットが1の時タイマ7(T7)は、所定のカウント動作を行います。

T7CKSL(ビット6): T7カウントクロック選択

モード	T7CKSL	T7カウントクロック
0	0	システムクロック
1	1	プリスケーラ1の一致信号

(注) このビットはT7RUNが0の時設定してください。

T7FLG(ビット5): T7一致フラグ

T7が動作している(T7RUN=1)場合、T7が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T7IE(ビット4): T7割り込み要求発生許可制御

このビットとT7FLGがともに1の時、ベクタアドレス8038Hへの割り込み要求が発生します。

T6RUN(ビット3): T6カウント制御

このビットが0の時タイマ6(T6)は、カウント値0で停止します。

このビットが1の時タイマ6(T6)は、所定のカウント動作を行います。

T6CKSL(ビット2):T6カウントクロック選択

モード	T6CKSL	T6カウントクロック
0	0	システムクロック
1	1	プリスケータ1の一致信号

(注)このビットはT6RUNが0の時設定してください。

T6FLG(ビット1):T6一致フラグ

T6が動作している(T6RUN=1)場合、T6が0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T6IE(ビット0):T6割り込み要求発生許可制御

このビットとT6FLGがともに1の時、ベクタアドレス8034Hへの割り込み要求が発生します。

注意:T6FLG, T7FLGは命令で0にしてください。

3-21-4-4 タイマクロック設定レジスタ1

①タイマ用のクロックの設定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB7	0000 00L0	R/W	TMCLK1	PR1				PR1CK		—	PWM1CK

PR1(ビット7~4):プリスケータ1制御

上記4ビットでプリスケータ1の周期を設定します。

PR1周期 = (PR1 + 1) × カウントクロック

PR1CK(ビット3, 2):プリスケータ1クロック選択

モード	PR1CK	プリスケータ1のカウントクロック
0	00	システムクロック
1	01	設定禁止
2	10	OSC0
3	11	OSC1

(ビット1):存在しません。“0”が読み出されます。

PWM1CK(ビット0):このモジュールでは使用しません。

タイマ6, タイマ7

3-21-4-5 タイマクロック選択レジスタ(TMCKSL)

① タイマ3, 4, 5, 6, 7のクロックを設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EEE	LLLL L000	R/W	TMCKSL	-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL

TM67CKSL(ビット2):タイマ67クロック選択

T6CKSL=1, T7CKSL=1の時のクロック選択を行います。

このビットが1のとき、VCO発振が選択されます。

このビットが0のとき、OSC1が選択されます。

TM45CKSL(ビット1):タイマ45クロック選択

このビットの説明は、タイマ4, タイマ5の章で行います。

TM3CKSL(ビット0):タイマ3クロック選択

このビットの説明はタイマ3の章で行います。

3-21-5 タイマ6出力, タイマ7出力のポート設定

①T6O(P36)

レジスタデータ				ポートP36の状態
P3FSA<6>	P3FSB<6>	P3LAT<6>	PsDDR<6>	出力
1	0	1	0	タイマ6出力(CMOS反転)
1	0	0	1	タイマ6出力(CMOS)
1	1	1	0	タイマ6出力(CMOS変化SLOW)
1	1	0	1	タイマ6出力(Nchオープンドレイン)

②T7O(P37)

レジスタデータ				ポートP37の状態
P3FSA<7>	P3FSB<7>	P3LAT<7>	P3DDR<7>	出力
1	0	1	0	タイマ7出力(CMOS反転)
1	0	0	1	タイマ7出力(CMOS)
1	1	1	0	タイマ7出力(CMOS変化SLOW)
1	1	0	1	タイマ7出力(Nchオープンドレイン)

3-22 ベースタイマ

3-22-1 概要

本シリーズ内蔵しているベースタイマは数種類の一定時間を計時できる16ビットバイナリアップカウンタです。また、ウォッチドッグタイマへクロックを供給します。

3-22-2 機能

① 一定時間の計時

8種類の一定時間の計時が行えます。

② 割り込みの発生

対応する割り込み要求許可ビットがセットされている場合、選択された周期で割り込み要求を発生します。

③ HOLDXモード解除

HOLDXモードの解除をベースタイマ割り込みで行うことができます。

④ ウォッチドッグタイマへのクロック供給

32TBSTまたは8192TBST周期のクロックをウォッチドッグタイマへ供給します。

*TBST:OCR1で選択される入力クロックの周期

⑤ ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, OCR0, OCR1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

3-22-3 回路構成

3-22-3-1 8ビットバイナリアップカウンタ0（8ビットカウンタ）

- ① 発振制御レジスタ1(OCR1)で選択された信号を入力とする8ビットのアップカウンタです。ベースタイマ割り込みフラグ1のセット信号を発生します。このカウンタのオーバーフローが8ビットバイナリカウンタ1のクロックとなります。

3-22-3-2 8ビットバイナリアップカウンタ1（8ビットカウンタ）

- ① 発振制御レジスタ1(OCR1)で選択された信号または8ビットバイナリカウンタ0のオーバーフローを入力とする8ビットのアップカウンタです。ベースタイマ割り込みフラグ0, 1のセット信号を発生します。入力信号の切り替えはベースタイマ制御レジスタで行われます。

3-22-3-3 ベースタイマ入力クロック源

- ① ベースタイマの入力クロック(fBST)は「OSC0」、「システムクロックの分周クロック」を発振制御レジスタ1(OCR1)で選択します。

3-22-3-4 ベースタイマ制御レジスタ（8ビットレジスタ）

- ① ベースタイマの動作の制御を行います。

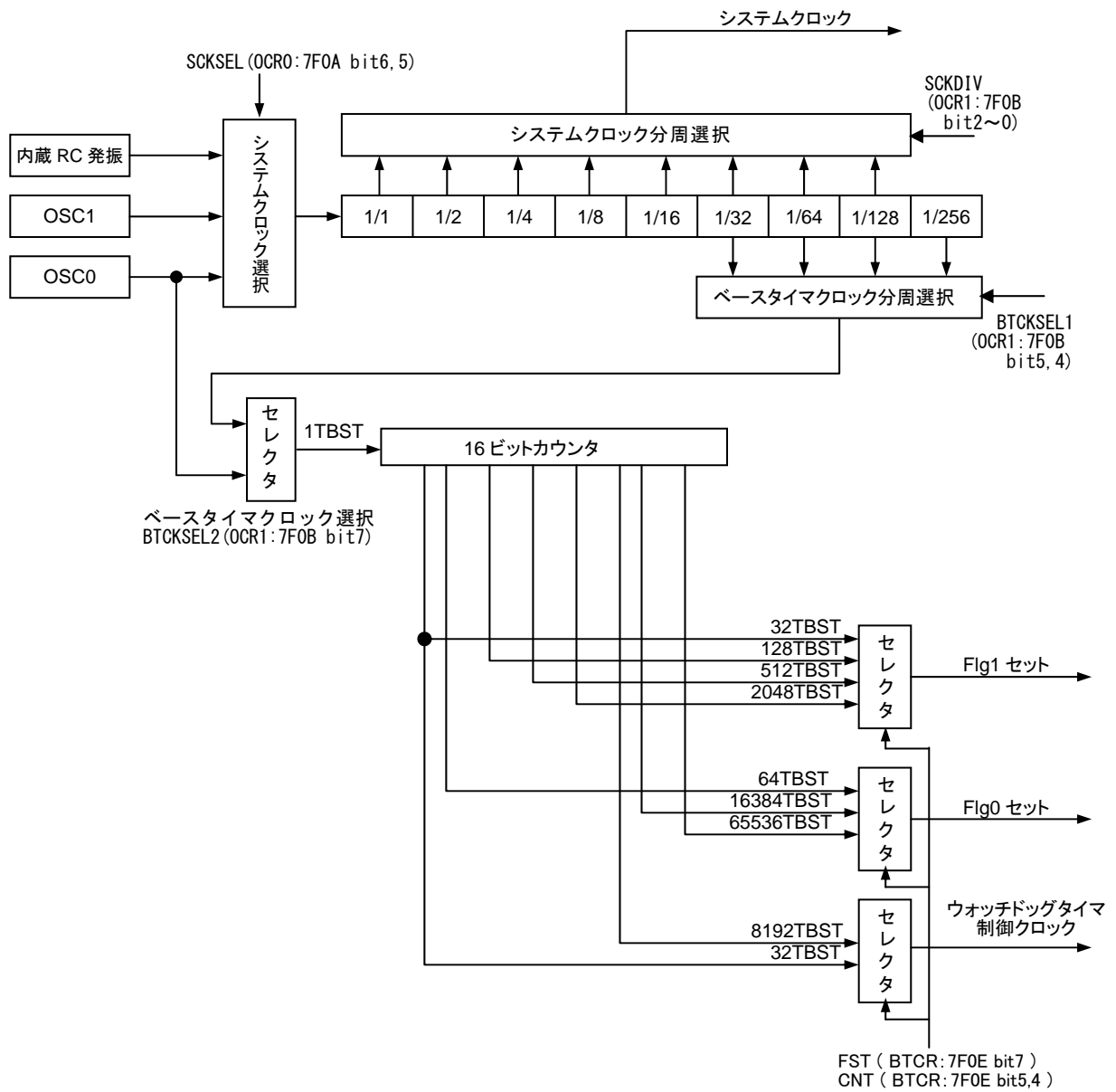


図 3-22-1 ベースタイムブロック図

3-22-4 関連レジスタ

3-22-4-1 ベースタイマ制御レジスタ

① ベースタイマの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0E	0000 0000	R/W	BTCR	FST	RUN	CNT		FLG1	IE1	FLG0	IE0

RUN (ビット6) : ベースタイマ動作制御

このビットが0の時 ベースタイマはカウント0で停止します。
このビットが1の時 ベースタイマは動作を行います。

FST (ビット7) : ベースタイマ割り込み周期選択

CNT (ビット5、4) : ベースタイマ割り込み周期選択

上記3ビットでベースタイマ割り込みの周期選択と、ウォッチドッグタイマ制御、クロック選択を行います。

FST	CNT	ベースタイマ割り込み0 周期	ベースタイマ割り込み1 周期	ウォッチドッグタイマ 制御クロック
0	00	16384TBST	32TBST	8192TBST
0	01	16384TBST	128TBST	8192TBST
0	10	16384TBST	512TBST	8192TBST
0	11	16384TBST	2048TBST	8192TBST
1	00	64TBST	32TBST	32TBST
1	01	64TBST	128TBST	32TBST
1	10	65536TBST	512TBST	8192TBST
1	11	65536TBST	2048TBST	8192TBST

TBST: 発振制御レジスタ1 (OCR1) で選択される入力クロックの周期

FLG1 (ビット3) : ベースタイマ割り込み1フラグ

ベースタイマ割り込み1の周期毎にセットされます。
このフラグは、命令でクリアしてください。

IE1 (ビット2) : ベースタイマ割り込み1要求発生許可制御

このビットとFLG1がともに1の時、「HOLDXモード解除信号」と「ベクタアドレス8004Hへの割り込み要求」が発生します。

FLG0 (ビット1) : ベースタイマ割り込み0フラグ

ベースタイマ割り込み0の周期毎にセットされます。
このフラグは、命令でクリアしてください。

IE0 (ビット0) : ベースタイマ割り込み0要求発生許可制御

このビットとFLG0がともに1の時、「HOLDXモード解除信号」と「ベクタアドレス8004Hへの割り込み要求」が発生します。

3-23 非同期シリアルインターフェース0 (UART0)

3-23-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース(UART0)を備えています。

- ① データ長 : 8ビット (LSBファースト固定)
- ② ストップビット長 : 1ビット
- ③ パリティビット : なし/偶数パリティ/奇数パリティ
- ④ 転送レート : 4サイクル/8サイクル(注1)
- ⑤ ボーレートクロックソース : P07端子/タイマ4出力(注2)
- ⑥ 全2重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)

UART0のボーレートクロックソースは、P07端子/タイマ4出力から入力されます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

(注2)

UART0のボーレートクロックソースとしてP07端子を選択した場合、外部からのクロック入力、または、タイマ0トグル出力(T0PWMH)をボーレートクロックソースとして使用することが可能です。

3-23-2 機能

3-23-2-1 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ受信および送信を行います。受信データは受信データレジスタL(U0RXL)に格納されます。送信データは送信データレジスタL(U0TXL)から読み出されます。

3-23-2-2 割り込みの発生

以下の2つの要因で割り込み要求を発生させられます。

TXEMPTY、RXREADY

詳細は、3-23-4 関連レジスタをご参照ください。

3-23-2-3 HALTモード時の動作

HALTモード時、UART0の送信回路、および、受信回路は動作します。HALTモードの解除をUART0の割り込みで行うことができます。

3-23-2-4 特殊機能レジスタ(SFR)の操作

UART0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- U0CR、U0RXL、U0RXH、U0TXL、U0TXH
- P0LAT、P0DDR、P1LAT、P1DDR、P1FSA、P1FSB
- T0LR、T0HR、T0CNT、T0PR
- EXCPH、OCR0、TMCLK0

UART0

3-23-3 回路構成

3-23-3-1 UART0制御レジスタ(U0CR) (8ビットレジスタ)

①UART0の動作、割り込みの制御を行います。

3-23-3-2 UART0受信データレジスタL(U0RXL) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-23-3-3 UART0受信データレジスタH(U0RXH) (2ビットレジスタ)

①受信パリティビット、受信ストップビットの値が入ります。

3-23-3-4 UART0受信シフトレジスタ(U0RSH) (10ビットレジスタ)

①データ受信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-23-3-5 UART0送信データレジスタL(U0TXL) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-23-3-6 UART0送信データレジスタH(U0TXH) (2ビットレジスタ)

①送信パリティを選択します。

3-23-3-7 UART0送信シフトレジスタ(U0TSH) (10ビットレジスタ)

①データ送信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-23-3-8 タイマクロック設定レジスタ0(TMCLK0) (8ビットレジスタ)

①UART0ボーレートクロックソースを選択します。

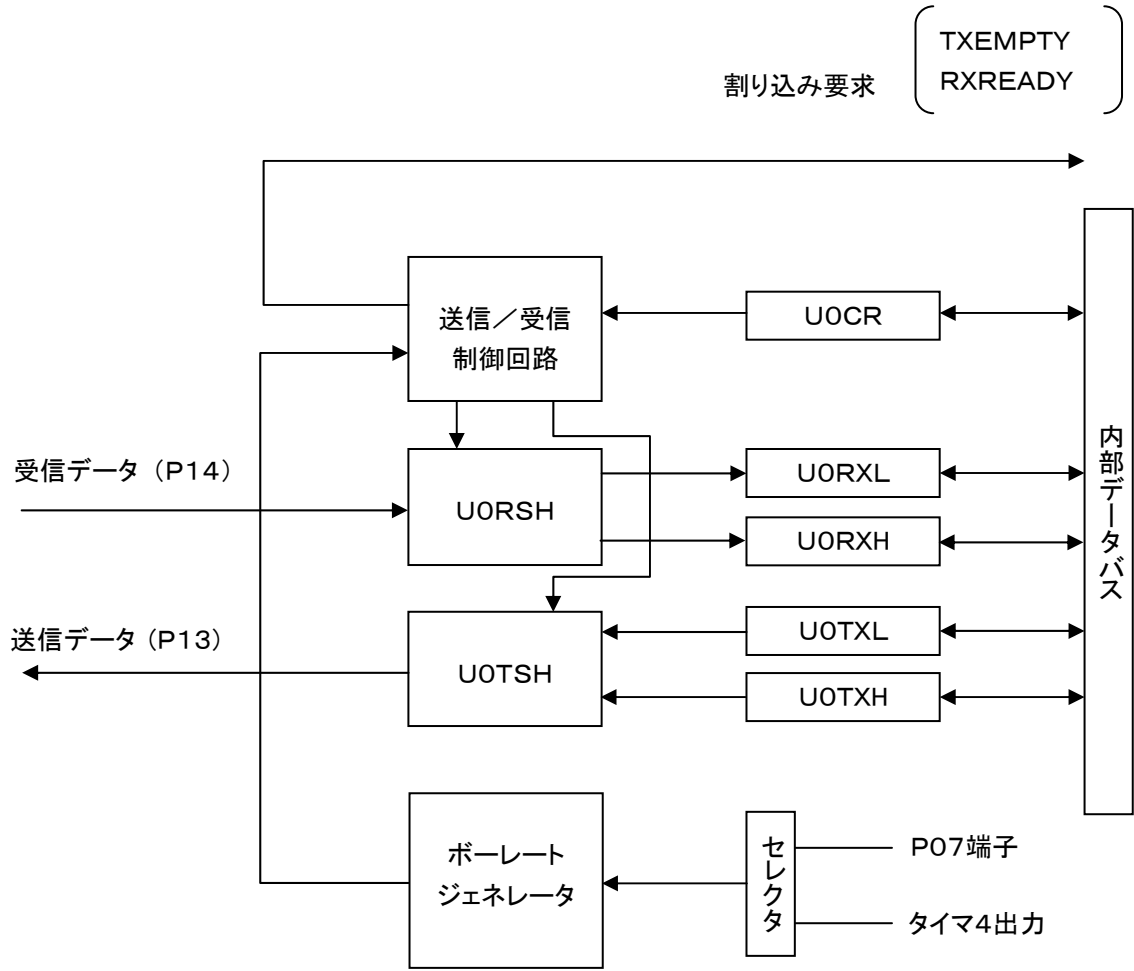


図 3-23-1 UART0のブロック図

UART0

3-23-4 関連レジスタ

3-23-4-1 UART0制御レジスタ(U0CR)

①UART0モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F38	0X00 X0X0	R/W	U0CR	RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE

RUN(ビット7):UART0動作制御

- 0:UART0モジュールの回路が動作停止となります。
- 1:UART0モジュールの回路が動作状態となります。

OVRUN(ビット6):オーバーランエラーフラグ(このビットは、R/Oです。)

ストップビットを検出できなかった時、または、受信バッファフルの状態ですら新しいデータを受け取った時に、セットされます。

RUN=0または、UART0受信データレジスタL(U0RXL)を読み出した時にクリアされます。

BAUDRATE(ビット5):ボーレート選択

- 0:転送レートは、8サイクルとなります。
(ボーレートクロックソース=460.8kHzの時、転送レート=57.6kbps)
- 1:転送レートは、4サイクルとなります。
(ボーレートクロックソース=460.8kHzの時、転送レート=115.2kbps)

PARITY(ビット4):パリティビット制御

- 0:パリティビットなし、となります。
- 1:パリティビットあり、となります。

TXEMPTY(ビット3):送信データ転送完了フラグ(このビットは、R/Oです。)

- 0:送信データレジスタ(U0TXL)にデータが準備されている。
- 1:送信データレジスタ(U0TXL)にデータが準備されていない。

①リセット時、TXEMPTYは1です。RUN=0でセットされます。

②RUN=1かつTXEMPTY=1の時、

- a)U0TXLにデータを書くと、TXEMPTYはクリアされます。
さらに転送中でない時は転送がスタートし、
スタートビットが出力された後、再びTXEMPTY=1となり、
次のデータを書き込むことができる状態になります。
- b)次のデータをU0TXLに書き込むと、TXEMPTYはクリアされます。
転送中の場合は、現在の転送終了後、
このU0TXLのデータの転送を開始し、再びTXEMPTY=1となります。

TXIE(ビット2):送信割り込み許可

このビットとTXEMPTYが1の時、
EXCPHレジスタのUART0__FLG(ビット5)=1となります。

RXREADY(ビット1):受信データ受信完了フラグ(このビットは、R/Oです。)

- 1:受信データレジスタ(UORXL)にデータが準備されている。
- 0:受信データレジスタ(UORXL)にデータが準備されていない。

- ①データを受信終了すると、
 - a)RXREADY=0の時、受信データはUORXLに入り、RXREADY=1となります。
 - b)RXREADY=1の時、OVRUNがセットされます。
- ②UART0動作中(RUN=1)で、RXREADY=1の時、UORXLを命令で読むと、RXREADYはクリアされます。
- ③UART0停止(RUN=0)で、RXREADYはクリアされます。

RXIE(ビット0):受信割り込み許可

このビットとRXREADYが1の時、EXCPHレジスタのUART0_FLG(ビット5)=1となります。

3-23-4-2 UART0受信データレジスタL(UORXL)

①受信データが格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3A	0000 0000	R/W	UORXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信データ8ビットが入ります。

UART0動作中に、このレジスタを読むと、UOCRのRXREADY(ビット1)はクリアされます。

3-23-4-3 UART0受信データレジスタH(UORXH)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3B	XLLL LL00	R/W	UORXH	OvrErr	-	-	-	-	-	BIT1	BIT0

(ビット7):オーバーランエラーフラグ(このビットは、R/Oです。)

ストップビットを検出できなかった時、または、受信バッファフルの状態新しいデータを受け取った時に、セットされます。RUN=0または、UART0受信データレジスタH(UORXH)を読み出した時にクリアされます。

(ビット6~2):固定値0が読み出されます。

このビットは、R/Oです。

(ビット1):受信ストップビットの値が入ります。

(ビット0):受信パリティビットも含めた9ビットのデータのパリティが入ります。

すなわち、
偶数パリティ受信の時は0、
奇数パリティ受信の時は1、
が入ります。

正しくない結果になった時は、パリティエラー処理が必要です。

※UOCRのPARITY(ビット4)=0の場合、8ビットの受信データのパリティが入ります。

UART0

3-23-4-4 UART0送信データレジスタL(U0TXL)

①送信データを書き込む8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3C	0000 0000	R/W	U0TXL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信データ8ビット用のバッファレジスタです。

UART0動作中に、このレジスタにデータを書き込むと、U0CRのTXEMPTY(ビット3)がクリアされます。

3-23-4-5 UART0送信データレジスタH(U0TXH)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F3D	LLLL LLH0	R/W	U0TXH	-	-	-	-	-	-	BIT1	BIT0

(ビット7～2):固定値0が読み出されます。

このビットは、R/Oです。

(ビット1):送信ストップビットの値(固定値1)が読み出されます。

このビットは、R/Oです。

(ビット0):送信パリティを選択します。

0:偶数パリティ送信

1:奇数パリティ送信

※U0CRのPARITY(ビット4)=0の場合、
このビットの値は Don't-care です。

3-23-4-6 タイマクロック設定レジスタ0

①UART0のボーレートクロックソース選択を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0			PROCK		U0CKSL	PWM0CK	

PR0(ビット7～4):このモジュールでは使用しません。

PROCK(ビット3、2):このモジュールでは使用しません。

U0CKSL(ビット1):UART0ボーレートクロックソース選択。

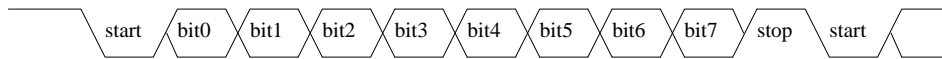
U0CKSL	UART0のボーレートクロックソース
0	P07端子
1	タイマ4出力

(注)このビットはUART0モジュールが停止時に設定してください。

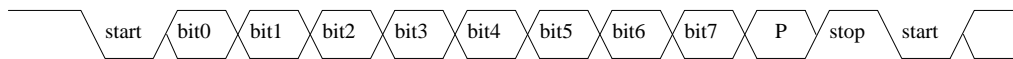
PWM0CK(ビット0):このモジュールでは使用しません。

3-23-5 UART0通信フォーマットの具体例

① U0CRのPARITY(ビット4) = 0 の場合



② U0CRのPARITY(ビット4) = 1 の場合



※ただし図中のPは、

U0TXH<0> = 0の時、偶数パリティ、
 U0TXH<0> = 1の時、奇数パリティ、

を表します。

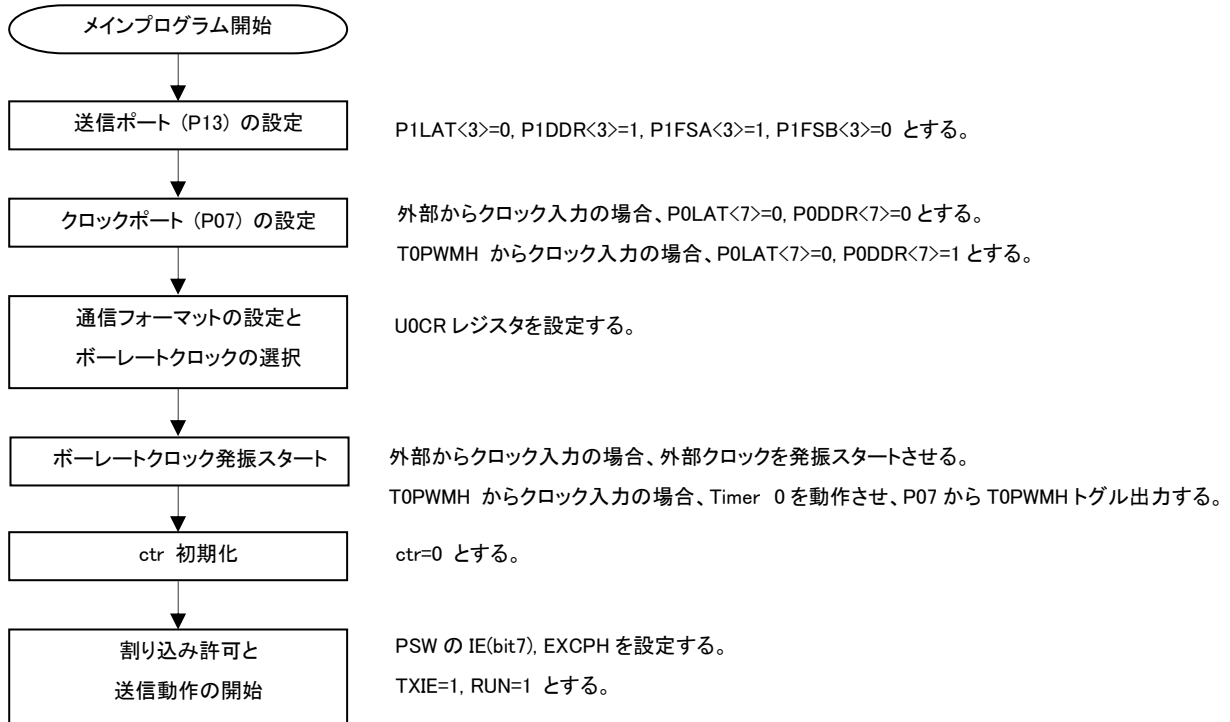
UART0

3-23-6 UART0通信の具体例

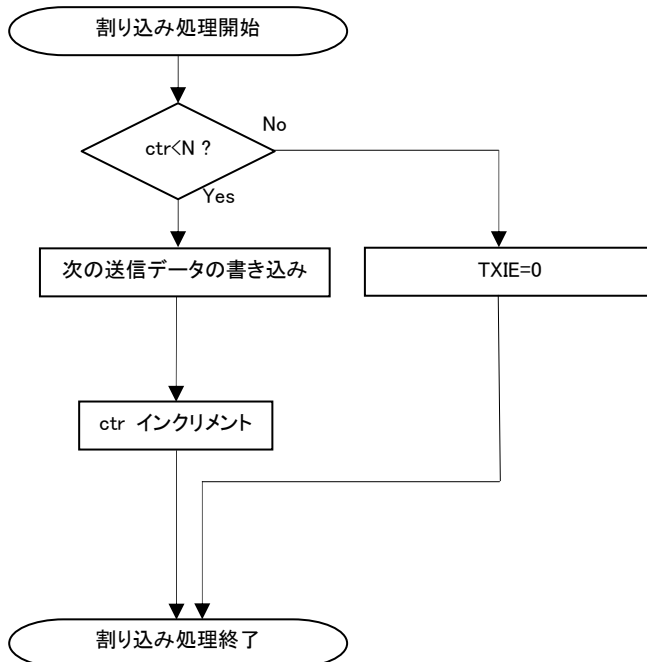
3-23-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウンタ用変数とします。

1. メインプログラム

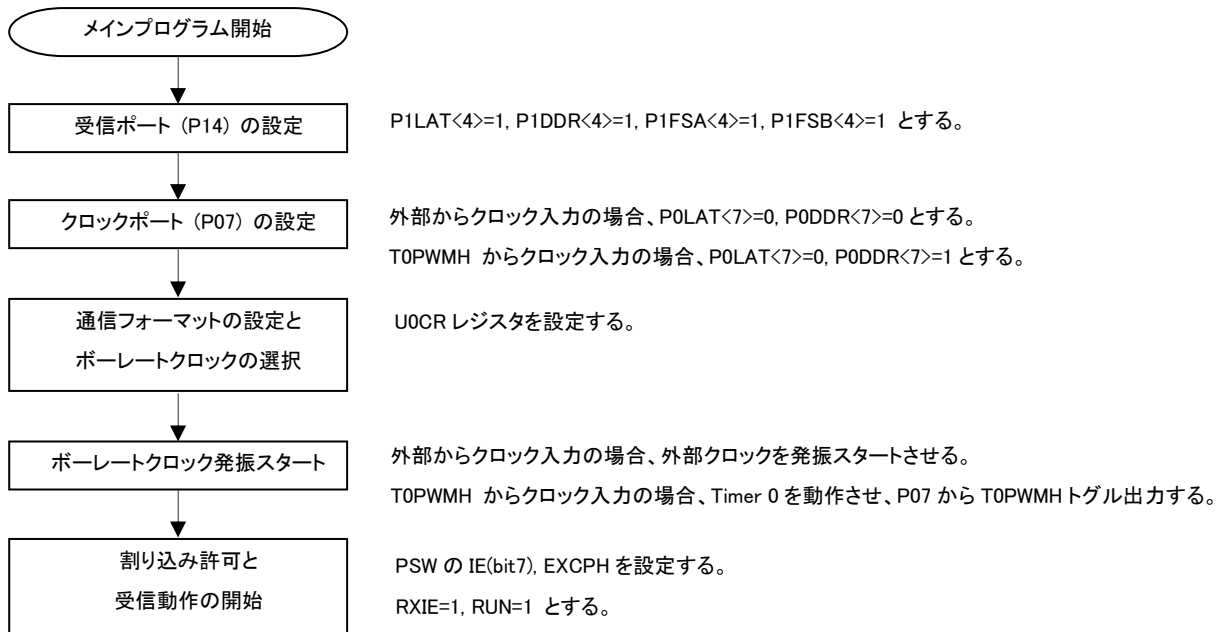


2. 割り込み処理

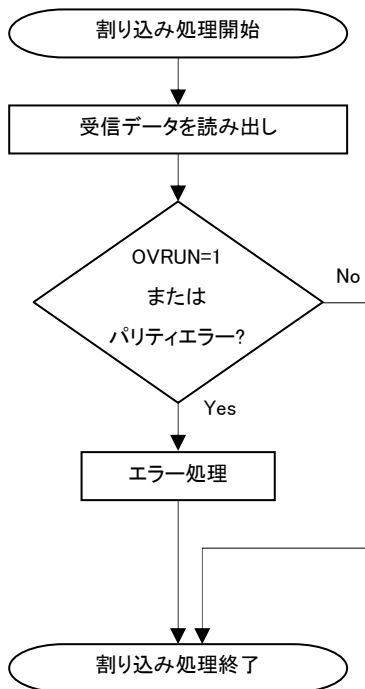


3-23-6-2 連続受信の具体例

1. メインプログラム



2. 割り込み処理



UART0

3-23-6-3 UART0通信のポート設定

① 送信ポート(P13)の設定

レジスタデータ				ポートP13の状態
P1FSA<3>	P1FSB<3>	P1LAT<3>	P1DDR<3>	
1	0	0	1	UART0送信出力(CMOS)
1	1	1	0	UART0送信出力(CMOS変化SLOW)
1	1	0	1	UART0送信出力(Nchオープンドレイン)

② 受信ポート(P14)の設定

レジスタデータ				ポートP14の状態
P1FSA<4>	P1FSB<4>	P1LAT<4>	P1DDR<4>	
1	1	1	1	入力(UART0受信入力)

③ クロックポート(P07)の設定

レジスタデータ			ポートP07の状態
U0CKSL	P0LAT<7>	P0DDR<7>	
0	0	0	入力(UART0クロックを外部入力)
0	0	1	CMOS出力(UART0クロックをTOPWMHから入力)

3-24 非同期シリアルインターフェース2 (UART2)

3-24-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース(UART2)を備えています。

- ① データ長 : 8ビット (LSBファースト固定)
- ② ストップビット長 : 1/2ビット
- ③ パリティビット : なし/偶数パリティ/奇数パリティ
- ④ 転送レート : 8~4096サイクル(注1)
- ⑤ ボーレートクロックソース : システムクロック/OSC0/OSC1/P26端子
- ⑥ 動作モード : モード0/モード1
- ⑦ ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求を発生させられます。

⑧ 全2重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)

UART2のボーレートクロックソースは、システムクロック/OSC0/OSC1/P26端子から選択できます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-24-2 機能

3-24-2-1 動作モード

UART2は、レジスタ設定により以下の2つのモード設定が選択できます。

① モード0

U2BGの設定値=00H以外の値 とすることで、このモードに設定されます。

UART2制御レジスタ1(U2CNT1)のDIVとUART2ボーレート制御レジスタ(U2BG)でボーレートクロックの周波数を制御します。

転送レートの設定範囲は、8~4096サイクルとなります。

また、UART2制御レジスタ1(U2CNT1)のPODD、PENでパリティを制御します。

② モード1

U2BGの設定値=00H とすることで、このモードに設定されます。

X'tal発振子(32.768kHz)で、転送レート=9600bpsの通信を行うためのモードです。

DIVの設定は無視されます。

また、PODD、PENの設定にかかわらず、パリティなし、となります。

3-24-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。

送信データは送信データレジスタ(U2TBUF)から読み出されます。

受信データは受信データレジスタ(U2RBUF)に格納されます。

UART2

3-24-2-3 割り込みの発生

以下の4つの要因で割り込み要求が発生させられます。

EMPTY、TEND、RREADY、WUPFLG

詳細は、3-24-4 関連レジスタをご参照ください。

3-24-2-4 HALTモード時の動作

HALTモード時、UART2の送信回路、および、受信回路は動作します。

HALTモードの解除をUART2の割り込みで行うことができます。

3-24-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求(WUPFLG)が発生させられます。この機能は、HOLDモードの解除に使用することができます。

3-24-2-6 特殊機能レジスタ(SFR)の操作

UART2をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・U2CNT0、U2CNT1、U2TBUF、U2RBUF、U2BG
- ・P1LAT、P1DDR、P1FSA、P1FSB
- ・IL1H、OCR0

3-24-3 回路構成

3-24-3-1 UART2制御レジスタ0(U2CNT0) (8ビットレジスタ)

①UART2の動作、割り込みの制御を行います。

3-24-3-2 UART2制御レジスタ1(U2CNT1) (8ビットレジスタ)

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-24-3-3 UART2送信データレジスタ(U2TBUF) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-24-3-4 UART2送信シフトレジスタ(U2TSH) (9ビットレジスタ)

- ①データ送信のためのシフトレジスタです。
- ②命令で直接アクセスはできません。

3-24-3-5 UART2受信データレジスタ(U2RBUF) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-24-3-6 UART2受信シフトレジスタ(U2RSH) (8ビットレジスタ)

- ①データ受信のためのシフトレジスタです。
- ②命令で直接アクセスはできません。

3-24-3-7 UART2ボーレート制御レジスタ(U2BG) (8ビットレジスタ)

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

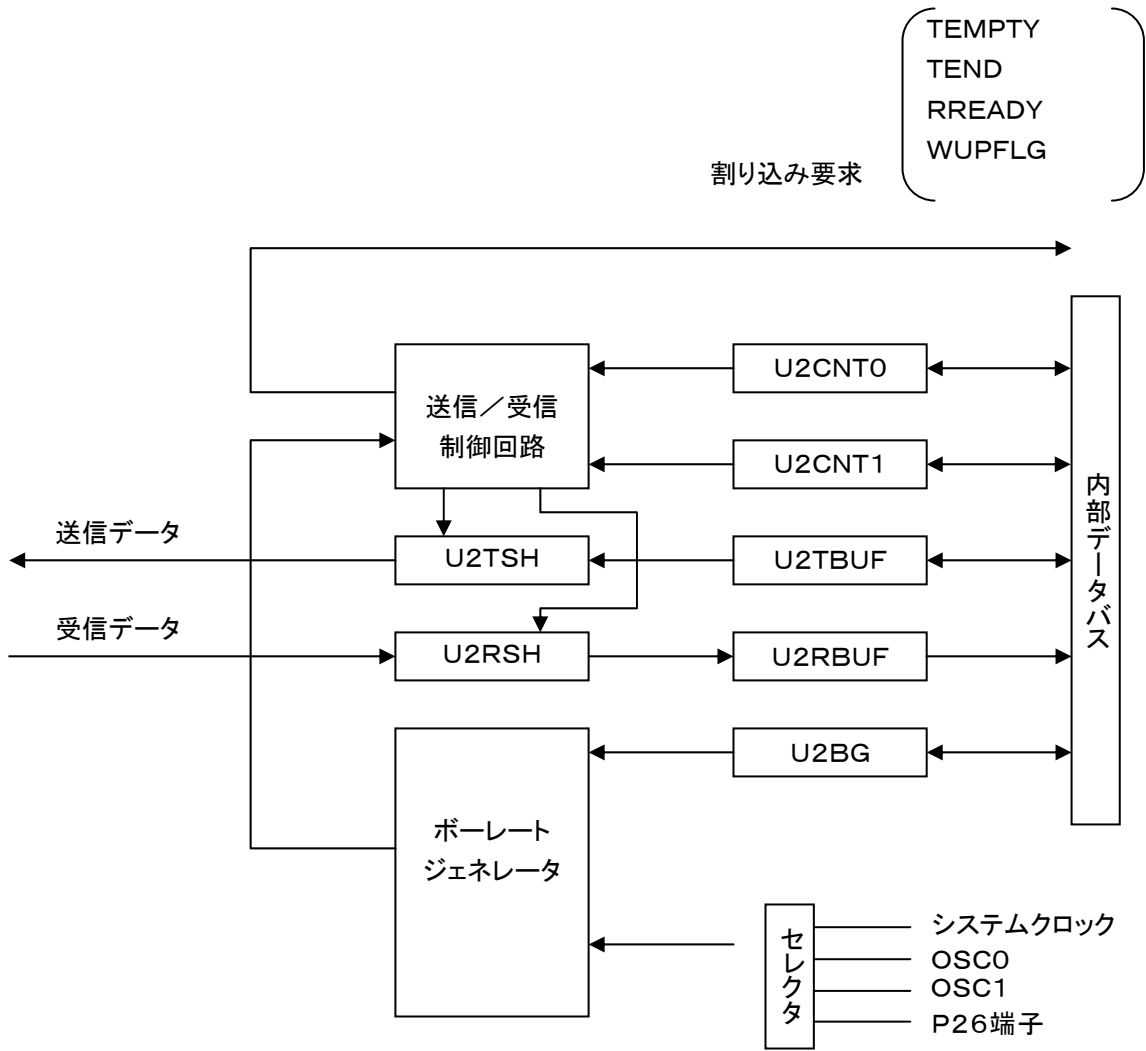


図 3-24-1 UART2のブロック図

UART2

3-24-4 関連レジスタ

3-24-4-1 UART2制御レジスタ0(U2CNT0)

①UART2モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6C	0010 0000	R/W	U2CNT0	TEND	TENDIE	EMPTY	EMPTYIE	RUN	RERR	RREADY	RIE

TEND(ビット7):送信終了フラグ

ストップビット送信終了時、送信データレジスタ(U2TBUF)に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはクリアされます。

TENDIE(ビット6):TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

EMPTY(ビット5):送信データ転送完了フラグ

送信データレジスタ(U2TBUF)から送信シフトレジスタ(U2TSH)へのデータ転送時に、このビットはセットされます。

送信データレジスタ(U2TBUF)へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R/Oです。

EMPTYIE(ビット4):EMPTY割り込み許可

このビットとEMPTYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

RUN(ビット3):UART2動作制御

0:UART2モジュールの回路が動作停止となります。

1:UART2モジュールの回路が動作状態となります。

RERR(ビット2):受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY(ビット1):受信データ受信完了フラグ (R/O)

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ(U2RBUF)のデータを読んだ時、このビットはクリアされます。

このビットは、R/Oです。

RIE(ビット0):受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

3-24-4-2 UART2制御レジスタ1(U2CNT1)

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6D	0000 0000	R/W	U2CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB(ビット7):送信ストップビット長選択

送信時のストップビットの長さを選択します。

0:1ストップビット

1:2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV(ビット6):ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

0:ボーレートの設定範囲は、8~1024サイクルとなります。

1:ボーレートの設定範囲は、32~4096サイクルとなります。

モード1では、このビットの設定値は無視されます。

SCK(ビット5、4):ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
01	P26端子
10	OSC0
11	OSC1

PODD(ビット3):パリティ偶数/奇数選択

モード0時の送信、および、受信のパリティを選択します。

0:偶数パリティ

1:奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN(ビット2):パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

0:パリティなし

1:パリティあり

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG(ビット1):ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE(ビット0):ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008018Hへの割り込み要求が発生します。

UART2

3-24-4-3 UART2送信データレジスタ(U2TBUF)

①送信データを書き込む8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6E	0000 0000	R/W	U2TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U2TBUFのデータが送信シフトレジスタ(U2TSH)に転送されます。次の送信データは、送信データ転送完了フラグ(EMPTY)を確認してから設定してください。

3-24-4-4 UART2受信データレジスタ(U2RBUF)

①受信データが格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R	U2RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U2RSH)から、U2RBUFに転送されます。

3-24-4-5 UART2ボーレート制御レジスタ(U2BG)

①UART2の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F74	0000 0000	R/W	U2BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

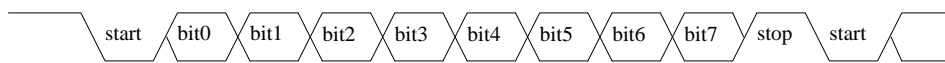
以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	(U2BGの設定値+1)×4サイクル	8~1024サイクル
1	(U2BGの設定値+1)×16サイクル	32~4096サイクル

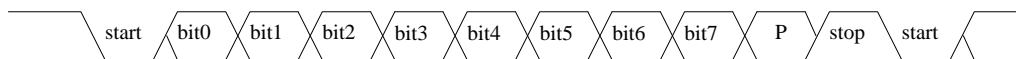
U2BGの設定値=00H とすることにより、動作モードがモード1に設定されます。

3-24-5 UART2通信フォーマットの具体例

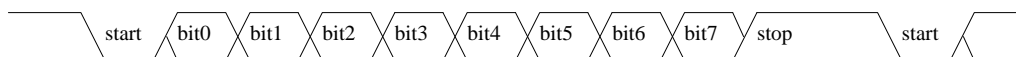
①TSTB=0、PEN=0 の場合



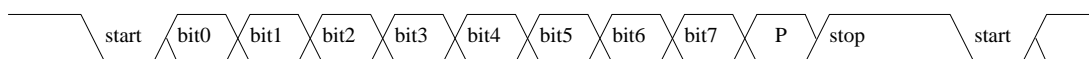
②TSTB=0、PEN=1 の場合



③TSTB=1、PEN=0 の場合



④TSTB=1、PEN=1 の場合



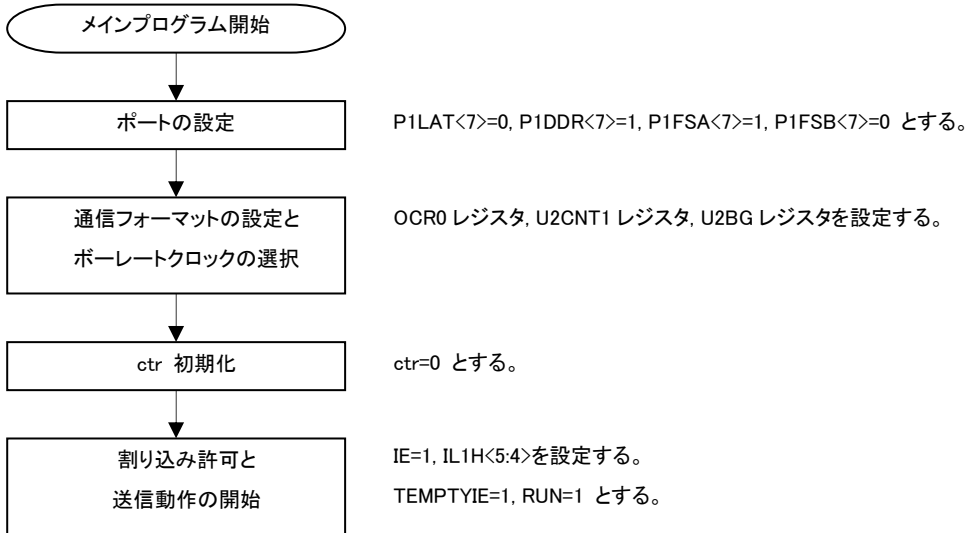
※ただし図中のPは、PODD=0の時偶数パリティ、PODD=1の時奇数パリティを表します。

3-24-6 UART2通信の具体例

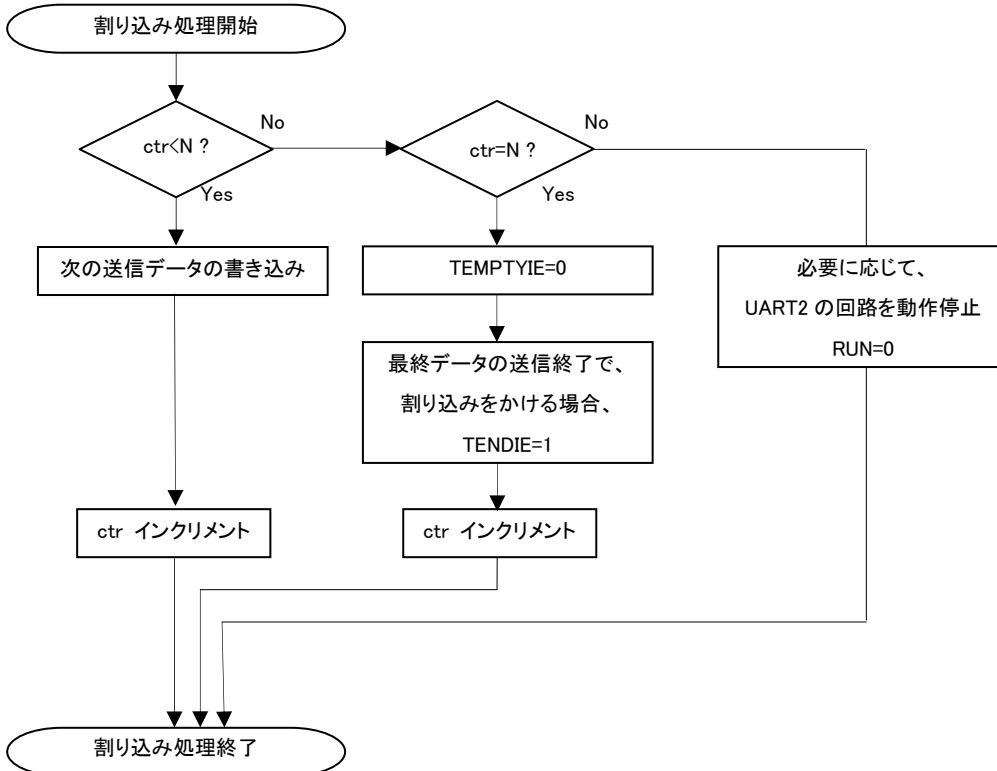
3-24-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウンタ用変数とします。

1. メインプログラム

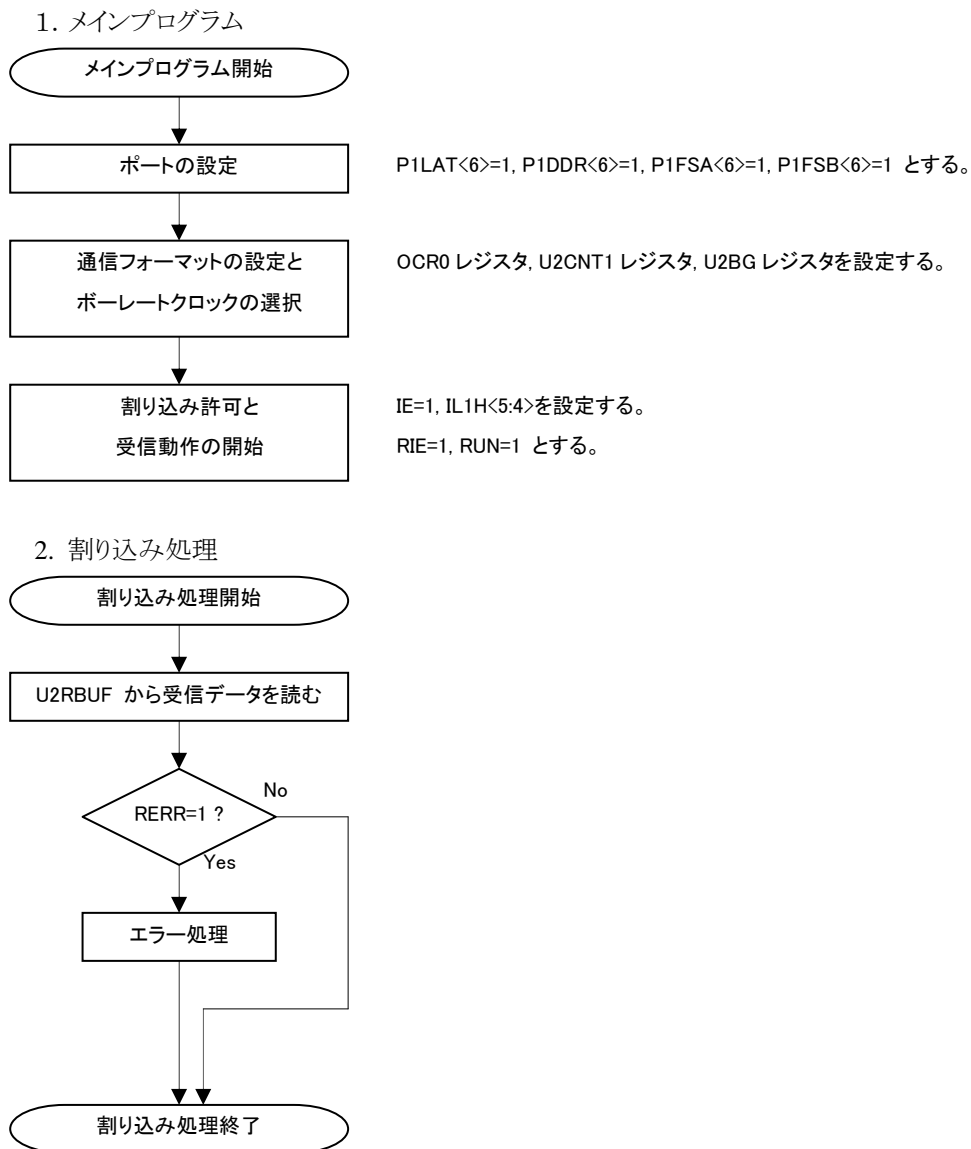


2. 割り込み処理



UART2

3-24-6-2 連続受信の具体例



3-24-6-3 UART2通信のポート設定

① 送信ポート(P17)の設定

レジスタデータ				ポートP17の状態
P1FSA<7>	P1FSB<7>	P1LAT<7>	P1DDR<7>	出力
1	0	0	1	UART2送信出力(CMOS)
1	1	1	0	UART2送信出力(CMOS変化SLOW)
1	1	0	1	UART2送信出力(Nchオープンドレイン)

② 受信ポート(P16)の設定

レジスタデータ				ポートP16の状態
P1FSA<6>	P1FSB<6>	P1LAT<6>	P1DDR<6>	入力
1	1	1	1	可能(UART2受信入力)

3-25 非同期シリアルインターフェース3 (UART3)

3-25-1 概要

本シリーズは、次の機能を持った非同期シリアルインターフェース(UART3)を備えています。

- ① データ長 : 8ビット (LSBファースト固定)
- ② ストップビット長 : 1/2ビット
- ③ パリティビット : なし/偶数パリティ/奇数パリティ
- ④ 転送レート : 8~4096サイクル(注1)
- ⑤ ボーレートクロックソース : システムクロック/OSC0/OSC1/P36端子
- ⑥ 動作モード : モード0/モード1
- ⑦ ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求を発生させられます。

⑧ 全2重通信

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造になっており、連続データ送受信が可能です。

(注1)

UART3のボーレートクロックソースは、システムクロック/OSC0/OSC1/P36端子から選択できます。選択されたボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-25-2 機能

3-25-2-1 動作モード

UART3は、レジスタ設定により以下の2つのモード設定が選択できます。

① モード0

U3BGの設定値=00H以外の値 とすることで、このモードに設定されます。

UART3制御レジスタ1(U3CNT1)のDIVとUART3ボーレート制御レジスタ(U3BG)でボーレートクロックの周波数を制御します。

転送レートの設定範囲は、8~4096サイクルとなります。

また、UART3制御レジスタ1(U3CNT1)のPODD、PENでパリティを制御します。

② モード1

U3BGの設定値=00H とすることで、このモードに設定されます。

X'tal発振子(32.768kHz)で、転送レート=9600bpsの通信を行うためのモードです。

DIVの設定は無視されます。

また、PODD、PENの設定にかかわらず、パリティなし、となります。

3-25-2-2 連続データ送受信

単一通信フォーマット、単一転送レートでの連続データ送信および受信を行います。

送信データは送信データレジスタ(U3TBUF)から読み出されます。

受信データは受信データレジスタ(U3RBUF)に格納されます。

3-25-2-3 割り込みの発生

以下の4つの要因で割り込み要求が発生させられます。

EMPTY、TEND、RREADY、WUPFLG

詳細は、3-25-4 関連レジスタをご参照ください。

3-25-2-4 HALTモード時の動作

HALTモード時、UART3の送信回路、および、受信回路は動作します。

HALTモードの解除をUART3の割り込みで行うことができます。

3-25-2-5 ウェークアップ機能

受信端子のLOWレベル検出により、割り込み要求(WUPFLG)が発生させられます。

この機能は、HOLDモードの解除に使用することができます。

3-25-2-6 特殊機能レジスタ(SFR)の操作

UART3をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・U3CNT0、U3CNT1、U3TBUF、U3RBUF、U3BG
- ・P3LAT、P3DDR、P3FSA、P3FSB
- ・IL2H、OCR0

3-25-3 回路構成

3-25-3-1 UART3制御レジスタ0(U3CNT0) (8ビットレジスタ)

①UART3の動作、割り込みの制御を行います。

3-25-3-2 UART3制御レジスタ1(U3CNT1) (8ビットレジスタ)

①通信フォーマット、および、ウェークアップ機能の制御を行います。

3-25-3-3 UART3送信データレジスタ(U3TBUF) (8ビットレジスタ)

①データの送信をこのレジスタを通して行います。

3-25-3-4 UART3送信シフトレジスタ(U3TSH) (9ビットレジスタ)

①データ送信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-25-3-5 UART3受信データレジスタ(U3RBUF) (8ビットレジスタ)

①データの受信をこのレジスタを通して行います。

3-25-3-6 UART3受信シフトレジスタ(U3RSH) (8ビットレジスタ)

①データ受信のためのシフトレジスタです。

②命令で直接アクセスはできません。

3-25-3-7 UART3ボーレート制御レジスタ(U3BG) (8ビットレジスタ)

①UART3の動作モード、および、モード0時のボーレートクロックの周波数を制御します。

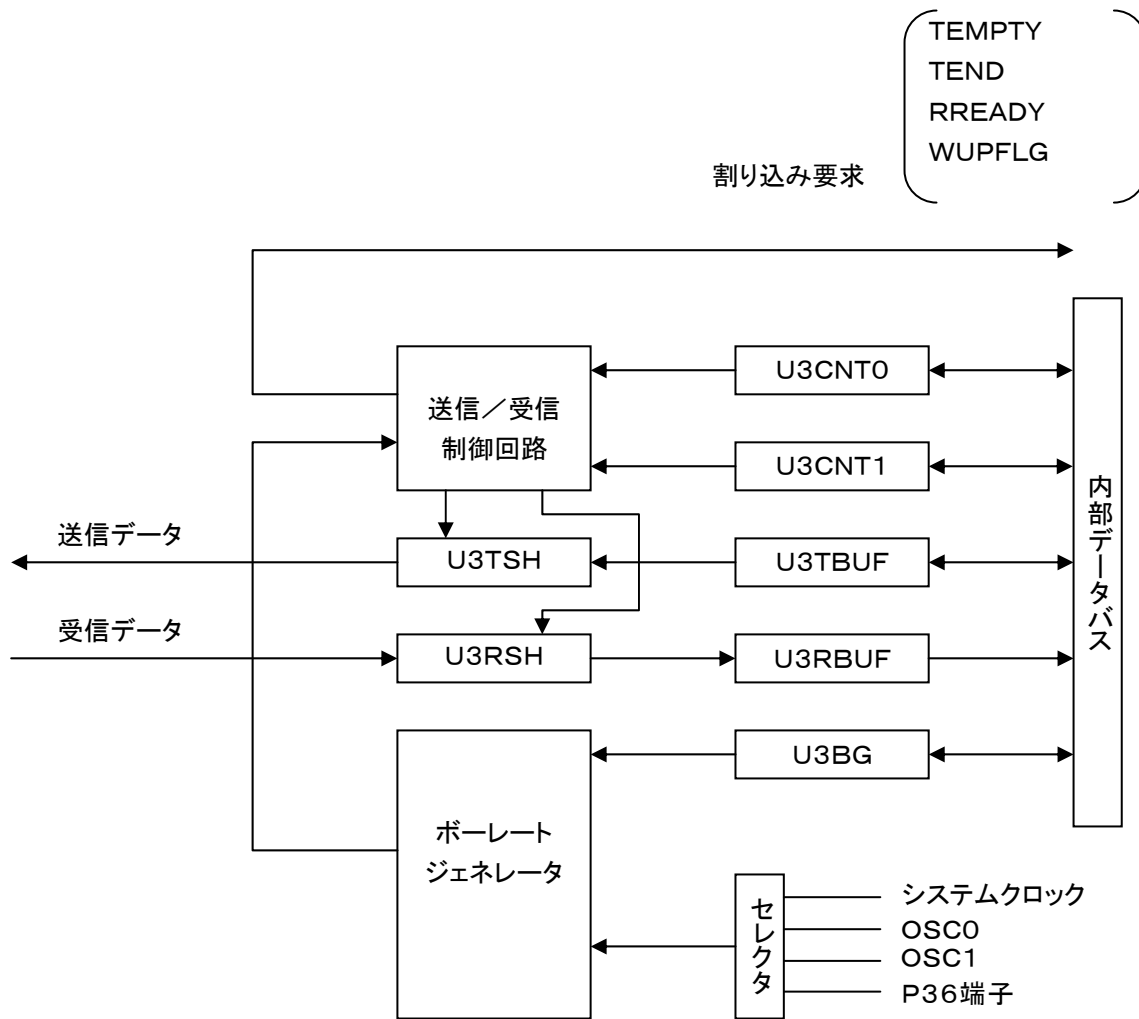


図 3-25-1 UART3のブロック図

3-25-4 関連レジスタ

3-25-4-1 UART3制御レジスタ0(U3CNT0)

①UART3モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F70	0010 0000	R/W	U3CNT0	TEND	TENDIE	EMPTY	EMPTYIE	RUN	RERR	RREADY	RIE

TEND(ビット7):送信終了フラグ

ストップビット送信終了時、送信データレジスタ(U3TBUF)に次の送信データが書き込まれていない時、このビットはセットされます。

送信データレジスタ(U3TBUF)から送信シフトレジスタ(U3TSH)へのデータ転送時に、このビットはクリアされます。

TENDIE(ビット6):TEND割り込み許可

このビットとTENDが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

EMPTY(ビット5):送信データ転送完了フラグ

送信データレジスタ(U3TBUF)から送信シフトレジスタ(U3TSH)へのデータ転送時に、このビットはセットされます。

送信データレジスタ(U3TBUF)へデータの書き込みを行った時、このビットはクリアされます。

このビットは、R/Oです。

EMPTYIE(ビット4):EMPTY割り込み許可

このビットとEMPTYが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

RUN(ビット3):UART3動作制御

0:UART3モジュールの回路が動作停止となります。

1:UART3モジュールの回路が動作状態となります。

RERR(ビット2):受信エラー検出フラグ

このビットは、パリティエラー、または、オーバーランエラー、または、ストップビットエラーの検出で、ストップビット受信時にセットされます。

RREADY(ビット1):受信データ受信完了フラグ (R/O)

データの受信完了で、ストップビット受信時にセットされます。

受信データレジスタ(U3RBUF)のデータを読んだ時、このビットはクリアされます。

このビットは、R/Oです。

RIE(ビット0):受信割り込み許可

このビットとRREADYが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

UART3

3-25-4-2 UART3制御レジスタ1(U3CNT1)

①通信フォーマット、および、ウェークアップ機能を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F71	0000 0000	R/W	U3CNT1	TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE

TSTB(ビット7):送信ストップビット長選択

送信時のストップビットの長さを選択します。

0:1ストップビット

1:2ストップビット

受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクターのスタートビットとみなします。

DIV(ビット6):ボーレートクロック分周選択

モード0時のボーレートクロックの分周を選択します。

0:ボーレートの設定範囲は、8~1024サイクルとなります。

1:ボーレートの設定範囲は、32~4096サイクルとなります。

モード1では、このビットの設定値は無視されます。

SCK(ビット5、4):ボーレートクロックソース選択

ボーレートクロックソースを選択します。

SCK	ボーレートクロックソース
00	システムクロック
01	P36端子
10	OSC0
11	OSC1

※上記の設定値以外では使用しないでください。

PODD(ビット3):パリティ偶数/奇数選択

モード0時の送信、および、受信のパリティを選択します。

0:偶数パリティ

1:奇数パリティ

モード1では、このビットの設定値は無視されます。

PEN(ビット2):パリティ許可

モード0時の送信、および、受信のパリティの有無を制御します。

0:パリティなし

1:パリティあり

モード1では、このビットの設定値にかかわらず、パリティなし、となります。

WUPFLG(ビット1):ウェークアップ検出フラグ

WUPIEが1で、受信端子がLOWレベルの時、このビットはセットされます。

WUPIE(ビット0):ウェークアップ割り込み許可

このビットとWUPFLGが1の時、ベクタアドレス008034Hへの割り込み要求が発生します。

3-25-4-3 UART3送信データレジスタ(U3TBUF)

①送信データを書き込む8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F72	0000 0000	R/W	U3TBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

送信動作開始時、U3TBUFのデータが送信シフトレジスタ(U3TSH)に転送されます。次の送信データは、送信データ転送完了フラグ(EMPTY)を確認してから設定してください。

3-25-4-4 UART3受信データレジスタ(U3RBUF)

①受信データが格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F73	0000 0000	R/O	U3RBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

受信動作終了時、受信シフトレジスタ(U3RSH)から、U3RBUFに転送されます。

3-25-4-5 UART3ボーレート制御レジスタ(U3BG)

①UART3の動作モード、および、モード0時のボーレートクロックの周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F75	0000 0000	R/W	U3BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

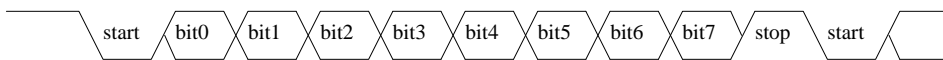
以下のようにモード0時のボーレートクロック周波数を設定することができます。

DIV	転送レート	設定範囲
0	(U3BGの設定値+1)×4サイクル	8~1024サイクル
1	(U3BGの設定値+1)×16サイクル	32~4096サイクル

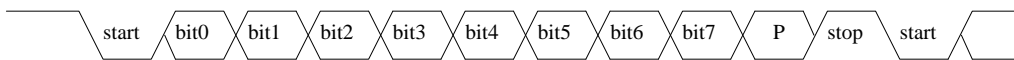
U3BGの設定値=00H とすることにより、動作モードがモード1に設定されます。

3-25-5 UART3通信フォーマットの具体例

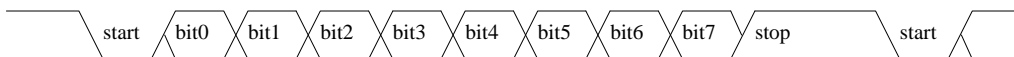
①TSTB=0、PEN=0 の場合



②TSTB=0、PEN=1 の場合



③TSTB=1、PEN=0 の場合



④TSTB=1、PEN=1 の場合



※ただし図中のPは、PODD=0の時偶数パリティ、PODD=1の時奇数パリティを表します。

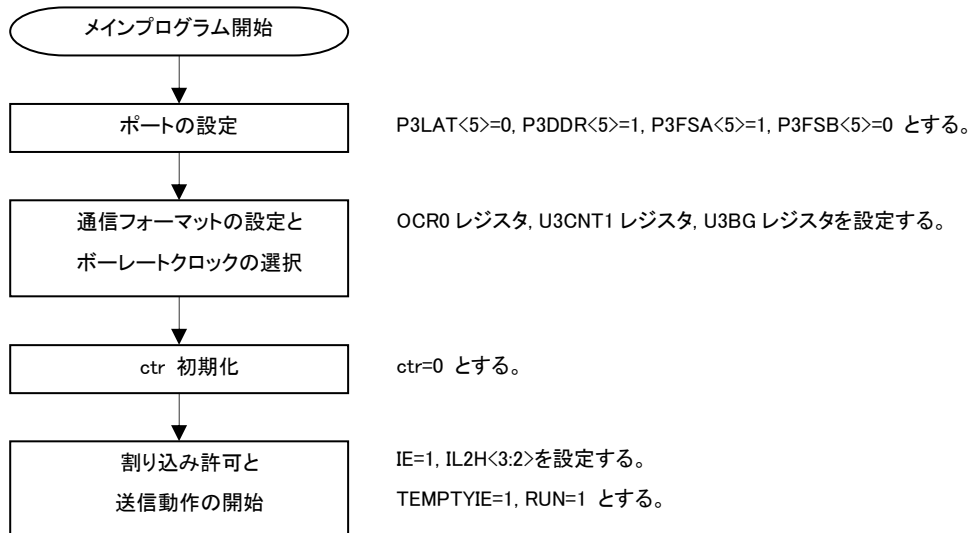
UART3

3-25-6 UART3通信の具体例

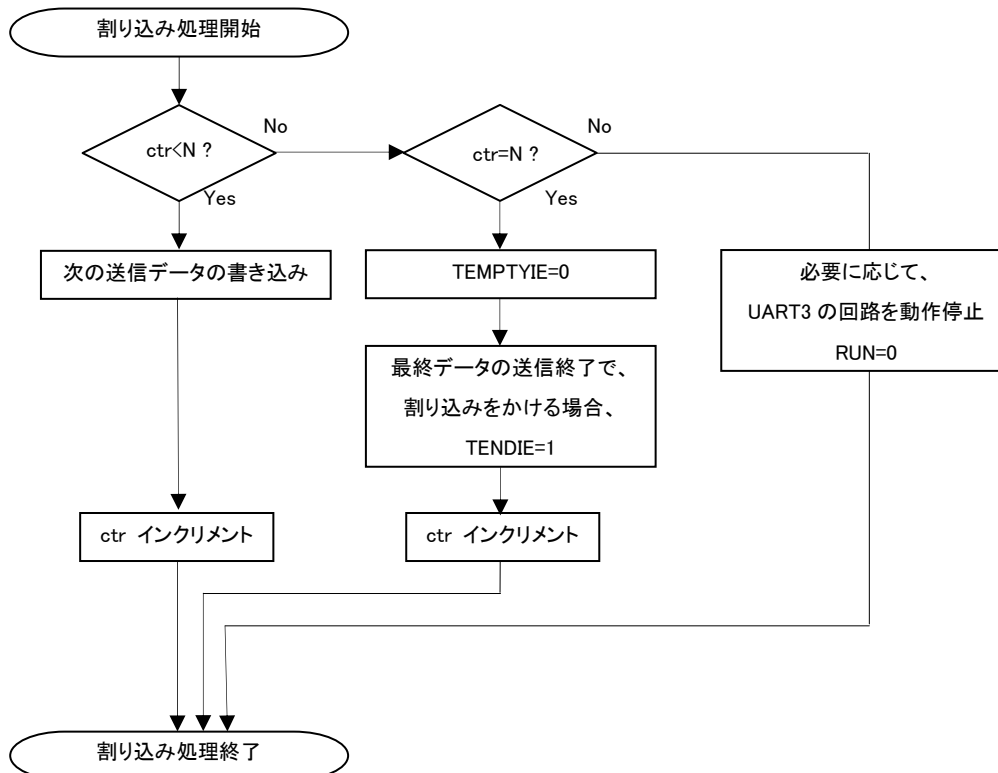
3-25-6-1 連続送信の具体例

Nを送信データの個数、ctrを送信データのカウンタ用変数とします。

1. メインプログラム

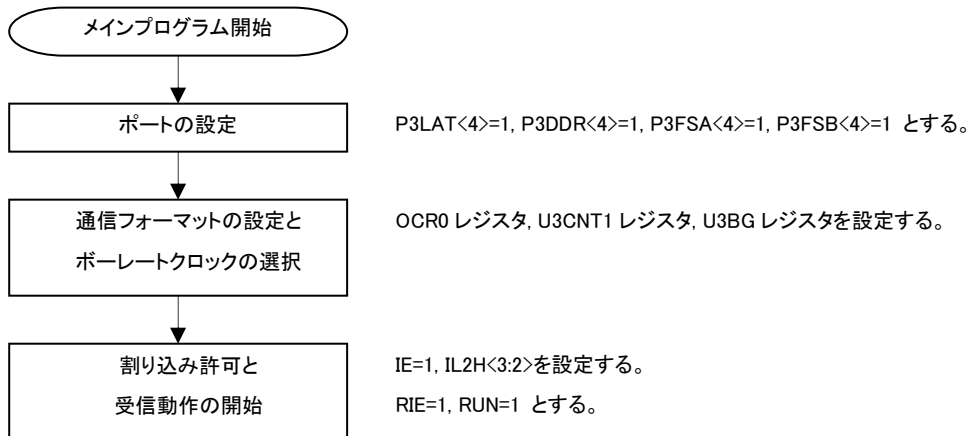


2. 割り込み処理

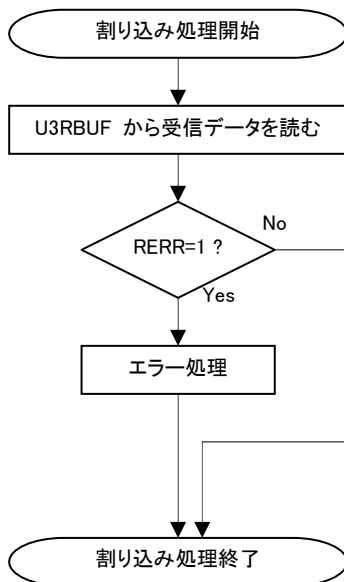


3-25-6-2 連続受信の具体例

1. メインプログラム



2. 割り込み処理



UART3

3-25-6-3 UART3通信のポート設定

① 送信ポート(P35)の設定

レジスタデータ				ポートP35の状態
P3FSA<5>	P3FSB<5>	P3LAT<5>	P3DDR<5>	出力
1	0	0	1	UART3送信出力(CMOS)
1	1	1	0	UART3送信出力(CMOS変化SLOW)
1	1	0	1	UART3送信出力(Nchオープンドレイン)

② 受信ポート(P34)の設定

レジスタデータ				ポートP34の状態
P3FSA<4>	P3FSB<4>	P3LAT<4>	P3DDR<4>	入力
1	1	1	1	可能(UART3受信入力)

3-26 シリアルインターフェース0 (SIO0)

3-26-1 概要

本シリーズは、次の機能を持ったシリアルインターフェース(SIO0)を備えています。

- ① 同期式8ビットシリアルI/O(2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル)(注1)
- ② ウェークアップ機能(2線式または3線式、外部クロックモードのみ)
- ③ 連続データ自動通信機能(9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル)

(注1)

SIO0のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-26-2 機能

3-26-2-1 動作モード

SIO0は、レジスタ設定により以下のモード設定が選択できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	S0CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F31	0000 0000	R/W	S0BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	S0INTVL	—	SNBIT			XCHNG	INTVL		

① モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注:n=0は禁止)の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

② モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S0BUF)へ自動転送されます。

自動受信時の受信データは、データバッファ(S0BUF)から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

SIO0

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S0BUF)へ自動転送され、受信データは、データバッファ(S0XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

バイト間のインターバル時間は(内部クロックの周期) $\times n$ [サイクル]
($n=0, 1, 2, 4, 8, 16, 32, 64$)の範囲で可変です。

3-26-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-26-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。

HALTモードの解除をSIO0の割り込みで行うことができます。

3-26-2-4 ウェークアップ機能

モード0のみ使用できる機能です。

外部クロック時、HOLD/HOLDXモードの解除に使用することができます。

3-26-2-5 特殊機能レジスタ(SFR)の操作

SIO0をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・SOCNT、SOBG、S0BUF、S0INTVL
- ・P1LAT、P1DDR、P1FSA、P1FSB
- ・IL2H
- ・RTS1ADRL、RTS1ADRH、RTS1CTR、RTSCNT

3-26-3 回路構成

3-26-3-1 SIO0制御レジスタ(SOCNT) (8ビットレジスタ)

①SIO0の動作、割り込みの制御を行います。

3-26-3-2 SIO0ボーレート制御レジスタ(SOBG) (8ビットレジスタ)

①内部クロック発生用のリロードカウンタです。

② $(n+1) \times 2$ サイクル($n=1 \sim 255$)周期のクロックを発生できます。

外部クロックを使用する場合は、SOBG=00[H]で使用してください。

3-26-3-3 SIO0シフトレジスタ(S0SH) (8ビットシフトレジスタ)

①SIO0のデータ転送・受信のためのシフトレジスタです。

②命令で直接アクセスできません。S0BUFを通してアクセスします。

3-26-3-4 SIO0Xデータバッファ(S0XBUF) (8ビットレジスタ)

- ① モード1の自動送受信の受信データを格納するレジスタです。
- ② 命令で直接アクセスできません。

3-26-3-5 SIO0データバッファ(S0BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。

- ① モード0の送信・受信をこのレジスタを通して行います。
- ② モード1の自動送信時、RAMから送信データが自動転送されます。
- ③ モード1の自動受信時、受信データをRAMへ自動転送します。
- ④ モード1の自動送受信時、RAMから送信データが自動転送されます。
- ⑤ 命令で直接アクセスできます。

3-26-3-6 SIO0インターバルレジスタ(S0INTVL) (8ビットレジスタ)

- ① モード1時、バイト間のインターバル時間の設定を行います。
- ② モード1の、自動送受信の設定を行います。
- ③ 端数ビットを指定します。

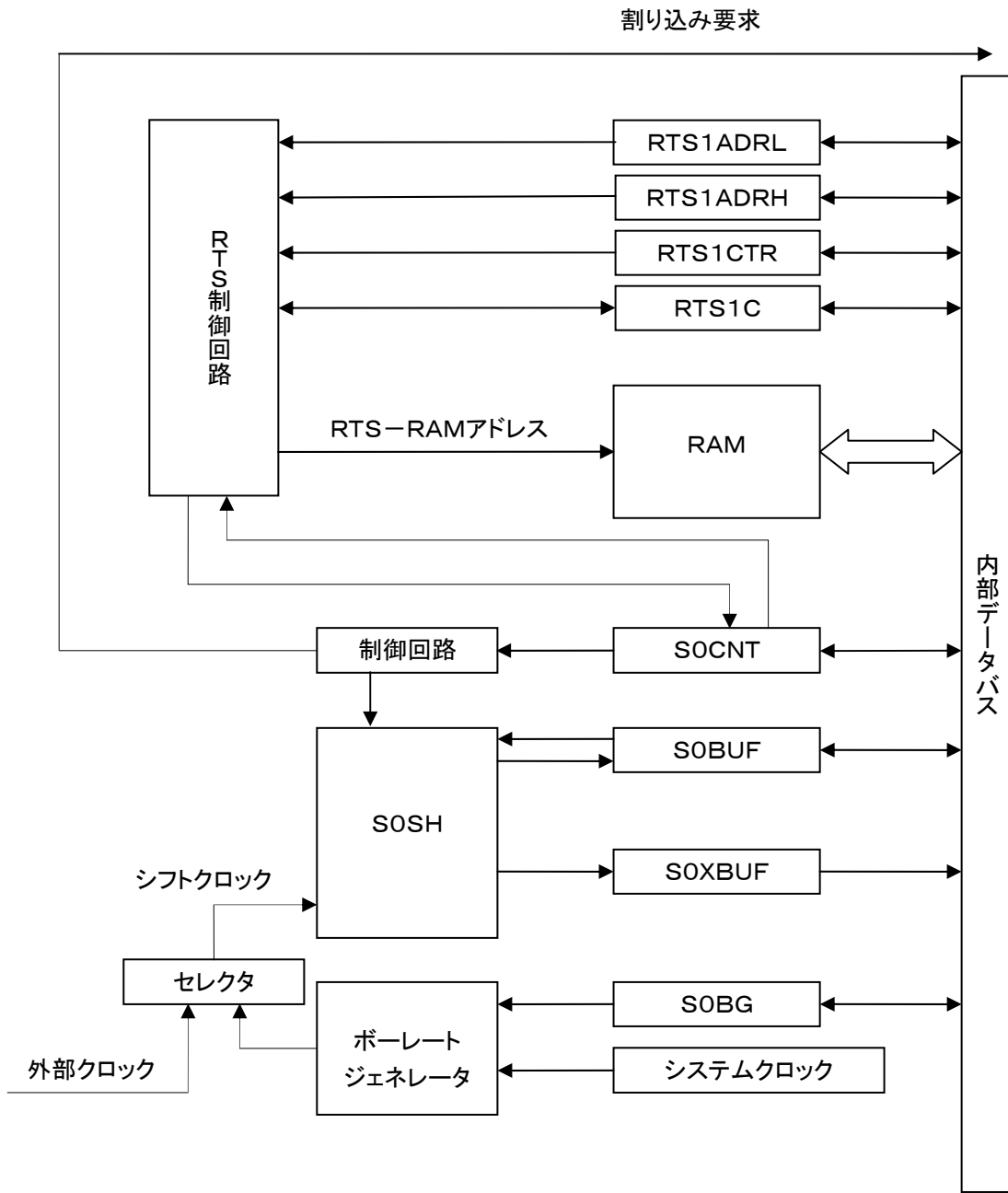


図 3-26-1 SIO0のブロック図

3-26-4 関連レジスタ

3-26-4-1 SIO0制御レジスタ(SOCNT)

①SIO0モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F30	0000 0000	R/W	SOCNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

*モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO0動作フラグ

①このビットが1の時SIO0は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信/自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO=0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中(AUTO=RUN=1)、このビットにCLR命令を実行すると自動通信を一時停止(AUTO=0、RUN=1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO=RUN=1)すると、自動通信を再開します。

*注意:動作停止中にAUTOをセット・クリアする際は、ビット操作命令を使わず、バイト操作命令を使用してください。

MSB(ビット3):MSB/LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

SIO0

OVRUN (ビット2) : オーバーランフラグ

- ① RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ② モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ③ モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ④ モード1の自動送信時、RAMからSOBUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑤ モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、SOBUF・SOXBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑥ このビットを読んで通信が正常に行われたかどうか判断してください。
- ⑦ このビットのクリアは命令で行ってください。

FLG (ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

IE (ビット0) : 受信割り込み許可

- ① このビットとFLGが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。
- ② このビットとOVRUNが1の時、ベクタアドレス008038Hへの割り込み要求が発生します。

3-26-4-2 SIO0ボーレート制御レジスタ(SOBG)

① シリアル転送の転送レートを設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F31	0000 0000	R/W	SOBG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは

$$TSOBG = (SOBGの設定値 + 1) \times 2 \text{ サイクル}$$

SOBGの設定値 = 1 ~ 255であり、TSOBGの設定範囲は、4 ~ 512サイクルとなります。

外部クロックを使用する場合は、SOBG = 00 [H] で使用してください。

3-26-4-3 SIO0データバッファ(S0BUF)

- ①シリアル転送データを格納する8ビットのバッファレジスタです。
- ②送信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
- ③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F32	0000 0000	R/W	S0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-26-4-4 SIO0インターバルレジスタ(SOINTVL)

- ①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F33	0000 0000	R/W	SOINTVL	—	SNBIT			XCHNG	INTVL		

(ビット7): 固定ビット

0で使用してください。

SNBIT(ビット6～4):

- ①端数ビットの指定を行います。
- ②動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

XCHNG(ビット3): 自動送受信

- ①このビットが1の時、モード1の自動送受信になります。
- ②動作中(RUN=1)にセット/クリアをしないでください。必ず、動作停止中(RUN=0)に、設定してください。また、自動通信モード以外(AUTO=0)でこのビットをセットすると誤動作します。

INTVL(ビット2～0):

- ①モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
- ②インターバル時間[サイクル]=

$$((S0BG\text{の}\text{設定}\text{値} + 1) \times 2) \times \text{インターバル}\text{設定}\text{値}$$
- ③S0SHとS0BUF、S0XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数(シリアルクロックの立ち上がりから立ち下がりまで)を6サイクル以下に設定しても、そのサイクル数で動作できません。
- ④また、リアルタイムサービスコントローラのRTS制御レジスタの設定(バススチール要求禁止/ウェイト要求禁止)によっては、必ずしもSOINTVLで設定するインターバル時間になるとは限りません。
- ⑤動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

SIO0

表 3-26-1 INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表 3-26-2 SIO0の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信/送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信/送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-26-5 転送ビット数の設定

3-26-5-1 モード0時の設定方法

転送ビットは、SNBITで設定します。

表 3-26-3を参照してください。

例:5ビット通信の場合

SNBIT=101となります。

3-26-5-2 モード1時の設定方法

$n = ((X+1) \times 8) + N$ で転送ビット数を指定します。

($n=9$ ビット~ 32768 ビット、 $X=0$ ~ 4094 、 $N=1$ ~ 8 ビット)

Xの設定は、RTS1CTR、RTS1ADRLで設定します。

$X = (((RTS1ADRL) \ll 8) \& 0x0F00) + (RTS1CTR \& 0x00FF)$

Nの設定は、SNBITで設定します。

表 3-26-3を参照してください。

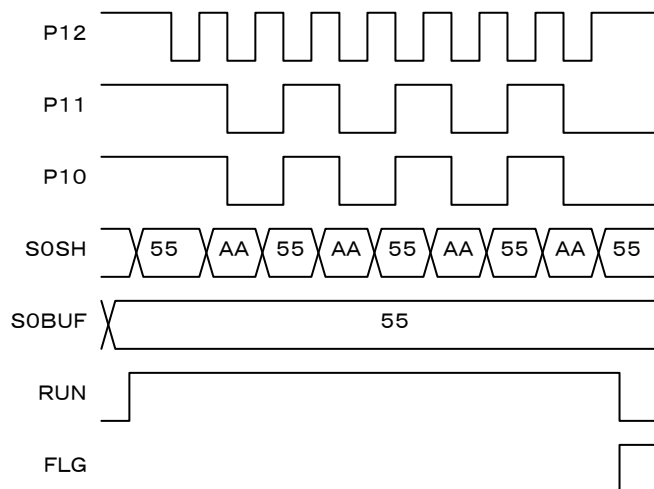
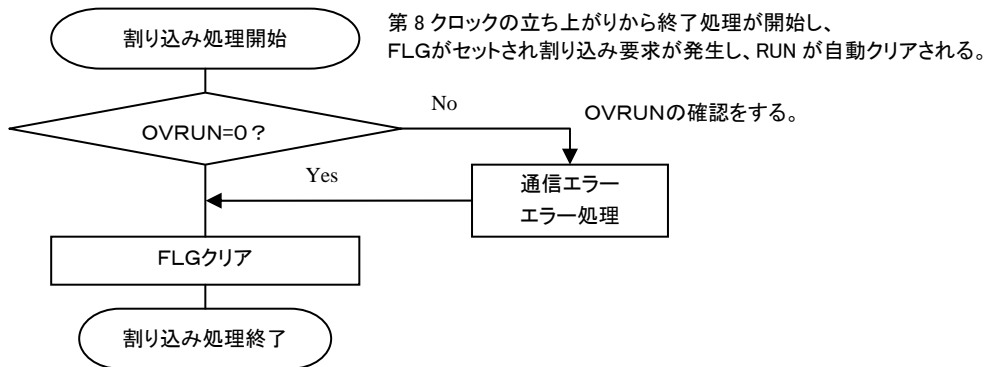
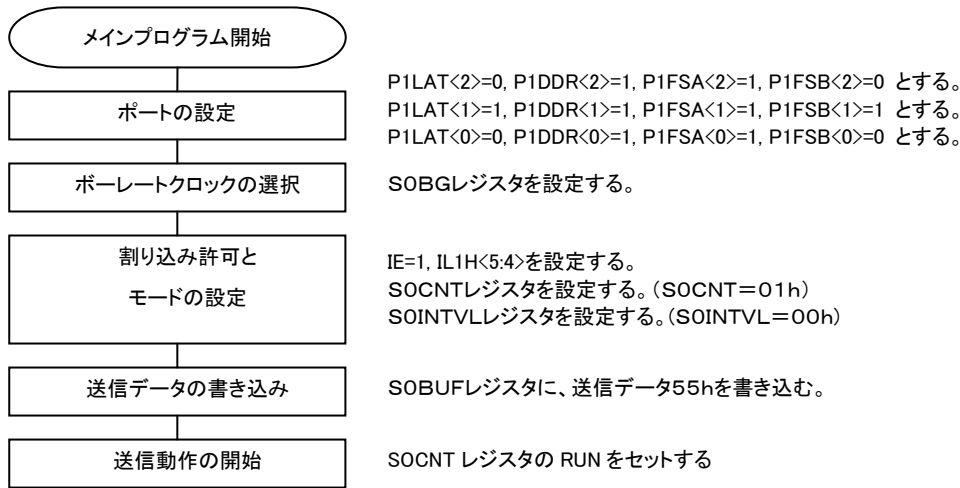
表 3-26-3 ビット数の設定

SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

3-26-6 SIO0通信の具体例

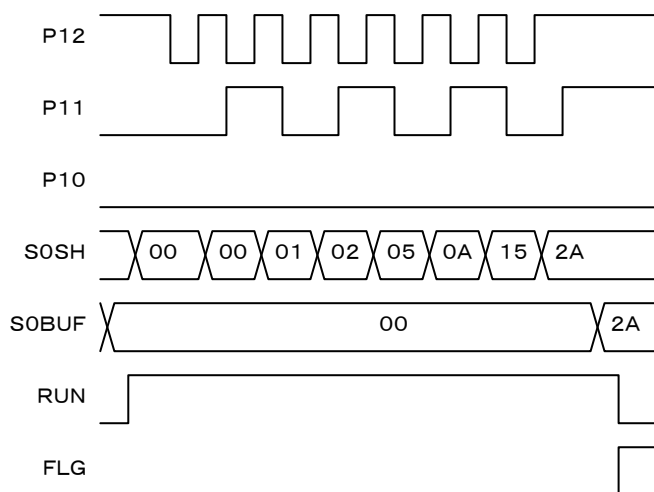
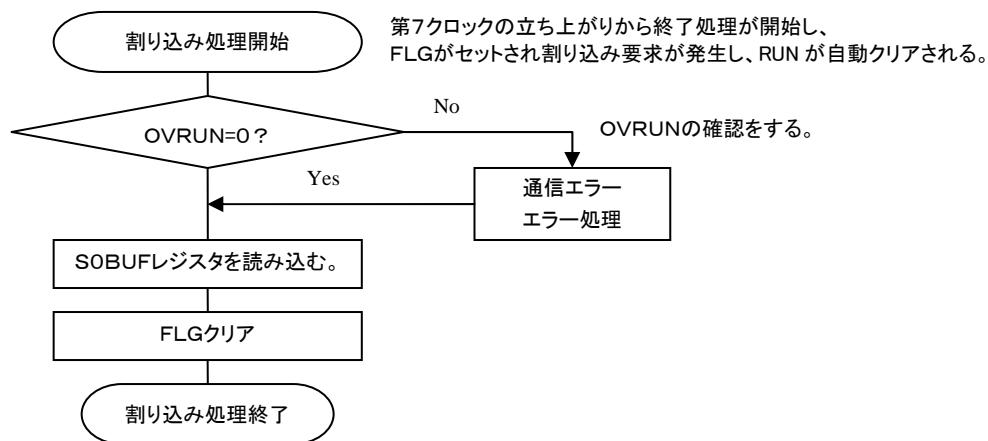
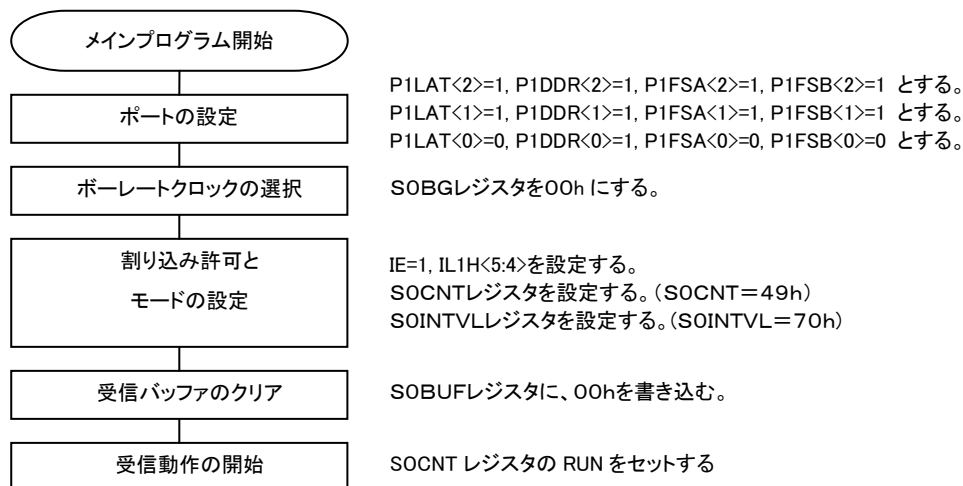
3-26-6-1 モード0(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合



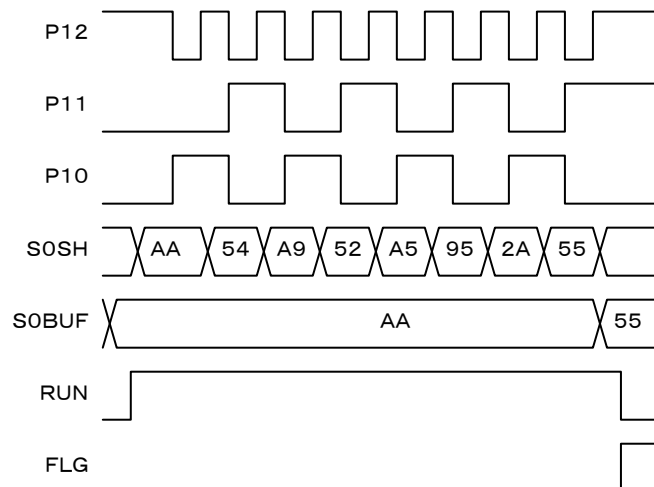
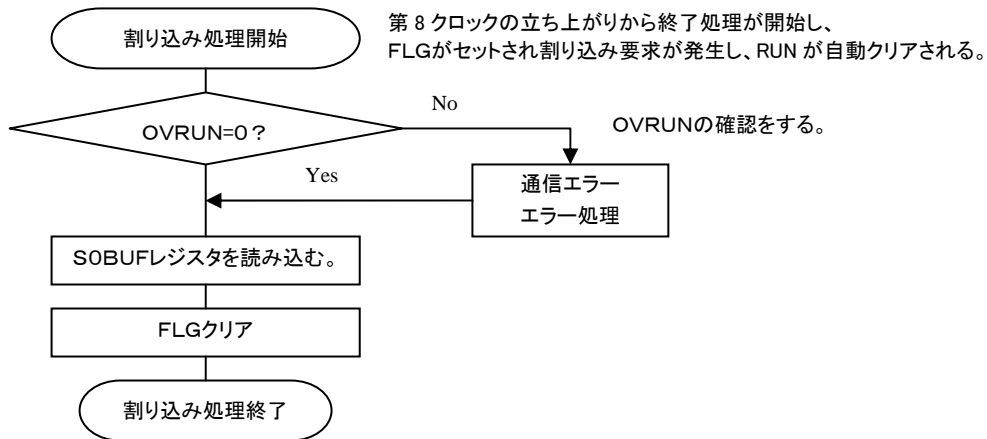
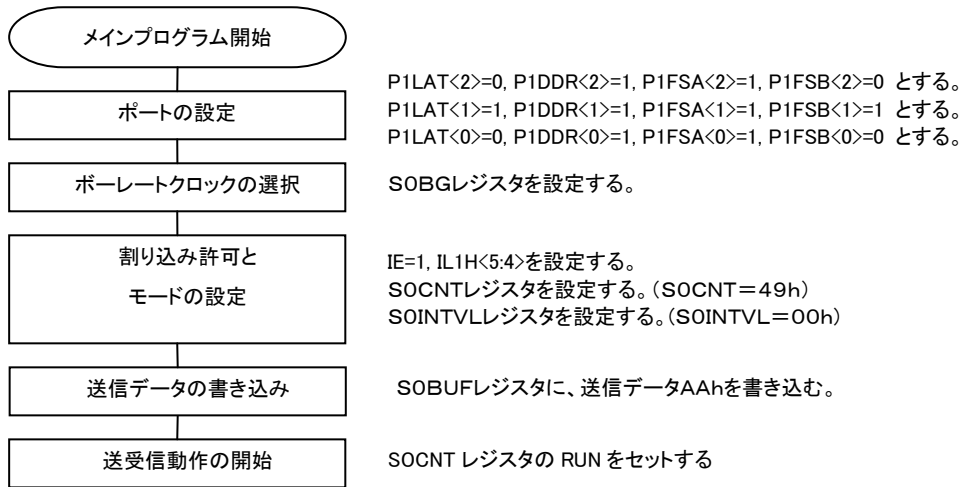
3-26-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、P10=L出力、受信データ2Ah、受信ビット数7の場合



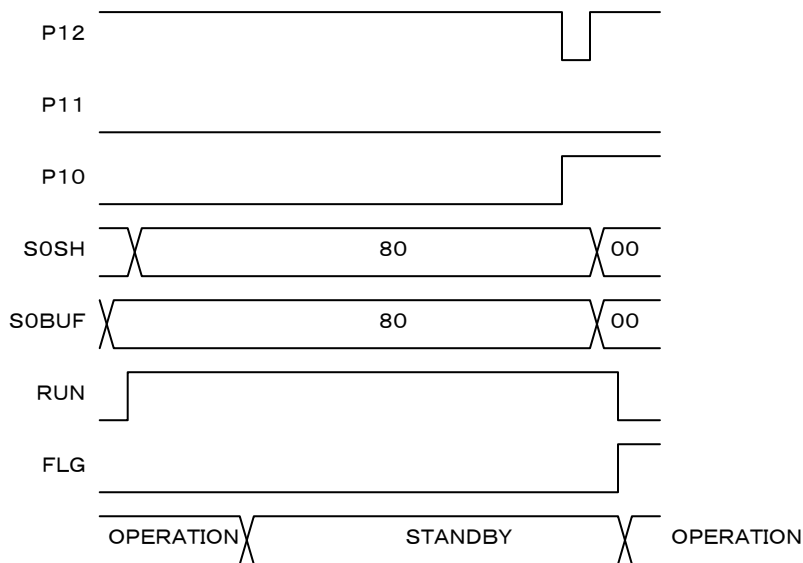
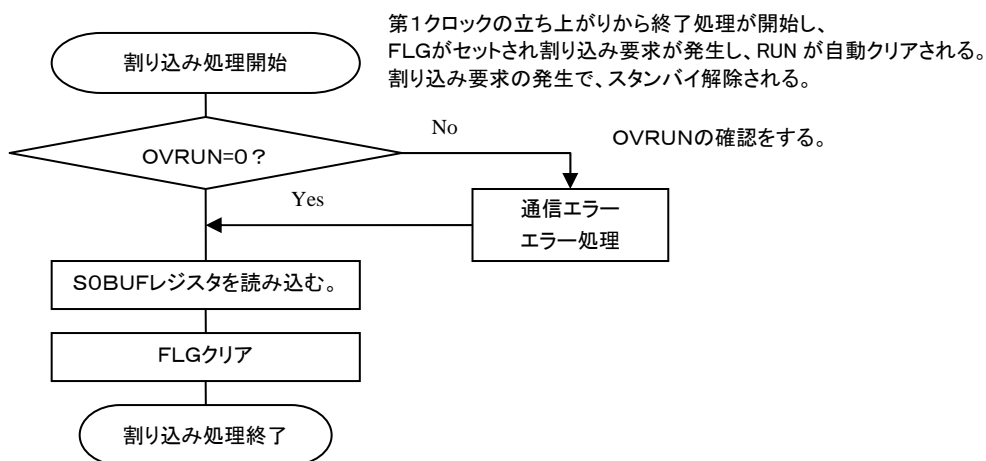
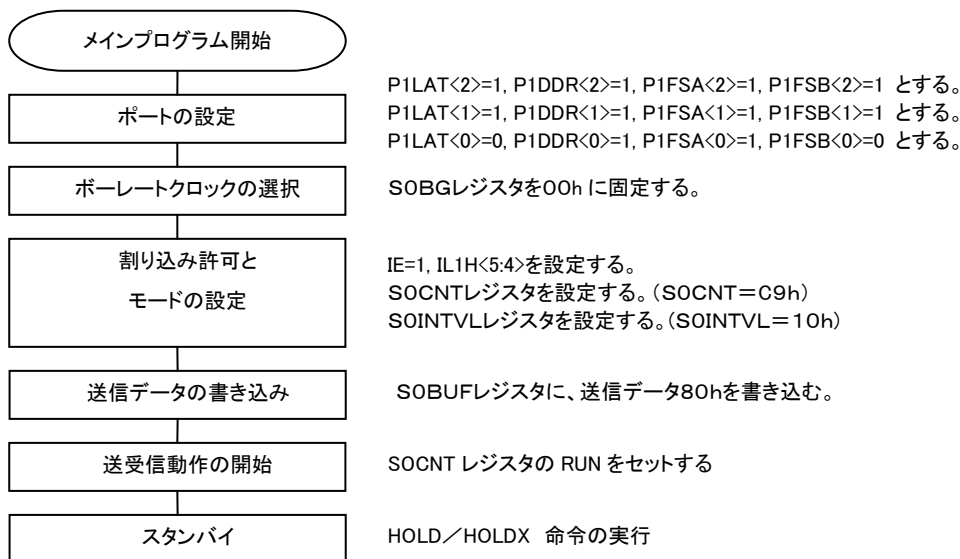
3-26-6-3 モード0(送受信)の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合



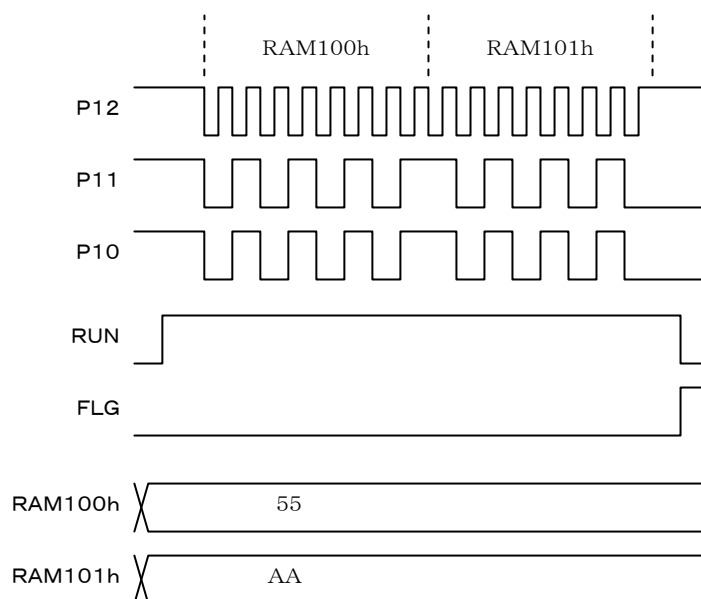
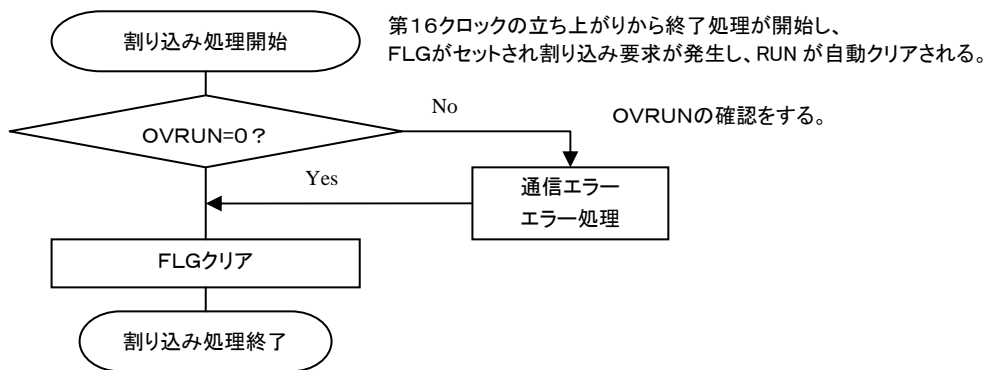
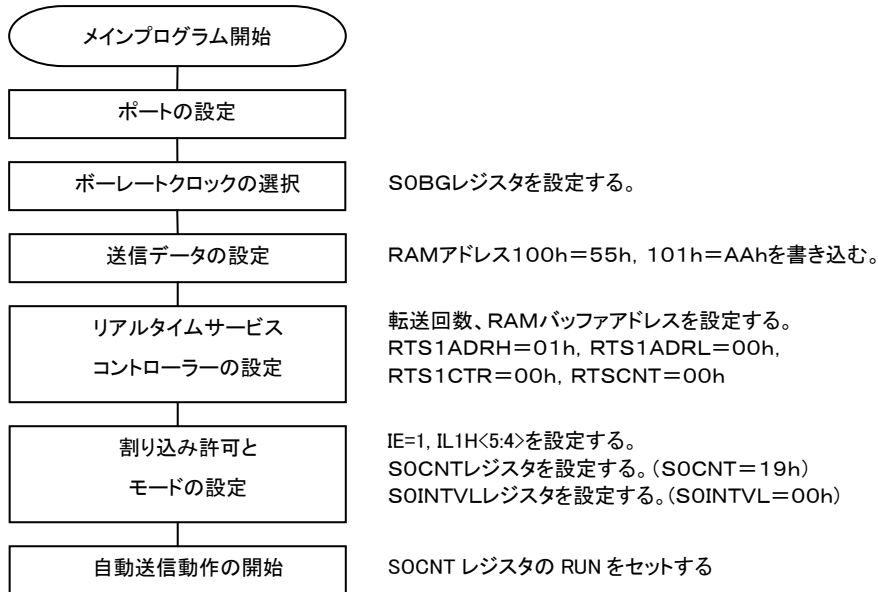
3-26-6-4 モード0(送受信・ウェークアップ)の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合



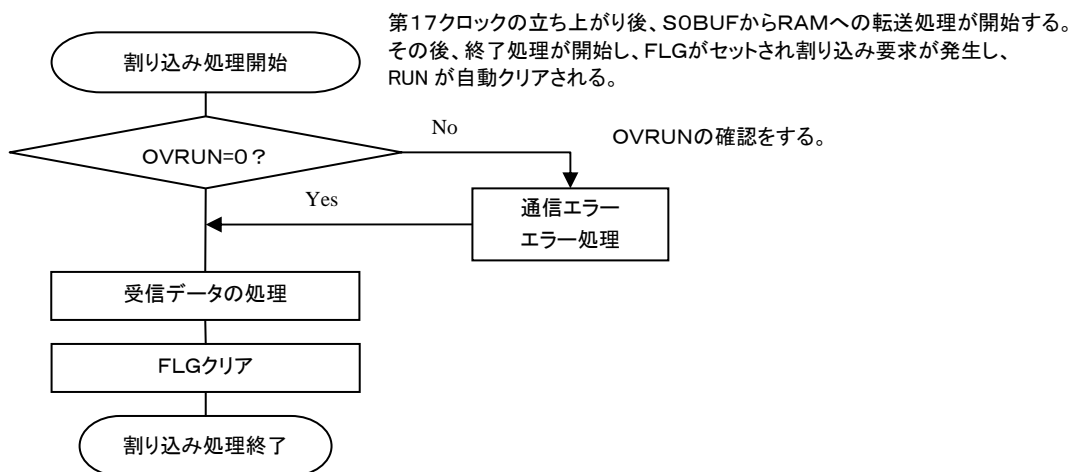
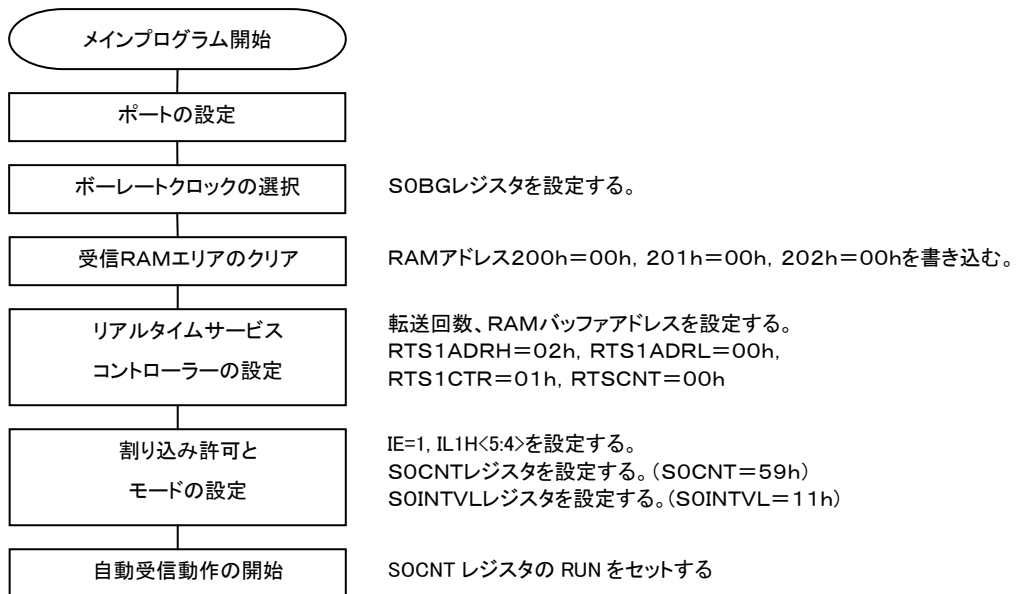
3-26-6-5 モード1(自動送信)の具体例

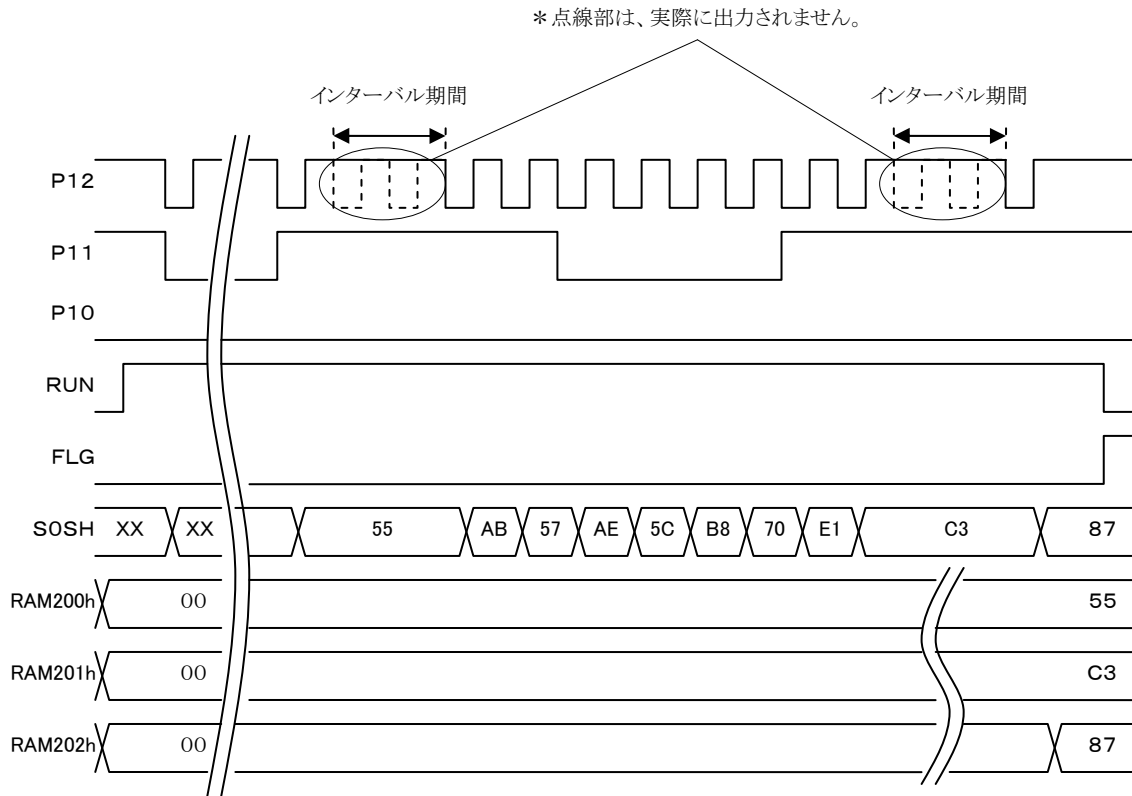
内部クロック、MSB先頭、送信データ開始 RAMバッファアドレス100番地、インターバル=0、送信ビット数16の場合



3-26-6-6 モード1(自動受信)の具体例

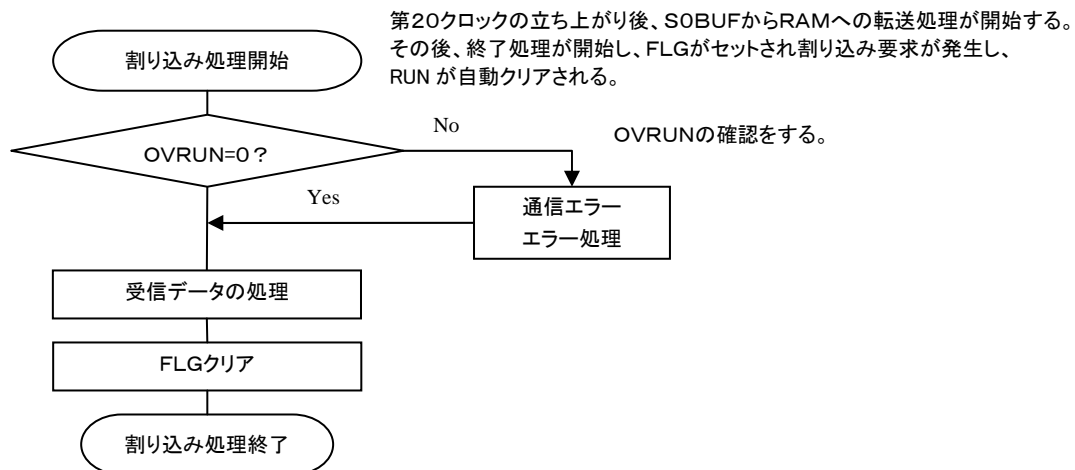
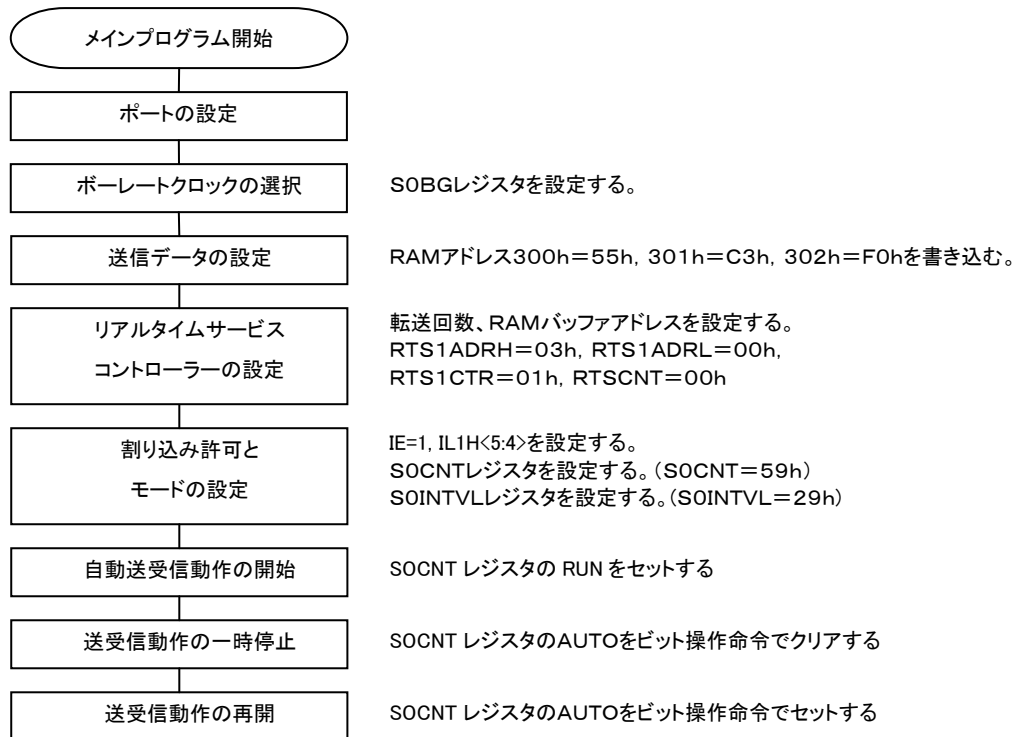
内部クロック、MSB先頭、受信データ開始RAMバッファアドレス200番地、インターバル=2、受信ビット数17、P10=L出力の場合

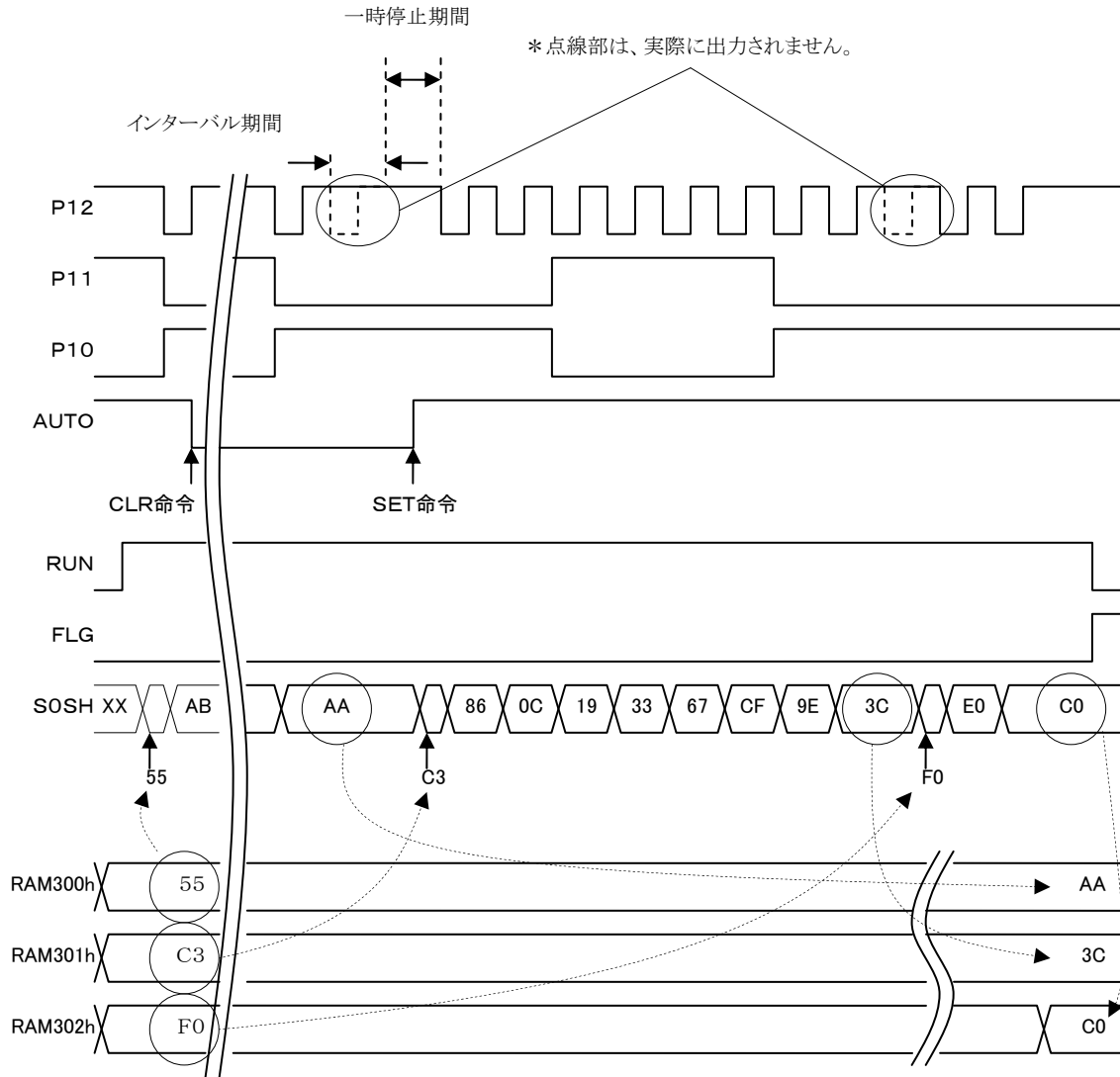




3-26-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、インターバル=1、送受信ビット数18、一時停止後、通信再開の場合





SIO0

3-26-6-8 SIO0通信のポート設定

① データ送信専用ポート(P10)の設定

レジスタ設定				P10の状態	FAST/SLOW
P1FSA<0>	P1DDR<0>	P1LAT<0>	P1FSB<0>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW

② データ送受信ポート(P11)の設定

レジスタ設定				P11の状態	FAST/SLOW
P1FSA<1>	P1DDR<1>	P1LAT<1>	P1FSB<1>		
1	1	0	0	CMOS出力 (送信)	FAST
1	0	1	1	CMOS出力 (送信)	SLOW
1	1	1	1	入力 (受信)	—

③ クロック用ポート(P12)の設定

レジスタ設定				P12の状態	FAST/SLOW
P1FSA<2>	P1DDR<2>	P1LAT<2>	P1FSB<2>		
1	1	0	0	CMOS出力 (内部クロック)	FAST
1	0	1	1	CMOS出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	—

3-27 シリアルインターフェース1 (SIO1)

3-27-1 概要

本シリーズは、次の機能を持ったシリアルインターフェース(SIO1)を備えています。

- ① 同期式8ビットシリアルI/O(2線式または3線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル)(注1)
- ② ウェークアップ機能(2線式または3線式、外部クロックモードのみ)
- ③ 連続データ自動通信機能(9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル)

(注1)

SIO1のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-27-2 機能

3-27-2-1 動作モード

SIO1は、レジスタ設定により以下のモード設定が選択できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	SICNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	—	SNBIT			XCHNG	INTVL		

① モード0

2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注:n=0は禁止)の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

② モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S1BUF)へ自動転送されます。

自動受信時の受信データは、データバッファ(S1BUF)から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

SIO1

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S1BUF)へ自動転送され、受信データは、データバッファ(S1XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

バイト間のインターバル時間は(内部クロックの周期) $\times n$ [サイクル]
($n=0, 1, 2, 4, 8, 16, 32, 64$)の範囲で可変です。

3-27-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-27-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。

HALTモードの解除をSIO1の割り込みで行うことができます。

3-27-2-4 ウェークアップ機能

モード0のみ使用できる機能です。

外部クロック時、HOLD/HOLDXモードの解除に使用することができます。

3-27-2-5 特殊機能レジスタ(SFR)の操作

SIO1をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・S1CNT、S1BG、S1BUF、S1INTVL
- ・P4LAT、P4DDR、P4FSA、P4FSB
- ・IL2L
- ・RTS2ADRL、RTS2ADRH、RTS2CTR、RTSCNT

3-27-3 回路構成

3-27-3-1 SIO1制御レジスタ(S1CNT) (8ビットレジスタ)

① SIO1の動作、割り込みの制御を行います。

3-27-3-2 SIO1ボーレート制御レジスタ(S1BG) (8ビットレジスタ)

① 内部クロック発生用のリロードカウンタです。

② $(n+1) \times 2$ サイクル($n=1 \sim 255$)周期のクロックを発生できます。

外部クロックを使用する場合は、 $S1BG=00[H]$ で使用してください。

3-27-3-3 SIO1シフトレジスタ(S1SH) (8ビットシフトレジスタ)

① SIO1のデータ転送・受信のためのシフトレジスタです。

② 命令で直接アクセスできません。S1BUFを通してアクセスします。

3-27-3-4 SIO1Xデータバッファ(S1XBUF) (8ビットレジスタ)

- ① モード1の自動送受信の受信データを格納するレジスタです。
- ② 命令で直接アクセスできません。

3-27-3-5 SIO1データバッファ(S1BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。

- ① モード0の送信・受信をこのレジスタを通して行います。
- ② モード1の自動送信時、RAMから送信データが自動転送されます。
- ③ モード1の自動受信時、受信データをRAMへ自動転送します。
- ④ モード1の自動送受信時、RAMから送信データが自動転送されます。
- ⑤ 命令で直接アクセスできます。

3-27-3-6 SIO1インターバルレジスタ(S1INTVL) (8ビットレジスタ)

- ① モード1時、バイト間のインターバル時間の設定を行います。
- ② モード1の、自動送受信の設定を行います。
- ③ 端数ビットを指定します。

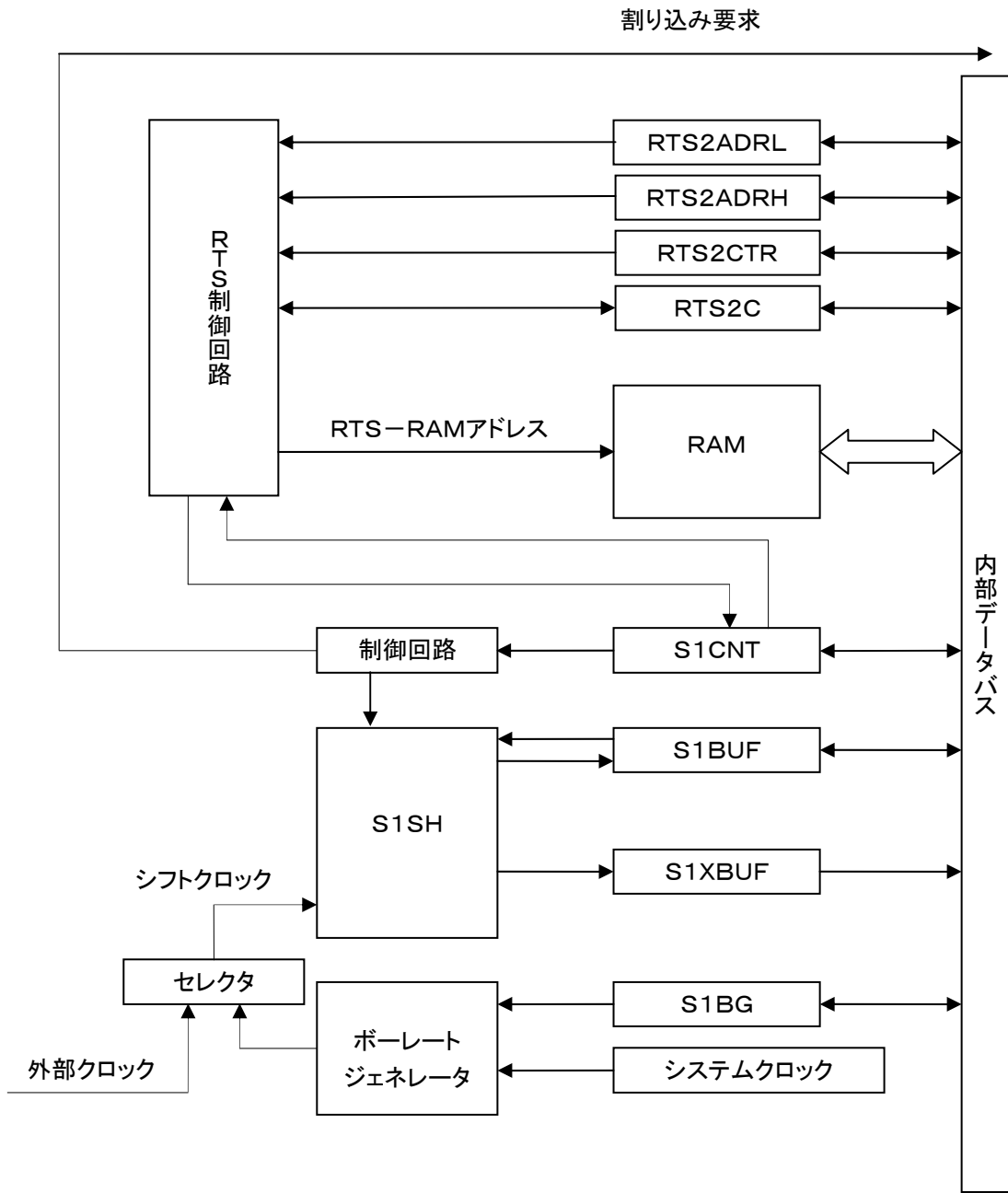


図 3-27-1 SIO1のブロック図

3-27-4 関連レジスタ

3-27-4-1 SIO1制御レジスタ(S1CNT)

①SIO1モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F34	0000 0000	R/W	S1CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

*モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO1動作フラグ

①このビットが1の時SIO1は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信/自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO=0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中(AUTO=RUN=1)、このビットにCLR命令を実行すると自動通信を一時停止(AUTO=0、RUN=1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO=RUN=1)すると、自動通信を再開します。

*注意:動作停止中にAUTOをセット・クリアする際は、ビット操作命令を使わず、バイト操作命令を使用してください。

MSB(ビット3):MSB/LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

SIO1

OVRUN (ビット2) : オーバーランフラグ

- ① RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ② モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ③ モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ④ モード1の自動送信時、RAMからS1BUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑤ モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、S1BUF・S1XBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑥ このビットを読んで通信が正常に行われたかどうか判断してください。
- ⑦ このビットのクリアは命令で行ってください。

FLG (ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

IE (ビット0) : 受信割り込み許可

- ① このビットとFLGが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。
- ② このビットとOVRUNが1の時、ベクタアドレス008024Hへの割り込み要求が発生します。

3-27-4-2 SIO1ボーレート制御レジスタ(S1BG)

① シリアル転送の転送レートを設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F35	0000 0000	R/W	S1BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは

$$TS1BG = (S1BGの設定値 + 1) \times 2 \text{ サイクル}$$

S1BGの設定値 = 1 ~ 255であり、TS1BGの設定範囲は、4 ~ 512サイクルとなります。

外部クロックを使用する場合は、S1BG = 00 [H] で使用してください。

3-27-4-3 SIO1データバッファ(S1BUF)

- ①シリアル転送データを格納する8ビットのバッファレジスタです。
- ②送信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
- ③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F36	0000 0000	R/W	S1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-27-4-4 SIO1インターバルレジスタ(S1INTVL)

- ①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	S1INTVL	—	SNBIT			XCHNG	INTVL		

(ビット7): 固定ビット

0で使用してください。

SNBIT(ビット6～4):

- ①端数ビットの指定を行います。
- ②動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

XCHNG(ビット3): 自動送受信

- ①このビットが1の時、モード1の自動送受信になります。
- ②動作中(RUN=1)にセット/クリアをしないでください。必ず、動作停止中(RUN=0)に、設定してください。また、自動通信モード以外(AUTO=0)でこのビットをセットすると誤動作します。

INTVL(ビット2～0):

- ①モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
- ②インターバル時間[サイクル]=

$$((S1BG \text{の設定値} + 1) \times 2) \times \text{インターバル設定値}$$
- ③S1SHとS1BUF、S1XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数(シリアルクロックの立ち上がりから立ち下がりまで)を6サイクル以下に設定しても、そのサイクル数で動作できません。
- ④また、リアルタイムサービスコントローラのRTS制御レジスタの設定(バススチール要求禁止/ウェイト要求禁止)によっては、必ずしもS1INTVLで設定するインターバル時間になるとは限りません。
- ⑤動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

SIO1

表 3-27-1 INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表 3-27-2 SIO1 の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信/送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信/送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-27-5 転送ビット数の設定

3-27-5-1 モード0時の設定方法

転送ビットは、SNBITで設定します。

表 3-27-3を参照してください。

例:5ビット通信の場合

SNBIT=101となります。

3-27-5-2 モード1時の設定方法

$n = ((X+1) \times 8) + N$ で転送ビット数を指定します。

($n=9$ ビット~ 32768 ビット、 $X=0$ ~ 4094 、 $N=1$ ~ 8 ビット)

Xの設定は、RTS2CTR、RTS2ADRLで設定します。

$X = (((RTS2ADRL) \ll 8) \& 0x0F00) + (RTS2CTR \& 0x00FF)$

Nの設定は、SNBITで設定します。

表 3-27-3を参照してください。

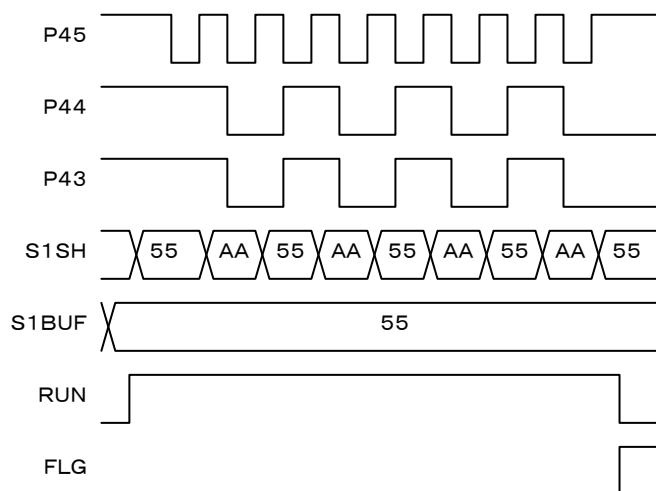
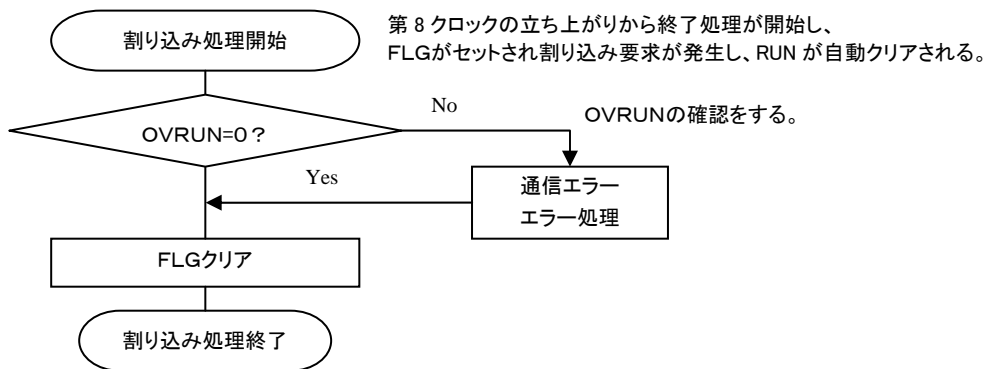
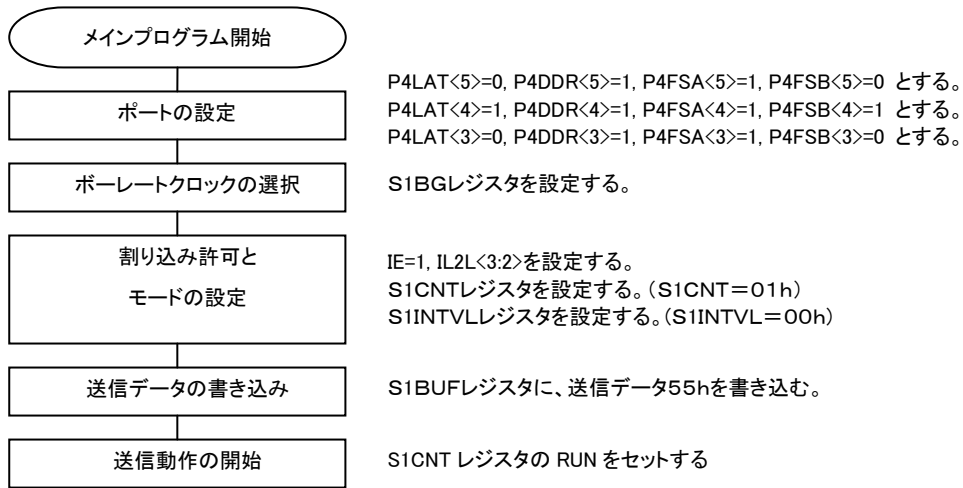
表 3-27-3 ビット数の設定

SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

3-27-6 SIO1通信の具体例

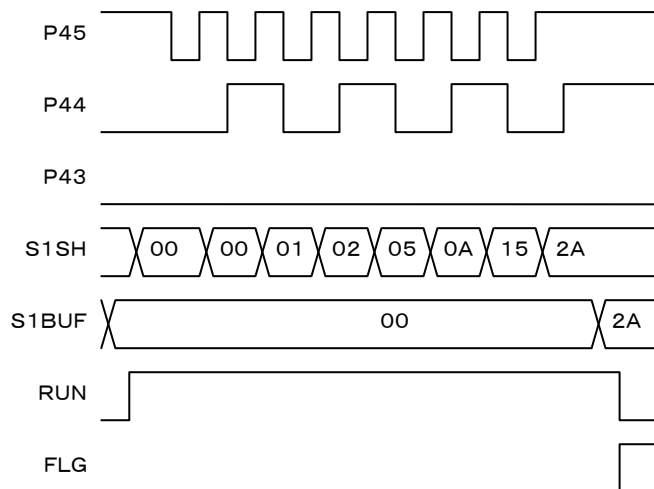
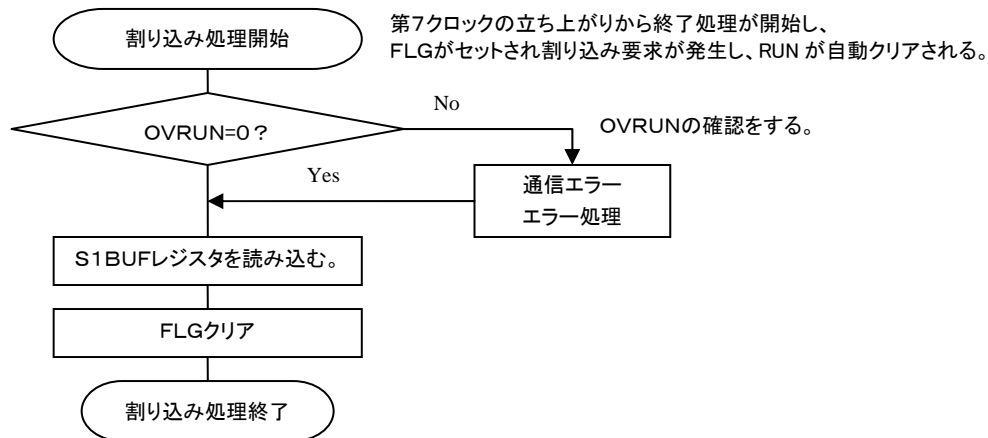
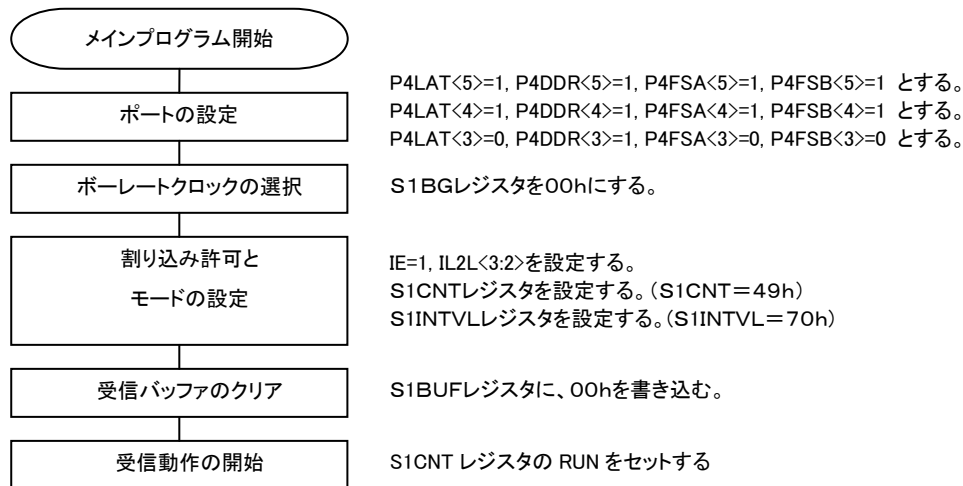
3-27-6-1 モード0(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合



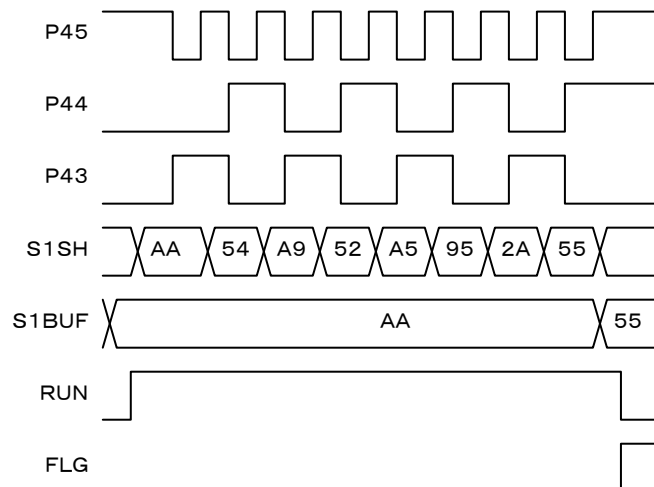
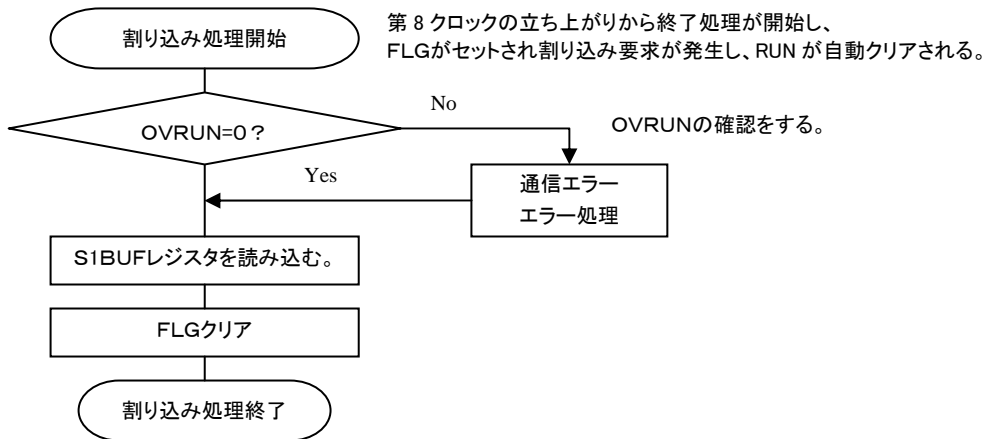
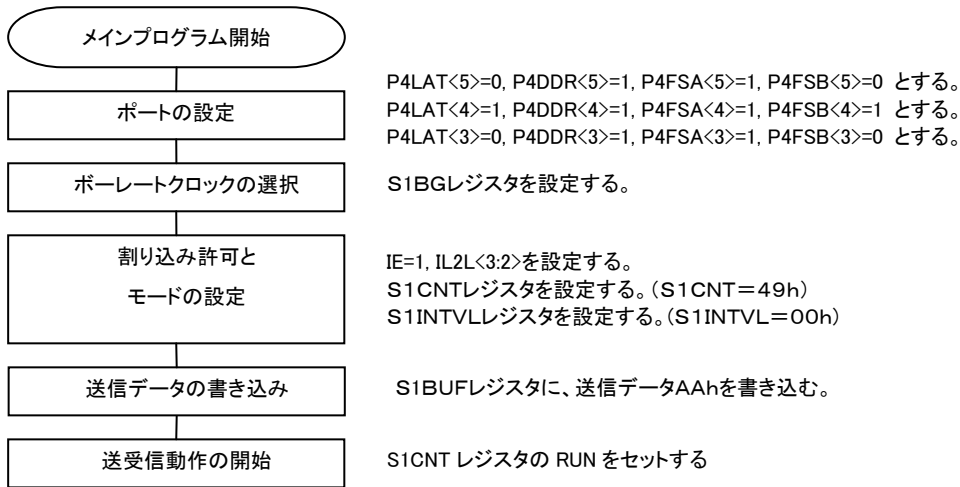
3-27-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、P43=L出力、受信データ2Ah、受信ビット数7の場合



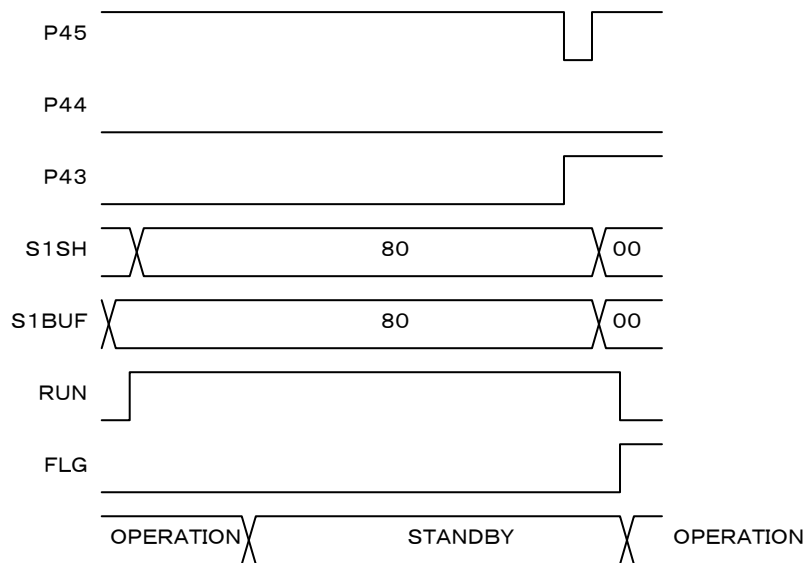
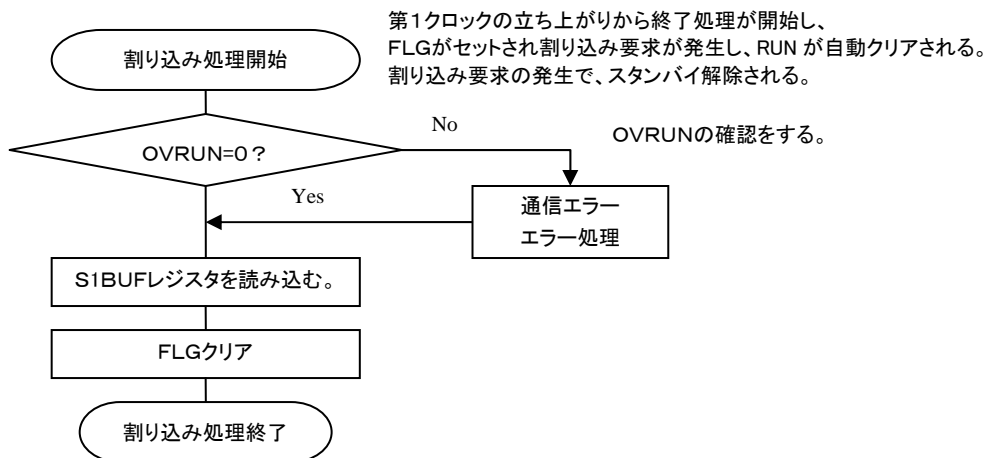
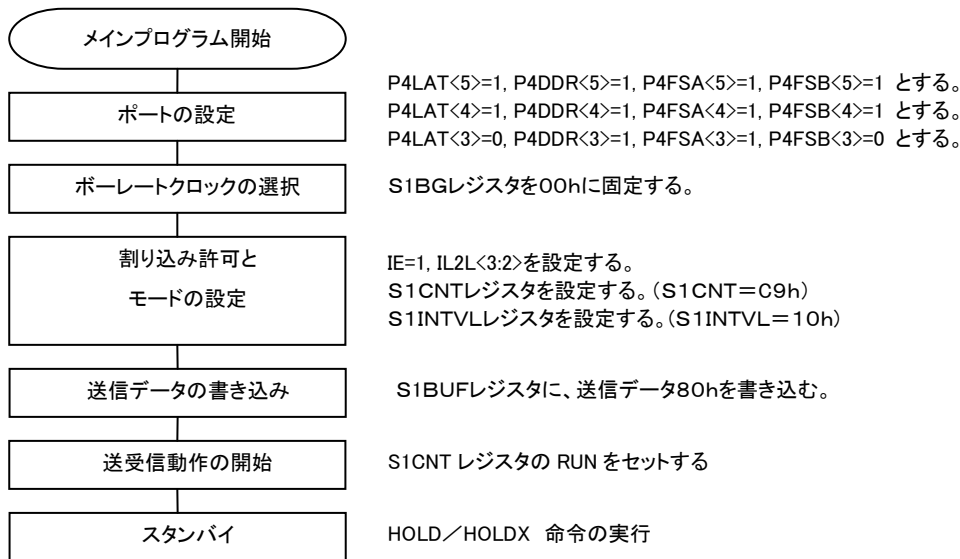
3-27-6-3 モード0(送受信)の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合



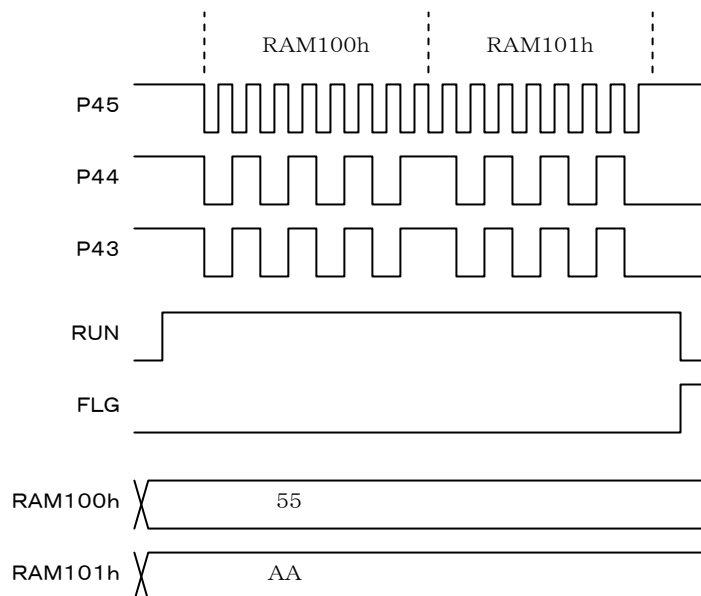
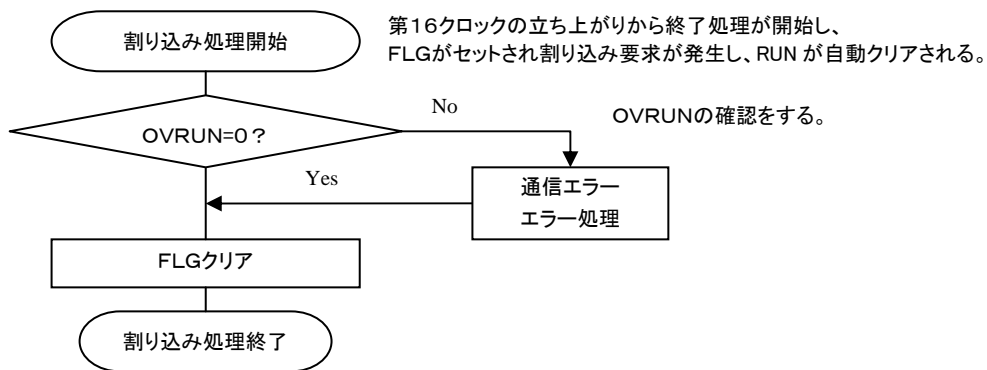
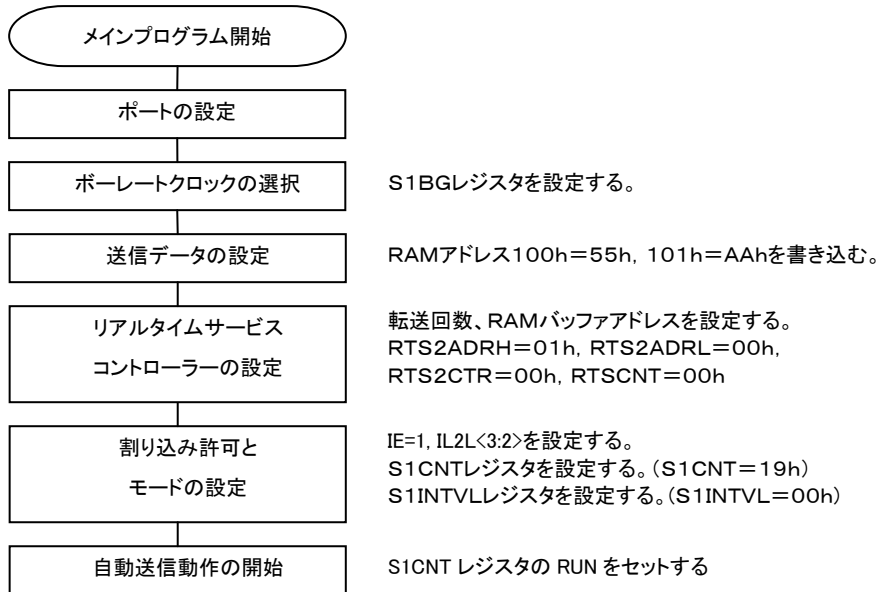
3-27-6-4 モード0(送受信・ウェークアップ)の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合



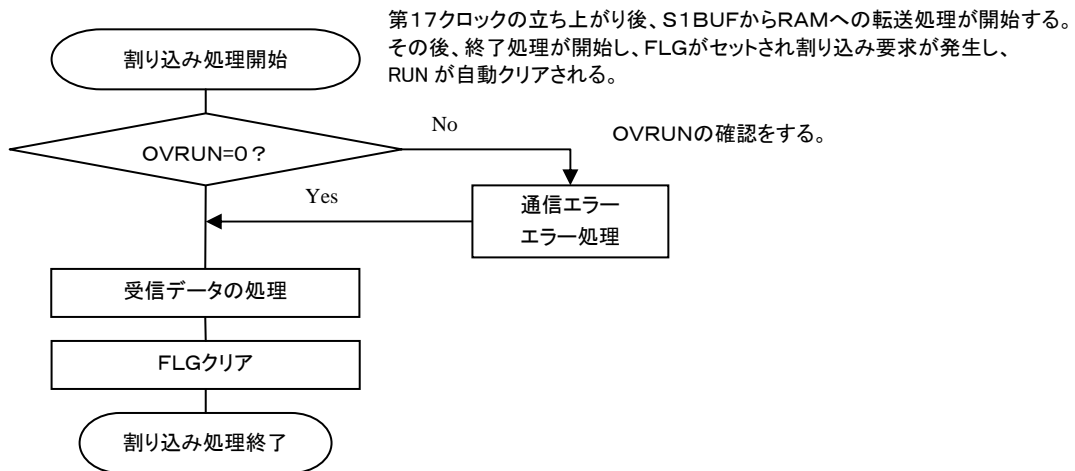
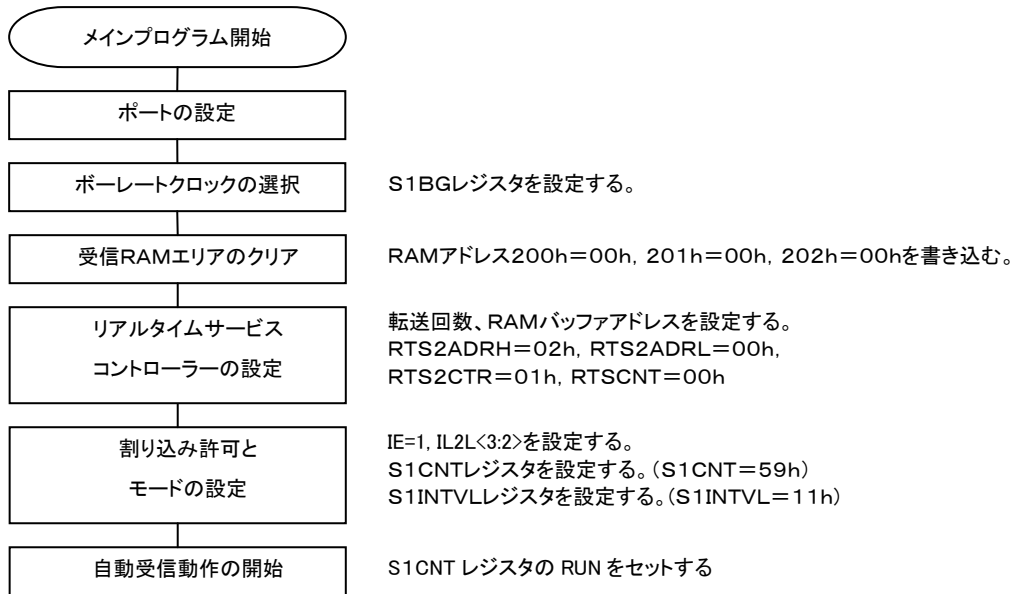
3-27-6-5 モード1(自動送信)の具体例

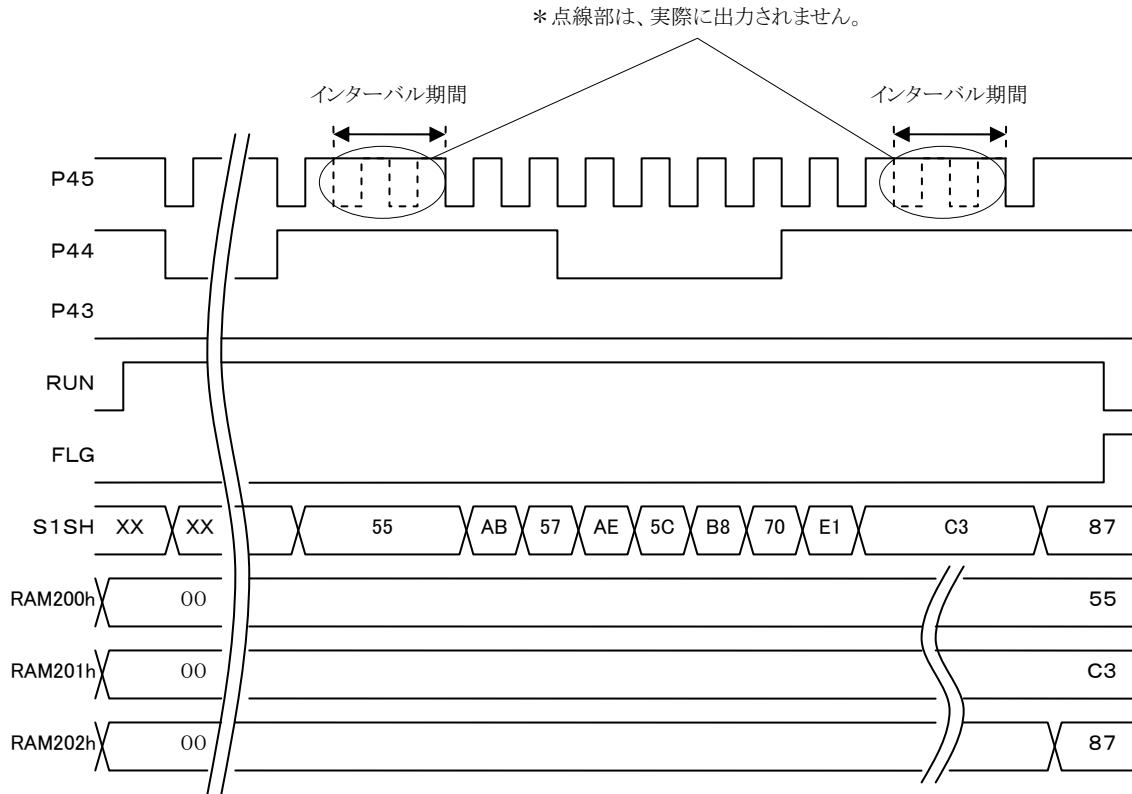
内部クロック、MSB先頭、送信データ開始 RAMバッファアドレス100番地、インターバル=0、送信ビット数16の場合



3-27-6-6 モード1(自動受信)の具体例

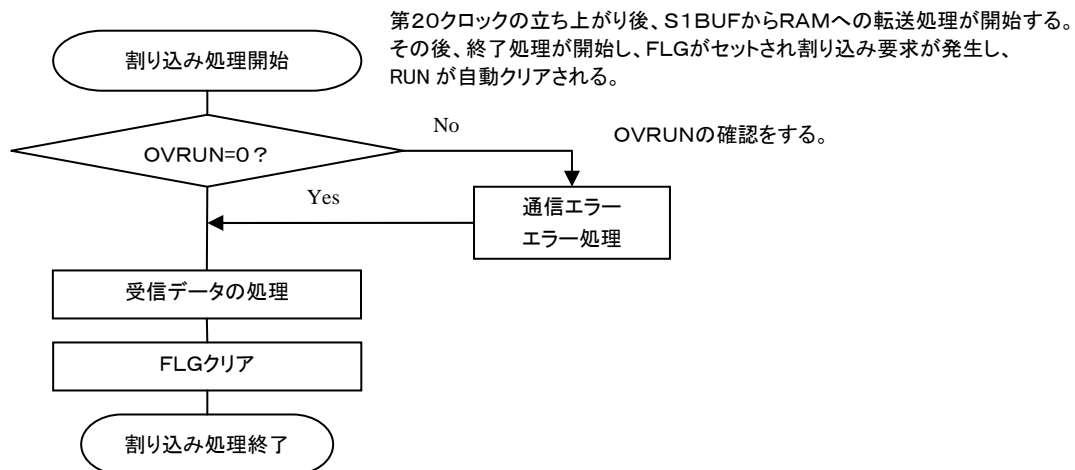
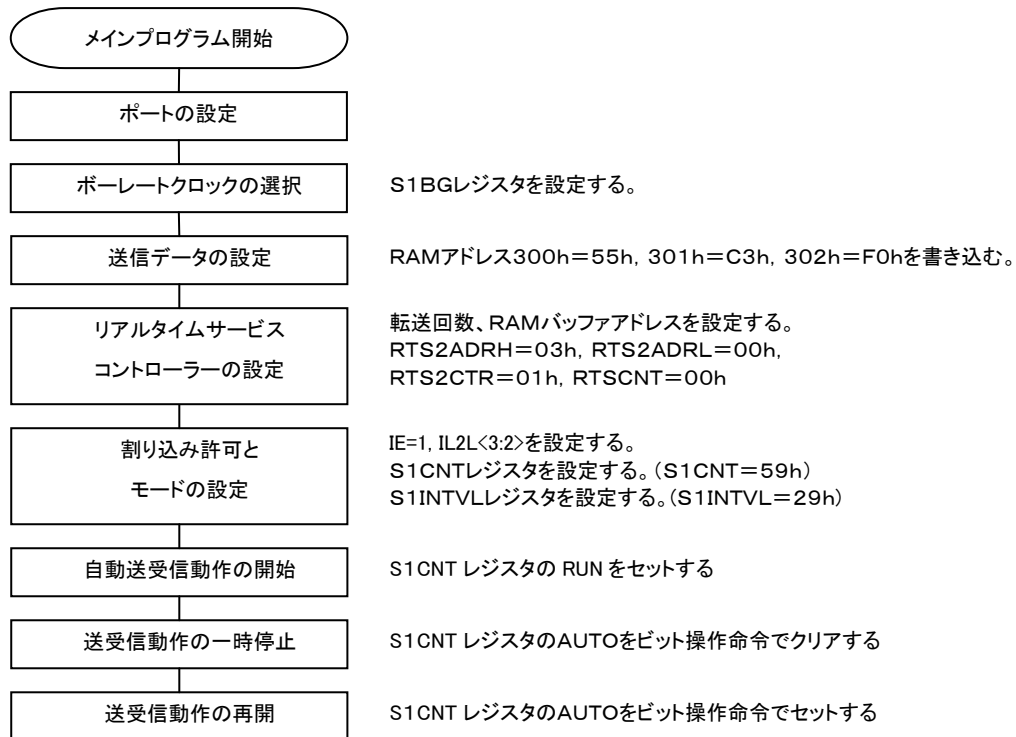
内部クロック、MSB先頭、受信データ開始RAMバッファアドレス200番地、インターバル=2、受信ビット数17、P43=L出力の場合

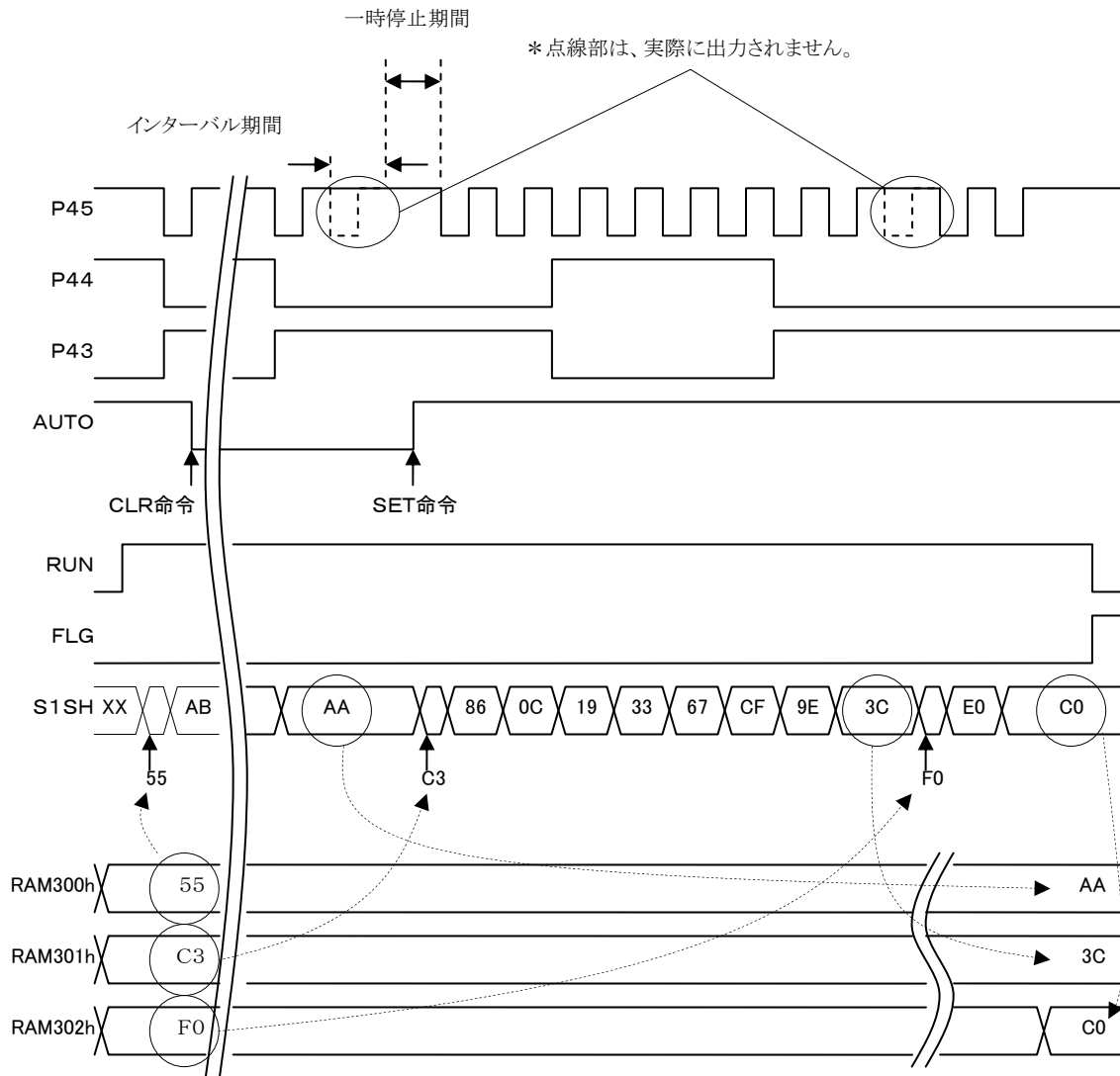




3-27-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、インターバル=1、送受信ビット数18、一時停止後、通信再開の場合





SIO1

3-27-6-8 SIO1通信のポート設定

① データ送信専用ポート(P43)の設定

レジスタ設定				P43の状態	FAST/SLOW
P4FSA<3>	P4DDR<3>	P4LAT<3>	P4FSB<3>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW

② データ送受信ポート(P44)の設定

レジスタ設定				P44の状態	FAST/SLOW
P4FSA<4>	P4DDR<4>	P4LAT<4>	P4FSB<4>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW
1	1	1	1	入力 (受信)	—

③ クロック用ポート(P45)の設定

レジスタ設定				P45の状態	FAST/SLOW
P4FSA<5>	P4DDR<5>	P4LAT<5>	P4FSB<5>		
1	1	0	0	CMOS 出力 (内部クロック)	FAST
1	0	1	1	CMOS 出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	—

3-28 シリアルインターフェース4 (SIO4)

3-28-1 概要

本シリーズは、次の機能を持ったシリアルインターフェース(SIO4)を備えています。

- ① 同期式8ビットシリアルI/O(2線式または3線式または4線式、1ビット～8ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル)(注1)
- ② ウェークアップ機能(2線式または3線式または4線式、外部クロックモードのみ)
- ③ 連続データ自動通信機能(9ビット～32768ビットのビット単位毎可変のデータ通信、転送クロック4～512サイクル、バイト間のインターバル)

(注1)

SIO4のボーレートクロックソースは、システムクロックから選択できます。ボーレートクロックソースの1周期を、以下“サイクル”と表記します。

3-28-2 機能

3-28-2-1 動作モード

SIO4は、レジスタ設定により以下のモード設定が選択できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F80	0000 0000	R/W	S4CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE
7F81	0000 0000	R/W	S4BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	S4BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F83	0000 0000	R/W	S4INTVL	CSEN	SNBIT			XCHNG	INTVL		

① モード0

2線式または3線式または4線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。

1ビット～8ビットのビット単位毎可変のデータ通信ができます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注:n=0は禁止)の範囲で可変です。

ウェークアップ機能は、このモードのみ使用できます。

② モード1

自動送信・自動受信・自動送受信の三つ自動通信機能があり、内部クロックと外部クロックのどちらでも使用できます。

9ビット～32768ビットのビット毎可変のデータ通信を行います。

リアルタイムサービスコントローラでRAMバッファアドレスと転送回数を指定し使用します。

自動送信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S4BUF)へ自動転送されます。

自動受信時の受信データは、データバッファ(S4BUF)から、指定したRAMバッファアドレスへ指定回数分、自動転送されます。

SIO1

自動送受信時の送信データは、指定したRAMバッファアドレスのデータを指定回数分データバッファ(S4BUF)へ自動転送され、受信データは、データバッファ(S4XBUF)からRAMへ自動転送されます。受信データは、送信データが格納されていたRAM領域に上書きされます。

内部クロックの周期は $(n+1) \times 2$ サイクル($n=1 \sim 255$, 注: $n=0$ は禁止)の範囲で可変です。

バイト間のインターバル時間は(内部クロックの周期) $\times n$ [サイクル]
($n=0, 1, 2, 4, 8, 16, 32, 64$)の範囲で可変です。

3-28-2-2 割り込みの発生

割り込み要求許可ビットが設定されている場合、通信の終了もしくは、オーバーランで割り込み要求を発生します。

3-28-2-3 HALTモード時の動作

HALTモード時、すべての動作モードで動作します。

HALTモードの解除をSIO4の割り込みで行うことができます。

3-28-2-4 ウェークアップ機能

モード0のみ使用できる機能です。

外部クロック時、HOLD/HOLDXモードの解除に使用することができます。

3-28-2-5 特殊機能レジスタ(SFR)の操作

SIO4をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・S4CNT、S4BG、S4BUF、S4INTVL
- ・PALAT、PADDR、PAFSA、PAFSB
- ・IL2H
- ・RTS3ADRL、RTS3ADRH、RTS3CTR、RTSCNT

3-28-3 回路構成

3-28-3-1 SIO4制御レジスタ(S1CNT) (8ビットレジスタ)

- ① SIO4の動作、割り込みの制御を行います。

3-28-3-2 SIO4ボーレート制御レジスタ(S1BG) (8ビットレジスタ)

- ① 内部クロック発生用のリロードカウンタです。
- ② $(n+1) \times 2$ サイクル($n=1 \sim 255$)周期のクロックを発生できます。
外部クロックを使用する場合は、S4BG=00[H]で使用してください。

3-28-3-3 SIO4シフトレジスタ(S4SH) (8ビットシフトレジスタ)

- ① SIO4のデータ転送・受信のためのシフトレジスタです。
- ② 命令で直接アクセスできません。S4BUFを通してアクセスします。

3-28-3-4 SIO4Xデータバッファ(S4XBUF) (8ビットレジスタ)

- ① モード1の自動送受信の受信データを格納するレジスタです。
- ② 命令で直接アクセスできません。

3-28-3-5 SIO4データバッファ(S4BUF) (8ビットレジスタ)

データの送信・受信をこのレジスタを通して行います。

- ① モード0の送信・受信をこのレジスタを通して行います。
- ② モード1の自動送信時、RAMから送信データが自動転送されます。
- ③ モード1の自動受信時、受信データをRAMへ自動転送します。
- ④ モード1の自動送受信時、RAMから送信データが自動転送されます。
- ⑤ 命令で直接アクセスできます。

3-28-3-6 SIO4インターバルレジスタ(S4INTVL) (8ビットレジスタ)

- ① モード1時、バイト間のインターバル時間の設定を行います。
- ② モード1の、自動送受信の設定を行います。
- ③ 端数ビットを指定します。

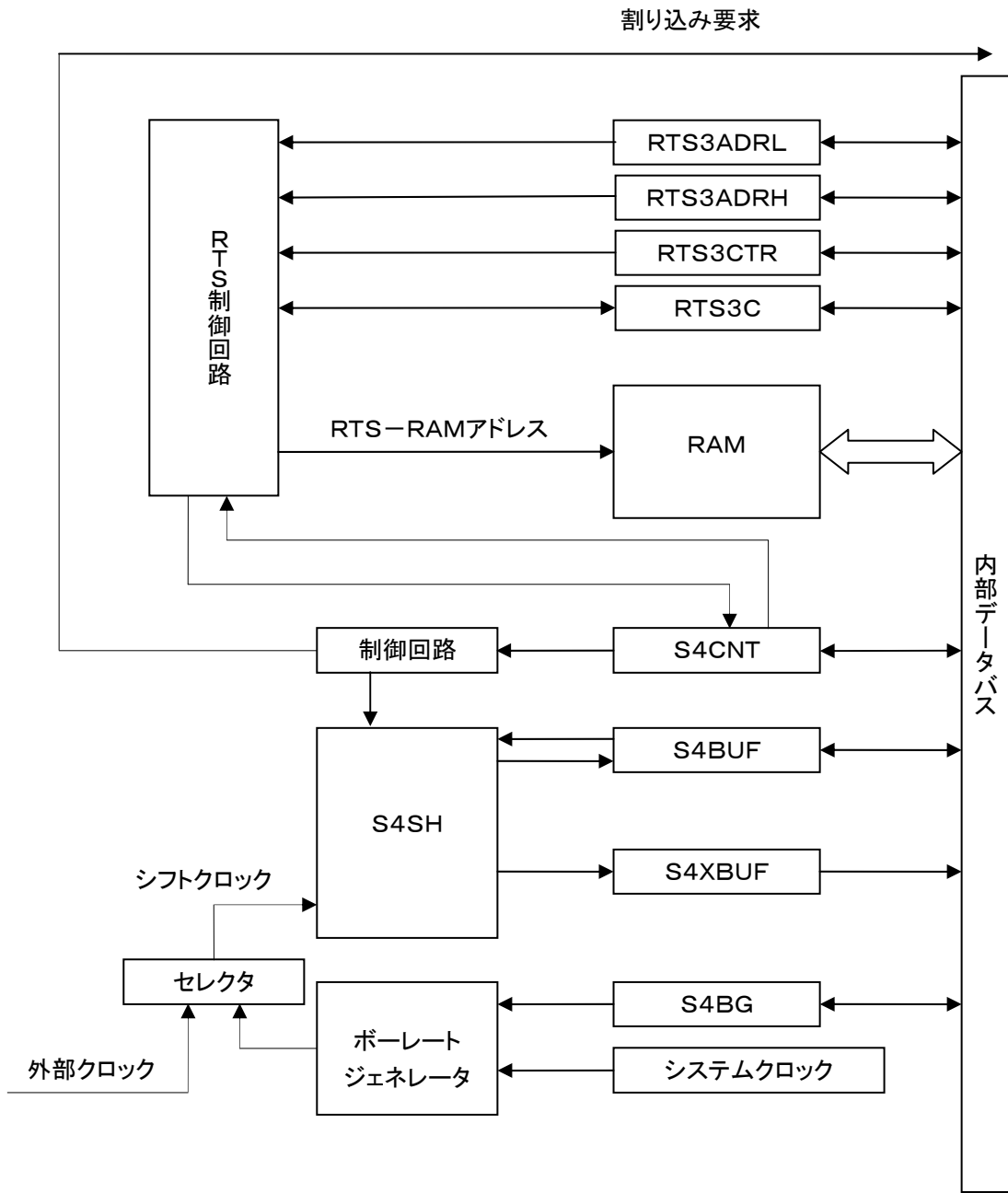


図 3-28-1 SIO4のブロック図

3-28-4 関連レジスタ

3-28-4-1 SIO4制御レジスタ(S4CNT)

①SIO4モジュールの動作、割り込みを制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F80	0000 0000	R/W	S4CNT	WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE

WAKEUP(ビット7):ウェークアップ機能

0:ウェークアップ機能禁止。

1:ウェークアップ機能許可。

*モード0時のみウェークアップ機能は、使用できます。

WAKEUPをセットするとAUTOは、0固定になります。

REC(ビット6):受信モード設定

0:送信モードです。

1:受信モードです。

RUN(ビット5):SIO4動作フラグ

①このビットが1の時SIO4は動作中です。セットは命令で行います。

②動作中に命令でクリアすると通信を強制終了します。この場合、IEも同時にクリアしてください。

③モード0時、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

④モード1の自動送信時は、最終転送クロックの立ち上がりから終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

⑤モード1の自動受信/自動送受信時は、最終受信データをRAMに転送終了後、終了処理が開始し、FLGがセットされ、自動的にこのビットがクリアされます。

AUTO(ビット4):自動通信モード設定

①このビットが0の時、モード0になります。

②WAKEUPがセットされると、AUTO=0固定になります。

③このビットが1の時、モード1になります。

④モード1の通信中(AUTO=RUN=1)、このビットにCLR命令を実行すると自動通信を一時停止(AUTO=0、RUN=1)することができます。通信中のバイトが通信終了で一時停止状態になります。この際、FLGはセットされません。通信を再開させるには、このビットにSET命令を実行(AUTO=RUN=1)すると、自動通信を再開します。

*注意:動作停止中にAUTOをセット・クリアする際は、ビット操作命令を使わず、バイト操作命令を使用してください。

MSB(ビット3):MSB/LSB先頭選択

0:LSB先頭になります。

1:MSB先頭になります。

SIO1

OVRUN (ビット2) : オーバーランフラグ

- ① RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ② モード0時、RUNをセット後、開始処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ③ モード0時、最終転送クロックの立ち上がり後、終了処理中に入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ④ モード1の自動送信時、RAMからS1BUFへ自動転送され通信が開始するまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑤ モード1の自動受信・自動送受信時、最終転送クロックの立ち上がり後、S1BUF・S1XBUFのデータがRAMに自動転送され、終了処理が終わるまでに、入力クロックの立ち下がりを検出するとこのビットはセットされます。
- ⑥ このビットを読んで通信が正常に行われたかどうか判断してください。
- ⑦ このビットのクリアは命令で行ってください。

FLG (ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

IE (ビット0) : 受信割り込み許可

- ① このビットとFLGが1の時、ベクタアドレス008030Hへの割り込み要求が発生します。
- ② このビットとOVRUNが1の時、ベクタアドレス008030Hへの割り込み要求が発生します。

3-28-4-2 SIO4ボーレート制御レジスタ(S4BG)

① シリアル転送の転送レートを設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F81	0000 0000	R/W	S4BG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

転送レートは

$$TS4BG = (S4BGの設定値 + 1) \times 2 \text{ サイクル}$$

S4BGの設定値 = 1 ~ 255であり、TS4BGの設定範囲は、4 ~ 512サイクルとなります。

外部クロックを使用する場合は、S4BG = 00 [H] で使用してください。

3-28-4-3 SIO4データバッファ(S4BUF)

- ①シリアル転送データを格納する8ビットのバッファレジスタです。
- ②送信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
- ③受信モード設定時はシリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	S4BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-28-4-4 SIO4インターバルレジスタ(S4INTVL)

- ①自動通信モードに関する設定と通信ビット数の指定を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F37	0000 0000	R/W	SIINTVL	CSEN	SNBIT			XCHNG	INTLV		

CSEN(ビット7): 4線式通信スレーブ(チップセレクトモード)設定

- ①このビットが1のとき、モード0およびモード1で、4線式通信スレーブ(チップセレクトモード)に設定されます。
- ②4線式通信マスタの場合、このビットを0に設定してください。
- ③動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

SNBIT(ビット6~4):

- ④端数ビットの指定を行います。
- ⑤動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

XCHNG(ビット3): 自動送受信

- ①このビットが1の時、モード1の自動送受信になります。
- ②動作中(RUN=1)にセット/クリアをしないでください。必ず、動作停止中(RUN=0)に、設定してください。また、自動通信モード以外(AUTO=0)でこのビットをセットすると誤動作します。

INTVL(ビット2~0):

- ①モード1時のみ有効です。通信バイト間に挿入されるインターバル時間を設定します。外部クロック選択時は、適用されません。
- ②インターバル時間[サイクル]=

$$((S4BG\text{の}\text{設定値} + 1) \times 2) \times \text{インターバル設定値}$$
- ③S4SHとS4BUF、S4XBUF間のデータ転送に6サイクル必要なため、バイト間のサイクル数(シリアルクロックの立ち上がりから立ち下がりまで)を6サイクル以下に設定しても、そのサイクル数で動作できません。
- ④また、リアルタイムサービスコントローラのRTS制御レジスタの設定(バススチール要求禁止/ウェイト要求禁止)によっては、必ずしもS4INTVLで設定するインターバル時間になるとは限りません。
- ⑤動作中(RUN=1)に変更しないでください。変更すると、誤動作します。必ず、動作停止中(RUN=0)に、設定してください。

表 3-28-1 INTVLと挿入される転送クロック数

INTVL	転送クロック数
000	0
001	1
010	2
011	4
100	8
101	16
110	32
111	64

表 3-28-2 SIO4の動作モード

WAKEUP	XCHNG	AUTO	REC	モード
0	0	0	0	モード0:送信
0	0	0	1	モード0:受信/送受信
1	0	0	0	モード0:ウェークアップ送信
1	0	0	1	モード0:ウェークアップ受信/送受信
0	0	1	0	モード1:自動送信
0	0	1	1	モード1:自動受信
0	1	1	1	モード1:自動送受信

3-28-5 転送ビット数の設定

3-28-5-1 モード0時の設定方法

転送ビットは、SNBITで設定します。

表 3-28-3を参照してください。

例:5ビット通信の場合

SNBIT=101となります。

3-28-5-2 モード1時の設定方法

$n = ((X+1) \times 8) + N$ で転送ビット数を指定します。

($n=9$ ビット~ 32768 ビット、 $X=0$ ~ 4094 、 $N=1$ ~ 8 ビット)

Xの設定は、RTS3CTR、RTS3ADRLで設定します。

$X = (((RTS3ADRL) \ll 8) \& 0x0F00) + (RTS3CTR \& 0x00FF)$

Nの設定は、SNBITで設定します。

表 3-28-3を参照してください。

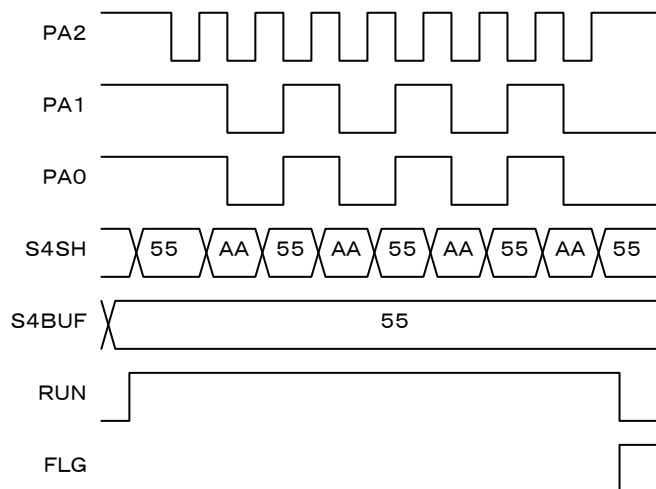
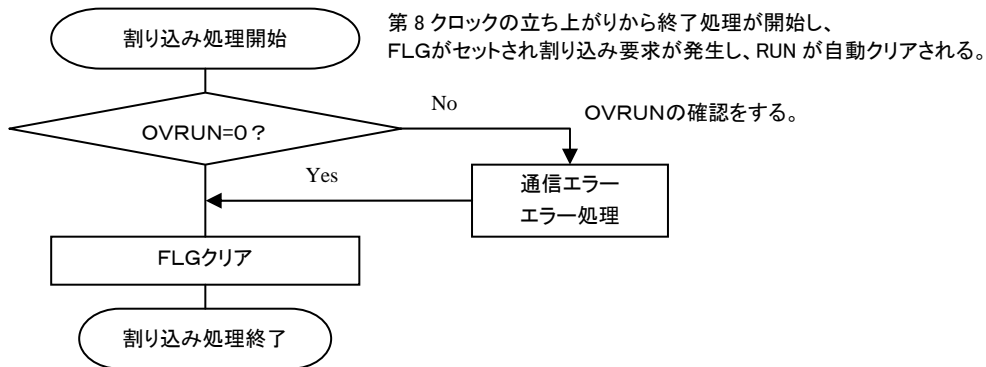
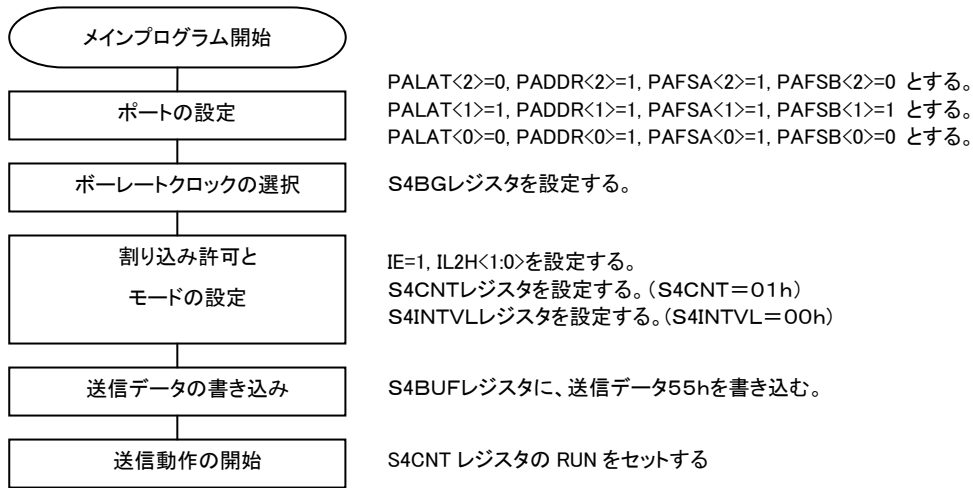
表 3-28-3 ビット数の設定

SNBIT	ビット数
000	8
001	1
010	2
011	3
100	4
101	5
110	6
111	7

3-28-6 SIO4通信の具体例

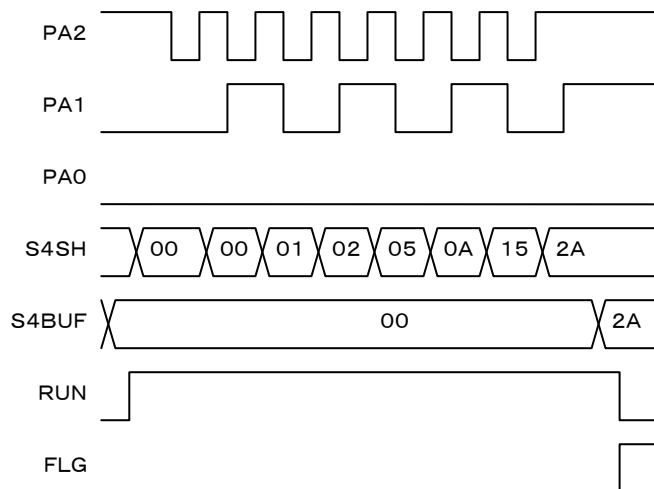
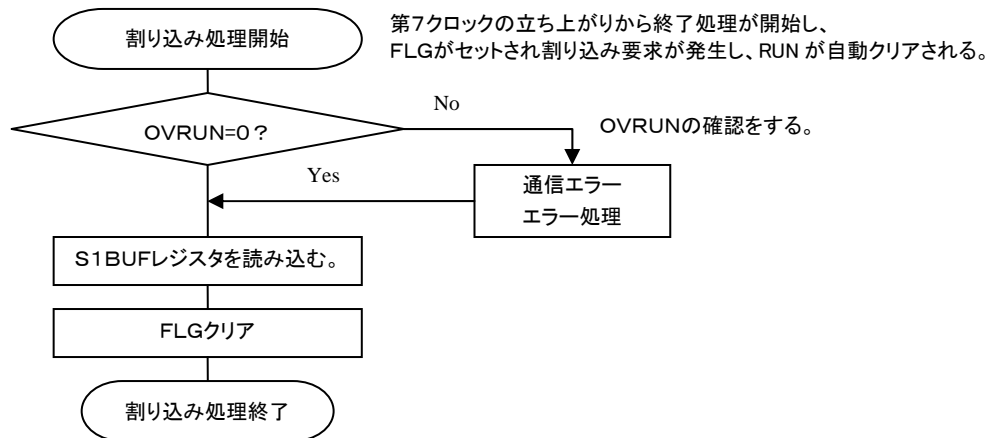
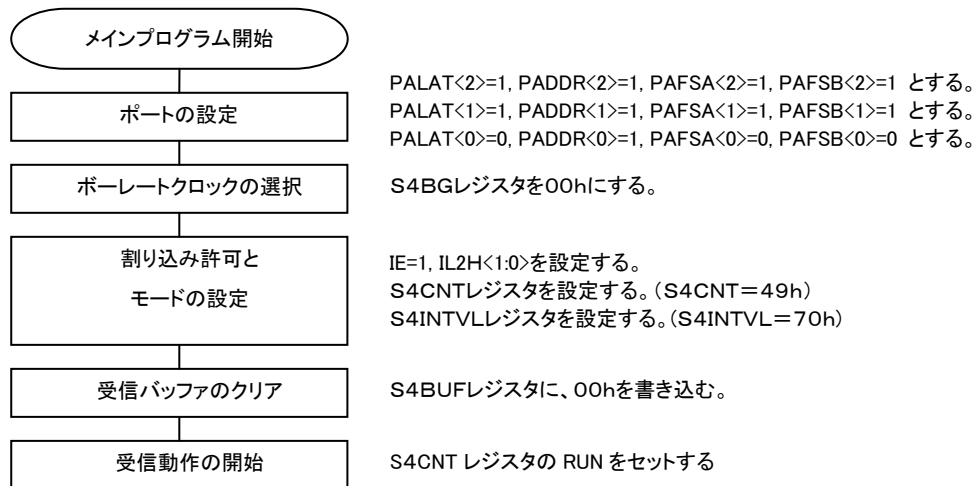
3-28-6-1 モード0(送信)の具体例

内部クロック、LSB先頭、送信データ55h、送信ビット数8の場合



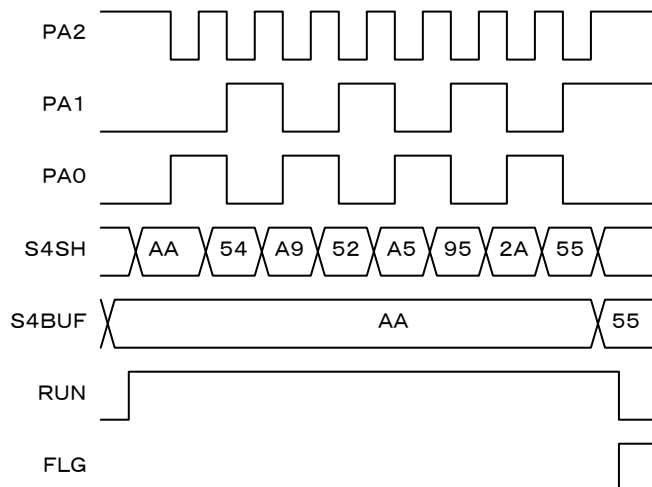
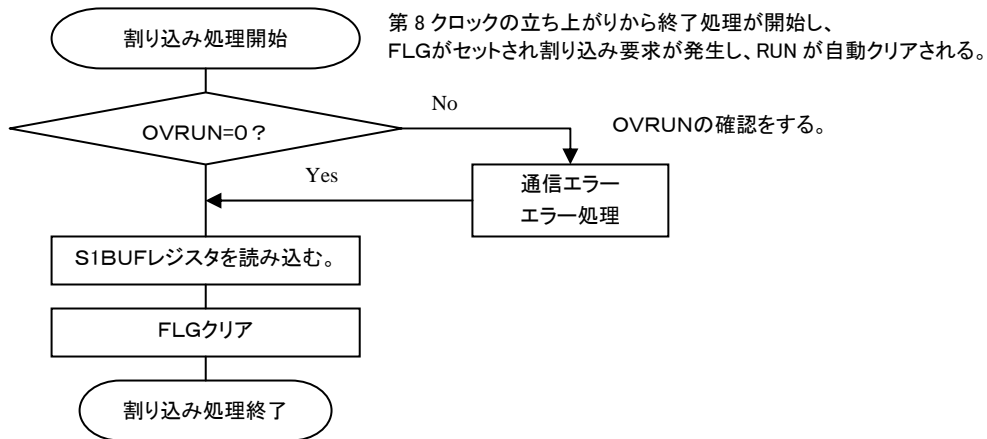
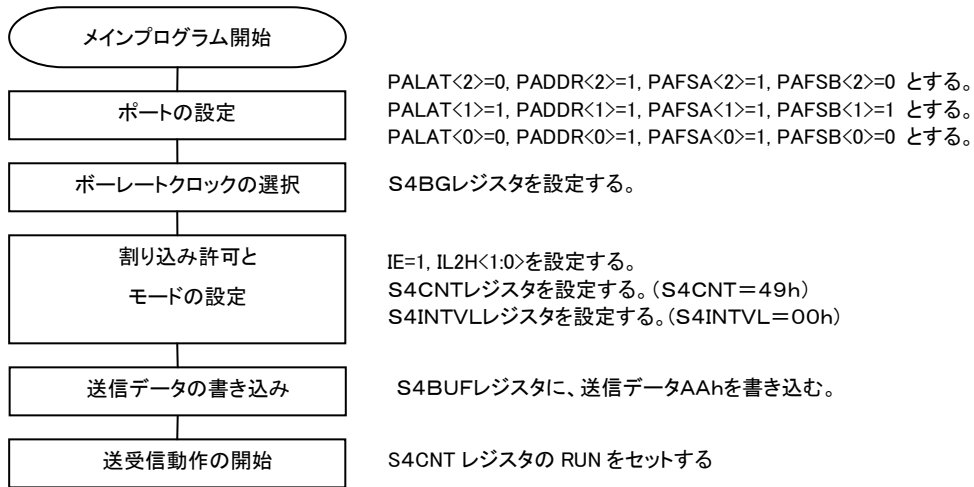
3-28-6-2 モード0(受信)の具体例

外部クロック、MSB先頭、PA0=L出力、受信データ2Ah、受信ビット数7の場合



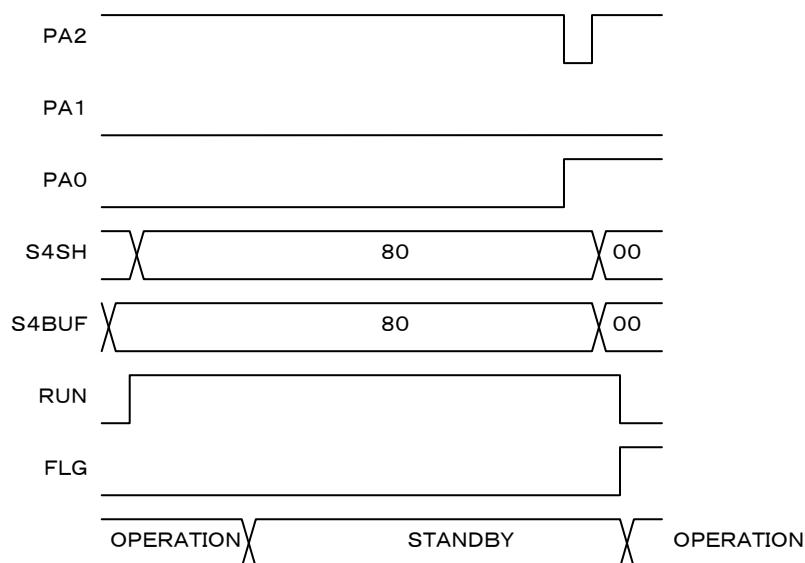
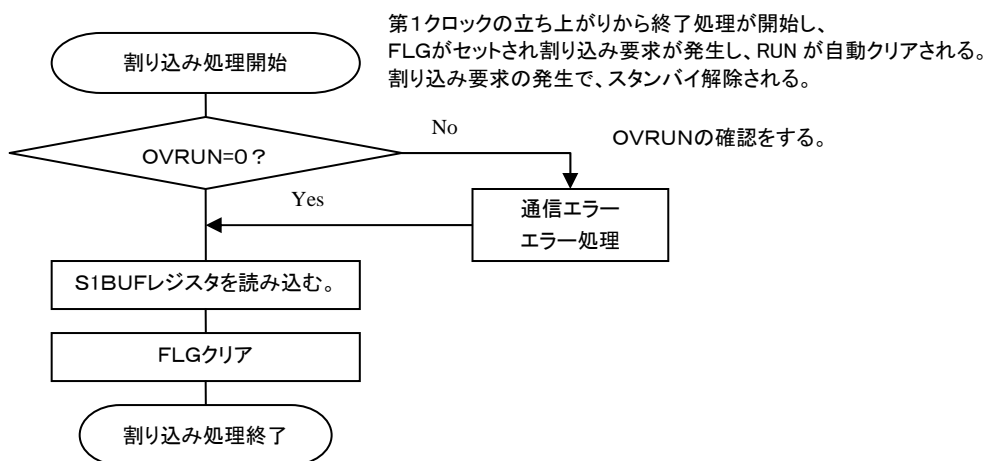
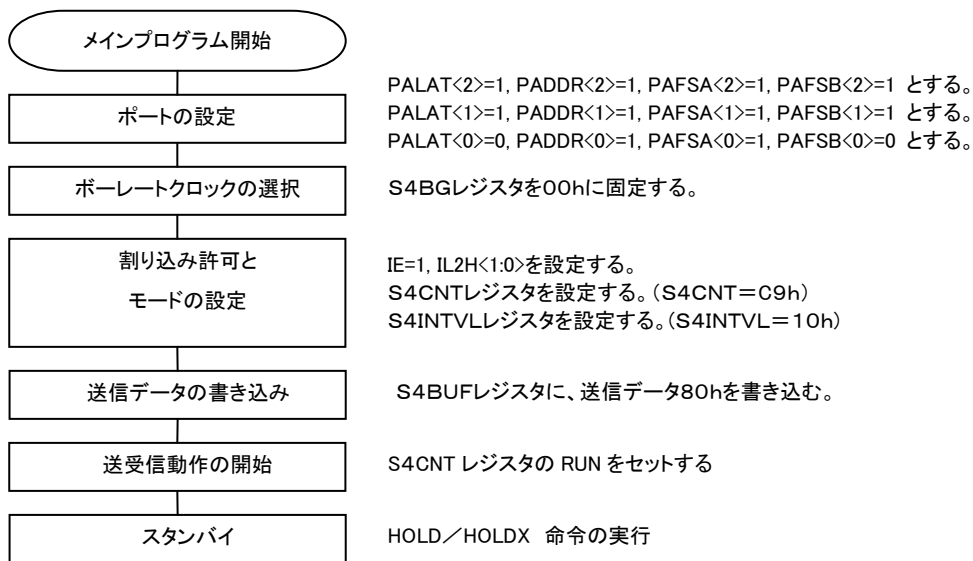
3-28-6-3 モード0(送受信)の具体例

内部クロック、MSB先頭、受信データ55h、送信データAAh、送受信ビット数8の場合



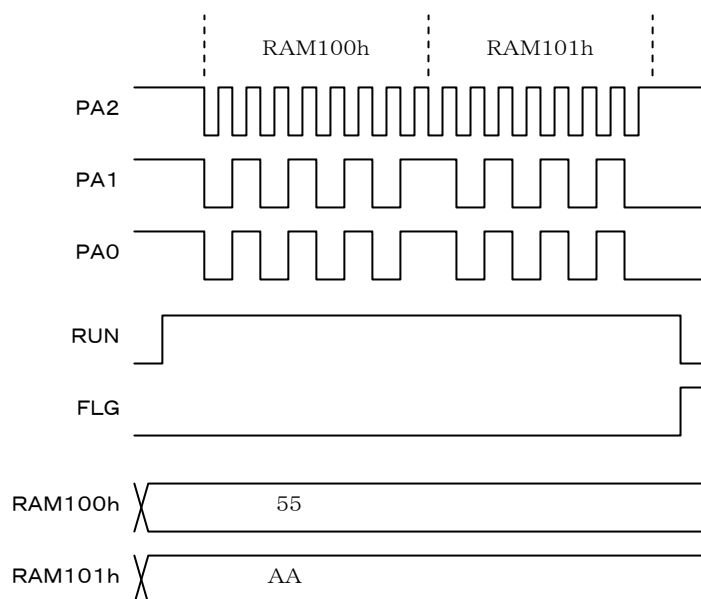
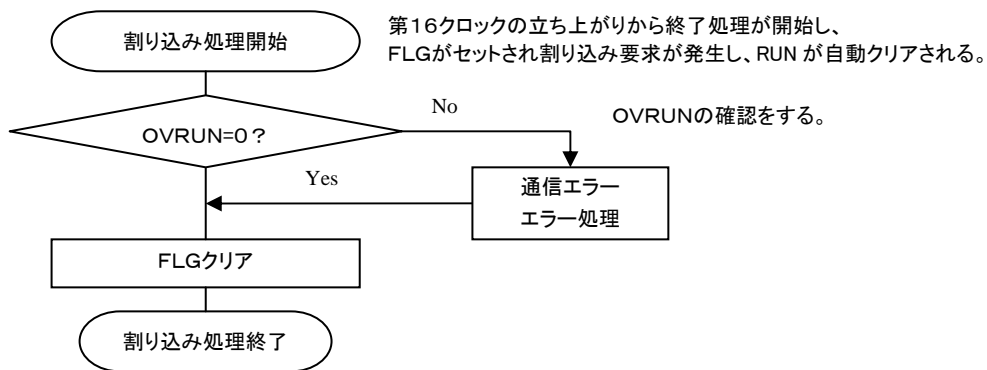
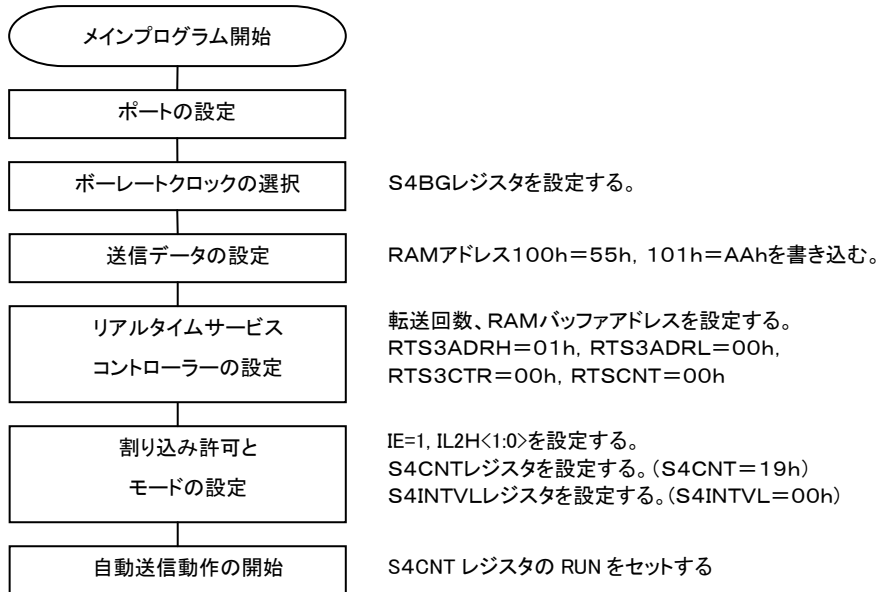
3-28-6-4 モード0(送受信・ウェークアップ)の具体例

外部クロック、MSB先頭、受信データ00h、送信データ80h、送受信ビット数1の場合



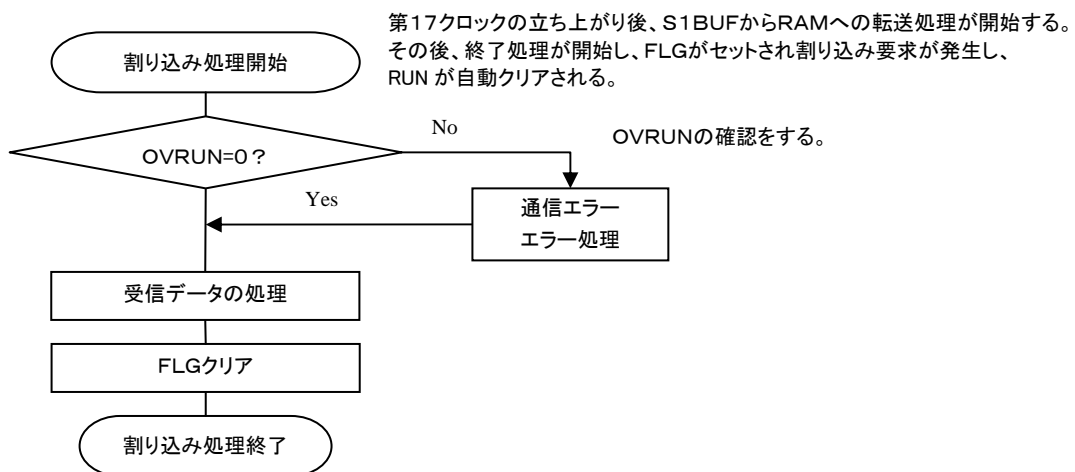
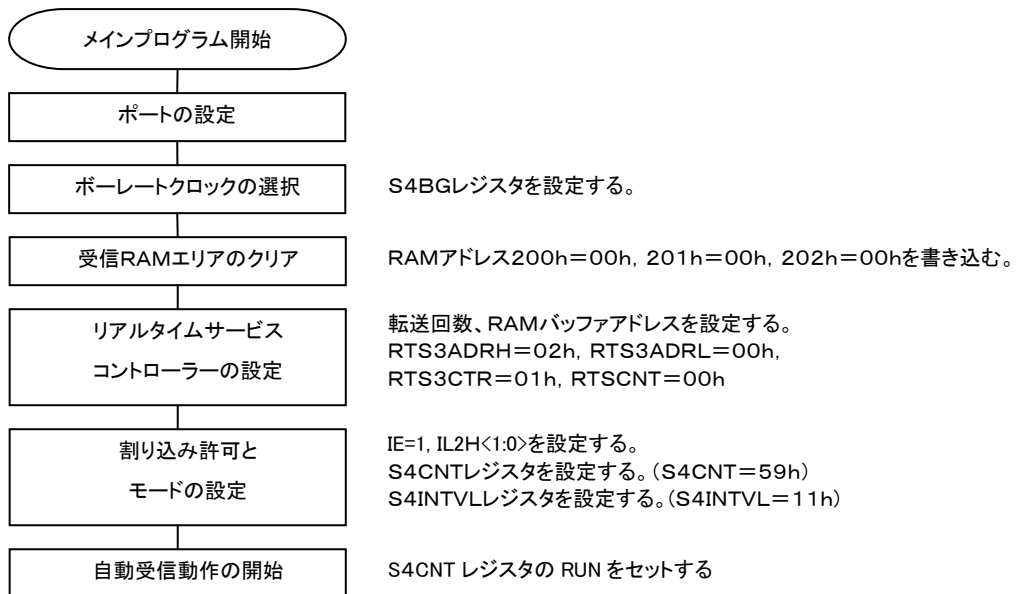
3-28-6-5 モード1(自動送信)の具体例

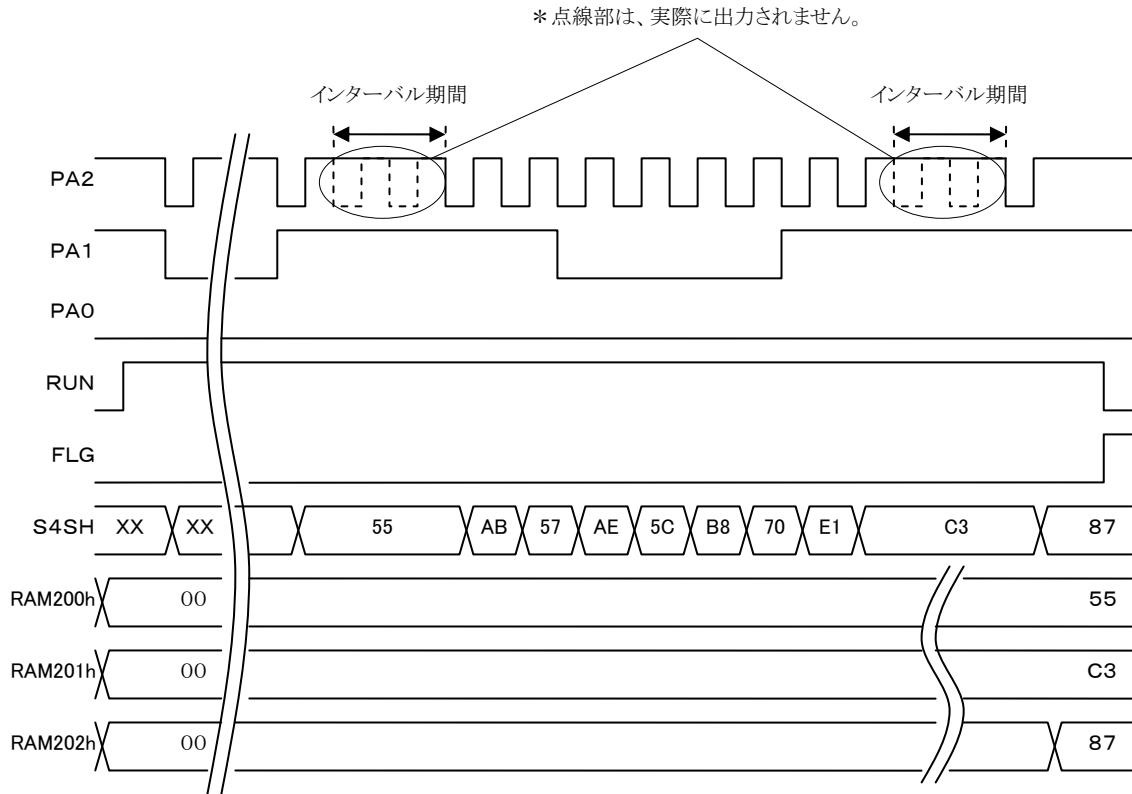
内部クロック、MSB先頭、送信データ開始 RAMバッファアドレス100番地、インターバル=0、送信ビット数16の場合



3-28-6-6 モード1(自動受信)の具体例

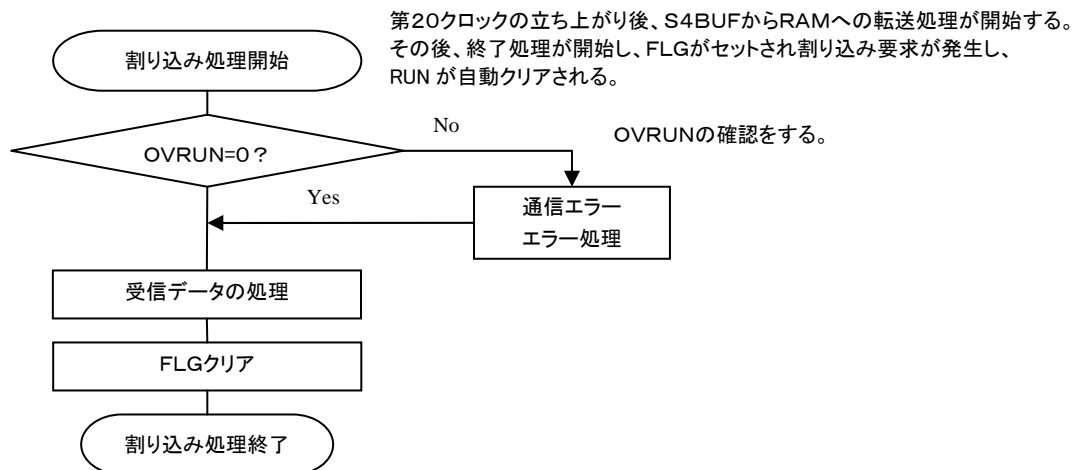
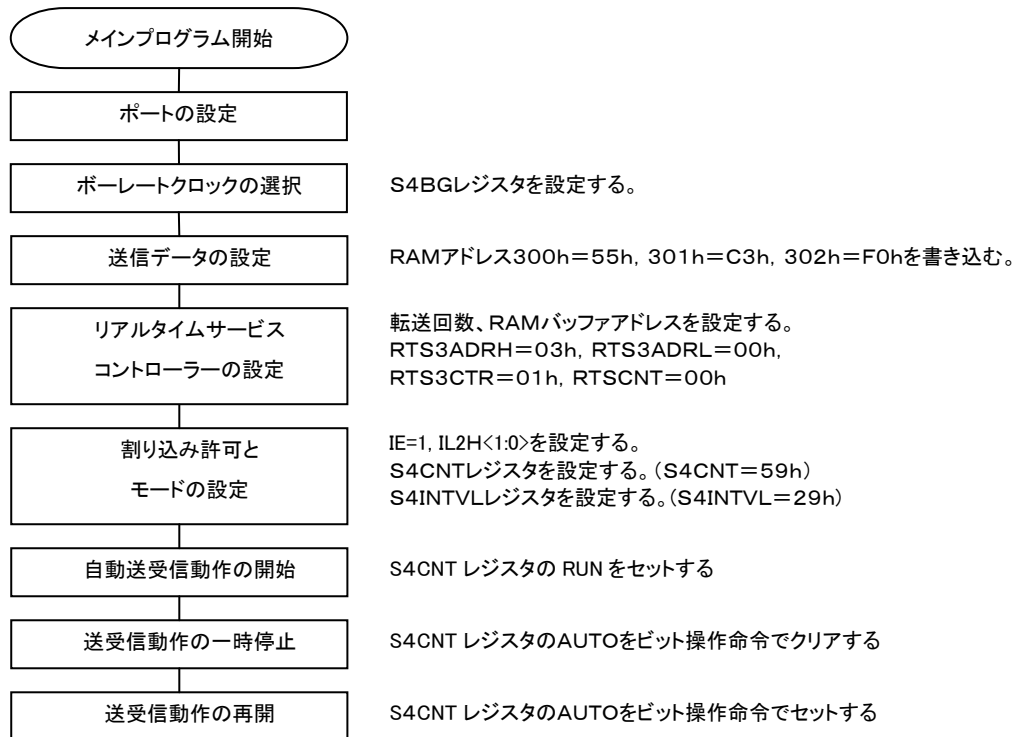
内部クロック、MSB先頭、受信データ開始RAMバッファアドレス200番地、インターバル=2、受信ビット数17、PA0=L出力の場合

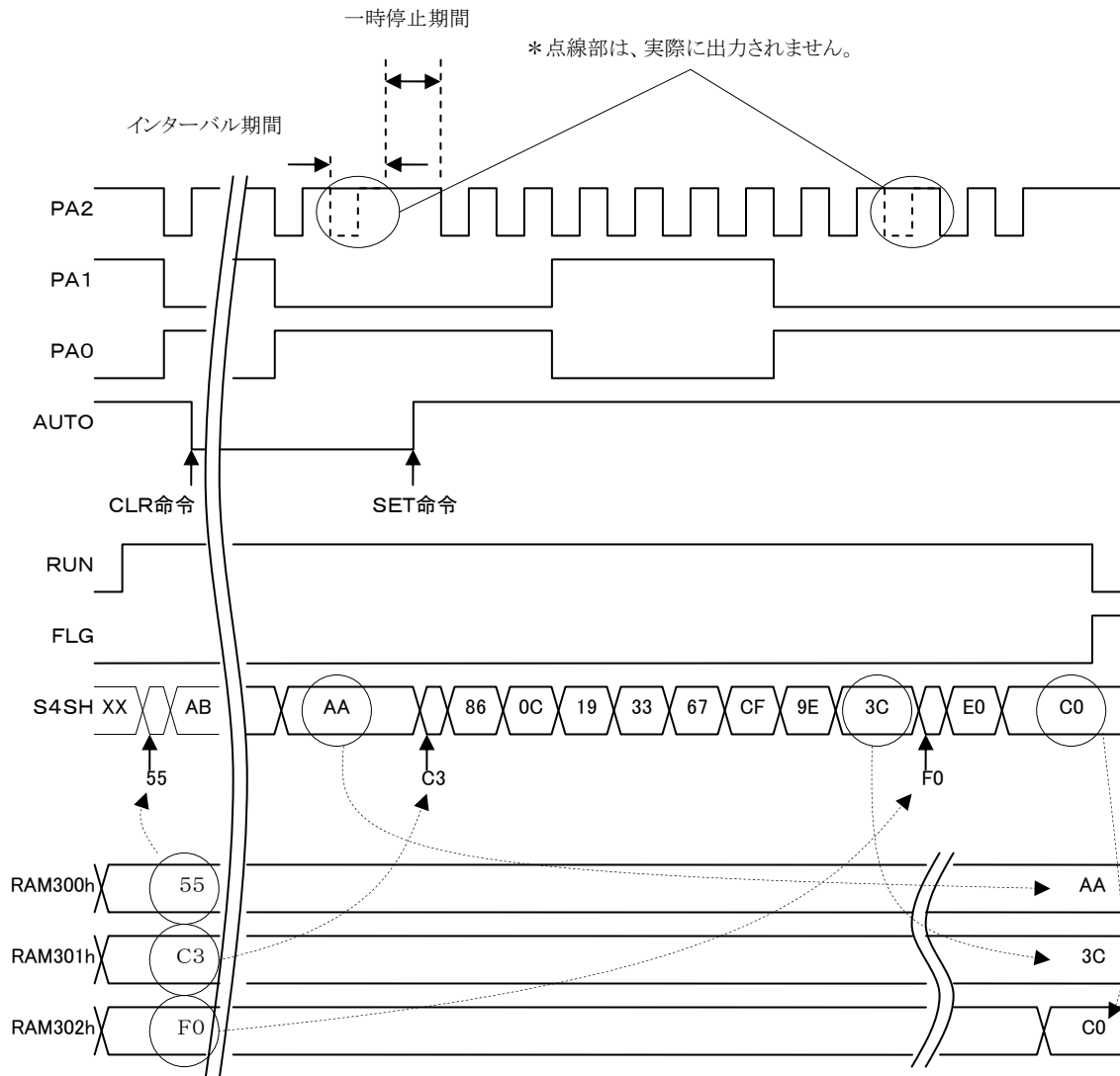




3-28-6-7 モード1(自動送受信)の具体例

内部クロック、MSB先頭、送受信データ開始RAMバッファアドレス300番地、インターバル=1、送受信ビット数18、一時停止後、通信再開の場合





SIO1

3-28-6-8 SIO4通信のポート設定

① データ送信専用ポート(PA0)の設定

レジスタ設定				PA0の状態	FAST/SLOW
PAFSA<0>	PADDR<0>	PALAT<0>	PAFSB<0>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW

② データ送受信ポート(PA1)の設定

レジスタ設定				PA1の状態	FAST/SLOW
PAFSA<1>	PADDR<1>	PALAT<1>	PAFSB<1>		
1	1	0	0	CMOS 出力 (送信)	FAST
1	0	1	1	CMOS 出力 (送信)	SLOW
1	1	1	1	入力 (受信)	—

③ クロック用ポート(PA2)の設定

レジスタ設定				PA2の状態	FAST/SLOW
PAFSA<2>	PADDR<2>	PALAT<2>	PAFSB<2>		
1	1	0	0	CMOS 出力 (内部クロック)	FAST
1	0	1	1	CMOS 出力 (内部クロック)	SLOW
1	1	1	1	入力 (外部クロック)	—

④ チップセレクト入力用ポート(PA3)の設定※

レジスタ設定				PA3の状態	FAST/SLOW
PAFSA<3>	PADDR<3>	PALAT<3>	PAFSB<3>		
1	1	1	1	入力	—

※4線式通信スレーブ時に設定する必要があります。

4線式通信マスタ時は、設定の必要はありません。

3-29 SMIIC0 (Single-master I²C)

3-29-1 概要

本シリーズが内蔵しているI²Cバス機能は、次の2つの機能を持ちます。

- ① single-masterのマスターモードによるI²C通信 (注)
- ② 同期式8ビットシリアルI/O (2線式または3線式、データMSB先頭)

(注) 本モジュールはアドレスのコンパレータ機能を持っていません。よって、single-masterのスレーブモードとして使用する場合や、multi-masterのI²C通信を行う場合は、アドレス比較やその他の処理をソフトウェアによって行う必要があります。

3-29-2 回路構成

3-29-2-1 I²C制御レジスタ0 (SMIC0CNT) (8ビットレジスタ)

- ① I²C-BUSのモード制御を行います。
- ② 割り込みの制御を行います。

3-29-2-2 I²Cステータスレジスタ0 (SMIC0STA) (8ビットレジスタ)

- ① I²C-BUSの各イベント検出フラグ。
- ② ACKデータの制御を行います。

3-29-2-3 I²Cボーレート制御レジスタ0 (SMIC0BRG) (8ビットレジスタ)

- ① SDA・SCL取り込み部ノイズフィルタのクロック周波数制御を行います。
- ② SCLクロックの周波数を制御します。

3-29-2-4 I²Cデータバッファ0 (SMIC0BUF) (8ビットレジスタ)

- ① データの送受信をこのレジスタを通して行います。

3-29-2-5 I²Cポート制御レジスタ0 (SMIC0PCNT) (8ビットレジスタ)

- ① I²Cポートの制御を行います。

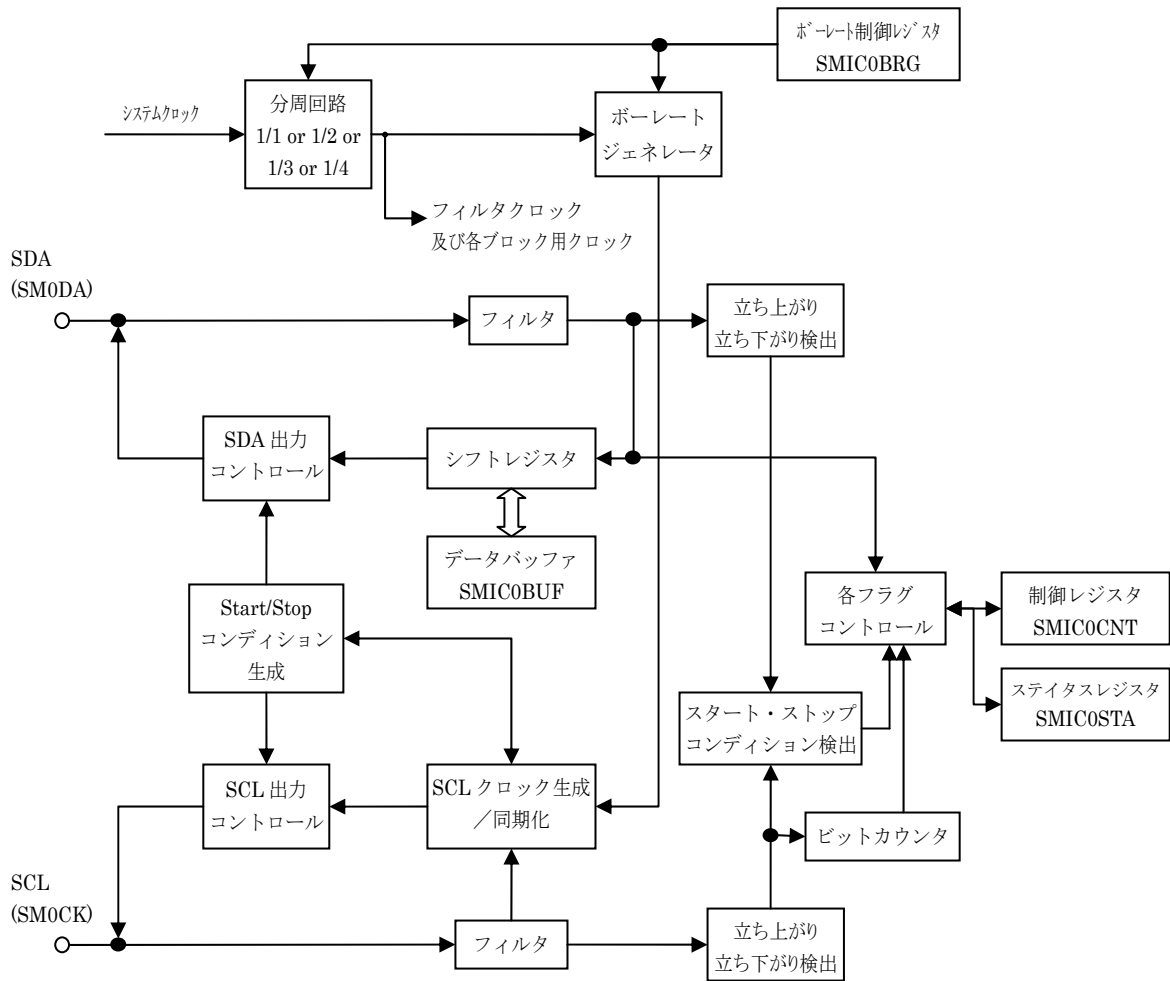


図 3-29-1 SMIIC0 ブロック図

3-29-3 関連レジスタ

3-29-3-1 I²C制御レジスタ0 (SMIC0CNT)

① SMIICモジュールの動作制御を行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F60	0000 0000	R/W	SMIC0CNT	RUN	MST	TRX	SCL8	MKC	BB	END	IE

RUN (ビット7) : SMIIC0動作許可

このビットが1の時、SMIIC0モジュールが動作状態となります。
このビットが0の時、SMIIC0モジュールは動作停止します。

MST (ビット6) : マスタ・スレーブ制御ビット

・I²Cモード時 (SMD=0)

このビットが1の時、マスターモードとして動作します。

(スタート・ストップコンディションの生成、転送クロックの送出を行う)

このビットが0の時、スレーブモードとして動作します。

(クロック出力は行わない。マスタが送出するクロックに同期して、データの送受信を行う)

MSTがリセットされる条件

① ストップコンディションを検出した時

② アービトレーションロストを検出した時

アービトレーションロストを検出後、1バイトの転送終了までは、このビットはクリアされずに、クロックの送出を続けます。
アービトレーションロスト後、割り込み要因フラグENDがセットされるタイミングで、MSTフラグはクリアされます。

・同期式8ビットシリアルモード時 (SMD=1)

このビットを1にすることで、8ビットの通信を開始します。

MSTがリセットされる条件

① 第8クロックの立ち上がりで、リセットされます

TRX (ビット5) : トランスマッタ・レシーバ制御

・I²Cモード時 (SMD=0)

このビットが1の時、トランスマッタとして動作します。

このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

① ストップコンディションを検出した時

② アービトレーションロストを検出した時

③ スレーブモード時に、スタートコンディションを検出した時

SMIIC0

- ・同期式8ビットシリアルモード時 (SMD=1)
このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

SCL8(ビット4):第8クロック立ち下がり時の割り込み制御

- ・I²Cモード時 (SMD=0)
このビットが1の時、第8クロックの立ち下がり、割り込み要求が発生します。
このビットが0の時、第8クロックの立ち下がり、割り込み要求が発生しません。

SCL8がセットされる条件

- ①スタートコンディションの検出

このビットは、自動的にクリアされません。命令でクリアしてください。

- ・同期式8ビットシリアルモード時 (SMD=1)
このビットは、0にして使用してください。

MKC(ビット3):スタート・ストップコンディション生成制御

- ・I²Cモード時 (SMD=0)
このビットは、書き込み専用のビットで、スタート or ストップコンディションを生成させる時に、1を書き込みます(このビットを読み込んだ時は、常に0が読み込まれます)。
- ・同期式8ビットシリアルモード時 (SMD=1)
このビットは、0にして使用してください。

BB(ビット2):バスビジーフラグ(R/O)

- ・I²Cモード時 (SMD=0)
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
読み出し専用のBBは、バスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。
このビットが1の時は、I²Cバスは使用状態であることを示します。
スタートコンディションを生成する時には、このビットが0であることと、SDA、SCLがともに‘H’レベルであることを確認してから行ってください(再スタートコンディションを生成する場合を除きます)。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

BBがセットされる条件

- ① スタートコンディションの検出

BBがリセットされる条件

- ① ストップコンディションの検出
- ② RUN=0の場合

BBW(ビット2): スタート・ストップコンディション生成制御

ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。書き込み専用のBBWは、このレジスタ(SMIC0CNT:07F60h)のビット6, 5, 3と同時にMOV命令で値を書き込むことで、スタート・ストップコンディションの生成を制御します。

- ・割り込み要求発生許可制御 IE=1とした場合

SMIC0CNTに、EDhを書き込み : スタートコンディションを生成

SMIC0CNTに、E9hを書き込み : ストップコンディションを生成

- ・割り込み要求発生許可制御 IE=0とした場合

SMIC0CNTに、EChを書き込み : スタートコンディションを生成

SMIC0CNTに、E8hを書き込み : ストップコンディションを生成

※ スタート・ストップコンディションの生成に関しては、3-29-6 スタートコンディション/ストップコンディションの章を参照してください。

- ・同期式8ビットシリアルモード時(SMD=1)

このビットは、読み出し専用で、MST(ビット6)と同一値が読み出されます。

END(ビット1): 割り込み要因フラグ

- ・I²Cモード時(SMD=0)

データの転送終了及びストップコンディションでセットされます。

このビットが1で、かつSCLが‘L’レベルの場合、マスタ・スレーブモードにかかわらず、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

ENDがセットされる条件

- ① SCL8=1の場合の、第8クロック立ち下がり
- ② アッククロックの立ち下がり
- ③ ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。このビットをクリアする前に、バッファSMIC0BUFへのデータセット/データ読み出しを完了してください。

SMIIC0

- ・同期式8ビットシリアルモード時 (SMD=1)
データの転送終了時にセットされます。

ENDがセットされる条件

- ① 第8クロック立ち上がり

このビットは自動的にクリアされません。命令でクリアしてください。

IE (ビット0) : 割り込み要求発生許可制御

このビットとENDがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

3-29-3-2 I²Cステータスレジスタ0 (SMIC0STA)

① I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F61	0000 0000	R/W	SMIC0STA	SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK

SMD (ビット7) : I²C / 同期式8ビットシリアルモード切り替え

このビットが1の時、同期式8ビットシリアルモードで動作します。

また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。

このビットが0の時、I²C通信モードで動作します。

また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

RQL9 (ビット6) : アッククロックタイミング検出フラグ (R/O)

第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時 (SMD=1)、このビットは使用しません。リードすると、0が読まれます。

STD (ビット5) : スタートコンディション検出フラグ

スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件

- ① スタートコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時 (SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

SPD(ビット4):ストップコンディション検出フラグ

ストップコンディションを検出するとセットされるフラグです。

SPDがセットされる条件

- ① ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時(SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

AL(ビット3):アービトレーションロスト検出フラグ

マスターモード時に、アービトレーションロストを検出するとセットされるフラグです。

ALがセットされる条件

- ① マスタトランスミッタモード時の第1～第8クロックの立ち上がりタイミングと、マスタレシーバー時の第9クロック立ち上がりタイミングで、内部SDA値が‘H’でSDA端子レベルが‘L’の場合
- ② スタートコンディション重複防止機能により、スタートコンディション生成が禁止された場合

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時(SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

OVR(ビット2):オーバーラン検出フラグ

- ・I²Cモード時(SMD=0)

BB(07F60hのビット2) バスビジーフラグが0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件

- ① BB=0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

SMIIC0

- ・同期式8ビットシリアルモード時 (SMD=1)
MST(07F60hのビット6)0の時に、SCLラインのクロック信号立ち下がり
を検出するとセットされるフラグです。

OVRがセットされる条件

- ① MST=0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

TAK(ビット1):アックロック時のSDA制御ビット

マスタレシーバ・スレーブレシーバモード時に、アックロックタイミングでSDAに
このビットの値が出力されます。

マスタトランスミッタ・スレーブトランスミッタモード時は、このビットのデータにか
かわらず、ACKクロックタイミングでSDA='H'レベルを出力します。

TAKがセットされる条件

- ① ストップコンディションを検出した時
- ② アービトレーションロストを検出した時
- ③ スレーブモード時に、スタートコンディションを検出した時

※同期式8ビットシリアルモード時 (SMD=1)、このビットは0で使用してくだ
さい。

RAK(ビット0):受信アックリッジデータ格納ビット(R/O)

アックリッジ受信データが格納されます。

このビットは、トランスミッタ・レシーバ両モードともに、アックロック時のSDAデ
ータの値が格納されます。

RAKがセットされる条件

- ① アックロック立ち上がりタイミングで、SDA='H'レベルの時

RAKがリセットされる条件

- ① アックロック立ち上がりタイミングで、SDA='L'レベルの時

このビットは読み出し専用です。このビットを命令により直接、書き換えること
はできません。

※同期式8ビットシリアルモード時 (SMD=1)、このビットは使用しません。リ
ードすると、0が読まれます。

3-29-3-3 I²Cボーレート制御レジスタ0 (SMIC0BRG)

① SDA、SCLフィルタクロック周波数及びSCLクロック周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F62	0000 0000	R/W	SMIC0BRG	BRP		BRDQ	BRD				

BRP (ビット7、6) : フィルタクロック制御

BRP	フィルタクロック周期 (Tfilt)
00	Tcyc × 1
01	Tcyc × 2
10	Tcyc × 3
11	Tcyc × 4

※ Tcycはシステムクロック周期

BRPは、フィルタクロック周期 Tfiltが以下の範囲になるように設定してください。

$$250\text{nsec} \geq \text{Tfilt} > 140\text{nsec}$$

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns × 1 = 250ns
6MHz	00	166ns × 1 = 166ns
7MHz	00	143ns × 1 = 143ns
8MHz	01	125ns × 2 = 250ns

BRDQ (ビット5) : SCLクロック周波数制御

このビットは、標準クロックモード時は1に、高速クロックモード時は0に設定してください。

BRD (ビット4~0) : SCLクロック周波数制御

BRDの5ビットの設定値を n とすると、SCLクロック周期 Tfsckは、以下の計算式で設定されます。

BRDQ = 0の時 (高速クロックモード)

$$\text{Tfsck} = \text{Tfilt} \times (\text{n} + 1) \times 2$$

BRDQ = 1の時 (標準クロックモード)

$$\text{Tfsck} = \text{Tfilt} \times (\text{n} + 1) \times 8$$

SCLクロック周波数 fsckは、以下の計算式で設定されます。

BRDQ = 0の時 (高速クロックモード)

$$\text{fsck} = 1 / (\text{Tfilt} \times (\text{n} + 1) \times 2)$$

BRDQ = 1の時 (標準クロックモード)

$$\text{fsck} = 1 / (\text{Tfilt} \times (\text{n} + 1) \times 8)$$

SMIIC0

※Tfiltは、システムクロック周波数と、フィルタクロック制御ビットBRP(SMIC0BRGのビット7, 6)によって設定されるフィルタクロック周期です。

※I²C通信モードで使用する場合(SMD=0)は、BRDの5ビットの設定値nは、4以上の値を設定してください。(0~3は設定禁止)

※同期式8ビットシリアルモードで使用する場合(SMD=1)は、このレジスタを次のように設定してください。

BRP(SMIC0BRGのビット7, 6) = 00

BRDQ = 0 or 1

BRDの5ビットの設定値nは、1以上の値を設定してください(0は設定禁止)

この時、出力クロック周波数f_{sck}は、以下の計算式で設定されます。

BRDQ = 0の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 2)$

BRDQ = 1の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 8)$

標準クロックモードBRDQ = 1

SCL周波数 (kHz)

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	100	※
05h	83.3	※
06h	71.4	※
07h	62.5	94.1
08h	55.6	83.7
09h	50	75.3
0Ah	45.5	68.5
0Bh	41.7	57.9
0Ch	38.5	53.8
0Dh	35.7	50.2
0Eh	33.3	47.1
0Fh	31.3	44.3
10h	29.4	41.8
11h	27.8	39.6
:	:	:
1Ch	17.2	25.9
1Dh	16.7	25.1
1Eh	16.1	24.3
1Fh	15.6	23.5

高速クロックモードBRDQ = 0

SCL周波数 (kHz)

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	400	※
05h	333.3	※
06h	328.7	※
07h	250	376.5
08h	222.2	334.7
09h	200	301.2
0Ah	181.8	273.8
0Bh	166.7	251
0Ch	153.8	231.7
0Dh	142.9	215.1
0Eh	133.3	200.8
0Fh	125	188.3
10h	117.6	177.2
11h	111.1	167.3
:	:	:
1Ch	69	103.9
1Dh	66.7	100.4
1Eh	64.5	97.23
1Fh	62.5	94.1

※I²Cバスの仕様範囲外

SMIIC0

3-29-3-4 I²Cデータバッファ0 (SMIC0BUF)

①受信データの格納、及び送信データを書き込むための8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F63	0000 0000	R/W	SMIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

•データの受信

•I²Cモード時 (SMD=0)

トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

•同期式8ビットシリアルモード時 (SMD=1)

送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC0BUFレジスタに転送されます。

•データの送信

•I²Cモード時 (SMD=0)

トランスミッタモード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①スタートコンディション検出時

②END=1の時に、SMIC0BUFに書き込みを行った時

•同期式8ビットシリアルモード時 (SMD=1)

データ送信モード時、SMIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①MST=0の時に、SMIC0BUFに書き込みを行った時

3-29-3-5 I²Cポート制御レジスタ0 (SMIC0PCNT)

①I²Cポートを制御するための4ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F68	LLLL 0000	R/W	SMIC0PCNT	-	-	-	-	SHDS	PHV	PCLV	PSLW

SHDS (ビット3) : SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV (ビット2) : I²Cポート電圧制御

このビットは1で使用してください。

PCLV (ビット1) : I²Cポート入力特性制御

このビットが1の時、P22, P23の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、P22, P23の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW(ビット0):I²CポートSLOW制御

このビットが1の時、P22, P23の出力特性は、SLOWとなります。

このビットが0の時、P22, P23ポートの出力特性は、P2LAT、P2DDR、P2FSA、P2FSBにより制御されます。

このビットを1にすると、P22, P23の出力信号の立ち下がり時間がSLOWモードとなりますが、P22, P23端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。

出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

3-29-3-6 SMIICポートの設定

①クロック入出力ポート(P22)の設定

レジスタデータ				ポートP22の状態	
P2FSA<2>	P2FSB<2>	P2LAT<2>	P2DDR<2>	出力	
1	1	1	1	オープン(同期式8ビットシリアルモード時外部クロック入力)	
1	0	0	1	クロック出力(CMOS)	
1	1	1	0	クロック出力(CMOS変化SLOW)	
1	1	0	1	クロック出力/I ² C SCL出力(Nchオープンドレイン)	

②データ入出力ポート(P23)の設定

レジスタデータ				ポートP23の状態	
P2FSA<3>	P2FSB<3>	P2LAT<3>	P2DDR<3>	入力	出力
1	1	1	1	可能(データ受信入力)	オープン
1	0	0	1	可能(データ受信入力)	データ出力(CMOS)
1	1	1	0	可能(データ受信入力)	データ出力(CMOS変化SLOW)
1	1	0	1	可能(データ受信入力)	データ出力/I ² C SDA出力(Nchオープンドレイン)

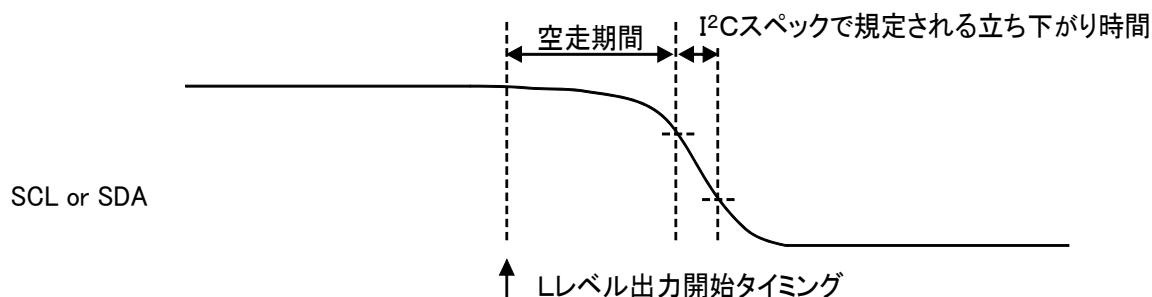
③データ出力ポート(P24)の設定(3線式同期式8ビットシリアルモード時に使用)

レジスタデータ				ポートP24の状態	
P2FSA<4>	P2FSB<4>	P2LAT<4>	P2DDR<4>	出力	
1	0	0	1	データ出力(CMOS)	
1	1	1	0	データ出力(CMOS変化SLOW)	
1	1	0	1	データ出力(Nchオープンドレイン)	

※ 本モジュールをI²Cモードで使用する時は、I²Cポート制御レジスタ0(SMIC0PCNT)のPCLV=1、P22, P23をI²C SCL出力(Nchオープンドレイン)、I²C SDA出力(Nchオープンドレイン)モードにして使用してください。

※ I²Cポート制御レジスタ0(SMIC0PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0(FASTモード)に設定してください。

※ 同期式8ビットシリアルモードで、外部クロックを使用する場合は、クロック入出力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-29-4 I²CポートSLOW設定時の注意事項図 3-29-2 I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-29-5 生成クロック波形とSCL立ち上がり時間

3-29-5-1 生成クロック波形

SCLクロック出力波形は、I²Cポーレート制御レジスタ0 (SMIC0BRG) で設定されたクロック周期 T_{fsc} に対して、DUTY50%で生成されます。

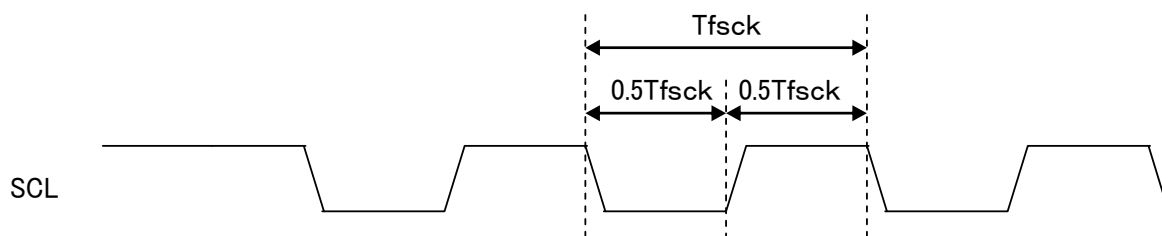


図 3-29-3 SCLクロック波形

高速モード時で、クロック周波数を400kHzに設定した場合、SCLのL期間は、(信号の立ち上がり、立ち下がり時間を無視した場合)1.25μsecとなり、I²Cバスインターフェース仕様 (min. 1.3μsec) を満足しません。これについては、以下のことを検討してください。

- ① 転送レートを下げて、仕様を満足するように設定する。
- ② プルアップ抵抗等外付けの調整により、立ち上がり・立ち下がり時間を調整する。

また、I²Cポートの出力特性をSLOWとした場合、L出力を開始してから、ポートがLレベルになる時間が長くなりますので、SCLのL期間がさらに短くなり、注意が必要です。

3-29-5-2 SCL立ち上がり時間

本モジュールはI²CモードでのSCLクロック出力時、他のマスタ又はスレーブがSCLラインをLにドライブした場合でも、クロックラインの立ち上がりタイミングを監視し、クロックのH幅を保証するために同期を取る動作を常に行っています。

SCLの立ち上がり時間は、I²Cバスインターフェース仕様で、高速モード300nsec標準モード1000nsec以内と定められています。

高速モード時は、SCL立ち上がり時間が最大300nsecであるので問題ありませんが、標準モード時、立ち上がり時間が($T_{filt} \times 2.5$)より遅い場合、この同期動作が働いてしまい、設定したクロック周波数よりも転送速度が遅くなってしまいます。

システムクロック	BRP	Tfilt	Tfilt×2.5
4MHz	00	250ns	625ns
6MHz	00	166ns	415ns
7MHz	00	143ns	357ns
8MHz	01	250ns	625ns

設定した転送レートで動作させるためには、SCLラインの立ち上がり時間が、上記表に示す $T_{filt} \times 2.5$ よりも短くなるように、プルアップ抵抗、負荷容量を設定してください。

3-29-6 スタートコンディション/ストップコンディション

3-29-6-1 スタート/ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I²Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

- ・スタートコンディション(S)
データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
- ・ストップコンディション(P)
データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

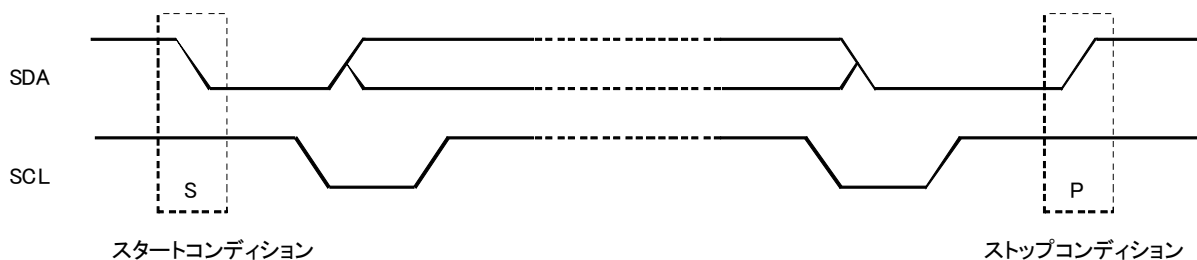


図 3-29-4 スタートコンディションとストップコンディション

3-29-6-2 スタートコンディション発生方法

SMIIC0動作許可ビットRUN (SMIIC0CNTのビット7)をあらかじめ1にしている状態で、I²C制御レジスタSMIIC0CNTに以下に示す値を書き込むことで、スタートコンディションの生成作業が始まります。

ただし、SMIIC0CNTのビット0は割り込み許可制御ビットなので、割り込みを許可 (IE = 1)するか、禁止 (IE = 0)するかによって、書き込むデータが異なります。

スタートコンディション発生方法

SMIIC0CNTに、EDhを書き込み (割り込みを許可する時)

SMIIC0CNTに、EChを書き込み (割り込みを許可しない時)

3-29-6-3 スタートコンディション生成タイミング

スタートコンディションを生成する前に、BBフラグ (SMIIC0CNTのビット2)が0であることを確認してください。

リセット後に本モジュールを動作開始させる場合は、以下の手順で行ってください。

- ① ポートの設定を行う (3-29-3-6 SMIICポートの設定を参照してください)
- ② SMIIC0BRGにより、フィルタクロック・ボーレートクロックの設定を行う。
- ③ RUN (SMIIC0CNTのビット7)に1をセットする。
- ④ ボーレートクロック数回分ウェイトし、BB (SMIIC0CNTのビット2)及び、OVR (SMIIC0STAのビット2)がともに0であることを確認する。
- ⑤ 他のマスタやスレーブデバイスにより、SDA・SCLラインが固定されていないか、SDA・SCLポートを読み込みとともに‘H’レベルであることを確認する。
- ⑥ ④・⑤がOKの場合、スタートコンディション命令を実行可と判断できる。
- ⑦ ④・⑤がNGの場合、本モジュール動作開始前に、他マスタがバスを使用開始したと判断し、ストップコンディション受信までウェイトする。(バスが異常な状態でロックされている場合などは、タイマを使用した、ウェイト時間のタイムアウト処理が必要となります)
- ⑧ シングルマスタの場合や、⑦のストップコンディションのウェイト動作がタイムアウトした場合などは、他のスレーブデバイスがバスをロックしていると判断し、プログラムによりP2DDRのビット2、ビット3を操作して、ストップコンディションを生成する必要があります。

手順1. P2DDRのビット2=0とし、SCL=Lとする。この時、SDA=Lの場合は、SCL=LかつSDA=H状態になるまで、P2DDRのビット2に1と0を交互に設定しSCLにクロックを送出する。

手順2. 以下のようにSDA,SCLラインの状態を変化させる。

1- SDA=H SCL=L (P2DDR ビット3=1、P2DDR ビット2=0)

2- SDA=L SCL=L (P2DDR ビット3=0、P2DDR ビット2=0)

3- SDA=L SCL=H (P2DDR ビット3=0、P2DDR ビット2=1)

4- SDA=H SCL=H (P2DDR ビット3=1、P2DDR ビット2=1)

(上記のようにポートを変化させる場合は、他のデバイスのset-up/hold時間を考慮する必要があります)

以下に、スタートコンディションの発生タイミングを示します。

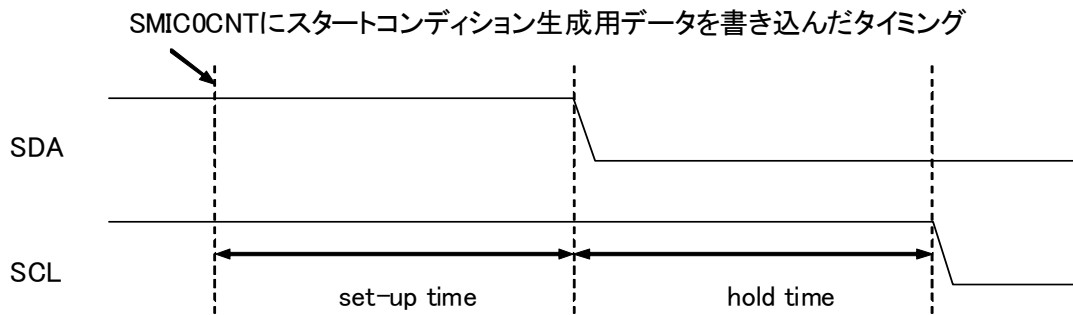


図 3-29-5 スタートコンディション発生タイミング

3-29-6-4 再スタートコンディション生成タイミング

マスタ通信モードで、スタートコンディション送出及びデータ送受信後に、ストップコンディションを生成せずに、送受信モードや通信先スレーブデバイスの切り替えを行うため、再度スタートコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ=1 (NACK)を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END (SMIC0CNTのビット1) = 1 かつ RQL9 (SMIC0STAのビット6) = 1となったことを確認する。END = 1の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC0BUFにスレーブアドレス7ビットとR/Wビットを設定する。
- ④ SMIC0CNTにスタートコンディション生成用データを書き込む。
- ⑤ SMIC0CNTにスタートコンディション生成用データを書き込むことで、END (SMIC0CNTのビット1) がクリアされ、再スタートコンディションのpre-set-up time経過後にSCLが開放される。このように、スタートコンディション命令により、ENDフラグのクリアが行われるので、IE (SMIC0CNTのビット0) = 1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのスタートコンディション命令を実行してください。

以下に、再スタートコンディションの発生タイミングを示します。

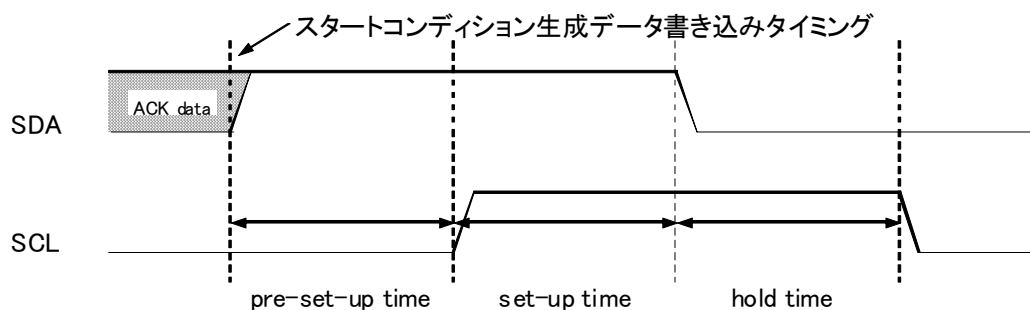


図 3-29-6 再スタートコンディション発生タイミング

3-29-6-5 ストップコンディション発生方法

ACKクロックの立ち下がり、END (SMIC0CNTのビット1) = 1となり、SCLに‘L’を継続出力している状態で、I²C制御レジスタSMIC0CNTに以下に示す値を書き込むことで、ストップコンディションの生成作業が始まります。

ただし、SMIC0CNTのビット0は割り込み許可制御ビットなので、割り込みを許可 (IE = 1) するか、禁止 (IE = 0) するかによって、書き込むデータが異なります。

ストップコンディション発生方法

SMIC0CNTに、E9hを書き込み (割り込みを許可する時)

SMIC0CNTに、E8hを書き込み (割り込みを許可しない時)

3-29-6-6 ストップコンディション生成タイミング

マスタ通信モードで、ストップコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ = 1 (NACK) を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END (SMIC0CNTのビット1) = 1 かつ RQL9 (SMIC0STAのビット6) = 1 となったことを確認する。END = 1 の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC0BUFにOFFhを設定する。
- ④ SMIC0CNTにストップコンディション生成用データを書き込む。
- ⑤ SMIC0CNTにストップコンディション生成用データを書き込むことで、END (SMIC0CNTのビット1) がクリアされ、ストップコンディションのpre-set-up time 経過後にSCLが開放される。このように、ストップコンディション命令により、ENDフラグのクリアが行われるので、IE (SMIC0CNTのビット0) = 1 として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのストップコンディション命令を実行してください。

以下に、ストップコンディションの発生タイミングを示します。

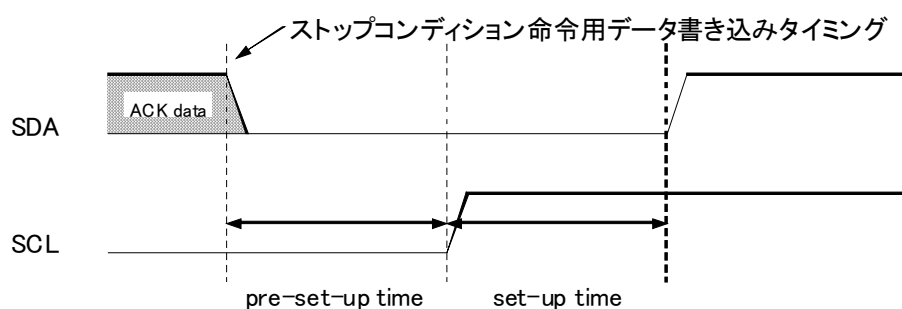


図 3-29-7 ストップコンディション発生タイミング

3-29-7 アービトレーションロスト

3-29-7-1 アービトレーション

アービトレーションとは通信許可のことであり、唯一のマスタがバスを制御できるようにする手続きです。アービトレーションは各デバイスのSDAをAND接続する（‘L’を出力したデバイスの影響で、SDAが‘L’になる）ことにより実現されます。この時、自分の出力とSDAの値が一致しないマスタは通信不許可となり、SDAに影響を与えないために以後の出力を‘H’に保持しなければなりません。このマスタとしての通信が不許可になった状態をアービトレーションロストといいます。アービトレーションロストの検出は、スタートコンディション生成時と、マスタ時のデータ送信時に行われます。

3-29-7-2 データ転送時のアービトレーションロスト

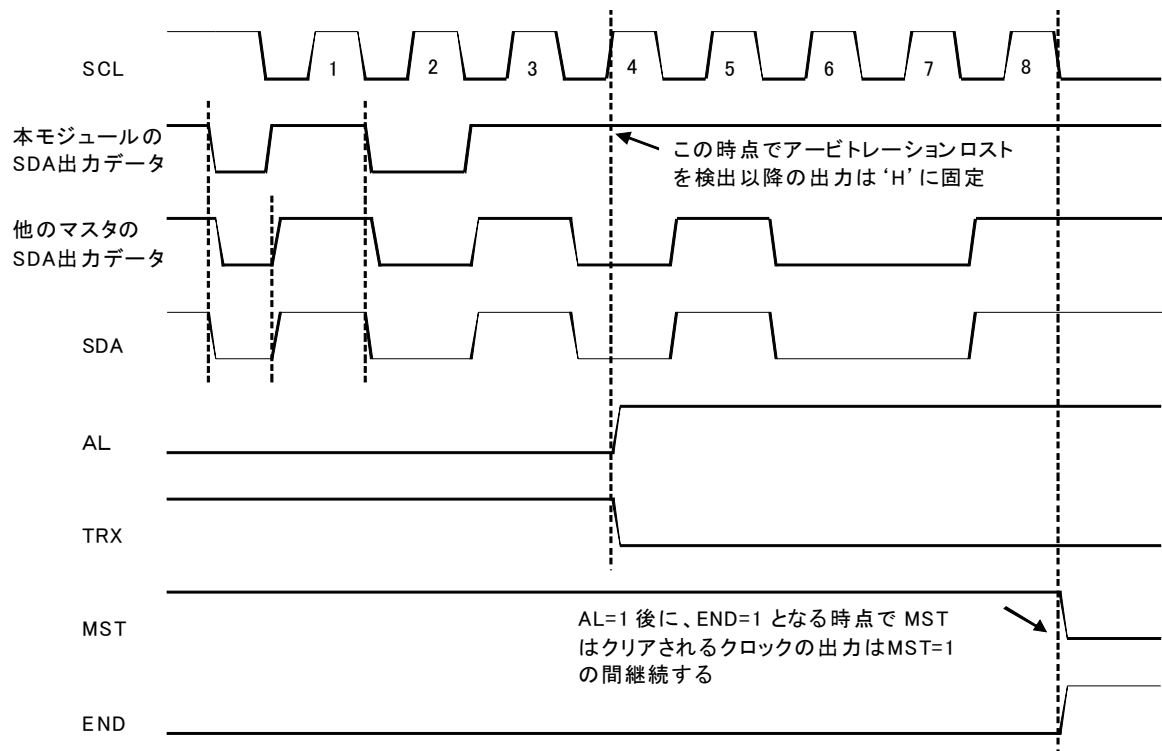


図 3-29-8 データ送信時のアービトレーションロスト

データ転送時のアービトレーションロストは、SCLの立ち上がり時のSDA値で判断されます。

図 3-29-8 の、第 4 クロック立ち上がり時点で内部 SDA 出力値が ‘H’ で、SDA の値が ‘L’ であるので、この時点でアービトレーションロストを検出し、AL=1 となります。

アービトレーションロストを検出することで、AL はセット、TRX はリセットされ、SDA 出力は ‘H’ に固定されます。MST はこの時点ではリセットされず、SCL クロックの送出手続きを継続します。

MST のクリアは、END がセットされるタイミングで起こります。SCL8 (SMIC0CNT のビット 4) が 1 の時は、第 8 クロックの立ち下がり、SCL8 が 0 の時は、第 9 クロックの立ち下がり、MST がクリアされ、クロックの送出手続きを停止します。

アービトレーションロストの検出は、マスタトランスミッタ時のデータ部（第 1～第 8 クロック）と、マスタレシーバ時の ACK 部（第 9 クロック）の送出手続きで行われます。

SMIIC0

アービトレーションロストを検出したマスタは、ストップコンディションが検出されるまでスレーブとして動作を継続する必要があります。

3-29-7-3 スタートコンディション送出時のアービトレーションロスト

スタートコンディション命令実行後、スタートコンディションが生成されるまでの間にアービトレーションロストが検出されるのは、以下の2条件の場合です。

- ① スタートコンディション命令実行時に、オーバーラン検出フラグOVR(SMICOSTAのビット2)または、スタートコンディション検出フラグSTD(SMICOSTAのビット5)が1の場合
- ② スタートコンディション生成作業中に、他のマスタの影響により予定時間より早くSDAが‘H’から‘L’に変化したことを検出した場合

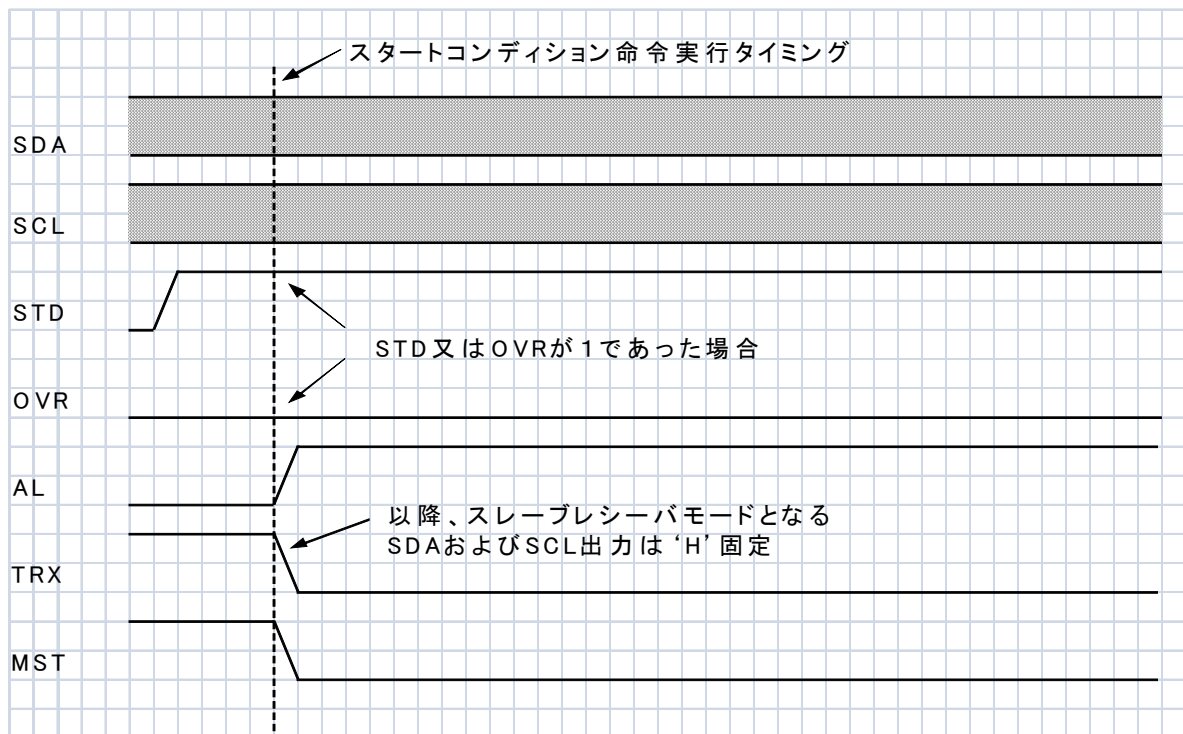


図 3-29-9 スタートコンディション生成時のアービトレーションロスト①

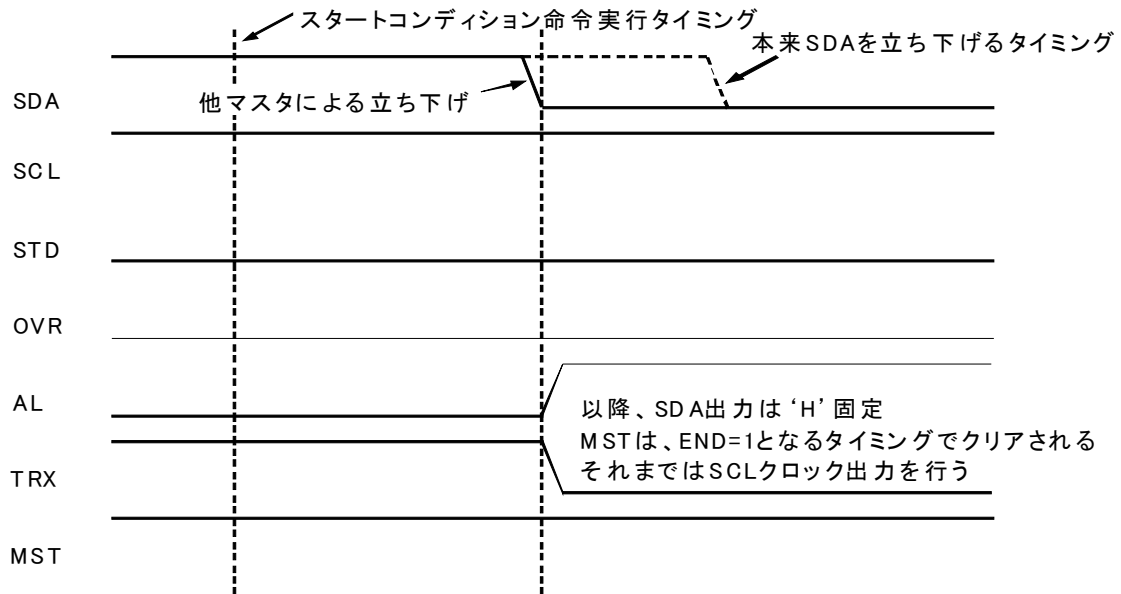


図 3-29-10 スタートコンディション生成時のアービトレーションロスト②

上記①の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、MSTとTRXはクリアされ、スレーブレシーバモードとなって、送られてくるアドレスを受信します。

上記②の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、TRXはクリアされますが、MSTはクリアされません。3-29-7-2データ転送時のアービトレーションロストの場合と同様に、クロックの送出を継続し、ENDがセットされるタイミングで、MSTはクリアされます。この時点で、スレーブレシーバモードとなり、プログラムにより受信したアドレスの処理を行います。

3-29-8 単純SIOモード通信の具体例

3-29-8-1 単純SIOモード1バイト送受信具体例

1. メインプログラム



2. 割り込み処理

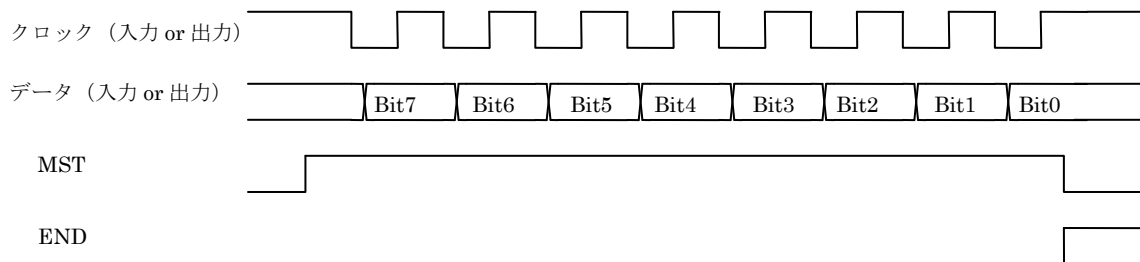
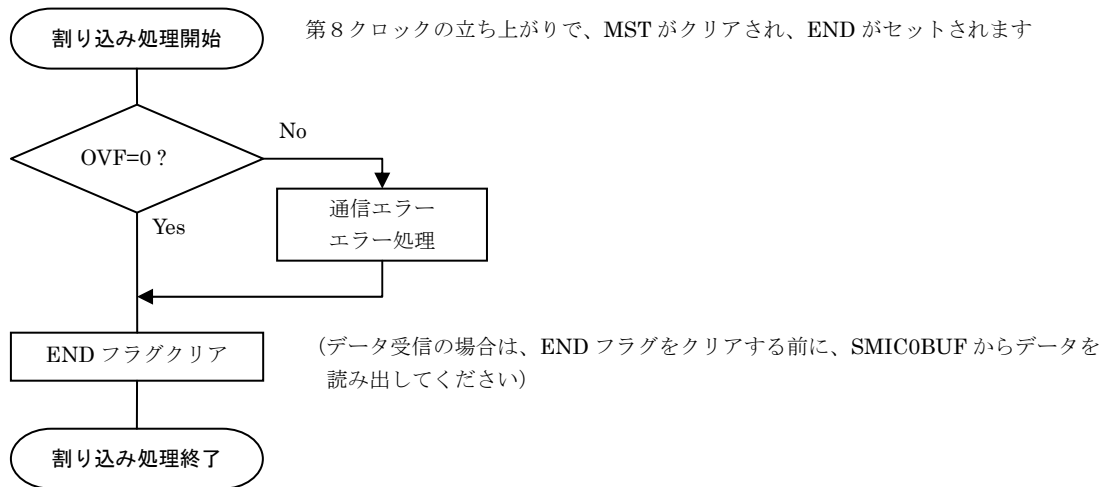


図 3-29-11 単純SIOモード1バイト送受信波形

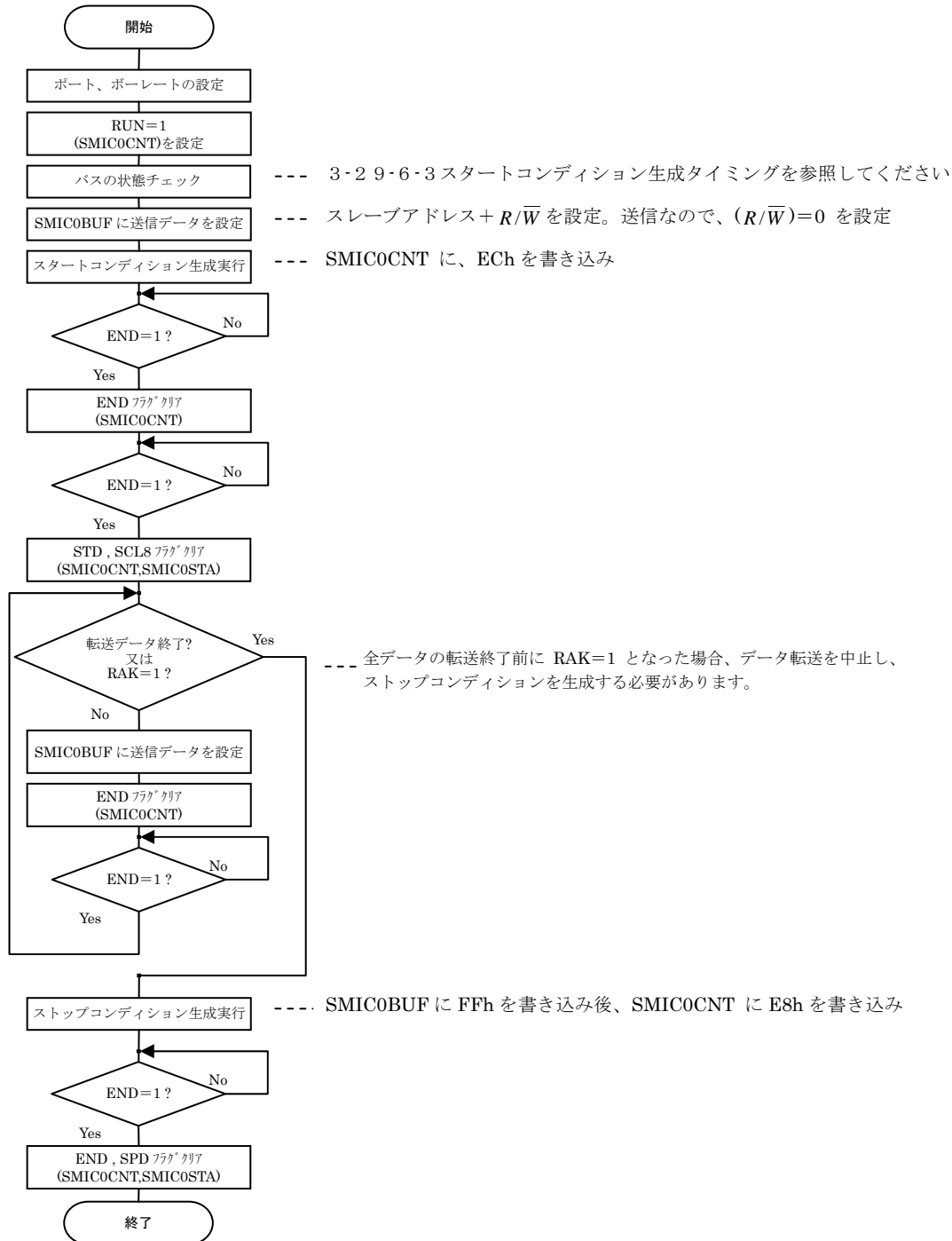
3-29-9 シングルマスタI²C通信の具体例

I²C通信の各モードのフローチャートを示します。

※ノイズや、バスに接続されているデバイスの誤動作でバスが異常状態になることが想定される場合、タイマ等を使用したタイムアウト処理による、ロック状態の回避手段を用意しておく必要があります。

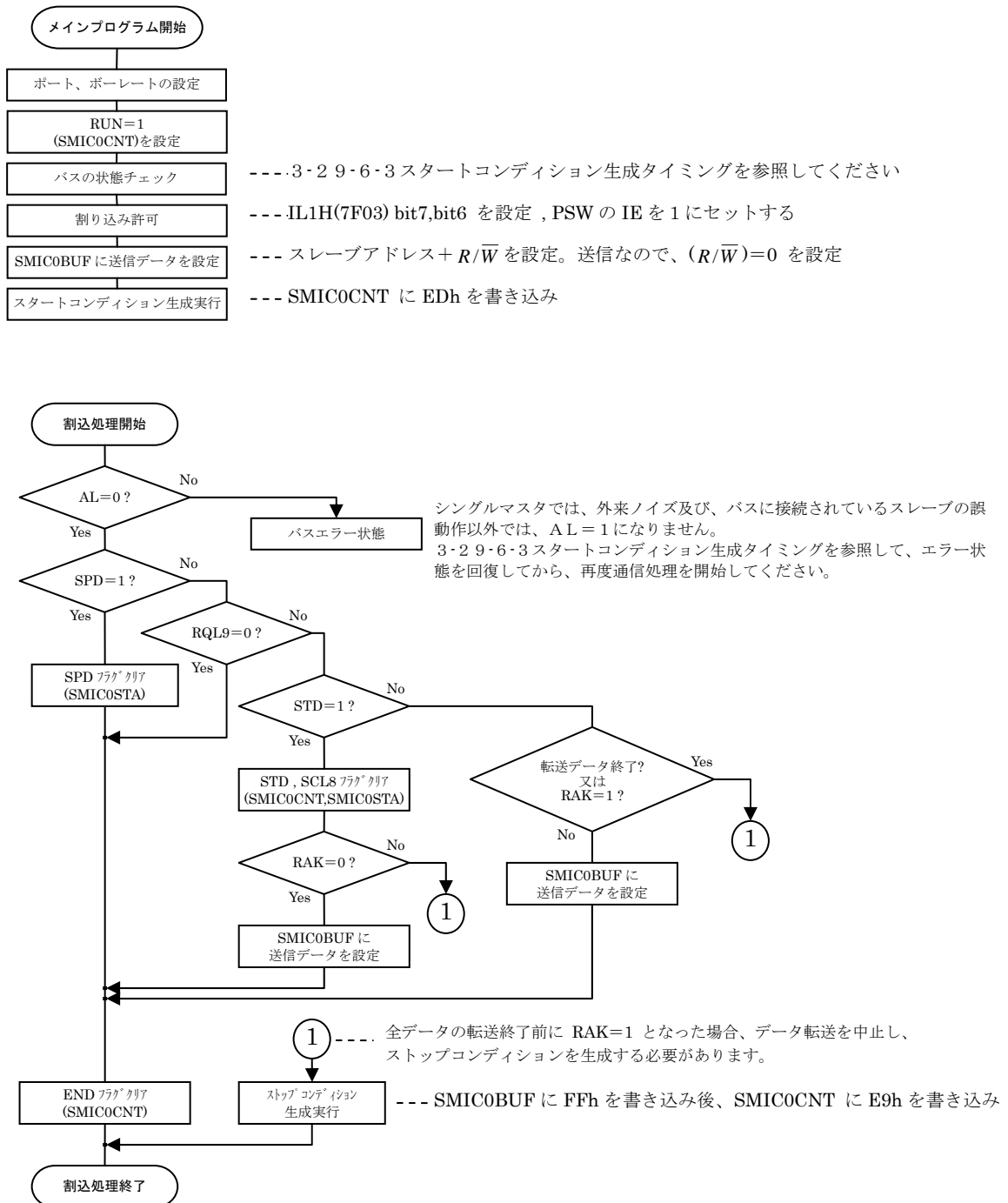
3-29-9-1 シングルマスタ・データ送信(割り込み不使用)の具体例

データ送信・割り込み不使用時のフローチャートを示します。



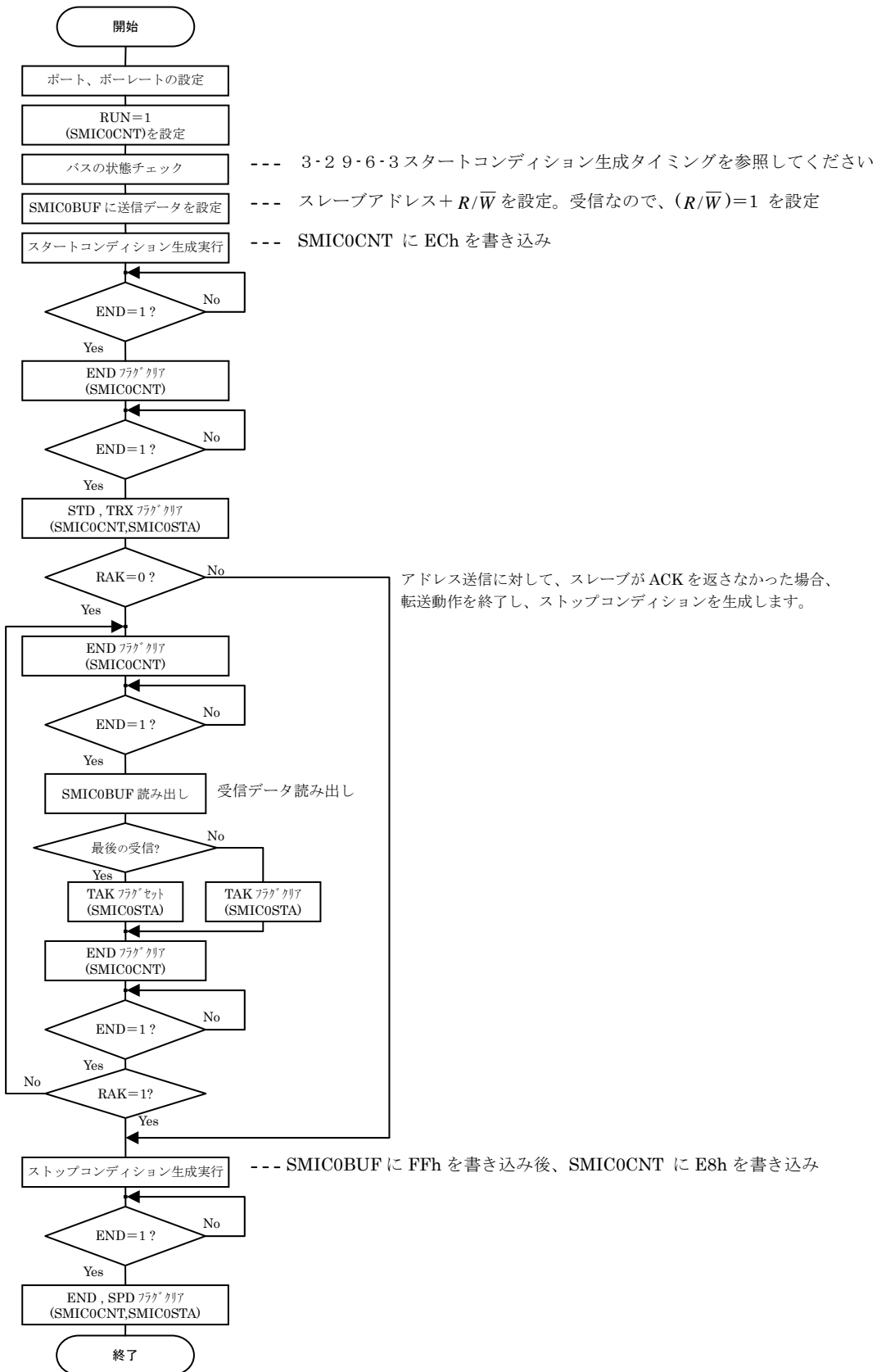
3-29-9-2 シングルマスタ・データ送信（割り込み使用時）の具体例

データ送信・割り込み使用時のフローチャートを示します。



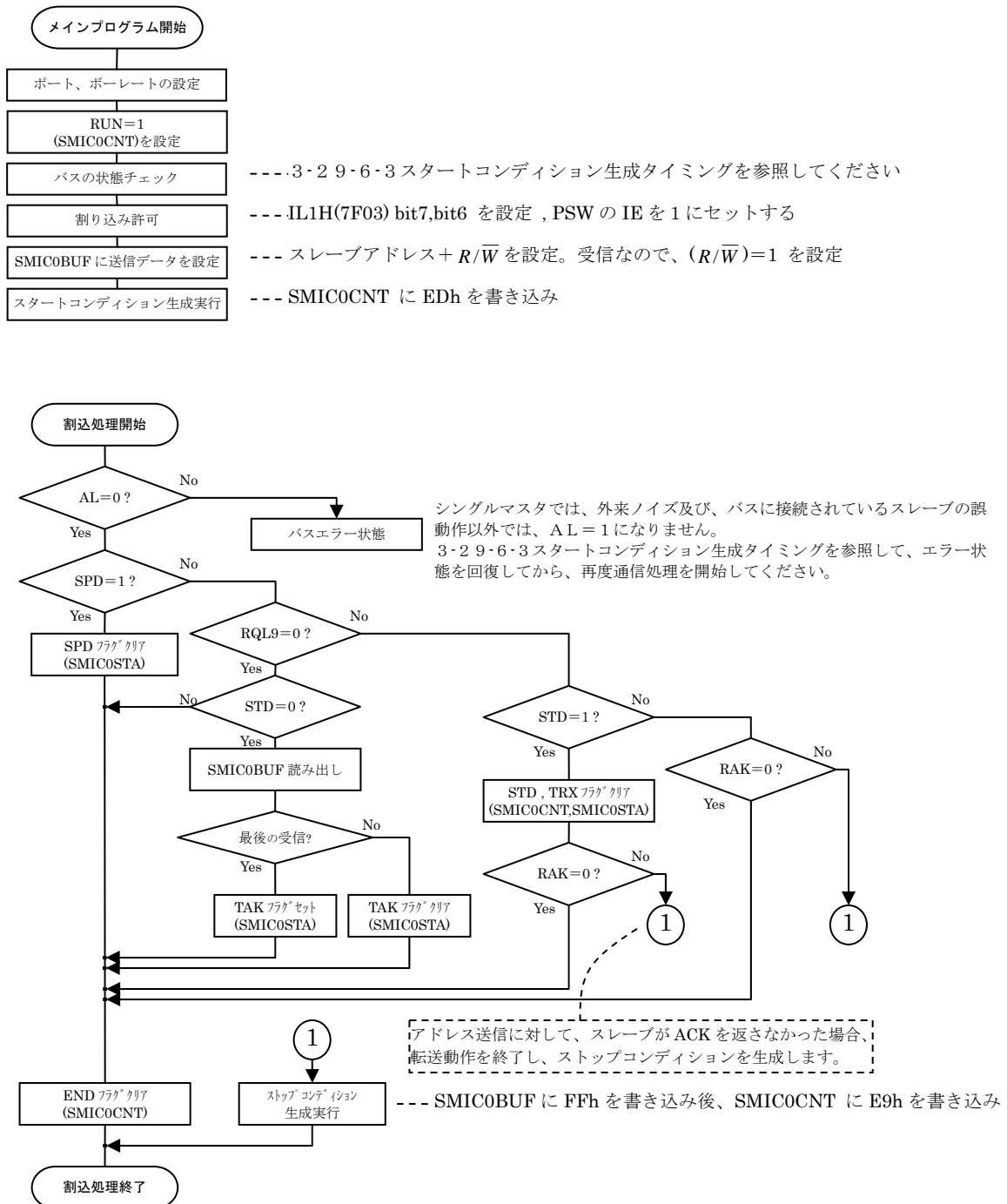
3-29-9-3 シングルマスタ・データ受信(割り込み不使用)の具体例

データ受信・割り込み不使用時のフローチャートを示します。



3-29-9-4 シングルマスタ・データ受信(割り込み使用時)の具体例

データ受信・割り込み使用時のフローチャートを示します。



3-30 SMIIC1 (Single-master I²C)

3-30-1 概要

本シリーズが内蔵している I²C バス機能は、次の2つの機能を持ちます。

- ① single-masterのマスターモードによるI²C通信(注)
- ② 同期式8ビットシリアルI/O(2線式または3線式、データMSB先頭)

(注)本モジュールはアドレスのコンパレータ機能を持っていません。よって、single-masterのスレーブモードとして使用する場合や、multi-masterのI²C通信を行う場合は、アドレス比較やその他の処理をソフトウェアによって行う必要があります。

3-30-2 回路構成

3-30-2-1 I²C制御レジスタ1(SMIC1CNT) (8ビットレジスタ)

- ① I²C-BUSのモード制御を行います。
- ② 割り込みの制御を行います。

3-30-2-2 I²Cステータスレジスタ1(SMIC1STA) (8ビットレジスタ)

- ① I²C-BUSの各イベント検出フラグ。
- ② ACKデータの制御を行います。

3-30-2-3 I²Cボーレート制御レジスタ1(SMIC1BRG) (8ビットレジスタ)

- ① SDA・SCL取り込み部ノイズフィルタのクロック周波数制御を行います。
- ② SCLクロックの周波数を制御します。

3-30-2-4 I²Cデータバッファ1(SMIC1BUF) (8ビットレジスタ)

- ① データの送受信をこのレジスタを通して行います。

3-30-2-5 I²Cポート制御レジスタ1(SMIC1PCNT) (8ビットレジスタ)

- ① I²Cポートの制御を行います。

SMIIC1

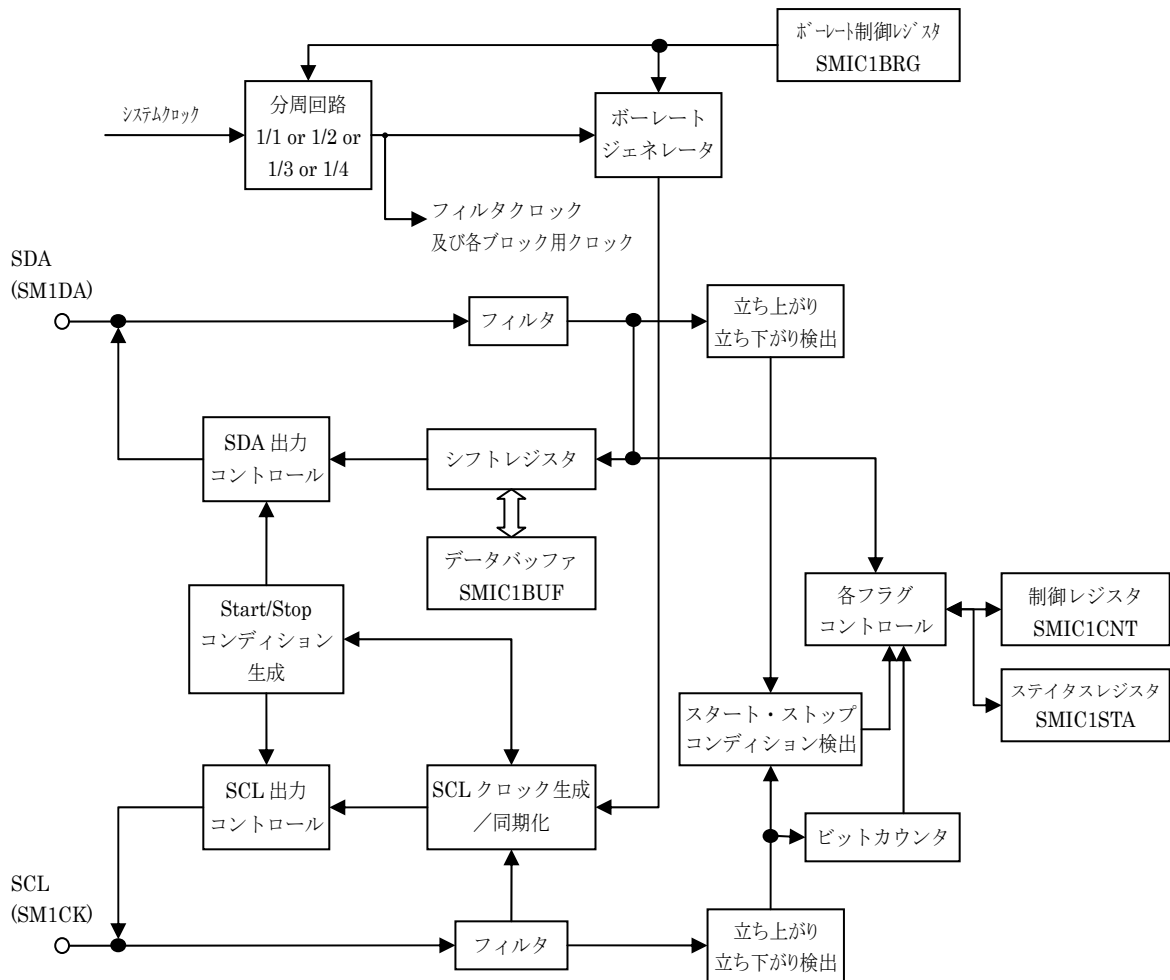


図 3-30-1 SMIIC1ブロック図

3-30-3 関連レジスタ

3-30-3-1 I²C制御レジスタ1 (SMIC1CNT)

① SMIIICモジュールの動作制御を行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F64	0000 0000	R/W	SMIC1CNT	RUN	MST	TRX	SCL8	MKC	BB	END	IE

RUN (ビット7) : SMIIIC1動作許可

このビットが1の時、SMIIIC1モジュールが動作状態となります。
このビットが0の時、SMIIIC1モジュールは動作停止します。

MST (ビット6) : マスタ・スレーブ制御ビット

・I²Cモード時 (SMD=0)

このビットが1の時、マスターモードとして動作します。

(スタート・ストップコンディションの生成、転送クロックの送出を行う)

このビットが0の時、スレーブモードとして動作します。

(クロック出力は行わない。マスタが送出するクロックに同期して、データの送受信を行う)

MSTがリセットされる条件

① ストップコンディションを検出した時

② アービトレーションロストを検出した時

アービトレーションロストを検出後、1バイトの転送終了までは、このビットはクリアされずに、クロックの送出を続けます。
アービトレーションロスト後、割り込み要因フラグENDがセットされるタイミングで、MSTフラグはクリアされます。

・同期式8ビットシリアルモード時 (SMD=1)

このビットを1にすることで、8ビットの通信を開始します。

MSTがリセットされる条件

① 第8クロックの立ち上がりで、リセットされます

TRX (ビット5) : トランスミッタ・レシーバ制御

・I²Cモード時 (SMD=0)

このビットが1の時、トランスミッタとして動作します。

このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

① ストップコンディションを検出した時

② アービトレーションロストを検出した時

③ スレーブモード時に、スタートコンディションを検出した時

SMIIC1

- ・同期式8ビットシリアルモード時 (SMD=1)
このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

SCL8(ビット4):第8クロック立ち下がり時の割り込み制御

- ・I²Cモード時 (SMD=0)
このビットが1の時、第8クロックの立ち下がり、割り込み要求が発生します。
このビットが0の時、第8クロックの立ち下がり、割り込み要求が発生しません。

SCL8がセットされる条件

- ①スタートコンディションの検出

このビットは、自動的にクリアされません。命令でクリアしてください。

- ・同期式8ビットシリアルモード時 (SMD=1)
このビットは、0にして使用してください。

MKC(ビット3):スタート・ストップコンディション生成制御

- ・I²Cモード時 (SMD=0)
このビットは、書き込み専用のビットで、スタート or ストップコンディションを生成させる時に、1を書き込みます(このビットを読み込んだ時は、常に0が読み込まれます)。
- ・同期式8ビットシリアルモード時 (SMD=1)
このビットは、0にして使用してください。

BB(ビット2):バスビジーフラグ(R/O)

- ・I²Cモード時 (SMD=0)
ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。
読み出し専用のBBは、バスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。
このビットが1の時は、I²Cバスは使用状態であることを示します。
スタートコンディションを生成する時には、このビットが0であることと、SDA、SCLがともに‘H’レベルであることを確認してから行ってください(再スタートコンディションを生成する場合を除きます)。
このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

BBがセットされる条件

- ① スタートコンディションの検出

BBがリセットされる条件

- ① ストップコンディションの検出
- ② RUN=0の場合

BBW(ビット2): スタート・ストップコンディション生成制御

ビット2は、読み出し専用のBBと書き込み専用のBBWに分かれています。書き込み専用のBBWは、このレジスタ(SMIC1CNT:07F64h)のビット6, 5, 3と同時にMOV命令で値を書き込むことで、スタート・ストップコンディションの生成を制御します。

- ・割り込み要求発生許可制御 IE=1とした場合

SMIC1CNTに、EDhを書き込み : スタートコンディションを生成

SMIC1CNTに、E9hを書き込み : ストップコンディションを生成

- ・割り込み要求発生許可制御 IE=0とした場合

SMIC1CNTに、EChを書き込み : スタートコンディションを生成

SMIC1CNTに、E8hを書き込み : ストップコンディションを生成

※ スタート・ストップコンディションの生成に関しては、3-30-6 スタートコンディション/ストップコンディションの章を参照してください。

- ・同期式8ビットシリアルモード時(SMD=1)

このビットは、読み出し専用で、MST(ビット6)と同一値が読み出されます。

END(ビット1): 割り込み要因フラグ

- ・I²Cモード時(SMD=0)

データの転送終了及びストップコンディションでセットされます。

このビットが1で、かつSCLが‘L’レベルの場合、マスタ・スレーブモードにかかわらず、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

ENDがセットされる条件

- ① SCL8=1の場合の、第8クロック立ち下がり
- ② アッククロックの立ち下がり
- ③ ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。このビットをクリアする前に、バッファSMIC1BUFへのデータセット/データ読み出しを完了してください。

SMIIC1

- ・同期式8ビットシリアルモード時 (SMD=1)
データの転送終了時にセットされます。

ENDがセットされる条件

- ① 第8クロック立ち上がり

このビットは自動的にクリアされません。命令でクリアしてください。

IE (ビット0) : 割り込み要求発生許可制御

このビットとENDがともに1の時、ベクタアドレス0802CHへの割り込み要求が発生します。

3-30-3-2 I²Cステータスレジスタ1 (SMIC1STA)

① I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F65	0000 0000	R/W	SMIC1STA	SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK

SMD (ビット7) : I²C / 同期式8ビットシリアルモード切り替え

このビットが1の時、同期式8ビットシリアルモードで動作します。

また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。

このビットが0の時、I²C通信モードで動作します。

また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

RQL9 (ビット6) : アッククロックタイミング検出フラグ (R/O)

第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時 (SMD=1)、このビットは使用しません。リードすると、0が読まれます。

STD (ビット5) : スタートコンディション検出フラグ

スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件

- ① スタートコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時 (SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

SPD(ビット4):ストップコンディション検出フラグ

ストップコンディションを検出するとセットされるフラグです。

SPDがセットされる条件

①ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時(SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

AL(ビット3):アービトレーションロスト検出フラグ

マスターモード時に、アービトレーションロストを検出するとセットされるフラグです。

ALがセットされる条件

- ① マスタトランスミッタモード時の第1～第8クロックの立ち上がりタイミングと、マスタレシーバー時の第9クロック立ち上がりタイミングで、内部SDA値が‘H’でSDA端子レベルが‘L’の場合。
- ② スタートコンディション重複防止機能により、スタートコンディション生成が禁止された場合

このビットは自動的にクリアされません。命令でクリアしてください。

※同期式8ビットシリアルモード時(SMD=1)、このビットは自動的にセットされません。このビットは0にして使用してください。

OVR(ビット2):オーバーラン検出フラグ

・I²Cモード時(SMD=0)

BB(07F64hのビット2) バスビジーフラグが0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件

①BB=0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

SMIIC1

- ・同期式8ビットシリアルモード時 (SMD = 1)
MST (07F64hのビット6) 0の時に、SCLラインのクロック信号立ち下がりを検出するとセットされるフラグです。

OVRがセットされる条件

- ① MST = 0の時にSCL立ち下がり検出

このビットは自動的にクリアされません。命令でクリアしてください。

TAK (ビット1) : アックロック時のSDA制御ビット

マスタレシーバ・スレーブレシーバモード時に、アックロックタイミングでSDAにこのビットの値が出力されます。

マスタトランスミッタ・スレーブトランスミッタモード時は、このビットのデータにかかわらず、ACKクロックタイミングでSDA = 'H' レベルを出力します。

TAKがセットされる条件

- ① ストップコンディションを検出した時
- ② アービトレーションロストを検出した時
- ③ スレーブモード時に、スタートコンディションを検出した時

※同期式8ビットシリアルモード時 (SMD = 1)、このビットは0で使用してください。

RAK (ビット0) : 受信アックリッジデータ格納ビット (R/O)

アックリッジ受信データが格納されます。

このビットは、トランスミッタ・レシーバ両モードともに、アックロック時のSDAデータの値が格納されます。

RAKがセットされる条件

- ① アックロック立ち上がりタイミングで、SDA = 'H' レベルの時

RAKがリセットされる条件

- ① アックロック立ち上がりタイミングで、SDA = 'L' レベルの時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時 (SMD = 1)、このビットは使用しません。リードすると、0が読まれます。

3-30-3-3 I²Cボーレート制御レジスタ1 (SMIC1BRG)

① SDA、SCLフィルタクロック周波数及びSCLクロック周波数を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F66	0000 0000	R/W	SMIC1BRG	BRP		BRDQ	BRD				

BRP (ビット7、6) : フィルタクロック制御

BRP	フィルタクロック周期 (Tfilt)
00	Tcyc × 1
01	Tcyc × 2
10	Tcyc × 3
11	Tcyc × 4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期 Tfilt が以下の範囲になるように設定してください。

$$250\text{nsec} \geq \text{Tfilt} > 140\text{nsec}$$

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns × 1 = 250ns
6MHz	00	166ns × 1 = 166ns
7MHz	00	143ns × 1 = 143ns
8MHz	01	125ns × 2 = 250ns

BRDQ (ビット5) : SCLクロック周波数制御

このビットは、標準クロックモード時は1に、高速クロックモード時は0に設定してください。

BRD (ビット4~0) : SCLクロック周波数制御

BRDの5ビットの設定値を n とすると、SCLクロック周期 Tfsck は、以下の計算式で設定されます。

BRDQ = 0 の時 (高速クロックモード)

$$\text{Tfsck} = \text{Tfilt} \times (\text{n} + 1) \times 2$$

BRDQ = 1 の時 (標準クロックモード)

$$\text{Tfsck} = \text{Tfilt} \times (\text{n} + 1) \times 8$$

SCLクロック周波数 fsck は、以下の計算式で設定されます。

BRDQ = 0 の時 (高速クロックモード)

$$\text{fsck} = 1 / (\text{Tfilt} \times (\text{n} + 1) \times 2)$$

BRDQ = 1 の時 (標準クロックモード)

$$\text{fsck} = 1 / (\text{Tfilt} \times (\text{n} + 1) \times 8)$$

SMIIC1

※Tfiltは、システムクロック周波数と、フィルタクロック制御ビットBRP(SMIC1BRGのビット7, 6)によって設定されるフィルタクロック周期です。

※I²C通信モードで使用する場合(SMD=0)は、BRDの5ビットの設定値nは、4以上の値を設定してください。(0~3は設定禁止)

※同期式8ビットシリアルモードで使用する場合(SMD=1)は、このレジスタを次のように設定してください。

BRP(SMIC1BRGのビット7, 6) = 00

BRDQ = 0 or 1

BRDの5ビットの設定値nは、1以上の値を設定してください(0は設定禁止)

この時、出力クロック周波数f_{sck}は、以下の計算式で設定されます。

BRDQ = 0の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 2)$

BRDQ = 1の時 $f_{sck} = 1 / (T_{cyc} \times (n + 1) \times 8)$

標準クロックモードBRDQ = 1

SCL周波数 (kHz)

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166ns (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	100	※
05h	83.3	※
06h	71.4	※
07h	62.5	94.1
08h	55.6	83.7
09h	50	75.3
0Ah	45.5	68.5
0Bh	41.7	57.9
0Ch	38.5	53.8
0Dh	35.7	50.2
0Eh	33.3	47.1
0Fh	31.3	44.3
10h	29.4	41.8
11h	27.8	39.6
:	:	:
1Ch	17.2	25.9
1Dh	16.7	25.1
1Eh	16.1	24.3
1Fh	15.6	23.5

高速クロックモードBRDQ = 0

SCL周波数 (kHz)

BRD 設定値 n	Tfilt周期	
	250ns (4MHz)	166s (6MHz)
00h	設定禁止	設定禁止
01h	設定禁止	設定禁止
02h	設定禁止	設定禁止
03h	設定禁止	設定禁止
04h	400	※
05h	333.3	※
06h	328.7	※
07h	250	376.5
08h	222.2	334.7
09h	200	301.2
0Ah	181.8	273.8
0Bh	166.7	251
0Ch	153.8	231.7
0Dh	142.9	215.1
0Eh	133.3	200.8
0Fh	125	188.3
10h	117.6	177.2
11h	111.1	167.3
:	:	:
1Ch	69	103.9
1Dh	66.7	100.4
1Eh	64.5	97.23
1Fh	62.5	94.1

※I²Cバスの仕様範囲外

SMIIC1

3-30-3-4 I²Cデータバッファ1 (SMIC1BUF)

①受信データの格納、及び送信データを書き込むための8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F67	0000 0000	R/W	SMIC1BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

•データの受信

•I²Cモード時 (SMD=0)

トランスミッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC1BUFレジスタに転送されます。

•同期式8ビットシリアルモード時 (SMD=1)

送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SMIC1BUFレジスタに転送されます。

•データの送信

•I²Cモード時 (SMD=0)

トランスミッタモード時、SMIC1BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①スタートコンディション検出時

②END=1の時に、SMIC1BUFに書き込みを行った時

•同期式8ビットシリアルモード時 (SMD=1)

データ送信モード時、SMIC1BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

①MST=0の時に、SMIC1BUFに書き込みを行った時

3-30-3-5 I²Cポート制御レジスタ1 (SMIC1PCNT)

①I²Cポートを制御するための4ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F69	LLLL 0000	R/W	SMIC1PCNT	-	-	-	-	SHDS	PHV	PCLV	PSLW

SHDS (ビット3) : SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV (ビット2) : I²Cポート電圧制御

このビットは1で使用してください。

PCLV (ビット1) : I²Cポート入力特性制御

このビットが1の時、PB4、PB5の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、PB4、PB5の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW(ビット0):I²CポートSLOW制御

このビットが1の時、PB4, PB5の出力特性は、SLOWとなります。

このビットが0の時、PB4, PB5ポートの出力特性は、PBLAT、PBDDR、PBFSA、PBFSBにより制御されます。

このビットを1にすると、PB4, PB5出力信号の立ち下がり時間がSLOWモードとなりますが、PB4, PB5端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。

出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

3-30-3-6 SMIICポートの設定

①クロック入出力ポート(PB4)の設定

レジスタデータ				ポートPB4の状態	
PBFSA<4>	PBFSB<4>	PBLAT<4>	PBDDR<4>	出力	
1	1	1	1	オープン(同期式8ビットシリアルモード時外部クロック入力)	
1	0	0	1	クロック出力(CMOS)	
1	1	1	0	クロック出力(CMOS変化SLOW)	
1	1	0	1	クロック出力/I ² C SCL出力(Nchオープンドレイン)	

②データ入出力ポート(PB5)の設定

レジスタデータ				ポートPB5の状態	
PBFSA<5>	PBFSB<5>	PBLAT<5>	PBDDR<5>	入力	出力
1	1	1	1	可能(データ受信入力)	オープン
1	0	0	1	可能(データ受信入力)	データ出力(CMOS)
1	1	1	0	可能(データ受信入力)	データ出力(CMOS変化SLOW)
1	1	0	1	可能(データ受信入力)	データ出力/I ² C SDA出力(Nchオープンドレイン)

③データ出力ポート(PB6)の設定(3線式同期式8ビットシリアルモード時に使用)

レジスタデータ				ポートPB6の状態	
PBFSA<6>	PBFSB<6>	PBLAT<6>	PBDDR<6>	出力	
1	0	0	1	データ出力(CMOS)	
1	1	1	0	データ出力(CMOS変化SLOW)	
1	1	0	1	データ出力(Nchオープンドレイン)	

※ 本モジュールをI²Cモードで使用する時は、I²Cポート制御レジスタ1(SMIC1PCNT)のPCLV=1、PB4, PB5をI²C SCL出力(Nchオープンドレイン)、I²C SDA出力(Nchオープンドレイン)モードにして使用してください。

※ I²Cポート制御レジスタ1(SMIC1PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0(FASTモード)に設定してください。

※ 同期式8ビットシリアルモードで、外部クロックを使用する場合は、クロック入出力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-30-4 I²CポートSLOW設定時の注意事項

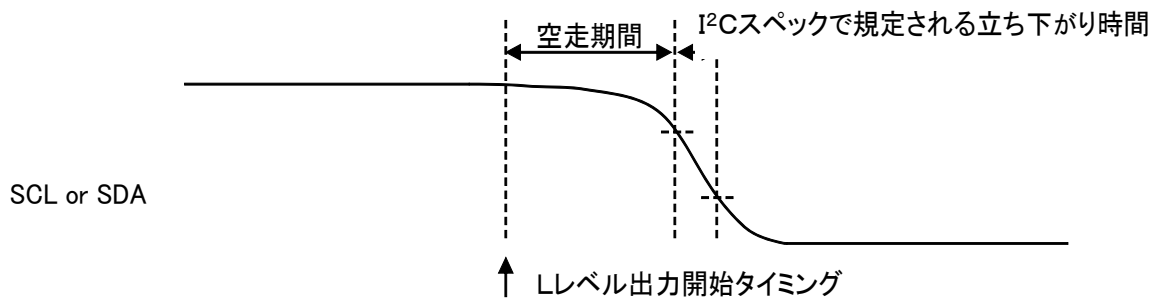


図 3-30-2 I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-30-5 生成クロック波形とSCL立ち上がり時間

3-30-5-1 生成クロック波形

SCLクロック出力波形は、I²Cボーレート制御レジスタ1 (SMIC1BRG) で設定されたクロック周期 T_{fsck} に対して、DUTY50%で生成されます。

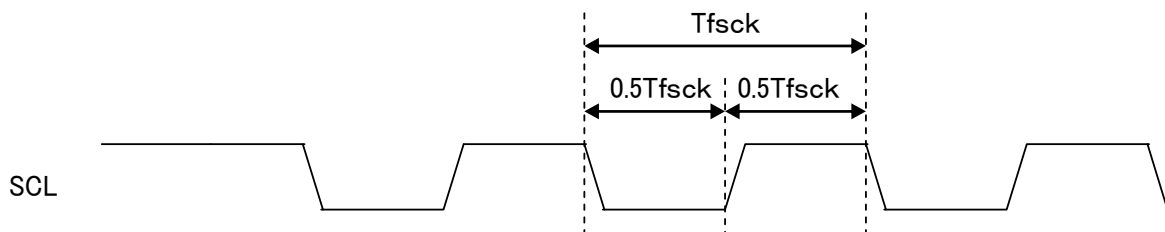


図 3-30-3 SCLクロック波形

高速モード時で、クロック周波数を400kHzに設定した場合、SCLのL期間は、(信号の立ち上がり、立ち下がり時間を無視した場合) 1.25μsecとなり、I²Cバスインターフェース仕様 (min. 1.3μsec) を満足しません
これについては、以下のことを検討してください。

- ① 転送レートを下げて、仕様を満足するように設定する。
- ② プルアップ抵抗等外付けの調整により、立ち上がり・立ち下がり時間を調整する。

また、I²Cポートの出力特性をSLOWとした場合、L出力を開始してから、ポートがLレベルになる時間が長くなりますので、SCLのL期間がさらに短くなり、注意が必要です。

3-30-5-2 SCL立ち上がり時間

本モジュールはI²CモードでのSCLクロック出力時、他のマスタ又はスレーブがSCLラインをLにドライブした場合でも、クロックラインの立ち上がりタイミングを監視し、クロックのH幅を保証するために同期を取る動作を常に行っています。

SCLの立ち上がり時間は、I²Cバスインターフェース仕様で、高速モード300nsec標準モード1000nsec以内と定められています。

高速モード時は、SCL立ち上がり時間が最大300nsecであるので問題ありませんが、標準モード時、立ち上がり時間が($T_{filt} \times 2.5$)より遅い場合、この同期動作が働いてしまい、設定したクロック周波数よりも転送速度が遅くなってしまいます。

システムクロック	BRP	Tfilt	Tfilt×2.5
4MHz	00	250ns	625ns
6MHz	00	166ns	415ns
7MHz	00	143ns	357ns
8MHz	01	250ns	625ns

設定した転送レートで動作させるためには、SCLラインの立ち上がり時間が、上記表に示す $T_{filt} \times 2.5$ よりも短くなるように、プルアップ抵抗、負荷容量を設定してください。

3-30-6 スタートコンディション/ストップコンディション

3-30-6-1 スタート/ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I²Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

- ・スタートコンディション(S)
データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
- ・ストップコンディション(P)
データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

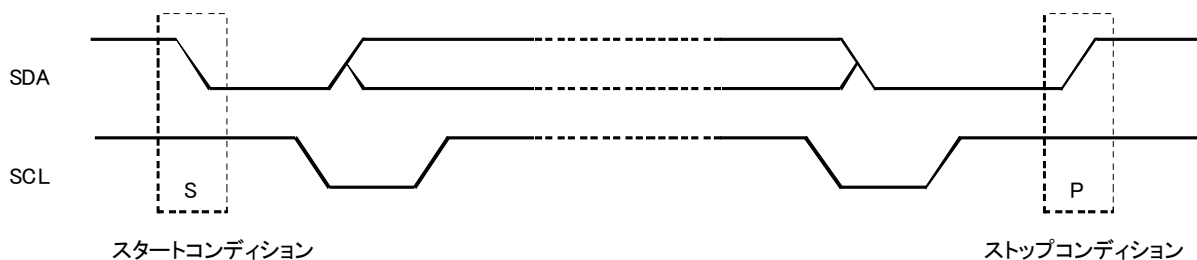


図 3-30-4 スタートコンディションとストップコンディション

SMIIC1

3-30-6-2 スタートコンディション発生方法

SMIIC1動作許可ビットRUN (SMIC1CNTのビット7)をあらかじめ1にしている状態で、I²C制御レジスタSMIC1CNTに以下に示す値を書き込むことで、スタートコンディションの生成作業が始まります。

ただし、SMIC1CNTのビット0は割り込み許可制御ビットなので、割り込みを許可 (IE = 1)するか、禁止 (IE = 0)するかによって、書き込むデータが異なります。

スタートコンディション発生方法

SMIC1CNTに、EDhを書き込み (割り込みを許可する時)

SMIC1CNTに、EChを書き込み (割り込みを許可しない時)

3-30-6-3 スタートコンディション生成タイミング

スタートコンディションを生成する前に、BBフラグ (SMIC1CNTのビット2)が0であることを確認してください。

リセット後に本モジュールを動作開始させる場合は、以下の手順で行ってください。

- ① ポートの設定を行う (3-30-3-6 SMIICポートの設定を参照してください)。
- ② SMIC1BRGにより、フィルタクロック・ボーレートクロックの設定を行う。
- ③ RUN (SMIC1CNTのビット7)に1をセットする。
- ④ ボーレートクロック数回分ウェイトし、BB (SMIC1CNTのビット2)及び、OVR (SMIC1STAのビット2)がともに0であることを確認する。
- ⑤ 他のマスタやスレーブデバイスにより、SDA・SCLラインが固定されていないか、SDA・SCLポートを読み込みとともに‘H’レベルであることを確認する。
- ⑥ ④・⑤がOKの場合、スタートコンディション命令を実行可と判断できる。
- ⑦ ④・⑤がNGの場合、本モジュール動作開始前に、他マスタがバスを使用開始したと判断し、ストップコンディション受信までウェイトする。(バスが異常な状態でロックされている場合などは、タイマを使用した、ウェイト時間のタイムアウト処理が必要となります)
- ⑧ シングルマスタの場合や、⑦のストップコンディションのウェイト動作がタイムアウトした場合などは、他のスレーブデバイスがバスをロックしていると判断し、プログラムによりPBDDRのビット4、ビット5を操作して、ストップコンディションを生成する必要があります。

手順1. PBDDRのビット4=0とし、SCL=Lとする。この時、SDA=Lの場合は、SCL=LかつSDA=H状態になるまで、PBDDRのビット4に1と0を交互に設定しSCLにクロックを送出する。

手順2. 以下のようにSDA,SCLラインの状態を変化させる。

- 1- SDA=H SCL=L (PBDD ビット5=1、PBDDR ビット4=0)
- 2- SDA=L SCL=L (PBDD ビット5=0、PBDDR ビット4=0)
- 3- SDA=L SCL=H (PBDD ビット5=0、PBDDR ビット4=1)
- 4- SDA=H SCL=H (PBDD ビット5=1、PBDDR ビット4=1)

(上記のようにポートを変化させる場合は、他のデバイスのset-up/hold時間を考慮する必要があります)

以下に、スタートコンディションの発生タイミングを示します。

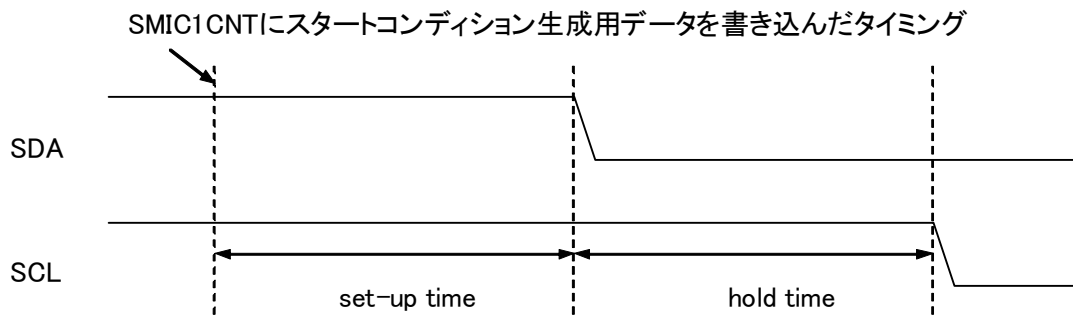


図 3-30-5 スタートコンディション発生タイミング

3-30-6-4 再スタートコンディション生成タイミング

マスタ通信モードで、スタートコンディション送出及びデータ送受信後に、ストップコンディションを生成せずに、送受信モードや通信先スレーブデバイスの切り替えを行うため、再度スタートコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ=1 (NACK)を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END (SMIC1CNTのビット1) = 1 かつ RQL9 (SMIC1STAのビット6) = 1となったことを確認する。END = 1の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC1BUFにスレーブアドレス7ビットとR/Wビットを設定する
- ④ SMIC1CNTにスタートコンディション生成用データを書き込む。
- ⑤ SMIC1CNTにスタートコンディション生成用データを書き込むことで、END (SMIC1CNTのビット1) がクリアされ、再スタートコンディションのpre-set-up time経過後にSCLが開放される。このように、スタートコンディション命令により、ENDフラグのクリアが行われるので、IE (SMIC1CNTのビット0) = 1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのスタートコンディション命令を実行してください。

以下に、再スタートコンディションの発生タイミングを示します。

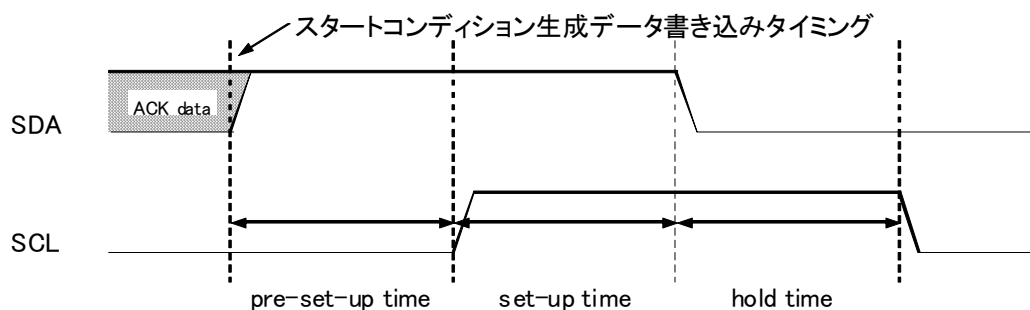


図 3-30-6 再スタートコンディション発生タイミング

SMIIC1

3-30-6-5 ストップコンディション発生方法

ACKクロックの立ち下がり、END(SMIC1CNTのビット1)=1 となり、SCLに‘L’を継続出力している状態で、I²C制御レジスタSMIC1CNTに以下に示す値を書き込むことで、ストップコンディションの生成作業が始まります。

ただし、SMIC1CNTのビット0は割り込み許可制御ビットなので、割り込みを許可(IE=1)するか、禁止(IE=0)するかによって、書き込むデータが異なります。

ストップコンディション発生方法

SMIC1CNTに、E9hを書き込み(割り込みを許可する時)

SMIC1CNTに、E8hを書き込み(割り込みを許可しない時)

3-30-6-6 ストップコンディション生成タイミング

マスタ通信モードで、ストップコンディションを生成する場合は、次の手順で行ってください。

- ① マスタレシーバモードの時は、ACKデータ=1(NACK)を送出し、スレーブにSDAラインを開放させる。
- ② ACKデータのクロックが立ち下がり、END(SMIC1CNTのビット1)=1 かつ RQL9(SMIC1STAのビット6)=1となったことを確認する。END=1の間は、SCLに‘L’レベルを継続出力状態となる。
- ③ SMIC1BUFに0FFhを設定する。
- ④ SMIC1CNTにストップコンディション生成用データを書き込む。
- ⑤ SMIC1CNTにストップコンディション生成用データを書き込むことで、END(SMIC1CNTのビット1)がクリアされ、ストップコンディションのpre-set-up time経過後にSCLが開放される。このように、ストップコンディション命令により、ENDフラグのクリアが行われるので、IE(SMIC1CNTのビット0)=1として割り込みによる処理を行っている場合は、割り込みを抜ける直前でこのストップコンディション命令を実行してください。

以下に、ストップコンディションの発生タイミングを示します。

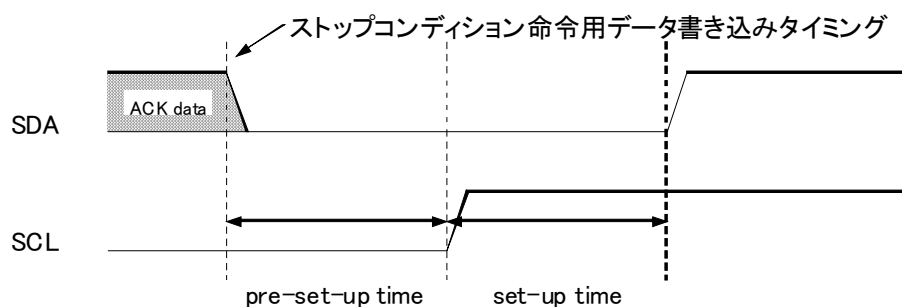


図 3-30-7 ストップコンディション発生タイミング

3-30-7 アービトレーションロスト

3-30-7-1 アービトレーション

アービトレーションとは通信許可のことであり、唯一のマスタがバスを制御できるようにする手続きです。アービトレーションは各デバイスのSDAをAND接続する（‘L’を出力したデバイスの影響で、SDAが‘L’になる）ことにより実現されます。この時、自分の出力とSDAの値が一致しないマスタは通信不許可となり、SDAに影響を与えないために以後の出力を‘H’に保持しなければなりません。このマスタとしての通信が不許可になった状態をアービトレーションロストといいます。アービトレーションロストの検出は、スタートコンディション生成時と、マスタ時のデータ送信時に行われます。

3-30-7-2 データ転送時のアービトレーションロスト

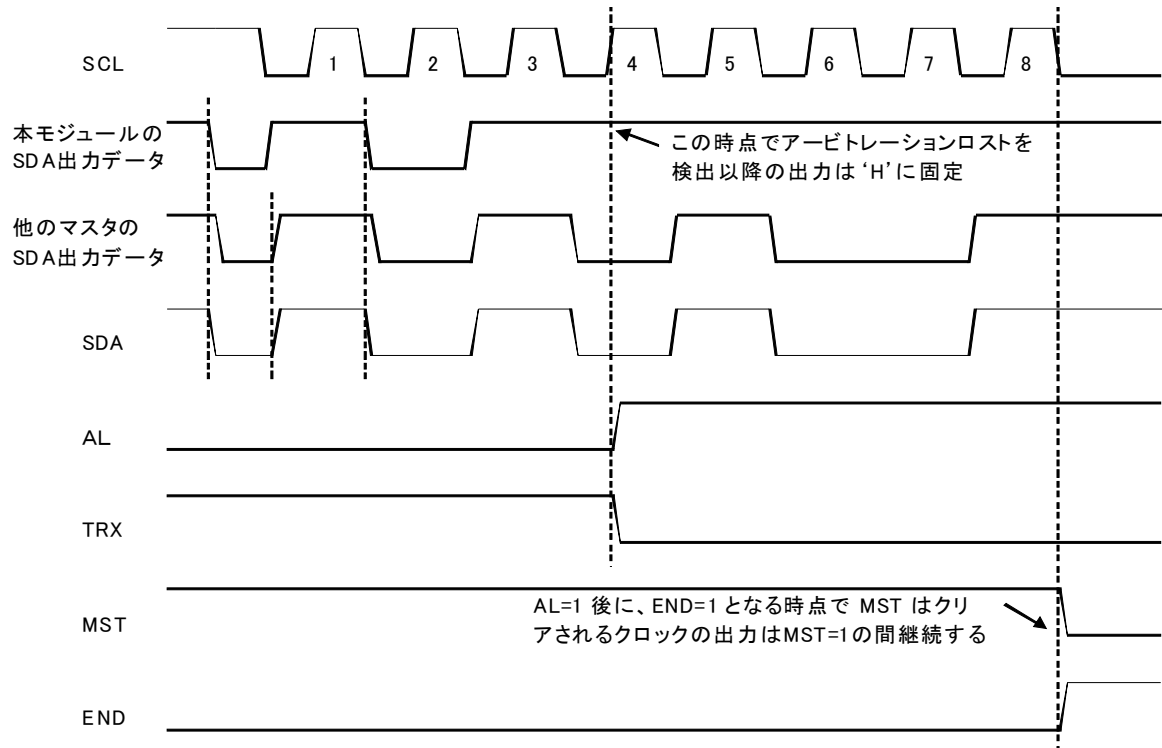


図 3-30-8 データ送信時のアービトレーションロスト

データ転送時のアービトレーションロストは、SCLの立ち上がり時のSDA値で判断されます。

図 3-30-8の、第4クロック立ち上がり時点で内部SDA出力値が‘H’で、SDAの値が‘L’であるので、この時点でアービトレーションロストを検出し、AL=1となります。

アービトレーションロストを検出することで、ALはセット、TRXはリセットされ、SDA出力は‘H’に固定されます。MSTはこの時点ではリセットされず、SCLクロックの送出手続きを継続します。

MSTのクリアは、ENDがセットされるタイミングで起こります。SCL8(SMIC1CNTのビット4)が1の時は、第8クロックの立ち下がり、SLC8が0の時は、第9クロックの立ち下がり、MSTがクリアされ、クロックの送出手続きを停止します。

アービトレーションロストの検出は、マスタトランスミッタ時のデータ部（第1～第8クロック）と、マスタレシーバ時のACK部（第9クロック）の送出手続きに行われます。

SMIIC1

アービトレーションロストを検出したマスタは、ストップコンディションが検出されるまでスレーブとして動作を継続する必要があります。

3-30-7-3 スタートコンディション送出時のアービトレーションロスト

スタートコンディション命令実行後、スタートコンディションが生成されるまでの間にアービトレーションロストが検出されるのは、以下の2条件の場合です。

- ① スタートコンディション命令実行時に、オーバーラン検出フラグOVR(SMIC1STAのビット2)または、スタートコンディション検出フラグSTD(SMIC1STAのビット5)が1の場合
- ② スタートコンディション生成作業中に、他のマスタの影響により予定時間より早くSDAが‘H’から‘L’に変化したことを検出した場合

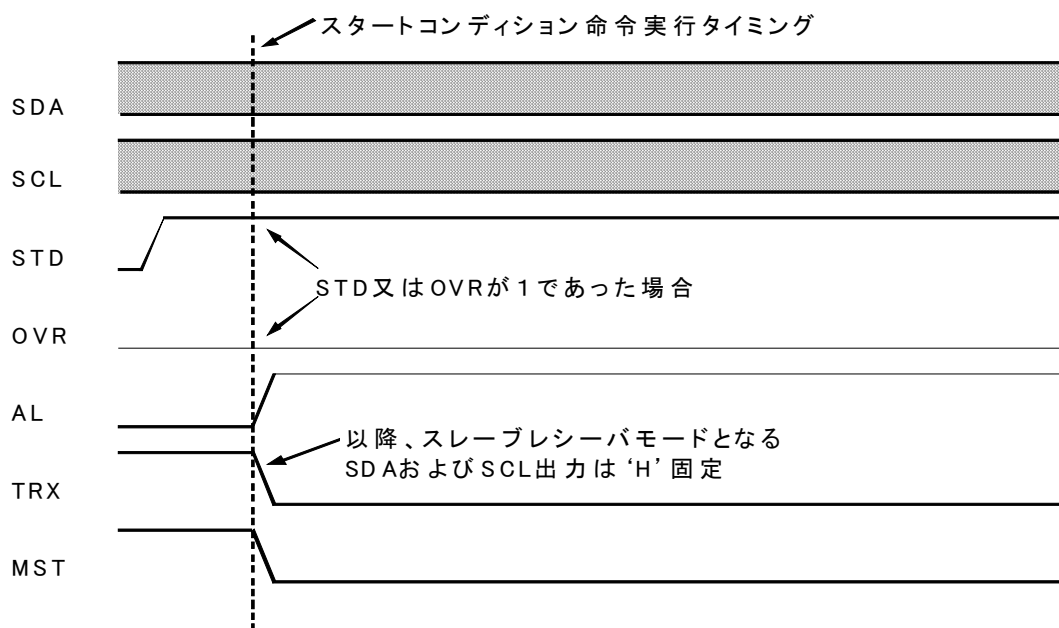


図 3-30-9 スタートコンディション生成時のアービトレーションロスト①

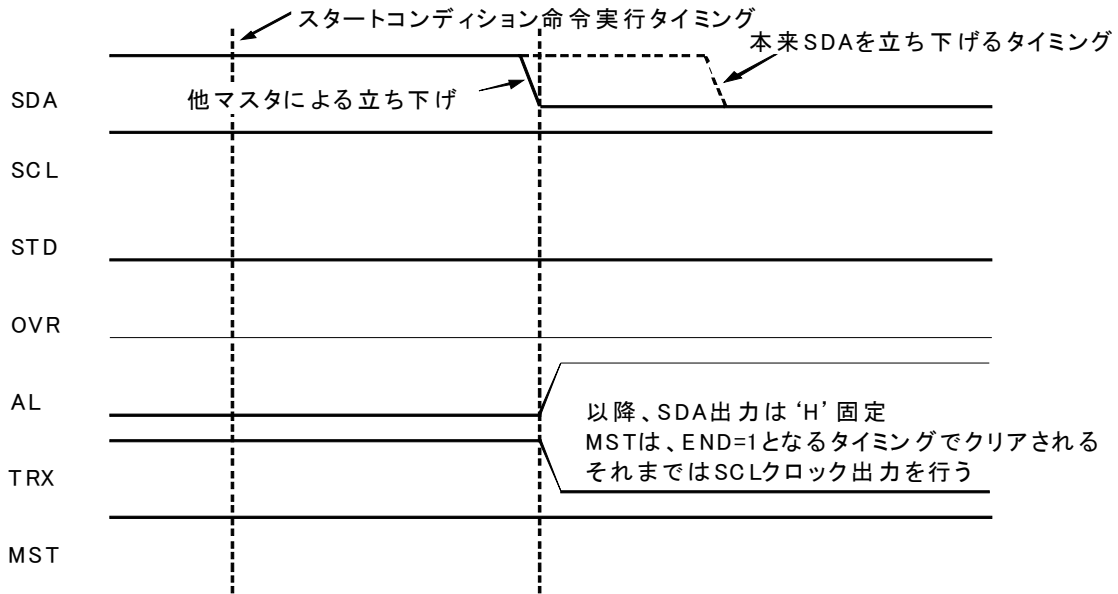


図 3-30-10 スタートコンディション生成時のアービトレーションロスト②

上記①の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、MSTとTRXはクリアされ、スレーブレシーバモードとなって、送られてくるアドレスを受信します。

上記②の条件でアービトレーションロストを検出する場合、AL=1となるタイミングで、TRXはクリアされますが、MSTはクリアされません。3-30-7-2データ転送時のアービトレーションロストの場合と同様に、クロックの送出しを継続し、ENDがセットされるタイミングで、MSTはクリアされます。この時点で、スレーブレシーバモードとなり、プログラムにより受信したアドレスの処理を行います。

3-30-8 単純SIOモード通信の具体例

3-30-8-1 単純SIOモード1バイト送受信具体例

1. メインプログラム



2. 割り込み処理

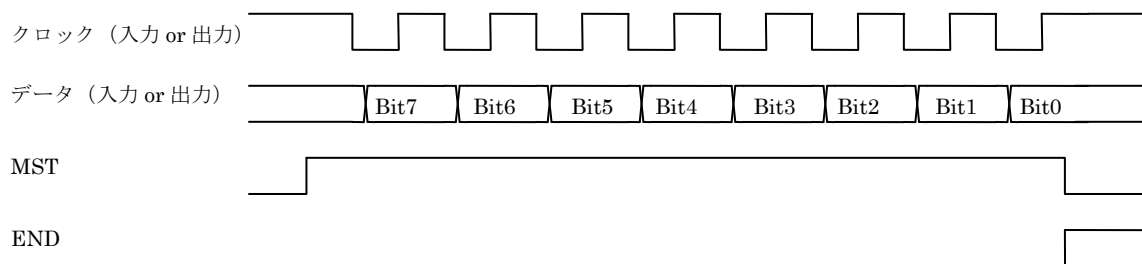
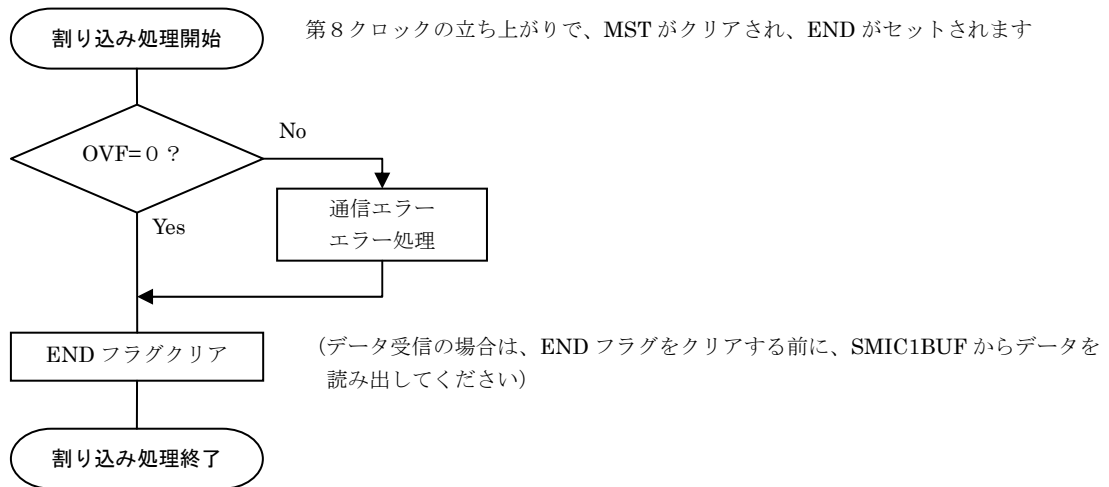


図 3-30-11 単純SIOモード1バイト送受信波形

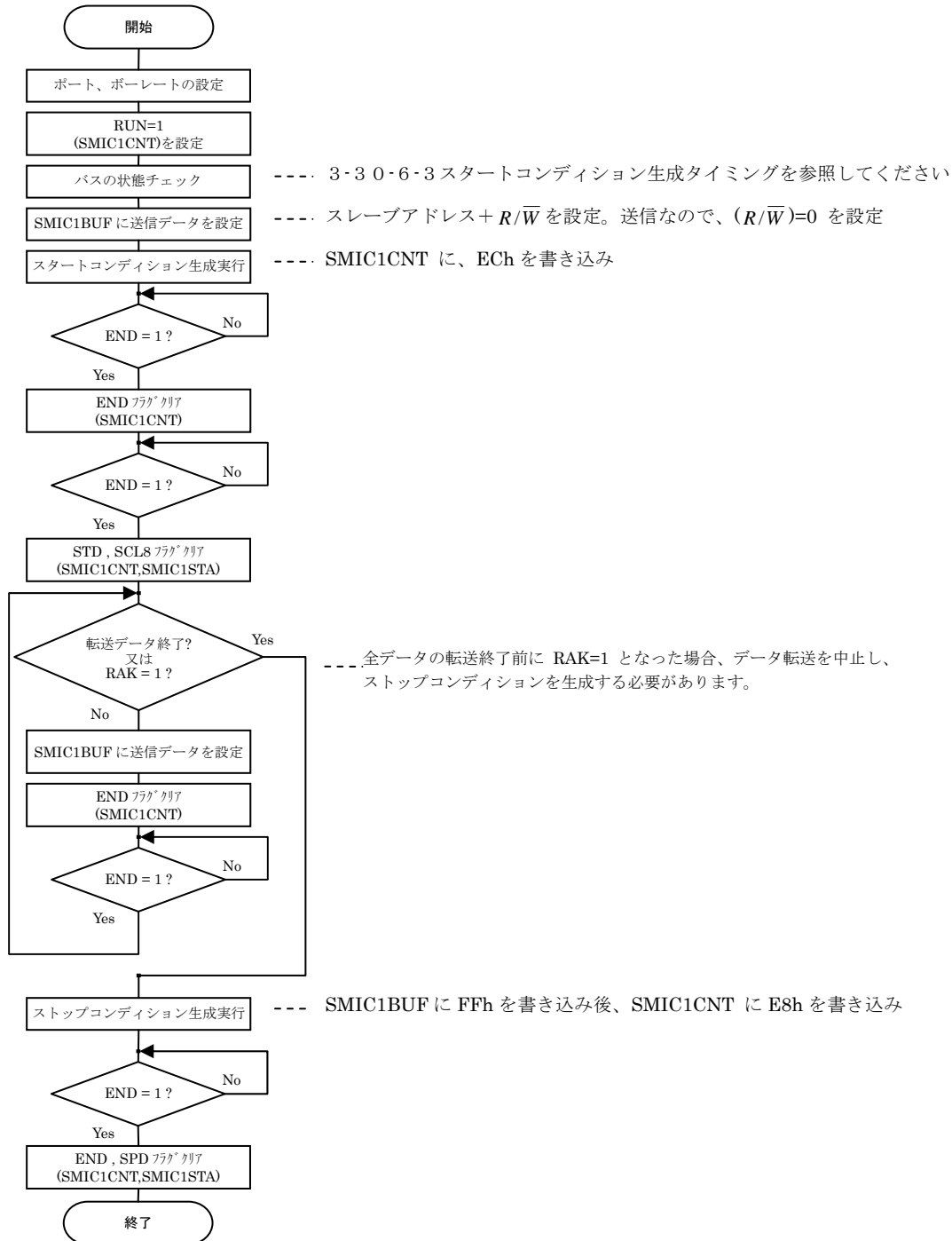
3-30-9 シングルマスタI²C通信の具体例

I²C通信の各モードのフローチャートを示します。

※ノイズや、バスに接続されているデバイスの誤動作でバスが異常状態になることが想定される場合、タイマ等を使用したタイムアウト処理による、ロック状態の回避手段を用意しておく必要があります。

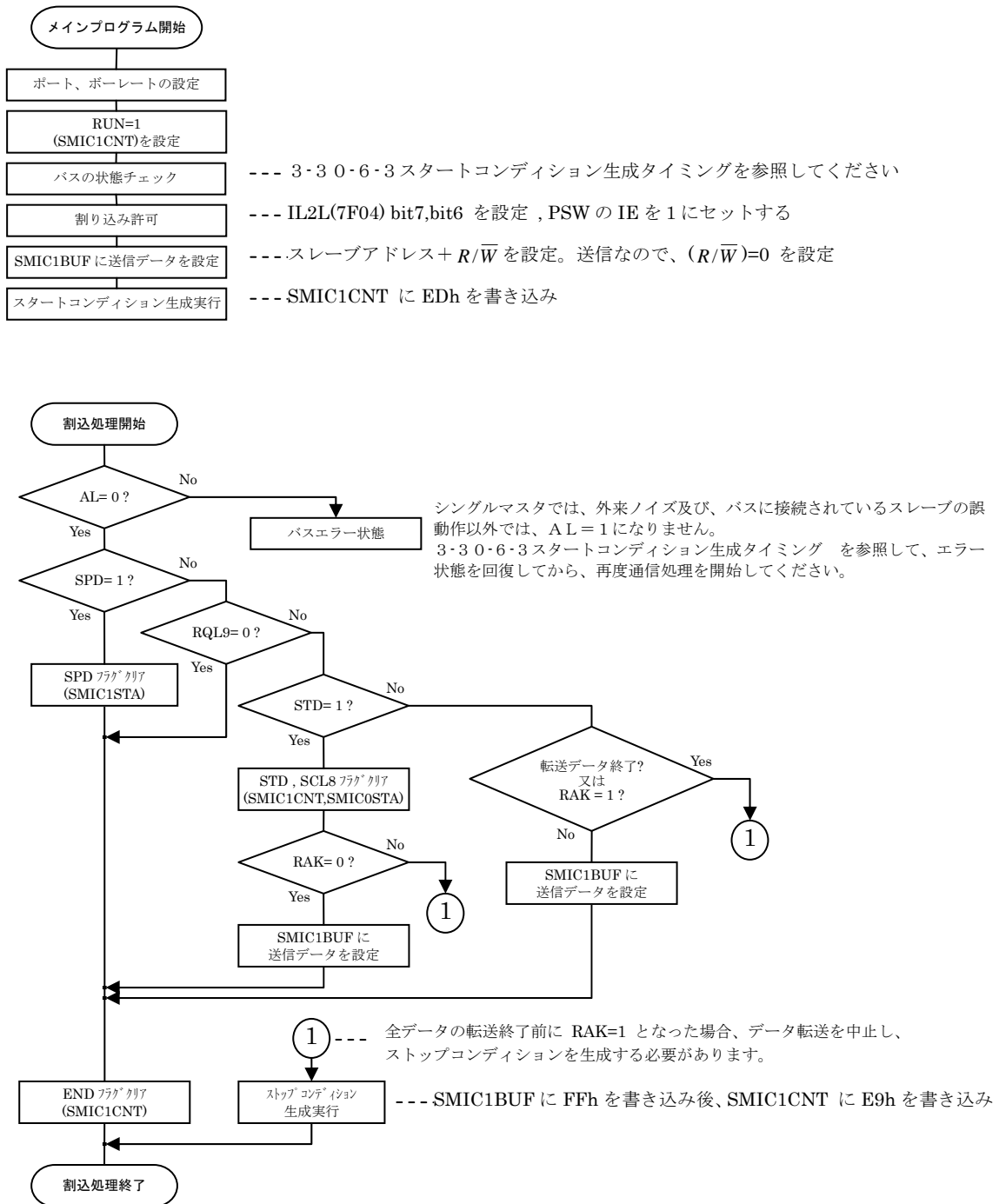
3-30-9-1 シングルマスタ・データ送信(割り込み不使用)の具体例

データ送信・割り込み不使用時のフローチャートを示します。



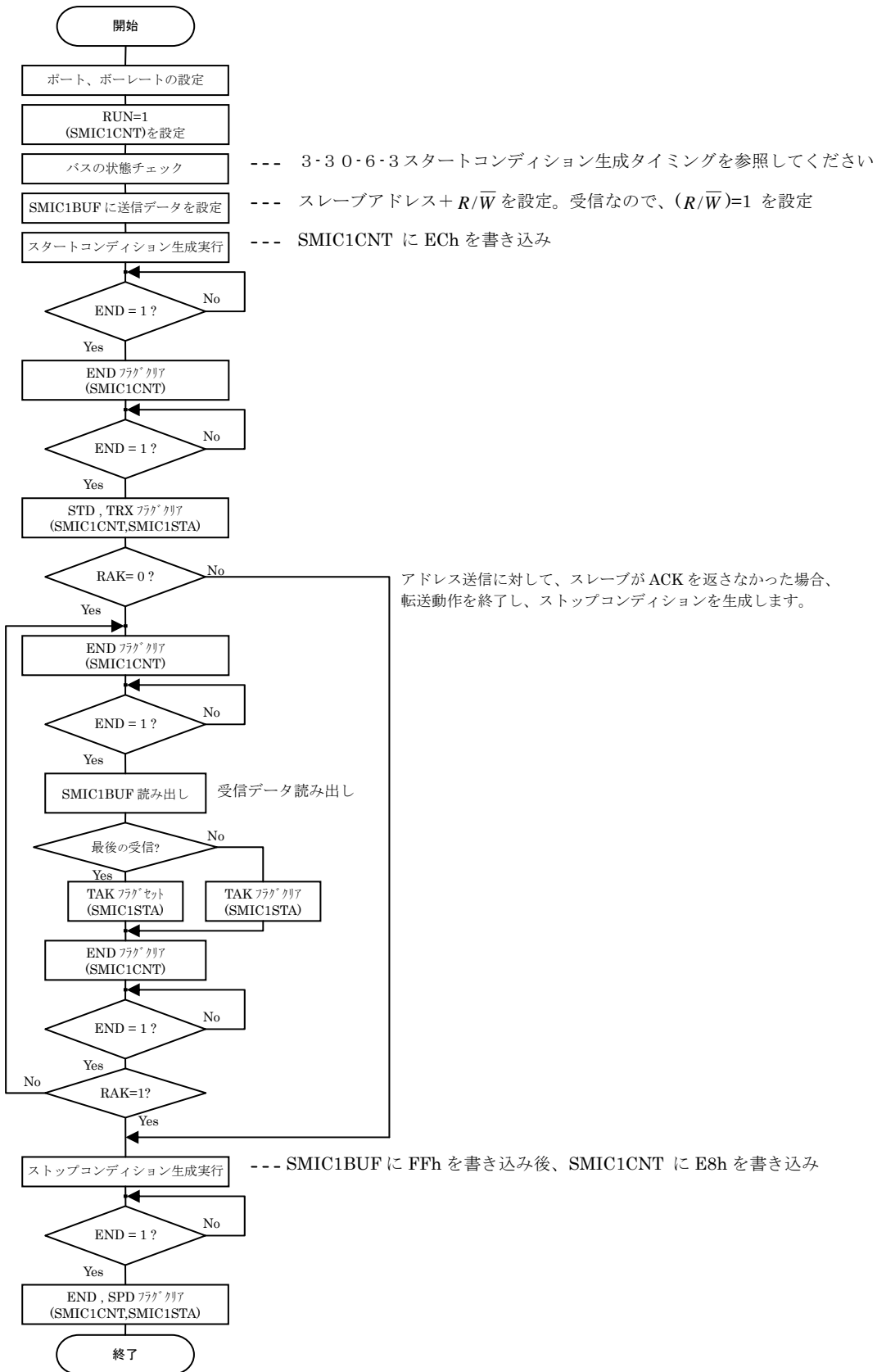
3-30-9-2 シングルマスタ・データ送信（割り込み使用時）の具体例

データ送信・割り込み使用時のフローチャートを示します。



3-30-9-3 シングルマスタ・データ受信(割り込み不使用)の具体例

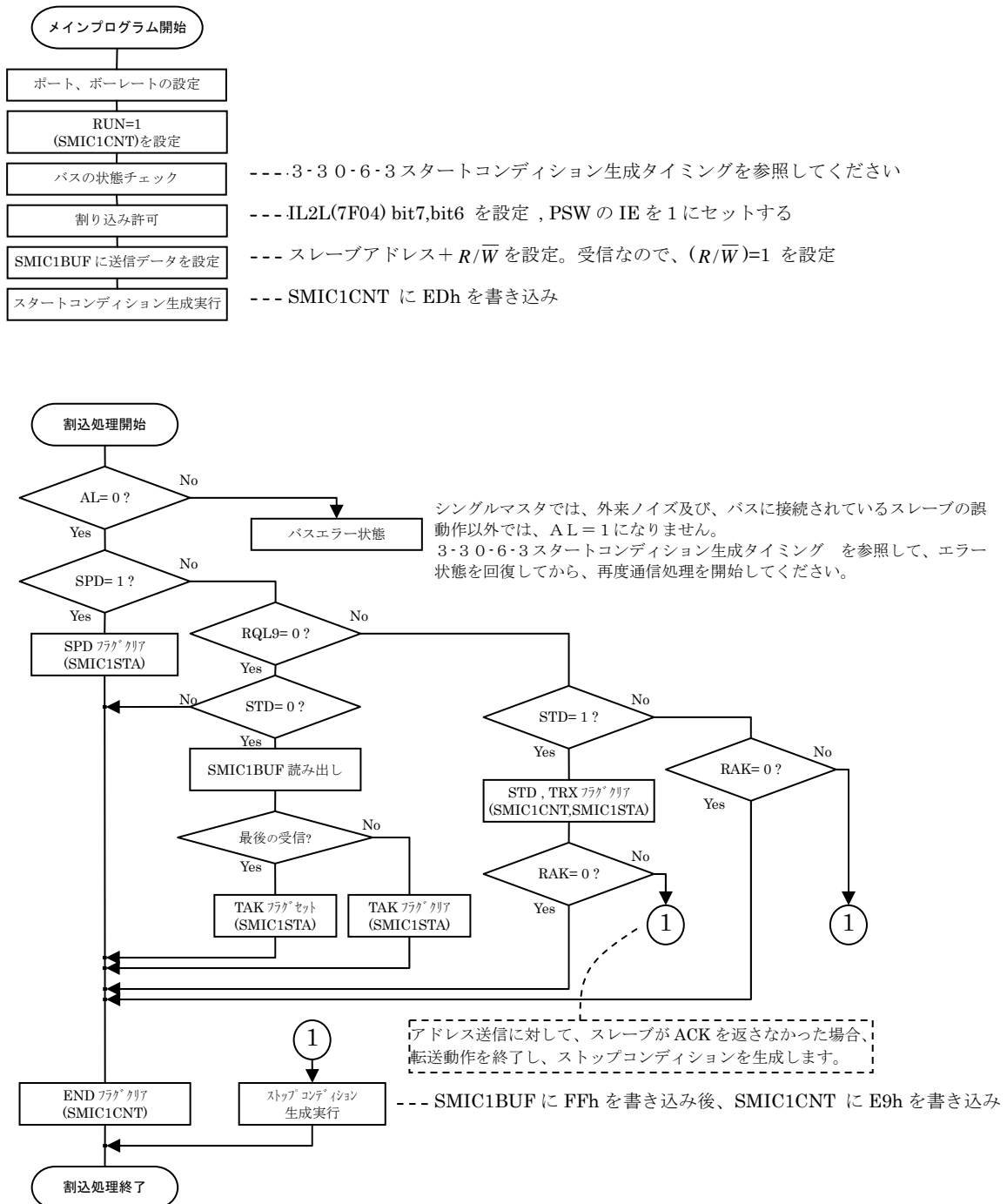
データ受信・割り込み不使用時のフローチャートを示します。



SMIIC1

3-30-9-4 シングルマスタ・データ受信 (割り込み使用時) の具体例

データ受信・割り込み使用時のフローチャートを示します。



3-31 SLIIC0(Slave I²C)

3-31-1 概要

本シリーズが内蔵しているI²Cバススレーブ機能は、次の2つの機能を持ちます。

- ①スレーブモードによるI²C通信(注)
- ②同期式8ビットシリアルI/O(2線式または3線式、データMSB先頭)

(注)本モジュールは、ボーレートジェネレータを内蔵していません。クロックは外部から印加する必要があります。

3-31-2 特殊機能レジスタ(SFR)の操作

SLIIC0を制御するには次に示す特殊機能レジスタを操作する必要があります。

・SLIIC0CNT, SLIIC0STA, SLIIC0PCNT, SLIIC0BUF

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE8	0000 0000	R/W	SLIIC0CNT	RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE
7FE9	0000 0000	R/W	SLIIC0STA	RAK	TAK	AAS	AD0	STD	SRD	RQL9	BB
7FEA	0000 0000	R/W	SLIIC0PCNT	FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW
7FEB	0000 0000	R/W	SLIIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-31-3 回路構成

3-31-3-1 SLIIC0制御レジスタ(SLIIC0CNT) (8ビットレジスタ)

- ①SLIIC0の動作制御を行います。
- ②割り込みの制御を行います。

3-31-3-2 SLIIC0ステータスレジスタ(SLIIC0STA) (8ビットレジスタ)

- ①I²C-BUSの各イベント検出フラグ。
- ②ACKデータの制御を行います。

3-31-3-3 SLIIC0ポート制御レジスタ(SLIIC0PCNT) (8ビットレジスタ)

- ①SLIIC0の動作モードの制御を行います。
- ②フィルタクロックの制御を行います。
- ③I²Cポートの制御を行います。

3-31-3-4 SLIIC0データバッファ(SLIIC0BUF) (8ビットレジスタ)

- ①このレジスタをアクセスすることで、データ送受信を行います。
- ②I²Cモード時、RUN(SLIIC0CNTのビット7)=0の時に、このレジスタをアクセスすることで、アドレス設定レジスタをリードライトすることができます。アドレス設定レジスタにスレーブアドレスの設定を行います。

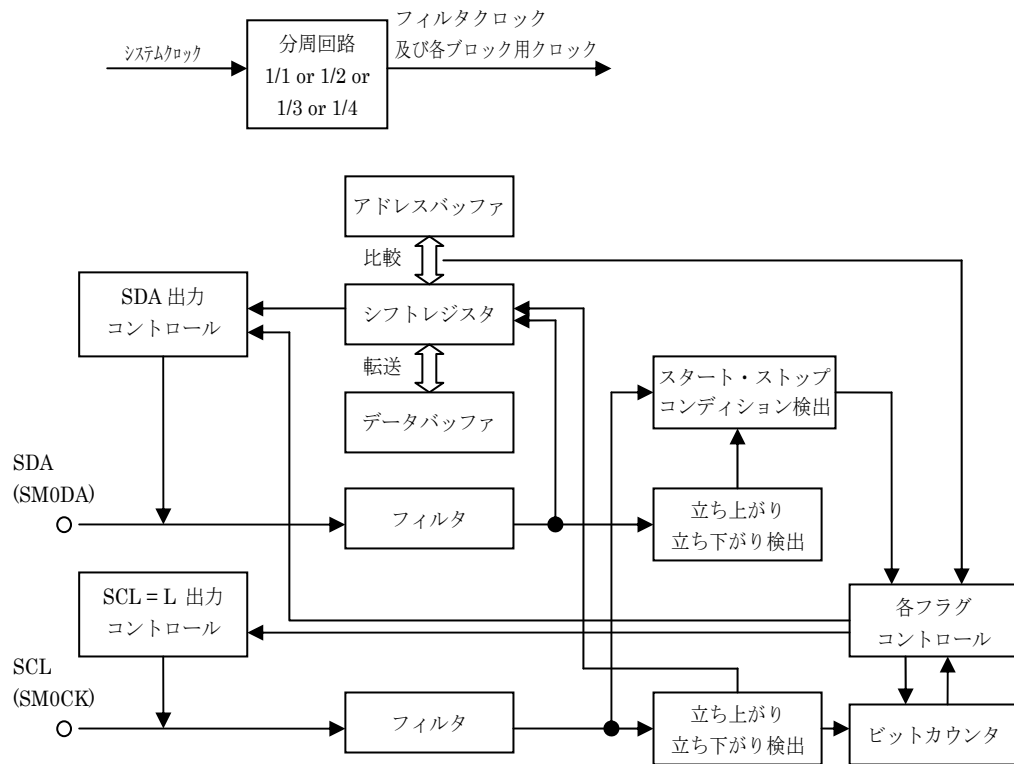


図 3-31-1 SLIIC0ブロック図

3-31-4 関連レジスタ

3-31-4-1 SLIIC0制御レジスタ(SLIC0CNT)

① SLIIC0モジュールの動作制御を行う8ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE8	0000 0000	R/W	SLIC0CNT	RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE

RUN (ビット7) : SLIIC0動作許可

このビットが1の時、SLIIC0モジュールが動作状態となります。
このビットが0の時、SLIIC0モジュールは動作停止します。

TRX (ビット6) : トランスマッタ・レシーバ制御

・I²Cモード時 (SMD=0)

このビットが1の時、トランスマッタとして動作します。
このビットが0の時、レシーバとして動作します。

TRXがリセットされる条件

- ① スタートコンディションを検出した時
- ② ストップコンディションを検出した時
- ③ ACKデータ=Hを検出した時

・同期式8ビットシリアルモード時 (SMD=1)

このビットが1の時、データ転送モードとなります。
このビットが0の時、データ受信モードとなります。

ALS (ビット5) : ALWAYS SELECTED ビット

・I²Cモード時 (SMD=0)

このビットが1の時、アドレス比較結果にかかわらず、バイトの終わりで常にFLGがセットされます。

FLGがセットされるタイミングは、FLGビットの説明部分を参照してください。

このビットが0の時は、ALSビットの値により、FLGのセットがコントロールされます。

通常、このビットは0にして使用してください。

・同期式8ビットシリアルモード時 (SMD=1)

このビットは、0にして使用してください。

SCL8 (ビット4) : 第8クロック立ち下がり時の割り込み制御

- I²Cモード時 (SMD=0)

FLGビットがセットされるタイミングを制御します。

FLGがセットされるタイミングは、FLGビットの説明部分を参照してください。

通常、このビットは0にして使用してください。

- 同期式8ビットシリアルモード時 (SMD=1)

このビットは、0にして使用してください。

SPFLG (ビット3) : ストップコンディション検出フラグ

- I²Cモード時 (SMD=0)

ストップコンディションを検出するとセットされるフラグです。

SPFLGがセットされる条件

- ① ストップコンディションの検出

このビットは自動的にクリアされません。命令でクリアしてください。

- 同期式8ビットシリアルモード時 (SMD=1)

SPFLGがセットされる条件

- ① FLG=1の状態、クロックSMOCK端子の立ち下がりを検出した時

このビットは自動的にクリアされません。命令でクリアしてください。

SPIE (ビット2) : SPFLGによる割り込み要求発生許可制御

このビットとSPFLGがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

FLG (ビット1) : 割り込み要因フラグ

- I²Cモード時 (SMD=0)

データの転送終了時にセットされます。

このビットが1で、かつSCLが‘L’レベルの場合、このフラグがクリアされるまで、本モジュールはSCLに‘L’レベルを継続出力します。

FLGがセットされる条件

- ・AAS=0 かつ ASL=0の時
FLGはセットされません
- ・AAS=1 または、ASL=1の時
 - ①SCL8=0 かつ AD0=0の時
ACKクロックの立ち下がり、FLGはセットされます
 - ②SCL8=1 または AD0=1の時
第8クロック立ち下がり、ACKクロックの立ち下がり、FLGはセットされます。

このビットは自動的にクリアされません。命令でクリアしてください。
このビットをクリアすると、SCLへの‘L’レベル継続出力を終了し、転送動作が継続されます。
このビットをクリアする前に、バッファSLIC0BUFへの送信データセット/受信データ読み出しを完了してください。
また、TRX、TAKのビット書き換えについても、このビットが1の状態で行ってください。

- ・同期式8ビットシリアルモード時 (SMD=1)
データの転送終了時にセットされます。

ENDがセットされる条件

- ①第8クロック立ち上がり

このビットは自動的にクリアされません。命令でクリアしてください。

IE (ビット0) : FLGによる、割り込み要求発生許可制御

このビットとFLGがともに1の時、ベクタアドレス0801CHへの割り込み要求が発生します。

3-31-4-2 SLIIC0ステータスレジスタ (SLIC0STA)

①I²Cバスの制御・各イベントの検出を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE9	0000 0000	R/W	SLIC0STA	RAK	TAK	AAS	AD0	STD	SRD	RQL9	BB

RAK (ビット7) : 受信アックリッジデータ格納ビット (R/O)

アッククロック時のSDAデータの値が格納されます。

RAKがセットされる条件

- ①アッククロック立ち上がりタイミングで、SDA = ‘H’レベルの時

RAKがリセットされる条件

- ①アッククロック立ち上がりタイミングで、SDA = 'L'レベルの時
- ②RUN = 0 の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD = 1)、このビットは使用しません。リードすると、0が読まれます。

TAK(ビット6):アッククロック時のSDA制御ビット

レシーバモード時に、アッククロックタイミングでSDAにこのビットの値が出力されます。

ただし、第1バイト目(スタートコンディションの直後の1バイト)のアッククロック時は、以下のデータが自動的にSDAに出力されます。

(アドレス一致時の自動ACK出力)

AAS = 1 かつ AD0 = 0 の場合

SDA = 'L'レベル出力

AAS = 0 または AD0 = 1 の場合

SDAには、このビットの値が出力されます。

トランスミッタモード時は、このビットのデータにかかわらず、アッククロックタイミングでSDA = 'H'レベルを出力します。

TAKがセットされる条件

- ①スタートコンディションを検出した時
- ②ストップコンディションを検出した時
- ③ACKデータ = Hを検出した時

※同期式8ビットシリアルモード時(SMD = 1)、このビットは自動的にセットされません。このビットは0にして使用してください。

AAS(ビット5):アドレス一致検出フラグ(R/O)

AASがセットされる条件

ACMPD(アドレス設定レジスタのビット7)が0の場合

- ①受信したアドレスデータ(スタートコンディション直後のデータ)の上位7ビットと、アドレス設定レジスタのADR値7ビットが一致した場合
- ②受信したアドレスデータ8ビットすべて0である場合(ジェネラルコール)

ACMPD(アドレス設定レジスタのビット7)が1の場合

AASはセットされません。

AASがリセットされる条件

- ① スタートコンディションを検出した時
- ② ストップコンディションを検出した時
- ③ RUN = 0の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD = 1)、このビットは使用しません。リードすると、0が読まれます。

AD0(ビット4):ジェネラルコール検出フラグ(R/O)

AD0がセットされる条件

ACMPD(アドレス設定レジスタのビット7)が0の場合

- ① 受信したアドレスデータ(スタートコンディション直後のデータ)8ビットすべて0である場合(ジェネラルコール)

ACMPD(アドレス設定レジスタのビット7)が1の場合

AD0はセットされません。

AD0がリセットされる条件

- ① スタートコンディションを検出した時
- ② ストップコンディションを検出した時
- ③ RUN = 0の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD = 1)、このビットは使用しません。リードすると、0が読まれます。

STD(ビット3):スタートコンディション検出フラグ(R/O)

スタートコンディションを検出するとセットされるフラグです。

STDがセットされる条件

- ① スタートコンディションの検出

STDがリセットされる条件

- ① ストップコンディションの検出
- ② FLGビットを、プログラムによりクリアした時
- ③ アドレス不一致検出時
- ④ RUN = 0の時

SLIIC0

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD=1)、このビットは使用しません。リードすると、0が読まれます。

SRD(ビット2):再スタートコンディション検出フラグ(R/O)

再スタートコンディションを検出するとセットされるフラグです。

SRDがセットされる条件

- ①再スタートコンディションの検出

SRDがリセットされる条件

- ①ストップコンディションの検出
- ②FLGビットを、プログラムによりクリアした時
- ③アドレス不一致検出時
- ④RUN=0の時

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD=1)、このビットは使用しません。リードすると、0が読まれます。

RQL9(ビット1):アックロックタイミング検出フラグ(R/O)

第9クロックの立ち下がりから、次のクロックの立ち下がりまでの間、1になるフラグです。

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD=1)、このビットは使用しません。リードすると、0が読まれます。

BB(ビット0):バスビジーフラグ(R/O)

このビットはバスの使用状態を示し、スタートコンディションの検出でセットされ、ストップコンディションの検出でリセットされます。

このビットが1の時は、I²Cバスは使用状態であることを示します。

BBがセットされる条件

- ①スタートコンディションの検出

BBがリセットされる条件

- ①ストップコンディションの検出
- ②RUN=0の場合

このビットは読み出し専用です。このビットを命令により直接、書き換えることはできません。

※同期式8ビットシリアルモード時(SMD=1)、このビットは使用しません。リードすると、0が読まれます。

3-31-4-3 SLIIC0ポート制御レジスタ(SLIC0PCNT)

- ①SLIIC0の動作モードの制御を行います。
- ②フィルタクロックの制御を行います。
- ③I²Cポートの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEA	0000 0000	R/W	SLIC0PCNT	FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW

FIX0 (ビット7)

このビットは、0に設定して使用してください。

SMD (ビット6) : I²C / 同期式8ビットシリアルモード切り替え

このビットが1の時、同期式8ビットシリアルモードで動作します。

また、このビットが1の時は、クロック・データ入力端子のノイズフィルタ機能は働きません。

このビットが0の時、I²C通信モードで動作します。

また、このビットが0の時は、クロック・データ入力端子のノイズフィルタ機能が動作します。

BRP (ビット5、4) : フィルタクロック制御

BPR	フィルタクロック周期 (Tfilt)
00	Tcyc × 1
01	Tcyc × 2
10	Tcyc × 3
11	Tcyc × 4

※Tcycはシステムクロック周期

BRPは、フィルタクロック周期 Tfilt が以下の範囲になるように設定してください。

$$250\text{nsec} \geq \text{Tfilt} > 140\text{nsec}$$

システムクロック周波数と設定値の例

システムクロック	BRP	Tfilt
4MHz	00	250ns × 1 = 250ns
6MHz	00	166ns × 1 = 166ns
7MHz	00	143ns × 1 = 143ns
8MHz	01	125ns × 2 = 250ns

※同期式8ビットシリアルモード時は、BRP=00に設定してください。

SLIIC0

SHDS (ビット3) : SDA内部HOLD時間調整

このビットは、通常0にして使用してください。

PHV (ビット2) : I²Cポート電圧制御

このビットは、1で使用してください。

PCLV (ビット1) : I²Cポート入力特性制御

このビットが1の時、PA4, PA5の入力スレッショルド電圧は、CMOSレベルとなります。

このビットが0の時、PA4, PA5の入力スレッショルド電圧は、TTLレベルとなります。

このモジュールをI²Cモードで使う場合、このビットは1に設定して使用してください。

PSLW (ビット0) : I²CポートSLOW制御

このビットが1の時、PA4, PA5の出力特性は、SLOWとなります。

このビットが0の時、PA4, PA5ポートの出力特性は、PALAT、PADDR、PAFSA、PAFSBにより制御されます。

このビットを1にすると、PA4, PA5の出力信号の立ち下がり時間がSLOWモードとなりますが、PA4, PA5端子にLOW出力を開始してから、実際に端子電圧がLOWレベルになるまでの時間が長くなってしまいます。

出力信号の立ち下がり特性に問題がなければ、このビットは0に設定して使用してください。

※このSLIC0PCNTレジスタの値は、RUN=0の状態を設定してください。モジュール動作中(RUN=1設定中)は、このレジスタ値の書き換えは行わないでください。

3-31-4-4 SLIC0データバッファ(SLIC0BUF)

- ①このレジスタをアクセスすることで、データ送受信を行います。
- ②I²Cモード時、RUN(SLIC0CNTのビット7)=0の時に、このレジスタをアクセスすることで、スレーブアドレスの設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEB	0000 0000	R/W	SLIC0BUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

- データの受信
 - I²Cモード時(SMD=0、RUN=1)

トランスマッタ・レシーバモードとも、第8クロックのSCL立ち下がりタイミングで、受信したシフトレジスタのデータの内容が、SLIC0BUFレジスタに転送されます。
 - 同期式8ビットシリアルモード時(SMD=1)

送信・受信モードとも、第8クロックのSCL立ち上がりタイミングで、受信したシフトレジスタのデータの内容が、SLIC0BUFレジスタに転送されます。
- データの送信
 - I²Cモード時(SMD=0、RUN=1)

トランスマッタモード時、SLIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

 - ①スタートコンディション検出時
 - ②FLG=1の時に、SLIC0BUFに書き込みを行った時
 - 同期式8ビットシリアルモード時(SMD=1)

データ送信モード時、SLIC0BUFレジスタの内容が送信用シフトレジスタに転送されるのは、以下のタイミングです。

 - ①RUN=0の時に、SLIC0BUFに書き込みを行った時
 - ②FLG=1の時に、SLIC0BUFに書き込みを行った時

I²Cモード時(SMD=0)で、RUN=0の時にこのレジスタにアクセスすることで、アドレス設定レジスタに対してリード・ライトを行うことができます。

アドレス設定レジスタは、8ビットのレジスタで、以下のようなビット構成となっています。

ACMPD(ビット7):アドレス比較ディセーブルビット

このビットが1の時、受信アドレスとADRレジスタの値の比較を禁止します。
通常は、このビットは0に設定して使用してください

ADR(ビット6~0):スレーブアドレス

スレーブアドレスを設定します。

SLIIC0

3-31-4-5 SLIIC0ポートの設定

①クロック入力ポート(PA4)の設定

レジスタデータ				ポートPA4の状態
PAFSA<4>	PAFSB<4>	PALAT<4>	PADDR<4>	出力
1	1	1	1	オープン(同期式8ビットシリアルモード時外部クロック入力)
1	1	0	1	I ² C SCL出力(Nchオープンドレイン)

②データ入出力ポート(PA5)の設定

レジスタデータ				ポートPA5の状態	
PAFSA<5>	PAFSB<5>	PALAT<5>	PADDR<5>	入力	出力
1	1	1	1	可能(データ受信入力)	オープン
1	0	0	1	可能(データ受信入力)	データ出力(CMOS)
1	1	1	0	可能(データ受信入力)	データ出力(CMOS変化SLOW)
1	1	0	1	可能(データ受信入力)	データ出力/I ² C SDA出力(Nchオープンドレイン)

③データ出力ポート(PA6)の設定(3線式同期式8ビットシリアルモード時に使用)

レジスタデータ				ポートPA6の状態
PAFSA<6>	PAFSB<6>	PALAT<6>	PADDR<6>	出力
1	0	0	1	データ出力(CMOS)
1	1	1	0	データ出力(CMOS変化SLOW)
1	1	0	1	データ出力(Nchオープンドレイン)

※ 本モジュールをI²Cモードで使用する時は、SLIIC0ポート制御レジスタ(SLIIC0CNT)のPCLV=1、PA4、PA5をI²C SCL出力(Nchオープンドレイン)、I²C SDA出力(Nchオープンドレイン)モードにして使用してください。

※ SLIIC0ポート制御レジスタ(SLIIC0PCNT)のPSLWビットは、信号立ち下がり特性に問題がなければ、0(FASTモード)に設定してください。

※ 同期式8ビットシリアルモードで通信を行う場合は、クロック入力ポートの設定をオープンにしてください。また、同期式8ビットシリアルモードでデータの受信を行う場合は、データ入出力ポートの設定をオープンにしてください。

3-31-5 I²CポートSLOW設定時の注意事項

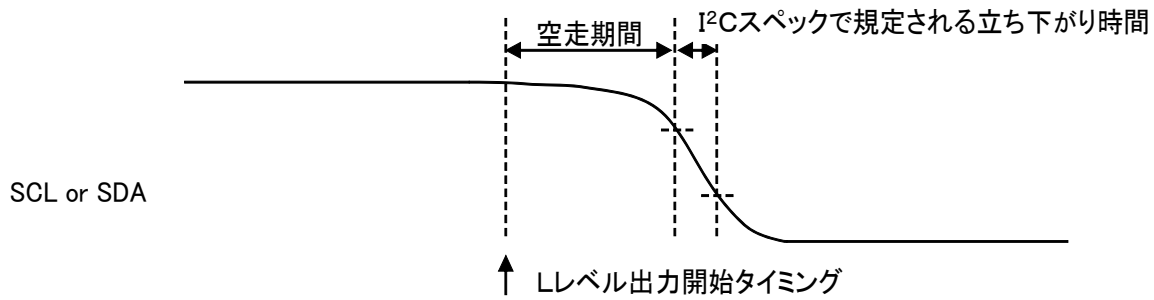


図 3-31-2 I²Cポート立ち下がり波形

I²Cポート出力特性をSLOW設定した場合、上図のようにLレベル出力を開始してから、実際にポートがLレベルになるまでの時間がFAST設定時と比べて長くなります。「半導体データシート」のI²C入出力特性は、出力開始タイミングを基準として規定していますので、注意が必要です。

3-31-6 スタートコンディション/ストップコンディション

3-31-6-1 スタート/ストップコンディションの定義

SCLが‘H’の間は、SDAは安定状態でなければなりません。つまり、SDAが‘H’と‘L’の間で変化できるのはSCLが‘L’の時だけです。このことを利用して、I²Cプロトコルでは、データ転送の開始、停止に伴う信号を以下のように特別に定義しています。

- ・スタートコンディション(S)
データ転送の開始条件。SCLが‘H’の時に、SDAが‘H’から‘L’に変化する。
- ・ストップコンディション(P)
データ転送の停止条件。SCLが‘H’の時に、SDAが‘L’から‘H’に変化する。

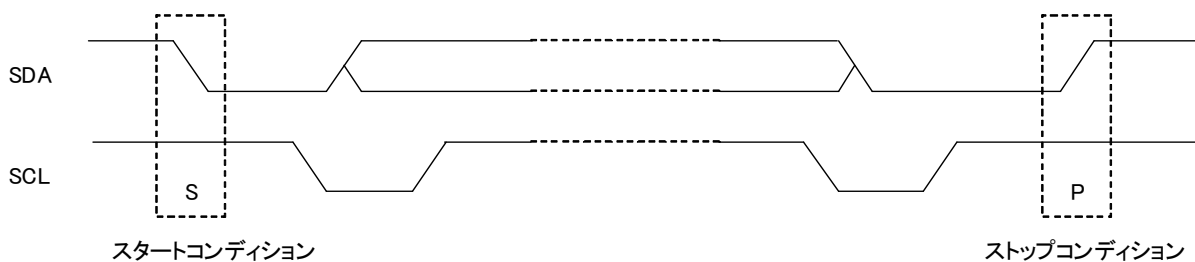
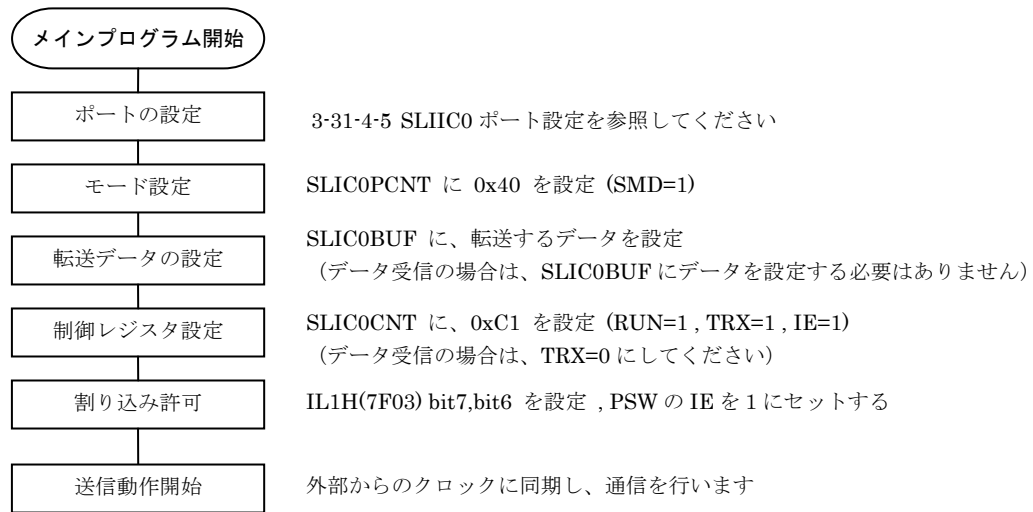


図 3-31-3 スタートコンディションとストップコンディション

3-31-7 単純SIOモード通信の具体例

3-31-7-1 単純SIOモード1バイト送受信具体例

1. メインプログラム



2. 割り込み処理

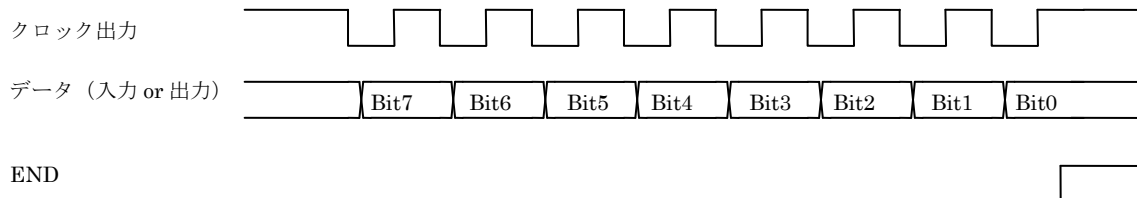
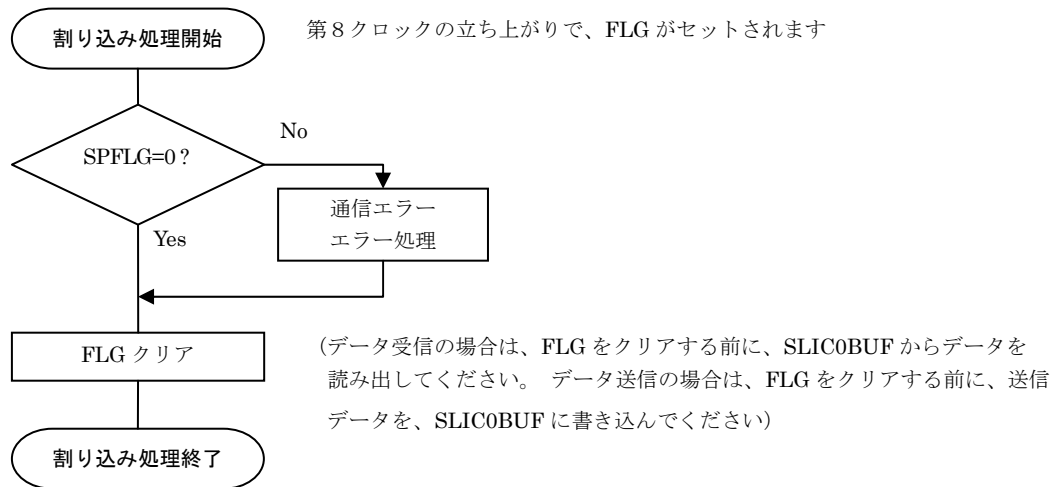


図 3-31-4 単純SIOモード1バイト送受信波形

3-31-8 I²Cモード通信の具体例

3-31-8-1 I²Cモード1バイト受信具体例

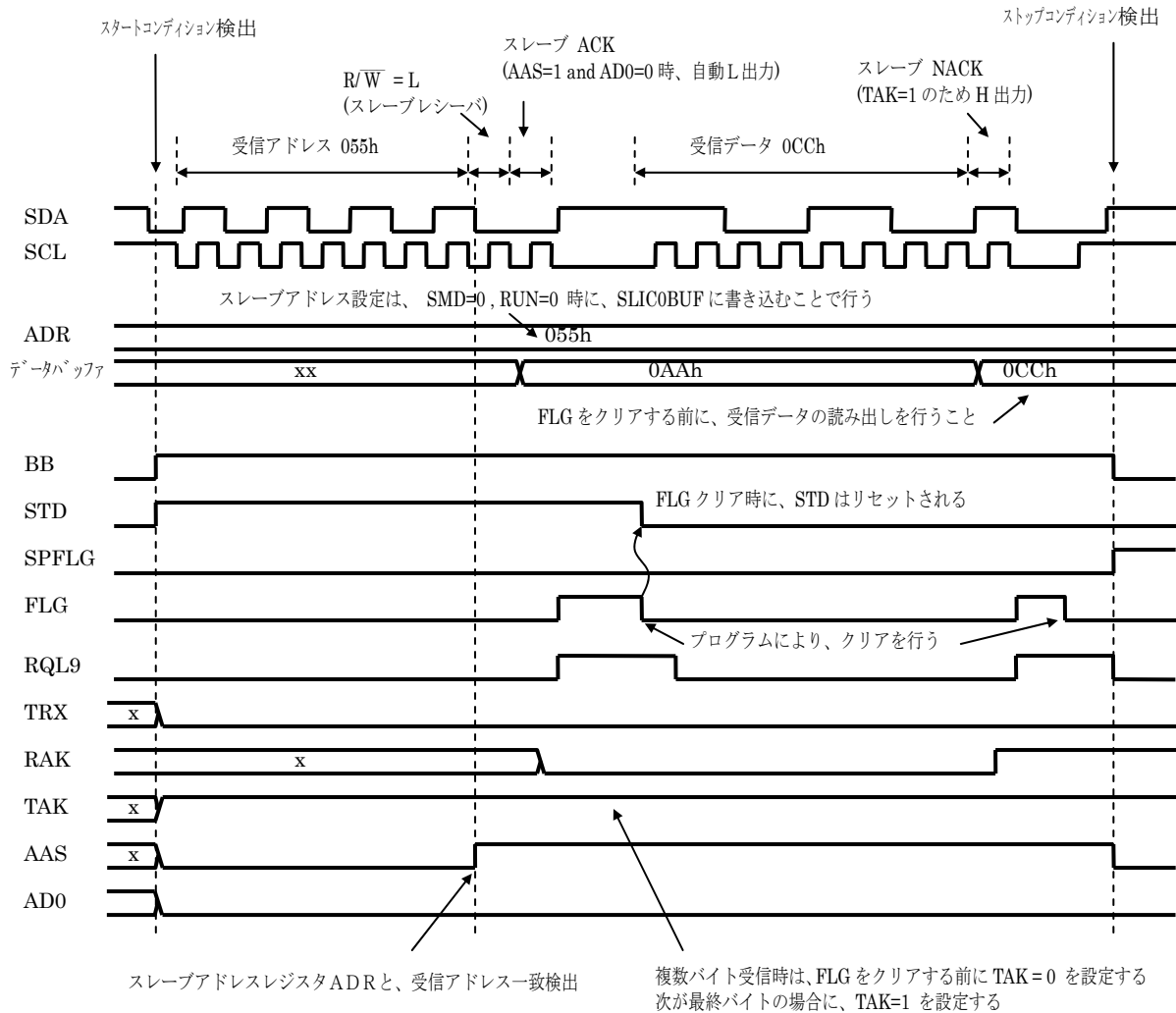
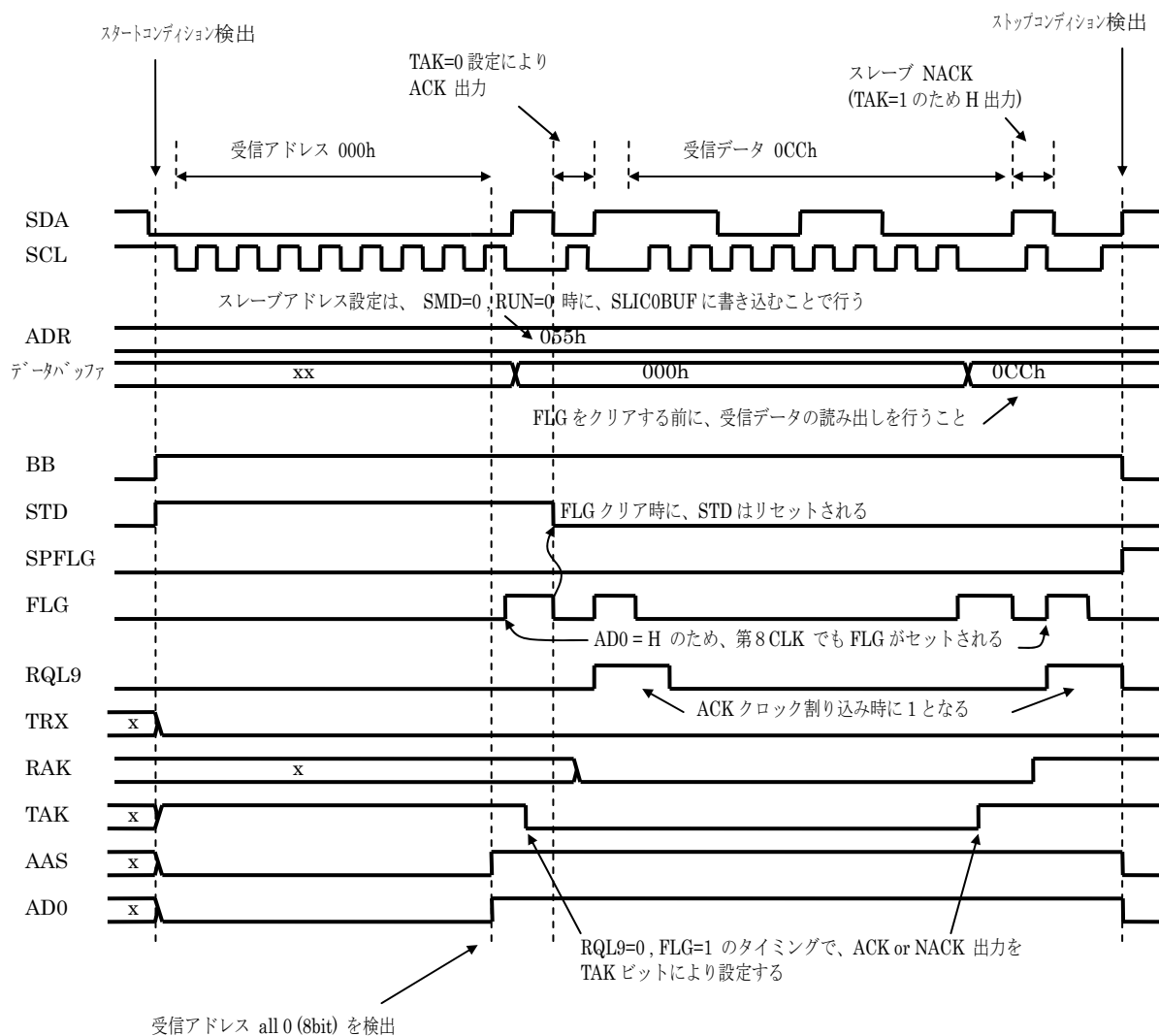


図 3-31-5 I²C モード 1 バイト受信 タイミング 図

3-31-8-2 I²Cモード1バイト受信具体例(ジェネラルコール)図 3-31-6 I²C モード 1 バイト受信タイミング図(ジェネラルコール)

ジェネラルコールアドレスを受信した場合、AD0フラグがセットされることにより、第8CLK立ち下がり時にも、FLGがセットされます。

ジェネラルコールに対してACKを返すかどうかの制御は、アドレスバイトの第8CLK割り込み時(AD0=H, STD=H, RQL9=Lにより判断)に、TAKビットを設定することにより行ってください。

3-31-8-3 I²Cモード1バイト送信具体例

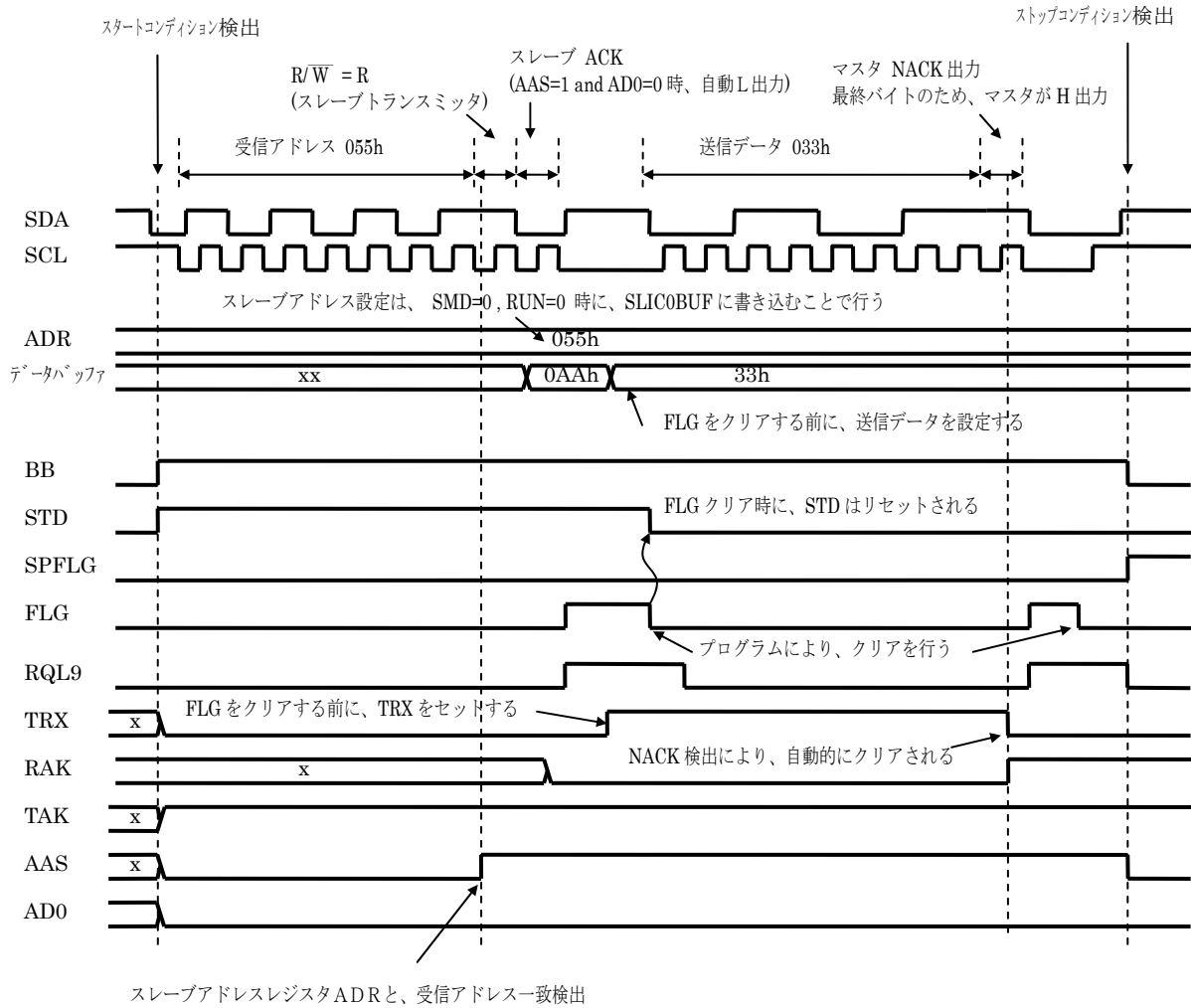


図 3-31-7 I²C モード 1 バイト送信 タイミング 図

PWM0

3-32 PWM0

3-32-1 概要

本シリーズが内蔵しているPWM0は2本の出力 (PWM0A, PWM0B) を持つ12ビット PWMで、周期可変の8ビット基本波 PWM発生回路と4ビットの付加パルス発生回路から構成されています。

3-32-2 機能

① PWM0基本波周期

- ・基本波周期 = (16~256)TPWMR0
(16TPWMR0単位で可変、PWM0A, PWM0B共通)

② PWM0A出力

- (1) 基本波 PWMモード (レジスタPWM0AL=0設定)
 - ・HIGHパルス幅 = 0~基本波周期 - TPWMR0 (TPWMR0単位で可変)
- (2) 基本波 + 付加パルスPWMモード
 - ・全体周期 = 基本波周期 × 16
 - ・HIGHパルス幅 = 0~全体周期 - TPWMR0 (TPWMR0単位で可変)

③ PWM0B出力

- (1) 基本波 PWMモード (レジスタPWM0BL=0設定)
 - ・HIGHパルス幅 = 0~基本周期 - TPWMR0 (TPWMR0単位で可変)
- (2) 基本波 + 付加パルスPWMモード
 - ・全体周期 = 基本波周期 × 16
 - ・HIGHパルス幅 = 0~全体周期 - TPWMR0 (TPWMR0単位で可変)

④ 割り込みの発生

割り込み要求許可ビットがセットされている場合、PWM0の全体周期で割り込み要求が発生します。

⑤ PWM0を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・PWM0AL, PWM0AH, PWM0BL, PWM0BH, PWM0C, PWM0PR
- ・PWMCNT, P4LAT, P4DDR, P4FSA, P4FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PRO				PROCK		UOCKSL	PWM0CK

3-32-3 回路構成

3-32-3-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

- ① PWM0の動作、割り込みの制御を行います。

3-32-3-2 PWM0基本波カウンタ(8ビットカウンタ)

- ① 動作開始/停止: PWM0Cレジスタのビット2(ENPWM0A)又はビット3(ENPWM0B)の1/0により制御されます。
- ② カウントクロック: PWM0プリスケラー一致信号
- ③ 一致信号: カウント値がCHの設定値と一致すると一致信号を発生します。
- ④ リセット: 動作停止、または一致信号発生時。

3-32-3-3 PWM0付加パルスカウンタ(4ビットカウンタ)

- ① カウントクロック: PWM0一致信号
- ② 一致信号: カウント値がPWM0AL, PWM0BLの設定値と一致すると一致信号を発生します。
- ③ リセット: リセット時

3-32-3-4 PWM0AコンペアレジスタL(PWM0AL) (4ビットレジスタ)

- ① PWM0Aの付加パルスの制御を行います。
- ② PWM0ALにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

3-32-3-5 PWM0AコンペアレジスタH(PWM0AH) (一致バッファレジスタ付き8ビットレジスタ)

- ① PWM0AのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0A出力がLOWに変化します。
- ② PWM0ALのビット7~4を全て“0”固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。
- ③ 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時にはPWM0AHと一致バッファレジスタは同値となります。
 - ・動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0AHの値をロードします。

3-32-3-6 PWM0BコンペアレジスタL(PWM0BL) (4ビットレジスタ)

- ① PWM0Bの付加パルスの制御を行います。
- ② PWM0BLにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

PWM0

3-32-3-7 PWM0BコンペアレジスタH(PWM0BH) (一致バッファレジスタ付き8ビットレジスタ)

- ① PWM0BのHIGHパルス幅の制御を行います。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとPWM0基本波カウンタの値が一致した時PWM0B出力がLOWに変化します。
- ② PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。
- ③ 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時にはPWM0BHと一致バッファレジスタは同値となります。
 - ・動作時にはPWM0基本波カウンタが0になる時、一致バッファレジスタはPWM0BHの値をロードします。

3-32-3-8 PWM0プリスケアラ(PWM0PR) (8ビットレジスタ)

- ① 動作開始/停止: PWM0Cレジスタのビット2(ENPWM0A)又はビット3(ENPWM0B)の1/0により制御されます。
- ② カウントクロック: TMCLK0のビット0(PWM0CK)で選択されます。

モード	PWM0CK	PWM0プリスケアラのカウントクロック
0	0	システムクロック(Tcyc)
1	1	OSC1

- ③ 一致信号: カウント値が8ビットレジスタPWM0PR<7:0>の値と一致すると一致信号を発生します。
- ④ リセット: 動作停止時、または一致信号発生時。
- ⑤ PWM0プリスケアラ周期
$$TPWMR0 = (PWM0PR < 7:0 > + 1) \times \text{カウントクロック}$$

3-32-3-9 タイマクロック設定レジスタ0(TMCLK0) (8ビットレジスタ)

- ① PWM0プリスケアラのカウントクロックを設定します。

3-32-3-10 PWM0A出力(PWM0A)

- ① PWM0A動作停止時、PWM0AはLOW固定となり、PWM0A動作時、PWM0Aは周期可変のPWM出力。

3-32-3-11 PWM0B出力(PWM0B)

- ① PWM0B動作停止時、PWM0BはLOW固定となり、PWM0B動作時、PWM0Bは周期可変のPWM出力。

PWM0

3-32-4 関連レジスタ

3-32-4-1 PWM0制御レジスタ(PWM0C) (8ビットレジスタ)

① PWM0の動作, 割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWM0C	CH				ENPWM0B	ENPWM0A	OV	IE

CH(ビット7~4): PWM0周期設定

基本波周期 = (CHで示される値 + 1) × 16TPWMR0

全体周期 = 基本波周期 × 16

ENPWM0B(ビット3): PWM0B動作制御

このビットが1の時、PWM0Bが動作します。

このビットが0の時、PWM0Bが停止します。

ENPWM0A(ビット2): PWM0A動作制御

このビットが1の時、PWM0Aが動作します。

このビットが0の時、PWM0Aが停止します。

OV(ビット1): PWM0オーバーフローフラグ

PWM0の全体周期毎にセットされます。

このフラグは命令でクリアしてください。

IE(ビット0): PWM0割り込み要求発生許可制御

このビットとOVがともに1の時、ベクタアドレス802CHへの割り込み要求が発生します。

3-32-4-2 PWM0AコンペアレジスタL(PWM0AL) (4ビットレジスタ)

① PWM0Aの付加パルスの制御を行います。

② PWM0ALにはビット7~4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWM0AL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-32-4-3 PWM0AコンペアレジスタH(PWM0AH) (8ビットレジスタ)

① PWM0Aの基本波パルス幅の制御を行います。

HIGHパルス幅 = (PWM0AH<7:0>で示される値) × TPWMR0

② PWM0ALのビット7~4を全て“0”固定すると、PWM0AはPWM0AHで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAB	0000 0000	R/W	PWM0AH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-32-4-4 PWM0BコンペアレジスタL (PWM0BL) (4ビットレジスタ)

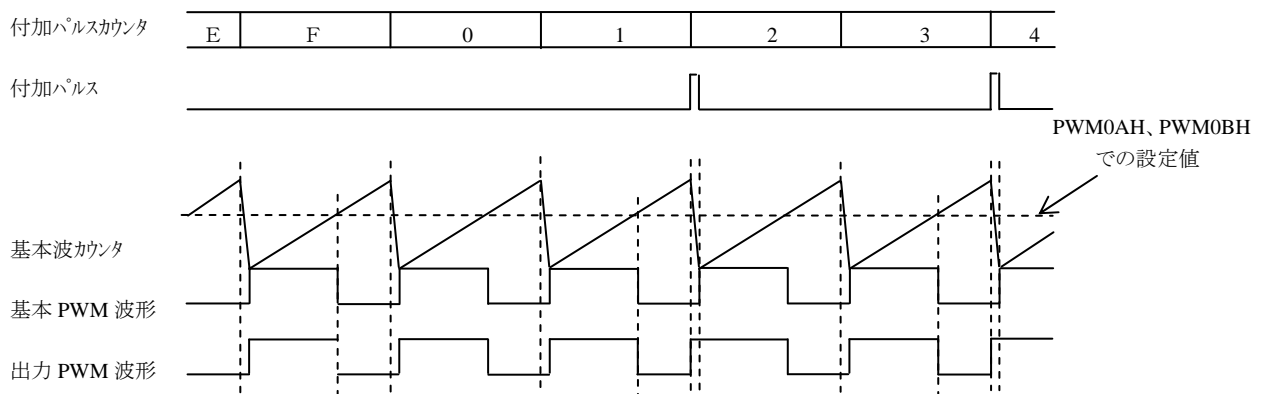
- ① PWM0Bの付加パルスの制御を行います。
- ② PWM0BLにはビット7～4が存在し、読み込み時、下位4ビットは全て“0”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWM0BL	BIT7	BIT6	BIT5	BIT4	-	-	-	-

3-32-4-5 PWM0BコンペアレジスタH (PWM0BH) (8ビットレジスタ)

- ① PWM0Bの基本波パルス幅の制御を行います。
HIGHパルス幅 = (PWM0BH < 7:0 > で示される値) × TPWMR0
- ② PWM0BLのビット7～4を全て“0”固定すると、PWM0BはPWM0BHで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAD	0000 0000	R/W	PWM0BH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0



3-32-4-6 PWM0プリスケーラ (PWM0PR) (8ビットレジスタ)

- ① PWM0プリスケーラのカウンタ値を設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAF	0000 0000	R/W	PWM0PR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

(ビット7～0) : PWM0プリスケーラ制御

上記8ビットでPWM0プリスケーラの周期を設定します。

$$\text{PWM0PR周期} = (\text{PWM0PR} < 7:0 > + 1) \times \text{カウントクロック}$$

3-32-4-7 タイマクロック設定レジスタ0

- ① PWM0のクロック選択を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB6	0000 0000	R/W	TMCLK0	PR0			PROCK		U0CKSL	PWM0CK	

PR0 (ビット7～4) : このモジュールでは使用しません。

PROCK (ビット3、2) : このモジュールでは使用しません。

U0CKSL (ビット1) : このモジュールでは使用しません。

PWM0

PWM0CK (ビット0) : PWM0カウントクロック選択。

モード	PWM0CK	PWM0プリスケアラのカウントクロック
0	0	システムクロック
1	1	OSC1

(注) このビットはPWMモジュールが停止時に設定してください。

3-32-5 PWM0出力のポート設定

① PWM0A (P46)

レジスタデータ				ポートP46の状態
P4FSA<6>	P4FSB<6>	P4LAT<6>	P4DDR<6>	出力
1	0	1	0	PWM0A 出力 (CMOS反転)
1	0	0	1	PWM0A 出力 (CMOS)
1	1	1	0	PWM0A 出力 (CMOS変化SLOW)
1	1	0	1	PWM0A出力 (Nchオープンドレイン)

② PWM0B (P47)

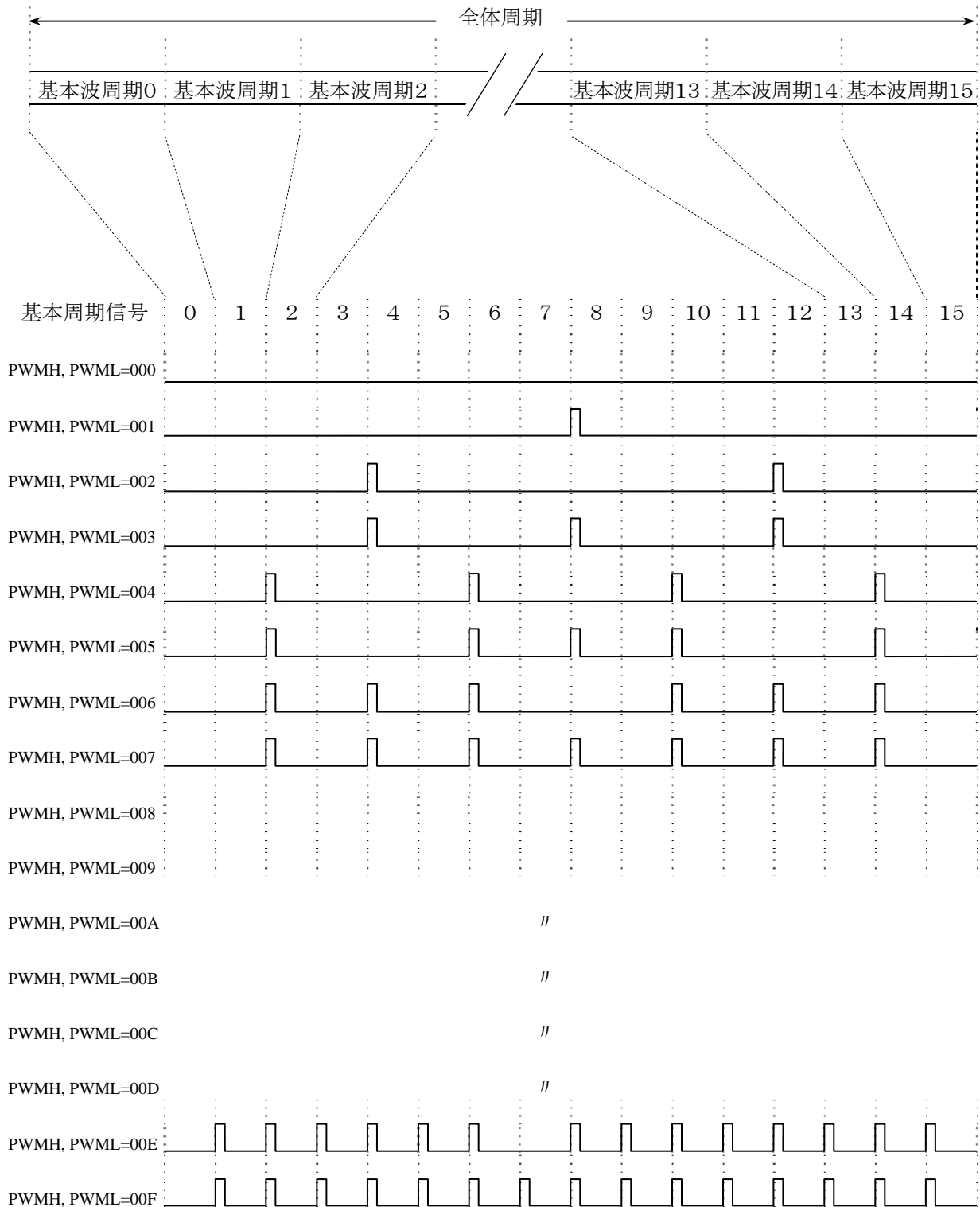
レジスタデータ				ポートP47の状態
P4FSA<7>	P4FSB<7>	P4LAT<7>	P4DDR<7>	出力
1	0	1	0	PWM0B 出力 (CMOS反転)
1	0	0	1	PWM0B 出力 (CMOS)
1	1	1	0	PWM0B 出力 (CMOS変化SLOW)
1	1	0	1	PWM0B 出力 (Nchオープンドレイン)

- 12ビットPWMは、以下のような波形構成となります。
 - 全体周期は、基本波周期が16個で構成されます。
 - 基本波周期内は、8ビットPWMで構成されます。(PWMコンペアレジスタH) (PWMH)
 - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。(PWMコンペアレジスタL) (PWML)

12ビットレジスタ構成 → (PWMH), (PWML) = XXXX XXXX, XXXX (12ビット)

- 基本波周期内への、パルス付加状況 例1

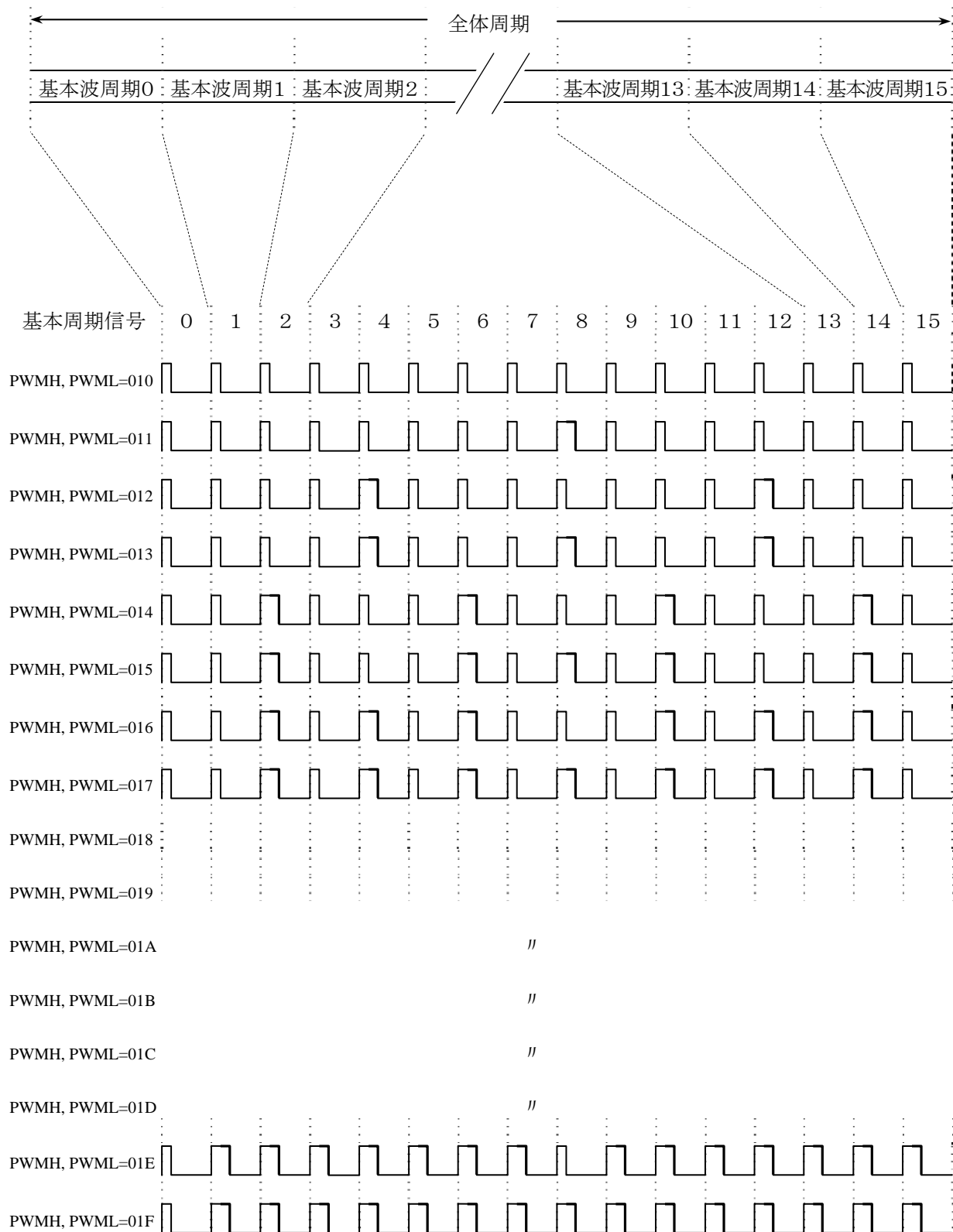
- PWMコンペアレジスタH (PWMH) = 00 [H]
- PWMコンペアレジスタL (PWML) = 0~F [H]



PWM0

- 基本波周期内への、パルス付加状況 例2

- PWMコンペアレジスタH (PWMH) = 01 [H]
- PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期は、(16~256)TPWMR0 の範囲で可変です。

基本波周期 = (CHで示される値 + 1) × 16TPWMR0

- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

3-33 ADコンバータ

3-33-1 概要

本シリーズは、下記の特徴を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ① 12ビット分解能
- ② 逐次比較方式
- ③ AD変換モード切り替え機能（分解能切り替え）
- ④ 16チャンネルアナログ入力
- ⑤ 変換時間切り替え機能
- ⑥ 基準電圧自動発生制御機能
- ⑦ 8ビットコンパレータ

3-33-2 機能

① 逐次比較方式

- ・12ビット分解能を持っています。
- ・変換には、変換開始から所定の変換時間が必要です。
- ・変換結果は、AD変換結果レジスタ(ADRL, ADRH)に転送されます。

② AD変換切り替え機能（分解能切り替え）

使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMR)で行います。

③ 16チャンネルアナログ入力

変換される信号は、P60～P67, P70～P77から入力される16種類のアナログ信号からAD制御レジスタ(ADCR)で選択されます。

④ 変換時間切り替え機能

AD変換時間をサイクルタイムの $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ （分周比）に切り替えることができます。適切なAD変換ができるようにAD制御レジスタ(ADCR)によって切り替えます。

⑤ 基準電圧自動発生制御機能

基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生のセット/リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

⑥ コンパレータ機能

8ビット分解のコンパレータ機能を持っており、16チャンネルのアナログ入力との比較することができます。

ADC

⑦ ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ADCR, ADMR, ADRL, ADRH, P6LAT, P6DDR, P6FSB
- ・P7LAT, P7DDR, P7FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-33-3 回路構成

3-33-3-1 AD変換制御

① AD変換制御には12ビットAD変換モードと8ビットAD変換モードがあります。

3-33-3-2 比較回路

① 入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する制御回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCR)の変換終了フラグ(ENDFLG)がセットされます。変換結果は、AD変換結果レジスタ(ADRH, ADRL)に格納されます。

3-33-3-3 マルチプレクサ1(MPX1)

① 16チャンネルからAD変換するアナログ信号を選択します。

3-33-3-4 基準電圧自動発生回路

① ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はVDD~VSSの範囲で作成されます。

3-33-4 関連レジスタ

3-33-4-1 ADコンバータ制御レジスタ(ADCR)

①ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F20	0000 0000	R/W	ADCR	CHSEL				CMP	START	ENDFLG	IE

CHSEL(ビット7～4):AD変換入力選択

上記4ビットでAD変換する信号を選択します。

CHSEL	信号入力端子
0000	P60/AN0
0001	P61/AN1
0010	P62/AN2
0011	P63/AN3
0100	P64/AN4
0101	P65/AN5
0110	P66/AN6
0111	P67/AN7
1000	P70/AN8
1001	P71/AN9
1010	P72/AN10
1011	P73/AN11
1100	P74/AN12
1101	P75/AN13
1110	P76/AN14
1111	P77/AN15

CMP(ビット3):ADコンバータ/コンパレータ動作制御

8ビットコンパレータ(1)/ADコンバータ(0)の動作モードを設定します。

“1”の設定時、8ビットコンパレータとして動作します。変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャンネル選択は本レジスタの入力チャンネルビットで設定します。比較データは変換結果上位レジスタ(ADRH)で設定したデジタル値と比較し、比較結果は変換結果下位レジスタ(ADRL)のビット7にセットされます。

“0”の設定時、12ビット/8ビットADコンバータとして動作します。12ビットと8ビットのAD変換モードはモードレジスタで設定し、変換時間はモードレジスタと変換結果下位レジスタで変換時間を設定し、チャンネル選択は本レジスタの入力チャンネルビットで設定します。変換結果は変換結果上位レジスタ(ADRH)にセットされ、12ビットモードは変換結果下位4ビットが変換結果下位レジスタ(ADRL)のビット7～4にセットされます。

ADC

START(ビット2):AD変換/コンパレータ動作制御

AD変換/コンパレータ動作を開始(1)/停止(0)します。

“1”の設定時、AD変換/コンパレータ動作が開始され、AD変換/コンパレータ動作が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRL)のMD2とADモードレジスタ(ADMR)のMD10の3ビットで行います。

“0”の設定時、AD変換/コンパレータ動作が停止します。AD変換/コンパレータ動作中にクリアすると正しい変換結果が得られません。

AD変換/コンパレータ動作中は、絶対にクリアまたはHALT, HOLD, HOLDX状態にしないでください。

ENDFLG(ビット1):AD変換/コンパレータ動作終了フラグ

AD変換/コンパレータ動作の終了を知らせます。AD変換/コンパレータ動作が終了するとセット(1)されます。

IEが“1”の場合、ベクタアドレス8030Hへの割り込み要求が発生し、“0”の場合、AD変換/コンパレータが動作していないことを示しています。

このフラグは、命令でクリアしてください。

IE(ビット0):AD変換/コンパレータ割り込み要求発生許可制御

このビットとENDFLGがともに1の時、ベクタアドレス8030Hへの割り込み要求が発生します。

注意:

- STARTが“1”の動作状態でHALT, HOLD, HOLDX状態にしないでください。必ず、“0”になったことを確認してからHALT, HOLD, HOLDX状態にしてください。
- コンパレータ動作モードで使用する場合には、ADモードレジスタ(ADMR)のRESOLを“0”、ADJを“1”にして動作させる必要があります。

3-33-4-2 ADモードレジスタ(ADMR)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F21	0000 0000	R/W	ADMR	-	RESOL	-	-	-	ADJ	MD10	

(ビット7):固定ビット

0で使用してください。

RESOL(ビット6):AD変換モード制御(分解能切り替え)

ADコンバータの分解能を12ビットADモード(0)/8ビットADモード(1)に切り替えます。

“1”の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)のみセットされ、AD変換結果下位レジスタ(ADRL)は変化しません。

“0”の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH)とAD変換結果下位レジスタ(ADRL)にセットされます。

(ビット5～3): 固定ビット
0で使用してください。

ADJ(ビット2): 自動オフセット補正制御
AD変換モードで使用する場合、このビットは0で使用してください。
コンパレータモードで使用する場合、このビットは1で使用してください。

MD10(ビット1、0): AD変換時間制御
AD変換結果レジスタのMD2(ビット0)と合わせて3ビットで
変換時間を制御します。

MD2	MD10	分周比
0	00	$\frac{1}{1}$
0	01	$\frac{1}{2}$
0	10	$\frac{1}{4}$
0	11	$\frac{1}{8}$
1	00	$\frac{1}{16}$
1	01	$\frac{1}{32}$
1	10	$\frac{1}{64}$
1	11	$\frac{1}{128}$

変換時間算出方法

- ・12ビットAD変換モード : 変換時間 = ((52 / (AD分周比)) + 2) × T_{cyc}
- ・8ビットAD変換モード : 変換時間 = ((32 / (AD分周比)) + 2) × T_{cyc}

注意:

- ・変換時間は下記の時、通常時の約2倍となります。
 - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り替え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-33-4-3 AD変換結果下位レジスタ(ADRL)

- ①12ビットADモード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F22	0000 0000	R/W	ADRL	DATAL				-	-	-	MD2

ADC

DATAL(ビット7～4):AD変換結果下位

上記にAD変換結果の下位4ビットが格納されます。

コンパレータモード時は、ビット7にコンパレータ比較結果が格納されます。

AD変換を動作させない時は、汎用のリード/ライトレジスタとして使用できません。

(ビット3～1):固定ビット

0で使用してください。

MD2(ビット0):AD変換時間制御

ADモードレジスタのMD10の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意:

変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。

3-33-4-4 AD変換結果上位レジスタ(ADRH)

①12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。

②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F23	0000 0000	R/W	ADRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

AD変換を動作させない時は、汎用のリード/ライトレジスタとして使用できます。

3-33-5 AD動作の具体例

3-33-5-1 12ビットADコンバータモード

①AD変換モードの設定

- ・ADモードレジスタ(ADMR)のRESOL=0にします。

②変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0)=1にし、ADモードレジスタのMD10(ビット1、0)=01にします。

③入力チャネルの設定

- ・ADチャネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7~4)=0001にします。

④ADスタート

- ・AD制御レジスタ(ADCR)のSTART(ビット2)=1にします。

⑤AD変換終了フラグの検知

- ・AD制御レジスタ(ADCR)のENDFLG(ビット1)=1になるまでモニタします。
- ・終了フラグのENDFLGを0にクリアします。

⑥AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRH)を読み込みます。
- ・AD変換結果下位レジスタ(ADRL)を読み込みます。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ。
- ・再動作の場合④に戻ります。

3-33-5-2 コンパレータ動作の具体例

①コンパレータモードの設定

- ・AD制御レジスタ(ADCR)のCMP(ビット3)=1にします。
- ・ADモードレジスタ(ADMR)のADJ(ビット2)=1にします。
- ・ADモードレジスタ(ADMR)のRESOL(ビット6)=0にします。

②変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタのMD2(ビット0)=1にし、ADモードレジスタのMD10(ビット1、0)=01にします。

変換時間算出方法

$$\text{変換時間} = ((28 / (\text{分周比})) + 2) \times T_{cyc}$$

③入力チャネルの設定

- ・ADチャネル入力のAN1を使用する場合、AD制御レジスタ(ADCR)のCHSEL(ビット7~4)=0001にします。

④比較データの設定

- ・AD変換結果上位レジスタ(ADRH)に8ビットの比較データを設定します。

ADC

⑤ 比較スタート

- AD制御レジスタ(ADCR)のSTART(ビット2) = 1にします。

⑥ 変換終了フラグの検知

- AD制御レジスタ(ADCR)のENDFLG(ビット1) = 1になるまでモニタします。
- 終了フラグのENDFLGを0にクリアします。

⑦ AD変換データの読み込み

- AD変換結果下位レジスタ(ADRL)のビット7を読み込みます。
REF < AIN = H、REF > AIN = Lが入力されます。
- 上記読み出しデータをソフトウェアアプリケーション処理へ。
- 再動作の場合④に戻ります。

3-33-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、最新の「半導体ニュース」を参照してください。
- ② 変換動作中にSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にHALT, HOLD, HOLDX状態にしないでください。必ず、STARTが“0”になったことを確認してからHALT, HOLD, HOLDX状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ENDFLG)がセットされ、同時にAD変換動作制御ビット(START)がリセットされます。変換終了はENDFLGをモニタすることによって確認できます。また、IEをセットすることによって、変換終了でベクタアドレス8030Hへの割り込み要求が発生します。
- ⑥ P60/AN0~P67/AN7, P70/AN8~P77/AN15への入力電圧は規格の範囲で使用してください。
特にVDD以上, VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。
- ⑦ ノイズ等による変換精度の低下を防ぐ対策として、アナログ入力端子には1000pF程度のコンデンサ等の外付けや変換動作を数回行って変換値の平均をとる等の処理を行ってください。
- ⑧ 変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力されるデータが変化するとカップリングノイズによって、変換結果が期待通りに得られないことがあります。
- ⑨ ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成する時には、この点に注意して作成してください。

3-34 リアルタイムサービス(RTS)

3-34-1 概要

本シリーズの連続データ処理は、処理モジュールと、リアルタイムサービスコントローラ(以下RTSと表記)で行われます。

連続データ処理には、バススチール動作とウェイト動作の2種類があります。

- ① RTSは、各処理モジュールのバススチール要求を受け、バススチール動作を行います。
- ② RTSは、各処理モジュールのウェイト要求を受け、ウェイト動作を行います。

※本シリーズでは、

処理モジュール1=SIO0

処理モジュール2=SIO1

処理モジュール3=SIO4またはCRC演算回路
となります。

3-34-2 機能

3-34-2-1 バススチール動作とウェイト動作について

① バススチール動作

CPUの命令動作中、内部データバスを使用していない時、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。

② ウェイト動作

CPUの命令動作を一時停止し、内部データバスを介して、処理モジュールとRAMの間でデータの転送を行います。

3-34-2-2 RAMバッファアドレス

転送用RAMバッファアドレスは、各処理モジュール用毎に用意されたベースアドレスレジスタ値と転送回数カウンタ値で決定されます。

3-34-2-3 転送回数

- ① 処理モジュール1の転送回数は、RTS1転送回数設定レジスタ(RTS1CTR)で設定します。
- ② 処理モジュール2の転送回数は、RTS2転送回数設定レジスタ(RTS2CTR)で設定します。
- ③ 処理モジュール3の転送回数は、RTS3転送回数設定レジスタ(RTS3CTR)で設定します。

3-34-2-4 特殊機能レジスタ(SFR)の操作

RTSを制御するには次に示す特殊機能レジスタを操作する必要があります。

- ・RTS1ADRL, RTS1ADRH, RTS1CTR
- ・RTS2ADRL, RTS2ADRH, RTS2CTR
- ・RTS3ADRL, RTS3ADRH, RTS3CTR
- ・RTSTST, RTSCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6	L000 0000	R/W	RTS3ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE7	0000 0000	R/W	RTS3ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEC	0000 0000	R/W	RTS3CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT3	INHBS3

3-34-3 回路構成

3-34-3-1 RTS1ベースアドレスレジスタ (RTS1ADRL, RTS1ADRH) (16ビットレジスタ)

① 処理モジュール1の転送用RAMバッファアドレスを設定します。

3-34-3-2 RTS1転送回数設定レジスタ (RTS1ADRL, RTS1CTR) (12ビットレジスタ)

① 処理モジュール1の転送回数を設定します。

3-34-3-3 RTS1転送回数カウンタ (RTS1ADRL, RTS1C) (12ビットレジスタ)

① 処理モジュール1の転送回数カウンタです。

3-34-3-4 RTS2ベースアドレスレジスタ (RTS2ADRL, RTS2ADRH) (16ビットレジスタ)

① 処理モジュール2の転送用RAMバッファアドレスを設定します。

3-34-3-5 RTS2転送回数設定レジスタ (RTS2ADRL, RTS2CTR) (12ビットレジスタ)

① 処理モジュール2の転送回数を設定します。

3-34-3-6 RTS2転送回数カウンタ (RTS2ADRL, RTS2C) (12ビットレジスタ)

① 処理モジュール2の転送回数カウンタです。

3-34-3-7 RTS3ベースアドレスレジスタ (RTS3ADRL, RTS3ADRH) (16ビットレジスタ)

① 処理モジュール3の転送用RAMバッファアドレスを設定します。

3-34-3-8 RTS3転送回数設定レジスタ (RTS3ADRL, RTS3CTR) (12ビットレジスタ)

① 処理モジュール3の転送回数を設定します。

3-34-3-9 RTS3転送回数カウンタ(RTS3ADRL, RTS3C)
(12ビットレジスタ)

② 処理モジュール3の転送回数カウンタです。

3-34-3-10 RTSテストレジスタ(RTSTST) (8ビットレジスタ)

① RTSのテストレジスタです。必ず0に設定して使用してください。

3-34-3-11 RTS制御レジスタ(RTSCNT) (8ビットレジスタ)

① RTS動作の許可・禁止の制御を行います。

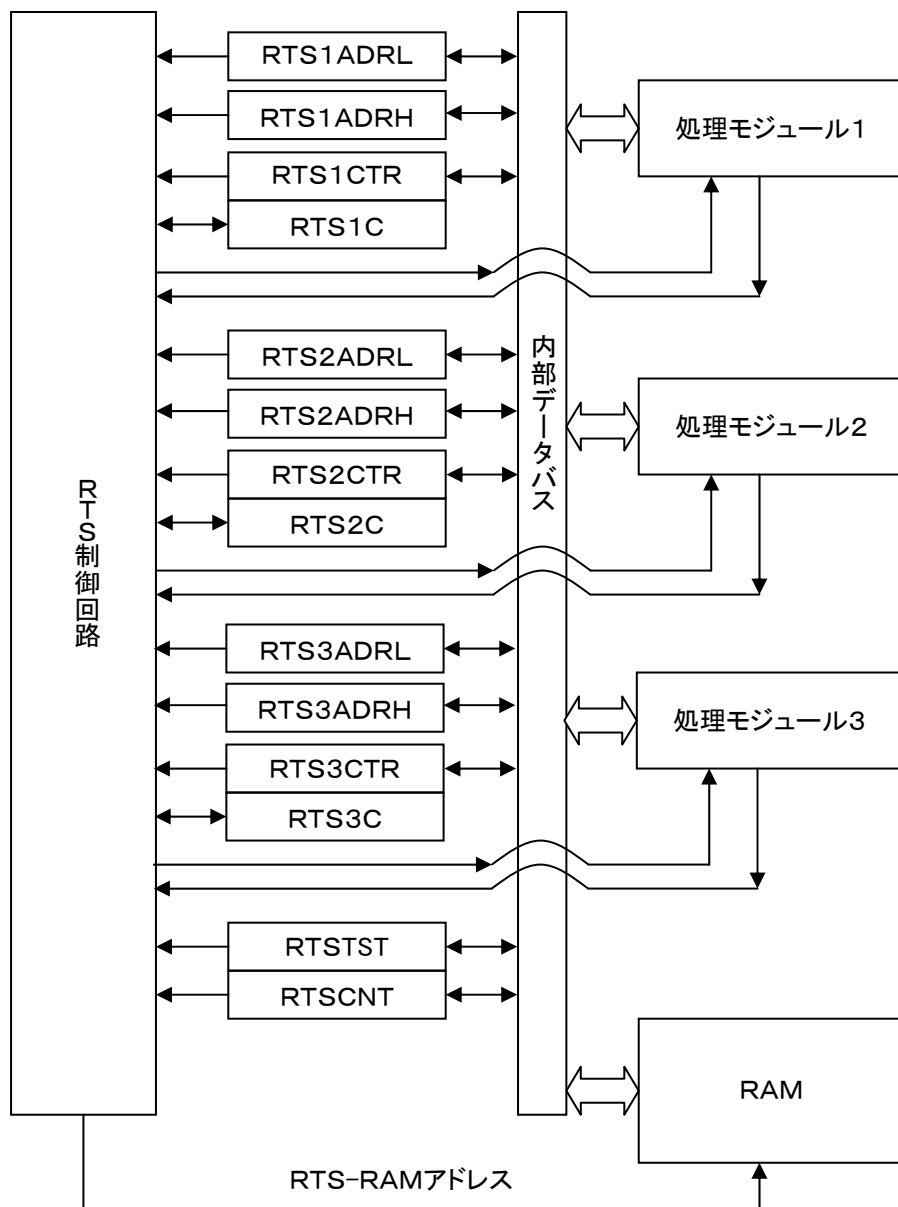


図 3-34-1 RTSのブロック図

3-34-4 関連レジスタ

3-34-4-1 RTS1ベースアドレスレジスタ(RTS1ADRL, RTS1ADRH)

① 処理モジュール1の転送用RAMバッファアドレスを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

RTS1ベースアドレス =

$$((RTS1ADRH) \ll 8) \& 0xFF00 + ((RTS1ADRL) \& 0x00F0)$$

* RTS1動作中、ベースアドレスを変更しないでください。

3-34-4-2 RTS2ベースアドレスレジスタ(RTS2ADRL, RTS2ADRH)

① 処理モジュール2の転送用RAMバッファアドレスを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

RTS2ベースアドレス =

$$((RTS2ADRH) \ll 8) \& 0xFF00 + ((RTS2ADRL) \& 0x00F0)$$

* RTS2動作中、ベースアドレスを変更しないでください。

3-34-4-3 RTS1転送回数設定レジスタ(RTS1ADRL, RTS1CTR)

① 処理モジュール1の転送回数を設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE0	0000 0000	R/W	RTS1ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE4	0000 0000	R/W	RTS1CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

処理モジュール1がバイトモードの場合

処理モジュール1の転送回数 =

$$((RTS1ADRL) \ll 8) \& 0x0F00 + ((RTS1CTR) \& 0x00FF) + 2$$

RTS1転送回数カウンタは、転送処理毎に+1カウントアップします。

処理モジュール1がワードモードの場合

処理モジュール1の転送回数 =

$$(((RTS1ADRL) \ll 8) \& 0x0F00 + ((RTS1CTR) \& 0x00FE)) / 2 + 2$$

RTS1転送回数カウンタは、転送処理毎に+2カウントアップします。

RTS1動作中このレジスタは、RTS1転送回数カウンタがR/Oでアクセスできます。

* 本シリーズは、バイトモードです。

3-34-4-4 RTS2転送回数設定レジスタ(RTS2CTR)

① 処理モジュール2の転送回数を設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE5	0000 0000	R/W	RTS2CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

処理モジュール2がバイトモードの場合

処理モジュール2の転送回数 =

$$((RTS2ADRL) \ll 8) \& 0x0F00 + ((RTS2CTR) \& 0x00FF) + 2$$

RTS2転送回数カウンタは、転送処理毎に+1カウントアップします。

処理モジュール2がワードモードの場合

処理モジュール2の転送回数 =

$$(((RTS2ADRL) \ll 8) \& 0x0F00 + ((RTS2CTR) \& 0x00FE)) / 2 + 2$$

RTS2転送回数カウンタは、転送処理毎に+2カウントアップします。

RTS2動作中このレジスタは、RTS2転送回数カウンタがR/Oでアクセスできます。

* 本シリーズは、バイトモードです。

3-34-4-5 RTS3ベースアドレスレジスタ(RTS3ADRL, RTS3ADRH)

① 処理モジュール3の転送用RAMバッファアドレスを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6	0000 0000	R/W	RTS3ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE7	L000 0000	R/W	RTS3ADRH	—	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

RTS3ベースアドレス =

$$((RTS3ADRH) \ll 8) \& 0xFF00 + ((RTS3ADRL) \& 0x00F0)$$

* RTS3動作中、ベースアドレスを変更しないでください。

3-34-4-6 RTS3転送回数設定レジスタ(RTS3CTR)

① 処理モジュール2の転送回数を設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6	0000 0000	R/W	RTS3ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FFC	0000 0000	R/W	RTS3CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

処理モジュール3がバイトモードの場合

処理モジュール3の転送回数 =

$$((RTS3ADRL) \ll 8) \& 0x0F00 + ((RTS3CTR) \& 0x00FF) + 2$$

RTS3転送回数カウンタは、転送処理毎に+1カウントアップします。

処理モジュール3がワードモードの場合

処理モジュール3の転送回数 =

$$(((RTS3ADRL) \ll 8) \& 0x0F00 + ((RTS3CTR) \& 0x00FE)) / 2 + 2$$

RTS3転送回数カウンタは、転送処理毎に+2カウントアップします。

RTS3動作中このレジスタは、RTS3転送回数カウンタがR/Oでアクセスできます。

* 本シリーズは、バイトモードです。

3-34-4-7 RTSテストレジスタ(RTSTST)

①RTSのテストレジスタです。必ず0に設定して使用してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-34-4-8 RTS制御レジスタ(RTSCNT)

①RTS動作の許可・禁止の制御するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT3	INHBS3

INHWT2(ビット5):処理モジュール2ウェイト禁止

0:処理モジュール2のウェイトを許可

1:処理モジュール2のウェイトを禁止

INHBS2(ビット4):処理モジュール2バススチール禁止

0:処理モジュール2のバススチールを許可

1:処理モジュール2のバススチールを禁止

INHWT1(ビット3):処理モジュール1ウェイト禁止

0:処理モジュール1のウェイトを許可

1:処理モジュール1のウェイトを禁止

INHBS1(ビット2):処理モジュール1バススチール禁止

0:処理モジュール1のバススチールを許可

1:処理モジュール1のバススチールを禁止

INHWT3(ビット1):処理モジュール3ウェイト禁止

0:処理モジュール3のウェイトを許可

1:処理モジュール3のウェイトを禁止

INHBS3(ビット0):処理モジュール3バススチール禁止

0:処理モジュール3のバススチールを許可

1:処理モジュール3のバススチールを禁止

3-35 CRC演算機能

3-35-1 概要

本シリーズが内蔵しているCRC演算回路は、次のデータに対し、最大16ビットのCRC演算を行います。

モード0: CRCバッファレジスタに入力したデータ。

モード1: リアルタイムサービス(RTS)で指定された任意のRAMデータ。

3-35-2 機能

3-35-2-1 動作モード

次のデータに対し、最大16ビットの任意のCRC演算が可能です。

モード0: CRCデータバッファレジスタに入力したデータ。

モード1: リアルタイムサービス(RTS)で指定された任意のRAMデータ。

3-35-2-2 CRC初期値設定

CRC制御レジスタのREGDSELビットを‘0’に設定し、CRC結果レジスタに命令でデータを書き込んで初期値を設定します。

3-35-2-3 生成多項式設定

CRC制御レジスタのREGDSELビットを‘1’に設定し、CRC生成多項式レジスタに命令でデータを書き込んで初期値を設定します。

例えば生成多項式が $X^{16} + X^{12} + X^5 + 1$ のとき、上位レジスタに10H、下位レジスタに21Hを書き込みます。

3-35-2-4 割り込みの発生

割り込み要求許可ビットが設定されている場合、演算の終了で割り込み要求を発生します。

3-35-2-5 特殊機能レジスタ(SFR)の操作

CRC演算機能をコントロールするには、次に示す特殊機能レジスタ(SFR)を操作する必要があります。

- ・CRCBUF、CRCNT、CRCRL、CRCRH、CRCDL、CRCDH
- ・IL2H
- ・RTS3ADRL、RTS3ADRH、RTS3CTR、RTSCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB8	0000 0000	R/W	CRCBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB9	LL00 0000	R/W	CRCCNT	-	-	RUN	AUTO	DIR	REGDSEL	END	IE
7FBA	0000 0000	R/W	CRCRL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBB	0000 0000	R/W	CRCRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBA	0000 0000	R/W	CRCDL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBB	0000 0000	R/W	CRCDH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6	0000 0000	R/W	RTS3ADRL	BIT7	BIT6	BIT5	BIT4	CTRH			
7FE7	L000 0000	R/W	RTS3ADRH	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEC	0000 0000	R/W	RTS3CTR	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT	-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT0	INHBS0

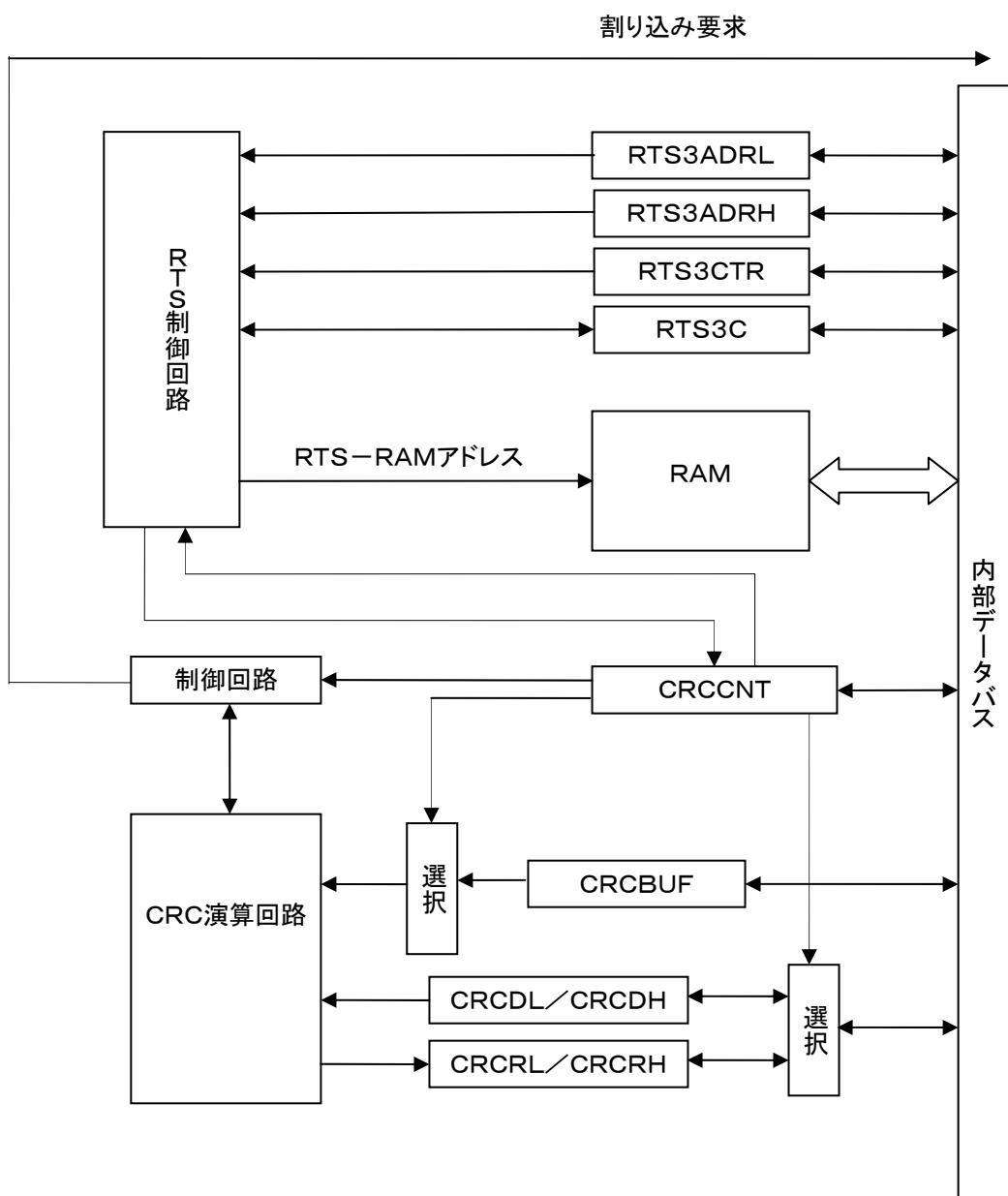


図 3-35-1 CRC演算回路ブロック図

CRC演算機能

3-35-3 関連レジスタ

3-35-3-1 CRCバッファレジスタ(CRCBUF)

① CRC演算を行うデータを格納する8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB8	0000 0000	R/W	CRCBUF	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-35-3-2 CRC演算制御レジスタ(CRCCNT)

② CRC演算の制御を行う6ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB9	LL00 0000	R/W	CRCCNT	-	-	RUN	AUTO	DIR	REGDSEL	END	IE

RUN(ビット5):CRC動作制御

- ・このビットを1にするとCRC演算回路にデータが入力されます。
- ・このビットはCRC演算の終了で自動的に0へクリアされます。

AUTO(ビット4):自動モード設定

- ・このビットが0の時、モード0になります。
- ・このビットが1の時、モード1になります。

モード0: CRCバッファレジスタに入力されたデータに対しCRC演算が行われます。

モード1:リアルタイムサービス(RTS)で指定されたRAMデータに対しCRC演算が行われます。

DIR(ビット3):MSB/LSB先頭選択

CRC演算を行うデータをCRC演算回路に入力する方向を切り替えます。

0:LSB先頭

1:MSB先頭

REGDSEL(ビット2):レジスタアクセス切り替え

レジスタ7FBAH、7FBBHの切り替えを行います。

0: CRC結果レジスタを示します。

1: CRC生成多項式設定レジスタを示します。

END(ビット1):CRC演算終了フラグ

① CRC演算終了で、このビットに1がセットされます。

② このビットのクリアは命令で行ってください。

IE(ビット0):受信割り込み許可

① このビットとENDが1の時、ベクタアドレス00803CHへの割り込み要求が発生します。

3-35-3-3 CRC演算結果レジスタ(CRRL, CRRH)

① CRC演算の結果が格納される2本の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBA	0000 0000	R/W	CRCRL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBB	0000 0000	R/W	CRCRH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

CRRL(ビット7-0):CRC演算結果の下位8ビット

CRRH(ビット7-0):CRC演算結果の上位8ビット

① このレジスタをアクセスするときは予めREGDSELを0にして下さい。

3-35-3-4 生成多項式設定レジスタ(CRDL, CRDH)

① 生成多項式設定用の2本の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBA	0000 0000	R/W	CRCDL	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBB	0000 0000	R/W	CRCDH	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

CRDL(ビット7-0):CRC生成多項式の下位8ビット

CRDH(ビット7-0):CRC生成多項式の上位8ビット

① このレジスタをアクセスするときは予めREGDSELを1にして下さい。

3-36 リアルタイムクロック(RTC)

3-36-1 概要

本シリーズが内蔵しているリアルタイムクロック(RTC)は、次の機能を持ちます。

- ①西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能(うるう年を含む)
- ②秒,分,時,日,週,月,年,世紀の独立したカウンタ構成
- ③HOLDXモード解除機能

3-36-2 機能

- ①カウントクロック補正機能付きカレンダー
 - ・世紀,年,月,日,時,分,秒をカウント
 - ・西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能(うるう年を含む)
 - ・HOLDXモード時にカウント動作可能

- ②割り込みの発生
 - ・割り込み要求許可ビットがセットされている場合、日、時、分、秒から選択した周期毎の割り込み要求が発生すると、ベクタアドレス00803CHへの割り込み要求が発生されます。

- ③ホールドモード時の動作とホールドモードの解除機能

HOLDXモード時RTCは動作を継続します。このHOLDXモードの解除をRTCの割り込みで行うことができます。

この機能により、低消費電流間欠動作が実現できます。

- ④RTCを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・RTCCNT, SECR, MINR, HOURR, DAYR, WEEKR, MONTHR
- ・YEARR, CENTR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF0	0000 0000	R/W	RTCCNT	RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0
7EF1	LL00 0000	R/W	SECR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR	-	-	-	-	-	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR	-	-	-	-	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR	-	-	-	-	-	BIT2	BIT1	BIT0

3-36-3 回路構成

3-36-3-1 リアルタイムクロック制御レジスタ(RTCCNT) (8ビットレジスタ)

①RTCの動作の制御を行います。

3-36-3-2 リアルタイムクロックベースカウンタ

①OSC0からのクロックをカウントする16ビットのカウンタです。

3-36-3-3 クロック補正回路

①カウントクロック補正を補正して秒カウンタのカウントアップクロックを出力します。

3-36-3-4 秒レジスタ(SECR) (6ビットレジスタ)

①RTCの“秒”の初期設定を行うレジスタです。

②RTCの動作時は秒カウンタとなり、クロック補正回路からのクロックを受けて初期設定からカウントアップします。秒のカウントを0から59まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-5 分レジスタ(MINR) (6ビットレジスタ)

①RTCの“分”の初期設定を行うレジスタです。

②RTCの動作時は分カウンタとなり、秒カウンタの桁上がり毎に初期設定値からカウントアップします。分のカウントを0から59まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-6 時レジスタ(HOURR) (5ビットレジスタ)

①RTCの“時”の初期設定を行うレジスタです。

②RTCの動作時は時カウンタとなり、分カウンタの桁上がり毎に初期設定値からカウントアップします。時のカウントを0から23まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-7 日レジスタ(DAYR) (5ビットレジスタ)

①RTCの“日”の初期設定を行うレジスタです。

②RTCの動作時は日カウンタとなり、時カウンタの桁上がり毎に初期設定値からカウントアップします。日のカウントをMONTHR, YEARR, CENTRの値により1から28, 29, 30または31まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-8 週レジスタ(WEEKR) (3ビットレジスタ)

①RTCの“週”の初期設定を行うレジスタです。

②RTCの動作時は週カウンタとなり、日カウンタの桁上がり毎に初期設定値からカウントアップします。週のカウントを0から6まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

RTC

3-36-3-9 月レジスタ(MONTHR) (4ビットレジスタ)

- ①RTCの“月”の初期設定を行うレジスタです。
- ②RTCの動作時は月カウンタとなり、日カウンタの桁上がり毎に初期設定値からカウントアップします。月のカウントを1から12まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-10 年レジスタ(YEAR) (7ビットレジスタ)

- ①RTCの“年”の初期設定を行うレジスタです。
- ②RTCの動作時は年カウンタとなり、月カウンタの桁上がり毎に初期設定値からカウントアップします。年のカウントを0から99まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-3-11 世紀レジスタ(CENTR) (3ビットレジスタ)

- ①RTCの“世紀”の初期設定を行うレジスタです。
- ②RTCの動作時は世紀カウンタとなり、年カウンタの桁上がり毎に初期設定値からカウントアップします。世紀のカウントを0(2000年)から7(2700年)まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

3-36-4 関連レジスタ

3-36-4-1 RTC制御レジスタ(RTCCNT)

①RTCの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF0	0000 0000	R/W	RTCCNT	RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0

RUN(ビット7):RTC動作フラグ

- ①このビットが“1”の時、RTCは動作中です。
- ②このビットが“0”の時、RTCは停止中です。

UPFLG(ビット6):カウントアップフラグ

- ①RTCのカウントに変化があった時“1”になります。
- ②時刻読み出し時に“0”にクリアし、世紀、年、月、週、日、時、分、秒を示すレジスタを連続的に読み出した後、このビットを読み出し“0”ならば有効な時刻になります。
- ③このビットのクリアは命令で行います。

INTFLG(ビット5):RTC割り込みフラグ

- ①ICSEL[1:0]で設定された割り込み周期毎にセットされます。
- ②このフラグは命令でクリアしてください。

IE(ビット4):RTC割り込み要求発生許可制御

このビットINTFLGがともに“1”の時、「HOLDXモード解除信号」と「ベクタアドレス00803CHへの割り込み要求」が発生します。

ICSEL(ビット3、2):RTC割り込み周期制御

ICSEL<1>	ICSEL<0>	RTC割り込み周期
0	0	秒カウンタのインクリメント毎
0	1	分カウンタのインクリメント毎
1	0	時カウンタのインクリメント毎
1	1	日カウンタのインクリメント毎

(ビット1, 0):

“0”で使用してください。

3-36-4-2 秒レジスタ(SECR)

- ①RTC動作停止時:6ビットの秒カウンタの初期設定を行います。有効設定値は0～3BHです。
- ②RTC動作時:6ビットの秒カウンタの値を読み出すために使用します。
- ③RTC動作状態(RUN=1)からRTC停止状態(RUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0秒を表し、3BHは59秒を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF1	LL00 0000	R/W	SECR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-36-4-3 分レジスタ(MINR)

- ①RTC動作停止時:6ビットの分カウンタの初期設定を行います。有効設定値は0～3BHです。

RTC

- ②RTC動作時：6ビットの分カウンタの値を読み出すために使用します。
- ③RTC動作状態 (RUN=1) からRTC停止状態 (RUN=0) に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0分を表し、3BHは59分を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR	-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-36-4-4 時レジスタ (HOURL)

- ①RTC動作停止時：5ビットの時カウンタの初期設定を行います。有効設定値は0～17Hです。
- ②RTC動作時：5ビットの時カウンタの値を読み出すために使用します。
- ③RTC動作状態 (RUN=1) からRTC停止状態 (RUN=0) に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0時を表し、17Hは23時を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURL	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

3-36-4-5 日レジスタ (DAYR)

- ①RTC動作停止時：5ビットの日カウンタの初期設定を行います。有効設定値は0～1FHです。
- ②RTC動作時：5ビットの日カウンタの値を読み出すために使用します。
- ③RTC動作状態 (RUN=1) からRTC停止状態 (RUN=0) に移行した際、初期値に戻ります。
- ④レジスタ値の01Hは1日を表し、1C, 1D, 1Eまたは1Fはそれぞれ28日, 29日, 30日, 31日を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR	-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0

表 3-36-1 月と日レジスタの関係表

月	日レジスタのカウンタ
1月, 3月, 5月, 7月, 8月, 10月, 12月	01H~01FH (1日~31日)
4月, 6月, 9月, 11月	01H~01EH (1日~30日)
2月(うるう年)	01H~01DH (1日~29日)
2月(通常年)	01H~01CH (1日~28日)

※うるう年は基本的に4年に1度ですが、100で割れる年はうるう年ではなく、400で割れる年はうるう年です。

3-36-4-6 週レジスタ (WEEKR)

- ①RTC動作停止時：3ビットの週カウンタの初期設定を行います。有効設定値は0～6Hです。
- ②RTC動作時：3ビットの週カウンタの値を読み出すために使用します。
- ③RTC動作状態 (RUN=1) からRTC停止状態 (RUN=0) に移行した際、初期値に戻ります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR	-	-	-	-	-	BIT2	BIT1	BIT0

3-36-4-7 月レジスタ(MONTHR)

- ①RTC動作停止時：4ビットの月カウンタの初期設定を行います。有効設定値は0～CHです。
- ②RTC動作時：4ビットの月カウンタの値を読み出すために使用します。
- ③RTC動作状態(RUN=1)からRTC停止状態(RUN=0)に移行した際、初期値に戻ります。
- ④レジスタ値の01Hは1月を表し、CHは12月を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR	-	-	-	-	BIT3	BIT2	BIT1	BIT0

3-36-4-8 年レジスタ(YEARR)

- ①RTC動作停止時：7ビットの年カウンタの初期設定を行います。有効設定値は0～63Hです。
- ②RTC動作時：7ビットの年カウンタの値を読み出すために使用します。
- ③RTC動作状態(RUN=1)からRTC停止状態(RUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の0000Hは0年を表し、63Hは99年を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR	-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

3-36-4-9 世紀レジスタ(CENTR)

- ①RTC動作停止時：3ビットの世紀カウンタの初期設定を行います。有効設定値は0～3Hです。
- ②RTC動作時：3ビットの世紀カウンタの値を読み出すために使用します。
- ③RTC動作状態(RUN=1)からRTC停止状態(RUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは2000年を表し、07Hは2700年を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR	-	-	-	-	-	BIT2	BIT1	BIT0

表3-36-2 世紀レジスタと年、うるう年の関係表

CENTR2	CENTR1	CENTR0	年	うるう年
0	0	0	2000	○
0	0	1	2100	×
0	1	0	2200	×
0	1	1	2300	×
1	0	0	2400	○
1	0	1	2500	×
1	1	0	2600	×
1	1	1	2700	×

RTC

3-36-5 RTCの動作

3-36-5-1 RTCの初期化

RTCは、リセット時、全ビットが“0”（DAYRとMONTHRは01H）にクリアされます。
カウンタ動作開始の後、カウンタを停止する時にも、全ビットが“0”（DAYRとMONTHRは01H）にクリアされます。

3-36-5-2 RTCレジスタ設定時の注意点

SECR, MINR, HOURR, DAYLR, DAYHR, DAYR, WEEKR, MONTHR, YEARRおよびCENTRレジスタを設定する場合は、RTC動作フラグ(RUN)をクリアし、RTCの動作を止めてから行ってください。
RTC動作中に上記で示すレジスタの設定を行うと正しく設定されません。

3-36-5-3 RTCの読み出し方法

読み出したデータの間違いを防ぐため、以下のような方法で読み出したデータを採用してください。

○方法1

SECR, MINR, HOURR, (必要であればDAYLR, DAYHR), DAYR, MONTHR, YEARRおよびCENTRレジスタを連続して読み出したデータと2回目に連続して読み出したデータが一致していたらデータとして採用する。

○方法2

UPFLG(RTCCNTのビット6)をクリアした後に、SECR, MINR, HOURR, DAYR, MONTHR, YEARRおよびCENTRレジスタを連続して読み出す。読み出し後、UPFLGを読み、クリアされたままならデータとして採用する。

3-36-5-4 RTCのHALTモード時の動作

HALTモード時、RTCは動作します。

3-36-5-5 RTCのHOLDXモード時の動作

HOLDXモード時、RTCは動作します。

3-37 赤外線リモコン受信回路

3-37-1 概要

本シリーズは、次の機能を持った赤外線リモコン受信回路を備えています。

①ノイズフィルタ機能

②5種類の受信フォーマットに対応

・受信フォーマット・A

ガイドパルス	: 半クロック
データ符号化方式	: PPM (Pulse Position Modulation)
ストップビット	: なし

・受信フォーマット・B (リピートコードの受信に対応可能)

ガイドパルス	: クロック
データ符号化方式	: PPM
ストップビット	: あり

・受信フォーマット・C

ガイドパルス	: なし
データ符号化方式	: PPM
ストップビット	: あり

・受信フォーマット・D

ガイドパルス	: なし
データ符号化方式	: マンチェスター方式
ストップビット	: なし

・受信フォーマット・E

ガイドパルス	: クロック
データ符号化方式	: マンチェスター方式
ストップビット	: なし

③HOLDXモード解除機能

3-37-2 機能

①リモコン受信機能

1, 8, 16, 32, 64, 128, 256Tcycまたはサブクロックの源発振(8種類から基準クロック=RMCKを選択)をカウントするプリスケアラ(RMCKPR)の出力クロックによって、RMIN端子から入力されるリモコン信号のパルスを測定し、データ“0”, “1”, “エラー”を判定します。正常データとして判定されるとリモコン受信シフトレジスタ(RMSFT)に格納され、8ビット分のデータが格納される毎に、リモコン受信データレジスタ(RMRDT)へ転送されます。この時データ転送フラグがセットされます。

また、各受信フォーマットの終了条件を検出すると、受信終了フラグがセットされます。

②割り込みの発生

割り込み要求許可ビットがセットされている場合、リモコン受信回路からの割り込み要求が発生すると、ベクタアドレス8020Hへの割り込み要求が発生します。リモコン受信回路からの割り込み要求には次の4種類があります。

赤外線リモコン受信回路

- (1) ガイドパルスの検出
- (2) 受信データの判定エラー
- (3) RMSFTからRMRDTへのデータ転送
- (4) 受信終了

③ HOLDXモード時の動作とHOLDXモードの解除機能

RMCKをサブクロックの源発振に設定した場合、HOLDXモードでのリモコン受信回路の動作が可能になります。

また、HOLDXモードの解除をリモコン受信回路の割り込みで行うことができます。この機能により、低消費電流間欠動作が実現できます。

④ 赤外線リモコン受信回路を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・RMCNT, RMINT, RMSFT, RMRDT, RMCTPR,
- ・RMGPW, RMDT0W, RMDT1W, RMXHW
- ・P3LAT, P3DDR, P3FSA, P3FSB

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F96	0000 0000	R/W	RMCNT	RUN	FMT			DINV	CK		
7F97	0000 0000	R/W	RMINT	GPOK	GPOKIE	DERR	DEERIE	SFULL	SFULLIE	REND	RENDIE
7F98	0000 0000	R	RMSFT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F99	XXXX XXXX	R	RMRDT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9A	0000 0000	R/W	RMCTPR	GPR		DPR		HOLD	BCT		
7F9B	0000 0000	R/W	RMGPW	GPH				GPL			
7F9C	0000 0000	R/W	RMDT0W	D0H				D0L			
7F9D	0000 0000	R/W	RMDT1W	D1H				D1L			
7F9E	0L00 0000	R/W	RMXHW	RDIR	-	D1H4	D1L4	D0H4	D0L4	GPH4	GPL4

3-37-3 回路構成

3-37-3-1 リモコン受信制御レジスタ(RMCNT) (8ビットレジスタ)

- ① リモコン受信の動作制御を行います。

3-37-3-2 リモコン受信割り込み制御レジスタ(RMINT) (8ビットレジスタ)

- ① リモコン受信の割り込み制御を行います。
- ② RMCKをサブクロックの源発振に設定して受信動作を開始した場合、リモコン受信回路の割り込みでHOLDXモードの解除を行うことができます。

3-37-3-3 リモコン受信シフトレジスタ(RMSFT) (8ビットシフトレジスタ)

- ① リモコン受信データ用の8ビットのシフトレジスタです。
- ② RDIR (RMXHWのビット7)の値により、格納方向が変化 (LSBファースト/MSBファースト) します。
- ③ 8ビット分のデータを受信する毎にRMSFTからRMRDTへデータ転送されますので、最後の8ビット未満の受信データ読み出しに使用します。

- ④ RMSFTは下記の条件でリセットされます。
- (1) 受信動作停止時 (RUN="0")
 - (2) $FMT < 2:0 >$ (RMCNTのビット6~4) = "0, 1, 4" の場合、受信動作開始または再開後にガイドパルスを正常受信した時
 - (3) $FMT < 2:0 >$ = "2, 3" の場合、受信動作開始または再開後、最初の立ち上がりエッジを検出した時 (入力極性 = 正相設定時)
 - (4) RMSFTからRMRDTへのデータ転送発生時

3-37-3-4 リモコン受信データレジスタ (RMRDT) (8ビットレジスタ)

- ① リモコン受信データを保持する8ビットのレジスタです。
- ② このレジスタは初期値が不定です。8ビット分のデータを受信する毎にRMSFTからRMRDTへデータ転送されます。

3-37-3-5 リモコン受信ビットカウンタ&プリスケアラ設定レジスタ (RMCTPR) (3ビットカウンタ+5ビットレジスタ)

- ① リモコン受信データ数をカウントする3ビットのアップカウンタ (RMBCT) と受信終了後、次の受信動作の停止 / 再開を示すフラグ (HOLD) とガイドパルスまたはデータパルス受信時のRMCKPRのカウント数を設定 ($GPR < 1:0 >$ / $DPR < 1:0 >$) するレジスタです。
- ② リモコン入力信号が、データ"0"または"1"と判定されるとRMBCTはカウントアップします。受信終了後、 $BCT < 2:0 >$ の値を読み出すことで最後の8ビット未満の受信データ数を確認できます。
また、RMBCTは下記の条件でリセットされます。
 - (1) 受信動作停止時 (RUN="0")
 - (2) $RMFMT < 2:0 >$ = "0, 1, 4" の場合、受信動作開始または再開後にガイドパルスを正常受信した時
 - (3) $RMFMT < 2:0 >$ = "2, 3" の場合、受信動作開始または再開後、最初の立ち上がりエッジを検出した時 (入力極性 = 正相設定時)
- ③ $RMFMT < 2:0 >$ = "2, 3" の場合、 $GPR < 1:0 >$ の設定値は受信動作に影響を与えません。

3-37-3-6 リモコン受信プリスケアラ (RMCKPR) (5ビットカウンタ)

- ① パルス測定カウンタ (RMMJCT) へのカウントクロックを出力する5ビットのアップカウンタです。
- ② $CK < 2:0 >$ (RMCNTのビット2~0) の値によって選択されたRMCKによってカウントアップします。
- ③ RMCKPRはガイドパルス受信時とデータパルス受信時でカウント数設定レジスタが異なり、 $GPR < 1:0 >$ (RMCTPRのビット7, 6) と $DPR < 1:0 >$ (RMCTPRのビット5, 4) の値で設定されます。
RMMJCTへのカウントクロックは下記カウント毎に出力されます。

赤外線リモコン受信回路

※ ガイドパルスまたはデータパルス受信時のRMMJCTへのカウントクロック

FMT<2:0> = “0~2” 選択時

GPR<1>/DPR<1>	GPR<0>/DPR<0>	RMCKPRのカウント数
0	0	4
0	1	8
1	0	16
1	1	32

FMT<2:0> = “3, 4” 選択時

GPR<1>/DPR<1>	GPR<0>/DPR<0>	RMCKPRのカウント数
0	0	2
0	1	4
1	0	8
1	1	16

3-37-3-7 リモコン受信ガイドパルス判定幅設定レジスタ(RMGPW) (8ビットレジスタ)

- ① ガイドパルスの判定幅を設定する8ビットのレジスタです。
- ② FMT<2:0> = “2, 3” の場合、このレジスタの設定値は受信動作に影響を与えません。

3-37-3-8 リモコン受信データ0パルス判定幅設定レジスタ(RMDT0W) (8ビットレジスタ)

- ① データ0パルスの判定幅またはタイミング1, 2を設定する8ビットのレジスタです。

3-37-3-9 リモコン受信データ1パルス判定幅設定レジスタ(RMDT1W) (8ビットレジスタ)

- ① データ1パルスの判定幅またはタイミング3, 4を設定する8ビットのレジスタです。

3-37-3-10 リモコン受信ガイドパルス&データパルス判定幅上位設定レジスタ (RMXHW) (7ビットレジスタ)

- ① ガイドパルスとデータパルスの判定幅またはタイミング1~4の最上位ビットの設定とRMSFTの格納方向を制御する7ビットのレジスタです。

3-37-3-11 リモコン受信パルス測定カウンタ(RMMJCT) (5ビットカウンタ)

- ① リモコン入力信号のパルス幅測定やタイミング生成に使用する5ビットのアップカウンタです。
- ② RMCKPRから出力されるカウントクロックによってカウントアップします。

注意：受信フォーマット毎の動作は『リモコン受信回路の動作』を参照してください。

3-37-3-12 リモコン受信ノイズフィルタ(RMNFLT)

- ① リモコン入力信号に対して、一定期間未満の信号をノイズとして除去する機能です。
- ② 受信動作時 (RUN="1")、リモコン入力信号は常にRMCKでサンプリングされ、4回のサンプリングが行われる期間、入力信号レベルが一致していると、回路内部で信号として処理されます。入力信号幅が"RMCK×4未満"の場合、ノイズとして除去され回路内部の信号は以前の状態で動作を継続します。

※ ノイズキャンセル幅
RMCK×4未満

注意：リモコン入力信号が回路内部でサンプリングされるタイミングにより、ノイズキャンセル幅は最大で"±RMCK×1"のずれが生じます。

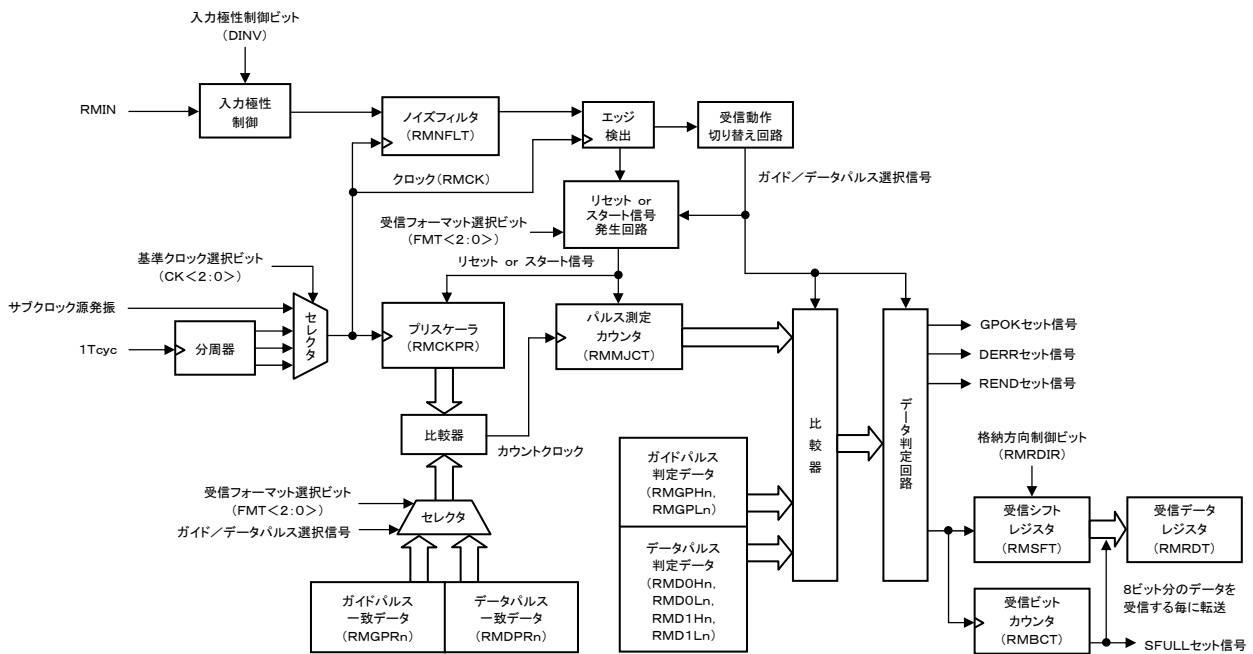


図 3-37-1 赤外線リモコン受信回路の動作ブロック図 (FMT<2:0>="0~2"設定時)

3-37-4 関連レジスタ

3-37-4-1 リモコン受信制御レジスタ(RMCNT)

①リモコン受信の動作制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F96	0000 0000	R/W	RMCNT	RUN	FMT			DINV	CK		

RUN(ビット7):リモコン受信動作制御

このビットが“0”の時、リモコン受信回路は動作を停止します。

このビットが“1”の時、リモコン受信回路は動作を開始し、リモコン信号の入力待機状態となります。

FMT<2:0>(ビット6, 5, 4):リモコン受信フォーマット選択

FMT<2>	FMT<1>	FMT<0>	フォーマット
0	0	0	<u>受信フォーマット・A</u> ・ガイドパルス:半クロック ・データ符号化方式:PPM ・ストップビット:なし
0	0	1	<u>受信フォーマット・B</u> ・ガイドパルス:クロック ・データ符号化方式:PPM ・ストップビット:あり
0	1	0	<u>受信フォーマット・C</u> ・ガイドパルス:なし ・データ符号化方式:PPM ・ストップビット:あり
0	1	1	<u>受信フォーマット・D</u> ・ガイドパルス:なし ・データ符号化方式:マンチェスター方式 ・ストップビット:なし
1	0	0	<u>受信フォーマット・E</u> ・ガイドパルス:クロック ・データ符号化方式:マンチェスター方式 ・ストップビット:なし

※上記以外の設定は禁止です。

※受信フォーマット毎の動作は『リモコン受信回路の動作』を参照してください。

DINV(ビット3):リモコン受信入力極性制御

リモコン入力信号が正相信号の場合、このビットは“0”に設定してください。

逆相信号の場合、このビットは“1”に設定してください。

※リモコン入力信号が“H”レベル状態の時に正相入力設定で動作を開始した場合と、リモコン入力信号が“L”レベル状態の時に逆相入力設定で動作を開始した場合、直ちに最初のエッジが検出されたとみなし、受信動作が開始されます。

CK<2:0> (ビット2, 1, 0) : リモコン受信基準クロック (RMCK) 選択

CK<2>	CK<1>	CK<0>	基準クロック (RMCK)
0	0	0	8Tcyc
0	0	1	16Tcyc
0	1	0	32Tcyc
0	1	1	64Tcyc
1	0	0	128Tcyc
1	0	1	256Tcyc
1	1	0	サブクロックの源発振
1	1	1	1Tcyc

注意：

- ・リモコン受信回路の各レジスタ設定は、RUN = “0” (受信動作停止) の時に行ってください。
- ・HOLDXモードの解除を行う場合、RMCKをサブクロックの源発振に設定してください。HOLDXモードでは、サイクルクロックは停止しますので、他の設定で動作しません。

3-37-4-2 リモコン受信割り込み制御レジスタ (RMINT)

- ① リモコン受信の割り込み制御を行う8ビットのレジスタです。
- ② RMCKをサブクロックの源発振に設定して受信動作を開始した場合、リモコン受信回路の割り込みでHOLDXモードの解除を行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F97	0000 0000	R/W	RMINT	GPOK	GPOKIE	DERR	DEERIE	SFULL	SFULLIE	REND	RENDIE

GPOK (ビット7) : ガイドパルス受信フラグ

FMT<2:0> = “0, 1, 4” の受信フォーマットでガイドパルスを正常受信した場合にセットされます。

このフラグは命令でクリアしてください。

GPOKIE (ビット6) : ガイドパルス受信割り込み要求発生許可制御

このビットとGPOKがともに“1”の時、HOLDX解除信号とベクタアドレス8020Hへの割り込み要求を発生します。

DERR (ビット5) : 受信データエラーフラグ

受信データの判定でエラーが発生した場合にセットされます。

このフラグは命令でクリアしてください。

DEERIE (ビット4) : 受信データエラー割り込み要求発生許可制御

このビットとDERRがともに“1”の時、HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求を発生します。

赤外線リモコン受信回路

SFULL (ビット3) : 受信シフトレジスタFULLフラグ

RMSFTに8ビット分の受信データが格納された後、そのデータがRMRDTへ転送されるとセットされます。

このフラグは命令でクリアしてください。

SFULLIE (ビット2) : 受信シフトレジスタFULL割り込み要求発生許可制御

このビットとSFULLがともに“1”の時、HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求を発生します。

REND (ビット1) : 受信終了フラグ

各受信フォーマットの終了条件を検出するとセットされます。

このフラグは命令でクリアしてください。

RENDIE (ビット0) : 受信終了割り込み要求発生許可制御

このビットとRENDがともに“1”の時、HOLDXモード解除信号とベクタアドレス8020Hへの割り込み要求を発生します。

注意 : FMT<2:0> = “2, 3”の場合、GPOKはセットされません。

3-37-4-3 リモコン受信シフトレジスタ(RMSFT)

①リモコン受信データ用の8ビットのシフトレジスタです。

②RDIRの値により、格納方向が変化(LSBファースト/MSBファースト)します。

③RMSFTからRMRDTへデータ転送は、8ビット分のデータを受信する毎に行われます。最後の受信データが8ビット未満の場合、受信データはRMSFTを読み出してください。

④RMSFTは下記の条件でリセットされます。

(1) 受信動作停止時 (RMRUN = “0”)

(2) FMT<2:0> = “0, 1, 4”の場合、受信動作開始または再開後にガイドパルスが正常受信した時

(3) FMT<2:0> = “2, 3”の場合、受信動作開始または再開後、最初の立ち上がりエッジを検出した時 (入力極性 = 正相設定時)

(4) RMSFTからRMRDTへのデータ転送発生時

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F98	0000 0000	R	RMSFT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

注意 : このレジスタを読み出す際は、RENDの値が“1”(受信終了)になるのを確認してから行ってください。

3-37-4-4 リモコン受信データレジスタ(RMRDT)

①リモコン受信データを保持する8ビットのレジスタです。

②このレジスタは初期値が不定です。8ビット分のデータを受信する毎にRMSFTからRMRDTへデータ転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F99	XXXX XXXX	R	RMRDT	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

注意 : このレジスタを読み出す際は、SFULLの値が“1”(データ転送検出)になるのを確認してから行ってください。

3-37-4-5 リモコン受信ビットカウンタ&プリスケアラ設定レジスタ(RMCTPR)

①リモコン受信データ数をカウントする3ビットのアップカウンタ(RMBCT)と受信終了後、次の受信動作の停止／再開を示すフラグ(HOLD)とガイドパルスまたはデータパルス受信時のRMCKPRのカウント数を設定(GPR<1:0>/DPR<1:0>)するレジスタです。

② リモコン入力信号が、データ“0”または“1”と判定されるとRMBCTはカウントアップします。受信終了後、BCT<2:0>の値を読み出すことで最後の8ビット未満の受信データ数を確認できます。

また、RMBCTは下記の条件でリセットされます。

(1)受信動作停止時(RUN=“0”)

(2)FMT<2:0>=“0, 1, 4”の場合、受信動作開始または再開後にガイドパルスを正常受信した時

(3)FMT<2:0>=“2, 3”の場合、受信動作開始または再開後、最初の立ち上がりエッジを検出した時(入力極性=正相設定時)

③このレジスタのビット3~0は読み出し専用です

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9A	0000 0000	R/W	RMCTPR	GPR		DPR		HOLD	BCT		

GPR<1:0>(ビット7, 6):ガイドパルス受信時のRMCKPRカウント数選択

DPR<1:0>(ビット5, 4):データパルス受信時のRMCKPRカウント数選択

※FMT<2:0>=“0~2”選択時

GPR<1>/DPR<1>	GPR<0>/DPR<0>	RMCKPRのカウント数
0	0	4
0	1	8
1	0	16
1	1	32

※FMT<2:0>=“3, 4”選択時

GPR<1>/DPR<1>	GPR<0>/DPR<0>	RMCKPRのカウント数
0	0	2
0	1	4
1	0	8
1	1	16

HOLD(ビット3):受信動作停止／再開フラグ

受信動作終了後、このビットはセットされ、受信動作を停止します。この時、次のリモコン信号が入力されても受信動作を行いません。

RMSFTの読み出しを実行すると、このビットはクリアされ、受信動作を再開します。また、受信動作停止(RUN=“0”)でも、このビットはクリアされます。

赤外線リモコン受信回路

BCT<2:0>(ビット2, 1, 0):受信データカウンタ

受信終了後、最後の8ビット未満の受信データ数を確認できます。この値により、RMSFT内にある最後の受信データの有効ビット数を判断してください。

注意:RMFMT<2:0>="2, 3"の場合、GPR<1:0>の設定値は受信動作に影響を与えません。

3-37-4-6 リモコン受信ガイドパルス判定幅設定レジスタ(RMGPW)

①ガイドパルスの判定幅を設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9B	0000 0000	R/W	RMGPW	GPH				GPL			

注意:RMFMT<2:0>="2, 3"の場合、このレジスタの設定値は受信動作に影響を与えません。

3-37-4-7 リモコン受信データ0パルス判定幅設定レジスタ(RMDT0W)

①データ0パルスの判定幅またはタイミング1, 2を設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9C	0000 0000	R/W	RMDT0W	D0H				D0L			

3-37-4-8 リモコン受信データ1パルス判定幅設定レジスタ(RMDT1W)

①データ1パルスの判定幅またはタイミング3, 4を設定する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9D	0000 0000	R/W	RMDT1W	D1H				D1L			

3-37-4-9 リモコン受信ガイドパルス&データパルス判定幅上位設定レジスタ(RMXHW)

①ガイドパルスとデータパルスの判定幅またはタイミング1~4の最上位ビットの設定とRMSFTの格納方向を制御する7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9E	0L00 0000	R/W	RMXHW	RDIR	-	D1H4	D1L4	D0H4	D0L4	GPH4	GPL4

RDIR(ビット7):リモコン受信シフトレジスタ格納方向制御

このビットが“0”の時、リモコン受信データはLSBファーストでRMSFTに格納されます。

このビットが“1”の時、リモコン受信データはMSBファーストでRMSFTに格納されます。

D1H4, D1H<3:0>(RMXHWのビット5, RMDT1Wのビット7~4):

データ1パルスの判定幅上位側設定またはタイミング4の生成に使用します。

D1L4, D1L<3:0>(RMXHWのビット4, RMDT1Wのビット3~0):

データ1パルスの判定幅下位側設定またはタイミング3の生成に使用します。

D0H4, D0H<3:0>(RMXHWのビット3, RMDT0Wのビット7~4):

データ0パルスの判定幅上位側設定またはタイミング2の生成に使用します。

D0L4, D0L<3:0> (RMXHWのビット2, RMDT0Wのビット3~0):
データ0パルスの判定幅下位側設定またはタイミング1の生成に使用します。

GPH4, GPH<3:0> (RMXHWのビット1, RMGPWのビット7~4):
ガイドパルスの判定幅上位側設定に使用します。

GPL4, GPL<3:0> (RMXHWのビット0, RMGPWのビット3~0):
ガイドパルスの判定幅下位側設定に使用します。

注意:受信フォーマット毎の動作は『リモコン受信回路の動作』を参照してください。

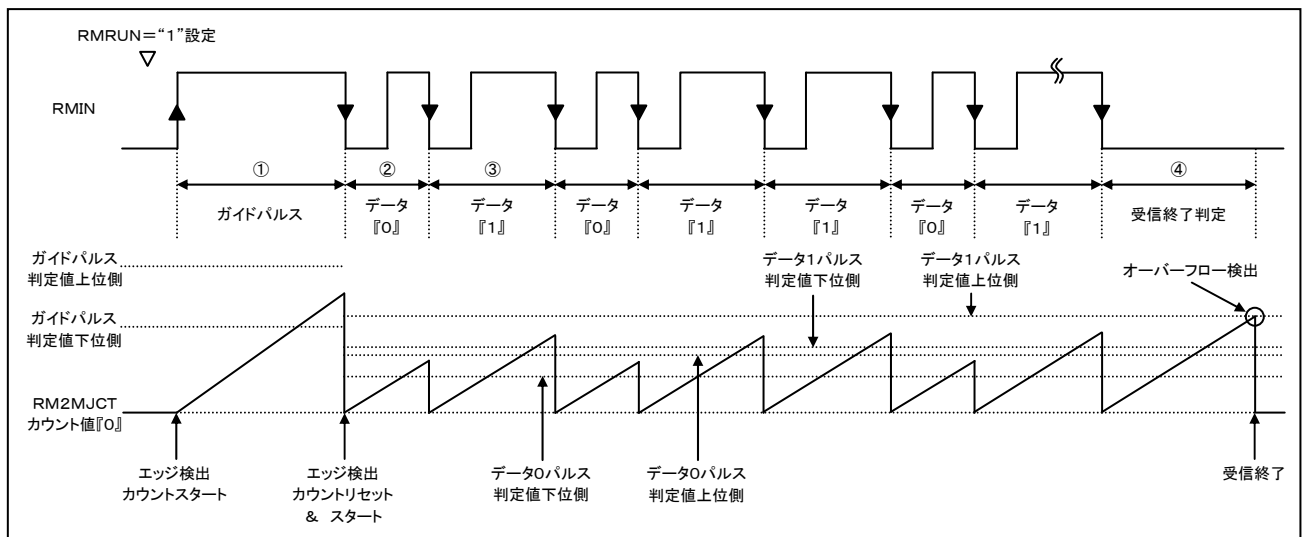
3-37-5 リモコン受信回路の動作

3-37-5-1 “受信フォーマット・A”設定時における受信動作説明

・受信フォーマット・Aの概要

ガイドパルス	: 半クロック
データ符号化方式	: PPM
ストップビット	: なし

※受信フォーマット・Aの受信例(正相入力の場合)



※受信フォーマット・Aの判定値設定

① ガイドパルスのパルス幅(立ち上がり～立ち下がり)を判定

ガイドパルス受信時のRMCK =

$(CK\langle 2:0 \rangle \text{で選択された周期}) \times (GPR\langle 1:0 \rangle \text{で選択されたカウント数})$

ガイドパルス判定値 =

$(\{GPL4, GPL\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{以上} \sim (\{GPH4, GPH\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{未満}$

注意:レジスタ設定値は、 $\{GPL4, GPL\langle 3:0 \rangle\}$ の値 $< \{GPH4, GPH\langle 3:0 \rangle\}$ の値 $>$ の値とします。

②, ③ データ『0』『1』のパルス幅(立ち下がり～立ち下がり)を判定

データパルス受信時のRMCK =

$(CK\langle 2:0 \rangle \text{で選択された周期}) \times (DPR\langle 1:0 \rangle \text{で選択されたカウント数})$

データ『0』判定値 =

$(\{D0L4, D0L\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{以上} \sim (\{D0H4, D0H\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{未満}$

データ『1』判定値 =

$(\{D1L4, D1L\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{以上} \sim (\{D1H4, D1H\langle 3:0 \rangle\} \text{の値} + 1) \times RMCK \text{未満}$

注意:レジスタ設定値は、 $\{D0L4, D0L\langle 3:0 \rangle\}$ の値 $< \{D0H4, D0H\langle 3:0 \rangle\}$ の値 $\leq \{D1L4, D1L\langle 3:0 \rangle\}$ の値 $< \{D1H4, D1H\langle 3:0 \rangle\}$ の値とします。

③ 受信終了(立ち下がり～データ『1』判定値のオーバーフロー)を検出

受信終了検出 = $(\{D1H4, D1H<3:0\}$ の値 + 1) \times RMCK以上

注意：判定の最小設定値はRMCK \times 8で、ガイドパルス、データパルスの下位 / 上位それぞれの設定間はRMCK \times 8以上の間隔で設定します。

※受信フォーマット・Aの受信動作

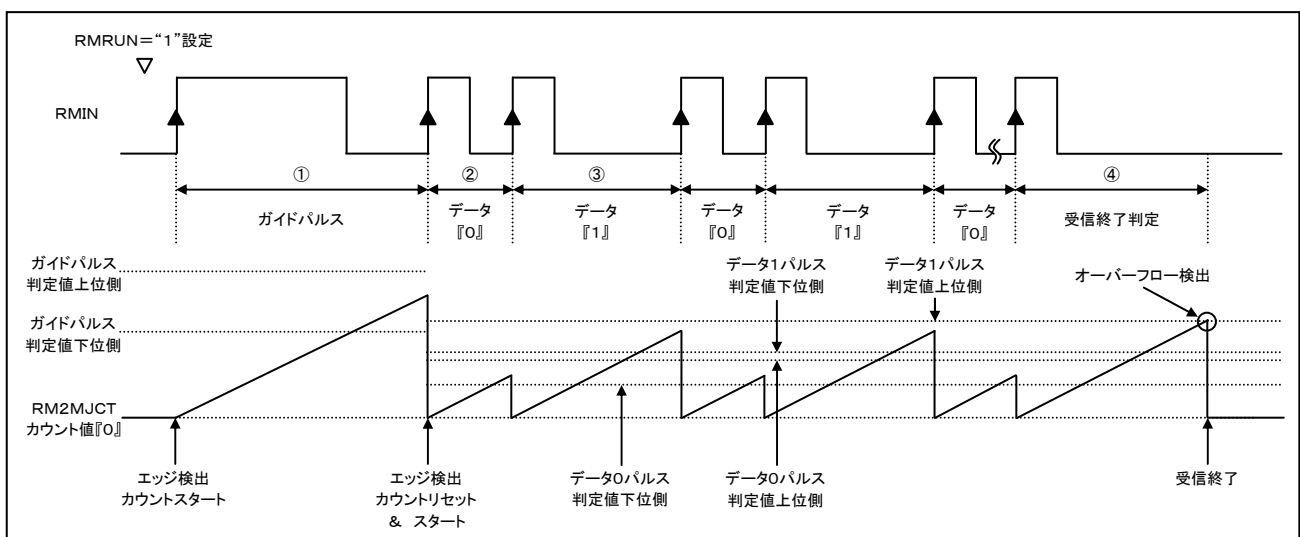
- (1) ガイドパルスを正常に受信するまでは受信待機状態で、ガイドパルスが判定値の範囲内となった場合、RMMJCTのリセットとGPOKフラグのセットが行われ、次のデータパルスの判定を開始します。この時、RMSFTとRMBCTはリセットされます。
- (2) データパルスが判定値の範囲内となった場合、RMMJCTのリセットとRMSFTへのデータ(0/1)格納が行われます。また、8ビット分のデータが受信される毎にRMSFTからRMRDTへデータ転送されます。この時、SFULLフラグがセットされ、RMSFTはリセットされます。
- (3) データパルスが判定値の範囲外となった場合、DERRフラグがセットされ、リモコン受信回路はガイドパルスの受信待機状態にリセットされます。
- (4) 受信データ数はRMBCTでカウントされ、8の整数倍以外のデータ数を受信する場合、受信終了時にこの値を参照して、RMSFTの有効ビット数を判断します。
- (5) 受信終了を検出するとRENDフラグとHOLDフラグがセットされ、リモコン受信回路は動作を停止します。その後、RMSFTを読み出すとHOLDフラグがクリアされ、リモコン受信回路はガイドパルスの受信待機状態(受信動作の再開)となります。

3-37-5-2 “受信フォーマット・B”設定時における受信動作説明

・受信フォーマット・Bの概要

ガイドパルス	: クロック
データ符号化方式	: PPM
ストップビット	: あり

※受信フォーマット・Bの受信例(正相入力の場合)



※受信フォーマット・Bの判定値設定

- ① ガイドパルスのパルス幅(立ち上がり～立ち上がり)を判定
- ②, ③ データ『0』『1』のパルス幅(立ち上がり～立ち上がり)を判定
- ④ 受信終了(立ち上がり～データ『1』判定値のオーバーフロー)を検出

赤外線リモコン受信回路

受信フォーマット・Aの判定値設定と同じため、そちらを参照してください。

※受信フォーマット・Bの受信動作

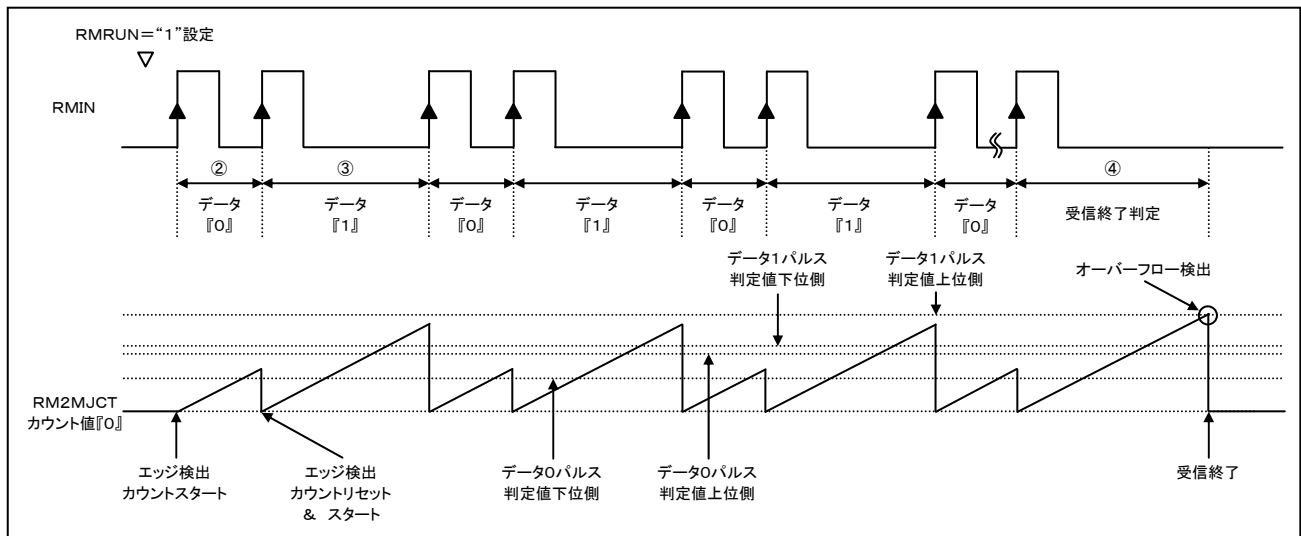
受信フォーマット・Aの受信動作と同じため、そちらを参照してください。

3-37-5-3 “受信フォーマット・C”設定時における受信動作説明

・受信フォーマット・Cの概要

ガイドパルス	:なし
データ符号化方式	:PPM
ストップビット	:あり

※受信フォーマット・Cの受信例(正相入力の場合)



※受信フォーマット・Cの判定値設定

- ②, ③ データ『0』『1』のパルス幅(立ち上がり～立ち上がり)を判定
- ④ 受信終了(立ち上がり～データ『1』判定値のオーバーフロー)を検出

受信フォーマット・Aの判定値設定と同じため、そちらを参照してください。

※受信フォーマット・Cの受信動作

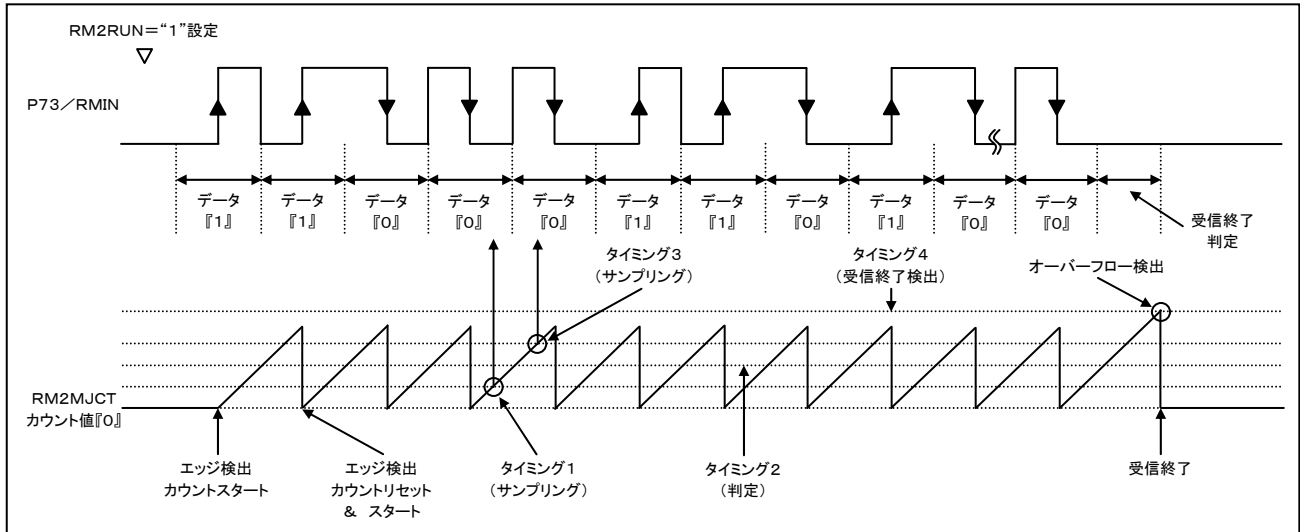
- (1) 受信動作開始または再開後、最初の立ち上がりエッジを検出すると、RMSFTとRMBCTはリセットされます。
- (2) データパルスが判定値の範囲内となった場合、RMMJCTのリセットとRMSFTへのデータ(0/1)格納が行われます。また、8ビット分のデータが受信される毎にRMSFTからRMRDTへデータ転送されます。この時、SFULフラグがセットされ、RMSFTはリセットされます。
- (3) データパルスが判定値の範囲外となった場合、DERRフラグがセットされ、リモコン受信回路は次の立ち上がりエッジの受信待機状態にリセットされます。
- (4) 受信データ数はRMBCTでカウントされ、8の整数倍以外のデータ数を受信する場合、受信終了時にこの値を参照して、RMSFTの有効ビット数を判断します。
- (5) 受信終了を検出するとRENDフラグとHOLDフラグがセットされ、リモコン受信回路は動作を停止します。その後、RMSFTを読み出すとHOLDフラグがクリアされ、リモコン受信回路は次の立ち上がりエッジの受信待機状態(受信動作の再開)となります。

3-37-5-4 “受信フォーマット・D”設定時における受信動作説明

・受信フォーマット・Dの概要

ガイドパルス	:なし
データ符号化方式	:マンチェスター方式
ストップビット	:なし

※受信フォーマット・Dの受信例(正相入力の場合)



※受信フォーマット・Dのタイミング設定

4つのタイミングを生成してリモコン信号の受信判定を行います。

$$\text{タイミング1(サンプリング)} = \frac{(\{D0L4, D0L<3:0>\}の値 + 1) \times RMCK}{}$$

$$\text{タイミング2(データ判定)} = \frac{(\{D0H4, D0H<3:0>\}の値 + 1) \times RMCK}{}$$

$$\text{タイミング3(サンプリング)} = \frac{(\{D1L4, D1L<3:0>\}の値 + 1) \times RMCK}{}$$

$$\text{タイミング4(受信終了検出)} = \frac{(\{D1H4, D1H<3:0>\}の値 + 1) \times RMCK}{以上}$$

リモコン信号はタイミング1, 3でサンプリングされ、その2つのデータにより“0”, “1”, “エラー”を判定します。

注意:レジスタ設定値は、 $\{D0L4, D0L<3:0>\}$ の値 $<$ $\{D0H4, D0H<3:0>\}$ の値 $<$ $\{D1L4, D1L<3:0>\}$ の値 $<$ $\{D1H4, D1H<3:0>\}$ の値とします。

注意:判定の最小設定値は $RMCK \times 4$ で、タイミング1~4のそれぞれの設定間は $RMCK \times 4$ 以上の間隔で設定します。

※受信フォーマット・Dの受信動作

- (1)受信動作開始または再開後、最初の立ち上がりエッジを検出すると、RMSFTとRMBCTはリセットされます。
- (2)タイミング1の時、リモコン信号をサンプリングします。
- (3)タイミング2の時、(2), (6)でサンプリングされたデータの判定を行います。但し、最初のデータ判定はタイミング1で“H”がサンプリングされていればデータ“1”と判定します。(“L”がサンプリングされた場合はデータ“エラー”と判定)
- (4)データが“0”または“1”と判定された場合、RMSFTへのデータ(0/1)格納が行われます。また、8ビット分のデータが受信される毎にRMSFTからRMRDTへデータ転送されます。この時、SFULLフラグがセットされ、RMSFTはリセットされます。

赤外線リモコン受信回路

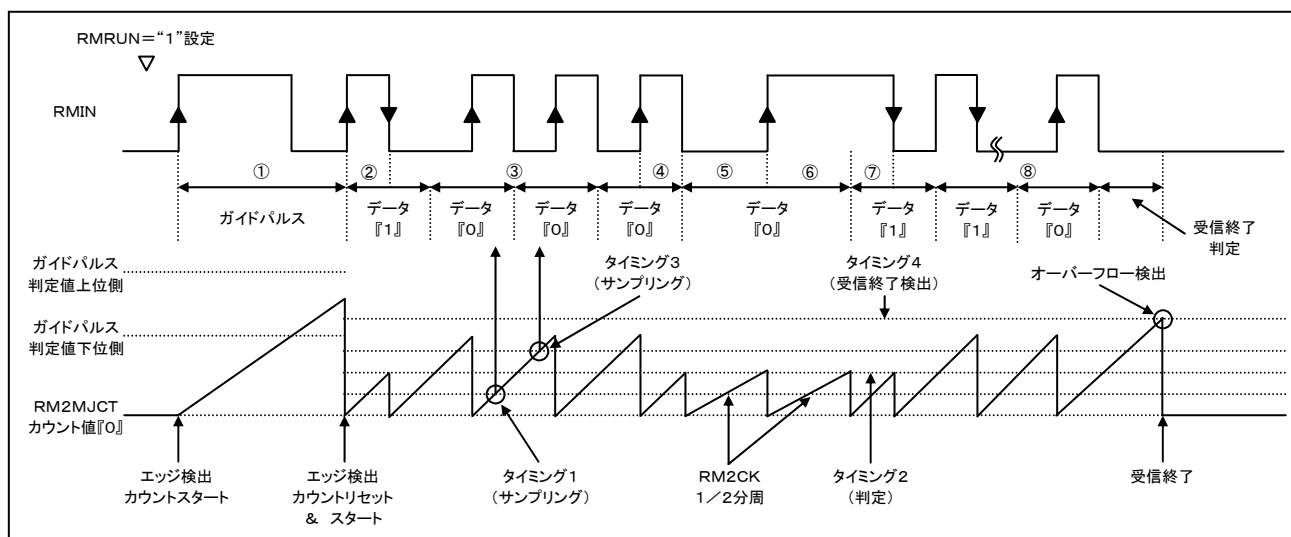
- (5) データ“エラー”と判定された場合、DERRフラグがセットされ、リモコン受信回路は次の立ち上がりエッジの受信待機状態にリセットされます。
- (6) タイミング3の時、リモコン信号をサンプリングします。また、このタイミングからエッジ検出を開始してタイミング4未満までにエッジが検出されると、RMMJCTはリセットされ(2)の動作に戻ります。
- (7) 受信終了を検出するとRENDフラグとHOLDフラグがセットされ、リモコン受信回路は動作を停止します。その後、RMSFTを読み出すとHOLDフラグがクリアされ、リモコン受信回路は次の立ち上がりエッジの受信待機状態(受信動作の再開)となります。

3-37-5-5 “受信フォーマット・E”設定時における受信動作説明

・受信フォーマット・Eの概要

ガイドパルス	:あり
データ符号化方式	:マンチェスター方式
ストップビット	:なし

※受信フォーマット・Eの受信例(正相入力の場合)



※受信フォーマット・Eの判定値/タイミング設定

ガイドパルスの判定値設定は受信フォーマット・Bの設定と同じため、そちらを参照してください。

データパルス受信時のタイミング設定は受信フォーマット・Dの設定と同じため、そちらを参照してください。

注意：判定の最小設定値はRMCK×4で、ガイドパルスの下位/上位の設定間はRMCK×4以上の間隔で設定します。

※受信フォーマット・Eの受信動作

- (1) ガイドパルスを正常に受信するまでは受信待機状態で、ガイドパルスが判定値の範囲内となった場合、RMMJCTのリセットとGPOKフラグのセットが行われ、次のデータパルスの判定を開始します。この時、RMSFTとRMBCTはリセットされます。
- (2) ②のタイミング1の時、リモコン信号をサンプリングします。また、このタイミングからエッジ検出を開始してタイミング3未満までにエッジが検出されると、RMMJCTはリセットされ、次の動作へ移行します。(エッジが検出されない場合はデータ“エラー”と判定)

- (3) ③, ⑧のタイミング1の時、リモコン信号をサンプリングします。
- (4) ③, ⑧のタイミング2の時、(2)または(7), (3)でサンプリングされたデータの判定を行います。
- (5) データが“0”または“1”と判定された場合、RMSFTへのデータ(0/1)格納が行われます。また、8ビット分のデータが受信される毎にRMSFTからRMRDTへデータ転送されます。この時、SFULLフラグがセットされ、RMSFTはリセットされます。
- (6) データ“エラー”と判定された場合、DERRフラグがセットされ、リモコン受信回路はガイドパルスの受信待機状態にリセットされます。
- (7) ③, ⑧のタイミング3の時、リモコン信号をサンプリングします。また、このタイミングからエッジ検出を開始して、タイミング4未満までにエッジが検出されると、RM2MJCTはリセットされ(3)の動作に戻ります。
- (8) 受信終了を検出するとRENDフラグとHOLDフラグがセットされ、リモコン受信回路は動作を停止します。その後、RMSFTを読み出すとHOLDフラグがクリアされ、リモコン受信回路はガイドパルスの受信待機状態(受信動作の再開)となります。
- (9) (3)～(7)が3回行われた後、④のタイミング1の時、リモコン信号をサンプリングします。
- (10) ④のタイミング2の時、(7), (9)でサンプリングされたデータの判定を行います。データが“0”または“1”と判定された場合(5)と同様の動作を行い、さらにRM MJCTはリセットされ、RMCKが1/2分周されます。データ“エラー”と判定された場合(6)と同様の動作を行います。
- (11) ⑤のタイミング1の時、リモコン信号をサンプリングします。また、このタイミングからエッジ検出を開始してタイミング3未満までにエッジが検出されると、RMMJCTはリセットされ、次の動作へ移行します。(エッジが検出されない場合はデータ“エラー”と判定)
- (12) ⑥のタイミング1の時、リモコン信号をサンプリングします。
- (13) ⑥のタイミング2の時、(11), (12)でサンプリングされたデータの判定を行います。データが“0”または“1”と判定された場合(5)と同様の動作を行い、さらにRMMJCTはリセットされ、RMCKが1/1分周に戻ります。データ“エラー”と判定された場合(6)と同様の動作を行います。
- (14) ⑦のタイミング1の時、リモコン信号をサンプリングします。また、このタイミングからエッジ検出を開始してタイミング3未満までにエッジが検出されると、RMMJCTはリセットされ、次の動作へ移行します。(エッジが検出されない場合はデータ“エラー”と判定)
- (15) この後の⑧では(3)～(7)の繰り返しとなります。受信終了を検出した場合、(8)の動作が行われます。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズには外部入力による割り込み要因と、内部ブロックの動作結果から生じる割り込み要因があります。

割り込み個別許可フラグと一括許可フラグでそれぞれの割り込みの許可・禁止が設定できる割り込みベクタに対し、3レベルの割り込みレベルが設定可能です。

また、一括許可フラグに影響されない例外処理の割り込みが存在します。

4-1-2 機能

① 割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・CPUは周辺モジュールからの割り込み要求を受け付けると、割り込みレベル、優先順位割り込み許可状態を判断します。その結果、割り込みを受け付ける場合にはPCの値とPSWの値をスタックに退避し、あらかじめ決められているベクタアドレスに分岐します。その際、3サイクルかかります。
- ・割り込みルーチンからの復帰は、IRET命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

② 割り込み要求の許可受付制御

- ・最高位レベルの割り込み以外は、IE(PSWのビット7)で割り込み要求受付の許可/禁止の制御ができます。

③ 多重割り込み制御

- ・割り込みレベル設定レジスタ(IL1L, IL1H, IL2L, IL2H)で3つの割り込みレベルが設定できます。
- ・割り込み処理中に同一レベルまたは下位レベルの割り込み要求があっても受け付けられません。
- ・現在の割り込み優先レベルはPSWのビット8～10に設定されています。

④ 割り込みの優先

- ・異なる優先レベルの割り込みが同時に発生した時は、優先レベルの高いものが優先されます。また、同じ優先レベルの割り込みが同時に発生した時は、割り込みベクタアドレスの小さいものが優先されます。

⑤ 割り込み受け付け禁止期間

- ・HOLD、HOLDX解除後の2T_{cyc}の期間割り込みは受け付けられません。
- ・HALT、HOLD、HOLDX命令の直前での割り込みは禁止されます。
- ・IRET命令と次の命令実行の間には割り込みは発生しません。

割り込み

⑥ 割り込みレベル制御

- ・割り込みレベル設定レジスタ(IL1L, IL1H, IL2L, IL2H)で、ベクタ単位で割り込みの許可/禁止の設定と3つの割り込み優先レベルの設定ができます。

⑦ 例外処理の割り込み

- ・例外割り込み制御レジスタ(EXCPL, EXCPH)で許可・禁止が設定される割り込み処理であり、一括許可フラグに影響されません。
- ・例外処理割り込みは、全ての周辺機能による割り込みよりも優先されます。そのため、例外割り込み処理中は全ての割り込み要求を受け付けません。

⑧ 割り込みの許可や割り込みの優先レベルの指定を行うにはR14(PSW)と次に示す特殊機能レジスタを操作する必要があります。

- ・R14、IL1L、IL1H、IL2L、IL2H、EXCPL、EXCPH

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	
7F08	0000 0000	R/W	EXCPL	CLKSTP _FLG	CLKSTP _IE	ADDERR _FLG	ADDERR _IE	ODDACC _FLG	ODDACC _IE	NONINS _FLG	NONINS _IE
7F09	LL00 L0L0	R/W	EXCPH	UART1 _FLG	UART1 _IE	UART0 _FLG	UART0 _IE	UART1 _ITYPE	UART0 _ITYPE	-	MOVEVEC

4-1-3 割り込み一覧

① 本シリーズの割り込み一覧

No.	ベクタ	割り込み(周辺機能)
1	08000H	ウォッチドッグタイマ (1)
2	08004H	ベースタイマ (2)
3	08008H	タイマ 0 (2)
4	0800CH	INT0 (1)
5	08010H	
6	08014H	INT1 (1)
7	08018H	INT2 (1)/タイマ 1 (2)/UART2 (4)
8	0801CH	INT3 (1)/タイマ 2 (4)/SMIIC0 (1)/SLIIC0 (1)
9	08020H	INT4 (1)/タイマ 3 (2)/赤外線リモコン受信(4)
10	08024H	INT5 (1)/タイマ 4 (1)/SIO1 (2)
11	08028H	
12	0802CH	PWM0 (1)/SMIIC1 (1)
13	08030H	ADC (1)/タイマ 5 (1)/SIO4(2)
14	08034H	INT6 (1)/タイマ 6 (1)/UART3 (4)
15	08038H	INT7 (1)/タイマ 7 (1)/SIO0 (2)
16	0803CH	ポート 0 (3)/ポート 5 (8)/RTC (1)/CRC(1)

- ・()内の数字はモジュールにおける割り込み要因数
- ・優先レベル 3 > 2 > 1
- ・同一レベルではベクタアドレスの小さいものが優先されます。

② 本シリーズの例外処理割り込み一覧

No.	ベクタアドレス	割り込み(例外処理)
1	8080H	例外処理(5)

・()内の数字は割り込み要因数

・例外処理割り込みは、①のすべての周辺機能による割り込みよりも優先されます。

4-1-4 関連レジスタ

4-1-4-1 R14(PSW)

① CPUの状態を格納する16ビットのレジスタです。

② ビット7～10で割り込みの制御を行います。

ビット	記号	機能
0	Z8	データ転送・演算で、データの下位8ビットが0の時1になります。
1	Z16	データ転送・演算で、データが0の時1になります。 8ビット転送時はZ8と同じ変化をします。
2	CY	次の2つの場合で、データが変化します。 ・算術演算の結果、ビット15からのキャリー／ボローが入ります。 ・シフト・ローテート命令で値が変化します。
3	HC	算術演算の結果、ビット3からのキャリー・ボローが入ります。
4	OV	演算のオーバーフローが入ります。
5	P	データ転送・演算でデータ1の総数が奇数の時1になります。
6	S	最後に扱われたデータの最上位ビットを格納します。
7	IE	割り込みの許可を行います。 *このビットが1でないとすべての割り込みはかかりません。
8	IL0	割り込みレベルを制御します。
9	IL1	*IE=1の時、IL2～IL0で指定されたレベルより高いレベルの割り込み要求が受け付けられます。
10	IL2	
11	WS	例外割り込み制御レジスタの書き込み制御。(0/1:禁止/許可)
12	N0	N3～N0の値でレジスタ指定する命令で参照されます。 データ転送・演算で使われた汎用レジスタの番号がここに入ります。
13	N1	
14	N2	
15	N3	

(注) MUL・DIV・DIVLH・SDIV・SDIVLH命令実行時のフラグ変化は以下のようになります。

Z8,Z16,P,S	… 演算結果のR0の値に影響を受けて変化します。
HC,OV,N0～N3	… クリアされます。
CY	… MUL・DIV・DIVLH命令時は、クリアされます。 SDIV・SDIVLH命令時は、Sフラグと同一の値になります。

割り込み

4-1-4-2 割り込みレベル設定レジスタ1L

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F02	0000 0000	R/W	IL1L	IRQ3		T0		BT		WDT	

IRQ3 (ビット7、6) : ベクタアドレス800CH割り込みレベル設定

上記2ビットでベクタアドレス800CHの割り込みレベルを設定します。

IRQ3	割り込みレベル(800CH)
11	3
10	2
01	1
00	割り込み禁止

T0 (ビット5、4) : ベクタアドレス8008H割り込みレベル設定

上記2ビットでベクタアドレス8008Hの割り込みレベルを設定します。

T0	割り込みレベル(8008H)
11	3
10	2
01	1
00	割り込み禁止

BT (ビット3、2) : ベクタアドレス8004H割り込みレベル設定

上記2ビットでベクタアドレス8004Hの割り込みレベルを設定します。

BT	割り込みレベル(8004H)
11	3
10	2
01	1
00	割り込み禁止

WDT (ビット1、0) : ベクタアドレス8000H割り込みレベル設定

上記2ビットでベクタアドレス8000Hの割り込みレベルを設定します。

WDT	割り込みレベル(8000H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-3 割り込みレベル設定レジスタ1H

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F03	0000 0000	R/W	IL1H	IRQ7		IRQ6		IRQ5		IRQ4	

IRQ7(ビット7、6):ベクタアドレス801CH割り込みレベル設定

上記2ビットでベクタアドレス801CHの割り込みレベルを設定します。

IRQ7	割り込みレベル(801CH)
11	3
10	2
01	1
00	割り込み禁止

IRQ6(ビット5、4):ベクタアドレス8018H割り込みレベル設定

上記2ビットでベクタアドレス8018Hの割り込みレベルを設定します。

IRQ6	割り込みレベル(8018H)
11	3
10	2
01	1
00	割り込み禁止

IRQ5(ビット3、2):ベクタアドレス8014H割り込みレベル設定

上記2ビットでベクタアドレス8014Hの割り込みレベルを設定します。

IRQ5	割り込みレベル(8014H)
11	3
10	2
01	1
00	割り込み禁止

IRQ4(ビット1、0):ベクタアドレス8010H割り込みレベル設定

上記2ビットでベクタアドレス8010Hの割り込みレベルを設定します。

IRQ4	割り込みレベル(8010H)
11	3
10	2
01	1
00	割り込み禁止

割り込み

4-1-4-4 割り込みレベル設定レジスタ2L

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F04	0000 0000	R/W	IL2L	IRQB		IRQA		IRQ9		IRQ8	

IRQB(ビット7、6) : ベクタアドレス802CH割り込みレベル設定

上記2ビットでベクタアドレス802CHの割り込みレベルを設定します。

IRQB	割り込みレベル(802CH)
11	3
10	2
01	1
00	割り込み禁止

IRQA(ビット5、4) : ベクタアドレス8028H割り込みレベル設定

上記2ビットでベクタアドレス8028Hの割り込みレベルを設定します。

IRQA	割り込みレベル(8028H)
11	3
10	2
01	1
00	割り込み禁止

IRQ9(ビット3、2) : ベクタアドレス8024H割り込みレベル設定

上記2ビットでベクタアドレス8024Hの割り込みレベルを設定します。

IRQ9	割り込みレベル(8024H)
11	3
10	2
01	1
00	割り込み禁止

IRQ8(ビット1、0) : ベクタアドレス8020H割り込みレベル設定

上記2ビットでベクタアドレス8020Hの割り込みレベルを設定します。

IRQ8	割り込みレベル(8020H)
11	3
10	2
01	1
00	割り込み禁止

4-1-4-5 割り込みレベル設定レジスタ2H

①ベクタ毎の割り込みレベルを設定するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F05	0000 0000	R/W	IL2H	IRQF		IRQE		IRQD		IRQC	

IRQF (ビット7、6) : ベクタアドレス803CH割り込みレベル設定

上記2ビットでベクタアドレス803CHの割り込みレベルを設定します。

IRQF	割り込みレベル(803CH)
11	3
10	2
01	1
00	割り込み禁止

IRQE (ビット5、4) : ベクタアドレス8038H割り込みレベル設定

上記2ビットでベクタアドレス8038Hの割り込みレベルを設定します。

IRQE	割り込みレベル(8038H)
11	3
10	2
01	1
00	割り込み禁止

IRQD (ビット3、2) : ベクタアドレス8034H割り込みレベル設定

上記2ビットでベクタアドレス8034Hの割り込みレベルを設定します。

IRQD	割り込みレベル(8034H)
11	3
10	2
01	1
00	割り込み禁止

IRQC (ビット1、0) : ベクタアドレス8030H割り込みレベル設定

上記2ビットでベクタアドレス8030Hの割り込みレベルを設定します。

IRQC	割り込みレベル(8030H)
11	3
10	2
01	1
00	割り込み禁止

割り込み

4-1-4-6 例外割り込み制御レジスタ下位

①R14 (PSW) のビット11が1の時、書き込みを行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F08	0000 0000	R/W	EXCPL	CLKSTP _FLG	CLKSTP _IE	ADDERR _FLG	ADDERR _IE	ODDACC _FLG	ODDACC _IE	NONINS _FLG	NONINS _IE

CLKSTP_FLG (ビット7): 発振停止検出フラグ

CLKSTP_IEが1の時システムクロックが停止するとセットされます。

このビットは命令で0にクリアしてください。

CLKSTP_IE (ビット6): 発振停止割り込み許可

このビットとCLKSTP_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

このビットが1の時、低速RC発振回路が動作し、発振停止検出回路が動作します。

ADDERR_FLG (ビット5): アドレスエラーフラグ

実装されているメモリ空間の領域外をアクセスするとセットされます。

このビットは命令で0にクリアしてください。

ADDERR_IE (ビット4): アドレスエラー割り込み許可

このビットとADDERR_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

ODDACC_FLG (ビット3): ワード命令奇数アドレスアクセスフラグ

奇数アドレスに対しワード命令でアクセスした時にセットされます。

このビットは命令で0にクリアしてください。

ODDACC_IE (ビット2): ワード命令奇数アドレスアクセス割り込み許可

このビットとODDACC_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

NONINS_FLG (ビット1): 未定義命令チェックフラグ

未定義の命令コードを実行するとセットされます。

このビットは命令で0にクリアしてください。

NONINS_IE (ビット0): 未定義命令チェック割り込み許可

このビットとNONINS_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

4-1-4-7 例外割り込み制御レジスタ上位

① R14 (PSW) のビット11が1の時、書き込みを行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F09	LL00 L0L0	R/W	EXCPH	UART1 _FLG	UART1 _IE	UART0 _FLG	UART0 _IE	UART1 _ITYPE	UART0 _ITYPE	-	MOVEVEC

UART1_FLG (ビット7) : 予約ビット
0で使用してください。

UART1_IE (ビット6) : 予約ビット
0で使用してください。

UART0_FLG (ビット5) : UART0割り込みフラグ
UART0の割り込み要求フラグを見るレジスタです。
このビットはリードオンリーです。

UART0_IE (ビット4) : UART0割り込み許可
このビットとUART0_FLGが1の時、ベクタアドレス8080Hへの割り込み要求が発生します。

UART1_ITYPE (ビット3) : 予約ビット
0で使用してください。

UART0_ITYPE (ビット2) : UART0割り込みマスク制御
このビットが1の時、UART0割り込みはIEによって許可・禁止を制御されます。
このビットが0の時、UART0割り込みはIEの値にかかわらず許可されます。

MOVEVEC (ビット0) : 予約ビット
0で使用してください。

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック源として、OSC1、OSC0、RC発振回路の3系統のクロックからプログラムでシステムクロックを選択します。RC発振回路は、抵抗R、コンデンサCを内蔵しており、外付け回路の必要がありません。

また、システムクロックの分周出力をベースタイマのクロック源として使用することができます。

- (1) OSC1: CF発振回路
- (2) OSC0: 水晶発振回路

4-2-2 機能

① システムクロック選択

- ・OSC1、OSC0、RC発振の3系統のクロックからシステムクロックを選択します。

② システムクロック分周

- ・システムクロックとして選択されたクロックを分周してシステムクロックとして供給します。

- ・分周は $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の選択ができます。

③ 発振回路制御

- ・命令で上記3系統のクロック源の動作/停止を独立に制御できます。

④ ベースタイマへのクロック供給

- ・システムクロックの分周出力をベースタイマのクロックとして供給することができます。

- ・分周は $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$, $\frac{1}{256}$ の選択ができます。

⑤ 周辺モジュールへのクロック供給

- ・上記3系統のクロックを周辺モジュールで使用します。詳細は周辺モジュールを参照してください。

⑥ システムクロックを制御するには次に示す特殊機能レジスタを操作する必要があります。

- ・OCR0, OCR1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSCTYPE1	SCKSEL		RCSTOP	OSCTYPE0	OSCTYPE	ENOSC1	ENOSC0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1	-	SCKDIV			

4-2-3 回路構成

4-2-3-1 OSC1

4-2-3-1-1 CF発振回路

- ①CF1, CF2端子にセラミック発振子と容量を接続することにより発振可能になります。

4-2-3-2 OSC0

4-2-3-2-1 XT発振回路

- ①XT1, XT2端子に水晶発振子(32.768kHz)と容量, 帰還抵抗, ダンピング抵抗を接続することにより発振可能となります。

4-2-3-3 RC発振回路

- ①内蔵の抵抗と容量で発振します。
- ②リセットまたはHOLD解除後には、RC発振のクロックがシステムクロックとなります。
- ③振開始直後から正常な周波数で発振を行います。

4-2-3-4 発振制御レジスタ0(OCR0) (8ビットレジスタ)

- ①発振回路の選択と動作停止/開始の制御を行います。

4-2-3-5 発振制御レジスタ1(OCR1) (8ビットレジスタ)

- ①システムクロック分周回路の制御を行います。
- ②ベースタイマへの供給クロック選択を行います。

システムクロック

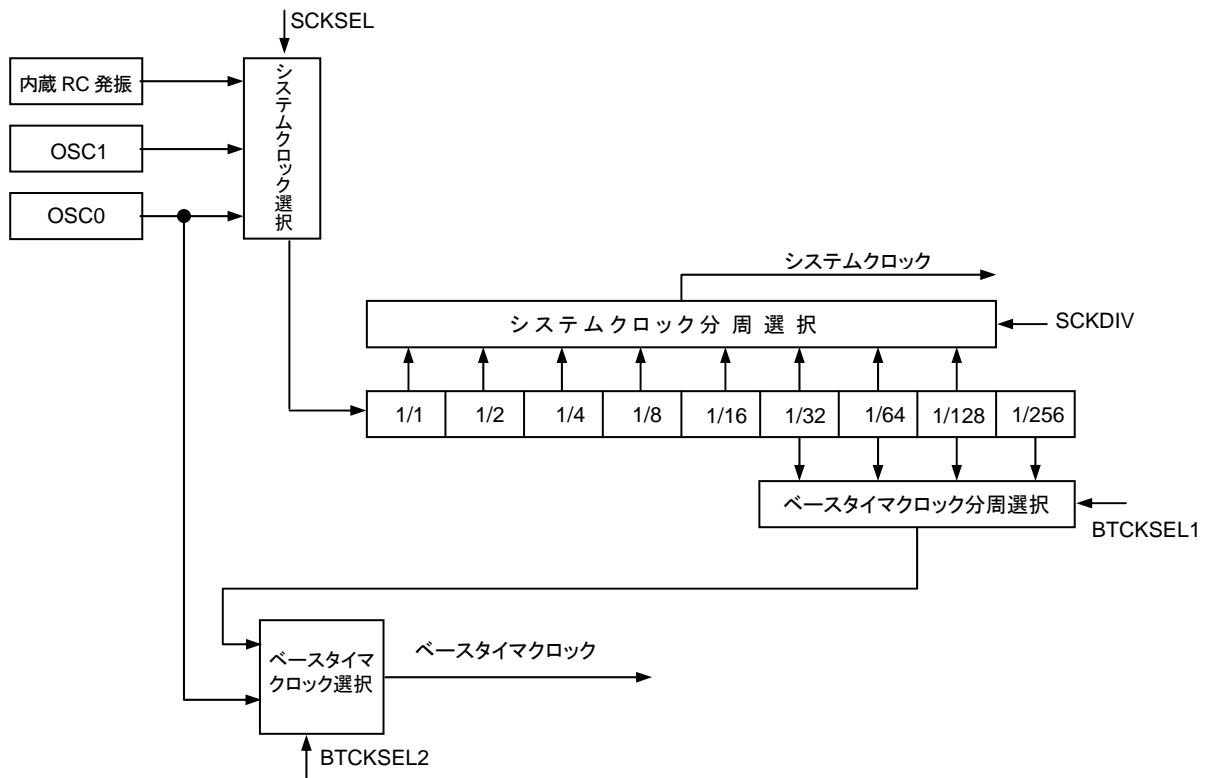


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 発振制御レジスタ0

①発振回路の選択と動作停止／開始の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0A	0000 0000	R/W	OCR0	OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSC0TYPE	ENOSC1	ENOSC0

SCKSEL(ビット6、5):システムクロック選択

上記2ビットでシステムクロック源を選択します。

SCKSEL	システムクロック
11	OSC0
10	OSC1
01	RC発振
00	RC発振

RCSTOP(ビット4):RC発振動作制御

このビットが“1”の時、RC発振は停止します。

このビットが“0”の時、RC発振は動作します。

OSC1TYPE1(ビット7):OSC1回路選択1

OSC1TYPE0(ビット3):OSC1回路選択0

上記2ビットでOSC1を選択します。

OSC1TYPE1	OSC1TYPE0	OSC1回路選択
1	1	CF発振回路
1	0	設定禁止
0	1	設定禁止
0	0	発振停止

OSC0TYPE(ビット2):OSC0回路選択

このビットでOSC0を選択します。

OSC0TYPE	OSC0回路選択
1	XT発振回路
0	汎用ポート

ENOSC1(ビット1):OSC1動作制御

このビットが“1”の時、選択されたOSC1回路が動作します。

このビットが“0”の時、OSC1は停止します。

ENOSC0(ビット0):OSC0動作制御

このビットが“1”の時、選択されたOSC0回路が動作します。

このビットが“0”の時、OSC0は停止します。

システムクロック

4-2-4-2 発振制御レジスタ1

- ①システムクロック分周回路の制御を行います。
- ②ベースタイマへの供給クロック選択を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0B	0L00 L000	R/W	OCR1	BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

BTCKSEL2(ビット7):ベースタイマクロック選択

このビットでベースタイマのクロックを選択します。

BTCKSEL2	ベースタイマクロック
1	システムクロックの分周出力(注)
0	OSC0

(注)分周比はビット5, 4で設定します。

BTCKSEL1(ビット5、4):ベースタイマクロック分周設定

このビットでベースタイマへ供給するシステムクロック分周出力の分周比を選択します。

BTCKSEL1	分周比
00	$\frac{1}{32}$
01	$\frac{1}{64}$
10	$\frac{1}{128}$
11	$\frac{1}{256}$

SCKDIV(ビット2~0):システムクロック分周設定

SCKDIV	分周比
000	$\frac{1}{1}$
001	$\frac{1}{2}$
010	$\frac{1}{4}$
011	$\frac{1}{8}$
100	$\frac{1}{16}$
101	$\frac{1}{32}$
110	$\frac{1}{64}$
111	$\frac{1}{128}$

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時や待機中の消費電流を低減するためにHALT(ホルト), HOLD(ホールド), HOLDX(ホールドX)と呼ばれる3つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

① HALTモード

- ・命令の実行は停止するが、周辺回路は動作を継続します。
- ・HALT命令を実行することにより、HALTモードに入ります。
- ・リセットまたは割り込み要求の受付により、通常動作モードに復帰します。

② HOLDモード

- ・全ての発振が停止します。命令の実行が停止し、周辺回路も動作停止します。
- ・HOLD命令を実行することにより、HOLDモードに入ります。
- ・リセットまたはHOLD解除信号の発生により、HALTモードに移行します。

③ HOLDXモード

- ・OSC0以外の発振が停止します。命令の実行が停止し、OSC0のクロック以外で動作する周辺回路も動作停止します。
- ・HOLDX命令を実行することにより、HOLDXモードに入ります。
- ・リセットまたはHOLDX解除信号の発生により、HALTモードに移行します。
- ・HOLDX解除時、OSC1・RC発振の発振状態、及びシステムクロック選択は突入時の状態に戻ります。OSC1にCF発振子を接続している場合は、発振安定時間が必要となりますので、HOLDXモードに入る前に、システムクロックとしてOSC0またはRC発振を選択してください。

※HOLD/HOLDX解除信号は各周辺システムからの割り込み要求信号です。したがって各周辺システムの割り込み要求が成立したままHOLD/HOLDX命令を実行してもすぐにHOLD/HOLDXモードから移行してしまいます。

- ・割り込み受け付けが許可されていた場合は通常動作へ移行。
- ・割り込み受け付けが禁止されていた場合はHALTモード移行。

(注) 割り込みの受け付けに関しては、4-1章を参照してください。

※周辺システムでHOLD/HOLDXモードから復帰させる場合は、HOLD/HOLDXモードに入る前に解除要因以外の周辺システムの割り込み要求を禁止してください。

※リセット条件のみでHOLD/HOLDXモードから復帰させる場合は、HOLD/HOLDXモードに入る前にすべての周辺システムの割り込み要求を禁止してください。

スタンバイ機能

HALT,HOLD,HOLDXの3種類の命令を2つ以上連続して記述しないでください。

(例)

```
      :  
      HOLD  
      HALT } 記述NG  
      :
```

```
      :  
      HALT  
      NOP  } 記述OK  
      HALT  
      :
```


表4-3-1 スタンバイ動作

項目/モード	リセット状態	HALTモード	HOLDモード	HOLDXモード
突入条件	・RESB信号印加 ・ウォッチドッグタイ マのリセット発生	HALT命令実行	HOLD命令実行	HOLDX命令実行
突入後、 変化するデータ	別紙のように初期化 される。 (表2-6-1)	なし	・WDTCRのビット3 がセットされている 場合、WDTCRの ビット0がクリアされ る。 ・OCR0, OCR1レ ジスタが00になる。	・WDTCRのビット3 がセットされている 場合、WDTCRの ビット0がクリアされ る。
OCR0, OCR1	初期化される	変化しない	初期化される	変化しない
OSC0	停止	突入時の状態	停止	突入時の状態
OSC1	停止	突入時の状態	停止	停止
RC発振	停止	突入時の状態	停止	停止
CPU	初期化される	停止	停止	停止
I/O端子状態	表4-3-2参照	←	←	←
RAM	・RESB場合:不定 ・ウォッチドッグタイ マリセットの場合: データ保持	データ保持	データ保持	データ保持
周辺モジュール	停止	突入時の状態	停止	OSC0で動作してい るモジュール:突入時 の状態 その他:停止
復帰条件	突入条件の解消	・割り込み要求の受 付 ・リセット条件の成立	・INT0~7, POINT, P5INT, UART2, U ART3, SIO0, SIO 1, SIO4からの割り込 み要求の受付 ・リセット条件の成立	・INT0~7, POINT, P5INT, UART2, U ART3, SIO0, SIO 1, SIO4, OSC0で 動作しているモジュ ールからの割り込み要 求の受付 ・リセット条件の成立
復帰先	通常動作モード	通常動作モード	HALTモード (注1)	HALTモード (注1)
復帰後に変化する データ	なし	なし	なし	なし

注1:リセット突入条件の成立で復帰した場合、リセット状態に移行する。

スタンバイ機能

表 4-3-2 モードによる端子状態 (本シリーズ)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RESB	・入力端子	←	←	←	←
PC0	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0AH) で X'tal 発振用入力端子として使用を制御。 ・入力/出力はプログラムで制御。 ※発振端子として使用時は PC0 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプログラムで制御。	←	・HOLD 突入時の PC0 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗は OFF。	・HOLD 時の状態。
PC1	・入力モード ・X'tal 発振は開始しない。 ・PC0,PC1 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0EH) で X'tal 発振用出力端子として使用を制御。 ・入力/出力はプログラムで制御 ※発振端子として使用時は PC1 出力機能は動作しない。 ・PC0,PC1 の間の帰還抵抗はプログラムで制御。	←	・HOLD 突入時の PC1 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 ・PC0,PC1 の間の帰還抵抗は OFF	・HOLD 時の状態。
PC1	・入力モード ・CF 発振は開始しない。 PC0,PC1 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0AH) で CF1 発振用入力端子として使用を制御。 ・入力/出力はプログラムで制御。 ・※発振端子として使用時は PC3 出力機能は動作しない。 PC3,PC4 の間の帰還抵抗はプログラムで制御。	←	・HOLD 突入時の PC3 関連レジスタの状態 ※HOLDX 時は発振状態を保持する。 PC3,PC4 の間の帰還抵抗は OFF。	・リセット時と同じ。 ※HOLDX 解除時は突入時の状態。
PC2	・入力モード ・CF 発振は開始しない。 ・PC3,PC4 の間の帰還抵抗はオフ。	・レジスタ OCR0(7F0EH) で CF 発振用出力端子として使用を制御。 ・入力/出力はプログラムで制御 ・※発振端子として使用時は PC4 出力機能は動作しない。 ・PC3,PC4 の間の帰還抵抗はプログラムで制御。	←	・HOLD 突入時の PC4 関連レジスタの状態 ・※HOLDX 時は発振状態を保持する。 ・PC3,PC4 の間の帰還抵抗は OFF	・リセット時と同じ。 ※HOLDX 解除時は突入時の状態。 ・
P00-P07	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P20-P27	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P30-P37	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←

次ページへ続く

モードによる端子状態(続き)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
P40-P47	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P60-P67	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P70-P77	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
PA0-PA7	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
PB0-PB6	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
PD0-PD5	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
PC2	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
TEST	・オンチップデバッグ通信端子	←	←	←	←

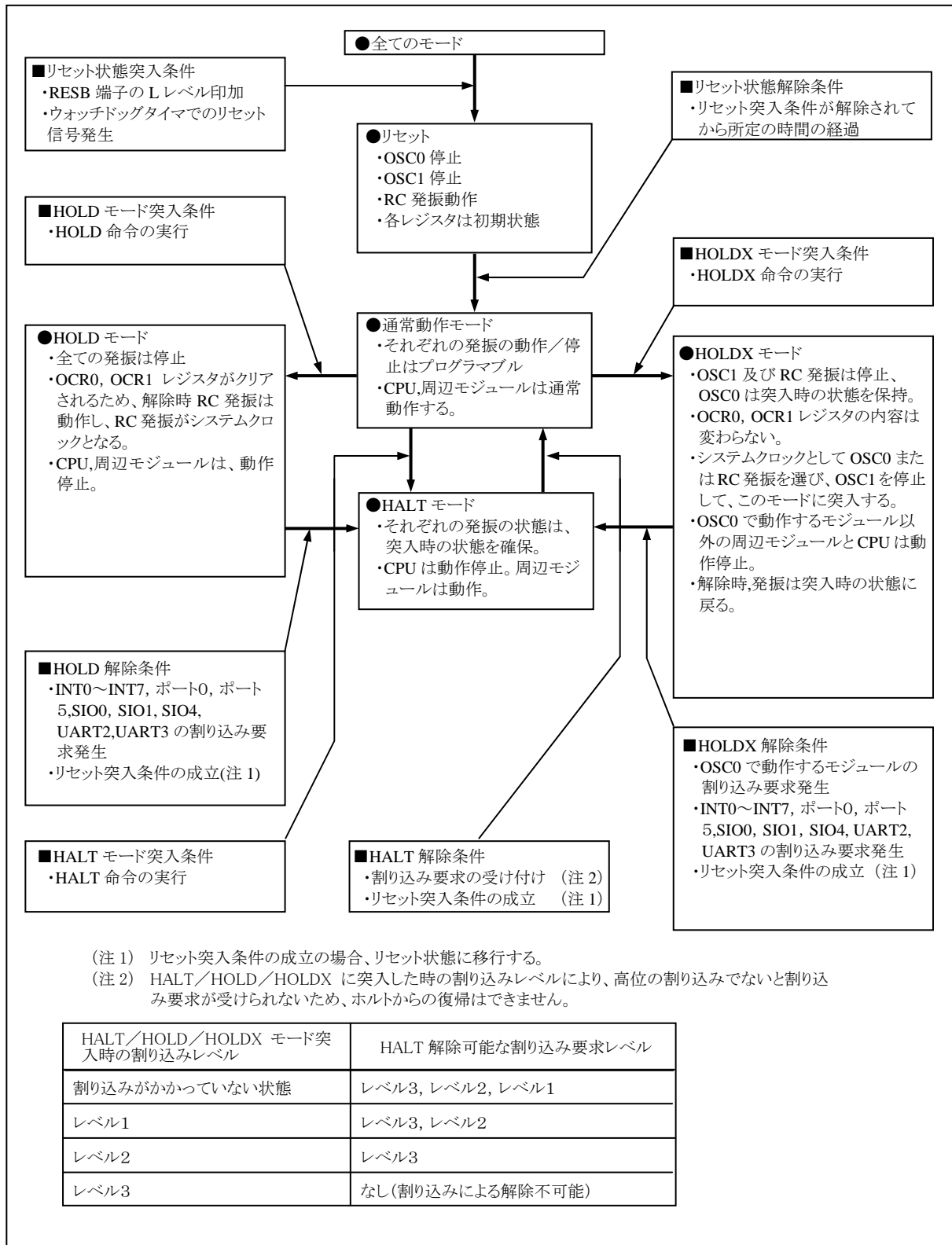


図 4-3-1 スタンバイモード遷移

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の三つの機能を持っています。

① RESB端子による外部リセット機能

- ・電源が安定してからRESB端子の[L]レベルを10[μ S]以上印加することで、確実にリセットがかかります。しかしわずかな幅の[L]レベルが印加されてもリセットがかかる場合がありますので注意が必要です。
- ・RESB端子に適切な時定数を外付けすれば、電源投入時のリセットとして使用できます。

② ウォッチドッグタイマによる暴走検出リセット機能

③ プログラムでRESET命令を実行することによる、ソフトウェアリセット機能

④ 内蔵リセット機能

- ・電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

4-4-3 リセット時の状態

RESB端子、ウォッチドッグタイマ、ソフトウェアによるリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかると、システムクロックはRC発振クロックになりますので、電源投入後の待ち時間は不要です。システムクロックの切り替えは、切り替えるクロックが安定発振してから行ってください。

< 注意点 >

- ・R15(SP)の初期値は0000Hとなります。
- ・データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が不定となっています。

4-5 ウォッチドッグタイマ

4-5-1 概要

本シリーズは、プログラム暴走を検出するために、ベースタイマを使用するウォッチドッグタイマを内蔵しています。

このウォッチドッグタイマは、一定期間のうちにプログラムによるクリア信号を検出しなかった場合にプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

4-5-2 機能

① 暴走の検出

定期的にウォッチドッグタイマをクリアするプログラムを作成します。プログラムが暴走するとタイマをクリアする命令が実行されないため、タイマはオーバーフローし、暴走検出フラグがセットされます。

② 暴走検出の動作

ウォッチドッグタイマが暴走を検出した場合、次の2つの動作を選択することができます。

・リセットモード

PCは、初期化され“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されます。

ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のビット5～ビット2は、ウォッチドッグタイマリセットで初期化されません。ビット1、ビット0は、ウォッチドッグタイマリセットで初期化されます。

・インタラプトモード

ウォッチドッグタイマ割り込みが発生します。ベクタアドレス“008000H”への割り込み処理が行われます。

PCは、ベクタアドレス“008000H”になります。SFR(周辺機能制御レジスタ)は、初期化されません。インタラプトモード突入前の状態が保持されます。

ただし、ウォッチドッグタイマ制御レジスタ(WDTCR)のビット1は、セットされます。

③ ウォッチドッグタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・WDTCR, BTCR, OCR0, OCR1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

4-5-3 回路構成

4-5-3-1 3ビットバイナリアップカウンタ (3ビットカウンタ)

① ベースタイマの出力をカウントするアップカウンタです。

4-5-3-2 ウォッチドッグタイマ制御レジスタ (7ビットレジスタ)

① ウォッチドッグタイマの動作の制御を行います。

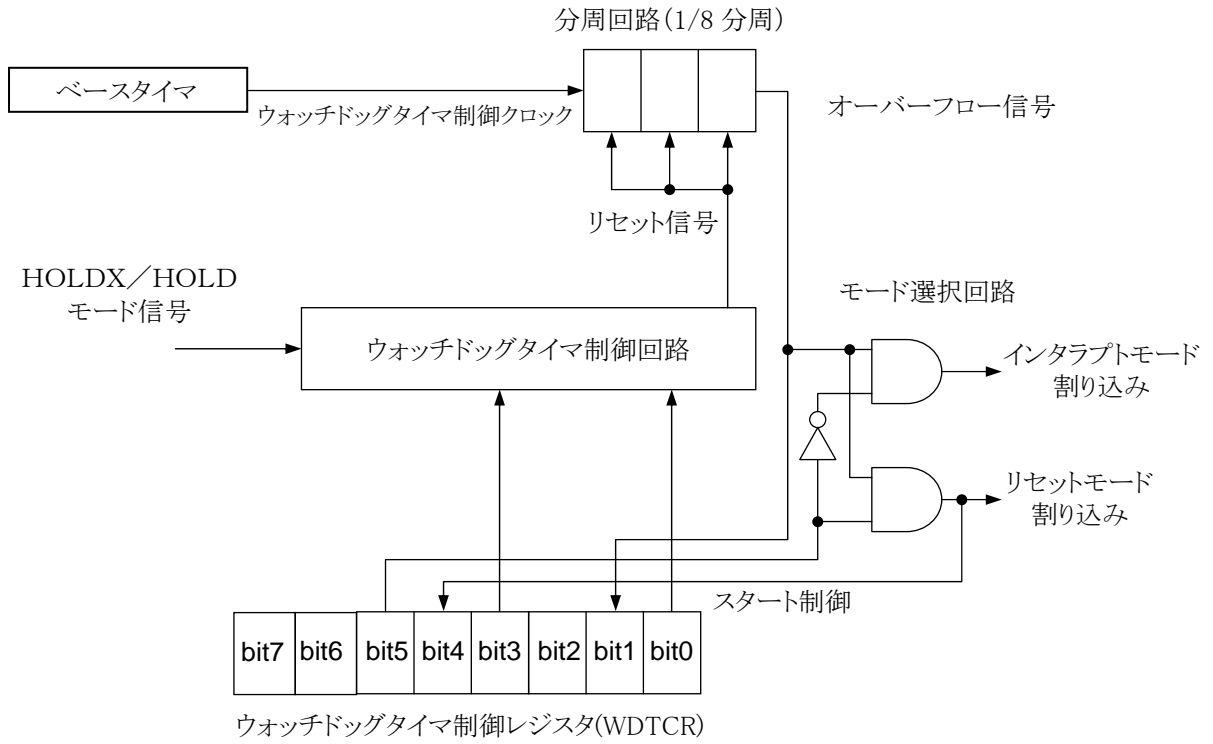


図 4-5-1 ウォッチドッグタイマブロック図

4-5-4 関連レジスタ

4-5-4-1 ウォッチドッグタイマ制御レジスタ

① ウォッチドッグタイマの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR	-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START

(ビット7～6) : 固定ビット

0で使用してください。

MDSEL (ビット5) : 暴走検出時のモード選択

このビットが1の時、ウォッチドッグタイマはリセットモード。

このビットが0の時、ウォッチドッグタイマはインタラプトモード。

SRFLG (ビット4) : リセット実行検出フラグ

MDSELが1(リセットモード)の状態では暴走検出された場合、もしくは設定が不十分な状態でウォッチドッグタイマを動作させた場合、マイクロコンピュータはリセットを実行し、このビットをセットします。このビットはリセット実行によりクリアされないため、このビットをモニタすることにより、ウォッチドッグタイマによるリセット実行かどうかを判断することができます。

PDNSTOP (ビット3) : HOLDX/HOLDモード時の機能制御

HOLDX/HOLDモードになった場合のウォッチドッグタイマの動作(0)/停止(1)を制御します。「1」の設定時HOLDX/HOLD状態ではSTARTがリセットされ、ウォッチドッグタイマは停止します。「0」の設定時ではSTARTは変化せずHOLDX状態でもウォッチドッグタイマは動作します。

USERFLG (ビット2) : 汎用フラグ

OVF (ビット1) : 暴走検出フラグ

ウォッチドッグタイマのオーバーフローによって暴走が検出された場合にセットされます。

START (ビット0) : ウォッチドッグタイマの動作制御

ウォッチドッグタイマの動作を制御します。このビットに「1」を書き込むことで、ウォッチドッグタイマが動作開始します。ウォッチドッグタイマ動作開始後は、レジスタWDTCRへの書き込みは禁止されます。したがって、プログラムでこのビットに「0」を書き込むことで、ウォッチドッグタイマを停止させることはできません。

STARTビットがクリアされ、ウォッチドッグタイマが停止する条件は、表4-5-1を参照してください。

注意：ウォッチドッグタイマに供給するクロックは、ベースタイマ部内の16ビットカウンタから出力しています。従って、ベースタイマを動作させないと(16ビットカウンタにクロックを供給しないと)この機能は動作しません。

これらの機能を使用する場合は、ベースタイマ制御レジスタBTCR(アドレス:7F0EH)のベースタイマ動作制御(ビット6)をかならず“1”(動作)に設定してから、ウォッチドッグタイマを動作させてください。

ベースタイマ動作制御(ビット6)が“0”(停止)もしくは、ベースタイマクロックとして選択された発振器が、発振許可でない状態で、ウォッチドッグタイマを動作させると、ウォッチドッグタイマリセット信号が発生します。

WDTCR	外部リセット発生時	ウォッチドッグタイマ 暴走検出時		RESET 命令実行時	HOLDX/HOLD 命令の実行時	
		リセットモード	インタラプトモード		PDNSTP=1 設定時	PDNSTP=0 設定時
ビット7	0	保持	保持	保持	保持	保持
ビット6	L	L	L	L	L	L
MDSEL	0	1を保持	0を保持	保持	保持	保持
SRFLG	0	1	保持	保持	保持	保持
PDNSTP	0	保持	保持	保持	1を保持	0を保持
USERFLG	0	保持	保持	保持	保持	保持
OVF	0	0	1	0	保持	保持
START	0	0	1を保持	0	0	保持

表 4-5-1 各イベント発生後のWDTCRの状態

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

(1)ウォッチドッグタイマ実行前の状態設定

以下の設定を行わずにウォッチドッグタイマを動作させた場合、マイクロコンピュータはリセットを実行します。

- ①ベースタイマクロックとして使用する発振源の発振許可
- ②ベースタイマの動作開始

(2)ウォッチドッグタイマの動作開始

以下①～③のレジスタ設定を同時に行ってください。

- ①ビット0(START)に「1」を書き込みます。
- ②暴走検出でリセットをかける場合はビット5(MDSEL)に「1」を同時に書き込みます。
- ③HOLDXモード時にウォッチドッグタイマの動作を停止する場合にはビット3(PDNSTOP)に「1」を同時に書き込みます。

ウォッチドッグタイマ

ビット0 (START) に「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、レジスタ(WDTCR)への書き込みは禁止され、ウォッチドッグタイマカウンタのクリアとWDTCRの読み出しのみが可能になります。したがって、プログラムでビット0 (START) に「0」を書き込むことでは、ウォッチドッグタイマを停止させることはできません。STARTビットがクリアされ、ウォッチドッグタイマが停止する条件については、表4-5-1を参照してください。

(3) ウォッチドッグタイマカウンタのクリア

ウォッチドッグタイマが動作を開始すると、カウンタがカウントアップします。このカウンタがオーバーフローすると、ウォッチドッグタイマ制御レジスタ(WDTCR)の設定にしたがって、リセットまたは割り込みが発生します。したがって、通常のプログラム動作を行うには、カウンタがオーバーフローする前に、定期的にカウンタをクリアする必要があります。動作中のウォッチドッグタイマカウンタのクリアには次の命令を使用してください。

これ以外の命令では、ウォッチドッグタイマカウンタのクリアは、行われません。

C言語:

```
___SFR__BITCLR(___WDTCR, 0);
```

アセンブラ:

```
CLR1 ___WDTCR, #0
```

(4) 暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないのでカウンタがオーバーフローします。オーバーフローが起これるとプログラムが暴走したと判断され、リセットあるいは割り込みが発生します。このとき、暴走検出フラグOVFがセットされます。

この時、MDSELが「1」であればリセットがかかり、「0」であれば割り込みを発生し、プログラムを8000Hから実行します。

(5) タイマ値の設定

ウォッチドッグタイマを使用する場合、割り込み発生周期を設定する必要があります。また同時に、メインルーチン中でこの割り込み発生周期を下回る周期でウォッチドッグタイマカウンタのクリア処理を行う必要があります。

ウォッチドッグタイマ割り込み発生周期の計算式は以下のようになります。

① ベースタイマ制御 (BTCR) の FST=1, CNT=00 又は CNT=01 の時

$$T_{WDT} = (1 / f_{BST}) \times 32 \times 8$$

② ベースタイマ制御 (BTCR) の FST, CNT が ① 以外の時

$$T_{WDT} = (1 / f_{BST}) \times 8192 \times 8$$

* f_{BST}: ベースタイマクロック選択レジスタ(OCR1)で選択される、入力クロック周波数

T_{WDT}: ウォッチドッグタイマの割り込み発生周期

例 1: システムクロックを OSC1 (1MHz) の 1/1 分周、ベースタイムクロックをシステムクロックの 1/64 分周、ベースタイム制御レジスタ (BTCR) の FST=0, CNT=00 の場合。

$$T_{WDT} = 1 \times 10^{-6} \times 64 \times 8192 \times 8 = 4.194304 \text{ S}$$

例 2: システムクロックを OSC1 (1MHz) の 1/1 分周、ベースタイムクロックを OSC0 (32.768kHz) の 1/1 分周、ベースタイム制御レジスタ (BTCR) の FST=1, CNT=00 の場合。

$$T_{WDT} = (1/32.768) \times 10^{-3} \times 32 \times 8 = 7.8125 \mu \text{ S}$$

4-6 内蔵リセット機能

4-6-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-6-2 機能

①パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

②低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-6-3 回路構成

内蔵リセット回路は、POR、LVD、パルスストレッチャ回路、容量CRES放電トランジスタ、外付け容量CRES+プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成図を4-7-1項に示します。

・パルスストレッチャ回路

POR、LVDのリセット信号をストレッチする回路で、内部リセット期間のストレッチとリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は $30\mu\text{s}\sim 100\mu\text{s}$ です。

・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4-6-4項を参照ください。

・外付け容量CRES+プルアップ抵抗RRES

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC、R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4-6-1の回路構成を推奨します。推奨定数は $CRES=0.022\mu\text{F}$ 、 $RRES=510\text{k}\Omega$ です。但し、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

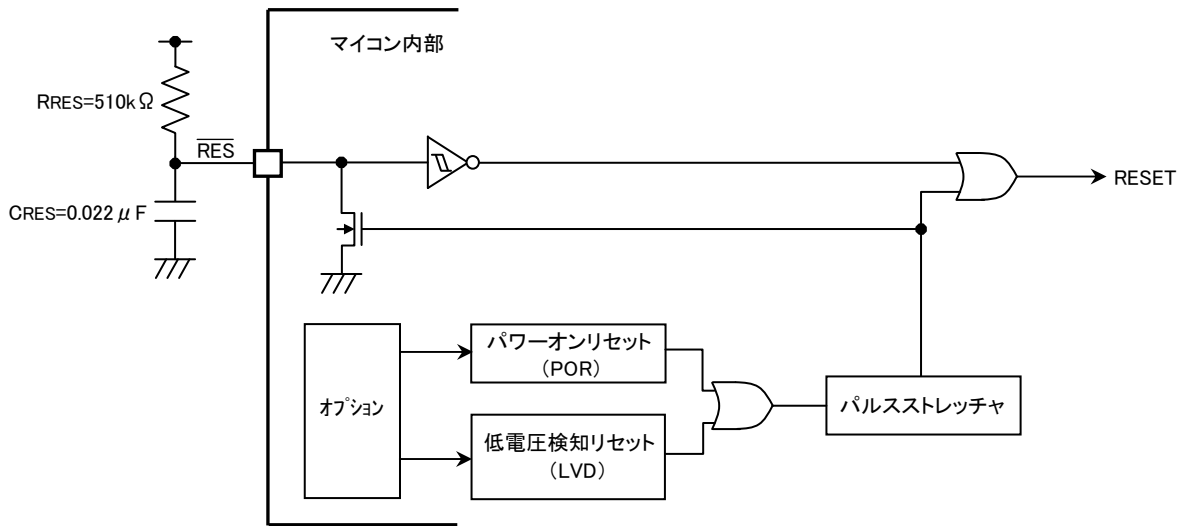


図4-6-1 内蔵リセット回路構成図

4-6-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】:使用する		【禁止】:使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
—	—	【2.57V】	2.7V~
【2.81V】	3.0V~	【2.87V】	3.0V~

* VDD動作 min. 値はオプションで選択したPOR解除レベル/LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

①LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1)この時の動作電流は全てのモードにおいて数 μ A常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2)この時の動作電流は全てのモードにおいて流れません。

*詳細は4-6-5項のリセット回路の動作波形例を参照ください。

②LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを7レベル選択できます。使用する動作条件に適した検知レベルを選択します。

③POR解除レベルオプション

LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを8レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、保証動作電圧 min. に影響しない最低レベル(2.57V)を選択してください。

(注3)この時の動作電流はPORがリセットを解除すると電流は流れません。

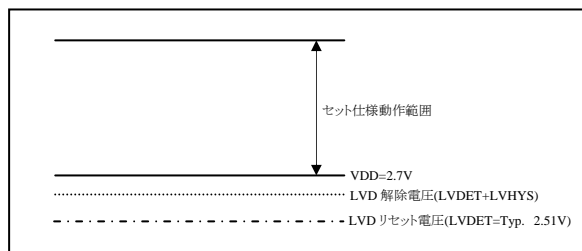
(注4)保証動作電圧 min.以下のPOR解除レベルを選択(2.57V)する場合には、使用上の留意点がありますので4-6-6-②項を参照ください。

●選択参考例1

セット仕様によりVDD=3.0Vまでリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

内蔵リセット

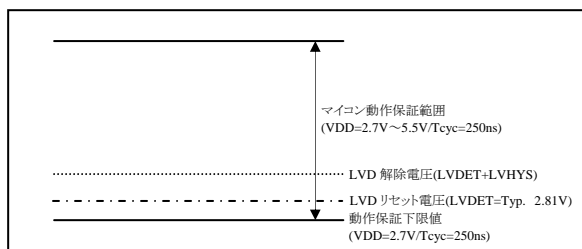
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【2.81V】を選択します。



● 選択参考例 2

VDD=3.0V/Tcyc=83.3nsまでの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

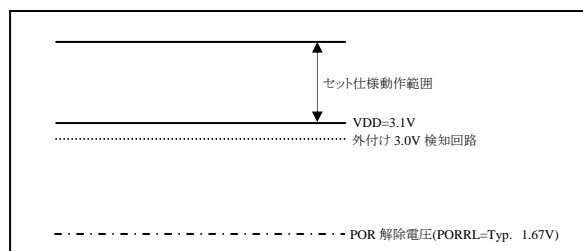
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



● 選択参考例 3

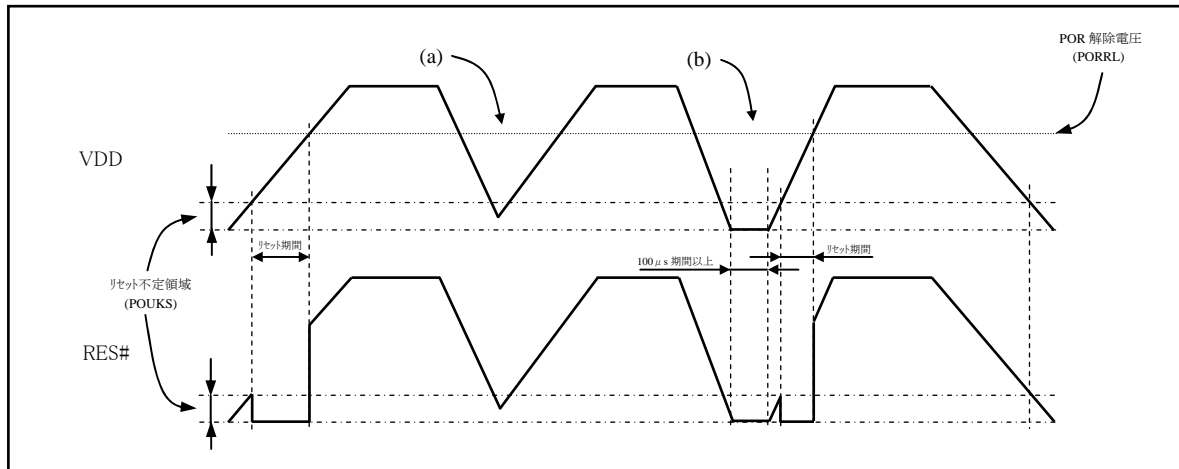
外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(4-6-7-①項を合わせてご参照ください)

LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【2.57V】を選択します。

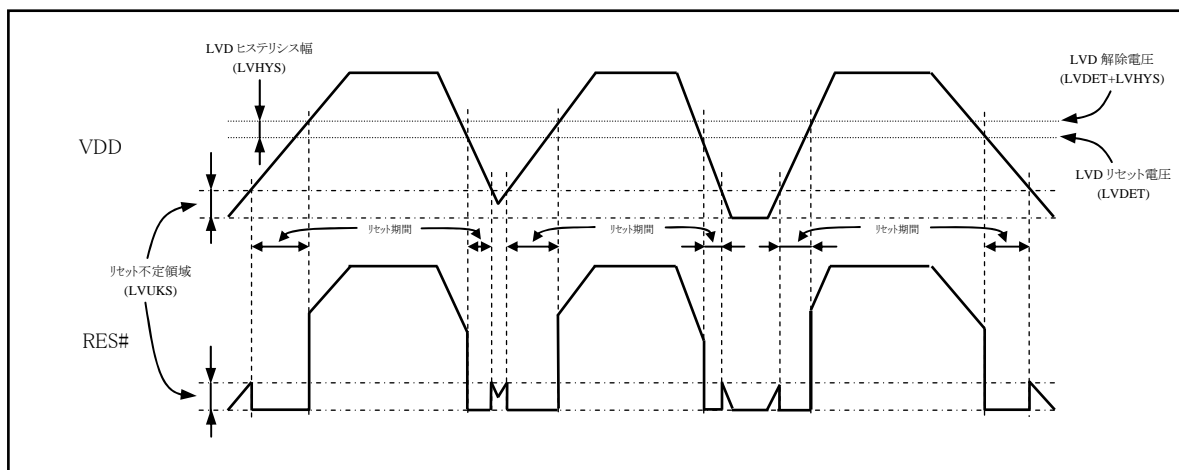


(注5) 参考例に表記されている動作保証値(電圧/動作周波数)は使用する機種により異なりますので、必ず最新の半導体データシートを参照し適切な設定レベルを選択してください。

4-6-5 内蔵リセット回路の動作波形例

①PORのみ(LVD使用しない)の動作波形例
(リセット端子:プルアップ抵抗RRESのみ)

- ・PORはトランジスタが駆動始めるまでの期間、不定領域(POUKS)が存在します。
- ・PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体データシートを参照ください。
- ・(a)のように電源がVSSレベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- ・(b)のように電源がVSSレベルまで十分下がり、その状態が100 μ s以上保持されてから電源が再投入された場合のみリセットがかかります。

②POR+LVDを併用した場合の動作波形例
(リセット端子:プルアップ抵抗RRESのみ)

- ・POR+LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域(LVUKS)が存在します。
- ・電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除/突入電圧には誤差が発生しますので、詳細は半導体データシートを参照ください。
- ・LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)があります。

4-6-6 内蔵リセット回路使用時の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないでください。必ず、使用条件に最適な容量CRESとプルアップ抵抗RRESまたはプルアップ抵抗RRESのみを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

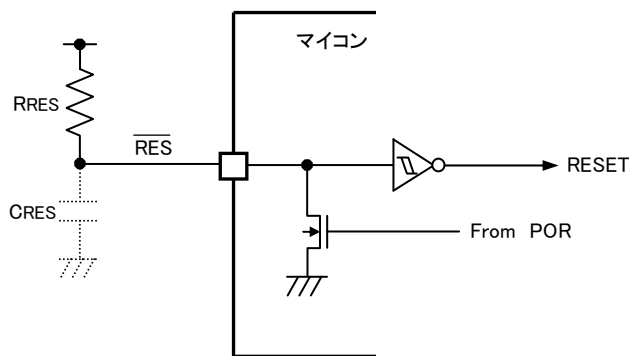


図 4-6-2 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル2.57V選択時

内蔵POR解除レベル2.57V選択時は、電源立ち上がり時間に合わせリセット端子に容量CRESとプルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧 min. 以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧 min. 以上に達するまでの期間、リセット端子にLレベルを入力してください。

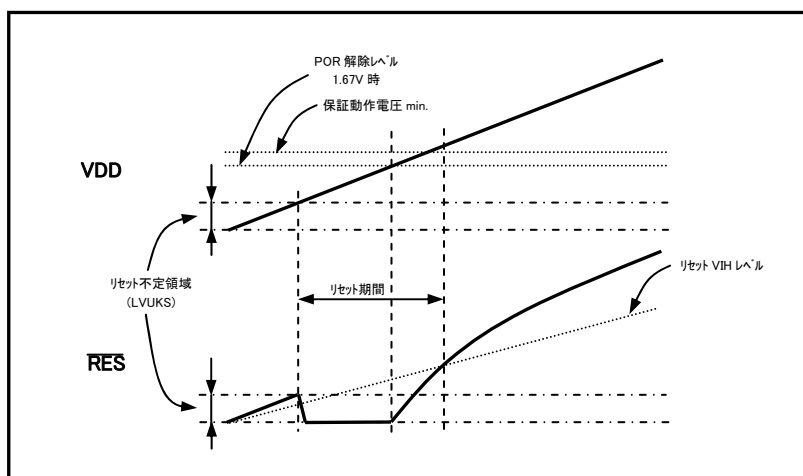


図 4-6-3 内蔵PORのみの解除レベル波形例

- ③ 数百 μs より短い(速い)電源瞬停・電源変動が想定される時
 内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知して
 からリセット信号を発生させるまでの応答時間があります。このため、図4-7-4のよ
 うな低電圧最小検知幅TLVDWが規定されており(半導体データシートを参照)、電
 源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図
 4-6-5のような対策例やその他の対策を必ず行ってください。

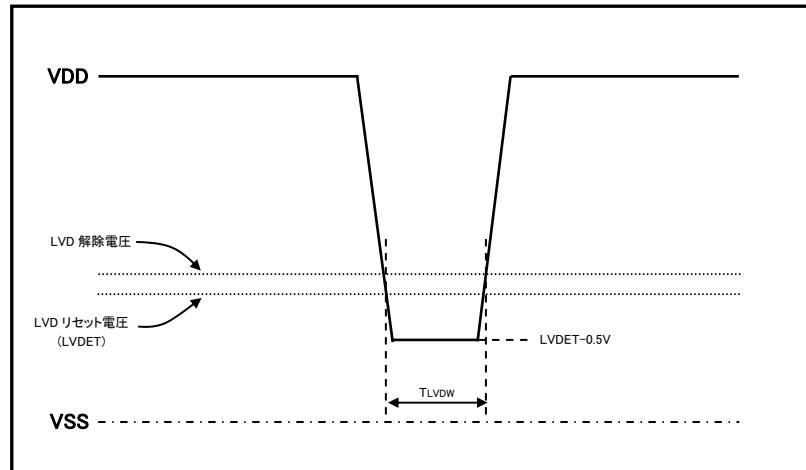


図4-6-4 電源瞬停・電源変動波形例

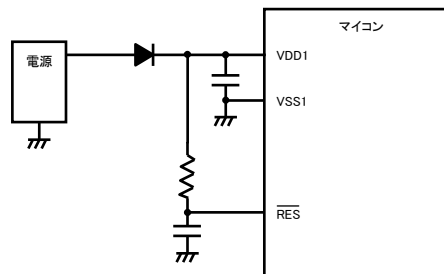


図4-6-5 電源瞬停・電源変動対策例

4-6-7 内蔵リセット回路未使用時の留意点

- ① 内蔵リセット回路を使用せず外付けにリセットICを構成する時
 内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量CRES放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル(2.57V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

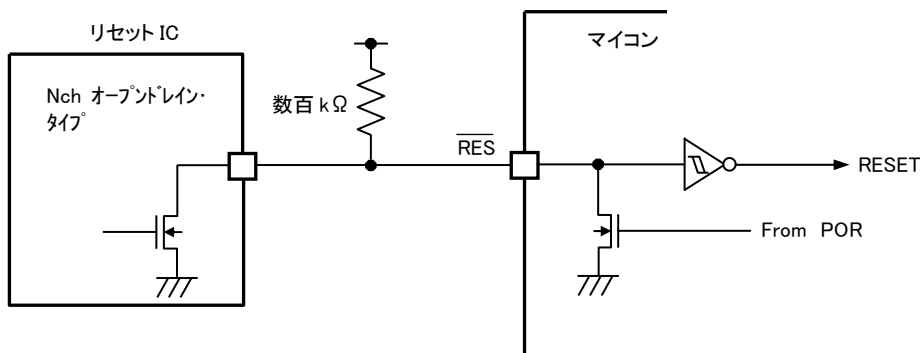


図 4-6-6 Nchオープンドレイン・タイプ使用時のリセット回路構成例

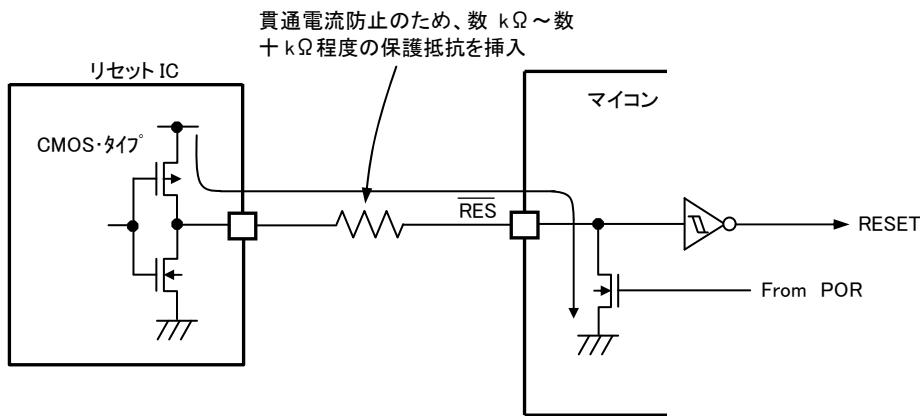


図 4-6-7 CMOS・タイプ使用時のリセット回路構成例

②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

4-7-7-①項と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量CRESを $0.1\mu\text{F}$ 以上にする場合には、必ず図4-6-8のようにダイオードDRESも外付けしてください。

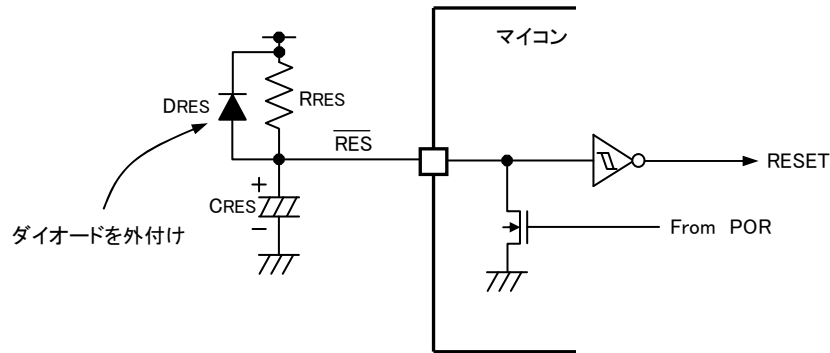


図4-6-8 外部PORのリセット回路構成例

内蔵リセット

APPENDIX

APPENDIX・目次

APPENDIX－ I

- ・スペシャルファンクションレジスタ(SFR)マップ

APPENDIX－ II

- ・ポート0ブロック図
- ・ポート1/2/3/4/A/B ブロック図
- ・ポート6/7 ブロック図
- ・ポートC ブロック図
- ・ポートD ブロック図

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~5FFF	XXXX XXXX	R/W	RAM24KB									
7EEE	LLLL L000	R/W	TMXCKSL		-	-	-	-	-	TM67CKSL	TM45CKSL	TM3CKSL
7EEF												
7EF0	0000 0000	R/W	RTCCNT		RUN	UPFLG	INTFLG	IE	ICSEL		BIT1	BIT0
7EF1	LL00 0000	R/W	SECR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF2	LL00 0000	R/W	MINR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF3	LLL0 0000	R/W	HOURL		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF4	LLL0 0001	R/W	DAYR		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7EF5	LLLL L000	R/W	WEEKR		-	-	-	-	-	BIT2	BIT1	BIT0
7EF6	LLLL 0001	R/W	MONTHR		-	-	-	-	BIT3	BIT2	BIT1	BIT0
7EF7	L000 0000	R/W	YEARR		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EF8	LLLL L000	R/W	CENTR		-	-	-	-	-	BIT2	BIT1	BIT0
7EF9	0000 0000	R/W	RTCCLB		FAST	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7EFA												
7EFB												
7EFC												
7EFD												
7EFE												
7EFF												
7F00												
7F01												
7F02	0000 0000	R/W	IL1L		IRQ3		T0		BT		WDT	
7F03	0000 0000	R/W	IL1H		IRQ7		IRQ6		IRQ5		IRQ4	
7F04	0000 0000	R/W	IL2L		IRQB		IRQA		IRQ9		IRQ8	
7F05	0000 0000	R/W	IL2H		IRQF		IRQE		IRQD		IRQC	
7F06												
7F07												
7F08	0000 0000	R/W	EXCPL		CLKSTP_FLG	CLKSTP_IE	ADDERR_FLG	ADDERR_IE	ODDACC_FLG	ODDACC_IE	NONINS_FLG	NONINS_IE
7F09	LL00 L0L0	R/W	EXCPH		UART1_FLG	UART1_IE	UART0_FLG	UART0_IE	UART1_IYPE	UART0_IYPE	-	MOVEVEC
7F0A	0000 0000	R/W	OCR0		OSC1TYPE1	SCKSEL		RCSTOP	OSC1TYPE0	OSCTYPE	ENOSC1	ENOSCO
7F0B	0L00 L000	R/W	OCR1		BTCKSEL2	-	BTCKSEL1		-	SCKDIV		

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F0C	0L00 0000	R/W	WDTCR		-	-	MDSEL	SRFLG	PDNSTOP	USERFLG	OVF	START
7F0D			RAND	システム予約								
7F0E	0000 0000	R/W	BTCR		FST	RUN	CNT		FLG1	IE1	FLG0	IE0
7F0F			PWRDET	システム予約								
7F10	0000 0000	R/W	TOLR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F11	0000 0000	R/W	TOHR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F12	0000 0000	R/W	TOCNT		SISTS	SIFLG	SIIE	CLKSEL		RUN	FLG	IE
7F13	0000 0000	R/W	TOPR		MODE			PR				
7F14	0000 0000	R/W	T1LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F15	0000 0000	R/W	T1HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F16	0000 0000	R/W	T1CNT		HRUN	HFLG	HIE	CLKSEL		RUN	FLG	IE
7F17	0000 0000	R/W	T1PR		MDSELRD	MDSELBIT	MDSELCP	PR				
7F18	0000 0000	R/W	T2LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F19	0000 0000	R/W	T2HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1A	0000 0000	R	T2L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1B	0000 0000	R	T2H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F1C	0000 0000	R/W	T2CNT0		HRUN	HFLG	HIE	CTR8	SLCPRD	RUN	FLG	IE
7F1D	LLL0 0000	R/W	T2CNT1		-	-	-	CPOSL		CPOHFLG	CPOLFLG	CPIE
7F1E	000L 0000	R/W	T2CNT2		CKSL		EXISL	-	PR			
7F1F												
7F20	0000 0000	R/W	ADCR		CHSEL				CMP	START	ENDFLG	IE
7F21	0000 0000	R/W	ADMR		-	RESOL	-	-	-	ADJ	MD10	
7F22	0000 0000	R/W	ADRL		DATAL				-	-	-	MD2
7F23	0000 0000	R/W	ADRH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F24												
7F25												
7F26												
7F27												
7F28	0000 0000	R/W	T3LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F29	0000 0000	R/W	T3HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2A	0000 0000	R	T3L		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F2B	0000 0000	R	T3H		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F2C	0000 0000	R/W	T3CNT0		HRUN	HFLG	HIE	CKSL		RUN	FLG	IE	
7F2D	LLLL L000	R/W	T3CNT1		-	-	-	-	-	EXISL	MD		
7F2E	0000 0000	R/W	T3PR		PR								
7F2F													
7F30	0000 0000	R/W	S0CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE	
7F31	0000 0000	R/W	S0BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F32	0000 0000	R/W	S0BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F33	0000 0000	R/W	S0INTVL		-	SNBIT			XCHNG	INTVL			
7F34	0000 0000	R/W	S1CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRUN	FLG	IE	
7F35	0000 0000	R/W	S1BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F36	0000 0000	R/W	S1BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F37	0000 0000	R/W	S1INTVL		-	SNBIT			XCHNG	INTVL			
7F38	0X00 0X00	R/W	UOCR		RUN	OVRUN	BAUDRATE	PARITY	TXEMPTY	TXIE	RXREADY	RXIE	
7F39													
7F3A	0000 0000	R/W	UORXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F3B	XLLL LL00	R/W	UORXH		OVRERR	-	-	-	-	-	BIT1	BIT0	
7F3C	0000 0000	R/W	UOTXL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F3D	LLLL LLH0	R/W	UOTXH		-	-	-	-	-	-	BIT1	BIT0	
7F3E													
7F3F													
7F40	0000 0000	R/W	P0LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F41	XXXX XXXX	R	P0IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F42	0000 00000	R/W	P0DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F43	0000 0000	R/W	P0FSA		P051L	P05FLG	P05IE	P041L	P04FLG	P04IE	P0FLG	P0IE	
7F44	0000 0000	R/W	P1LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F45	XXXX XXXX	R	P1IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F46	0000 00000	R/W	P1DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F47	0000 00000	R/W	P1FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F48	0000 0000	R/W	P2LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F49	XXXX XXXX	R	P2IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F4A	0000 00000	R/W	P2DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
7F4B	0000 00000	R/W	P2FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4C	0000 0000	R/W	P3LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4D	XXXX XXXX	R	P3IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4E	0000 00000	R/W	P3DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F4F	0000 00000	R/W	P3FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F50	0000 0000	R/W	P4LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F51	XXXX XXXX	R	P4IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F52	0000 00000	R/W	P4DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F53	0000 00000	R/W	P4FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F54	0000 0000	R/W	P5LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F55	XXXX XXXX	R	P5IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F56	0000 00000	R/W	P5DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F57	0000 00000	R/W	P5FSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F58	0000 0000	R/W	P6LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F59	XXXX XXXX	R	P6IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5A	0000 00000	R/W	P6DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5B												
7F5C	0000 0000	R/W	P7LAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5D	XXXX XXXX	R	P7IN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5E	0000 00000	R/W	P7DDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F5F												
7F60	0000 0000	R/W	SMICOCNT		RUN	MST	TRX	SCL8	MKC	BB	END	IE
7F61	0000 0000	R/W	SMICOSTA		SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK
7F62	0000 0000	R/W	SMICOBRG		BRP		BRDQ	BRD				
7F63	0000 0000	R/W	SMICOBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F64	0000 0000	R/W	SMIC1CNT		RUN	MST	TRX	SCL8	MKC	BB	END	IE
7F65	0000 0000	R/W	SMIC1STA		SMD	RQL9	STD	SPD	AL	OVR	TAK	RAK
7F66	0000 0000	R/W	SMIC1BRG		BRP		BRDQ	BRD				
7F67	0000 0000	R/W	SMIC1BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F68	LLLL 0000	R/W	SMICOPCNT		-	-	-	-	SHDS	P5V	PCLV	PSLW
7F69	LLLL 0000	R/W	SMIC1PCNT		-	-	-	-	SHDS	PHV	PCLV	PSLW
7F6A												
7F6B												
7F6C	0010 0000	R/W	U2CNT0		TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE

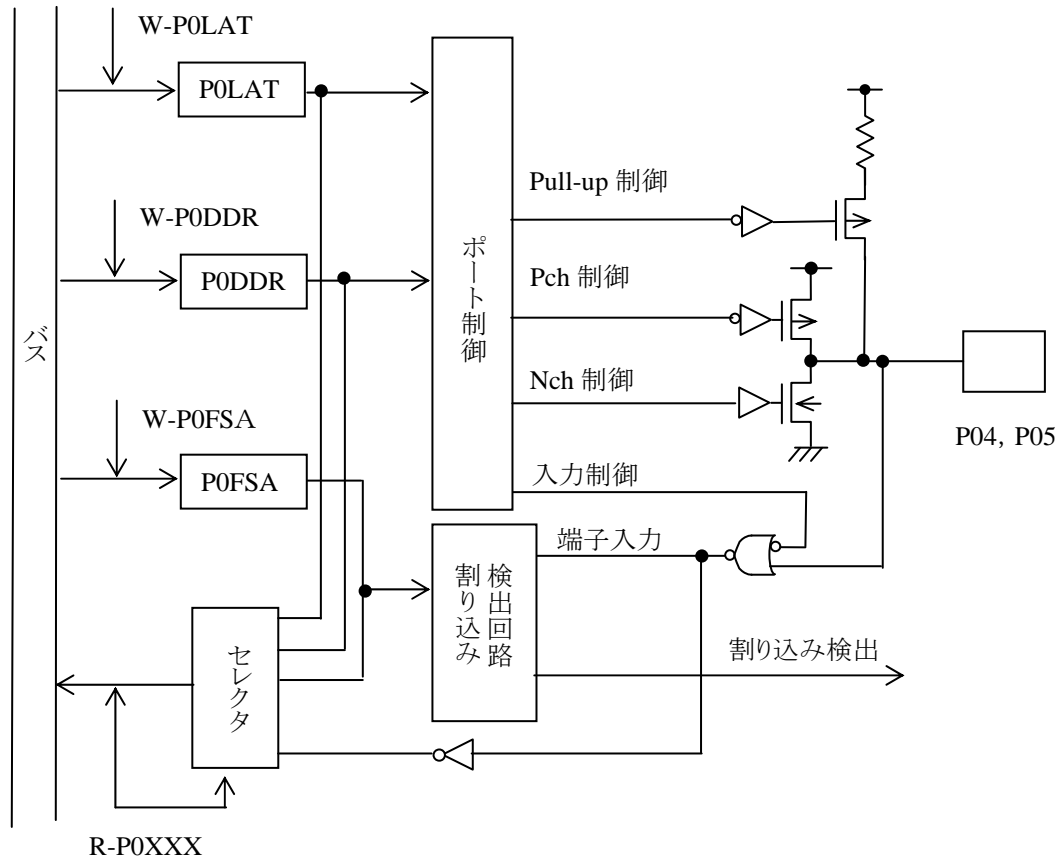
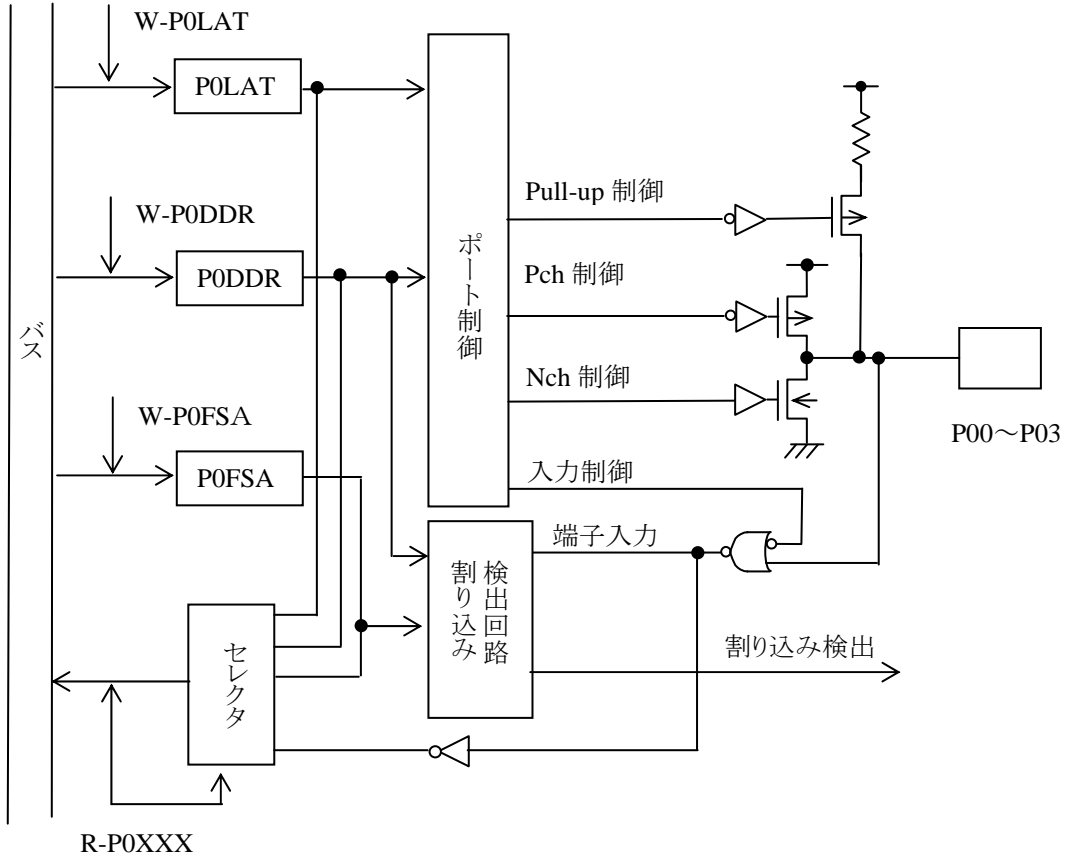
アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6D	0000 0000	R/W	U2CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F6E	0000 0000	R/W	U2TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F6F	0000 0000	R	U2RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F70	0010 0000	R/W	U3CNT0		TEND	TENDIE	TEMPTY	TEMPTYIE	RUN	RERR	RREADY	RIE
7F71	0000 0000	R/W	U3CNT1		TSTB	DIV	SCK		PODD	PEN	WUPFLG	WUPIE
7F72	0000 0000	R/W	U3TBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F73	0000 0000	R	U3RBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F74	0000 0000	R/W	U2BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F75	0000 0000	R/W	U3BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F76			FSR0	システム予約								
7F77												
7F78												
7F79												
7F7A												
7F7B												
7F7C												
7F7D												
7F7E												
7F7F												
7F80	0000 0000	R/W	S4CNT		WAKEUP	REC	RUN	AUTO	MSB	OVRRUN	FLG	IE
7F81	0000 0000	R/W	S4BG		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F82	0000 0000	R/W	S4BUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F83	0000 0000	R/W	S4INTVL		CSEN	SNBIT			XCHNG	INTVL		
7F84												
7F85												
7F86												
7F87												
7F88	0LL0 0000	R/W	TMXPLL		TEST	-	-	SELREF		FRQSEL	VCL	ON
7F89												
7F8A												
7F8B												
7F8C												

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F8D												
7F8E												
7F8F												
7F90												
7F91												
7F92												
7F93												
7F94												
7F95												
7F96	0000 0000	R/W	RMCNT		RUN	FMT			DINV	CK		
7F97	0000 0000	R/W	RMINT		GPOK	GPOKIE	DERR	DERRIE	SFULL	SFULLIE	REND	RENDIE
7F98	0000 0000	R	RMSFT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F99	XXXX XXXX	R	RMRDT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7F9A	0000 0000	R/W	RMCTPR		GPR		DPR		HOLD	BCT		
7F9B	0000 0000	R/W	RMGPM		GPH				GPL			
7F9C	0000 0000	R/W	RMDTOW		DOH				DOL			
7F9D	0000 0000	R/W	RMDT1W		D1H				D1L			
7F9E	0L00 0000	R/W	RMXHW		RDIR	-	D1H4	D1L4	DOH4	DOL4	GLH4	GPL4
7F9F												
7FA0	0000 0000	R/W	T4LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA1	0000 0000	R/W	T4HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA2	0000 0000	R/W	T5LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA3	0000 0000	R/W	T5HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA4	0000 0000	R/W	T45CNT		T5RUN	T5CKSL	T5FLG	T5IE	T4RUN	T4CKSL	T4FLG	T4IE
7FA5	0000 0000	R/W	T67CNT		T7RUN	T7CKSL	T7FLG	T7IE	T6RUN	T6CKSL	T6FLG	T6IE
7FA6	0000 0000	R/W	T6LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA7	0000 0000	R/W	T6HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA8	0000 0000	R/W	T7LR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FA9	0000 0000	R/W	T7HR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAA	0000 LLLL	R/W	PWMOAL		BIT7	BIT6	BIT5	BIT4	-	-	-	-
7FAB	0000 0000	R/W	PWMOAH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAC	0000 LLLL	R/W	PWMOBL		BIT7	BIT6	BIT5	BIT4	-	-	-	-

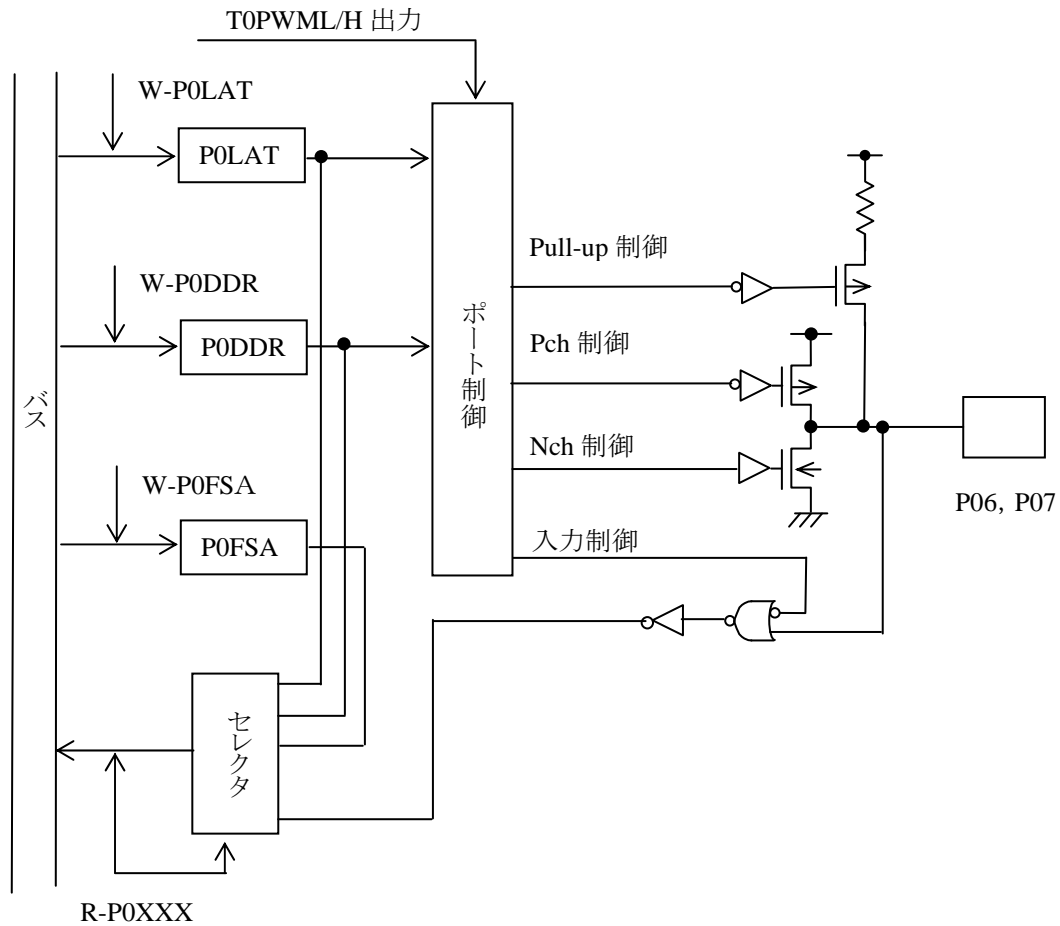
アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAD	0000 0000	R/W	PWMOBH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FAE	0000 0000	R/W	PWMOC		CH				ENPWMOB	ENPWMOA	OV	IE
7FAF	0000 0000	R/W	PWMOPR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB0												
7FB1												
7FB2												
7FB3												
7FB4												
7FB5												
7FB6	0000 0000	R/W	TMCLK0		PRO				PROCK		UOCKSL	PWMOCK
7FB7	0000 00L0	R/W	TMCLK1		PR1				PR1CK		-	BIT0
7FB8	0000 0000	R/W	CRCBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FB9	LL00 0000	R/W	CRCNT		-	-	RUN	AUTO	DIR	REGDSEL	END	IE
7FBA	0000 0000	R/W	CRCRL		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBB	0000 0000	R/W	CRCRH		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FBC												
7FBD												
7FBE												
7FBF												
7FC0												
7FC1												
7FC2												
7FC3												
7FC4												
7FC5												
7FC6												
7FC7												
7FC8	0000 0000	R/W	PALAT		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FC9	XXXX XXXX	R	PAIN		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCA	0000 00000	R/W	PADDR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCB	0000 00000	R/W	PAFSA		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCC	L000 0000	R/W	PBLAT		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCD	LXXX XXXX	R	PBIN		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCE	L000 00000	R/W	PBDDR		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FCF	L000 00000	R/W	PBFSA		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD0	LLL0 0000	R/W	PCLAT		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD1	LLLX XXXX	R	PCIN		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD2	LLLL L0000	R/W	PCDDR		-	-	-	BIT4	BIT3	BIT2	BIT1	BIT0
7FD3												
7FD4	LL00 0000	R/W	PDLAT		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD5	LLXX XXXX	R	PDIN		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD6	LL00 00000	R/W	PDDDR		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FD7												
7FD8	0000 0000	R/W	INT01CR		INT1MD		INT11F	INT11E	INT0MD		INT01F	INT01E
7FD9	0000 0000	R/W	INT23CR		INT3MD		INT31F	INT31E	INT2MD		INT21F	INT21E
7FDA	0000 0000	R/W	INT45CR		INT5MD		INT51F	INT51E	INT4MD		INT41F	INT41E
7FDB	0000 0000	R/W	INT67CR		INT7MD		INT71F	INT71E	INT6MD		INT61F	INT61E
7FDC			IRQREG0	システム予約								
7FDD			IRQREG1	システム予約								
7FDE												
7FDF												
7FE0	0000 0000	R/W	RTS1ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE1	L000 0000	R/W	RTS1ADRH		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE2	0000 0000	R/W	RTS2ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE3	L000 0000	R/W	RTS2ADRH		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE4	0000 0000	R/W	RTS1CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE5	0000 0000	R/W	RTS2CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE6	0000 0000	R/W	RTS3ADRL		BIT7	BIT6	BIT5	BIT4	CTRH			
7FE7	L000 0000	R/W	RTS3ADRH		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FE8	0000 0000	R/W	SLICOCNT		RUN	TRX	ALS	SCL8	SPFLG	SPIE	FLG	IE
7FE9	0000 0000	R/W	SLICOSTA		RAK	TAK	AAS	ADO	STD	SRD	RQL9	BB
7FEA	0000 0000	R/W	SLICOPCNT		FIX0	SMD	BRP		SHDS	PHV	PCLV	PSLW
7FEB	0000 0000	R/W	SLICOBUF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEC												

アドレス	初期値	R/W	LC88C200	備考	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FED												
7FEE	0000 0000	R/W	PINTOF		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FEF												
7FF0												
7FF1	0000 0000	R/W	P1FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF2	0000 0000	R/W	P2FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF3	0000 0000	R/W	P3FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF4	0000 0000	R/W	P4FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF5	0000 0000	R/W	P5FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF6	0000 0000	R/W	P6FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF7	0000 0000	R/W	P7FSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FF8												
7FF9												
7FFA	0000 0000	R/W	PAFSB		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFB	L000 0000	R/W	PBFSB		-	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFC	0000 0000	R/W	RTS3CTR		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFD	LL00 0000	R/W	PDFSB		-	-	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFE	0000 0000	R/W	RTSTST		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
7FFF	LL00 0000	R/W	RTSCNT		-	-	INHWT2	INHBS2	INHWT1	INHBS1	INHWT0	INHBS0

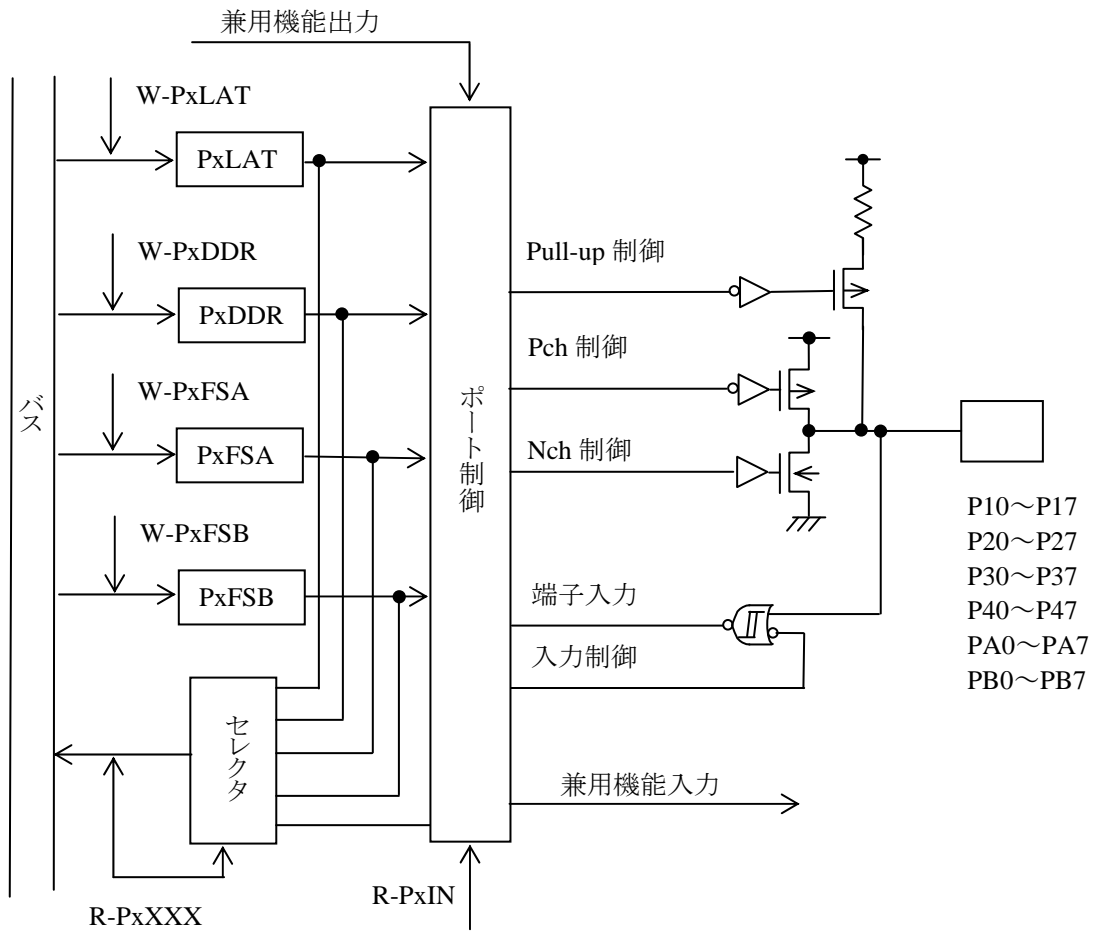


ポートブロック図



- W-P0LAT:レジスタ P0LAT への書き込み制御信号
- W-P0DDR:レジスタ P0DDR への書き込み信号
- W-P0FSA:レジスタ P0FSA への書き込み信号
- R-P0XXX:P0LAT または P0DDR または P0FSA の読み出し信号

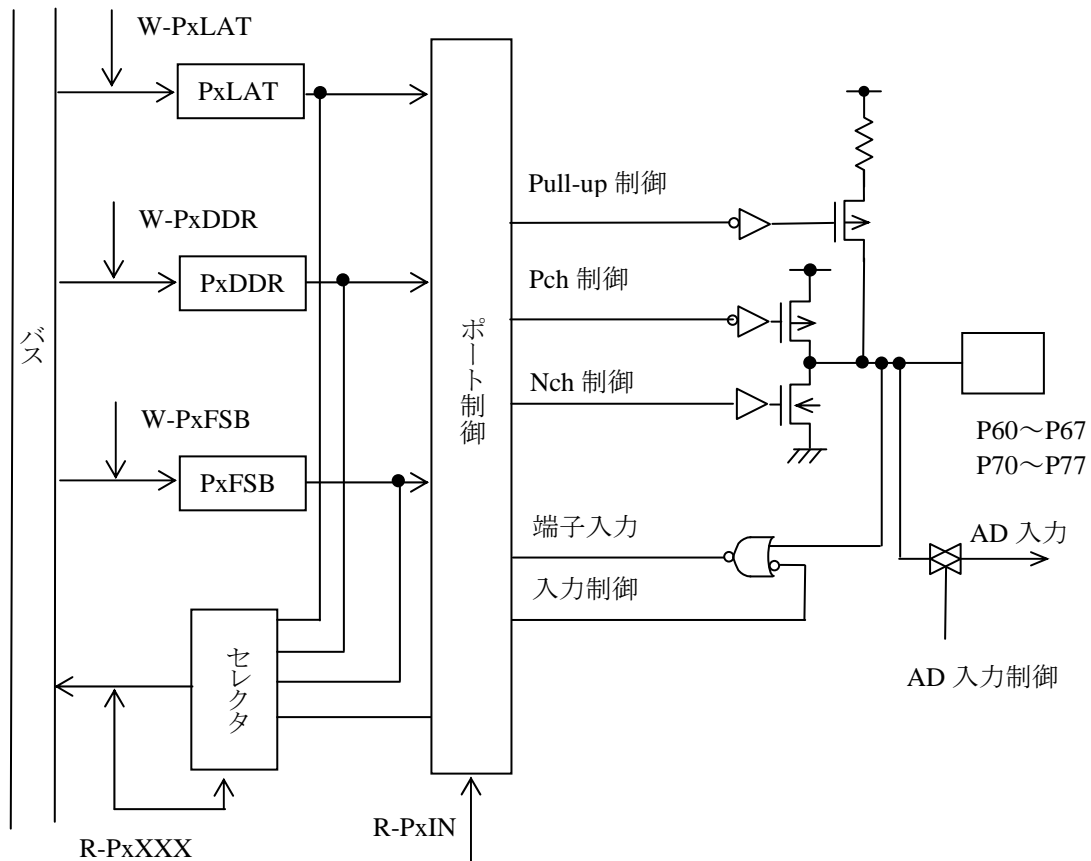
ポート0 ブロック図



- W-PxLAT:レジスタ PxLAT への書き込み制御信号
- W-PxDDR:レジスタ PxDDR への書き込み信号
- W-PxFSA:レジスタ PxFSA への書き込み信号
- W-PxFSB:レジスタ PxFSB への書き込み信号
- R-PxXXX:PxLAT または PxDDR または PxFSA または PxFSB の読み出し信号
(注) x:は1/2/3/4/A

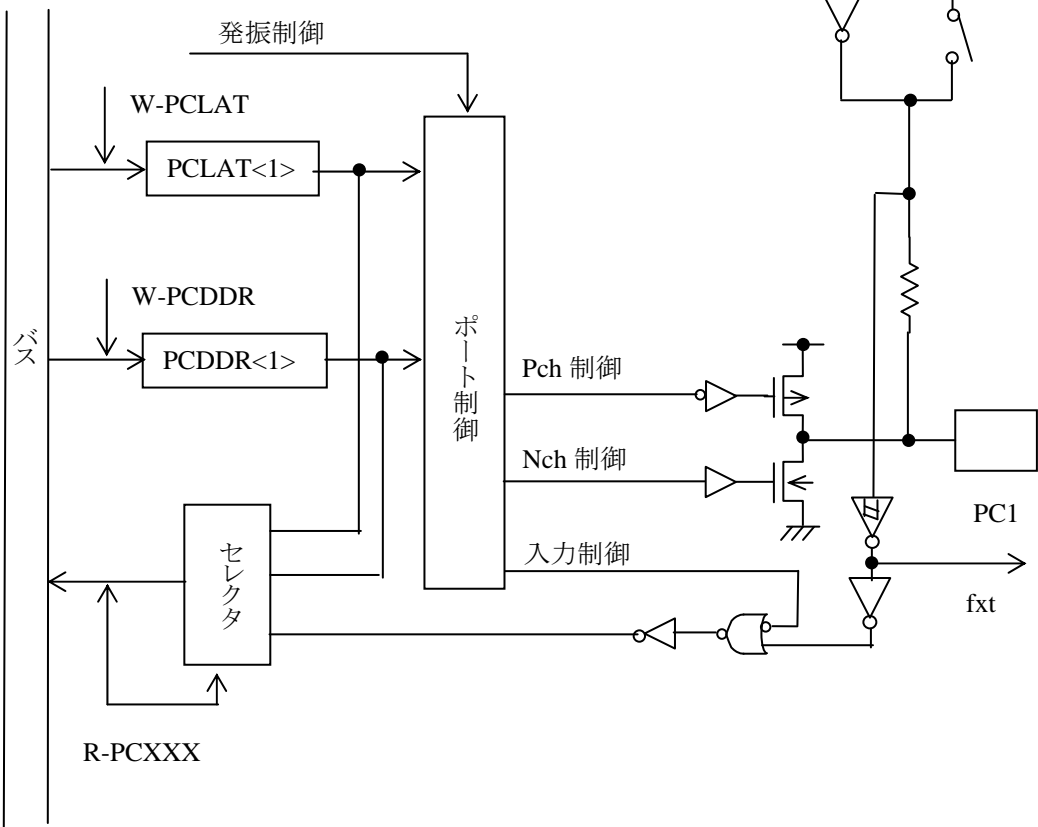
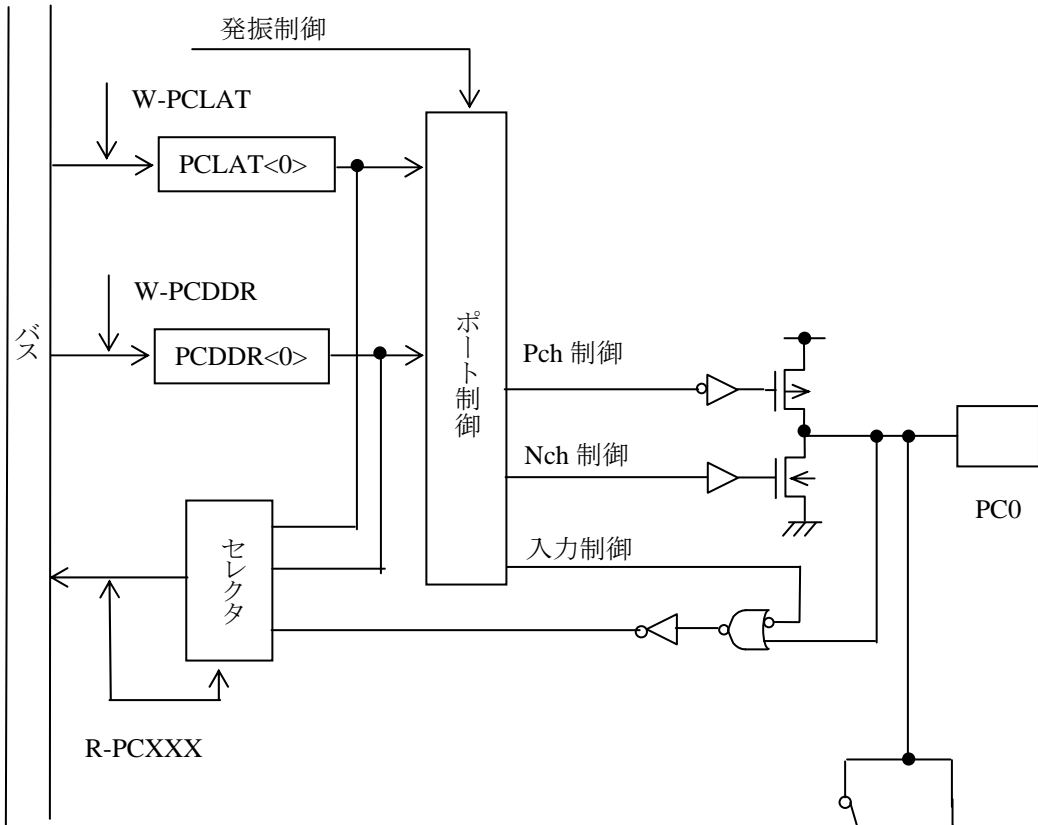
ポート1/2/3/4/A/B ブロック図

ポートブロック図

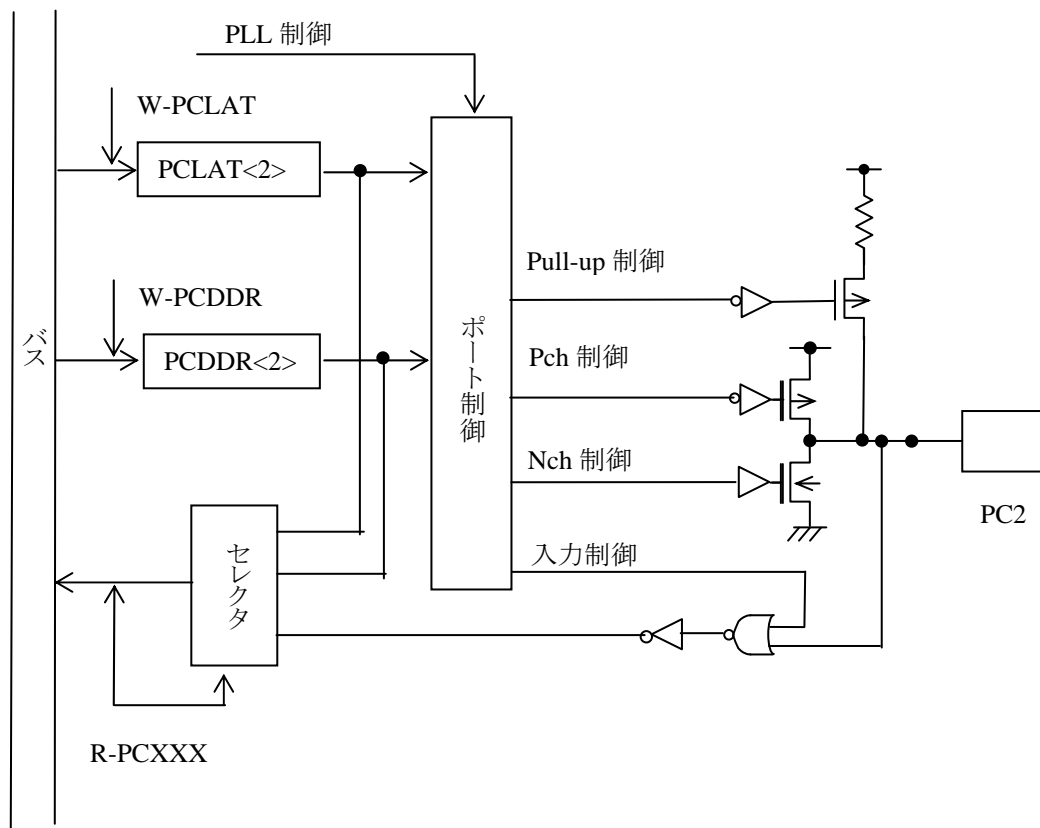


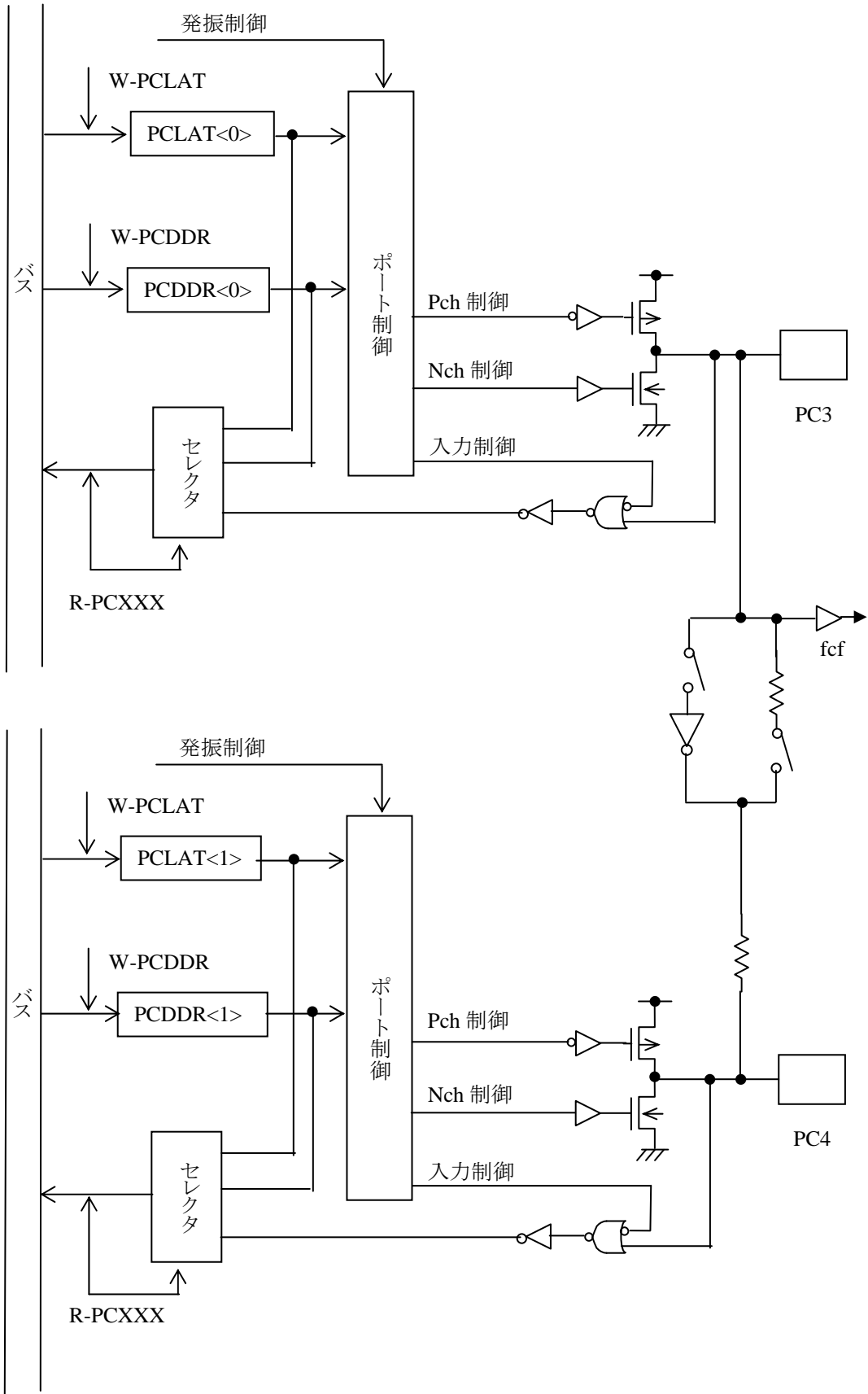
- W-PxLAT:レジスタ PxLAT への書き込み制御信号
- W-PxDDR:レジスタ PxDDR への書き込み信号
- W-PxFSB:レジスタ PxFSB への書き込み信号
- R-PxXXX:PxLAT または PxDDR または PxFSB の読み出し信号
(注) x:は6/7

ポート6/7 ブロック図



ポートブロック図

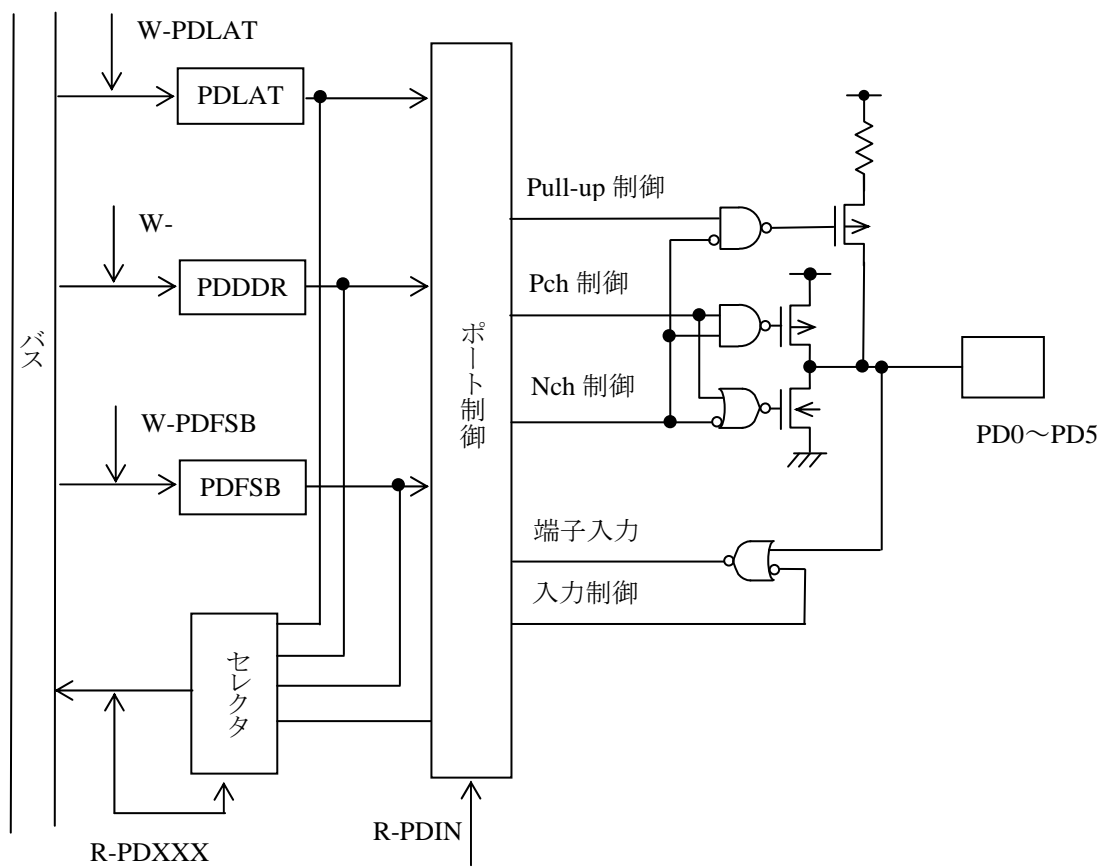




- W-PCLAT:レジスタ PCLAT への書き込み制御信号
- W-PCDDR:レジスタ PCDDR への書き込み信号
- R-PCXXX:PCLAT または PCDDR の読み出し信号

ポートC ブロック図

ポートブロック図



- W-PDLAT:レジスタ PDLAT への書き込み制御信号
- W-PDDDR:レジスタ PDDDR への書き込み信号
- W-PDFSB:レジスタ PDFSB への書き込み信号
- R-PDXXX:PDLAT または PDDDR または PDFSB の読み出し信号

ポートD ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC88C200 シリーズ

ユーザーズマニュアル

Rev. 0 2016. 3 版

オン・セミコンダクター

マイクロコントローラービジネスユニット
