

CMOS 8-BIT MICROCONTROLLER

LC870G00 シリーズ ユーザーズマニュアル

REV : 1.00



ON Semiconductor[®]

www.onsemi.jp

オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起り得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-6
1-4	システムブロック図	1-7
1-5	端子機能表	1-8
1-6	オンチップデバッグ端子処理	1-9
1-7	未使用端子の推奨処理	1-9
1-8	ポート出力形態	1-9
1-9	ユーザーオプション一覧表	1-10
1-10	電源端子推奨条件 (VDD1, VSS1)	1-10

第2章 内部システム構成

2-1	メモリ空間	2-1
2-2	プログラムカウンタ (PC)	2-1
2-3	プログラムメモリ (ROM)	2-2
2-4	内部データメモリ (RAM)	2-2
2-5	アキュムレータ/Aレジスタ (ACC/A)	2-3
2-6	Bレジスタ (B)	2-3
2-7	Cレジスタ (C)	2-4
2-8	プログラムステータスワード (PSW)	2-4
2-9	スタックポインタ (SP)	2-5
2-10	間接アドレスレジスタ	2-5
2-11	アドレッシング・モード	2-6
2-11-1	イミディエイト・アドレッシング (#)	2-6
2-11-2	間接レジスタ・インダイレクト・アドレッシング ([Rn])	2-7
2-11-3	間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])	2-7
2-11-4	間接レジスタ (R0) +オフセット値・インダイレクト・アドレッシング ([off])	2-8
2-11-5	ダイレクト・アドレッシング (dst)	2-8
2-11-6	ROMテーブル参照・アドレッシング	2-9
2-11-7	外部データ・メモリ・アドレッシング	2-9
2-12	WAIT動作	2-10
2-12-1	WAIT動作の発生	2-10
2-12-2	WAIT動作とは	2-10

第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1

目次

3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	オプション	3-4
3-1-5	HALT, HOLD時の動作	3-4
3-2	ポート1	3-5
3-2-1	概要	3-5
3-2-2	機能	3-5
3-2-3	関連レジスタ	3-6
3-2-4	オプション	3-13
3-2-5	HALT, HOLD時の動作	3-14
3-3	ポート7	3-15
3-3-1	概要	3-15
3-3-2	機能	3-15
3-3-3	関連レジスタ	3-16
3-3-4	オプション	3-17
3-3-5	HALT, HOLD時の動作	3-17
3-4	タイマカウンタ0 (T0)	3-18
3-4-1	概要	3-18
3-4-2	機能	3-18
3-4-3	回路構成	3-19
3-4-4	関連レジスタ	3-24
3-5	タイマカウンタ1 (T1)	3-28
3-5-1	概要	3-28
3-5-2	機能	3-28
3-5-3	回路構成	3-30
3-5-4	関連レジスタ	3-35
3-6	ベースタイマ (BT)	3-40
3-6-1	概要	3-40
3-6-2	機能	3-40
3-6-3	回路構成	3-41
3-6-4	関連レジスタ	3-43
3-7	シリアルインタフェース1 (SIO1)	3-46
3-7-1	概要	3-46
3-7-2	機能	3-46
3-7-3	回路構成	3-47
3-7-4	SIO1通信の具体例	3-51
3-7-5	関連レジスタ	3-55
3-8	ADコンバータ (ADC12)	3-57
3-8-1	概要	3-57
3-8-2	機能	3-57

目次

3-8-3	回路構成	3-58
3-8-4	関連レジスタ	3-58
3-8-5	ADC動作の具体例	3-62
3-8-6	ADC使用上の留意点	3-63
3-9	基準電圧発生回路 (VREF)	3-65
3-9-1	概要	3-65
3-9-2	機能	3-65
3-9-3	関連レジスタ	3-65
3-9-4	HALT, HOLD時の動作	3-68
3-10	電圧制御用PWM (VCPWM)	3-69
3-10-1	概要	3-69
3-10-2	機能	3-69
3-10-3	回路構成	3-70
3-10-4	関連レジスタ	3-72
3-11	高速PWM (HPWM2)	3-79
3-11-1	概要	3-79
3-11-2	機能	3-79
3-11-3	回路構成	3-80
3-11-4	関連レジスタ	3-82
3-12	温度計回路	3-85
3-12-1	概要	3-85
3-12-2	機能	3-85
3-12-3	回路構成	3-85
3-12-4	関連レジスタ	3-86
第4章 制御機能		
4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	回路構成	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-5
4-2-1	概要	4-5
4-2-2	機能	4-5
4-2-3	回路構成	4-6
4-2-4	関連レジスタ	4-9
4-3	スタンバイ機能	4-15
4-3-1	概要	4-15
4-3-2	機能	4-15
4-3-3	関連レジスタ	4-16

目 次

4-4	リセット機能	4-21
4-4-1	概要	4-21
4-4-2	機能	4-21
4-4-3	リセット時の状態	4-22
4-5	ウォッチドッグタイマ機能	4-23
4-5-1	概要	4-23
4-5-2	機能	4-23
4-5-3	回路構成	4-24
4-5-4	関連レジスタ	4-26
4-5-5	ウォッチドッグタイマの使い方	4-28
4-5-6	ウォッチドッグタイマ使用上の注意点	4-29
4-6	内蔵リセット機能	4-31
4-6-1	概要	4-31
4-6-2	機能	4-31
4-6-3	回路構成	4-31
4-6-4	オプション	4-33
4-6-5	内蔵リセット回路の動作波形例	4-35
4-6-6	内蔵リセット回路使用上の留意点	4-36
4-6-7	内蔵リセット回路未使用上の留意点	4-38

目 次

APPENDIX

A-I	スペシャルファンクションレジスタ(SFR)マップ	A I-(1-8)
A-II	ポートブロック図	A II-(1-7)

目 次

1 概説

1-1 概要

LC870G00シリーズは、最小バスサイクルタイム83.3nsで動作するCPU部を中心にして、8KバイトのフラッシュROM(オンボード書き換え可能)、256バイトRAM、オンチップデバッグ機能、高性能16ビットタイマ/カウンタ(8ビットタイマに分割可)、16ビットタイマ/カウンタ(8ビット分割可、8ビットPWM可)、時計用ベースタイマ、非同期/同期式SIO×1、12/8ビット分解の切り替え付き12ビット7チャンネルADコンバータ、10/20倍アンプ、ADコンバータ用基準電圧発生回路(VREF)、コンパレータ、8/10ビット高速PWM×1、12ビットPWM×2、温度センサ、システムクロック分周機能、内蔵リセット回路、15要因10ペクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

1-2 特徴

■ROM

- ・電源電圧2.2~5.5Vの幅広いオンボード書き込みが可能。
- ・128バイト単位でのブロック消去可能。
- ・2バイト単位での書き込み
- ・8192×8ビット

■RAM

- ・256×9ビット

■最小バスサイクルタイム

- ・83.3ns (12MHz, VDD=2.7V~5.5V, Ta=-40℃~85℃)
 - ・125ns (8MHz, VDD=2.0V~5.5V, Ta=-40℃~85℃)
 - ・250ns (4MHz, VDD=1.8V~5.5V, Ta=-40℃~85℃)
- (注)バスサイクルタイムはROMの読み出し速度を表します。

■最小命令サイクルタイム(Tcyc)

- ・250ns (12MHz, VDD=2.7V~5.5V, Ta=-40℃~85℃)
- ・375ns (8MHz, VDD=2.0V~5.5V, Ta=-40℃~85℃)
- ・750ns (4MHz, VDD=1.8V~5.5V, Ta=-40℃~85℃)

■ポート

- ・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 18(P0n, P1n, P70、CF1/XT1, CF2/XT2)
- ・リセット端子 1(RES)
- ・電源端子 3(VSS1, VDD1、AVSS)
- ・基準電圧出力 1(VREF)
- ・デバッグ専用端子 1(OWP0)

■タイマ

- ・タイマ0:キャプチャレジスタ付きの16ビットのタイマ/カウンタ
モード0:8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付)×2チャンネル
- ・モード1:8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付)+8ビットカウンタ

(8ビットキャプチャレジスタ付)

モード2: 8ビットプログラマブルプリスケアラ付 16ビットタイマ(16ビットキャプチャレジスタ付)

モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)

・タイマ1: PWM/トグル出力可能な16ビットのタイマ/カウンタ

モード0: 8ビットプリスケアラ付 8ビットタイマ(トグル出力付)

+ 8ビットプリスケアラ付 8ビットタイマ/カウンタ(トグル出力付)

モード1: 8ビットプリスケアラ付 8ビットPWM×2チャンネル

モード2: 8ビットプリスケアラ付 16ビットタイマ/カウンタ(トグル出力付)

(下位 8ビットからもトグル出力可能)

モード3: 8ビットプリスケアラ付 16ビットタイマ(トグル出力付)

(下位 8ビットはPWMとして使用可能)

・ ベースタイマ

①クロックは、サブクロック(32.768KHz 水晶発振)、低速 RC 発振クロック、システムクロック、タイマ 0 のプリスケアラ出力から選択できる。

(サブクロックまたは低速 RC 発振クロックを選択した場合、X'talHOLDモードの解除が可能)

②5 種類の時間での割り込み発生が可能

■ SIO

・SIO1: 8ビット非同期/同期式シリアルインタフェース

モード0: 同期式 8ビットシリアルIO

(2線式または3線式, 転送クロック2~512Tcyc)

モード1: 非同期シリアルIO

(半二重, データ8ビット, ストップビット1, ボーレート8~2048Tcyc)

モード2: バスモード1(スタートビット, データ8ビット, 転送クロック2~512Tcyc)

モード3: バスモード2(スタート検出, データ8ビット, ストップ検出)

■ ADコンバータ

・10/20倍オペアンプ付きAD変換入力ポート(1チャンネル)

・AD変換入力ポート(7チャンネル)

12/8ビットADコンバータ分解能切り替え

ADコンバータの基準電圧源の切替え

(マイコン電源/内蔵基準電圧源(VREF)/外部電源から選択可能)

■ ADコンバータ用基準電圧発生回路(VREF)

・ADコンバータの基準電圧として、2.0V/4.0Vを発生可能

■ コンパレータ

コンパレータ入力端子(1チャンネル)

コンパレータ出力端子(1チャンネル)

(コンパレータ入力の電位) < 1.22V のとき、コンパレータ出力 = Highレベル

(コンパレータ入力の電位) > 1.22V のとき、コンパレータ出力 = Lowレベル

■ クロック出力機能

・システムクロックとして選択された源発振クロックの $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$ を出力可能

・サブクロックの源発振クロックを出力可能

■ウォッチドッグタイマ

- ・低速RC発振クロック(約30kHz) / サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
- ・スタンバイモード時の動作を3種類(カウント動作継続 / 動作停止 / カウント値を保持してカウント動作停止)から選択可能

■割り込み

- ・15要因10ベクタ

- ①割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/TOL/INT4
4	0001BH	HまたはL	INT3/BT
5	00023H	HまたはL	TOH
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	HPWM2
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC
10	0004BH	HまたはL	ポート0/VCPWM

・優先レベル X > H > L

・同一レベルではベクタアドレスの小さいものが優先

■サブルーチンスタックレベル: 最大128レベル(スタックはRAMの中に設定)

■高速乗除算命令

- ・16ビット×8ビット (実行時間: 5T_{cyc})
- ・24ビット×16ビット (実行時間: 12T_{cyc})
- ・16ビット÷8ビット (実行時間: 8T_{cyc})
- ・24ビット÷16ビット (実行時間: 12T_{cyc})

■発振回路

- ・内蔵発振回路

- ①低速RC発振回路 : システムクロック用(約30kHz)
- ②中速RC発振回路 : システムクロック用(1MHz)
- ③高速RC発振回路1 : システムクロック用(8MHz)
- ④高速RC発振回路2 : 高速PWM専用(40MHz)

- ・外部発振回路

- ①高速CF発振回路 : システムクロック用, R_f内蔵
- ②低速水晶発振回路 : 低速システムクロック用 R_f内蔵

(1)CF発振回路と水晶発振回路の発振端子は共有端子となっており、選択はプログラマブル切り替え。

(2)システムリセット状態でのCF発振回路と水晶発振回路は共に動作を停止状態。命令で発振動作を許可することにより、発振開始。

■システムクロック分周機能

- ・低消費電流動作可能

- ・最小命令サイクルで375ns, 750ns, 1.5 μ s, 3.0 μ s, 6.0 μ s, 12.0 μ s, 24.0 μ s, 48.0 μ s, 96.0 μ sの選択が可能(メインクロック8MHz使用時)

■内蔵リセット回路

- ・パワーオンリセット(POR)機能

- ①PORは電源投入時のみリセットがかかる。
- ②PORの解除レベルを8レベル(1.67V, 1.97V, 2.07V, 2.37V, 2.57V, 2.87V, 3.86V, 4.35V)オプションにて切り替え可能。

- ・低電圧検知リセット(LVD)機能

- ①LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
- ②LVD機能を使用する/使用しないと低電圧検知レベルを7レベル(1.91V, 2.01V, 2.31V, 2.51V, 2.81V, 3.79V, 4.28V)オプションにて切り替え可能。

■スタンバイ機能

- ・HALTモード:命令実行停止,周辺回路動作継続

- ①発振の停止は自動的には行わない。
- ②HALTモードを解除するには次の3つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)ウォッチドッグタイマまたは、LVDによるリセットの発生。
 - (3)割り込みの発生。

- ・HOLDモード:命令実行停止,周辺回路動作停止

- ①CF発振,低速/中速RC発振,水晶発振のいずれも自動的に停止する。
(注)低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われる。
- ②HOLDモードを解除するには次の5つの方法があります。
 - (1)リセット端子に「L」レベルを入力。
 - (2)ウォッチドッグタイマまたは、LVDによるリセット発生。
 - (3)INT0, INT1, INT2, INT4のいずれかで割り込み要因が成立。
※INT0, INT1はレベル検出設定に限る。
 - (4)ポート0で割り込み要因が成立。

- ・X'tal HOLDモード:命令実行停止,ベースタイマ以外の周辺回路動作停止

(X'tal発振または低速RC選択時)

- ①CF発振,低速/中速RC発振は自動的に停止する。
(注)低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われる。
(注)ベースタイマの入力クロックに低速RC発振を選択した状態でベースタイマを動作させ、X'talホールドモードに突入すると、低速RC発振は突入時の状態を保持します。
- ②水晶発振は突入時の状態を維持します。
- ③X'tal HOLDモードを解除するには次の6つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)ウォッチドッグタイマまたは、LVDによるリセット発生。
 - (3)INT0, INT1, INT2, INT4のいずれかで割り込み要因が成立する。
※INT0, INT1はレベル検出設定に限る。

- (4)ポート0で割り込み要因が成立する。
- (5)ペースタイマ回路で割り込み要因が成立する。

■VCPWM:周波数可変 12ビット PWM×2 チャンネル

■高速 PWM (HPWM2)

8/10ビット PWM×1 チャンネル

- ①システムクロック/高速RC発振クロック(40MHz)による動作を選択可能
- ②分解能を8ビット(通常方式)/10ビット(パルス付加方式)から選択可能

■ 温度センサ

- ・センサの電圧変化をADコンバータで比較可能

■オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・オンチップデバッグ・ターミナルは1チャンネル装備。
OWP0

■データセキュリティ機能(フラッシュ版のみ)

- ・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
(注)データセキュリティ機能には絶対的なセキュリティはない。

■出荷形態

- ・SSOP24(225mil)『鉛フリー・ハロゲンフリー仕様品』

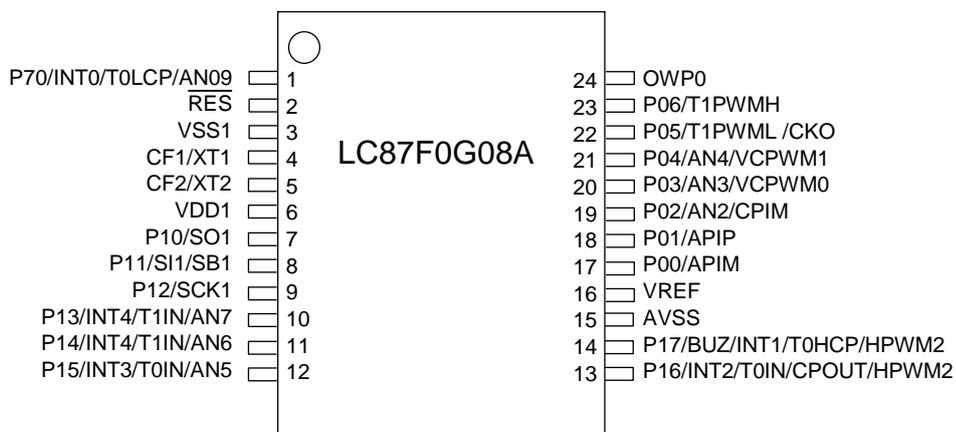
■開発ツール

- ・オンチップデバッグ : TCB87 TypeC(1銭用ケーブル)+LC87F0G08A

■書き込み基板

パッケージ	書き込み基板
SSOP24	W87F0BS

1-3 ピン配置図

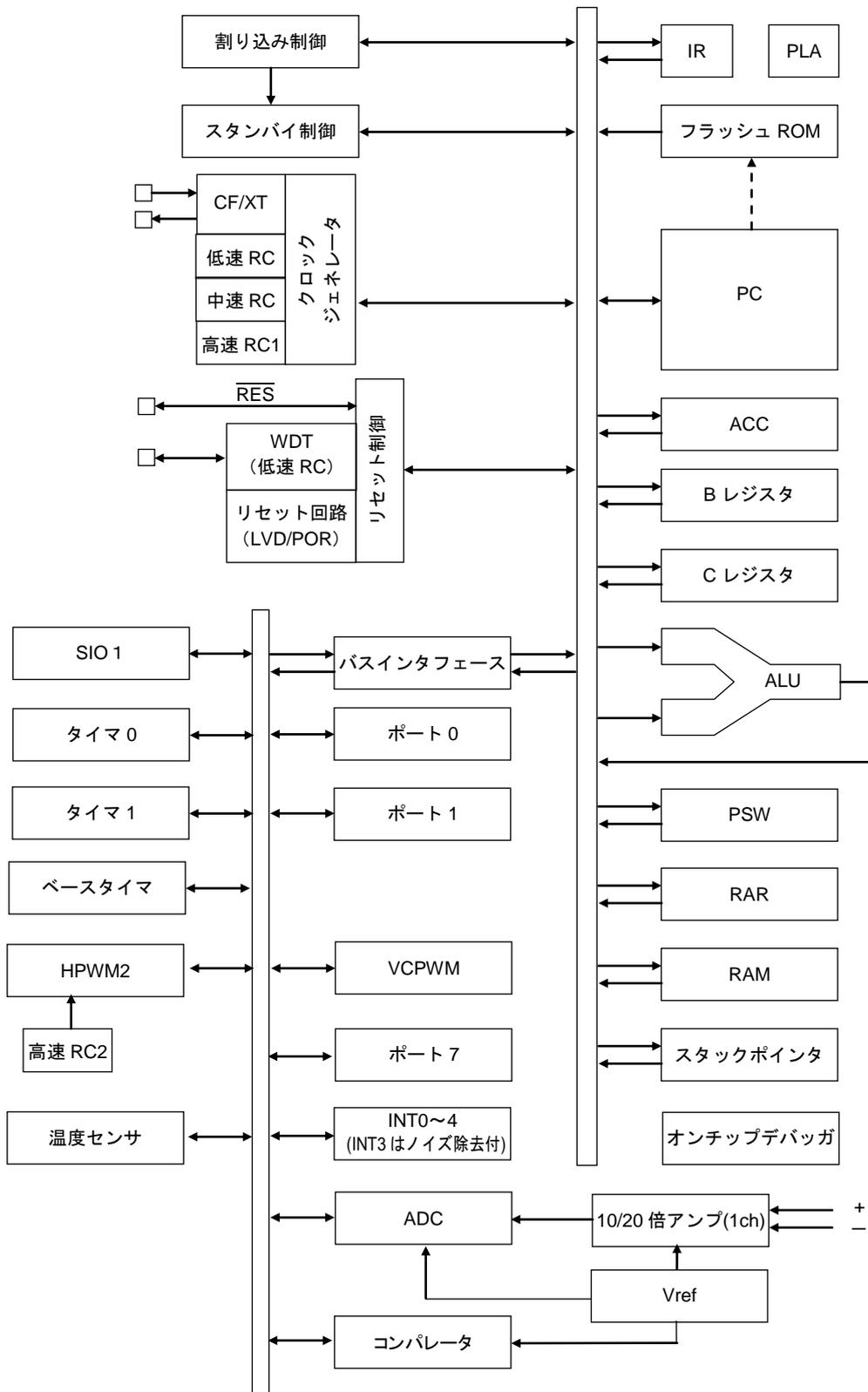


SSOP24(225mil) 『鉛フリー・ハロゲンフリー仕様品』

SSOP24	NAME
1	P70/INT0/T0LCP/AN09
2	$\overline{\text{RES}}$
3	VSS1
4	CF1/XT1
5	CF2/XT1
6	VDD1
7	P10/SO1
8	P11/SI1/SB1
9	P12/SCK1
10	P13/INT4/T1IN/AN7
11	P14/INT4/T1IN/AN6
12	P15/INT3/TOIN/AN5

SSOP24	NAME
13	P16/INT2/TOIN/CPOUT/HPWM2
14	P17/BUZ/INT1/TOHCP/HPWM2
15	AVSS
16	VREF
17	P00/APIM
18	P01/APIP
19	P02/AN2/CPIM
20	P03/AN3/VCPWM0
21	P04/AN4/VCPWM1
22	P05/T1PWML/CKO
23	P06/T1PWHM
24	OWPO

1-4 システムブロック図



1-5 端子機能表

端子名	I/O	機能説明	オプション																														
VSS1	-	電源の-端子	なし																														
VDD1	-	電源の+端子	なし																														
AVSS	-	電源の-端子	なし																														
VREF	I/O	内蔵基準電圧出力(2.0V/4.0V)、基準電圧外部入力	なし																														
OWPO	I/O	デバッグ専用端子																															
ポート0 P00~P06	I/O	<ul style="list-style-type: none"> ・7ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P00 : (APIM) 10/20 倍オペアンプ付き AD 変換入力ポート -側 P01 : (APIP) 10/20 倍オペアンプ付き AD 変換入力ポート +側 P02 : AD 変換入力ポート (AN2)/コンパレータ入力 (CPIM) P03 : AD 変換入力ポート (AN3)/VCPWM0 出力 P04 : AD 変換入力ポート (AN4)/VCPWM1 出力 P05:タイマ 1PWML 出力/システムクロック出力 P06:タイマ 1PWMH 出力 	あり																														
ポート1 P10~P17	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 <ul style="list-style-type: none"> ・1ビット単位のパルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P10: SI01 データ出力 P11: SI01 データ入力/バス入出力 P12:SI01 クロック入出力 P13:INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 AD変換入力ポート(AN7) P14:INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 AD変換入力ポート(AN6) P15 : INT3 入力(ノイズフィルタ付入力)/ タイマ 0 イベント入力/タイマ 0H キャプチャ入力/ AD 変換入力ポート (AN5) P16 : INT2 入力/HOLD 解除入力/ タイマ 0 イベント入力/タイマ 0L キャプチャ入力/ コンパレータ出力 (CPOUT)/HPWM2 出力 P17 :ブザー出力/INT1 入力/HOLD 解除入力/ タイマ 0H キャプチャ入力/HPWM2 出力 <p>インタラプト受付形式</p> <table border="1"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT1</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> <tr> <td>INT2</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>INT3</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>INT4</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	INT4	○	○	○	×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT1	○	○	×	○	○																												
INT2	○	○	○	×	×																												
INT3	○	○	○	×	×																												
INT4	○	○	○	×	×																												
ポート7 P70	I/O	<ul style="list-style-type: none"> ・1ビットの入出力ポート ・入出力指定可能 ・パルアップ抵抗 ON/OFF 可能 ・端子機能 <ul style="list-style-type: none"> P70 : INTO 入力/HOLD 解除入力/タイマ 0L キャプチャ入力 /AD 変換入力ポート (AN9) <p>インタラプト受付形式</p> <table border="1"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0	○	○	×	○	○	なし																		
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0	○	○	×	○	○																												

RES	I	外部リセット入力／内部リセット出力端子	あり 内蔵プルアップ ON/OFF
CF1/XT1	I/O	・セラミック発振子／32.768kHz 水晶発振子用入力端子 ・端子機能 汎用入出力ポート(Nch.O.Dのみ)	なし
CF2/XT2	I/O	・セラミック発振子／32.768kHz 水晶発振子用出力端子 ・端子機能 汎用入出力ポート	なし
OWP0	I/O	デバッガ専用端子	なし

1-6 オンチップデバッガ端子処理

オンチップデバッガ専用端子 OWP0 は 100k Ω でプルダウンしてください。

TCB87 TypeC とは OWP0/VDD/VSS の3本を接続します。

1-7 未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00～P06	OPEN	出力Low設定
P10～P17	OPEN	出力Low設定
P70	OPEN	出力Low設定
CF1/XT1	100k Ω 以下の抵抗でプルダウン	汎用入力設定
CF2/XT2	100k Ω 以下の抵抗でプルダウン	汎用入力設定

1-8 ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示します。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切替単位	オプション 種類	出力形式	プルアップ抵抗
P00～P06	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P10～P17	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
CF1/XT1	-	なし	汎用入出力ポート選択時 Nch-オープンドレイン	なし
CF2/XT2	-	なし	汎用入出力ポート選択時 CMOS/Nch-オープンドレイン ※プログラマブル	なし
P70	-	なし	Nch-オープンドレイン	プログラマブル

1-9 ユーザオプション一覧表

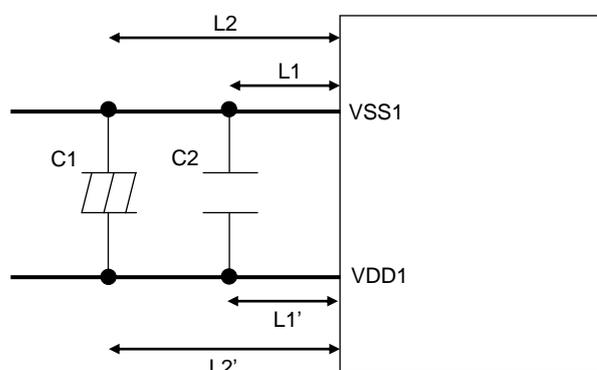
オプション名	オプション種類	フラッシュ版	オプション 切換え単位	指定する内容
ポート出力形式	P00~P06	○	1ビット単位	CMOS Nch-オープンドレイン
	P10~P17	○	1ビット単位	CMOS Nch-オープンドレイン
プログラム スタート番地	-	○	-	00000h 01E00h ※プロテクトエリア①選択時 01D00h ※プロテクトエリア②選択時 01C00h ※プロテクトエリア③選択時 01C00h ※プロテクトエリア④選択時
プロテクトエリア (注1)	-	○	-	①1800h-1FFFh ②0000h-1DFFh, 1F00h-1FFFh ③0000h-1CFFh, 1F00h-1FFFh ④0000h-1AFFh, 1F00h-1FFFh
リセット端子	プルアップ抵抗選択	○	-	あり
				なし
低電圧検知 リセット機能	検知機能	○	-	許可:使用する
				禁止:使用しない
	検知レベル	○	-	7 レベル
パワーオン リセット機能	パワーオンリセット レベル	○	-	8 レベル

(注1) オンボード書き込み時の書き込み禁止領域を選択します。

1-10 電源端子推奨条件 (VDD1, VSS1)

VDD1~VSS1端子間には、以下の条件を満たすようなバイパスコンデンサを接続してください。

- VDD1, VSS1端子とバイパスコンデンサC1, C2間は太い配線により最短で接続し、かつ両端子からバイパスコンデンサまでのインピーダンスが極力等しく($L1=L1'$, $L2=L2'$)なるように接続してください。
- コンデンサは大容量のものC1と小容量のものC2を並列に挿入してください。
C2については0.1 μ F程度のコンデンサを接続してください。

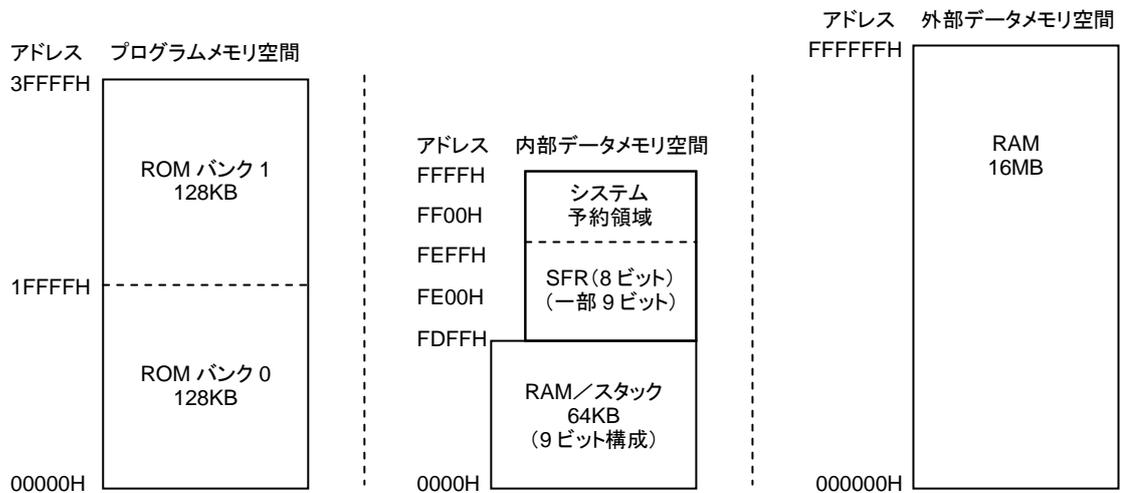


2 内部システム構成

2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。

- ①プログラムメモリ空間 256Kバイト(128Kバイト×2バンク)
- ②内部データメモリ空間 64Kバイト(0000H~FFFFHのうち0000H~FDFFHがスタックエリア兼用)。
- ③外部データメモリ空間 16Mバイト



注) SFR: アキュムレータ等の特殊機能レジスタの配置されている領域 (APPENDIX A-I 参照)

図 2-1-1 メモリ空間

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は17ビットで構成されて、そのほかにバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。

通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切替はスタックにアドレスをプッシュして、リターン命令を実行することで行います。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表 2-2-1 に示します。

表 2-2-1 PC設定値

動作の種類		PCの値	BNKの値
割り込み	リセット	00000H	0
	INT0	00003H	0
	INT1	0000BH	0
	INT2/T0L/INT4	00013H	0
	INT3/ベースタイマ	0001BH	0
	T0H	00023H	0
	T1L/T1H	0002BH	0
	HPWM2A	00033H	0
	SIO1	0003BH	0
	ADC	00043H	0
ポート0/VCPWM	0004BH	0	
無条件分岐命令	JUMP a17	PC=a17	不変
	BR r12	PC=PC+2+r12[-2048~+2047]	不変
条件分岐命令	BE,BNE,DBNZ,DBZ,BZ,BNZ, BZW,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128~+127] nb: 命令のバイト数	不変
CALL命令	CALL a17	PC=a17	不変
	RCALL r12	PC=PC+2+r12[-2048~+2047]	不変
	RCALLA	PC=PC+1+Areg[0~+255]	不変
リターン命令	RET,RETI	PC16~08=(SP), PC07~00=(SP-1) (SP)はスタックポインタの値SPで 指示されるRAMの内容。	BNKは (SP-1)の ビット8
通常命令	NOP,MOV,ADD,...	PC=PC+nb nb: 命令のバイト数	不変

2-3 プログラムメモリ (ROM)

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令 (LDC) でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト(本シリーズ: 1F00H~1FFFH)をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-4 内部データメモリ (RAM)

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H~FDFHでは9ビットで、FE00H~FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H~007FHの128バイトは2バイトずつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット(8ビット×2)として扱われますが、ROMテーブル参照命令 (LDC) で使用するときには17ビット(9ビット(上位)+8ビット(下位))となります。

図 2-4-1 に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM/実行スピードの効率化が図れます。

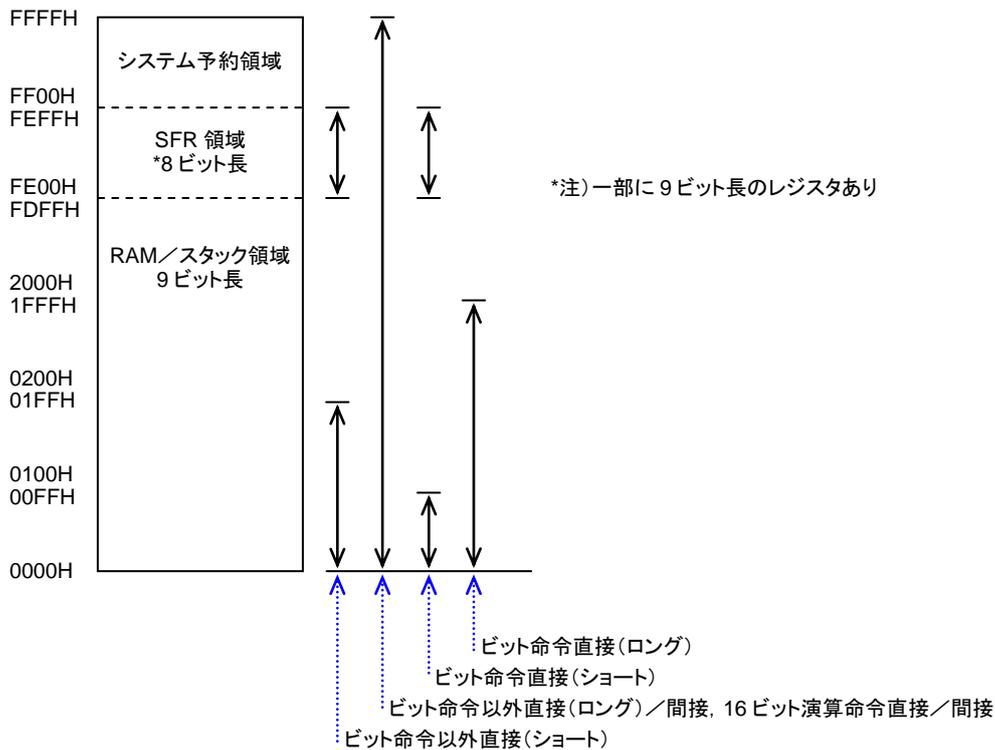


図 2-4-1 RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSP+1にBNKの値とPC(17ビット)の下位8ビットが、SP+2にPCの上位9ビットが格納され、SP=SP+2となります。

2-5 アキュムレータ/Aレジスタ(ACC/A)

アキュムレータ(ACC)はAレジスタとも呼ばれ、データの演算、転送、入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

2-6 Bレジスタ(B)

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC、Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令(LDX, STX)では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC、Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(-128~+127)を格納します。

Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。

PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	PI	PARITY

CY(ビット7): キャリーフラグ

CYは、演算の実行によりキャリーが生じたときセット(1)され、生じなかったときクリア(0)されます。キャリーには次の種類があります。

- ①加算結果のキャリー
- ②減算結果のボロー
- ③比較結果のボロー
- ④ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6): 補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じたときセット(1)され、生じなかったときクリア(0)されます。

但し、命令によってはフラグが変化しない場合があります。

PSWB5, 4(ビット5, 4): ユーザビット

命令でリード/ライトできますので、ご自由にお使いください。

LDCBNK(ビット3): テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読むときのROMバンクを指定します。
(0: ROM-ADR=0~1FFFF 1: ROM-ADR=20000~3FFFF)

OV(ビット2): オーバフローフラグ

OVは、算術演算の実行によりオーバフローが生じたときセット(1)され、生じなかったときクリア(0)されます。オーバフローが生じる場合には次の種類があります。

- ①MSBを符号ビットとしたとき、負数+負数または負数-正数の結果が正数となったとき
- ②MSBを符号ビットとしたとき、正数+正数または正数-負数の結果が負数となったとき

- ③ 16ビット×8ビットの乗算結果の上位8ビットの値が0でないとき
- ④ 24ビット×16ビットの乗算結果の上位16ビットの値が0でないとき
- ⑤ 除算で除数が0のとき

但し、命令によってはフラグが変化しない場合があります。

P1(ビット1):RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM(0000H~FDFFH)のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表2-4-2を参照してください。

PARITY(ビット0):パリティフラグ

アキュムレータ(Aレジスタ)のパリティを示します。

Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット(1)されます。また、“1”が偶数個の場合には、パリティフラグがリセット(0)されます。

2-9 スタックポインタ(SP)

LC870000シリーズはRAMの0000H~FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。

SPは16ビット長で、SPL(FE0A番地)とSPH(FE0B番地)の2つのレジスタで構成され、リセット時には0000Hに初期化されます。

SPは、スタックメモリにデータを待避する前に+1され、データをスタックメモリから復帰した後で-1されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

- ① PUSH命令実行時 : $SP = SP + 1$, $RAM(SP) = DATA$
- ② CALL命令実行時 : $SP = SP + 1$, $RAM(SP) = ROMBANK + ADL$
 $SP = SP + 1$, $RAM(SP) = ADH$
- ③ POP命令実行時 : $DATA = RAM(SP)$, $SP = SP - 1$
- ④ RET命令実行時 : $ADH = RAM(SP)$, $SP = SP - 1$
 $ROMBANK + ADL = RAM(SP)$, $SP = SP - 1$

2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能(インダイレクト・アドレッシング・モード)を3種類([Rn], [Rn+C], [off])持っています。(アドレッシング・モードについては2.11項参照)この時使用されるのが、RAMの0~7EH番地に2バイト構成で64個(R0~R63)存在する間接レジスタです。間接レジスタは、汎用レジスタ(2バイトデータの待避用等)としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM(1バイト(9ビット)データ単位)として使用できます。R0~R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

	RAM	システム予約データ
アドレス	・	
7FH	R63(上位)	
7EH	R63(下位)	R63=7EH
・	・	・
・	・	・
03H	R1(上位)	
02H	R1(下位)	R1=2
01H	R0(上位)	
00H	R0(下位)	R0=0

図 2-10-1 間接レジスタ配置

2-11 アドレッシング・モード

LC870000シリーズは、以下の7種類のアドレッシング・モードがあります。

- ①イミディエイト(即値:プログラム作成(アセンブル)時に値が確定しているデータ)
- ②間接レジスタ(Rn)・インダイレクト(間接) (0 ≤ n ≤ 63)
- ③間接レジスタ(Rn) + Cレジスタ・インダイレクト(間接) (0 ≤ n ≤ 63)
- ④間接レジスタ(R0) + オフセット値・インダイレクト(間接)
- ⑤ダイレクト(直接)
- ⑥ROMテーブル参照
- ⑦外部データメモリ・アクセス

次項より、各アドレッシング・モードの説明を行います。

2-11-1 イミディエイト・アドレッシング(#)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即値)データを扱うことができます。以下に例を示します。

例:

```

LD      #12H      ;アキュムレータにバイトデータ(12H)を設定
L1: LDW  #1234H   ;BAペアレジスタにワードデータ(1234H)を設定
PUSH   #34H      ;スタックにバイトデータ(34H)を設定
ADD    #56H      ;アキュムレータとバイトデータ(56H)の加算
BE     #78H, L1  ;アキュムレータとバイトデータ(78H)の比較・分岐

```

2-11-2 間接レジスタ・インダイレクト・アドレッシング ([Rn])

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示す事になります。

例：

```

R3の内容が“123H”の場合 (RAM6番地:23H, RAM7番地:01H)
LD      [R3]          ;RAMの123H番地の内容をアキュムレータに転送
L1: STW  [R3]          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH   [R3]          ;RAMの123H番地の内容をスタックに待避
SUB    [R3]          ;アキュムレータからRAMの123H番地の内容を減算
DBZ   [R3], L1      ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐

```

2-11-3 間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])

間接レジスタ+Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つの内容とCレジスタの内容(MSBを符号とする-128～+127)を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH(-1)”であったので「Bレジスタ(FE02H+(-1)=FE01H)」を示す事になります。

例：

```

R3の内容が“123H”、Cレジスタの内容が“02H”の場合
LD      [R3, C]       ;RAMの125H番地の内容をアキュムレータに転送
L1: STW  [R3, C]       ;BAペア・レジスタの内容をRAMの125H番地に転送
PUSH   [R3, C]       ;RAMの125H番地の内容をスタックに待避
SUB    [R3, C]       ;アキュムレータからRAMの125H番地の内容を減算
DBZ   [R3, C], L1    ;RAMの125H番地の内容を“-1”し「ゼロ」なら分岐

```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)の様に①システム予約領域(FF00-FFFF)②SFR領域(FE00-FEFF)③RAM/スタック領域(0000-FDFE)の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということはできません。例えば、R5の内容が“0FDFEH”で、Cレジスタの内容が“1”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000-FDFE)である為、アドレッシングしようとした“0FDFEH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFH”でCレジスタの内容が“2”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は②SFR領域(FE00-FEFF)である為、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-4 間接レジスタ(R0)+オフセット値・インダイレクト・アドレッシング ([off])

このアドレッシング・モードでは、間接レジスタ「R0」の内容と符号付き7ビットオフセットデータoff(-64~+63)を加算した結果で、RAMまたはSFRの番地を指定することができます。つまり、R0の内容が“FE02H”でありoff値を“7EH(-2)”とした場合、「Aレジスタ(FE02H+(-2)=FE00H)」を示す事になります。

例：

```
      R0の内容が“123H”の場合 (RAM0番地:23H, RAM1番地:01H)
LD      [10H]          ;RAMの133H番地の内容をアキュムレータに転送
L1: STW  [10H]          ;BAペア・レジスタの内容をRAMの133H番地に転送
PUSH   [10H]          ;RAMの133H番地の内容をスタックに待避
SUB    [10H]          ;アキュムレータからRAMの133H番地の内容を減算
DBZ   [10H], L1      ;RAMの133H番地の内容を“-1”し「ゼロ」なら分岐
```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)の様に①システム予約領域(FF00-FFFF)②SFR領域(FE00-FEFF)③RAM/スタック領域(0000-FDFE)の3つの機能領域に分かれて閉じています。よって、基本となるR0の内容が示す領域からオフセット値によって別領域を示すということはできません。例えば、R0の内容が“0FDFEH”である場合に「LD [1]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000-FDFE)である為、アドレッシングしようとした“0FDFEH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R0の内容が“0FEFFH”である場合に「LD [2]」命令を実行すると、基本となる領域は②SFR領域(FE00-FEFF)である為、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-5 ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAMまたはSFRの番地をオペランドに記述し直接指定する事が可能です。このアドレッシング・モードでは、記述されたオペランドの番地からアセンブラが自動的に最適な命令コードを生成します(オペランドの番地により命令のバイト数が異なる)。また、命令のバイト数を一定(バイト数の多い方)としたい場合の為に、ロング(ミドル)・レンジ命令も用意しました(ニーモニックの最後に“L(M)”が付いているもの)。

例：

```
LD      123H          ;RAMの123H番地の内容をアキュムレータに転送
                    (2バイト命令)
LDL     123H          ;RAMの123H番地の内容をアキュムレータに転送
                    (3バイト命令)
L1: STW  123H          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH   123H          ;RAMの123H番地の内容をスタックに待避
SUB    123H          ;アキュムレータからRAMの123H番地の内容を減算
DBZ   123H, L1      ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐
```

2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いる事によりROM上の2バイトデータをBAレジスタペアに一度に読み出す事ができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります。)

ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(bit3)が示すROMバンク内(128Kバイト)のROMデータを参照する事ができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB    34H
      DB    12H
      DW    5678H
      .
      .
```

LDW #TBL ;BAレジスタペアに“TBLアドレス”を設定

(注1) CHGP3 (TBL >> 17) & 1 ;PSWのLDCBNKにTBLアドレスbit17を設定する。

CHGP1 (TBL >> 16) & 1 ;PSWのP1に“TBLアドレスbit16を設定する。

STW R0 ;間接レジスタR0へのTBLアドレス設定(bit16～bit0)

LDCW [1] ;ROMテーブル読み出し(B=78H, ACC=12H)

MOV #1, C ;Cレジスタに“01H”を設定

LDCW [R0, C] ;ROMテーブル読み出し(B=78H, ACC=12H)

INC C ;Cレジスタをインクリメント(+1)

LDCW [R0, C] ;ROMテーブル読み出し(B=56H, ACC=78H)

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(bit3)の設定が必要。

2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いる事により、16Mバイト(24ビット)の外部データメモリ空間をアクセスする事が可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn) + (C), (R0) + off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

LDW #3456H ;下位16ビット設定

STW R5 ;間接レジスタR5にアドレス下位16ビットを設定

MOV #12H, B ;アドレス上位8ビット設定

LDX [1] ;外部データメモリ(123456H番地)の内容をアキュムレータに転送

2-12 WAIT動作

2-12-1 WAIT動作の発生

本シリーズでは、自動的に命令の実行を中断するWAIT動作は発生しません。

2-12-2 WAIT動作とは

- ① 2.12.1に示したような要因で、WAIT要求が発生すると、CPUは命令の実行を1サイクル中断し、この間に所定のデータ転送を行います。これがWAIT動作です。
- ② タイマやPWMなどの周辺の回路は、WAIT動作中も変わりなく動作します。
- ③ WAIT動作は2サイクル以上連続して行われることはありません。
- ④ ホルト、ホールドモード時、WAIT動作は行われません。
- ⑤ WAIT動作が1回発生すると、プログラムカウンタの進行と時間の進行の間にずれが1サイクル生じますので、注意してください。

表 2-4-2 BIT8(RAM/SFR)とP1の状態変化表

命令	BIT8(RAM/SFR)	P1(PSWのBIT1)	備考
LD#/LDW#	—	—	
LD	—	P1←REG8	
LDW	—	P1←REGH8	
ST	REG8←P1	—	
STW	REGL8,REGH8←P1	—	
MOV	REG8←P1	—	
PUSH#	RAM8←P1	—	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8,RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	—	
PUSH_BA	RAMH8←P1,RAML8←P1	—	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8,REGL8←RAML8	P1←RAMH8	上位アドレス PSW 対象時、P1←bit1
POP_P	—	P1←RAM1(bit1)	BIT8 は無視
POP_BA	—	P1←RAMH8	
XCH	REG8<->P1	同左	
XCHW	REGH8←P1,REGL8←P1,P1←REGH8	同左	
INC	9bit の INC	演算後,P1←REG8	9bit の INC
INCW	17bit の INC,REGL8←下位バイトの CY	演算後,P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後,P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位バイトの CY の反転	演算後,P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	—	—	
NOT1	—	—	
CLR1	—	—	
BPC	—	—	
BP	—	—	
BN	—	—	
MUL24/DIV24	RAM8←“1”	—	演算結果の入る RAM の BIT8 は 1
FUNC	—	—	

注) 対象が8bitレジスタ(bit8なし)の場合“1”が読み込まれて処理されます。

記号) REG8: RAM または SFR の bit8。

REGH8/REGL8: RAM または SFR の上位バイトの bit8/下位バイトの bit8。

RAM8: RAM の bit8。

RAMH8/RAML8: RAM の上位バイトの bit8/下位バイトの bit8。

3 周辺システム構成

この章では、CPUコア、RAM、ROM以外の内蔵されている機能ブロック(周辺システム)について説明します。

また、ポートのブロック図をAPPENDIX(A-II)に添付しましたので、ご参照ください。

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの7ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

ポート0は、外部割り込み端子としても使用でき、ホールドモードの解除も可能です。ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

<フラッシュ版の注意点>

電源印加期間中のポートOWP0には、クロックやLo、中間電位を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC870000 シリーズ 端子処理資料】をご参照ください。

3-1-2 機能

① 入出力ポート (7ビット:P00~P06)

- ・ポート0データラッチ(P0:FE40)でポート出力データの制御、ポート0データディレクションレジスタ(P0DDR:FE41)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

② 割り込み端子機能

入力ポート指定され、対応するポート0データラッチ(P0:FE40)のビットが“1”のポートのどれか1つに“0”レベルのデータが入力されると、P0FLG(P0FCR:FE42)のビット5)がセットされます。

このとき、P0IE(P0FCR:FE42)のビット4)が“1”であれば、ホールドモード解除と、ベクタアドレス004BHへの割り込み要求を行います。

③ 兼用機能

P06でタイマ1PWMH出力、P05でシステムクロック出力/タイマ1PWML出力、P04でVCPWM1出力、P03でVCPWM0出力、P02でコンパレータ入力、P02~P04でAD入力チャネルAN2~AN4機能、P00、P01で20倍オペアンプ付きAD入力機能を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	FIX0	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR	FIX0	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR
FE42	HH00 0000	R/W	P0FCR	T1HPWMEN	T1LPWMEN	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

PORT0

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ(P0)

- ① ポート0の出力データとポート0割り込みの制御を行う8ビットのレジスタです。
(ビット7は、“0”でご使用下さい。)
- ② このレジスタを命令で読むとP00～P06の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP0(FE40)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
(ビット7に読み込まれるデータは無視して下さい。)
- ③ ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	FIX0	P06	P05	P04	P03	P02	P01	P00

3-1-3-2 ポート0データディレクションレジスタ(P0DDR)

- ① ポート0の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP0nDDRが“1”の時、ポートP0nは出力モードになり、ビットP0nDDRが“0”の時、ポートP0nは入力モードになります。
(ビット7は、“0”でご使用下さい。)
- ② ビットP0nDDRが“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。
- ③ VCPWM1出力を使用する場合、P04DDRは、“0”に設定して下さい。
この場合、P04DDR=0でも、VCPWM1がP04から出力されます。
- ④ VCPWM0出力を使用する場合、P03DDRは、“0”に設定して下さい。
この場合、P03DDR=0でも、VCPWM0がP03から出力されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE41	0000 0000	R/W	P0DDR	FIX0	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR

レジスタデータ		ポートP0nの状態		内蔵プルアップ抵抗
P0n	P0nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

3-1-3-3 ポート0機能制御レジスタ(P0FCR)

- ① ポート0の兼用出力の制御を行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	HH00 0000	R/W	P0FCR	T1HPWMEN	T1LPWMEN	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

- T1HPWMEN(ビット7): タイマ1PWMH出力許可
 P06が出力モード(P06DDR=1)の時、
 このビットとタイマ1PWMH出力のANDと、
 ポートデータラッチのEORをP06端子は出力します。

表 3-1-1 出力モードの時のP06端子データ

T1HPWMEN	P06	出力モード(P06DDR=1)の時のP06端子データ
0	—	ポートデータラッチ(P06)の値
1	0	タイマ1PWMHデータ
1	1	上記の反転データ

T1LPWMEN(ビット6):タイマ1PWML出力許可

P05が出力モード(P05DDR=1)の時、
このビットとタイマ1PWML出力のANDと、
システムクロック出力のORと、
ポートデータラッチのEORをP05端子は出力します。

表 3-1-2 出力モードの時のP05端子データ

T1LPWMEN	CLKOEN	P05	出力モード(P05DDR=1)の時のP05端子データ
0	0	—	ポートデータラッチ(P05)の値
0	1	0	システムクロック出力
0	1	1	上記の反転データ
1	0	0	タイマ1PWMLデータ
1	0	1	上記の反転データ
1	1	0	タイマ1PWMLデータとシステムクロック出力のOR
1	1	1	上記の反転データ

POFLG(ビット5):P0割り込み要因フラグ

入力ポート指定されたポート0で、対応するP0(FE40)のビットがセットされているポートに“L”レベルが印可されるとセットされます。

このビットと割り込み要求許可ビット(P0IE)がともに“1”のとき、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので、命令でクリアしてください。

P0IE(ビット4):P0割り込み要求許可

このビットとPOFLGがともに“1”の時、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

CLKOEN(ビット3):

P05端子の出力データの制御を行います。

P05が入力モードの時、このビットは無効です。

P05が出力モードの時、については、

表 3-1-2 出力モードの時のP05端子データ、をご参照ください。

CKODV2(ビット2)

CKODV1(ビット1)

CKODV0(ビット0)

P05に出力するシステムクロックの周波数を設定します。

000 : システムクロック選択の源発振クロック周波数

001 : システムクロック選択の源発振クロック周波数の2分周周波数

010 : システムクロック選択の源発振クロック周波数の4分周周波数

011 : システムクロック選択の源発振クロック周波数の8分周周波数

100 : システムクロック選択の源発振クロック周波数の16分周周波数

101 : システムクロック選択の源発振クロック周波数の32分周周波数

110 : システムクロック選択の源発振クロック周波数の64分周周波数

111 : サブクロックの源発振クロック周波数

<クロック出力機能仕様上の注意点>

クロック出力機能使用の際は下記①～③を守ってください。

PORT0

下記に違反した場合、ポートの出力波形に異常が生じる場合があります。

- ①CLKOEN(BIT3) = 1の設定時にクロック出力分周設定を変更しない。
→CKODV2-CKODV0(BIT2-BIT0)の設定を変更しない。
- ②CLKOEN(BIT3) = 1の設定時にシステムクロック選択を変更しない。
→OCRレジスタのCLKB5-CLKB4(BIT5-BIT4)の設定を変更しない。
- ③CLKOEN(BIT3) = 1の状態からCLKOEN = 0となるデータをPOFCRレジスタに書き込む命令を実行した場合、CLKOENはすぐに0にはなりません。
出力中のクロックが終了(クロック立ち下がり検出)してからCLKOEN = 0となります。従って、命令でCLKOEN = 0とした後にクロック分周設定変更及びシステムクロック選択変更を行う場合は、CLKOENの値を読み出して0であることを確認した後に行ってください。

3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力(プログラマブルプルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力

3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力、HPWM2出力、コンパレータ出力ポートとして使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャンネルオープンドレイン出力のどちらかをビット毎に選択できます。

3-2-2 機能

①入出力ポート（8ビット:P10～P17）

- ・ポート1データラッチ(P1:FE44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:FE45)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

- ・P17は、INT1としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。
- ・P16とP15は、それぞれINT2, INT3としてLエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。
- ・P13, P14から選択された1ポート(INT4)は、Lエッジ, Hエッジ, 両エッジ検出を行い、割り込みフラグをセットします。

④タイマ0カウント入力機能

P16, P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

⑤タイマ0Lキャプチャ入力機能

P70, P16, P14, P13から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。
レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

⑥タイマ0Hキャプチャ入力機能

P17, P15, P14, P13から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。
レベル割り込み指定のP17に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Hキャプチャ信号が発生します。

⑦タイマ1カウント入力機能

P14, P13から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ1にカウント信号を送ります。

PORT1

⑧ ホールドモード解除機能

- ・INT0 (P70)、INT1 (P17)、INT2 (P16)、INT4 (P14 またはP13) で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(メイン発振 = CR)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・但し、ホールドモード突入時のINT2 (P16) のデータが“H”の時のHエッジと、ホールドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P16でホールドモードを解除する時は、P16を両エッジ割り込みモードを使用することを薦めます。

⑨ 兼用機能

P17でHPWM2 / ベースタイマBUZ出力、P16でHPWM2出力 / コンパレータ出力、P13～P15でAD入力チャンネルAN7～AN5機能、P12～P10でSIO1入出力機能を兼用します。

	入力	出力	割り込み入力 信号検出	タイマカウン ト入力	キャプチャ 入力	ホールドモ ード解除
P17	プログラマ ブル・プル アップ抵抗 付き	CMOS / Nチャネル オープンドレイン	Lレベル, Hレベル, Lエッジ, Hエッジ, 両エッジ	—	タイマ0H	可能(注)
P16				タイマ0	タイマ0L	可能
P15				タイマ0	タイマ0H	—
P14				タイマ1	タイマ0L,H	可能
P13				タイマ1	タイマ0L,H	可能

(注) : P17のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0H0H HHH0	R/W	P1TST	FIX0	-	FIX0	-	-	-	-	FIX0
FE4A	0000 0000	R/W	I45CR	INTHEG	INT5LEG	INT5IF	INT5IE	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL	I5SL3	I5SL2	I5SL1	I5SL0	I4SL3	I4SL2	I4SL1	I4SL0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN

P1TST (FE47) の bit7, bit5, bit0 は、設定値は“0”で使用して下さい。

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ (P1)

- ① ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ② このレジスタを命令で読むとP10～P17の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP1 (FE44)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10

3-2-3-2 ポート1データディレクションレジスタ (P1DDR)

- ① ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。
- ② ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

3-2-3-3 ポート1機能制御レジスタ (P1FCR)

- ① ポート1の兼用出力の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR

n	P1nFCR	P1n	出力モード(P1nDDR=1)の時のP1n端子データ
7	0	—	ポートデータラッチ (P17) の値
	1	0	HPWM2またはベースタイマのBUZデータ
	1	1	HPWM2またはベースタイマのBUZ反転データ
6	0	—	ポートデータラッチ (P16) の値
	1	0	HPWM2とコンパレータ出力のAND
	1	1	(HPWM2とコンパレータ出力のAND)の反転
5	0	—	ポートデータラッチ (P15) の値
	1	0	LOW出力
	1	1	HIGH出力
4	0	—	ポートデータラッチ (P14) の値
	1	0	LOW出力
	1	1	HIGH出力
3	0	—	ポートデータラッチ (P13) の値
	1	0	LOW出力
	1	1	HIGH出力
2	0	—	ポートデータラッチ (P12) の値
	1	0	SIO1クロック出力データ
	1	1	HIGH出力
1	0	—	ポートデータラッチ (P11) の値
	1	0	SIO1出力データ
	1	1	HIGH出力
0	0	—	ポートデータラッチ (P10) の値
	1	0	SIO1出力データ
	1	1	HIGH出力

尚、P10～P17は、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

PORT1

P17FCR(ビット7):P17機能制御(HPWM2またはベースタイマBUZ出力制御)

P17端子の出力データの制御を行います。

P17が出力モード(P17DDR=1)で、P17FCRが“1”の時、HPWM2出力またはベースタイマからのBUZ出力データとポートデータラッチのEORをP17端子は出力します。

※ HPWM2とベースタイマのBUZ出力切替は、

P17H2ASL(HPWM2AL:FE8Eのビット1)、

BUZSEL(ISL:FE5Fのビット3)で行います。

P17H2ASL (HPWM2AL bit1)	BUZON (ISL bit3)	P17	P17 兼用出力選択
0	0	—	ポートデータラッチ(P17)の値
0	1	0	ベースタイマのBUZ出力
0	1	1	上記の反転データ
1	—	0	HPWM2出力
1	—	1	上記の反転データ

P16FCR(ビット6):P16機能制御(HPWM2出力制御)

P16端子の出力データの制御を行います。

P16が出力モード(P16DDR=1)で、P16FCRが“1”の時、(HPWM2出力とコンパレータ出力のAND)と、ポートデータラッチのEORをP16端子は出力します。

※ CPON(VRCNT:FEC0のビット5)が‘0’とき、コンパレータ出力=1、となります。そのため、P16が出力モード(P16DDR=1)で、P16FCRが“1”の時、HPWM2出力と、ポートデータラッチのEORをP16端子は出力します。

P16H2ASL (HPWM2AL bit0)	CPON (VRCNT bit5)	P16	P16 兼用出力選択
0	X	—	ポートデータラッチ(P16)の値
1	0	0	HPWM2出力
1	0	1	上記の反転データ
1	1	0	HPWM2とコンパレータ出力のAND
1	1	1	上記の反転データ

P15FCR(ビット5):P15機能制御

P15端子の出力データの制御を行います。

P15が出力モード(P15DDR=1)で、P15FCRが“1”の時、ポートデータラッチの値をP15端子は出力します。

P14FCR(ビット4):P14機能制御

P14端子の出力データの制御を行います。

P14が出力モード(P14DDR=1)で、P14FCRが“1”の時、ポートデータラッチの値をP14端子は出力します。

P13FCR(ビット3):P13機能制御

P13端子の出力データの制御を行います。

P13が出力モード(P13DDR=1)で、P13FCRが“1”の時、ポートデータラッチの値をP13端子は出力します。

P12FCR(ビット2):P12機能制御(SIO1クロック出力制御)

P12端子の出力データの制御を行います。

P12が出力モード(P12DDR=1)で、P12FCRが“1”の時、SIO1のクロック出力データとポートデータラッチのORをP12端子は出力します。

P11FCR(ビット1):P11機能制御(SIO1データ出力制御)

P11端子の出力データの制御を行います。

P11が出力モード(P11DDR=1)で、P11FCRが“1”の時、SIO1出力データとポートデータラッチのORをP11端子は出力します。

尚、P11の入出力状態に関係なく、P11からはSIO1動作時、SIO1入力データが取り込まれます。

P10FCR(ビット0):P10機能制御(SIO1データ出力制御)

P10端子の出力データの制御を行います。

P10が出力モード(P10DDR=1)で、P10FCRが“1”の時、SIO1出力データとポートデータラッチのORをP10端子は出力します。

3-2-3-4 外部割り込み4, 5制御レジスタ(I45CR)

①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4A	0000 0000	R/W	I45CR	INT5HEG	INT5LEG	INT5IF	INT5IE	INT4HEG	INT4LEG	INT4IF	INT4IE

INT5HEG(ビット7)~INT5IE(ビット4):“0”で使用してください。

INT4HEG(ビット3):INT4立ち上がりエッジ検出制御

INT4LEG(ビット2):INT4立ち下がりエッジ検出制御

INT4HEG	INT4LEG	INT4 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT4IF(ビット1):INT4割り込み要因フラグ

INT4HEG, INT4LEGで指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット(INT4IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE(ビット0):INT4割り込み要求許可

このビットとINT4IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

PORT1

3-2-3-5 外部割り込み4, 5端子選択レジスタ(I45SL)

①外部割り込み4, 5の端子を選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4B	0000 0000	R/W	I45SL	I5SL3	I5SL2	I5SL1	I5SL0	I4SL3	I4SL2	I4SL1	I4SL0

I5SL3(ビット7)～I5SL0(ビット4):“0”で使用してください。

I4SL3(ビット3):INT4用端子選択

I4SL2(ビット2):INT4用端子選択

I4SL3	I4SL2	INT4として使用する端子
0	0	ポートP13
0	1	ポートP14
1	0	禁止
1	1	禁止

I4SL1(ビット1):INT4用端子機能選択

I4SL0(ビット0):INT4用端子機能選択

INT4として選択された端子に、外部割り込み4, 5制御レジスタ(I45CR)で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号を発生します。

I4SL1	I4SL0	INT4の割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

注意:

- ①INT4で、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力がポート7と重複して指定された場合、ポート7からの信号は無視されます。
- ②INT4が、タイマ1のカウントクロック入力、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力として、重複して指定された場合、両方とも受け付けます。
- ③INT4で、タイマ1のカウントクロック入力が指定された場合、タイマ1Lはイベントカウンタとなります。また、タイマ1のカウントクロック入力が指定されない場合、タイマ1Lのカウントは2T_{cyc}毎に行われます。

3-2-3-6 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル/エッジ選択

INT1LH	INT1LV	INT1割り込み条件(P17端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF(ビット5):INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE(ビット4):INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH(ビット3):INT0検出極性選択

INT0LV(ビット2):INT0検出レベル/エッジ選択

INT0LH	INT0LV	INT0 割り込み条件(P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF(ビット1):INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

3-2-3-7 外部割り込み2, 3制御レジスタ(I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

INT3HEG(ビット7):INT3立ち上がりエッジ検出制御

INT3LEG(ビット6):INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件(P15 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF(ビット5):INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、ベクタアドレス001BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE(ビット4):INT3割り込み要求許可

PORT1

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み要求が発生します。

INT2HEG (ビット3):INT2立ち上がりエッジ検出制御

INT2LEG (ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件 (P16 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホールドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P16でホールドモードを解除する時は、P16を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

3-2-3-8 入力信号選択レジスタ (ISL)

①タイマ0の入力、ノイズフィルタの時定数、ブザー出力、ベースタイマのクロックの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN

ST0HCP (ビット7):タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP17に入力されている間、1T_{cyc}毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP (ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1T_{cyc}毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0Lキャプチャ信号が発生します。

BTIMC1 (ビット5):ベースタイマクロック選択

BTIMC0(ビット4): ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	内蔵低速RC
1	1	タイマ/カウンタ0のプリスケアラ出力

BUZON(ビット3): ブザー出力選択

P17FCR(P17FCRのビット7) = “1”の時、ポートP17へ転送するデータ(ブザー出力/タイマ1PWMH)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、ポートP17にはベースタイマクロックを分周した信号をブザー出力として転送します。

“0”の設定時、ブザー出力はHIGH固定となり、ポートP17にはタイマ1PWMHの出力データを転送します。

“1”の設定時、ベースタイマクロックを16分周した信号をブザー出力として、ポートP17に転送します。

“0”の設定時、ブザー出力はHIGH固定となります。

NFSEL(ビット2): ノイズフィルタ時定数選択

NFON(ビット1): ノイズフィルタ時定数選択

ノイズフィルタは、INT3に接続されています。

INT0、1、4には、ノイズフィルタは有りません。

NFSEL	NFON	ノイズフィルタ時定数
0	0	1Tcyc
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

TOIN(ビット0): タイマ0カウンタクロック入力ポート選択

タイマ0カウンタクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0カウンタクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0カウンタクロックが発生します。

注意: INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17と重複して指定された場合、ポート7, ポート1からの信号は無視されます。

3-2-4 オプション

P10~P17は、ユーザオプションとして次の2通りの選択ができます。

- ① CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ② Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

3-2-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-3 ポート7

3-3-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの1ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。

ポート7は、外部割り込み用入力ポートとしても使用できます。また、キャプチャ信号入力やホールドモードの解除信号入力ポートとしても使用できます。

ユーザオプションはありません。

3-3-2 機能

①入出力ポート（1ビット:P70）

- ・ポート7制御レジスタ(P7:FE5C)のビット0でポート出力データの制御、ビット4で入出力方向を制御します。
- ・P70はNchオープンドレイン出力となります。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

- ・P70は、INT0としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。

③タイマ0Lキャプチャ入力機能

P70, P16から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

④ホールドモード解除機能

- ・INT0で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(メイン発振=CR)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP70に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。

⑤兼用機能

- ・P70でAD入力チャンネルAN9機能を兼用します。

PORT 7

	入力	出力	割り込み入力 信号検出	タイマ0カウ ント入力	キャプチャ 入力	ホールドモ ード解除
P70	プログラマ ブル・プル アップ抵抗 付き	Nchオープンドレイン	Lレベル, Hレベル, Lエッジ, Hエッジ	—	タイマ0L	可能

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	—	—	—	P70DDR	—	—	—	P70
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

3-3-3 関連レジスタ

3-3-3-1 ポート7制御レジスタ(P7)

- ①ポート7の入出力、プルアップ抵抗の制御を行う2ビットのレジスタです。
- ②このレジスタを命令で読むとP70の端子のデータがビット0に読み込まれます。ビット4にはレジスタP7のビット4のデータが読み込まれます。
- 但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP7(FE5C)を操作すると、ビット0として、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	—	—	—	P70DDR	—	—	—	P70DT

レジスタデータ		ポートP70の状態		内蔵プルアップ抵抗
P70	P70DDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	オープン	ON

(ビット7～5): 存在しません。読むと‘1’が読めます。

P70DDR(ビット4): P70入出力制御

このビットの1/0で、P70端子の出力(Nchオープンドレイン)/入力を制御します。

(ビット3～1): 存在しません。読むと‘1’が読めます。

P70DT(ビット0): P70データ

P70DDRが1の時、このビットの値がP70端子から出力されます。

但し、この端子はNchオープンドレイン出力端子なので、P70DTの値が“1”の時はハイインピーダンス出力となります。

このビットの値(1/0)により、P70端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

3-3-3-2 外部割り込み0, 1制御レジスタ(I01CR)

“3-2-3-6 外部割り込み0, 1制御レジスタ(I01CR)” をご参照ください。

3-3-3-3 外部割り込み2, 3制御レジスタ(I23CR)

“3-2-3-7 外部割り込み2, 3制御レジスタ(I23CR)” をご参照ください。

3-3-3-4 入力信号選択レジスタ(ISL)

“3-2-3-8 入力信号選択レジスタ(ISL)” をご参照ください。

※ ポート7の端子は、入力用トランジスタが常にONになっています。
そのため、入力端子レベルが中間電位になった場合には、入力用トランジスタに電流が流れます。

3-3-4 オプション

ユーザオプションはありません。

3-3-5 HALT, HOLD時の動作

P70のプルアップ抵抗はオフします。

3-4 タイマカウンタ0 (T0)

3-4-1 概要

本シリーズが内蔵しているタイマ／カウンタ0 (T0) は、次の4つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) × 2ch
- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付)
- ③モード2: プログラマブルプリスケアラ付 16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付)
- ④モード3: 16ビットプログラマブルカウンタ (16ビットキャプチャレジスタ付)

3-4-2 機能

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) × 2ch
 - ・8ビットプログラマブルプリスケアラからのクロック (周期: 1~256T_{cyc}) によって、2つの独立した8ビットプログラマブルタイマ (TOL, TOH) が動作します。
 - ・P70/INT0/T0LCP, P16/INT2/T0IN, P13, P14タイマ0Lキャプチャ入力端子からの外部入力検出信号により、TOLの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P17/INT1/T0HCP, P15/INT3/T0IN, P13, P14タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOHの内容をキャプチャレジスタT0CAHにキャプチャします。

$$TOLの周期 = (TOLR + 1) \times (TOPRR + 1) \times T_{cyc}$$

$$TOHの周期 = (TOHR + 1) \times (TOPRR + 1) \times T_{cyc}$$

T_{cyc} = サイクルクロックの周期

- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付)
 - ・TOLは、P16/INT2/T0IN, P15/INT3/T0IN端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。
 - ・TOHは、8ビットプログラマブルプリスケアラからのクロック (周期: 1~256T_{cyc}) によって、8ビットプログラマブルタイマとして動作します。
 - ・P70/INT0/T0LCP, P16/INT2/T0IN, P13, P14タイマ0Lキャプチャ入力端子からの外部入力検出信号により、TOLの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P17/INT1/T0HCP, P15/INT3/T0IN, P13, P14タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOHの内容をキャプチャレジスタT0CAHにキャプチャします。

$$TOLの周期 = (TOLR + 1)$$

$$TOHの周期 = (TOHR + 1) \times (TOPRR + 1) \times T_{cyc}$$

③モード2: プログラマブルプリスケアラ付 16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付)

- ・8ビットプログラマブルプリスケアラからのクロック(周期:1~256T_{cyc})によって、16ビットプログラマブルタイマとして動作します。
- ・P17/INT1/T0HCP, P15/INT3/T0IN, P13, P14タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$T0の周期 = ([T0HR, T0HL] + 1) \times (T0PRR + 1) \times T_{cyc}$$

16ビット

④モード3: 16ビットプログラマブルカウンタ(16ビットキャプチャレジスタ付)

- ・P16/INT2/T0IN, P15/INT3/T0IN端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。
- ・P17/INT1/T0HCP, P15/INT3/T0IN, P13, P14タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$T0の周期 = [T0HR, T0HL] + 1$$

16ビット

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマ/カウンタT0LまたはT0Hのカウンタ周期で、T0LまたはT0H割り込み要求を発生します。

⑥タイマ/カウンタ0(T0)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T0CNT, T0PRR, T0L, T0H, T0LR, T0HR
- ・P1, P1DDR, P1FCR
- ・P7, TSL, ISL, I01CR, I23CR
- ・I45CR, I45SL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-4-3 回路構成

3-4-3-1 タイマ/カウンタ0制御レジスタ(T0CNT) (8ビットレジスタ)

①T0L, T0Hの動作, 割り込みの制御を行います。

3-4-3-2 プログラマブルプリスケアラ一致レジスタ(TOPRR) (8ビットレジスタ)

- ① プログラマブルプリスケアラの一致データ格納用レジスタです。

3-4-3-3 プログラマブルプリスケアラ (8ビットカウンタ)

- ① 動作開始/停止: ホールドモード以外で動作する。
- ② カウントクロック: サイクルクロック(周期 = 1T_{cyc})。
- ③ 一致信号: カウント値がレジスタTOPRRの値と一致すると一致信号を発生する。
(周期: 1~256T_{cyc})
- ④ リセット: 一致信号の発生またはTOPRRへデータの書き込みにより、カウンタが0からカウントし始める。

3-4-3-4 タイマ/カウンタ0下位(TOL) (8ビットカウンタ)

- ① 動作開始/停止: TOLRUN(タイマ0制御レジスタのビット6)の0/1により、停止/動作が制御されます。
- ② カウントクロック: TOLEXT(タイマ0制御レジスタのビット4)の0/1により、プリスケアラの一致信号/外部信号を選択します。
- ③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は、16ビットデータの一致が必要)
- ④ リセット: 動作停止時、または一致信号の発生時。

3-4-3-5 タイマ/カウンタ0上位(TOH) (8ビットカウンタ)

- ① 動作開始/停止: TOHRUN(タイマ0制御レジスタのビット7)の0/1により、停止/動作が制御されます。
- ② カウントクロック: TOLONG(タイマ0制御レジスタのビット5)の0/1により、プリスケアラの一致信号/TOLの一致信号を選択します。
- ③ 一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
(16ビットモード時は、16ビットデータの一致が必要)
- ④ リセット: 動作停止時、または一致信号の発生時。

3-4-3-6 タイマ/カウンタ0一致データレジスタ下位(TOLR) (一致バッファレジスタ付8ビットレジスタ)

- ① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時(TOLRUN=0)には、TOLRと一致レジスタは同値となる。
動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

3-4-3-7 タイマ/カウンタ0一致データレジスタ上位(TOHR) (一致バッファレジスタ付8ビットレジスタ)

- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時(TOHRUN=0)には、TOHRと一致レジスタは同値となる。

動作時 (TOHRUN=1) には、一致バッファレジスタは一致信号の発生時にTOHRの内容をロードする。

3-4-3-8 タイマ/カウンタ0キャプチャレジスタ下位 (TOCAL) (8ビットレジスタ)

①キャプチャクロック:

TOLONG (タイマ0制御レジスタのビット5) が0の時、P70/INT0/TOCP, P16/INT2/TOIN, P13, P14のタイマ0Lキャプチャ入力端子からの外部入力検出信号。

TOLONG (タイマ0制御レジスタのビット5) が1の時、P17/INT1/TOHCP, P15/INT3/TOIN, P13, P14のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ/カウンタ0下位 (TOL) の内容。

3-4-3-9 タイマ/カウンタ0キャプチャレジスタ上位 (TOCAH) (8ビットレジスタ)

①キャプチャクロック:P17/INT1/TOHCP, P15/INT3/TOIN, P13, P14のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ/カウンタ0上位 (TOH) の内容。

表 3-6-1 タイマ0 (TOH, TOL) のカウントクロック

モード	TOLONG	TOLEXT	TOH のカウントクロック	TOL のカウントクロック	[TOH, TOL] のカウントクロック
0	0	0	TOPRRの一致信号	TOPRRの一致信号	—
1	0	1	TOPRRの一致信号	外部信号	—
2	1	0	—	—	TOPRRの一致信号
3	1	1	—	—	外部信号

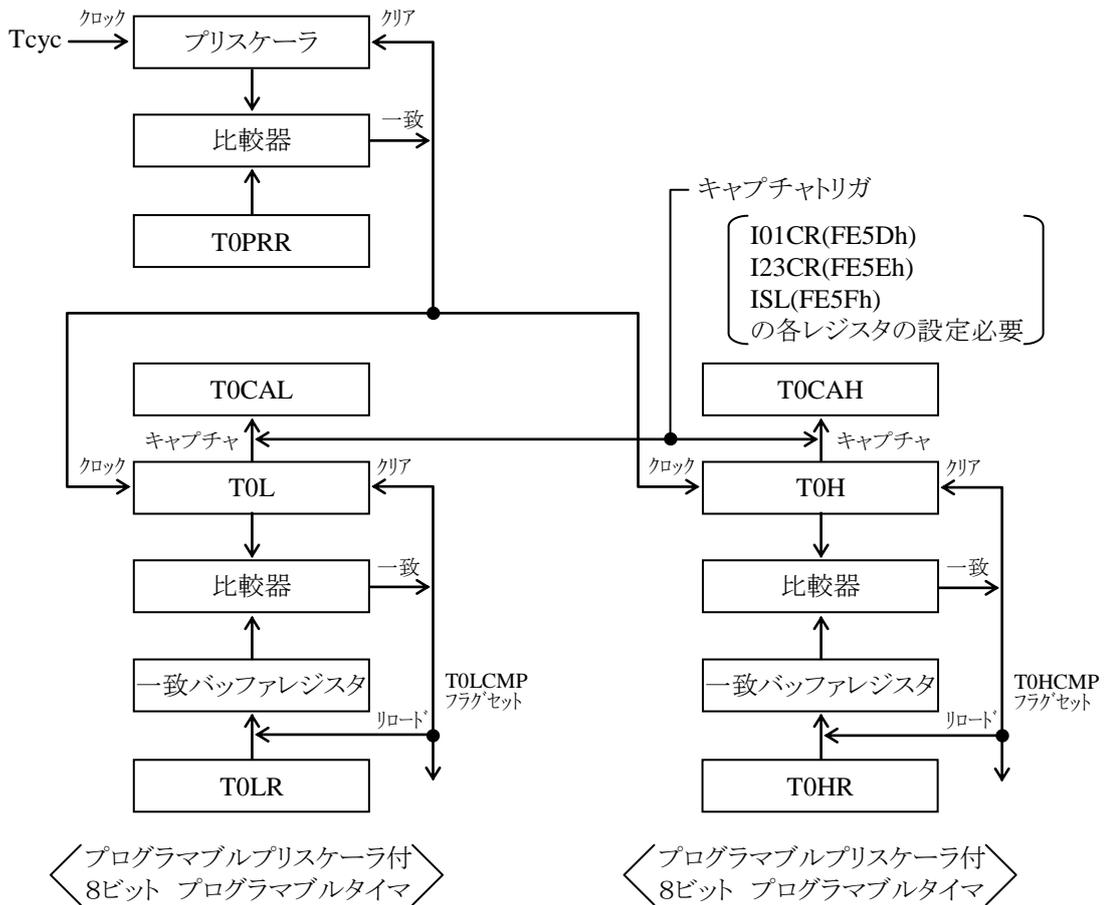


図 3-6-1 モード0 (T0LONG=0, T0LEXT=0) ブロック図

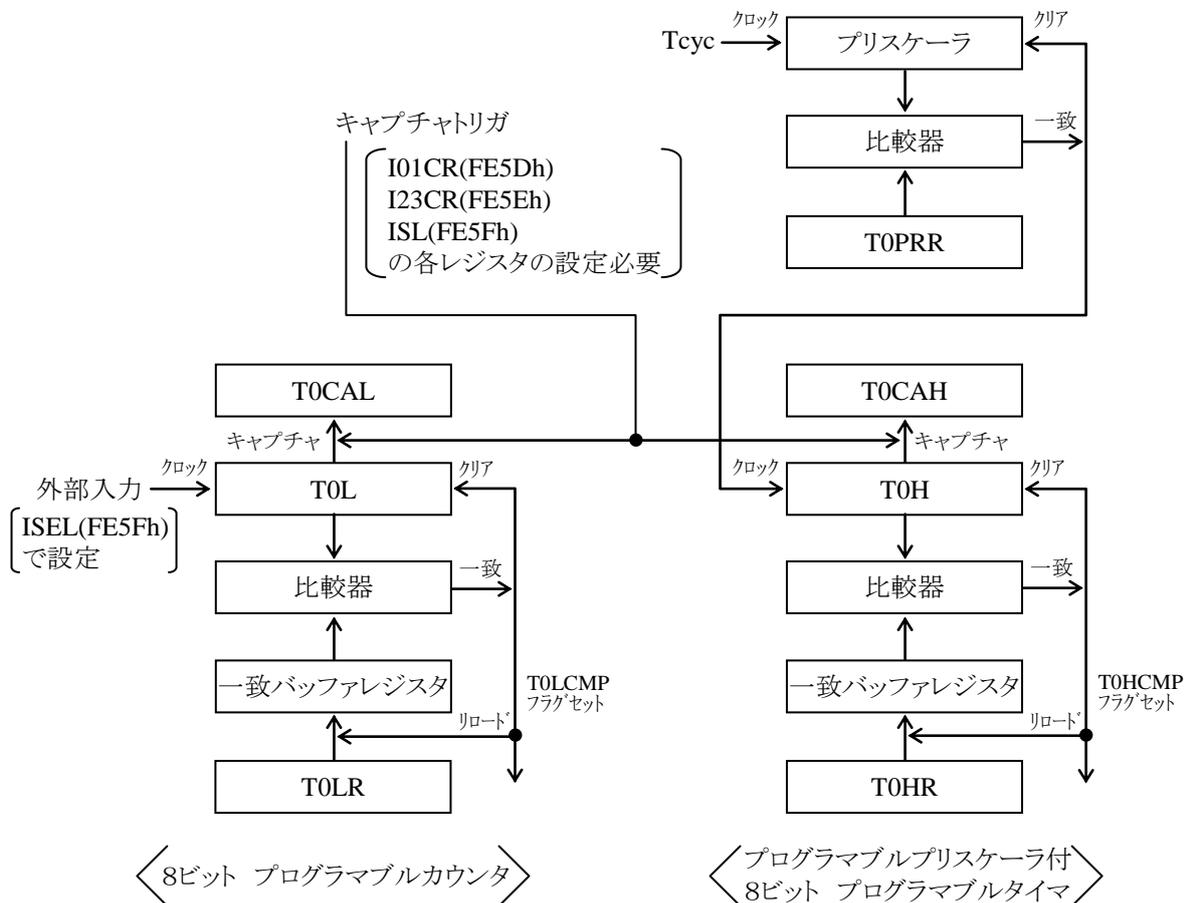


図 3-6-2 モード1 (T0LONG=0, T0LEXT=1) ブロック図

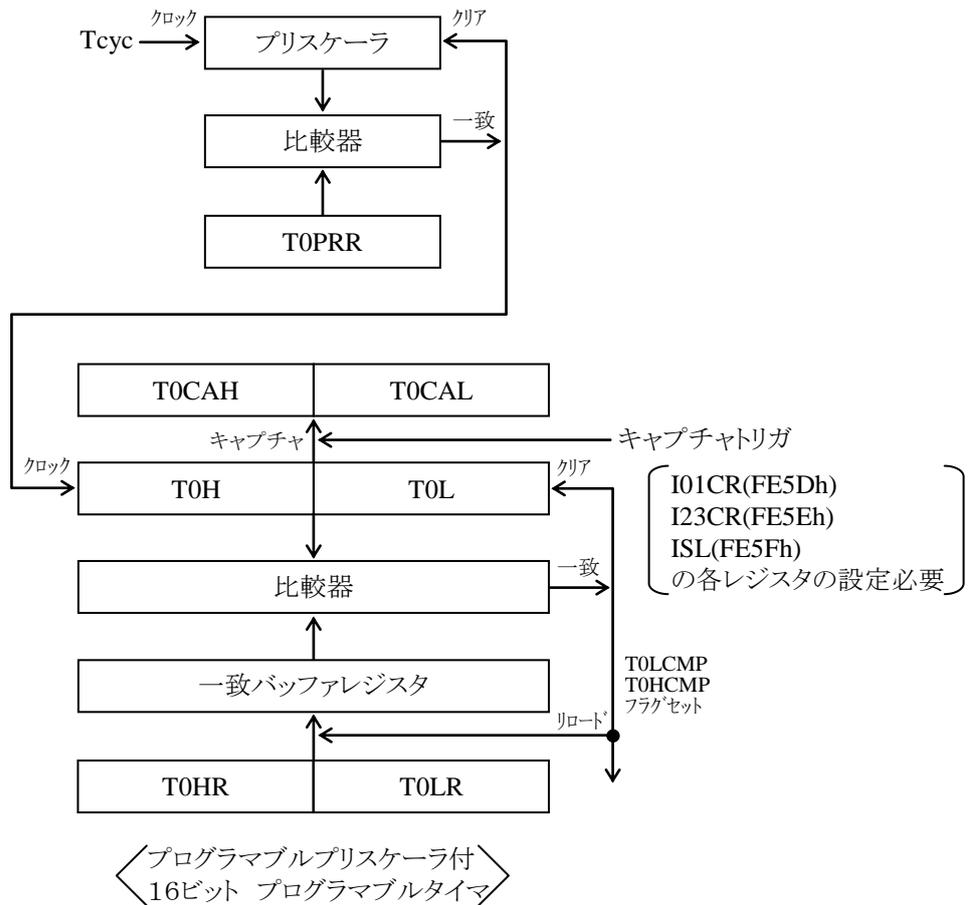


図 3-6-3 モード2 (TOLONG = 1, TOLEXT = 0) ブロック図

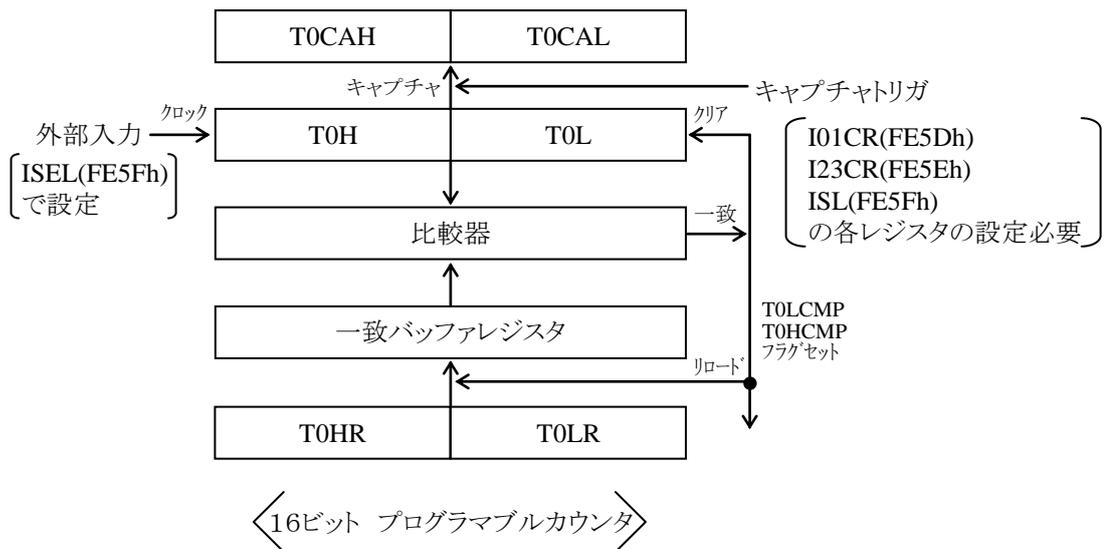


図 3-6-4 モード3 (TOLONG = 1, TOLEXT = 1) ブロック図

T0

3-4-4 関連レジスタ

3-4-4-1 タイマ/カウンタ0制御レジスタ(T0CNT)

①T0L, T0Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN(ビット7): T0Hカウント制御

このビットが0の時タイマ/カウンタ0上位(T0H)は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。

このビットが1の時タイマ/カウンタ0上位(T0H)は、所定のカウント動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN(ビット6): T0Lカウント制御

このビットが0の時タイマ/カウンタ0下位(T0L)は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。

このビットが1の時タイマ/カウンタ0下位(T0L)は、所定のカウント動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG(ビット5): タイマ/カウンタ0ビット長選択

このビットが0の時タイマ/カウンタ0は上位と下位の独立した8ビットのタイマ/カウンタとなります。

このビットが1の時タイマ/カウンタ0は16ビットのタイマ/カウンタとなります。また、T0H, T0Lで構成される16ビットのカウント値とT0H, T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT(ビット4): T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケアラの一致信号となります。

このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP(ビット3): T0H一致フラグ

T0Hが動作している(T0HRUN=1)時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE(ビット2): T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

TOLCMP (ビット1) : TOL一致フラグ

TOLが動作している(TOLRUN=1)時に、TOLの値とTOLの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(TOLONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

TOLIE (ビット0) : TOL割り込み要求発生許可制御

このビットとTOLCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意 :

- ・TOHCMP, TOLCMPは命令で0にしてください。
- ・16ビットモードで使用する時は、TOLRUNとTOHRUNは同時に同じ値を設定して、動作を制御してください。
- ・16ビットモードでは、TOLCMPとTOHCMPは同時にセットされます。

3-4-4-2 タイマ0プログラマブルプリスケーラー 一致レジスタ(TOPRR)

①タイマ0プログラマブルプリスケーラー 一致レジスタは、タイマ/カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

②TOPRRにデータを書き込むと、プリスケーラーのカウンタ値は0からスタートします。

③ $Tpr = (TOPRR + 1) \times Tcyc$ Tcyc = サイクルクロックの周期

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0

3-4-4-3 タイマ/カウンタ0下位(TOL)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケーラーの一致信号、または、外部信号をカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	TOL	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0

3-4-4-4 タイマ/カウンタ0上位(TOH)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケーラーの一致信号、または、TOLのオーバフローをカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	TOH	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0

3-4-4-5 タイマ/カウンタ0一致データレジスタ下位(TOLR)

①TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)

②一致バッファレジスタの更新は以下のように行われます。

非動作時(TOLRUN=0)には、TOLRと一致レジスタは同値となる。

動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	TOLR	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0

T0

3-4-4-6 タイマ/カウンタ0一致データレジスタ上位 (TOHR)

- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時 (TOHRUN=0)には、TOHRと一致レジスタは同値となる。
動作時 (TOHRUN=1)には、一致バッファレジスタは一致信号の発生時にTOHRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	TOHR	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0

3-4-4-7 タイマ/カウンタ0キャプチャレジスタ下位 (TOCAL)

- ① 外部入力検出信号により、タイマ/カウンタ0下位 (TOL)の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	TOCAL	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0

3-4-4-8 タイマ/カウンタ0キャプチャレジスタ上位 (TOCAH) (8ビットレジスタ)

- ① 外部入力検出信号により、タイマ/カウンタ0上位 (TOH)の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	TOCAH	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0

3-5 タイマカウンタ1 (T1)

3-5-1 概要

本シリーズが内蔵しているタイマ／カウンタ1 (T1)は、次の4つの機能を持ったプリスケール付きの16ビットのタイマ／カウンタです。

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付)
+ 8ビットプログラマブルタイマ／カウンタ(トグル出力付)
- ②モード1: 8ビットプリスケール付き8ビットPWM×2ch
- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付)(下位8ビットはトグル出力付タイマ／カウンタとして使用可能)
- ④モード3: 8ビットプリスケール付き16ビットプログラマブルタイマ(トグル出力付)(下位8ビットはPWMして使用可能)

3-5-2 機能

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付)
+ 8ビットプログラマブルタイマ／カウンタ(トグル出力付)

- ・T1Lはサイクルクロックを2分周した信号または、外部イベントをカウントする8ビットのプログラマブルタイマ／カウンタとして動作し、T1Hはサイクルクロックを2分周した信号をカウントする8ビットのプログラマブルタイマとして動作します。
- ・サイクルクロックを2分周した信号をクロックとして、2つの独立した8ビットのプログラマブルタイマ(T1L,T1H)が動作します。
- ・T1PWML, T1PWMHは、それぞれT1L, T1Hの周期毎にトグルする信号を発生します。(注1)

$T1L$ の周期 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times 2T_{cyc}$ または
 $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数})$ 回のイベント検出

$T1PWML$ の周期 = $T1L$ の周期 $\times 2$

$T1H$ の周期 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times 2T_{cyc}$

$T1PWMH$ の周期 = $T1H$ の周期 $\times 2$

- ②モード1: 8ビットプリスケール付き8ビットPWM×2ch

サイクルクロックをクロックとして、2つの独立した8ビットPWM(T1PWML, T1PWMH)が動作します。

$T1PWML$ の周期 = $256 \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

$T1PWML$ のLOWの期間 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

$T1PWMH$ の周期 = $256 \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

$T1PWMH$ のLOWの期間 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付)(下位8ビットはトグル出力付タイマ／カウンタとして使用可能)

- ・サイクルクロックを2分周した信号または、外部イベントをカウントするクロックとして、16ビットのプログラマブルタイマ／カウンタが動作します。また、下位8ビットタイマ(T1L)の割り込みはT1Lの周期で発生可能なので、下位8ビットを基準タイマとして使用できます。
- ・T1PWML, T1PWMHは、それぞれT1L, T1の周期毎にトグルする信号を発生します。(注1)

$T1L$ の周期 = $(T1LR + 1) \times (T1LPRC$ 設定カウント数) $\times 2T_{cyc}$ または
 $(T1LR + 1) \times (T1LPRC$ 設定カウント数) 回のイベント検出

$T1PWML$ の周期 = $T1L$ の周期 $\times 2$

$T1$ の周期 = $(T1HR + 1) \times (T1HPRC$ 設定カウント数) $\times T1L$ 周期 または
 $(T1HR + 1) \times (T1HPRC$ 設定カウント数) $\times (T1LR + 1) \times (T1LPRC$ 設定
 カウント数) 回のイベント検出

$T1PWMH$ の周期 = $T1$ の周期 $\times 2$

④モード3: 8ビットプリスケアラ付き16ビットプログラマブルタイマ(トグル出力付)(下位
 8ビットはPWMとして使用可能)

- ・サイクルクロックをクロックとして、16ビットプログラマブルタイマが動作します。
- ・下位8ビットは周期 $256T_{cyc}$ のPWM($T1PWML$)として動作します。
- ・ $T1PWMH$ は $T1$ の周期毎にトグルする信号を発生します。(注1)

$T1PWML$ の周期 = $256 \times (T1LPRC$ 設定カウント数) $\times T_{cyc}$

$T1PWML$ のLOWの期間 = $(T1LR + 1) \times (T1LPRC$ 設定カウント数) $\times T_{cyc}$

$T1$ の周期 = $(T1HR + 1) \times (T1HPRC$ 設定カウント数) $\times T1PWML$ 周期

$T1PWMH$ の周期 = $T1$ の周期 $\times 2$

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマ $T1L$ または $T1H$ のカウンタ
 周期で、 $T1L$ または $T1H$ 割り込み要求を発生します。

⑥タイマ1($T1$)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ $T1CNT$, $T1L$, $T1H$, $T1LR$, $T1HR$, $T1PRR$
- ・ $P1$, $P1DDR$, $P1FCR$
- ・ $I45CR$, $I45SL$

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1PRC2	T1LPRC1	T1LPRC0

注1) $T1L$ 動作停止時、 $T1PWML$ 出力はHIGH固定となり、 $T1L$ 動作時、 $T1LR = FFH$ の時、 $T1PWML$ 出力はLOW固定となります。また、 $T1H$ 動作停止時、 $T1PWMH$ 出力はHIGH固定となり、 $T1H$ 動作時、 $T1HR = FFH$ の時、 $T1PWMH$ 出力は、LOW固定となります。

T1

3-5-3 回路構成

3-5-3-1 タイマ1制御レジスタ(T1CNT) (8ビットレジスタ)

①T1L, T1Hの動作, 割り込みの制御を行います。

3-5-3-2 タイマ1プリスケアラ制御レジスタ(T1PRR) (8ビットカウンタ)

①T1L, T1Hのクロックを設定します。

3-5-3-3 タイマ1下位プリスケアラ (8ビットカウンタ)

①動作開始/停止:T1LRUN(タイマ1制御レジスタのビット6)の0/1により、停止/動作が制御されます。

②カウントクロック:モードにより異なります。

モード	T1LONG	T1PWM	T1Lプリスケアラのカウントクロック
0	0	0	2Tcyc/イベント(注1)
1	0	1	1Tcyc(注2)
2	1	0	2Tcyc/イベント(注1)
3	1	1	1Tcyc(注2)

注1)外部割り込み4, 5端子選択レジスタ(I45SL)で、タイマ1のカウントクロック入力としてINT4が指定されると、T1Lはイベントカウンタとなり、タイマ1のカウントクロック入力としてINT4が指定されないとT1Lは2Tcycをカウントクロックとするタイマとなります。

注2)T1PWM=1の時、INT4でタイマ1のカウントクロック入力を指定すると、正常に動作しませんので、T1PWM=1の時は、INT4ではタイマ1のカウント入力を指定しないでください。

③プリスケアラカウント数:T1PRCの値でカウント数が設定されます。

設定カウント毎にT1Lのカウントクロックを出力します。

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット:動作停止時、またはT1Lのリセット発生時。

3-5-3-4 タイマ1上位プリスケアラ (8ビットカウンタ)

①動作開始/停止: T1HRUN(タイマ1制御レジスタのビット7)の0/1により、停止/動作が制御されます。

②カウンタクロック: モードにより異なります。

モード	T1LONG	T1PWM	T1Hプリスケアラのカウンタクロック
0	0	0	2T _{cyc}
1	0	1	1T _{cyc}
2	1	0	T1Lの一致信号
3	1	1	256 × (T1LPRC設定カウンタ数) × T _{cyc}

③プリスケアラカウンタ数: T1PRCの値でカウンタ数が設定されます。
設定カウンタ毎にT1Hのカウンタクロックを出力します。

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウンタ数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット: 動作停止時、またはT1Hのリセット発生時。

3-5-3-5 タイマ1下位(T1L) (8ビットカウンタ)

①動作開始/停止: T1LRUN(タイマ1制御レジスタのビット6)の0/1により、停止/動作が制御されます。

②カウンタクロック: T1Lプリスケアラの出力クロック

③一致信号: カウンタ値が一致バッファレジスタの値と一致すると一致信号を発生する。

④リセット: 動作停止時、またはモード0、2の時の一致信号の発生時。

3-5-3-6 タイマ1上位(T1H) (8ビットカウンタ)

①動作開始/停止: T1HRUN(タイマ制御レジスタのビット7)の0/1により、停止/動作が制御されます。

②カウンタクロック: T1Hプリスケアラの出力クロック

③一致信号: カウンタ値が一致バッファレジスタの値と一致すると一致信号を発生する。

④リセット: 動作停止時、またはモード0、2、3の時の一致信号の発生時。

T1

3-5-3-7 タイマ1一致データレジスタ下位 (T1LR) (一致バッファレジスタ付8ビットレジスタ)

- ① T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位 (T1L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時 (T1LRUN=0) には、T1LRと一致レジスタは同値となる。
動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

3-5-3-8 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付8ビットレジスタ)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。
動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

3-5-3-9 タイマ1下位出力 (T1PWML)

- ① T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR=FFHの時、T1PWML出力はLOW固定となります。
- ② T1PWM(タイマ0制御レジスタのビット4)が0の時、T1Lの一致信号で変化するトグル出力。
- ③ T1PWM(タイマ0制御レジスタのビット4)が1の時、T1Lのオーバフローでクリアされ、一致信号でセットされるPWM出力。

3-5-3-10 タイマ1上位出力 (T1PWMH)

- ① T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR=FFHの時、T1PWMH出力はLOW固定となります。
- ② T1PWM=0またはT1LONG=1の時、T1Hの一致信号で変化するトグル出力。
- ③ T1PWM=1かつT1LONG=0の時、T1Hのオーバフローでクリアされ、一致信号でセットされるPWM出力。

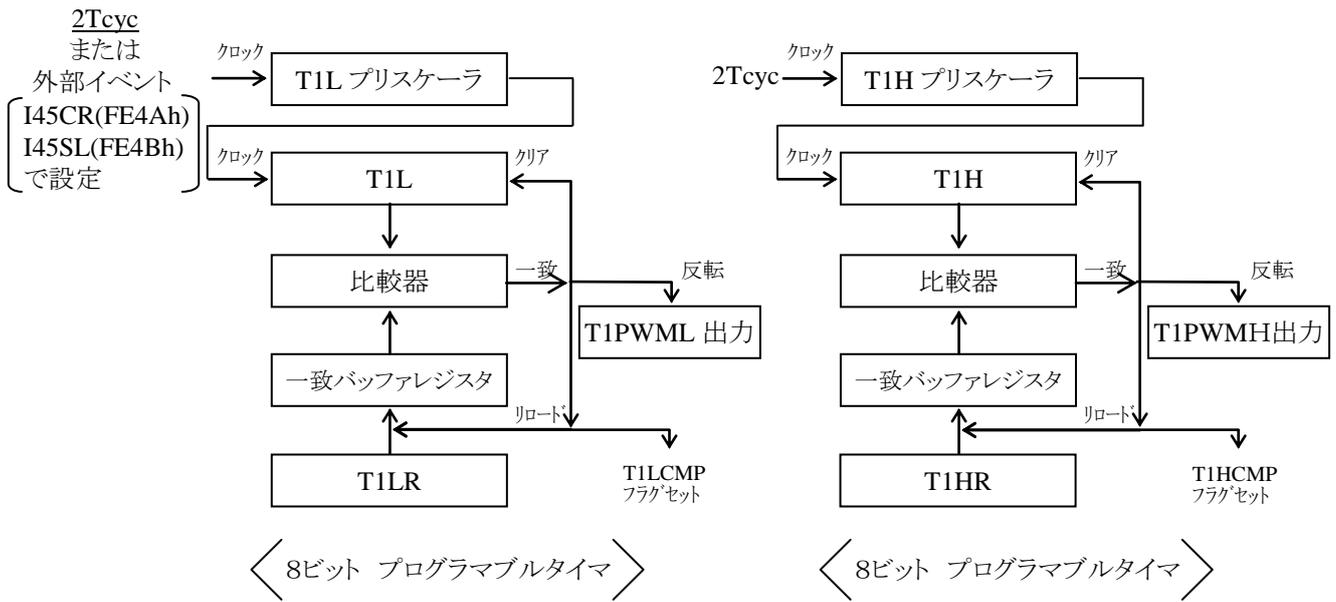


図 3-7-1 モード0 (T1LONG=0, T1PWM=0) ブロック図

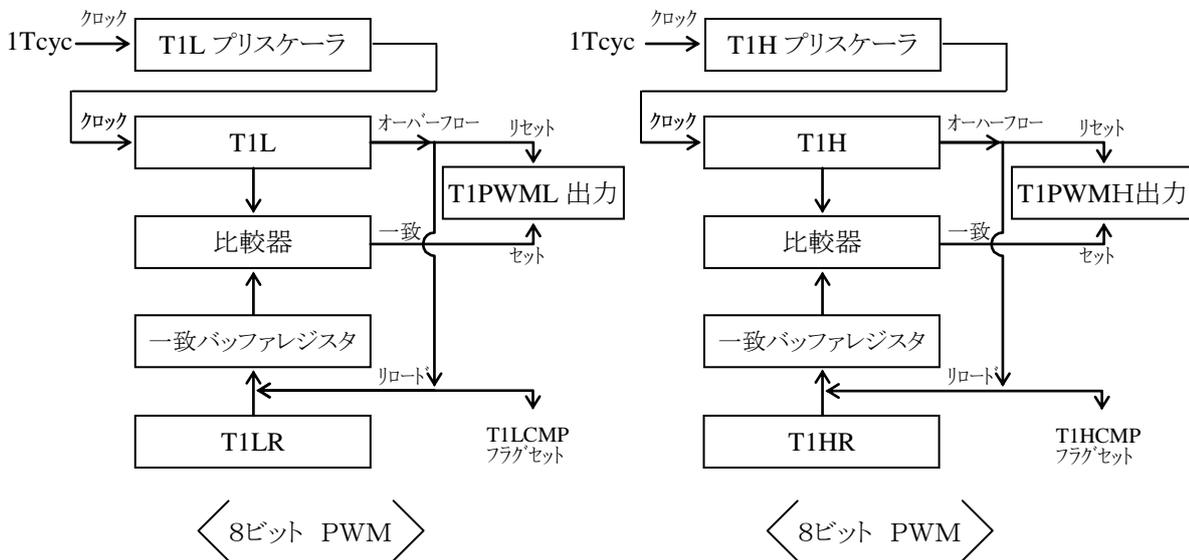


図 3-7-2 モード1 (T1LONG=0, T1PWM=1) ブロック図

T1

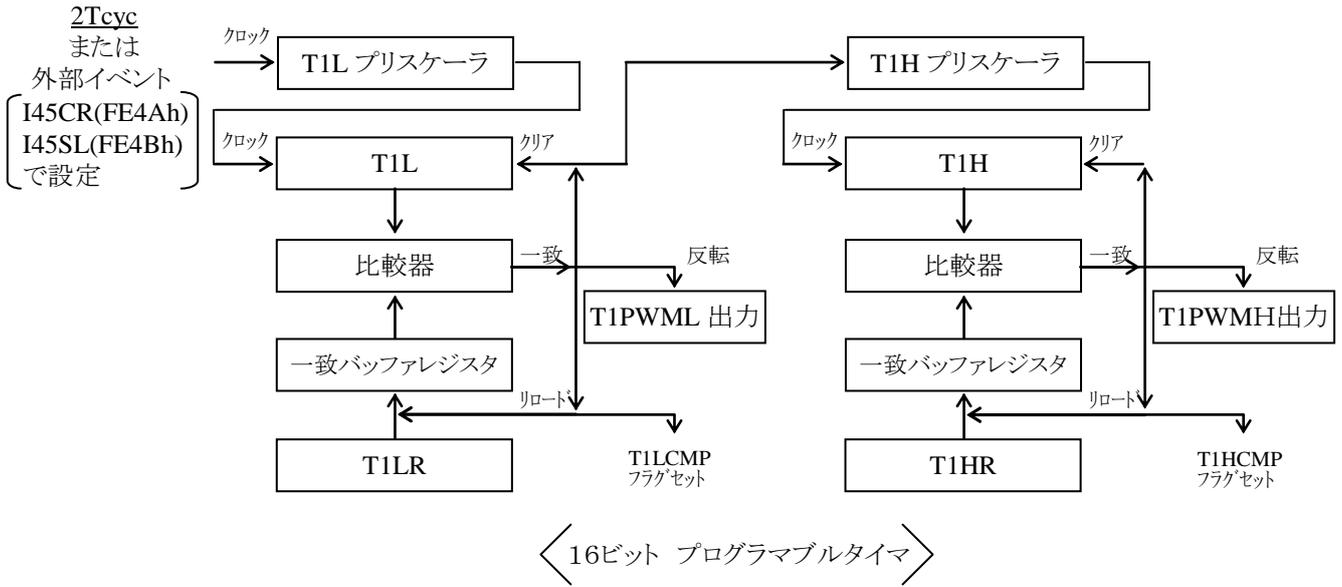


図 3-7-3 モード2 (T1LONG = 1, T1PWM = 0) ブロック図

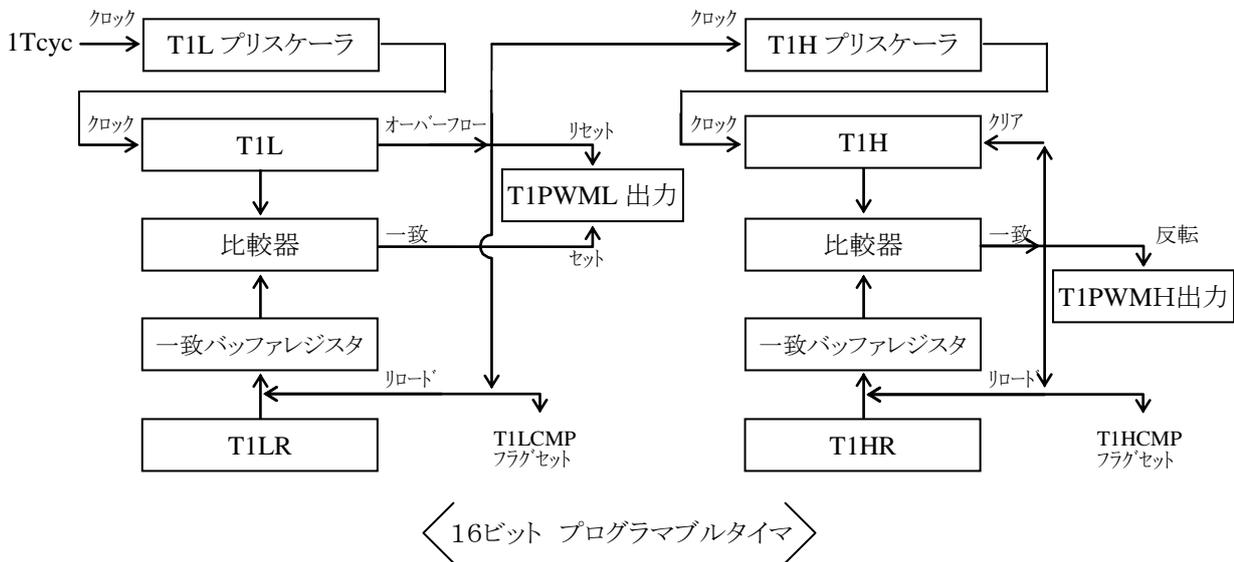


図 3-7-4 モード3 (T1LONG = 1, T1PWM = 1) ブロック図

3-5-4 関連レジスタ

3-5-4-1 タイマ1制御レジスタ(T1CNT)

①T1L, T1Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE

T1HRUN(ビット7): T1Hカウント制御

このビットが0の時タイマ1上位(T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。

このビットが1の時タイマ1上位(T1H)は、所定のカウント動作を行います。

T1LRUN(ビット6): T1Lカウント制御

このビットが0の時タイマ1下位(T1L)は、カウント値0で停止し、T1Lの一致バッファレジスタ値はT1LRの値と同じです。

このビットが1の時タイマ1下位(T1L)は、所定のカウント動作を行います。

T1LONG(ビット5): タイマ1ビット長選択

このビットが0の時タイマ1は上位と下位の独立した8ビットのタイマとなります。

このビットが1の時タイマ1上位(T1H)はタイマ1下位(T1L)の周期でカウントアップしますので、タイマ1は16ビットのタイマとなります。

また、このビットの値に関わらず、T1H, T1Lそれぞれのカウンタ値と一致バッファレジスタの内容が一致した時に、T1H, T1Lで独立に一致信号が発生します。

T1PWM(ビット4): T1出力モード選択

このビットとT1LONG(ビット5)でT1出力(T1PWMH, T1PWML)を表3-7-1のように設定します。

表3-7-1 タイマ1出力(T1PWMH, T1PWML)

モード	T1LONG	T1PWM	T1PWMH	T1PWML
0	0	0	トグル出力 周期:(T1HR+1)×(T1HPRC 設定カウント数)×4×Tcyc	トグル出力 周期:(T1LR+1)×(T1LPRC 設定カウント数)×4×Tcyc または 周期:2(T1LR+1)×(T1LPRC 設定カウント数)イベント
1	0	1	PWM出力 周期:256×(T1HPRC 設定カウント数)×Tcyc	PWM出力 周期:256×(T1LPRC 設定カウント数)×Tcyc
2	1	0	トグル出力 周期:(T1HR+1)×(T1HPRC 設定カウント数)×(T1PWML 周期) または 周期:2(T1HR+1)×(T1HPRC 設定カウント数)×(T1LR+1)×(T1LPRC)イベント	トグル出力 周期:(T1LR+1)×(T1LPRC 設定カウント数)×4×Tcyc または 周期:2(T1LR+1)×(T1LPRC 設定カウント数)イベント
3	1	1	トグル出力 周期:(T1HR+1)×(T1HPRC 設定カウント数)×(T1PWML 周期)×2	PWM出力 周期:256×(T1LPRC 設定カウント数)×Tcyc

T1HCMP(ビット3): T1H一致フラグ

T1Hが動作している(T1HRUN=1)場合、T1Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1

T1HIE (ビット2) : T1H 割り込み要求発生許可制御

このビットとT1HCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

T1LCMP (ビット1) : T1L 一致フラグ

T1Lが動作している(T1LRUN=1)場合、T1Lが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1LIE (ビット0) : T1L 割り込み要求発生許可制御

このビットとT1LCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

注意 :

- ・T1HCMP, T1LCMPは命令で0にしてください。

3-5-4-2 タイマ1プリスケアラ制御レジスタ(T1PRR)

①タイマ1プリスケアラのカウンタ数を設定します。

②タイマ動作途中でレジスタ設定値を変更した場合、そのプリスケアラカウンタ数がプリスケアラ動作に反映されるのは、タイマ(T1L, T1H)の一致バッファレジスタの更新と同一タイミングになります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0

T1HPRE (ビット7) : タイマ1上位プリスケアラ制御

T1HPRC2 (ビット6) : タイマ1上位プリスケアラ制御

T1HPRC1 (ビット5) : タイマ1上位プリスケアラ制御

T1HPRC0 (ビット4) : タイマ1上位プリスケアラ制御

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウンタ数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

T1LPRE (ビット3) : タイマ1下位プリスケアラ制御

T1LPRC2 (ビット2) : タイマ1下位プリスケアラ制御

T1LPRC1 (ビット1) : タイマ1下位プリスケアラ制御

T1LPRC0 (ビット0) : タイマ1下位プリスケアラ制御

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケーラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

3-5-4-3 タイマ1下位 (T1L)

①読み出し専用の8ビットのタイマです。T1Lプリスケーラの出カクロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0

3-5-4-4 タイマ1上位 (T1H)

①読み出し専用の8ビットのタイマです。T1Hプリスケーラの出カクロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0

3-5-4-5 タイマ1一致データレジスタ下位 (T1LR)

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時 (T1LRUN=0) には、T1LRと一致レジスタは同値となる。

動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0

3-5-4-6 タイマ1一致データレジスタ上位 (T1HR)

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。

動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

T1

モード 0,2

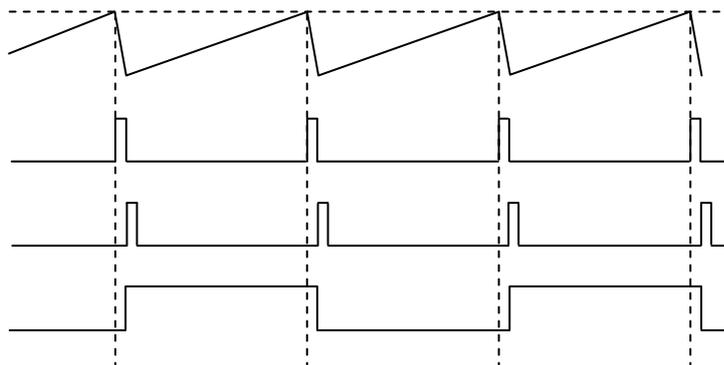
一致バッファレジスタ値

T1L, T1H

一致信号

割り込みフラグセット

T1PWML, T1PVMH



モード 1

カウンタ値=FFH

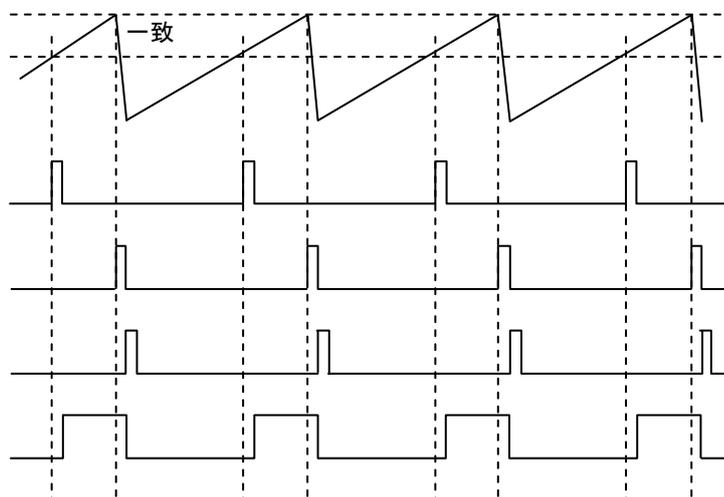
T1L, T1H

一致信号

カウンタ値=FFH

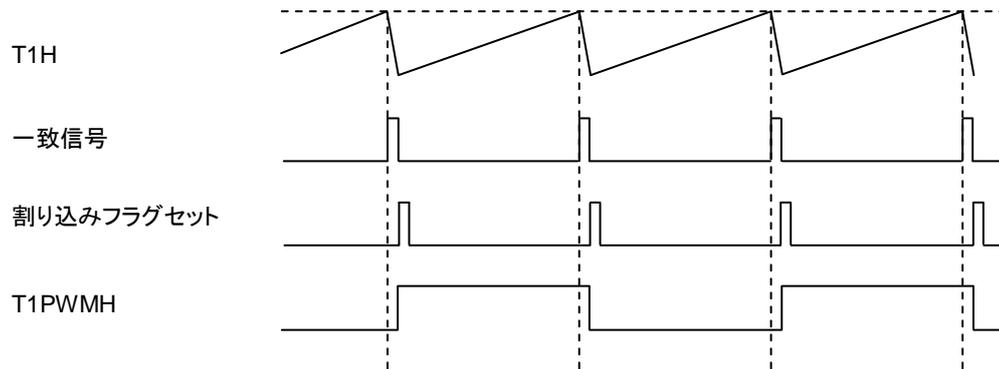
割り込みフラグセット

T1PWML, T1PVMH

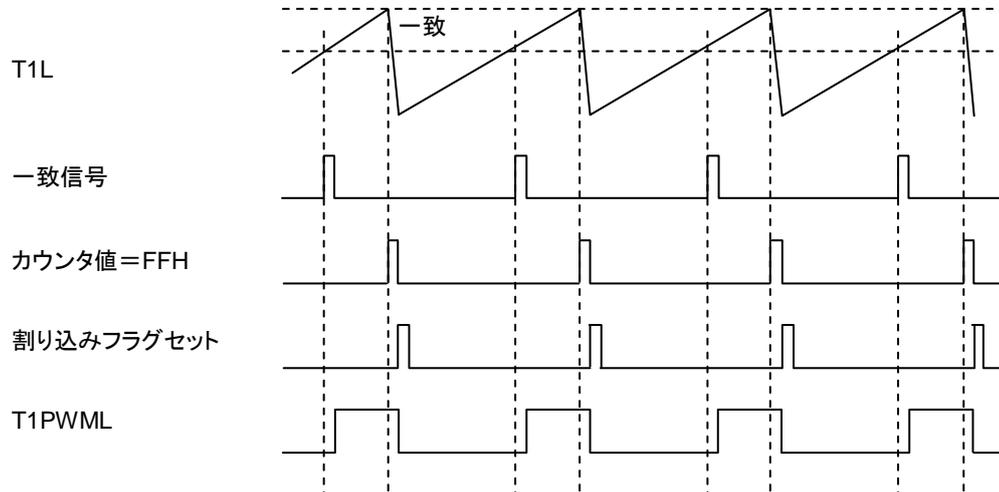


モード3

一致バッファレジスタ値



カウンタ値=FFH



3-6 ベースタイマ (BT)

3-6-1 概要

本シリーズが内蔵しているベースタイマ (BT) は、次に示す4つの機能を持った14ビットのバイナリアップカウンタです。

- ① 時計用タイマ
- ② 14ビットバイナリアップカウンタ (プログラマブルプリスケアラ付き)
- ③ 早送りモード (6ビットベースタイマ使用時)
- ④ ブザー出力機能
- ⑤ X'talホールドモード解除機能

3-6-2 機能

① 時計用タイマ

ベースタイマのカウントクロックに32.768kHzのサブクロックを使用した場合に、0.5秒間隔の時計ができます。ベースタイマのカウントクロックとして、「サイクルクロック」、「タイマ/カウンタ0のプリスケアラ出力」、「サブクロック」、「低速RC発振クロック」の4種類のうちのひとつを入力信号選択レジスタ (ISL) で指定します。

② 14ビットバイナリアップカウンタ (プログラマブルプリスケアラ付き)

8ビットプログラマブルプリスケアラの出力クロックで動作する8ビットバイナリアップカウンタと6ビットバイナリアップカウンタを用いることによって、14ビットバイナリアップカウンタとして使用できます。これらのカウンタはプログラムでクリアできます。

③ 早送りモード (6ビットベースタイマ使用時)

ベースタイマを6ビットで使用すると、カウントクロックに32.768kHzのサブクロックを使用した場合に、約2ms間隔の時計ができます。ビット長の切り換えは、ベースタイマ制御レジスタ (BTCR) で指定します。

④ ブザー出力機能

プログラマブルプリスケアラの出力クロック×8分周した信号をブザー信号として出力できます。ブザー信号出力制御は、入力信号選択レジスタ (ISL) で指定します。尚、ブザー出力はHPWM2出力との選択で、P17端子から出力可能です。

⑤ 割り込みの発生

割り込み要求許可ビットがセットされている場合、ベースタイマからの割り込み要求が発生すると、ベクタアドレス001BHへの割り込み要求が発生します。ベースタイマからの割り込み要求には、「ベースタイマ割り込み0」と「ベースタイマ割り込み1」の2種類があります。

⑥ X'talホールドモード時の動作とX'talホールドモードの解除機能

ベースタイマのカウンタクロックにサブクロックまたは低速RC発振クロックを選択して、パワー制御レジスタ(PCON)のビット2をセットすることにより、X'talホールドモード時のベースタイマの動作が可能になります。また、このX'talホールドモードの解除をベースタイマの割り込みで行うことができます。

この機能により、低消費電流間欠動作が実現できます。

⑦ ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, BTPRR, ISL, P1, P1DDR, P1FCR, HPWM2AL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE3D	0000 0000	R/W	BTPRR	BTPRR7	BTPRR6	BTPRR5	BTPRR4	BTPRR3	BTPRR2	BTPRR1	BTPRR0
FE5F	0000 0000	R/W	ISL	STOHCP	STOLCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN

3-6-3 回路構成

3-6-3-1 8ビットプログラマブルプリスケアラ

- ① 入力信号選択レジスタ(ISL)で選択された信号をクロックとする8ビットプログラマブルプリスケアラです。プログラマブルプリスケアラ一致レジスタ(BTPRR)の値と一致すると一致信号を発生します。この一致信号は、後段のバイナリアップカウンタへのクロックとなります。
- ② このカウンタは、BTON(BTCRのビット6) = 0(ベースタイマ動作停止), 一致信号の発生, BTPRRへのデータ書き込み, ホールドモード状態の条件でリセットされます。

3-6-3-2 8ビットバイナリアップカウンタ

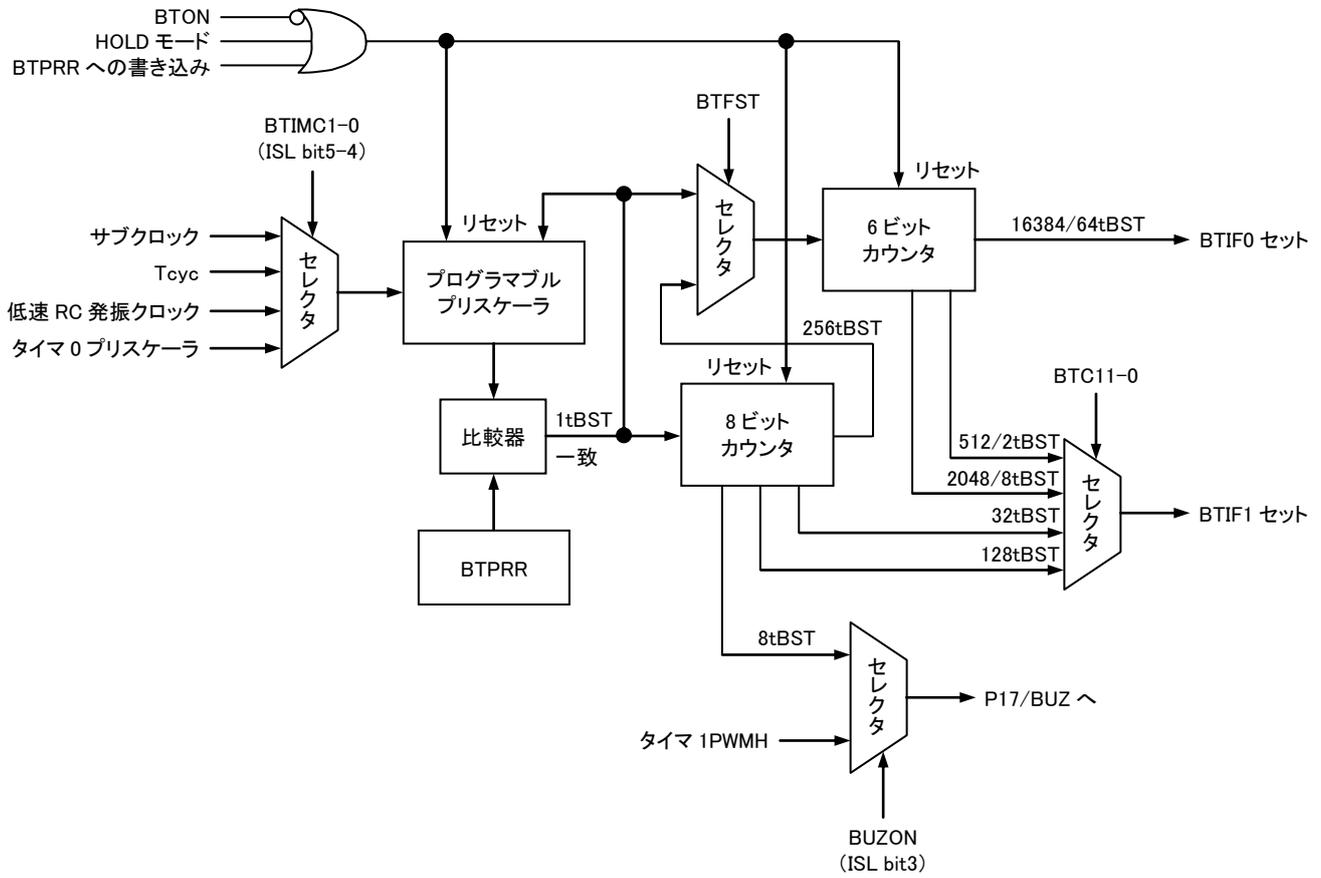
- ① プログラマブルプリスケアラの一致信号をクロックとする8ビットバイナリアップカウンタです。ブザー出力信号やベースタイマ割り込み1フラグのセット信号などを発生します。このカウンタのオーバーフローが6ビットバイナリアップカウンタのクロックとなります。
- ② このカウンタは、BTON(BTCRのビット6) = 0(ベースタイマ動作停止), BTPRRへのデータ書き込み, ホールドモード状態の条件でリセットされます。

3-6-3-3 6ビットバイナリアップカウンタ

- ① プログラマブルプリスケアラの一致信号または8ビットバイナリアップカウンタのオーバーフローをクロックとする6ビットバイナリアップカウンタで、ベースタイマ割り込み0, 1のセット信号を発生します。入力クロックの切り換えは、ベースタイマ制御レジスタ(BTCR)で行います。
- ② このカウンタは、BTON(BTCRのビット6) = 0(ベースタイマ動作停止), BTPRRへのデータ書き込み, ホールドモード状態の条件でリセットされます。

3-6-3-4 ベースタイマ入力クロック源

- ① ベースタイマの入力クロックは、「サイクルクロック」, 「タイマ/カウンタ0のプリスケアラ出力」, 「サブクロック」, 「低速RC発振クロック」の4種類から入力信号選択レジスタ(ISL)で選択します。



※tBST: (BTPRR 設定値+1) × BTIMC1~0 (ISL の bit5~4) で選択されたベースタイム入力クロックの周期

図 3-9-1 ベースタイムブロック図

3-6-4 関連レジスタ

3-6-4-1 ベースタイマ制御レジスタ(BTCR)

① ベースタイマの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0

BTFST(ビット7): ベースタイマ割り込み0周期制御

ベースタイマ割り込み0要因発生の周期を選択します。

このビットが“1”の時、6ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。また、オーバーフローの発生間隔は64tBSTとなります。

このビットが“0”の時、14ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。また、オーバーフローの発生間隔は16384tBSTとなります。

早送りモードを使用する場合は“1”を設定します。

$tBST: (BTPRR \text{ 設定値} + 1) \times BTIMC1 \sim 0$ (ISLのビット5~4) で選
 択されたベースタイマ入力クロックの周期

BTON(ビット6): ベースタイマ動作制御

このビットが“0”の時ベースタイマは、カウント値0で停止します。

このビットが“1”の時ベースタイマは、動作を行います。

BTC11(ビット5): ベースタイマ割り込み1周期制御

BTC10(ビット4): ベースタイマ割り込み1周期制御

BTFST	BTC11	BTC10	ベースタイマ割り込み0周期	ベースタイマ割り込み1周期
0	0	0	16384tBST	32tBST
0	0	1	16384tBST	128tBST
0	1	0	16384tBST	512tBST
0	1	1	16384tBST	2048tBST
1	0	0	64tBST	32tBST
1	0	1	64tBST	128tBST
1	1	0	64tBST	2tBST
1	1	1	64tBST	8tBST

BTIF1(ビット3): ベースタイマ割り込み1フラグ

BTFST, BTC11, BTC10で設定されたベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE1(ビット2): ベースタイマ割り込み1要求発生許可制御

このビットとBTIF1がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

BTIF0(ビット1): ベースタイマ割り込み0フラグ

BTFSTで設定されたベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BT

BTIE0(ビット0): ベースタイマ割り込み0要求発生許可制御

このビットとBTIF0がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

注意:

- ベースタイマ割り込み周期毎にフラグ(BTIF1, BTIF0)がセットされる条件として、サイクルクロックの周期(Tcyc)とベースタイマ割り込み周期の関係が下記を満たすように設定してください。

サイクルクロックの周期(Tcyc) < ベースタイマ割り込み周期 ÷ 2

但し、実際にはプログラム処理(割り込み処理ルーチンなど)が介在しますので、その時間も考慮して、最適な割り込み周期を設定してください。

- ベースタイマ動作時、BTC11, BTC10を書き換えると、BTIF1が“1”になることがありますので注意してください。
- ベースタイマのクロックソースにメインクロックまたはサブクロックが選択されている場合、ベースタイマを動作させた状態でスタンバイモードに突入すると、モードによっては発振が停止し、解除時に発振が開始されますが、発振安定時間がとれない為、ベースタイマにカウントミスが発生します。この場合、スタンバイモードに入る前にベースタイマを停止することをお奨めします。
(スタンバイモード時の発振回路の状態は「4-2 システムクロック発生機能」を参照ください)
- ベースタイマのクロックソースに水晶発振(サブクロック)が選択されている場合、ホールドモード解除時の発振安定時間がとれない為、ベースタイマにカウントミスが発生します。この場合、ホールドモード突入前にベースタイマを停止することをお奨めします。
(スタンバイモード時の発振回路の状態は「4-2 システムクロック発生機能」を参照ください)
- ベースタイマ動作中にベースタイマクロックを変更する(ISLのビット5, 4の値を変更)とベースタイマにカウントミスが発生しますので、ベースタイマの動作を停止してから変更してください。

3-6-4-2 ベースタイマプログラマブルプリスケラ 致レジスタ(BTPRR)

- ① 8ビット/6ビットバイナリアップカウンタのクロック周期(tBST)の設定を行う8ビットのレジスタです。
- ② BTPRRにデータを書き込むと、プリスケラとバイナリアップカウンタはカウント値“0”にリセットされます。
- ③ $tBST = (BTPRR\text{設定値} + 1) \times \text{ベースタイマ入力クロックの周期}$

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3D	0000 0000	R/W	BTPRR	BTPRR7	BTPRR6	BTPRR5	BTPRR4	BTPRR3	BTPRR2	BTPRR1	BTPRR0

3-6-4-3 入力信号選択レジスタ(ISL)

- ① タイマ0の入力, ノイズフィルタのサンプリングクロック選択, ブザー出力/タイマ1PW MH出力選択, ベースタイマのクロック選択の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN

ST0HCP(ビット7): タイマ0Hキャプチャ信号入力ポート選択

ST0LCP(ビット6): タイマ0Lキャプチャ信号入力ポート選択

上記2ビットは、ベースタイマの制御には関係ありません。

BTIMC1(ビット5): ベースタイマクロック選択

BTIMC0 (ビット4) : ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	低速RC発振クロック
1	1	タイマ/カウンタ0のプリスケアラ出力

BUZON (ビット3) : ブザー出力許可

P17FCR (P1FCRのビット7) = “1”かつP17H2ASL (HPWM2ALのビット1) = “0”のとき、ポートP17のブザー出力の許可を行います。

“1”の設定時、ポートP17にはベースタイマクロックを分周した信号をブザー出力として転送します。

“0”の設定時、ブザー出力はLow固定となり、ポートP17はLowを転送します。

NFSEL (ビット2) : ノイズフィルタ・時定数選択

NFON (ビット1) : ノイズフィルタ・時定数選択

STOIN (ビット0) : タイマ0カウンタクロック入力ポート選択

上記3ビットは、ベースタイマの制御には関係ありません。

3-7 シリアルインタフェース1 (SIO1)

3-7-1 概要

本シリーズが内蔵しているシリアルインタフェース1 (SIO1) は、次の4つの機能を持ちます。

- ①モード0: 同期式8ビットシリアルIO
(2線式または3線式, 転送クロック2~512Tcyc)
- ②モード1: 非同期シリアル
(半二重, データ8ビット, ストップビット1, ボーレート8~2048Tcyc)
- ③モード2: BUS-マスタ(スタートビット, データ8ビット, 転送クロック2~512Tcyc)
- ④モード3: BUS-スレーブ(スタート検出, データ8ビット, ストップ検出)

3-7-2 機能

- ①モード0: 同期式8ビットシリアルIO
 - ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
 - ・内部クロックの周期は2~512Tcycの範囲で可変です。
- ②モード1: 非同期シリアル(UART)
 - ・データ8ビット, ストップビット1ビットの半二重の非同期通信を行います。
 - ・ボーレートは8~2048Tcycの範囲で可変です。
- ③モード2: BUS-マスタ
 - ・BUSのマスタコントローラとして使用します。
 - ・スタートコンディションは自動生成しますが、ストップコンディションはポートを操作して発生してください。
 - ・クロック同期を行います。転送時のバスデータを転送終了後確認できますのでモード3と合わせてマルチマスタ対応が可能です。
 - ・出力クロックの周期は2~512Tcycの範囲で可変です。
- ④モード3: BUS-スレーブ
 - ・BUSのスレーブデバイスとして使用します。
 - ・スタート/ストップコンディション検出は行いますが、アドレスの一致検出とアクノレッジの出力には、プログラムの介入が必要です。
 - ・プログラムで判断をするため、第8クロックの立ち下がりで自動的にクロックラインにLOWを出力した後、割り込みをかけることができます。
- ⑤割り込みの発生
 - 割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求を発生します。
- ⑥シリアルインタフェース1 (SIO1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・SCON1, SBUF1, SBR1
- ・P1, P1DDR, P1FCR

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SIIM1	SIIM0	SIIRUN	SIIREC	SIIDIR	SIIOVR	SIIEND	SIIE
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-7-3 回路構成

3-7-3-1 SIO1制御レジスタ(SCON1) (8ビットレジスタ)

① SIO1の動作、割り込みの制御を行います。

3-7-3-2 SIO1シフトレジスタ(SIOSF1) (8ビットシフトレジスタ)

① SIO1のデータ転送・受信のためのシフトレジスタです。

② 命令で直接アクセスできません。SBUF1をとおしてアクセスします。

3-7-3-3 SIO1データレジスタ(SBUF1) (9ビットレジスタ)

① データ転送開始時、SBUF1の下位8ビットがSIOSF1に転送されます。

② データ転送終了時、SBUF1の下位8ビットにSIOSF1の内容がはいります。モード1, 2, 3では、SBUF1のビット8に、9番目の入力データが入るのでストップビット等の確認ができます。

3-7-3-4 SIO1ボーレートジェネレータ(SBR1) (8ビットリロードカウンタ)

① 内部クロック発生用のリロードカウンタです。

② モード0, 2では2~512T_{cyc}周期、モード1では8~2048T_{cyc}周期のクロックを発生できます。

SIO1

表 3-10-1 各モードでのSIO1の動作

	同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)		
	転送 SIIREC=0	受信 SIIREC=1	転送 SIIREC=0	受信 SIIREC=1	転送 SIIREC=0	受信 SIIREC=1	転送 SIIREC=0	受信 SIIREC=1	
スタートビット	なし	なし	出力 (LOW)	入力 (LOW)	下①②参照	不要	不要	下②参照	
データ出力	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	
データ入力	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	
ストップビット	なし	←	出力 (HIGH)	入力 (H/L)	入力 (H/L)	出力 (SBUF1 bit8)	入力 (H/L)	出力 (L)	
クロック	8	←	9 (内部)	←	9	←	第 8 クロック の↓で LOW 出力	←	
動作開始	SIIRUN ↑	←	① SIIRUN ↑ ② スタートビット の検出	スタートビット の検出	① SIIRUN=1 の時の SIIEND ↓ でスタートビッ トなし ② SIIEND=0 の時の SIIRUN ↑ でスタートビッ ト付き	左の①	右の①	① SIIRUN=1 の時の SIIEND ↓ でクロックを 解放 ② SIIRUN=0 かつ SIIEND=0 の時の スタートビッ トの検出	
動作周期	2-512Tcyc	←	8-2048 Tcyc	←	2-512Tcyc	←	2-512Tcyc	←	
SIIRUN (bit5)	セ ット	命令	←	①命令 ②スタートビッ トの検出	スタートビッ トの検出	命令	既にセットさ れている	既にセットさ れている	スタートビッ トの検出
	ク リ ア	終了時	←	ストップビッ トのおわり	←	① ストップコンテ ーション検出 ② アービトレーシ ョンロスト時 (注1)	←	① ストップコンテ ーション検出 ② アクルッジ=1 の検出	←
SIIEND (bit1)	セ ット	終了時	←	ストップビッ トのおわり	←	①第 9 クロ ックの↑ ②ストップコン テーション 検出	←	①第 8 クロ ックの↓ ②ストップコン テーション 検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←

(次 ページへ続く)

表 3-10-1 (続き)

	同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)	
	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
SI1OVR (bit2)	セット ① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立 ③ スタートビット の検出	←
	クリア	←	←	←	←	←	←	←
シフトのデータ 更新	動作開始 時 SBUF1 →シフト	←	動作開始 時 SBUF1 →シフト	←	動作開始 時 SBUF1 →シフト	←	動作開始 時 SBUF1 →シフト	←
シフト→SBUF1 (bit0-7)	第 8 クロック の↑	←	8ビットデータ 転送時	8ビットデータ 受信時	第 8 クロック ↑	←	第 8 クロック ↑	←
SBUF1 bit8 の データ自動更新	なし	←	ストップビット 時に入力 データを取り 込む	←	第 9 クロック ↑に入力 データを取り 込む	←	第 9 クロック ↑に入力 データを取り 込む	←

(注1) 第1～第8クロック立ち上がり時に、内部データ出力値 = 'H' かつ、データポート = 'L' の場合、バス競合負けと判断し、SI1RUN がクリアされます(クロック送出もその時点で停止します)。

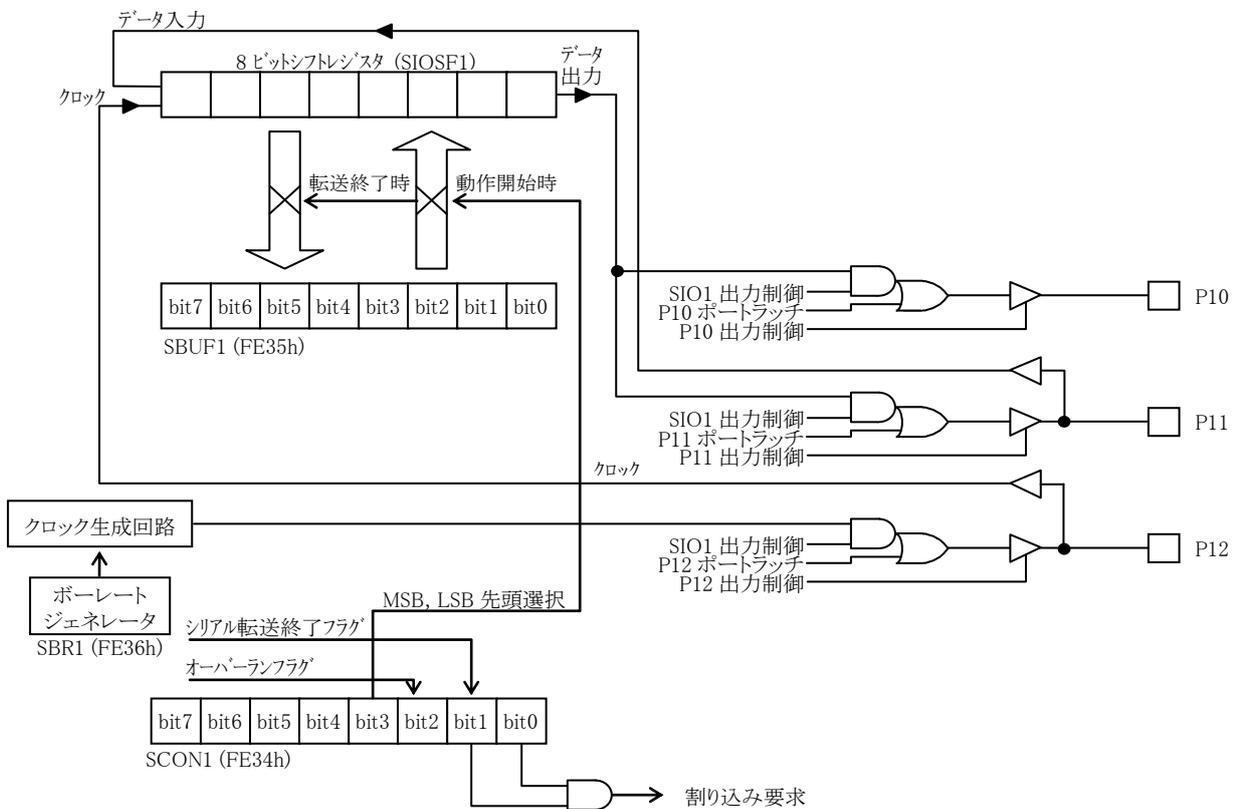


図 3-10-1 SIO1モード0:同期式8ビットシリアルI/O

(SI1M1=0, SI1M0=0) ブロック図

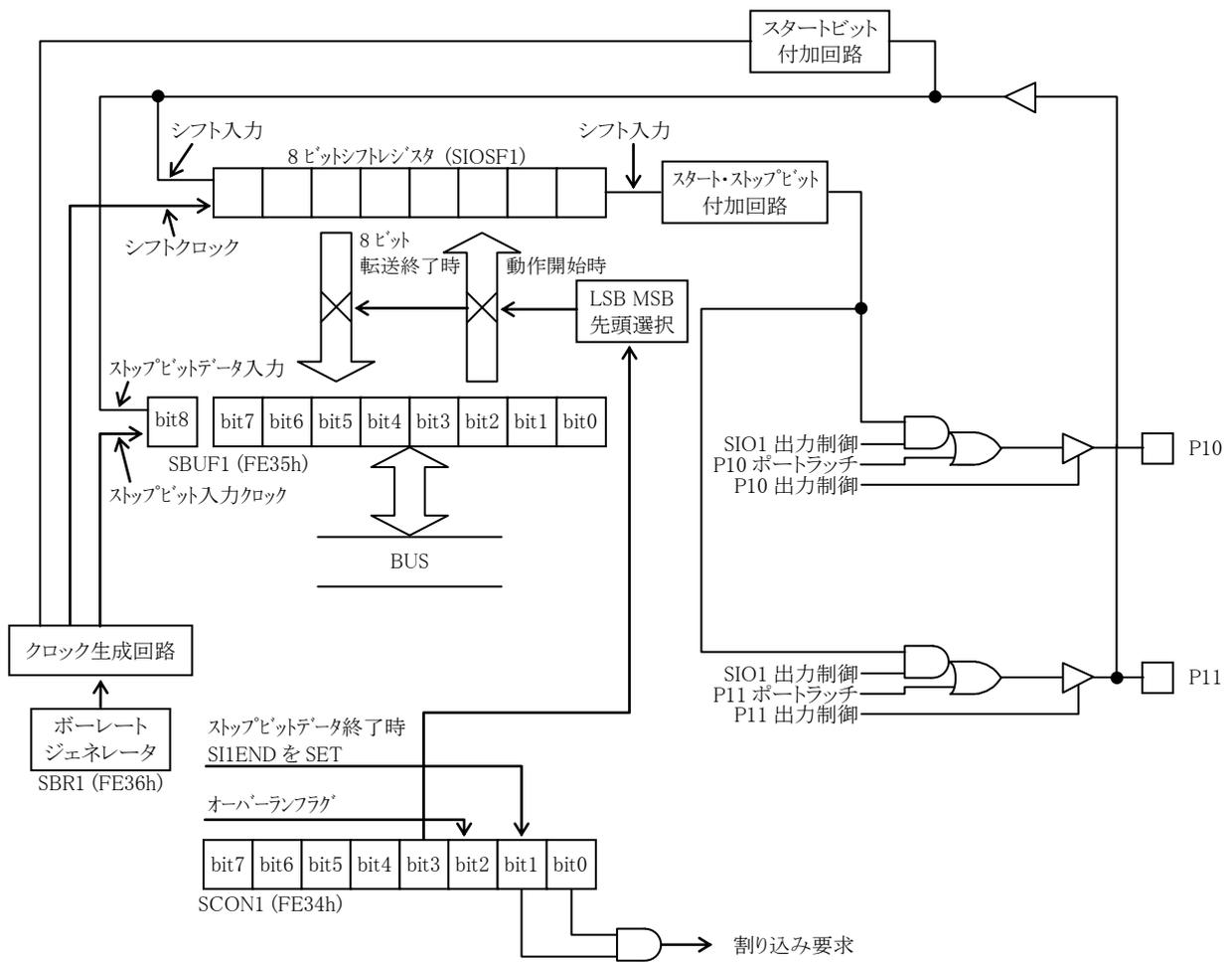


図 3-10-2 SIO1モード1:非同期シリアル[UART]
(SI1M1=0, SI1M0=1) ブロック図

3-7-4 SIO1通信の具体例

3-7-4-1 同期式(モード0)

①クロックの設定

- ・内部クロック使用の場合、SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートとSI1REC(BIT4)の設定をする。

	クロック用ポート P12
内部クロック	出力
外部クロック	入力

	データ出力ポート P10	データ入出力ポート P11	SI1REC
データ送信のみ	出力	—	0
データ受信のみ	—	入力	1
データ送受信(3線式)	出力	入力	0
データ送受信(2線式)	—	Nchオープンドレイン出力	0

④出力データの設定

- ・データ送信(SI1REC=0)の場合、SBUF1に出力データを書き込む。

⑤動作スタート

- ・SI1RUNをセットする。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-7-4-2 非同期式(モード1)

①ボーレイトの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=1, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートの設定をする。

	データ出力ポート P10	データ入出力ポート P11
データ送受信(2線式)	出力	入力
データ送受信(1線式)	—	Nchオープンドレイン出力

④送信動作スタート

- ・SI1RECを0にして、SBUF1に出力データを書き込む。
- ・SI1RUNをセットする。

SIO1

注意：モード1の送信のみを行う場合は、SIO1のデータ入出力ポート(P11)を使用してください。

モード1では、受信データの立ち下がりを検出すると自動的に送信がスタートします。モード1設定中は、データ入出力ポート(P11)で、常にデータの立ち下がり検出が行われます。したがって、送信ポートをデータ出力ポート(P10)に設定した場合、P11の状態変化によってデータ送信が勝手にスタートする可能性があります。

⑤受信動作スタート

- ・SI1RECを1にする。(SI1RECを1にセットした後は、SI1ENDのフラグがセットされるまでは、SCON1レジスタに書き込みは行わないで下さい。)
- ・受信データの立ち下がり検出。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

注意：モード1(UART)で連続受信を行う場合、以下の条件を満たしてください。

- ・ストップビットは2ビット以上。
- ・割り込み処理によるSI1ENDのクリアは、次のスタートビットが来る前に終了。

3-7-4-3 BUSマスターモード(モード2)

①クロックの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート、データポートをNchオープンドレイン出力ポートにする。

④通信スタート(アドレス送信)

- ・SBUF1にアドレスデータを書き込む。
- ・SI1RUNをセットする。(スタートビット+SBUF1(8ビット)+ストップビット(H)の転送を行う。)

⑤アドレスデータの確認(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合(表3-10-1 注1 参照)、SI1RUN がクリアされるため割り込みが発生しません。他にマスターモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。

⑥データの送信

- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。(SBUF1(8ビット)+ストップビット(H)の転送を行う。)

⑦送信データの確認(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合(表3-10-1 注1 参照)、SI1RUN がクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。
- ・引き続きデータを送る場合は⑥に戻る。
- ・通信を終了する場合は⑩に行く。

⑧データの受信

- ・SI1RECを1にする。
- ・SI1ENDをクリアし、割り込みを抜ける。(受信(8ビット)+SBUF1 ビット8(アクノレッジ)出力を行う。)

⑨受信データの読み込み(割り込み後)

- ・SBUF1を読み込む。
- ・引き続きデータを受信する場合は⑧に戻る。
- ・通信を終了する場合は⑩の*に行く。この時、アクノレッジデータとして(SBUF1 ビット8)が既に出力され、マスタ側のクロックの解放は行われています。

⑩通信の終了

- ・クロック出力ポートを操作し(P12FCR=0, P12DDR=1, P12=0)、クロック出力に0を出す。
- ・データ出力ポートを操作し(P11FCR=0, P11DDR=1, P11=0)、データ出力に0を出す。
- ・クロック出力ポートをもとに戻し(P12FCR=1, P12DDR=1, P12=0)、クロック出力を解放する。
- *・全てのスレーブがクロックを解放し、クロックが1になるのを待つ。
- ・データセットアップ時間を取り、データ出力ポートを操作し(P11FCR=0, P11DDR=1, P11=1)、データ出力に1を出す。この時、SIO1オーバランフラグSI1OVR(SCON1:FE34のビット2)がセットされますが、動作に支障はありません。
- ・データ出力ポートをもとに戻す(P11FCR=1に設定した後、P11DDR=1, P11=0とする。)
- ・SI1ENDとSI1OVRをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-7-4-4 BUSスレーブ(モード3)

①クロックの設定

- ・SBR1の設定をする。(アクロレジデータセットアップ時間の設定のため)

②モードの設定

- ・SI1M0=1, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート, データポートをNchオープンドレイン出力ポートにする。

④通信スタート(アドレス待ち)

- *1・SI1RECをセットする。
- *2・スタートビットの検出でSI1RUNが自動的にセットされる。
 - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。

⑤アドレスデータの確認(割り込み後)

- ・スタートコンディションを検出すると、SI1OVR がセットされるので、SI1RUN=1 & SI1OVR=1 を確認することで、アドレスを受信したことを判別する。
(SI1OVR は自動的にクリアされないので、ソフトでクリアしてください)
- ・SBUF1を読み込み、アドレスを確認する。
- ・アドレスが一致しない場合、SI1RUNとSI1ENDをクリアし割り込みを抜け、⑧の*でストップコンディション検出を待つ。

⑥データの受信

- *・SI1ENDをクリアし、割り込みを抜ける。(前に受信を行っていた場合アクロレジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
- ・ストップコンディションを検出すると、SI1RUNが自動的にクリアされ、割り込みがかかるので、SI1ENDをクリアし割り込みを抜け、④の*2に戻る。
- ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。ただし、途中でスタートコンディションを検出するとクロックカウンタはクリアされますので、割り込みの発生には更に8個のクロックが必要です。
- ・SBUF1を読み込み、データを格納する。
注意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。
- ・受信を続ける場合⑥の*に戻る。

⑦データの送信

- ・SI1RECをクリアする。
- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。(前の受信のアクロレジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
- *1・送信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。
- *2・SI1RUNが1の時、⑦の*3に行きます。
 - ・SI1RUNが0の時、⑦の*4からの割り込みなので、SI1ENDとSI1OVRをクリアして④の*1に戻る。
- *3・必要に応じて、SBUF1を読み込み、送信データを確認する。
注意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。

- ・SBUF1に次の出力データを書き込む。
 - ・SI1ENDをクリアし、割り込みを抜ける。((SBR1の設定値+1)×Tcyc時間後のクロックポートを解放します。)
 - ・マスタからのアクノレッジがある(L)場合は、⑦の*1に戻ります。
 - ・マスタからのアクノレッジがない(H)場合は、データ送信の終了とみなし、SI1RUNを自動的にクリアし、データポートを解放します。
 ※ただし、この直後に再スタートコンディションが来る場合、SI1REC=1にしてから割り込みを抜ける必要があります(SI1RECは、スタートコンディションの検出で、自動的にセットされません)。
 スレーブ送信動作直後に想定外の再スタートがきた場合(SI1RECをソフトで1にしていない場合)、マスタのアドレス送信を妨害する可能性があります。
- *4・ストップコンディション検出すると、割り込みがかかり、⑦の*2に戻ります。

⑧通信の終了

- ・SI1RECをセットします。
 - ・自動的に終了させる場合は⑥の*に戻ります。
 - ・強制的に終了する場合は、SI1RUNとSI1ENDをクリアする。(クロックポートを解放します。)
- *・ストップコンディション検出すると、割り込みがかかるので、SI1ENDとSI1OVRをクリアして④の*2に戻る。

3-7-5 関連レジスタ

3-7-5-1 SIO1制御レジスタ(SCON1)

①SIO1の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE

SI1M1(ビット7):SIO1モード制御

SI1M0(ビット6):SIO1モード制御

表3-10-2 SIO1動作モード

モード	SI1M1	SI1M0	動作モード
0	0	0	同期式8ビットSIO
1	0	1	UART(STOP-BIT1, PARITYなし)
2	1	0	BUSマスタ対応モード
3	1	1	BUSスレーブ対応モード

SI1RUN(ビット5):SIO1動作フラグ

- ① このビットが1の時、SIO1は動作中です。
- ② このビットのセット・クリアについては、表3-10-1を参照してください。

SI1REC(ビット4):SIO1受信/送信制御

- ① このビットが1の時、SIO1は受信モードとなります。
- ② このビットが0の時、SIO1は送信モードとなります。

SI1DIR(ビット3):MSB/LSB先頭選択

- ① このビットが1の時、SIO1はMSB先頭となります。
- ② このビットが0の時、SIO1はLSB先頭となります。

SIO1

SI1OVR(ビット2) : SIO1オーバランフラグ

- ① モード0, 1, 3の時、SI1RUN=0の状態 で、入力クロックの立ち下がり を検出すると、このビットがセットされます。
- ② SI1END=1の状態 で、SI1ENDをセットする条件が成立すると、このビットがセットされます。
- ③ モード3の時、スタートコンディションの検出で、このビットがセットされます。
- ④ このビットのクリアは命令で行ってください。

SI1END(ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了(表3-10-1参照)すると、このビットがセットされま す。
- ② このビットのクリアは命令で行ってください。

SI1IE(ビット0) : SIO1割り込み要求発生許可制御

このビットとSI1ENDがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

3-7-5-2 シリアルバッファ1(SBUF1)

- ① SIO1のシリアル転送で扱うデータの格納を行う9ビットのレジスタです。
- ② 動作の開始時に、SBUF1の下位8ビットのデータが送受信用のデータシフトレジスタに転送され、8ビットのデータ転送時に、送受信用のシフトレジスタの内容がSBUF1の下位8ビットに入ります。
- ③ モード1, 2, 3では、9番目のデータ(ストップビットの位置のデータ)入力時に、このデータがSBUF1のビット8に入ります。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE35	0000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10

3-7-5-3 ボーレートジェネレータレジスタ(SBR1)

- ① SIO1のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② このレジスタにデータを書き込むと、直ちにボーレートジェネレータ用のカウンタが初期化されます。
- ③ 転送レートはモードにより異なります。(モード3ではボーレートジェネレータは動作しません。)

モード0, 2 : $T_{SBR1} = (SBR1の設定値 + 1) \times 2T_{cyc}$
(設定範囲 2 ~ 512T_{cyc})

モード1 : $T_{SBR1} = (SBR1の設定値 + 1) \times 8T_{cyc}$
(設定範囲 8 ~ 2048T_{cyc})

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-8 ADコンバータ(ADC12)

3-8-1 概要

本シリーズは、下記の特長を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り換え機能(分解能切り換え)
- ④アナログ入力(7チャンネル)、10/20倍オペアンプ付きアナログ入力(1チャンネル)
VREF1.2V(1チャンネル)、温度計(1チャンネル)
- ⑤変換時間切り換え機能
- ⑥基準電圧自動発生制御機能
- ⑦ADコンバータの基準電圧源の切替え機能

3-8-2 機能

- ①逐次比較方式
 - ・12ビットの分解能を持っています。
 - ・変換には、変換開始から所定の変換時間が必要です。
 - ・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。
- ②AD変換切り換え機能(分解能切り換え)

使用条件に合わせ分解能を切り換えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り換えは、ADモードレジスタ(ADMRC)で行います。
- ③アナログ入力チャンネル

変換される信号は、P02~P04、P13~P15、P70及び10/20倍アンプ、VREF1.2V、温度計から入力される10種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。

10/20倍アンプの制御については、3-9 基準電圧源(VREF)をご参照ください。
- ④変換時間切り換え機能

AD変換時間を1/1~1/128(分周比)に切り換えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り換えます。
- ⑤基準電圧自動発生制御機能

基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生の設定/リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。
- ⑥ADコンバータの基準電圧源の切替え機能

ADC12

ADコンバータの基準電圧源を、マイコン電源／内蔵基準電圧源(VREF)／外部電源から選択可能です。

(“VREF“については、「3-9 基準電圧発生回路(VREF)」をご参照ください。)

⑦ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ADCRC, ADMRC, ADRLC, ADRHC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-8-3 回路構成

3-8-3-1 AD変換制御回路

①AD変換制御回路には12ビットAD変換モードと8ビットAD変換モードがあります。

3-8-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCRC)の変換終了フラグ(ADENDF)がセットされます。

変換結果は、AD変換結果レジスタ(ADRHC, ADRLC)に格納されます。

3-8-3-3 マルチプレクサ1(MPX1)

①8チャンネルからAD変換するアナログ信号を選択します。

3-8-3-4 基準電圧自動発生回路

①ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧は、基準電圧～VSSの範囲で作成されます。基準電圧源は、マイコン電源／内蔵基準電圧源(VREF)／外部電源から選択可能です。

(“VREF“については、「3-9 基準電圧発生回路(VREF)」をご参照ください。)

3-8-4 関連レジスタ

3-8-4-1 AD制御レジスタ(ADCRC)

①ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE

ADCHSEL3(ビット7):

ADCHSEL2(ビット6):

ADCHSEL1(ビット5):

} AD変換入力信号選択

ADCHSEL0(ビット4):

AD変換する信号を選択します。

AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	信号入力端子
0	0	0	0	20倍アンプ
0	0	0	1	VREF1.2V
0	0	1	0	P02/AN2
0	0	1	1	P03/AN3
0	1	0	0	P04/AN4
0	1	0	1	P15/AN5
0	1	1	0	P14/AN6
0	1	1	1	P13/AN7
1	0	0	0	—
1	0	0	1	P70/AN9
1	1	1	1	温度計

ADCRC3(ビット3): 固定ビット

‘0’固定で使用します。

ADSTART(ビット2): AD変換動作制御

AD変換を開始(1)/停止(0)します。‘1’の設定時、AD変換が開始され、AD変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)とADモードレジスタ(ADMRC)のADTM1, ADTM0の3ビットで行います。

‘0’の設定時、AD変換が停止します。AD変換動作中にクリアすると正しい変換結果が得られません。

AD変換動作中は、絶対にクリアまたはHALT, HOLD状態にしないでください。

ADENDF(ビット1): AD変換終了フラグ

AD変換の終了を知らせます。AD変換が終了するとセット(1)されます。

ADIEが‘1’の場合、ベクタアドレス0043Hへの割り込み要求が発生し、‘0’の場合、AD変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ADIE(ビット0): AD変換割り込み要求発生許可制御

このビットとADENDFがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

注意:

- ADCHSEL3~0の‘1000’と‘1010’~‘1110’設定を禁止します。
- ADSTARTが‘1’の動作状態でHALT, HOLD状態にしないでください。必ず、‘0’になったことを確認してからHALT, HOLD状態にしてください。

ADC12

3-8-4-2 ADモードレジスタ (ADMRC)

① ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4 (ビット7): 固定ビット。

‘0’ 固定で使用します。

ADMD3 (ビット6): AD変換モード制御 (分解能切り換え)

ADコンバータの分解能を12ビットAD変換モード(0) / 8ビットAD変換モード(1)に切り換えます。

‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果レジスタ(ADRHC)のみセットされ、AD変換結果下位レジスタ(ADRLC)は変化しません。

‘0’の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)の上位4ビットにセットされます。

ADMD2 (ビット5): 固定ビット。

‘0’ 固定で使用します。

ADMD1 (ビット4): 固定ビット。

‘0’ 固定で使用します。

ADMD0 (ビット3): 固定ビット。

‘0’ 固定で使用します。

ADMR2 (ビット2): 固定ビット。

‘0’ 固定で使用します。

ADTM1 (ビット1):

ADTM0 (ビット0):

} AD変換時間制御

AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)の1ビットと合わせて3ビットで変換時間を制御します。

ADRLC レジスタ	ADMRCレジスタ		AD分周比
	ADTM1	ADTM0	
ADTM2			
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
1	0	1	1/32
1	1	0	1/64
1	1	1	1/128

変換時間算出方法

- ・12ビットAD変換モード : 変換時間 = ((52 / (AD分周比)) + 2) × (1 / 3) × T_{cyc}
- ・8ビットAD変換モード : 変換時間 = ((32 / (AD分周比)) + 2) × (1 / 3) × T_{cyc}

注意 :

- ・変換時間は下記の時、通常時の2倍となります。
 - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り換え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-8-4-3 AD変換結果下位レジスタ(ADRLC)

- ①12ビットADモード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3 (ビット7) :
 DATAL2 (ビット6) :
 DATAL1 (ビット5) :
 DATAL0 (ビット4) :

} AD変換結果の下位4ビットデータ

- ADRL3 (ビット3) : 固定ビット。
‘0’固定で使用します。
- ADRL2 (ビット2) : 固定ビット。
‘0’固定で使用します。
- ADRL1 (ビット1) : 固定ビット。
‘0’固定で使用します。

ADTM2 (ビット0) : AD変換時間制御

ADモードレジスタ(ADMRC)のADTM1 (ビット1), ADTM0 (ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意 :

- ・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。

3-8-4-4 AD変換結果上位レジスタ(ADRHC)

- ①12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-8-5 ADC動作の具体例

3-8-5-1 12ビットAD変換モード

① 12ビットAD変換モードの設定

- ・ADモードレジスタ(ADMRC)のADMD3(ビット6) = 0にします。

② 変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0) = 1にし、ADモードレジスタ(ADMRC)のADTM1(ビット1) = 0、ADTM0(ビット0) = 1にします。

③ 入力チャンネルの設定

- ・ADチャンネル入力のAN5を使用する場合、AD制御レジスタ(ADCRC)のADCHSEL3(ビット7) = 0、ADCHSEL2(ビット6) = 1、ADCHSEL1(ビット5) = 0、ADCHSEL0(ビット4) = 1にします。

④ ADスタート

- ・AD制御レジスタ(ADCRC)のADSTART(ビット2) = 1にします。
- ・システムリセット後と8ビットAD変換モードから12ビットAD変換モードに切り換えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。

⑤ AD変換終了フラグの検知

- ・AD制御レジスタ(ADCRC)のADENDF(ビット1) = 1になるまでモニタします。
- ・ADENDF(ビット1) = 1になったことを確認後、終了フラグのADENDFを0にクリアします。

⑥ AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)を読み込みます。読み込んだ変換データには誤差(量子化誤差+総合誤差)が含まれていますので、最新の「半導体ニュース」の規格に従って有効となる変換データを使用します。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

3-8-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニュース」を参照してください。
- ② 変換動作中にADSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にHALT, HOLD状態にしないでください。必ず、ADSTARTが‘0’になったことを確認してからHALT, HOLD状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ADENDF)がセットされ、同時にAD変換動作制御ビット(ADSTART)がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。
- ⑥ 変換時間は下記の時、通常時の2倍となります。
 - ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り換え、最初のAD変換を行った時。
 2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。
- ⑦ 変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。
- ⑧ P00/APIM、P01/APIP、P02/AN2~P04/AN4、P15/AN5~P13/AN7、P70/AN9への入力電圧は規格の範囲で使用してください。
特にVDD以上、VSS以下の電圧が入力されると、そのチャンネルの変換値や他のチャンネルの変換値にも影響を与えることがあります。
- ⑨ ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
 - ・VDD1、VSS1端子の直近(出来る限り直近5mm以内が望ましい)には必ずバイパスコンデンサ(数 μ F+数千pF)を外付けしてください。
 - ・アナログ入力端子にはノイズ除去に最適なローパスフィルタ(RC)やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳してないGNDをご使用ください。(目安としては $R \sim 5k\Omega$ 以下/ $C = 1000pF \sim 0.1\mu F$)
 - ・アナログ信号線はデジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳していないGNDでシールドしてください。
 - ・変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力しないでください。

ADC12

- ・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成するときには、この点に注意して作成してください。
 - ・発振端子の振幅電圧と各端子入出力電圧はVDD～VSS以内になるよう調整してください。
- ⑩有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。

3-9 基準電圧発生回路 (VREF)

3-9-1 概要

基準電圧 (VREF2.0V/4.0V) の動作制御、電圧調整、10/20倍オペアンプの動作制御、コンパレータの動作制御、および、ADコンバータのアナログ入力ポートのデジタル入力停止制御を行います。

3-9-2 機能

- ① VRCNTレジスタで、VREF2.0V/4.0V、コンパレータの動作制御を行います。
- ② VR2AJレジスタで、VREF2.0Vを調整します。
- ③ ANIEZレジスタで、ADコンバータのアナログ入力ポートのデジタル入力停止制御を行います。
- ④ APCNTレジスタで、10/20倍オペアンプの制御を行います。
- ⑤ VR4AJレジスタで、VREF4.0Vを調整します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	000H HH00	R/W	VRCNT	VR12ON	VR24ON	CPON	-	-	-	VRADSEL	VR2SELZ
FEC1	XXXX XXXX	R/W	VR2AJ	VR2AJ7	VR2AJ6	VR2AJ5	VR2AJ4	VR2AJ3	VR2AJ2	VR2AJ1	VR2AJ0
FEC2	0000 0000	R/W	ANIEZ	AN13IEZ	AN12IEZ	AN11IEZ	AN10IEZ	AN9IEZ	AN7IEZ	AN6IEZ	AN5IEZ
FEC3	00H0_H000	R/W	APCNT	APON	GAIN20	-	FIX0	-	APDIR	APMD1	APMD0
FEC6	XXXX XXXX	R/W	VR4AJ	VR4AJ7	VR4AJ6	VR4AJ5	VR4AJ4	VR4AJ3	VR4AJ2	VR4AJ1	VR4AJ0

3-9-3 関連レジスタ

3-9-3-1 基準電圧制御レジスタ (VRCNT)

VREF2.0V/4.0V、コンパレータの動作制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	000H HH00	R/W	VRCNT	VR12ON	VR24ON	CPON	-	-	-	VRADSEL	VR2SELZ

VR12ON (ビット7) : VREF12動作制御

VR12ON=0 の時、“VREF12”回路ブロックは動作停止します。

VR12ON=1 の時、“VREF12”回路ブロックは動作開始します。

(“VREF12”回路ブロックについては、図3-9-2をご参照ください。)

VR24ON (ビット6) : VREF24動作制御

VR24ON=0 の時、“VREF24”回路ブロックは動作停止します。

VR24ON=1 の時、“VREF24”回路ブロックは動作開始します。

(“VREF24”回路ブロックについては、図3-9-2をご参照ください。)

CPON (ビット5) : コンパレータ動作制御

CPON=1 かつ VR12ON=1の時、コンパレータは動作開始します。

(P02の電位) < VREF12出力 (TYP1.22V) の時、コンパレータ出力 = Highレベル
(P02の電位) > VREF12出力 (TYP1.22V) の時、コンパレータ出力 = Lowレベル
となります。

基準電圧発生回路

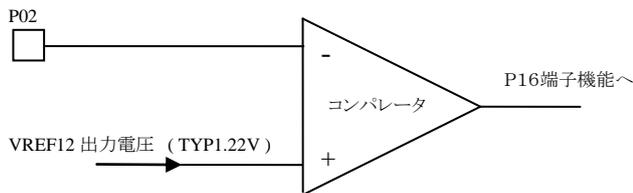


図 3-9-1 コンパレータ

VRADSEL (ビット1) : ADコンバータ基準電圧選択

VR2ADSELZ (ビット0) : VR24出力電圧選択

これらのビットによって、ADコンバータの基準電圧が、下記のように設定されます。

レジスタデータ				VREF24 回路ブロック	VREF 端子出力	AD コンバータ 基準電圧
VR12ON	VR24ON	VRADSEL	VR2SELZ			
1	1	1	0	動作	2.0V	2.0V
1	1	1	1	動作	4.0V	4.0V
X	X	0	X	停止	オープン	マイコン電源
0	X	X	X	停止	オープン	マイコン電源
1	0	1	X	停止	オープン	VREF 端子(外部電源)

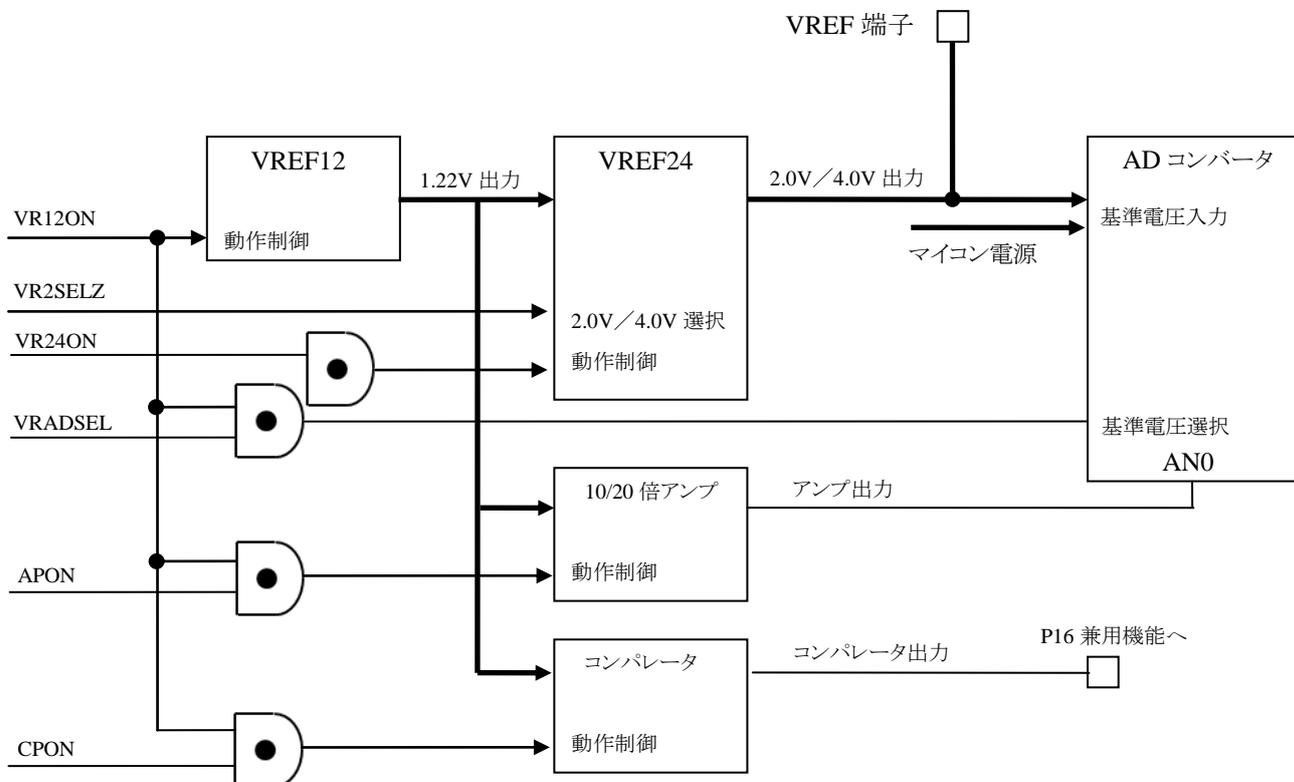


図 3-9-2 VREF 関連回路ブロック

3-9-3-2 基準電圧 2.0V調整レジスタ(VR2AJ)

基準電圧(VREF2.0V)の電圧を調整するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC1	XXXX XXXX	R/W	VR2AJ	VR2AJ7	VR2AJ6	VR2AJ5	VR2AJ4	VR2AJ3	VR2AJ2	VR2AJ1	VR2AJ0

このレジスタにはアクセスしないで下さい。

3-9-3-3 アナログ入力ポート制御レジスタ(ANIEZ)

ADコンバータのアナログ入力ポートのデジタル入力停止制御を行うレジスタです。
デジタル入力回路への微小な入力リーク電流を抑制し、
低ノイズでAD変換を行うことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC2	0000 0000	R/W	ANIEZ	AN13IEZ	AN12IEZ	AN11IEZ	AN10IEZ	AN9IEZ	AN7IEZ	AN6IEZ	AN5IEZ

AN13IEZ(ビット7):このビットは、“0”で使用してください。

AN12IEZ(ビット6):このビットは、“0”で使用してください。

AN11IEZ(ビット5):このビットは、“0”で使用してください。

AN10IEZ(ビット4):このビットは、“0”で使用してください。

AN9IEZ(ビット3) :アナログ入力(P70/AN9)ポートのデジタル入力停止制御
P70/AN9をアナログ入力として使用する場合、このビットを”1”にして下さい。
P70/AN9をアナログ入力として使用しない場合、このビットを”0”にして下さい。

AN7IEZ(ビット2) :アナログ入力(P13/AN7)ポートのデジタル入力停止制御
P13/AN7をアナログ入力として使用する場合、このビットを”1”にして下さい。
P13/AN7をアナログ入力として使用しない場合、このビットを”0”にして下さい。

AN6IEZ(ビット1) :アナログ入力(P14/AN6)ポートのデジタル入力停止制御
P14/AN6をアナログ入力として使用する場合、このビットを”1”にして下さい。
P14/AN6をアナログ入力として使用しない場合、このビットを”0”にして下さい。

AN5IEZ(ビット0) :アナログ入力(P15/AN5)ポートのデジタル入力停止制御
P15/AN5をアナログ入力として使用する場合、このビットを”1”にして下さい。
P15/AN5をアナログ入力として使用しない場合、このビットを”0”にして下さい。

3-9-3-4 10/20倍アンプ制御レジスタ(APCNT)

10/20倍オペアンプの制御を行うレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC3	00H0 H000	R/W	APCNT	APON	GAIN20	-	FIX0	-	APDIR	APMD1	APMD0

APON(ビット7):10/20倍アンプ動作制御

APON=1 かつ VR12ON=1の時、10/20倍アンプは動作開始します。

アンプを動作させ、ADコンバータでアナログチャンネル0(AN0)のAD変換を行うことにより、増幅した電圧を測定することができます。

ただし、

APDIR=0の場合、(P00の電位) ≤ (P01の電位)

APDIR=1の場合、(P00の電位) ≥ (P01の電位)

基準電圧発生回路

である必要が有ります。

GAIN20 (ビット6) : 10 / 20倍 アンプ増幅率選択

GAIN20 = 0時増幅率は、10倍

GAIN20 = 1時増幅率は、20倍

(ビット4) : テストビットです。“0”で使用してください。

APDIR、APMD1、APMD0 (ビット2、1、0) : 10 / 20倍 アンプ入力スイッチ制御

これらのビットで、アンプの入力スイッチを制御し、

ADコンバータで、P00 - P01間の増幅された電圧、および、

アンプのオフセット電圧を測定することができます。

レジスタデータ			アンプ入力スイッチ				アンプ出力
APDIR	APMD1	APMD0	SW1	SW2	SW3	SW4	
X	0	0	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	ON	OFF	オフセットを含む P00-P01 間の20倍の電圧 (P00 の電位) \leq (P01 の電位)
1	0	1	OFF	ON	OFF	ON	オフセットを含む P00-P01 間の20倍の電圧 (P00 の電位) \geq (P01 の電位)
X	1	0	ON	OFF	OFF	ON	アンプのオフセット電圧 (P00 が GND のとき)
X	1	1	OFF	ON	ON	OFF	アンプのオフセット電圧 (P01 が GND のとき)

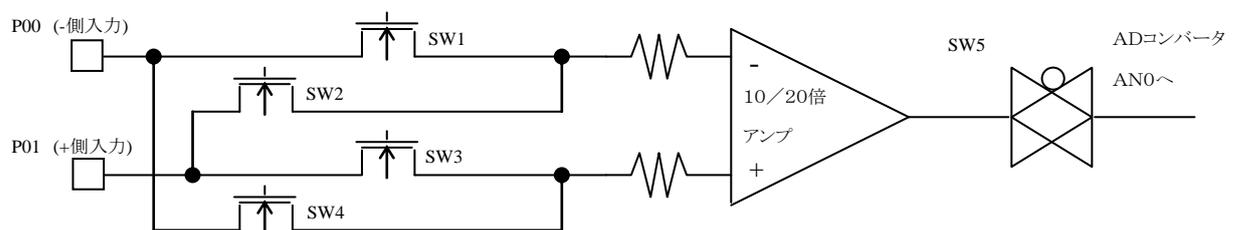


図 3-9-3 10 / 20倍 アンプ

3-9-3-5 基準電圧 4.0V調整レジスタ (VR4AJ)

基準電圧 (VREF4.0V) の電圧を調整するレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC6	XXXX XXXX	R/W	VR4AJ	VR4AJ7	VR4AJ6	VR4AJ5	VR4AJ4	VR4AJ3	VR4AJ2	VR4AJ1	VR4AJ0

このレジスタにはアクセスしないで下さい。

3-9-4 HALT, HOLD時の動作

HALT, HOLD時のVREFおよびAMPの状態は、HALT, HOLD突入時の状態を保持します。

3-10 電圧制御PWM(VCPWM0/VCPWM1)

3-10-1 概要

本シリーズが内蔵しているVCPWM0/VCPWM1は2本の12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。

3-10-2 機能

① VCPWM0: 基本波PWMモード(レジスタVCPWM0L=0設定)

- ・基本波周期 = $\frac{(16 \sim 256)}{3} T_{cyc}$ ($\frac{16}{3} T_{cyc}$ 単位で可変, VCPWM1と共通)
- ・HIGHパルス幅 = 0 ~ 基本波周期 - $\frac{1}{3} T_{cyc}$ ($\frac{1}{3} T_{cyc}$ 単位で可変)

② VCPWM0: 基本波 + 付加パルスPWMモード

- ・基本波周期 = $\frac{(16 \sim 256)}{3} T_{cyc}$ ($\frac{16}{3} T_{cyc}$ 単位で可変, VCPWM1と共通)
- ・全体周期 = 基本波周期 × 16
- ・HIGHパルス幅 = 0 ~ 全体周期 - $\frac{1}{3} T_{cyc}$ ($\frac{1}{3} T_{cyc}$ 単位で可変)

③ VCPWM1: 基本波PWMモード(レジスタVCPWM1L=0設定)

- ・基本波周期 = $\frac{(16 \sim 256)}{3} T_{cyc}$ ($\frac{16}{3} T_{cyc}$ 単位で可変, VCPWM0と共通)
- ・HIGHパルス幅 = 0 ~ 基本波周期 - $\frac{1}{3} T_{cyc}$ ($\frac{1}{3} T_{cyc}$ 単位で可変)

④ VCPWM1: 基本波 + 付加パルスPWMモード

- ・基本波周期 = $\frac{(16 \sim 256)}{3} T_{cyc}$ ($\frac{16}{3} T_{cyc}$ 単位で可変, VCPWM0と共通)
- ・全体周期 = 基本波周期 × 16
- ・HIGHパルス幅 = 0 ~ 全体周期 - $\frac{1}{3} T_{cyc}$ ($\frac{1}{3} T_{cyc}$ 単位で可変)

⑤ 割り込みの発生

割り込み要求許可ビットがセットされている場合、PWMの全体周期で割り込み要求が発生します。

⑥ 波形選択機能

VCPWM0/VCPWM1の出力波形に、システムクロックがANDされた波形を出力します。

⑦ VCPWM0/VCPWM1を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・VCPWM0L, VCPWM0H, VCPWM1L, VCPWM1H, VCPWM0C, VCPWM01P

VCPWM

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE80	0000 HHHH	R/W	VCPWM0L	CPWM0L3	CPWM0L2	CPWM0L1	CPWM0L0	-	-	-	-
FE81	0000 0000	R/W	VCPWM0H	CPWM0H7	CPWM0H6	CPWM0H5	CPWM0H4	CPWM0H3	CPWM0H2	CPWM0H1	CPWM0H0
FE82	0000 HHHH	R/W	VCPWM1L	CPWM1L3	CPWM1L2	CPWM1L1	CPWM1L0	-	-	-	-
FE83	0000 0000	R/W	VCPWM1H	CPWM1H7	CPWM1H6	CPWM1H5	CPWM1H4	CPWM1H3	CPWM1H2	CPWM1H1	CPWM1H0
FE84	0000 0000	R/W	VCPWM0C	CPWM0C7	CPWM0C6	CPWM0C5	CPWM0C4	ENCPWM1	ENCPWM0	CPWM00V	CPWM01E
FE85	HHH0 0000	R/W	VCPWM01P	-	-	-	CPWM01P2	CPWM1ECK	CPWM0ECK	FIX0	FIX0

3-10-3 回路構成

3-10-3-1 VCPWM0, VCPWM1制御レジスタ(PWM0C) (8ビットレジスタ)

① VCPWM0, VCPWM1の動作、割り込みの制御を行います。

3-10-3-2 VCPWM0コンペアレジスタL(VCPWM0L) (4ビットレジスタ)

① VCPWM0の付加パルスの制御を行います。

② VCPWM0Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③ VCPWM0制御ビット(VCPWM0C:FE84のビット2)が“0”の時、VCPWM0Lのビット7～4により、VCPWM0出力(3値)の制御ができます。

3-10-3-3 VCPWM0コンペアレジスタH(VCPWM0H) (8ビットレジスタ)

① VCPWM0の基本波パルス幅の制御を行います。

② VCPWM0Lのビット7～4を全て“0”固定すると、VCPWM0はVCPWM0Hで制御される周期可変8ビットPWMとして使用できます。

3-10-3-4 VCPWM1コンペアレジスタL(VCPWM1L) (4ビットレジスタ)

① VCPWM1の付加パルスの制御を行います。

② VCPWM1Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③ VCPWM1制御ビット(VCPWM0C:FE84のビット3)が“0”の時、VCPWM1Lのビット7～4により、VCPWM1出力(3値)の制御ができます。

3-10-3-5 VCPWM1コンペアレジスタH(VCPWM1H) (8ビットレジスタ)

① VCPWM1の基本波パルス幅の制御を行います。

② VCPWM1Lのビット7～4を全て“0”固定すると、VCPWM1はVCPWM1Hで制御される周期可変8ビットPWMとして使用できます。

3-10-3-6 VCPWM01ポート制御レジスタ(VCPWM01P) (5ビットレジスタ)

① VCPWM0の波形、出力バッファを制御します。

② VCPWM1の波形、出力バッファを制御します。

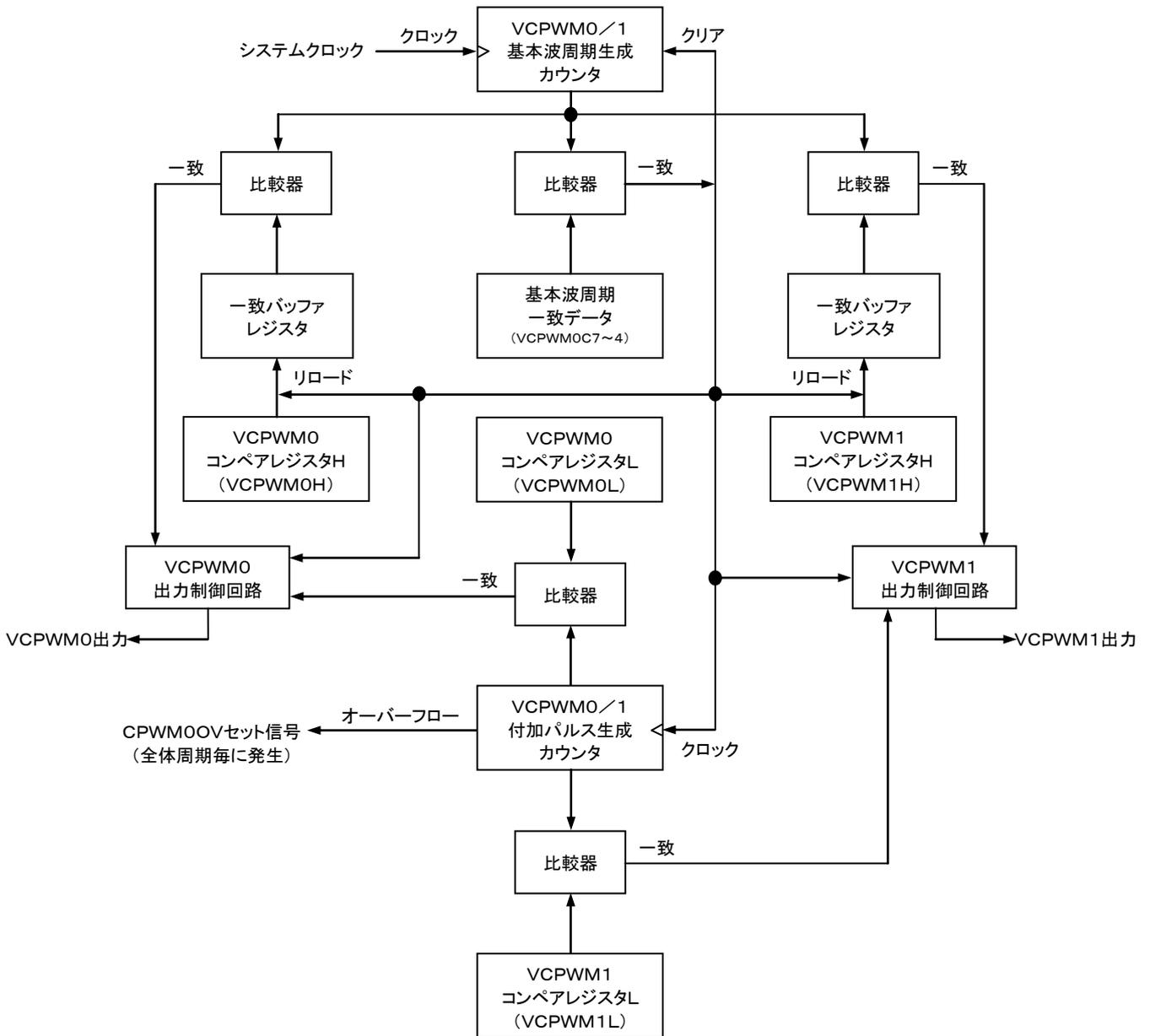


図 3-18-1 VCPWM0/VCPWM1ブロック図

VCPWM

3-10-4 関連レジスタ

3-10-4-1 VCPWM0, VCPWM1制御レジスタ(VCPWM0C)

①PWM2, PWM3の動作、割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE84	0000 0000	R/W	vcpwm0c	CPWM0C7	CPWM0C6	CPWM0C5	CPWM0C4	ENCPWM1	ENCPWM0	CPWM0OV	CPWM0IE

CPWM0C7~CPWM0C4(ビット7~4):VCPWM0, VCPWM1周期制御

- ・基本波周期 = (CPWM0C7~CPWM0C4で示される値 + 1) × $\frac{16}{3}T_{cyc}$
- ・全体周期 = 基本波周期 × 16

ENPWM1(ビット3):VCPWM1動作制御

- ・このビットが“1”の時、VCPWM1は動作します。
- ・このビットが“0”の時、VCPWM1Lのビット7~4により、VCPWM1出力(3値)の制御ができます。

ENCPWM0(ビット2):VCPWM0動作制御

- ・このビットが“1”の時、VCPWM0は動作します。
- ・このビットが“0”の時、VCPWM0Lのビット7~4により、VCPWM0出力(3値)の制御ができます。

CPWM0OV(ビット1):VCPWM0, VCPWM1オーバフローフラグ

- ・PWMの全体周期毎にセットされます。
- ・このフラグは命令でクリアしてください。

CPWM0IE(ビット0):VCPWM0, VCPWM1割り込み要求発生許可制御

このビットとCPWM0OVがともに“1”の時、ベクタアドレス004BHへの割り込み要求が発生します。

3-10-4-2 VCPWM0コンペアレジスタL(VCPWM0L)

①VCPWM0の付加パルスの制御を行います。

②VCPWM0Lにはビット7~4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③VCPWM0制御ビット(VCPWM0C:FE84Hのビット2)が“0”の時、VCPWM0Lのビット7~4により、VCPWM0出力(3値)の制御ができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE80	0000 HHHH	R/W	vcpwm0l	CPWM0L3	CPWM0L2	CPWM0L1	CPWM0L0	-	-	-	-

VCPWM0出力	ENCPWM0 FE84-bit2	CPWM0L3 FE80-bit7	CPWM0L2 FE80-bit6	CPWM0L1,0 FE80-bit5,4
HI-Z	0	-	0	-
LOW	0	0	1	0,0
HIGH	0	1	1	0,0

3-10-4-3 VCPWM0コンペアレジスタH (VCPWM0H)

① VCPWM0の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{CPWM0H7} \sim \text{CPWM0H0} \text{で示される値}) \times \frac{1}{3} T_{\text{cyc}}$$

② VCPWM0Lのビット7～4を全て“0”固定すると、VCPWM0はVCPWM0Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE81	0000 0000	R/W	VCPWM0H	CPWM0H7	CPWM0H6	CPWM0H5	CPWM0H4	CPWM0H3	CPWM0H2	CPWM0H1	CPWM0H0

3-10-4-4 VCPWM1コンペアレジスタL (VCPWM1L)

① VCPWM1の付加パルスの制御を行います。

② VCPWM1Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③ VCPWM1制御ビット(VCPWM0C:FE84Hのビット3)が“0”の時、VCPWM1Lのビット7～4により、VCPWM1出力(3値)の制御ができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE82	0000 HHHH	R/W	VCPWM1L	CPWM1L3	CPWM1L2	CPWM1L1	CPWM1L0	-	-	-	-

VCPWM1 出力	ENCPWM1 FE84-bit3	CPWM1L3 FE82-bit7	CPWM1L2 FE82-bit6	CPWM1L1,0 FE82-bit5,4
HI-Z	0	-	0	-
LOW	0	0	1	0,0
HIGH	0	1	1	0,0

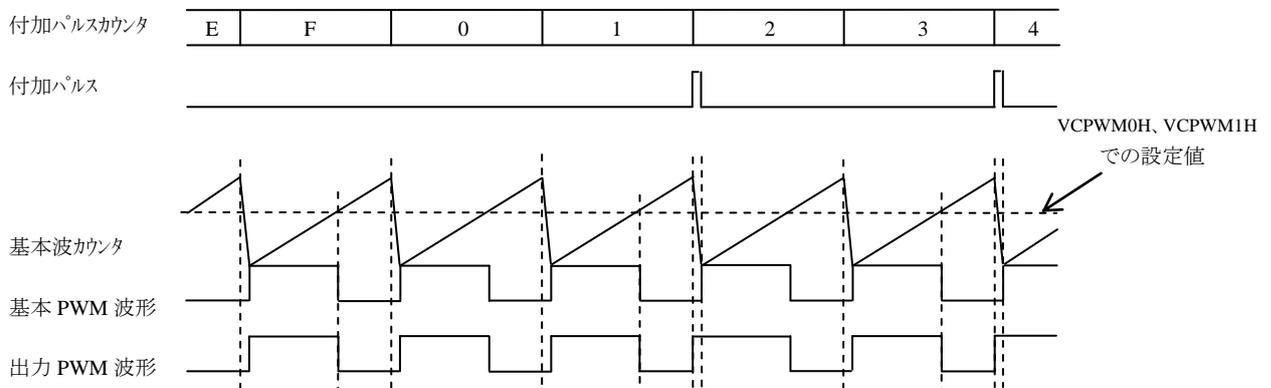
3-10-4-5 VCPWM1コンペアレジスタH (VCPWM1H)

① VCPWM1の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{CPWM1H7} \sim \text{CPWM1H0} \text{で示される値}) \times \frac{1}{3} T_{\text{cyc}}$$

② VCPWM1Lのビット7～4を全て“0”固定すると、VCPWM1はVCPWM1Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE83	0000 0000	R/W	VCPWM1H	CPWM1H7	CPWM1H6	CPWM1H5	CPWM1H4	CPWM1H3	CPWM1H2	CPWM1H1	CPWM1H0

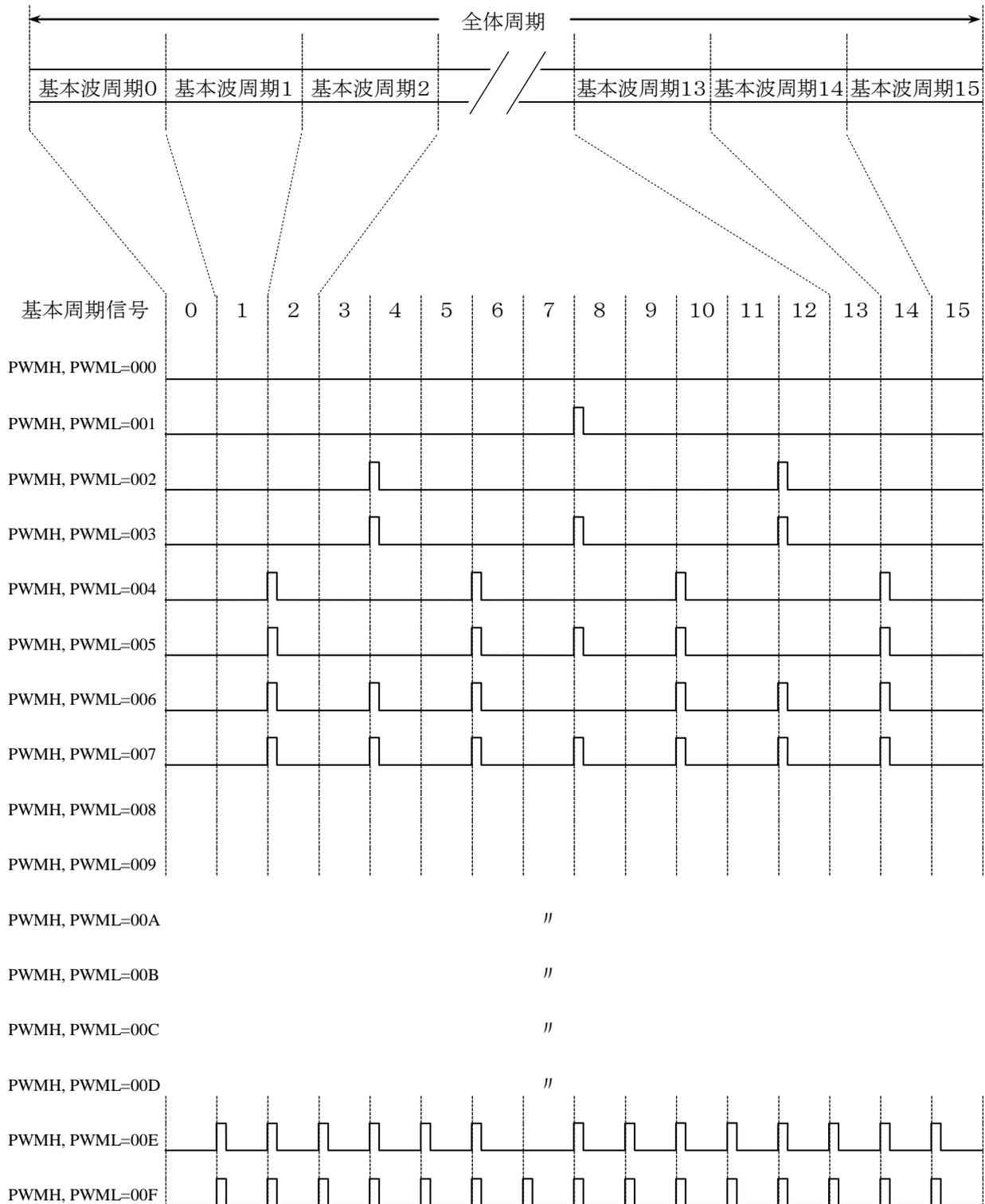


VCPWM

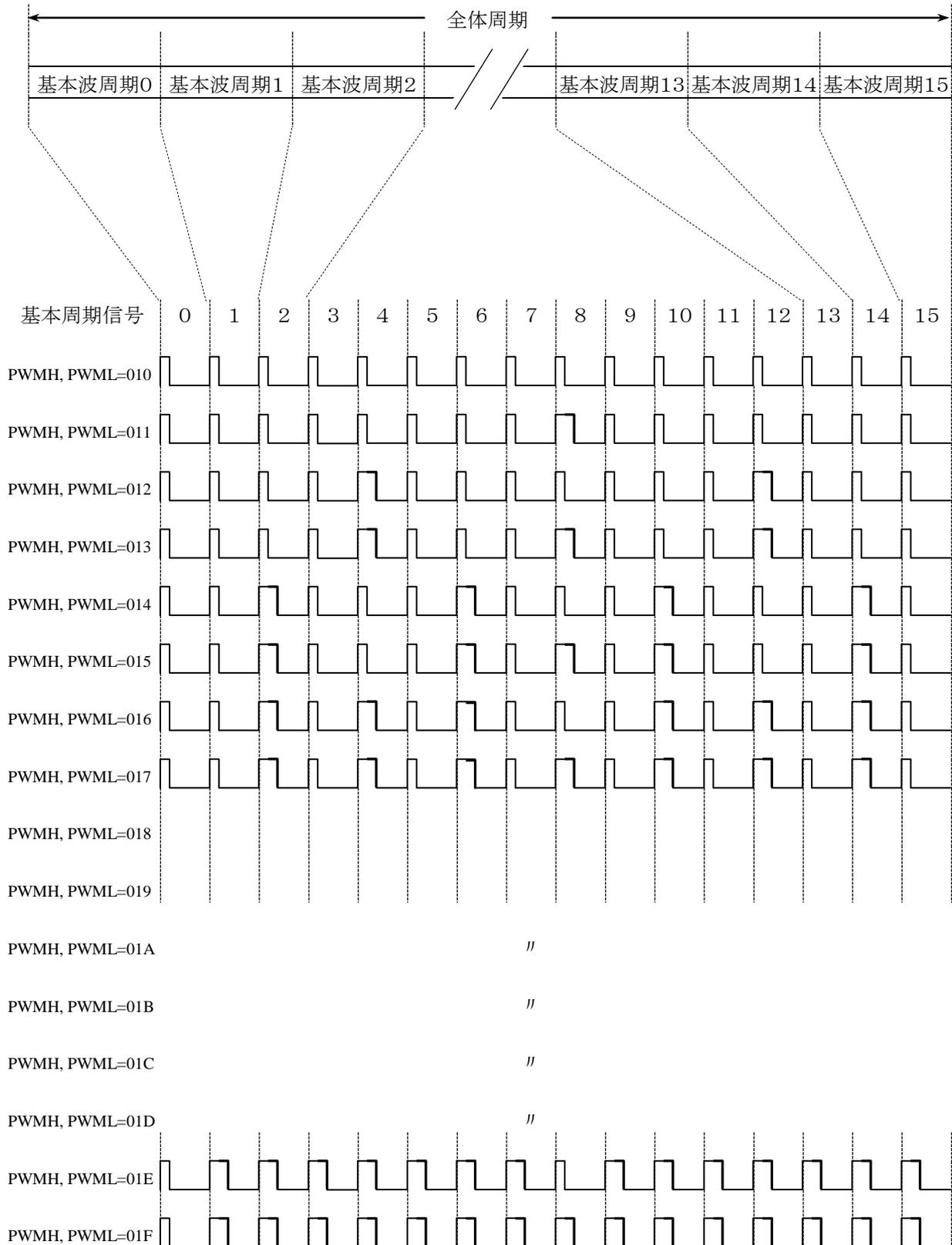
- 12ビットPWMは、以下の様な波形構成となります。
 - 全体周期は、基本波周期が16個で構成されます。
 - 基本波周期内は、8ビットPWMで構成されます。(PWMコンペアレジスタH) (PWMH)
 - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。
(PWMコンペアレジスタL) (PWML)

12ビットレジスタ構成 → (PWMH), (PWML) = XXXX XXXX, XXXX (12BIT)

- 基本波周期内への、パルス付加状況 例1。
 - PWMコンペアレジスタH (PWMH) = 00 [H]
 - PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期内への、パルス付加状況。
 - PWMコンペアレジスタH (PWMH) = 01 [H]
 - PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期は、 $\frac{(16 \sim 256)}{3} T_{cyc}$ の範囲で可変です。

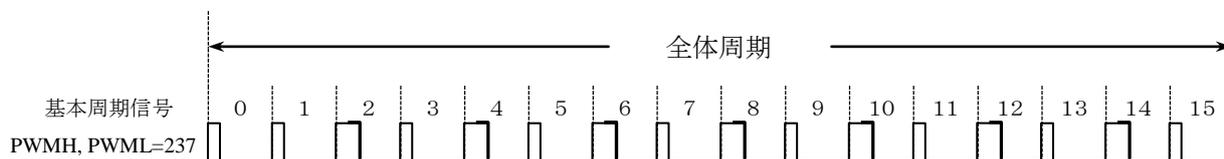
基本波周期 = (CPWM0C7~CPWM0C4で示される値 + 1) $\times \frac{16}{3} T_{cyc}$

- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

参考例

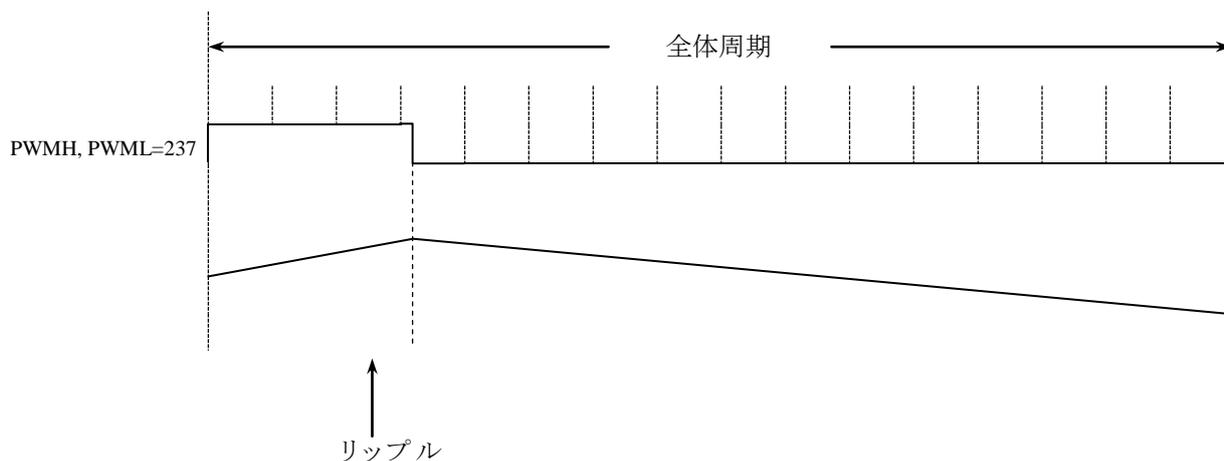
- 12ビットPWMのデータが、237[H]の場合の波形比較
12ビットレジスタ構成 → (PWMH), (PWML) = 237[H]

1. パルス付加方式の場合 (本シリーズ)



2. 通常方式の場合

下図の様に、パルス付加方式と比較して、PWMの積分出力のリップル成分が大きくなりますので、モータ制御にはパルス付加方式の方が良いと考えます。



3-10-4-6 VCPWM01ポート制御レジスタ(VCPWM01P)

- ①VCPWM0の波形、出力バッファを制御します。
- ②VCPWM1の波形、出力バッファを制御します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE85	HHH0 0000	R/W	VCPWM01P	-	-	-	CPWM01P2	CPWM1ECK	CPWM0ECK	FIX0	FIX0

(ビット7～5) : 存在しません。読むと“1”が読めます。

CPWM01P2 (ビット4) :

- ・このビットは“0”でご使用ください。

CPWM1ECK (ビット3) :

- ・このビットが“1”の時、VCPWM1の出力波形に、システムクロックがANDされた波形が出力されます。

CPWM0ECK (ビット2) :

- ・このビットが“1”の時、VCPWM0の出力波形に、システムクロックがANDされた波形が出力されます。

(ビット1) : このビットは、“0”で使用してください。

(ビット0) : このビットは、“0”で使用してください。

3-11 高速PWM2(HPWM2)

3-11-1 概要

本シリーズが内蔵している高速PWM2(HPWM2)は、8ビットまたは10ビット分解能のPWMで、8ビットの基本波PWM発生回路と2ビットの付加パルス発生回路から構成されています。

HPWM2の動作クロックは、システムクロックまたは内蔵高速RC発振クロック(40MHz)から選択可能となっており、速い周期のPWM波形を生成できます。

3-11-2 機能

① 高速8ビットPWMモード(通常方式)

8ビットの基本波PWM発生回路により、8ビットPWMとして動作します(注1)。

- ・基本波周期 = $256 \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$
- ・HIGHパルス幅 = $(\text{HPWM2AHの設定値} + 1) \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$

② 高速10ビットPWMモード(パルス付加方式)

8ビットの基本波PWM発生回路と2ビットの付加パルス発生回路により、10ビットPWMとして動作します(注1)。

- ・基本波周期 = $256 \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$
- ・全体周期 = 基本波周期 $\times 4$
- ・HIGHパルス幅 = $([\text{HPWM2AH, HPWM2ALのビット7} \sim \text{6}] \text{の設定値}) \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$

③ 割り込みの発生

割り込み要求許可ビットがセットされている場合、PWMの周期(8ビットPWMモードでは基本波周期、10ビットPWMモードでは全体周期)毎にベクタアドレス0033Hへの割り込み要求を発生します。

④ 高速PWM2(HPWM2)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・HPWM2AC, HPWM2AL, HPWM2AH, P1, P1DDR, P1FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE8D	0000 0000	R/W	HPWM2AC	H2A40MON	H2ACKDV	H2ACKSL	H2ABWSL	H2ARUN	H2ARLBSY	H2AOVF	H2AIE
FE8E	00HH HH00	R/W	HPWM2AL	HPWM2AL1	HPWM2AL0	-	-	-	-	P17H2ASL	P16H2ASL
FE8F	0000 0000	R/W	HPWM2AH	HPWM2AH7	HPWM2AH6	HPWM2AH5	HPWM2AH4	HPWM2AH3	HPWM2AH2	HPWM2AH1	HPWM2AH0

(注1) HPWM2動作停止時、HPWM2出力はHIGH固定となります。また、HPWM2動作時、8ビットPWMモード且つHPWM2AH=FFH設定時、HPWM2出力はHIGH固定となり、10ビットPWMモード且つ[HPWM2AH, HPWM2ALのビット7~6]=000H設定時、HPWM2出力はLOW固定となります。

HPWM2

3-11-3 回路構成

3-11-3-1 HPWM2制御レジスタ(HPWM2AC) (8ビットレジスタ)

- ① 内蔵高速RC発振回路の動作、HPWM2の動作、割り込みの制御を行います。
- ② H2ARLBSY(HPWM2ACのビット2)は、リードオンリーです。

3-11-3-2 HPWM2コンペアレジスタL(HPWM2AL) (4ビットレジスタ)

- ① HPWM2の付加パルスの制御、P17, P16の兼用出力機能の選択を行います。

3-11-3-3 HPWM2コンペアレジスタH(HPWM2AH) (8ビットレジスタ)

- ① HPWM2の基本波パルス幅の制御を行います。

3-11-3-4 HPWM2コンペアデータバッファレジスタ(HPWM2BR) (10ビットバッファレジスタ)

- ① HPWM2のパルス幅設定値格納用のバッファレジスタです。[HPWM2AH, HPWM2ALのビット7~6]の10ビットデータを格納します。
- ② バッファレジスタの更新は以下のように行われます。
 - ・ HPWM2動作停止時(H2ARUN=0)、[HPWM2AH, HPWM2ALのビット7~6]とHPWM2BRは同値となります。
 - ・ HPWM2動作時(H2ARUN=1)、HPWM2AHへ書き込みを行うと、リロード待機フラグ(H2ARLBSY)がセットされ、HPWM2ALのビット7~6とHPWM2AHへの書き込みは禁止されます。この状態で、次のPWM周期(8ビットPWMモードでは基本波周期、10ビットPWMモードでは全体周期)のオーバーフロー信号が発生すると、[HPWM2AH, HPWM2ALのビット7~6]の内容はHPWM2BRへリロードされ、H2ARLBSYがクリアされます(注2)。

(注2) HPWM2AHへの書き込みがリロード動作のトリガとなるため、更新データはHPWM2AHを最後に書き込むようにプログラムしてください。

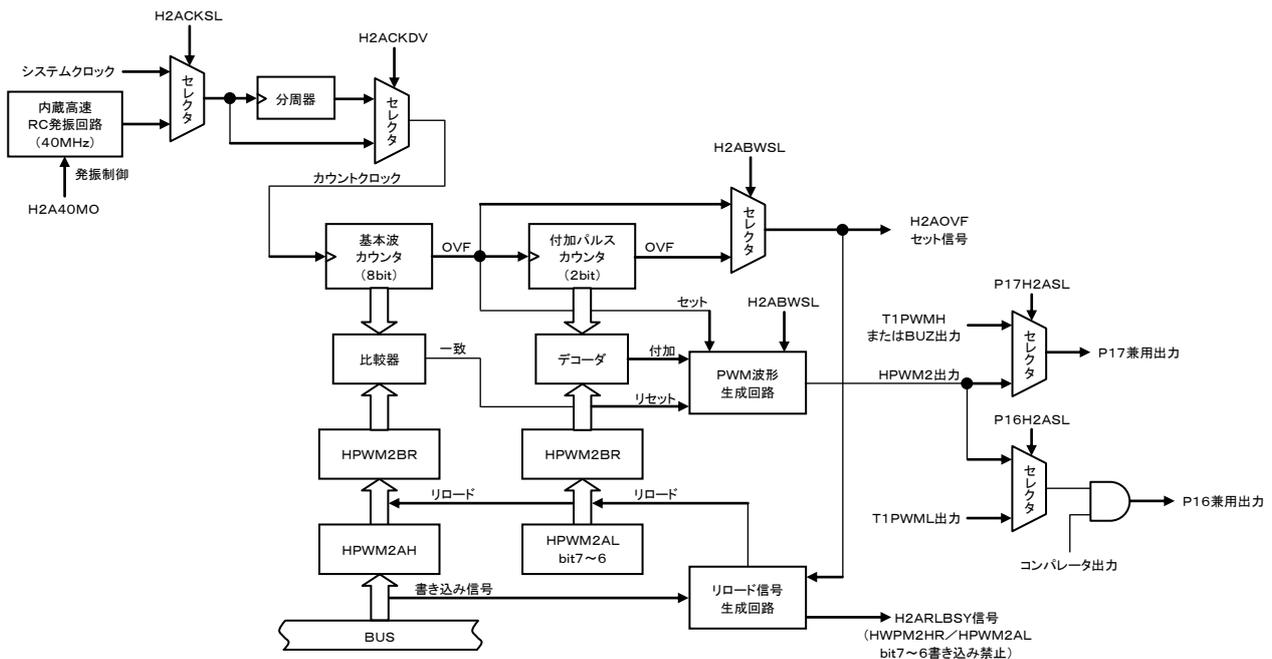


図 3-14-1 高速PWM2ブロック図

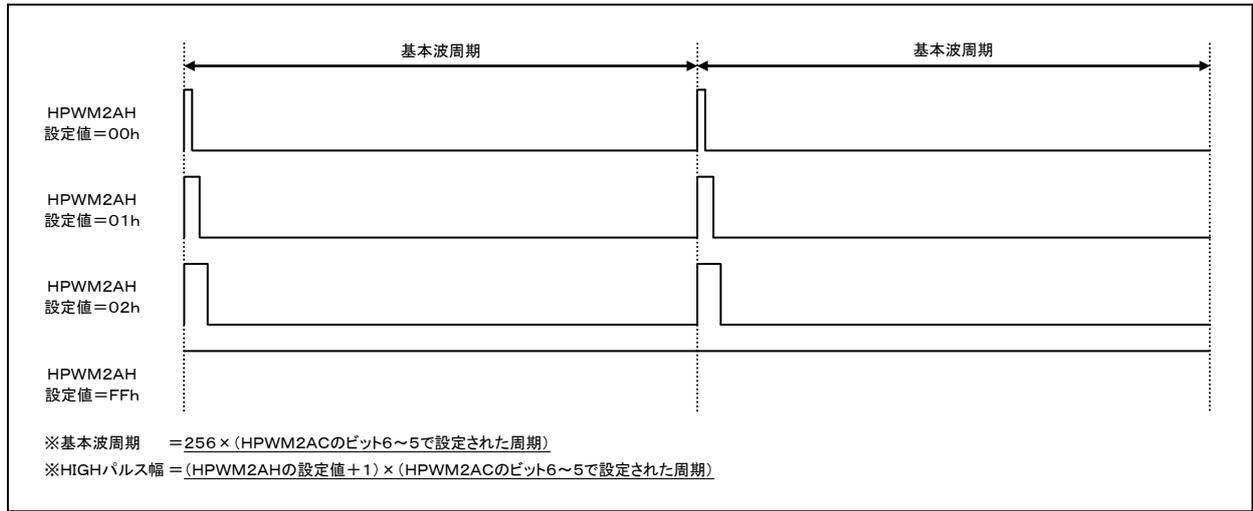


図 3-14-2 8ビットPWMモードの出力波形例 (H2ABWSL=0)

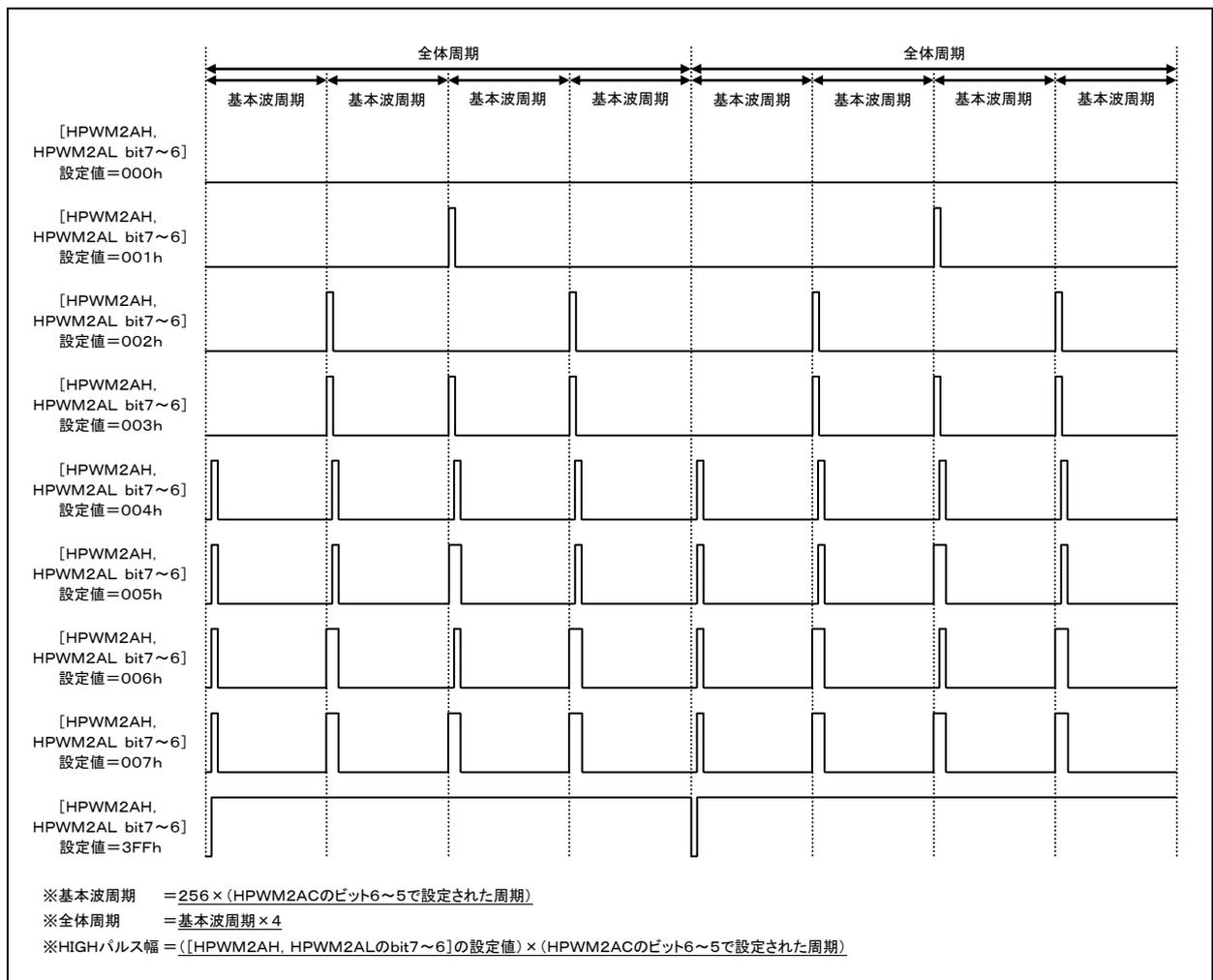


図 3-14-3 10ビットPWMモードの出力波形例 (H2ABWSL=1)

HPWM2

3-11-4 関連レジスタ

3-11-4-1 HPWM2制御レジスタ(HPWM2AC)

①内蔵高速RC発振回路の動作、HPWM2の動作、割り込みの制御を行います。

②H2ARLBSYは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE8D	0000 0000	R/W	HPWM2AC	H2A40MON	H2ACKDV	H2ACKSL	H2ABWSL	H2ARUN	H2ARLBSY	H2AOVF	H2AIE

H2A40MON(ビット7):内蔵高速RC発振回路(40MHz)制御

このビットが0の時、内蔵高速RC発振は停止します。

このビットが1の時、内蔵高速RC発振回路は動作します。

H2ACKDV(ビット6):HPWM2クロック分周選択

このビットが0の時、H2ACKSLで選択されたクロックを1/1分周で使用します。

このビットが1の時、H2ACKSLで選択されたクロックを1/2分周で使用します。

H2ACKSL(ビット5):HPWM2クロック選択

H2ACKSL	HPWM2クロック
0	内蔵高速RC発振クロック(40MHz)
1	システムクロック(fSCLK)

H2ABWSL(ビット4):HPWM2分解能選択

H2ABWSL	HPWM2分解能
0	8ビット(通常方式)
1	10ビット(パルス付加方式)

H2ARUN(ビット3):HPWM2動作制御

このビットが0の時、HPWM2は動作を停止します。

このビットが1の時、HPWM2は所定の動作を行います。

H2ARLBSY(ビット2):HPWM2リロード待機フラグ

HPWM2動作時(H2ARUN=1)、HPWM2AHへ書き込みを行うと、H2ARLBSYがセットされ、HPWM2ALのビット7~6とHPWM2AHへの書き込みは禁止されます。H2ARLBSYがクリアされる条件は、

- 1) HPWM2動作停止時(H2ARUN=0)
- 2) H2ARLBSYがセットされた後、次のPWM周期(8ビットPWMモードでは基本波周期、10ビットPWMモードでは全体周期)のオーバーフロー信号発生時

となります。

H2AOVF(ビット1):HPWM2周期オーバーフローフラグ

HPWM2動作時(H2ARUN=1)、PWM周期(8ビットPWMモードでは基本波周期、10ビットPWMモードでは全体周期)のオーバーフロー信号発生毎にセットされます。

このフラグは命令でクリアして下さい。

H2AIE(ビット0):HPWM2割り込み要求発生許可制御

このビットとH2AOVFがともに1の時、ベクタアドレス0033Hへの割り込み要求が発生します。

注意:

- ・HPWM2の動作クロックに内蔵高速RC発振クロック(40MHz)を使用する場合、H2A40MON=0(発振停止)→1(発振開始)とした後、10μsec程度の発振安定時間を設けてからHPWM2の動作を開始してください。
- ・内蔵高速RC発振回路(40MHz)が動作状態(H2A40MON=1)となると、数mAの動作電流が常時流れます。スタンバイモード時の電流を低減する必要がある場合には、モード突入前にH2A40MON=0(発振停止)としてください。

3-11-4-2 HPWM2コンペアレジスタL(HPWM2AL)

①HPWM2の付加パルスの制御、P17、P16の兼用出力機能の選択を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE8E	00HH HH00	R/W	HPWM2AL	HPWM2AL1	HPWM2AL0	-	-	-	-	P17H2ASL	P16H2ASL

P17H2ASL(ビット1):P17兼用出力機能選択

このビットとBUZON(ISLのビット3)の設定により、ポートP17へ転送するデータ(ブザー出力/タイマ1PWMH出力/HPWM2出力)の選択を行います。

※ P17端子から出力するには、この他にP17(P1のビット7), P17DDR(P1DDRのビット7), P17FCR(P1FCRのビット7)の設定も必要です。

P17H2ASL (HPWM2AL bit1)	BUZON (ISL bit3)	P17兼用出力選択
0	0	タイマ1のPWMH出力
0	1	ベースタイマのBUZ出力
1	-	高速PWM2のHPWM2出力

P16H2ASL(ビット0):P16兼用出力機能選択

このビットが0の時、タイマ1のPWMLとコンパレータ出力のANDデータをポートP16へ転送します。

このビットが1の時、高速PWM2のHPWM2とコンパレータ出力のANDデータをポートP16へ転送します。

※ 尚、コンパレータ出力はCPONZ(VRCNTのビット5)=1の時、Hレベルを出力します。

※ P16端子から出力するには、この他にP16(P1のビット6), P16DDR(P1DDRのビット6), P16FCR(P1FCRのビット6)の設定も必要です。

3-11-4-3 HPWM2コンペアレジスタH(HPWM2AH)

①HPWM2の基本波パルス幅の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE8F	0000 0000	R/W	HPWM2AH	HPWM2AH7	HPWM2AH6	HPWM2AH5	HPWM2AH4	HPWM2AH3	HPWM2AH2	HPWM2AH1	HPWM2AH0

HPWM2AHとHPWM2ALのビット7~6の設定値により、PWM周期とHIGHパルス幅が以下のように設定されます。

HPWM2

< 8ビットPWMモード時 (H2ABWSL=0) >

- 基本波周期 = $256 \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$
- HIGHパルス幅 = $(\text{HPWM2AHの設定値} + 1) \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$

< 10ビットPWMモード時 (H2ABWSL=1) >

- 基本波周期 = $256 \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$
- 全体周期 = 基本波周期 $\times 4$
- HIGHパルス幅 = $([\text{HPWM2AH}, \text{HPWM2ALのビット7} \sim \text{6}] \text{の設定値}) \times (\text{HPWM2ACのビット6} \sim \text{5で設定された周期})$

注意：

- 8ビットPWMモード時 (H2ABWSL=0)、HPWM2ALのビット7～6の内容はHPWM2の動作に影響を与えません。
- コンペアデータ (HPWM2AH、HPWM2ALのビット7～6) のリロード動作の詳細は、「3-14-3-4 HPWM2コンペアデータバッファレジスタ」を参照してください。

3-12 温度センサ(TEMPS)

3-12-1 概要

本シリーズは、簡易型の温度センサを内蔵しており、この温度センサを用いることにより、温度変化をマイクロコンピュータで検知することができます。

- ① 温度により出力電圧が変化するセンサ
- ② センサ出力電圧をAD変換することでモニタ可能
- ③ 出荷選別時に基準となるセンサ出力電圧値を特殊機能レジスタに格納済み

3-12-2 機能

- ① 温度センサ機能
 - ・ 温度によりセンサの出力電圧がリニアに変化します。
 - ・ 出力電圧値は“低温 > 常温 > 高温”の関係で、低温時が最も高くなります。
 - ・ センサの出力はADコンバータの入力に接続可能なため、出力電圧値をAD変換することで温度のモニタが可能となります。
- ② 温度センサ基準電圧値の参照
 - ・ 本マイコンの出荷選別時に約60℃時の基準となるセンサの出力電圧値を特殊機能レジスタに格納しており、その値をプログラムにて参照できます。
- ④ 温度センサを制御するには、次に示す特殊機能レジスタと内部データメモリ(RAM)を操作する必要があります。
 - ・ TEMPS2CNT, ADCRC, ADMRC, ADRLC, ADRHC
 - ・ D2TL, D2TH, D4TL, D4TH

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDA	00HH HH00	R/W	TEMPS2CNT	TEMPS2ON	FIX0	-	-	-	-	DIO2X	FIX0
FEE0	XXXX XXXX	R/W	D2TL	D2TL7	D2TL6	D2TL5	D2TL4	D2TL3	D2TL2	D2TL1	D2TL0
FEE1	0000 XXXX	R/W	D2TH	D2TH7	D2TH6	D2TH5	D2TH4	D2TH3	D2TH2	D2TH1	D2TH0
FEE2	XXXX XXXX	R/W	D4TL	D4TL7	D4TL6	D4TL5	D4TL4	D4TL3	D4TL2	D4TL1	D4TL0
FEE3	0000 XXXX	R/W	D4TH	D4TH7	D4TH6	D4TH5	D4TH4	D4TH3	D4TH2	D4TH1	D4TH0

3-12-3 回路構成

3-12-3-1 温度センサ制御レジスタ(TEMPS2CNT) (8ビットレジスタ)

- ① 温度センサの動作の制御を行います。

3-12-3-2 温度センサ60℃ダイオード2段基準値下位レジスタ(D2TL)

- ① 約60℃時の温度センサ出力電圧(ダイオード2段)をADコンバータ(12ビット変換モード/基準電圧源 VREF=2.0[V])にてAD変換した値(下位8ビット)が格納されます。

TEMPS

3-12-3-3 温度センサ60℃ダイオード2段基準値上位レジスタ(D2TH)

- ① 約60℃時の温度センサ出力電圧(ダイオード2段)をADコンバータ(12ビット変換モード/基準電圧源 VREF=2.0[V])にてAD変換した値(上位4ビット)が格納されます。

3-12-3-4 温度センサ60℃ダイオード4段基準値下位レジスタ(D4TL)

- ① 約60℃時の温度センサ出力電圧(ダイオード4段)をADコンバータ(12ビット変換モード/基準電圧源 VREF=4.0[V])にてAD変換した値(下位8ビット)が格納されます。

3-12-3-5 温度センサ60℃ダイオード4段基準値上位レジスタ(D4TH)

- ① 約60℃時の温度センサ出力電圧(ダイオード4段)をADコンバータ(12ビット変換モード/基準電圧源 VREF=4.0[V])にてAD変換した値(上位4ビット)が格納されます。

3-12-3-6 温度センサ

- ① 温度により出力電圧が変化するセンサです。

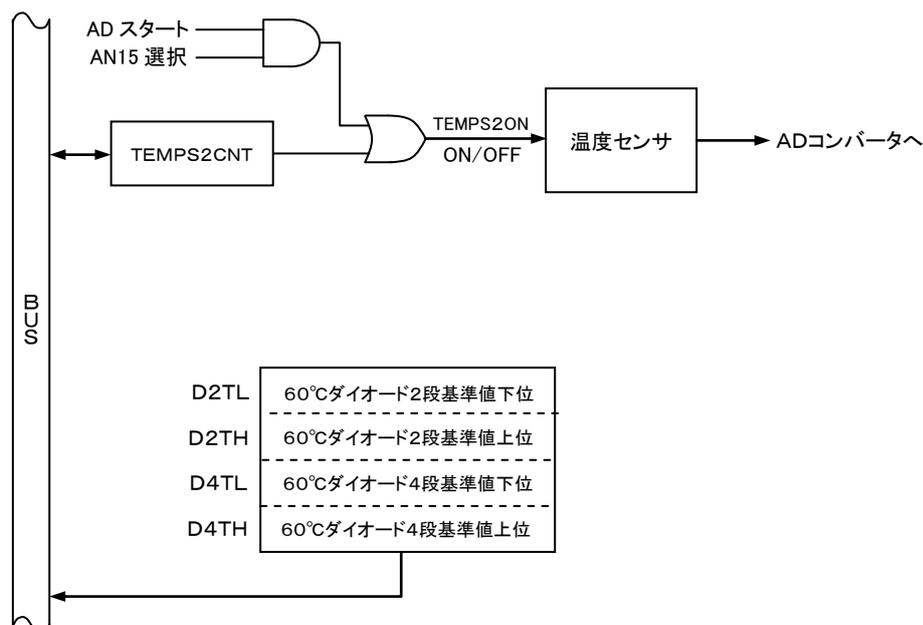


図 3-10-1 温度センサのブロック図

3-12-4 関連レジスタ

3-12-4-1 温度センサ制御レジスタ(TEMPS2CNT)

- ① 温度センサの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDA	00HH HH00	R/W	TEMPS2CNT	TEMPS2ON	FIX0	-	-	-	-	DIO2X	FIX0

TEMPS2ON(ビット7): 温度センサ動作制御(手動)

このビットが“0”の時、温度センサは動作停止となります。

このビットが“1”の時、温度センサは動作状態となります。

※アナログ入力チャネルのAN15を選択してAD動作をスタートさせた場合には、自動的に温度センサがONし、AD動作の終了で自動的にOFFします。

DIO2X (ビット1) : 温度センサダイオード段数選択

このビットが“0”の時、温度センサはダイオード4段になります。

このビットが“1”の時、温度センサはダイオード2段になります。

FIX0 (ビット6, 0) : テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

注意 :

① 温度センサが動作状態 (TEMPPS2ON = “1”) となると、数百 μ A の動作電流が常時流れます。

※ ① の状態でスタンバイモードに突入しても、温度センサは動作し続けます。電流を低減する必要がある場合には、スタンバイモードに突入する前にTEMPPS2ON = “0” にクリアして、温度センサの動作を停止してください。

3-12-4-2 温度センサ60℃ダイオード2段基準値下位レジスタ (D2TL)

① 約60℃時の温度センサ出力電圧 (ダイオード2段) をADコンバータ (12ビット変換モード / 基準電圧源 VREF = 2.0[V]) にてAD変換した値 (下位8ビット) が格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE0	xxxx xxxx	R/W	D2TL	D2TL7	D2TL6	D2TL5	D2TL4	D2TL3	D2TL2	D2TL1	D2TL0

3-12-4-3 温度センサ60℃ダイオード2段基準値上位レジスタ (D2TH)

① 約60℃時の温度センサ出力電圧 (ダイオード2段) をADコンバータ (12ビット変換モード / 基準電圧源 VREF = 2.0[V]) にてAD変換した値 (上位4ビット) が格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE1	0000 xxxx	R/W	D2TH	D2TH7	D2TH6	D2TH5	D2TH4	D2TH3	D2TH2	D2TH1	D2TH0

3-12-4-4 温度センサ60℃ダイオード4段基準値下位レジスタ (D4TL)

① 約60℃時の温度センサ出力電圧 (ダイオード4段) をADコンバータ (12ビット変換モード / 基準電圧源 VREF = 4.0[V]) にてAD変換した値 (下位8ビット) が格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE2	xxxx xxxx	R/W	D4TL	D4TL7	D4TL6	D4TL5	D4TL4	D4TL3	D4TL2	D4TL1	D4TL0

3-12-4-5 温度センサ60℃ダイオード4段基準値上位レジスタ (D4TH)

① 約60℃時の温度センサ出力電圧 (ダイオード4段) をADコンバータ (12ビット変換モード / 基準電圧源 VREF = 4.0[V]) にてAD変換した値 (上位4ビット) が格納される8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE3	0000 xxxx	R/W	D4TH	D4TH7	D4TH6	D4TH5	D4TH4	D4TH3	D4TH2	D4TH1	D4TH0

3-12-5 温度センサの使用例

①温度センサの設定

- TEMPSCNT = “80h” を書き込み、温度センサを動作状態とする。
温度センサの自動ON/OFFを使用する場合には、この設定は不要です。

②ADコンバータの設定

- ADMRCとADRLCレジスタに値を書き込み、12ビットAD変換モードと最適なAD変換時間を設定する。
- ADCRC = “F4h / F5h” (割り込み要求発生あり/なし) を書き込み、温度センサ出力をADコンバータの入力へ接続し、AD変換を開始する。

③温度の検出

- AD変換終了後、ADRLCとADRHCLレジスタよりAD変換値と約60℃時の温度センサの基準電圧値が格納されているデータメモリ(D2TL、D2TH、D4TL、D4TH)を用いて温度の算出を行う。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズは、低レベル(L)、高レベル(H)、最高レベル(X)の3レベルの多重割り込み制御機能を持っています。

マスタ割り込み許可レジスタ、割り込み優先制御レジスタで、割り込みの許可や割り込み優先順位の指定を行います。

4-1-2 機能

①割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・周辺モジュールからの割り込み要求を受けると、割り込みレベル、優先順位、割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- ・割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

②多重割り込み制御

- ・低レベル(L)、高レベル(H)、最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

③割り込みの優先

- ・2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

④割り込み要求許可受け付け制御

- ・マスタ割り込み許可レジスタで、HレベルとLレベルの割り込み要求受け付けの許可/禁止の制御ができます。
- ・Xレベルの割り込み要求受け付けの禁止はできません。

⑤割り込み受け付け禁止期間

- ・IE(FE08H)、IP(FE09H)レジスタ書き込み、ホールド解除後の2Tcycの期間、割り込みは受け付けられません。
- ・PCON(FE07H)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- ・RETI命令と次の命令の実行の間には割り込みはかかりません。

割り込み

⑥ 割り込みレベル制御

- ベクタアドレス単位で割り込みレベルの選択ができます。

割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4
4	0001BH	HまたはL	INT3/ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	HPWM2A
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC
10	0004BH	HまたはL	ポート0/VCPWM

- 優先レベル X > H > L
- 同一レベルではベクタアドレスの小さいものが優先

⑦ 割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

- IE, IP

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

4-1-3 回路構成

4-1-3-1 マスタ割り込み許可制御レジスタ(IE) (6ビットレジスタ)

- Hレベル, Lレベルの割り込みの許可/禁止を行う。
- 割り込みレベルフラグの状態を読む。
- ベクタアドレス00003H, 0000BHの割り込みのレベル切替(L/X)を行う。

4-1-3-2 割り込み優先制御レジスタ(IP) (8ビットレジスタ)

- ベクタアドレス00013H~0004BHの割り込みのレベル切替(H/L)を行う。

4-1-4 関連レジスタ

4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

①割り込みの制御を行う6ビットのレジスタで、ビット6～4はR/Oです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7):Hレベル, Lレベルの割り込みの許可/禁止制御

- ・このビットが1の時、Hレベル, Lレベルの割り込み要求の受付が許可されます。
- ・このビットが0の時、Hレベル, Lレベルの割り込み要求の受付が禁止されます。
- ・このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6):Xレベル割り込みフラグ(R/O)

- ・Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5):Hレベル割り込みフラグ(R/O)

- ・Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4):Lレベル割り込みフラグ(R/O)

- ・Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3, 2):存在しません。読むと“1”が読めます。

XCNT1(ビット1):0000BH割り込みレベル制御フラグ

- ・このビットが1の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- ・このビットが0の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0):00003H割り込みレベル制御フラグ

- ・このビットが1の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- ・このビットが0の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

割り込み

4-1-4-2 割り込み優先制御レジスタ(IP)

①ベクタアドレス00013H～0004BHの割り込みのレベル切替(H/L)を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込み ベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック発生回路として、メインクロック発振回路，サブクロック発振回路，低速RC発振回路，中速RC発振回路，高速RC発振回路の5系統の発振回路を内蔵しています。このうち、低速RC発振回路，中速RC発振回路，高速RC発振回路は抵抗とコンデンサを内蔵しており、外付け回路が不要です。これら5種類のクロックからプログラムでシステムクロックを選択します。

4-2-2 機能

① システムクロック選択

- ・メインクロック発振，サブクロック発振，低速RC発振，中速RC発振，高速RC発振の5系統の発振クロックからプログラムでシステムクロックを選択します。

② システムクロック分周

- ・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
- ・分周回路は2段階で構成されています。
 - 1段目は、 $\frac{1}{1}$ または $\frac{1}{2}$ の選択ができます。
 - 2段目は、 $\frac{1}{1}$ ， $\frac{1}{2}$ ， $\frac{1}{4}$ ， $\frac{1}{8}$ ， $\frac{1}{16}$ ， $\frac{1}{32}$ ， $\frac{1}{64}$ ， $\frac{1}{128}$ の選択ができます。

③ 発振回路の制御

- ・命令で、上記5系統の発振の停止／許可を独立に制御できます。但し、メインクロック発振回路とサブクロック発振回路は兼用端子（CF1／XT1，CF2／XT2）となっており、2系統を同時に使用することはできません。

④ 入出力端子兼用機能

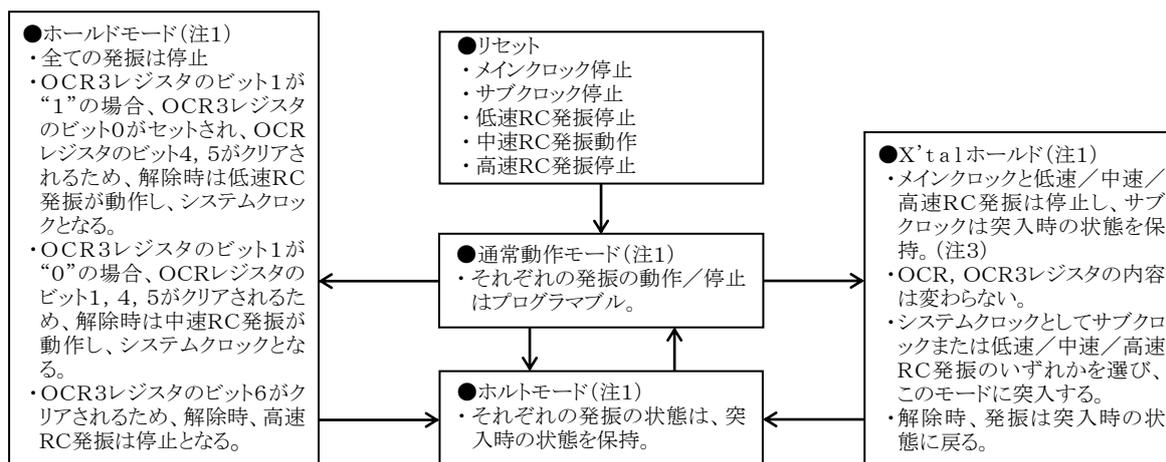
- ・CF発振端子／水晶発振端子（CF1／XT1，CF2／XT2）は、汎用入出力ポートとして使用できます。

⑤ モード毎の発振回路の状態

モード/クロック	メインクロック	サブクロック	低速RC発振 (注1)	中速RC発振	高速RC発振	システムクロック
リセット	停止	停止	停止	動作	停止	中速RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止	停止	停止	停止
ホールド解除直後	突入時の状態	突入時の状態	動作(注2)	動作(注2)	停止	中速RCまたは 低速RC発振
X'talホールド	停止	突入時の状態	停止(注3)	停止	停止	停止
X'talホールド解除直後	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態

各モードの突入方法／解除方法については「4-3 スタンバイ機能」を参照してください。

システムクロック



(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-6 ウォッチドッグタイマ」を参照してください。

(注2) ホールドモード突入時の発振制御レジスタ3(OCR3)のビット1の値により、ホールドモード解除後、中速RC発振または低速RC発振が自動的に発振許可されシステムクロックとなります。

(注3) ベースタイマの入力クロックに低速RC発振を選択した状態でベースタイマを動作させ、X'talホールドモードに突入すると、低速RC発振は突入時の状態を保持します。

⑥ システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PCON, CLKDIV, OCR, XT2PC, OCR3

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE43	HH00 0000	R/W	XT2PC	-	-	XT1DR	XT1DT	XTCFSEL	XT2CMOS	XT2DR	XT2DT
FE7C	0000 0000	R/W	OCR3	FRCSEL	FRCSTART	OCR3B5	OCR3B4	OCR3B3	FIX0	SRCSEL	SRCSTART

4-2-3 回路構成

4-2-3-1 メインクロック発振回路

① CF1/XT1, CF2/XT2端子にセラミック発振子と容量を接続し、OCRレジスタとXT2PCレジスタを制御することにより発振が可能になります。

② CF1/XT1, CF2/XT2端子のデータをOCRレジスタのビット2, 3として読むことができます。

③ メインクロック、サブクロック、汎用入力ポートとして使用しない場合、汎用入力ポート仕様を選択し、CF1/XT1端子、CF2/XT2端子を、HIGHレベル、または、LOWレベルに固定してください。

4-2-3-2 サブクロック発振回路

- ① CF1/XT1, CF2/XT2端子に水晶発振子(標準32.768kHz)と容量,ダンピング抵抗を接続し,OCRレジスタとXT2PCレジスタを制御することにより発振が可能になります。
- ② CF2/XT2端子のデータを発振制御レジスタ(OCR)のビット3として読むことができます。CF1/XT1端子のデータはOCRレジスタのビット2には読み込まれません。
- ③ メインクロック、サブクロック、汎用入力ポートとして使用しない場合、汎用入力ポート仕様を選択し、CF1/XT1端子、CF2/XT2端子を、HIGHレベル、または、LOWレベルに固定してください。

4-2-3-3 内蔵低速RC発振回路

- ① 内蔵の抵抗と容量により(標準30kHz)発振します。
- ② 低速RC発振は、低消費、低速動作に使用するシステムクロックです。

4-2-3-4 内蔵中速RC発振回路

- ① 内蔵の抵抗と容量により(標準1MHz)発振します。
- ② リセット解除後は中速RC発振クロックがシステムクロックとなり、ホールドモード解除後はホールドモード突入時の発振制御レジスタ3(OCR3)のビット1の値により、中速RC発振または低速RC発振クロックがシステムクロックとなります。

4-2-3-5 内蔵高速RC発振回路

- ① 内蔵の抵抗と容量により発振します。
- ② 高速RC発振は、高速動作に使用するシステムクロックです。

4-2-3-6 パワー制御レジスタ(PCON) (3ビットレジスタ)

- ① 動作モード(通常/ホルト/ホールド/X'talホールド)を設定します。

4-2-3-7 発振制御レジスタ(OCR) (8ビットレジスタ)

- ① メインクロック/サブクロック/中速RC発振回路の動作停止/開始の制御を行います。
- ② システムクロックの選択を行います。
- ③ システムクロックに使用する発振クロックの分周比を $\frac{1}{1}$ または $\frac{1}{2}$ に選択できます。
- ④ CF1/XT1, CF2/XT2端子のデータをビット2, 3として読むことができます。

4-2-3-8 発振制御レジスタ2(XT2PC) (6ビットレジスタ)

- ① メインクロック発振回路の機能制御を行います。
- ② CF1/XT1, CF2/XT2端子の汎用入出力の制御を行います。

4-2-3-9 発振制御レジスタ3(OCR3) (8ビットレジスタ)

- ① 低速/高速RC発振回路の動作停止/開始の制御を行います。
- ② RCクロックセレクトと高速クロックセレクトの制御を行います。

4-2-3-10 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

- ① システムクロック分周回路の制御を行います。
分周比は $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の設定が可能です。

システムクロック

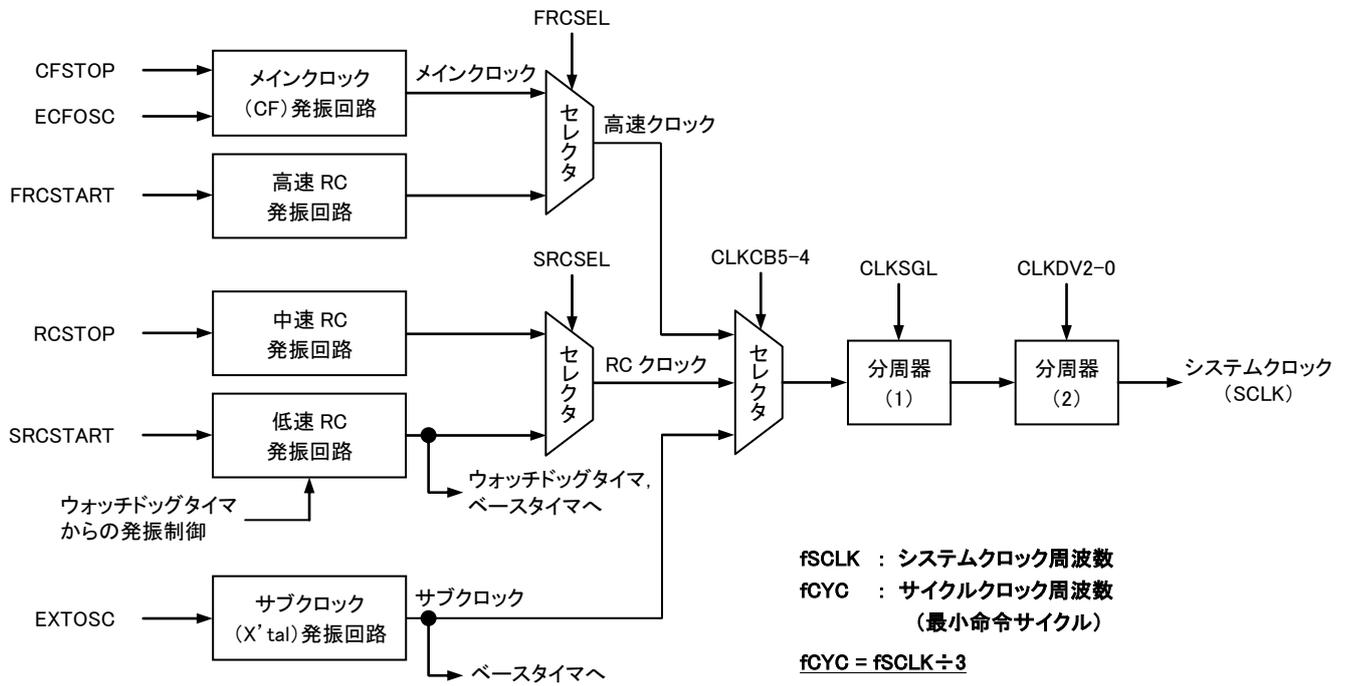


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 パワー制御レジスタ(PCON) (3ビットレジスタ)

- ① 動作モード(通常 / ホルト / ホールド / X'talホールド)を設定する3ビットのレジスタです。
- 各モードの突入方法 / 解除方法については「4-3 スタンバイ機能」を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

(ビット7～3) : 存在しません。読むと“1”が読めます。

XTIDLE (ビット2) : X'talホールドモード設定フラグ

PDN (ビット1) : ホールドモード設定フラグ

XTIDLE	PDN	動作モード
—	0	通常動作またはホルトモード
0	1	ホールドモード
1	1	X'talホールドモード

① これらのビットのセットは命令で行います。

- ホールドモードに突入すると全ての発振(メインクロック, サブクロック, 低速 / 中速 / 高速 RC)が停止し、関連するレジスタが下記のようになります。
OCR3レジスタのビット1が“1”の場合、OCR3レジスタのビット0がセットされ、OCRレジスタのビット4, 5とOCR3レジスタのビット6がクリアされます。
OCR3レジスタのビット1が“0”の場合、OCRレジスタのビット1, 4, 5とOCR3レジスタのビット6がクリアされます。
- ホールドモード復帰後、OCR, OCR3レジスタの値により、中速 RC または低速 RC は発振を開始しシステムクロックとなります。
また、メインクロックとサブクロックはホールドモード突入前の状態となり、高速 RC は発振を停止します。
- X'talホールドモードに突入するとサブクロック以外の発振(メインクロック, 低速 / 中速 / 高速 RC)は停止しますが、OCR, OCR3レジスタは変化しません。但し、ベースタイマの入力クロックに低速 RC を選択した状態でベースタイマを動作させ、X'talホールドモードに突入すると、低速 RC は突入時の状態を保持します。
- X'talホールドモード復帰後、メインクロックの発振安定時間がとれないので、X'talホールドモード突入時のシステムクロックはサブクロックまたは低速 / 中速 / 高速 RC のいずれかにする必要があります。
- 通常 X'talホールドモードは、低消費電流時計カウント用に使用する為、突入前にシステムクロックをサブクロックまたは低速 RC に切り換え、メインクロックと中速 / 高速 RC 発振を停止したほうが、より低消費電流となります。

② XTIDLE のクリアは命令で行います。

③ PDN のクリアは、ホールド解除信号 (INT0, INT1, INT2, INT4, ポート0 割り込み、ベースタイマ割り込み、CVD 割り込み) の発生、またはリセット信号で行われます。

④ PDN がセットされると自動的にビット0もセットされます。

システムクロック

IDLE (ビット0) : ホルトモード設定フラグ

- ① このビットをセットするとホルトモードに入ります。
- ② ビット1がセットされると自動的にこのビットもセットされます。
- ③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

注意 :

- ・低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-6 ウォッチドッグタイマ」を参照してください。

4-2-4-2 発振制御レジスタ(OCR) (8ビットレジスタ)

① システムクロック分周選択、発振回路の動作制御、システムクロックの選択、CF1/XT1、CF2/XT2端子のデータの読み込みを行う8ビットのレジスタです。読み出し専用のビット3, 2以外は読み書き可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP

CLKSGL (ビット7) : システムクロック分周選択

- ① このビットが“1”の時、ビット4, 5で選択されたクロックを直接システムクロックとして使用します。
- ② このビットが“0”の時、ビット4, 5で選択されたクロック周波数の $\frac{1}{2}$ のクロックをシステムクロックとして使用します。

EXTOSC (ビット6) : CF1/XT1, CF2/XT2機能制御

- ① このビットが“1”で、CFSTOP (ビット0) が“1”の時、CF1/XT1, CF2/XT2端子がサブクロック発振用の端子になり、水晶発振子 (標準32.768kHz) と容量、ダンピング抵抗を接続することにより発振可能になります。また、この時OCRレジスタを読むと、ビット3ではXT2端子のデータが読め、ビット2では“0”が読めます。
- ② このビットが“0”でXTCFSEL (XT2PCレジスタのビット3) が“1”の時、CF1/XT1, CF2/XT2端子がメインクロック発振用の端子になり、セラミック発振子と容量、帰還抵抗、ダンピング抵抗を接続することにより発振可能になります。メインクロック発振の動作と停止はCFSTOP (ビット0) で制御します。また、OCRレジスタを読むと、ビット3ではCF2/XT2発振の端子のデータが読め、ビット2ではCF1/XT1端子のデータが読めます。

CLKCB5 (ビット5) : システムクロック選択

CLKCB4 (ビット4) : システムクロック選択

- ① CLKCB5, CLKCB4で、システムクロックの選択を行います。
- ② リセット時とホールドモード突入時、CLKCB5, CLKCB4はクリアされず。

CLKCB5	CLKCB4	システムクロック
0	0	RCクロック
0	1	高速クロック
1	0	サブクロック
1	1	高速クロック

※ 詳しくは「図 4-2-1」を参照ください。

XT2IN (ビット3) : CF2 / XT2 データ (読み出し専用)

XT1IN (ビット2) : CF1 / XT1 データ (読み出し専用)

① EXTOSC (ビット6) の値により XT1IN で読めるデータが下表のように変わります。

EXTOSC	XT2IN	XT1IN
0	CF2 / XT2 端子データ	CF1 / XT1 端子データ
1	CF2 / XT2 端子データ	“0” が読まれる

RCSTOP (ビット1) : 中速 RC 発振回路制御

- ① このビットが“1”の時、中速 RC 発振は停止します。
- ② このビットが“0”の時、中速 RC 発振回路は動作します。
- ③ リセット時、このビットはクリアされ発振可能になります。
- ④ ホールドモード突入時の OCR3 レジスタのビット1 の値により、下記のようになります。
 - ・OCR3 レジスタのビット1 が“0”の時、このビットはクリアされホールドモード復帰後、発振を開始してシステムクロック = 中速 RC となります。
 - ・OCR3 レジスタのビット1 が“1”の時、このビットは変化しません。

CFSTOP (ビット0) : CF 発振回路制御

- ① このビットが“1”の時、CF 発振は停止します。
- ② このビットが“0”の時、CF 発振回路は動作します。
- ③ リセット時、このビットと XT2PC レジスタのビット6 はクリアされ CF1, CF2 端子は入力端子となります。

OCRレジスタ		XT2PCレジスタ	CF1 / XT1, CF2 / XT2 の状態	OCRレジスタ	
EXTOSC	CFSTOP	XTCFSEL		XT2IN	XT1IN
0	0	1	メインクロック発振動作	CF2 / XT2 端子データ	CF1 / XT1 端子データ
0	1	1	メインクロック発振停止	CF2 / XT2 端子データ	CF1 / XT1 端子データ
1	1	X	サブクロック発振動作	CF2 / XT2 端子データ	0 が読まれる
1	0	X	設定禁止	CF2 / XT2 端子データ	0 が読まれる
0	0	0	汎用入力	CF2 / XT2 端子データ	CF1 / XT1 端子データ
0	1	0	汎用入出力	CF2 / XT2 端子データ	CF1 / XT1 端子データ

4-2-4-3 発振制御レジスタ2 (XT2PC) (6ビットレジスタ)

- ① 発振回路の機能制御, CF1/XT1、CF2/XT2端子の汎用出力 (CF1/XT1はNchオープンドレインのみ)の制御, CF1、CF2端子のデータの読み込みを行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE43	HH00 0000	R/W	XT2PC	-	-	XT1DR	XT1DT	XTCFSEL	XT2CMOS	XT2DR	XT2DT

XT1DR (ビット5) : CF1/XT1データディレクション

OSCレジスタの設定により、CF1/XT1、CF2/XT2が汎用入出力モードのとき、CF1/XT1の入出力方向の制御を行うビットです。

- ①このビットが“0”の時、CF1/XT1は入力モードになりません。
 ②このビットが”1”の時、CF1/XT1は出力モード (Nchオープンドレイン) になります。

XT1DT (ビット4) : CF1/XT1データラッチ

OSCレジスタの設定により、CF1/XT1、CF2/XT2が汎用入出力モードのとき、CF1/XT1の出力データの制御を行うビットです。

レジスタデータ		ポートCF1/XT1の状態	
XT1DT	XT1DR	入力	出力
0	0	可能	オープン
1	0	可能	オープン
0	1	可能	LOW
1	1	可能	オープン

※汎用入出力モード設定時、詳細は「4-2-4-2 発振制御レジスタ」を参照ください。

XTCFSEL (ビット3) : CF1/XT1、CF2/XT2入力制御

このビットとEXTOSC (OCRレジスタのビット6)、CFSTOP (OCRレジスタのビット0)の設定によりCF1/XT1、CF2/XT2端子はメインクロック/サブクロック/汎用入出力ポートが切り替わります。(詳細は、「4-2-4-2 発振制御レジスタ」を参照してください。)

XT2CMOS (ビット2) : CF2/XT2出力形式

OSCレジスタの設定により、CF1/XT1、CF2/XT2が汎用入出力モードで、CF2/XT2が出力モード (XT2DR=1) のとき、CF2/XT2の出力形式の制御を行うビットです。

- ①このビットが“0”の時、CF2/XT2はNchオープンドレイン出力モードになります。
 ②このビットが”1”の時、CF2/XT2はCMOS出力モードになります。

XT2DR (ビット1) : CF2/XT2データディレクション

OSCレジスタの設定により、CF1/XT1、CF2/XT2が汎用入出力モードのとき、CF2/XT2の入出力方向の制御を行うビットです。

- ①このビットが“0”の時、CF2/XT2は入力モードになります。
 ②このビットが”1”の時、CF2/XT2は出力モードになります。

XT2DT (ビット0) : CF2/XT2データラッチ

OSCレジスタの設定により、CF1/XT1、CF2/XT2が汎用入出力モードのとき、CF2/XT2の出力データの制御を行うビットです。

レジスタデータ			ポートCF2/XT2の状態	
XT2DT	XT2DR	XT2CMOS	入力	出力
0	0	—	可能	オープン
1	0	—	可能	オープン
0	1	—	可能	LOW
1	1	0	可能	オープン
		1	可能	HIGH

※汎用入出力モード設定時、詳細は「4-2-4-2 発振制御レジスタ」を参照ください。

4-2-4-4 発振制御レジスタ3(OCR3) (8ビットレジスタ)

①低速/高速RC発振回路の動作制御、高速クロックの選択、RCクロックの選択を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7C	0000 0000	R/W	OCR3	FRCSEL	FRCSTART	OCR3B5	OCR3B4	OCR3B3	FIX0	SRCSEL	SRCSTART

FRCSEL(ビット7):高速クロック選択

- ① このビットが“0”の時、高速クロックとしてメインクロックが選択されます。
- ② このビットが“1”の時、高速クロックとして高速RC発振クロックが選択されます。

※詳しくは「図4-2-1」を参照ください。

FRCSTART(ビット6):高速RC発振回路制御

- ① このビットが“0”の時、高速RC発振は停止します。
- ② このビットが“1”の時、高速RC発振回路は動作します。
- ③ リセット時、このビットはクリアされ発振停止となります。
- ④ ホールドモード突入時、このビットはクリアされ発振停止となります。

OCR3B5~3(ビット5~3):汎用フラグ

汎用フラグとして使用できます。

このビットを操作しても機能ブロックの動作に影響を与えません。

SRCSEL(ビット1):RCクロック選択

- ① このビットが“0”の時、RCクロックとして中速R発振クロックが選択されます。
- ② このビットが“1”の時、RCクロックとして低速RC発振クロックが選択されます。

※詳しくは「図4-2-1」を参照ください。

SRCSTART(ビット0):低速RC発振回路制御

- ① このビットが“0”の時、低速RC発振は停止します。
- ② このビットが“1”の時、低速RC発振回路は動作します。
- ③ リセット時、このビットはクリアされ発振停止となります。
- ④ ホールドモード突入時のSRCSELの値により、下記のようになります。
 - ・SRCSELが“0”の時、このビットは変化しません。
 - ・SRCSELが“1”の時、このビットはセットされホールドモード復帰後、発振を開始してシステムクロック=低速RCとなります。

システムクロック

4-2-4-5 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

① システムクロック分周の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

(ビット7～3): 存在しません。読むと“1”が読めます。

CLKDV2(ビット2): }
 CLKDV1(ビット1): } システムクロックの分周比を設定します。
 CLKDV0(ビット0): }

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	$\frac{1}{1}$
0	0	1	$\frac{1}{2}$
0	1	0	$\frac{1}{4}$
0	1	1	$\frac{1}{8}$
1	0	0	$\frac{1}{16}$
1	0	1	$\frac{1}{32}$
1	1	0	$\frac{1}{64}$
1	1	1	$\frac{1}{128}$

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト、ホールド、X'talホールドと呼ばれる3つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

①ホルトモード

- ・命令の実行は停止しますが、周辺回路は動作を継続します(シリアル転送の一部機能は停止します)(注1)。
- ・PCONレジスタのビット0をセットすることにより、ホルトモードに入ります。
- ・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰します。

②ホールドモード

- ・全ての発振が停止します。命令の実行が停止し、周辺回路も動作を停止します(注1, 2)。
- ・PCONレジスタのビット2="0"で、ビット1をセットすることにより、ホールドモードに入ります。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
- ・リセットまたはホールド解除信号(INT0, INT1, INT2, INT4, ポート0割り込み)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

③X'talホールドモード

- ・サブクロック以外の発振が停止します(但し、ベースタイマの入力クロックに低速RC発振を選択した状態でベースタイマを動作させている場合、低速RC発振は突入時の状態を保持します)。命令の実行が停止し、ベースタイマを除く周辺回路が動作を停止します(注1, 2)。
- ・PCONレジスタのビット2="1"で、ビット1をセットすることにより、X'talホールドモードに入ります。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
- ・リセットまたはホールド解除信号(INT0, INT1, INT2, INT4, ポート0割り込み、ベースタイマ割り込み)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-6 ウォッチドッグタイマ」を参照してください。

(注2) ADコンバータの変換動作中にホールドモード、X'talホールドモードに設定しないでください。必ず、ADSTART(ADCRCレジスタのビット2)が"0"になったことを確認してから各モードに設定してください。

4-3-3 関連レジスタ

4-3-3-1 パワー制御レジスタ(PCON) (3ビットレジスタ)

① 動作モード(通常 / ホルト / ホールド / X'talホールド)を設定する3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

「4-2-4-1 パワー制御レジスタ(PCON)」をご参照ください。

表4-4-1 スタンバイ動作

項目/モード	リセット状態	ホルトモード	ホールドモード	X'talホールドモード
突入条件	<ul style="list-style-type: none"> RES 信号印加 POR/LVD によるリセット発生 ウォッチドッグタイマによるリセット発生 	PCONレジスタ ビット1/0="0/1"	PCONレジスタ ビット2/1="0/1"	PCONレジスタ ビット2/1="1/1"
突入後、 変化するデータ	別表の示すように初期化される。 (ウォッチドッグタイマによるリセットの場合、WDTCNTレジスタのビット7がセットされる)	WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。	<ul style="list-style-type: none"> WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。 PCONレジスタのビット0がセットされる。 OCR3レジスタのビット6がクリアされる。 OCR3レジスタのビット1="0"の場合 OCRレジスタのビット5, 4, 1がクリアされる。 OCR3レジスタのビット1="1"の場合 OCR3レジスタのビット0がセットされ、OCRレジスタのビット5, 4がクリアされる。 	<ul style="list-style-type: none"> WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。 PCONレジスタのビット0がセットされる。
メインクロック発振	停止	突入時の状態	停止	停止
サブクロック発振	停止	突入時の状態	停止	突入時の状態
低速RC発振	停止	突入時の状態(注1)	停止(注1)	停止(注1, 2)
中速RC発振	動作	突入時の状態	停止	停止
高速RC発振	停止	突入時の状態	停止	停止
CPU	初期化される。	停止	停止	停止
I/O端子状態	表4-4-2参照	←	←	←
RAM	<ul style="list-style-type: none"> RES の場合:不定 LVD の場合:不定またはデータ保持(電源電圧に依存) ウォッチドッグタイマの場合:データ保持 	データ保持	データ保持	データ保持
ベースタイマ	停止	突入時の状態	停止	突入時の状態
ベースタイマ以外の周辺モジュール	停止	突入時の状態(注3)	停止	停止
復帰条件	突入条件の解消	<ul style="list-style-type: none"> 割り込み要求の受付 リセット突入条件の成立 	<ul style="list-style-type: none"> INT0, INT1, INT2, INT4, ポート0 リセット突入条件の成立 	<ul style="list-style-type: none"> INT0, INT1, INT2, INT4, ポート0, ベースタイマ リセット突入条件の成立
復帰先	通常動作モード	通常動作モード(注4)	ホルトモード(注4)	ホルトモード(注4)
復帰後、 変化するデータ	なし	PCONレジスタのビット0がクリアされる。	PCONレジスタのビット1がクリアされる。	PCONレジスタのビット1がクリアされる。

(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-6 ウォッチドッグタイマ」を参照してください。

(注2) ベースタイマの入力クロックに低速RC発振を選択した状態でベースタイマを動作させ、X'talホールドモードに突入すると、低速RC発振は突入時の状態を保持します。

(注3) シリアル転送の一部機能は停止します。

(注4) リセット突入条件の成立で復帰した場合、リセット状態に移行します。

表4-4-2 モードによる端子状態(本シリーズの場合)

スタンバイ

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RES	・入出力端子	←	←	←	←
CF1 XT1	・入力端子 ・発振は開始しない。 ・CF用帰還抵抗、XT用帰還抵抗は共にオフ。	・レジスタ XT2PC(FE43H)の bit3 で、CF発振インバータの入力/汎用入出力を制御。 ・レジスタ OCR(FE0EH) で発振可能/停止を制御。 ・CF1,CF2 の間の帰還抵抗はプログラムで制御。	←	・CF発振インバータの入力/汎用入力 は、ホールド突入時の状態。 ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
CF2 XT2	・入力端子 ・発振は開始しない。 ・CF用帰還抵抗、XT用帰還抵抗は共にオフ。	・レジスタ XT2PC(FE43H)の bit3 で、CF発振インバータの出力/汎用入出力を制御。 ・レジスタ OCR(FE0EH) で発振可能/停止を制御。 ・CF1,CF2 の間の帰還抵抗はプログラムで制御。	←	・CF発振インバータの出力/汎用入力 は、ホールド突入時の状態。 ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
P00-P06	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P10~P17	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P70	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	・入力モード ・プルアップ抵抗はオフ。	←	・通常動作時と同じ。

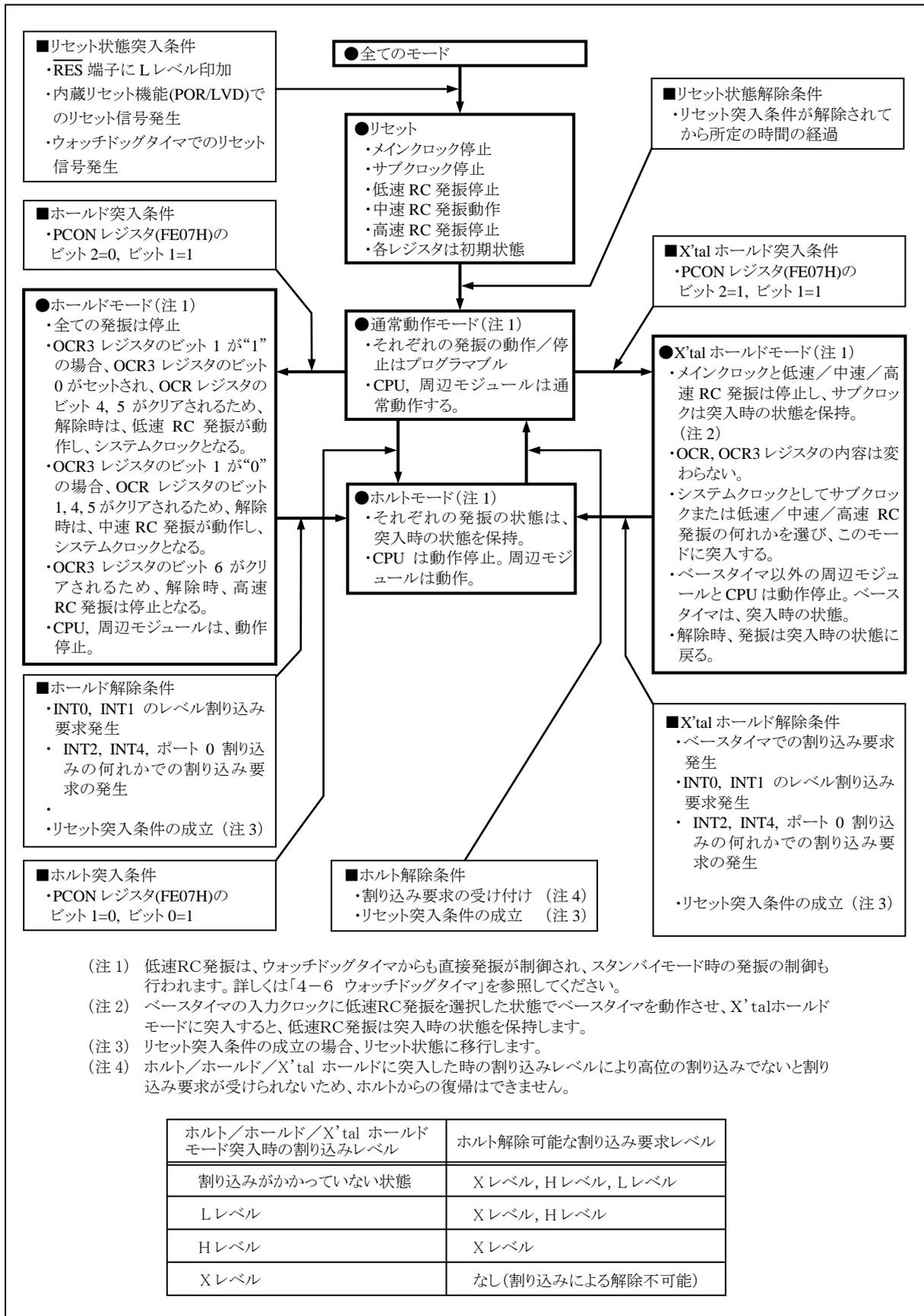


図 4-4-1 スタンバイモード遷移

スタンバイ

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の3つの機能を持っています。

① $\overline{\text{RES}}$ 端子による外部リセット機能

- ・RES端子に「L」レベルを200[μs]以上印加することで、確実にリセットがかかります。
しかし、わずかな幅(200[μs]以内)の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。
- ・RES端子に適正な時定数を外付けすることにより、電源投入時のリセットとして使用できます。

② 内蔵リセット機能

- ・電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。
- ・パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

③ 内蔵プルアップ抵抗

- ・リセット端子の内蔵プルアップ抵抗機能を【許可】使用する／【禁止】使用しないをオプションにて選択できます。

④ ウォッチドッグタイマによるリセット機能

- ・ウォッチドッグタイマは、内蔵低速RC発振またはサブクロックにより、一定時間毎にリセットを発生させることができます。

リセット回路の構成例を図4-5-1に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

リセット

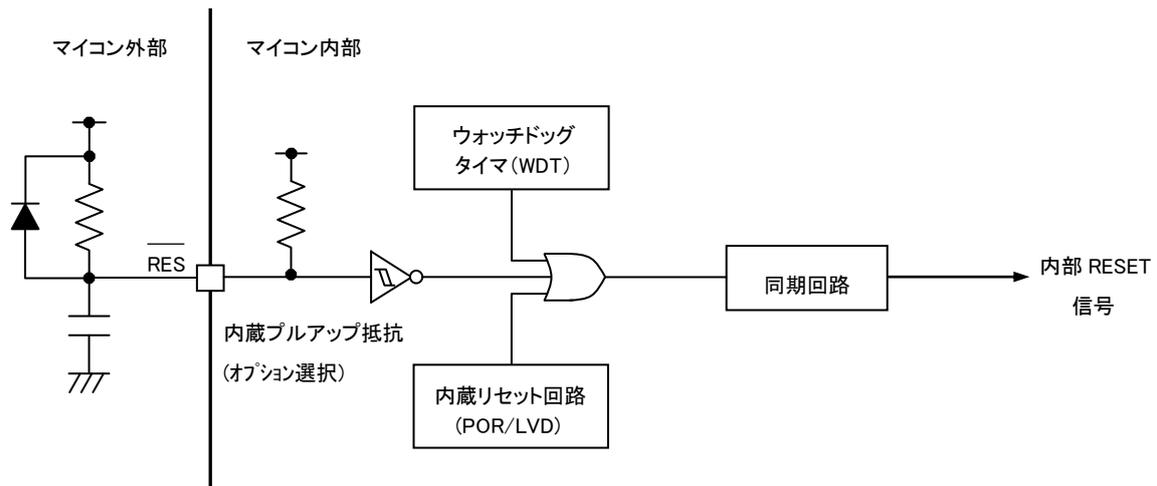


図 4-5-1 リセット回路ブロック図

4-4-3 リセット時の状態

RES 端子、内蔵リセット回路、ウォッチドッグタイマからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかるとシステムクロックは内蔵中速RC発振に切り換わるため、電源投入時でも直ちにハードウェアの初期化が行われます。この後、メインクロックを使用する場合には、メインクロックの発振を許可し、発振が安定するのを待って、システムクロックをメインクロックに切り換えます。

リセット時、プログラムカウンタの初期値は、0000Hになります。また、各特殊機能レジスタ(SFR)の初期値は、APPENDIX(A-I)87レジスタマップに示す値となります。

< 注意点 >

- ・スタックポインタの初期値は0000Hとなります。
- ・データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が「不定」となっていますので注意が必要です。
- ・内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず「4-5 内蔵リセット機能」の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

4-5 ウォッチドッグタイマ(WDT)

4-5-1 概要

本シリーズは、次の機能を持ったウォッチドッグタイマ(WDT)を備えています。

- ① 内蔵低速RC発振クロック/サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
 - ② スタンバイモード時の動作を3種類(カウント動作継続/動作停止/カウント値を保持してカウント動作停止)から選択可能
- ※ウォッチドッグタイマ(WDT)は、プログラムの暴走を検知する機能です。システムの信頼性向上のために、使用されることをお奨めします。

4-5-2 機能

① ウォッチドッグタイマ機能

- ・WDTクロック(内蔵低速RC発振クロックまたはサブクロックから選択)によって、17ビットのアップカウンタ(WDTCNT)が動作し、ウォッチドッグタイマ制御レジスタ(WDTCNT)で選択されたオーバーフロー時間(8種類から1つを選択)に達すると、WDTリセット(内部リセット)を発生します。この時、WDTリセット検出フラグ(WDTRSTF)がセットされます。WDTCNTはプログラムによりクリアできますので、定期的にWDTCNTをクリアするようにプログラムを作成します。
- ・WDTクロックに内蔵低速RC発振クロックを選択してWDTの動作を開始した場合、内蔵低速RC発振回路は、発振制御レジスタ3(OCR3)とWDTの両方から制御されます。発振制御を独立して行うため、プログラムの暴走によってシステムクロックが停止するようなことがあってもWDTの動作は継続され、暴走の検出が可能となります。
- ・WDTクロックにサブクロックを選択してWDTの動作を開始した場合、発振制御レジスタ(OCR)のXT発振機能制御ビット(EXTOSC)によるサブクロック発振停止またはホールドモード突入によるサブクロック発振停止の検出により、WDTリセットを発生します。この時、WDTRSTFがセットされます。

② スタンバイモード時の動作

- ・スタンバイモード時のWDTの動作を“カウント動作継続”, “動作停止”, “カウント値を保持してカウント動作停止”の3種類から選択できます。この内の“カウント動作継続”を選択した状態で、WDTクロックに内蔵低速RC発振クロックを選択すると、スタンバイモード時でも内蔵低速RC発振回路が発振を続けますので、数 μ Aの動作電流が常時流れます(詳細は「半導体ニュース」を参照してください)。

- ③ ウォッチドッグタイマ(WDT)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・WDTCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	WDTRSTF	WDTCKSL	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

4-5-3 回路構成

4-5-3-1 WDT制御レジスタ(WDTCNT) (8ビットレジスタ)

① WDTリセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

注意：外部RE端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット6とビット4～0は初期化されません。

注意：WDTの動作を開始(WDTRUN=1)すると、WDTCNTへの書き込みは禁止されます。この時、「MOV #55H, WDTCNT」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます(他の命令で“55H”を書き込んでもWDTCTはクリアされません)。

注意：内蔵低速RC発振回路は、WDTCKSL(WDTCNTのビット6) = “0”且つWDTRUN(WDTCNTのビット5) = “1”により発振を開始します。発振を開始すると、数 μ Aの動作電流が流れます(詳細は「半導体ニュース」を参照してください)。また、SRCSTART(OCR3のビット0) = “1”の設定でも発振を開始しますので、注意が必要です。

4-5-3-2 WDTカウンタ(WDTCT) (17ビットカウンタ)

- ① 動作開始/停止 : WDTRUN = 1 / WDTRUN = 0 または WDTRUN = 1 且つ IDLOP1 ~ 0 (WDTCNTのビット4 ~ 3) = 2 の時にスタンバイモードへ突入
- ② カウントクロック : WDTクロック(内蔵低速RC発振クロックまたはサブクロックから選択)
- ③ オーバーフロー発生 : WDTCTのカウント値がWDTSL2 ~ 0 (WDTCNTのビット2 ~ 0) で選択されたカウント値と一致した時
※ WDTリセットとWDTRUNクリア信号とWDTRSTF(WDTCNTのビット7)へのセット信号を発生
- ④ リセット : WDTRUN = 0 または WDTRUN = 1 且つ「MOV #55H, WDTCNT」命令の実行

※ WDT動作の詳細は「図4-6-2」を参照してください。

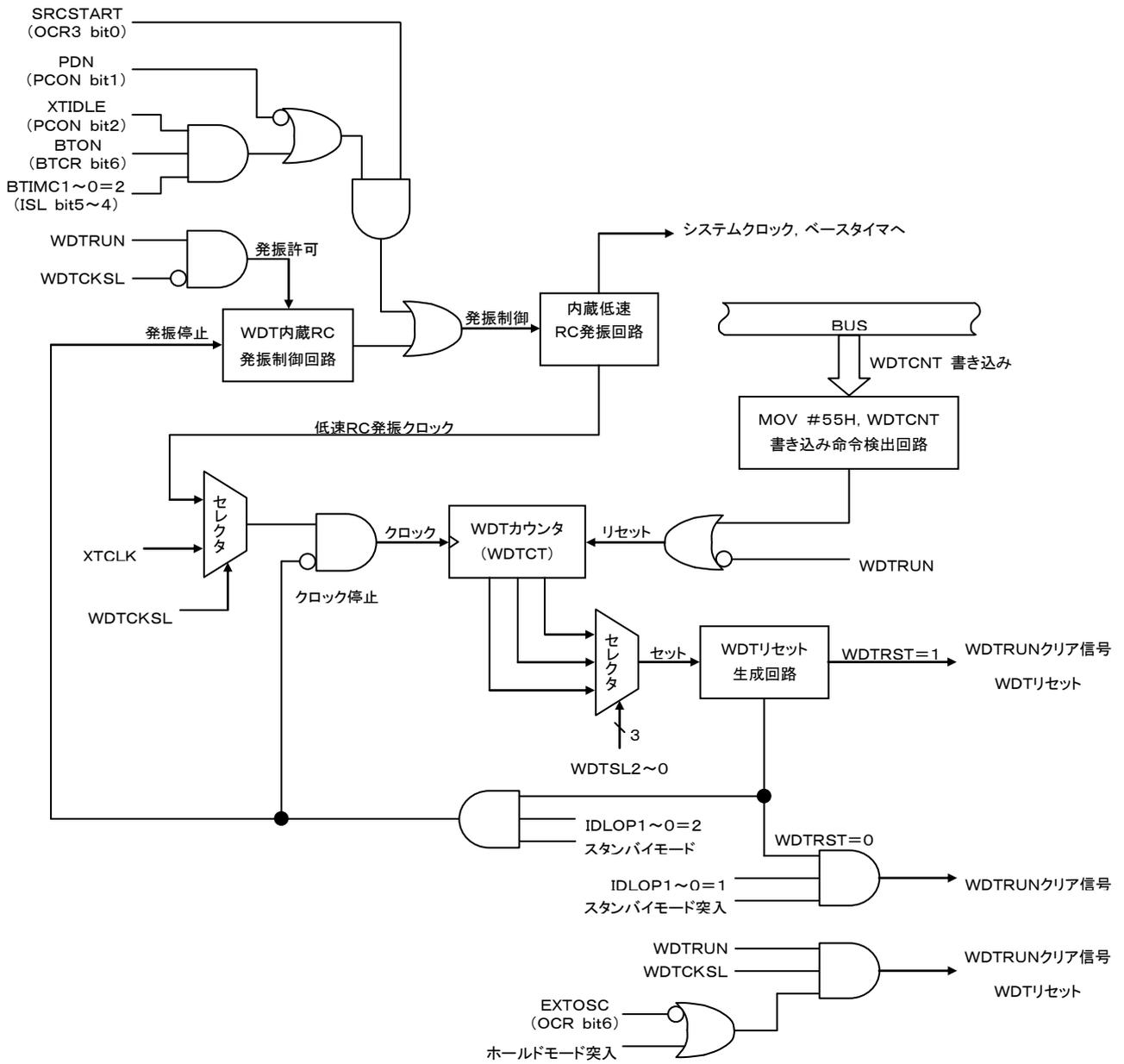


図 4-6-1 ウォッチドッグタイマブロック図

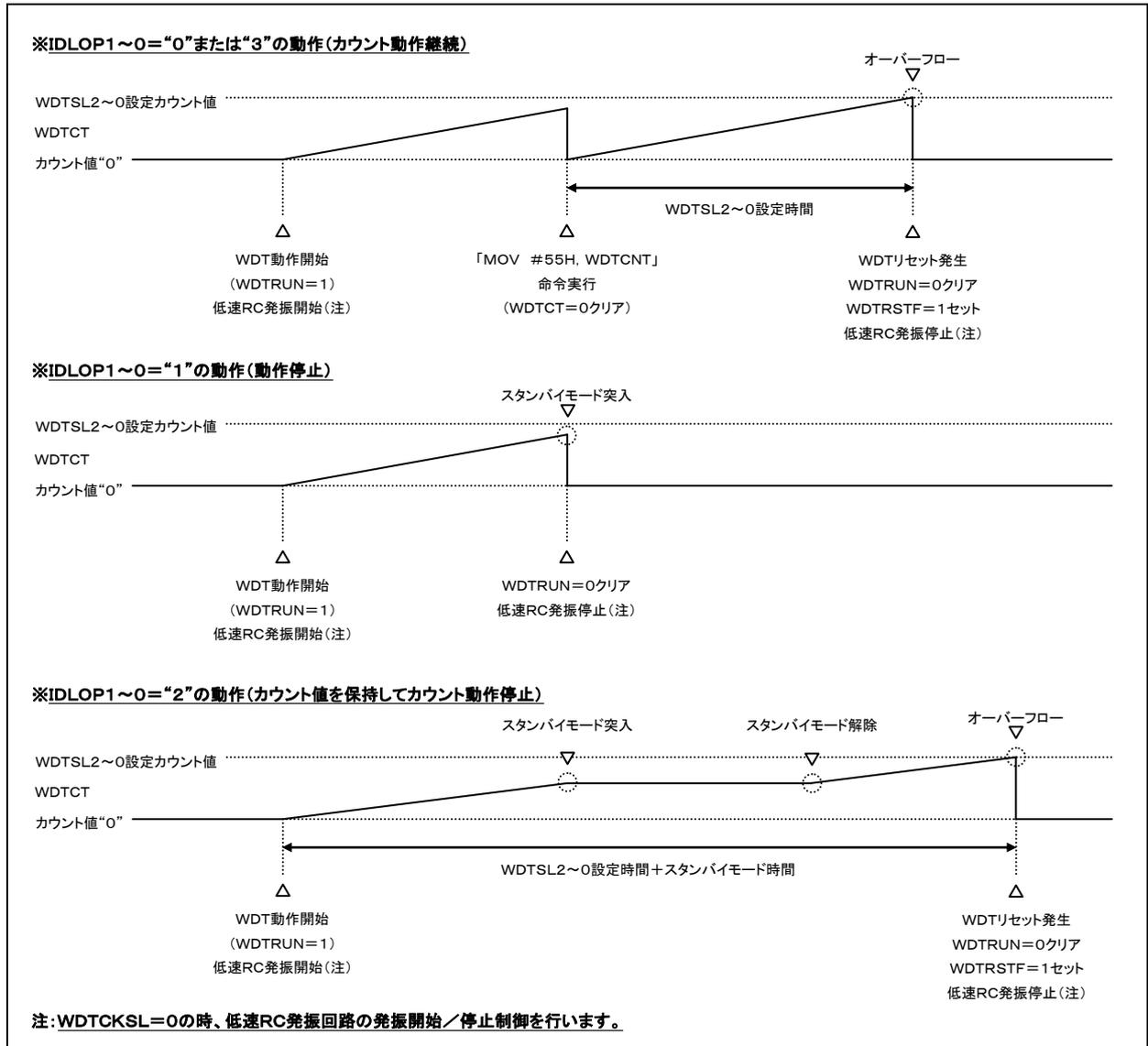


図 4-6-2 ウォッチドッグタイマの動作波形例

4-5-4 関連レジスタ

4-5-4-1 WDT制御レジスタ(WDTCNT)

① WDTリセット検出フラグ, スタンバイモード時の動作選択, オーバーフロー時間選択, WDTの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	WDTRSTF	WDTCKSL	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

WDTRSTF (ビット7): WDTリセット検出フラグ

外部 RE 端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、このビットはクリアされます。

WDTによるリセットが発生した場合、このビットはセットされます。

このフラグは命令で書き換え可能です。

WDTCKSL (ビット6) : WDTCT入力クロック選択

WDTCKSL	WDTCT入力クロック
0	内蔵低速RC発振クロック
1	サブクロック

WDTRUN (ビット5) : WDT動作制御

このビットが“0”の時、WDTは動作を停止します。
 このビットが“1”の時、WDTは動作を開始します。

IDLOP1 (ビット4) : }
 IDLOP0 (ビット3) : } スタンバイモード時の動作選択

IDLOP1	IDLOP0	スタンバイモード時の動作
0	0	カウント動作継続
0	1	動作停止
1	0	カウント値を保持してカウント動作停止
1	1	カウント動作継続

※各動作モードの詳細は「図4-6-2」を参照してください。

WDTSL2 (ビット2) : }
 WDTSL1 (ビット1) : } オーバーフロー時間選択
 WDTSL0 (ビット0) : }

WDTSL2	WDTSL1	WDTSL0	WDTCT設定カウント数とオーバーフロー発生時間例		
			カウント数	低速RCクロック	サブクロック
0	0	0	1024	34.13ms	31.25ms
0	0	1	2048	68.26ms	62.50ms
0	1	0	4096	136.5ms	125.0ms
0	1	1	8192	273.0ms	250.0ms
1	0	0	16384	546.1ms	500.0ms
1	0	1	32768	1.092ms	1.000s
1	1	0	65536	2.184ms	2.000s
1	1	1	131072	4.368s	4.000s

※表の“低速RCクロック”は、内蔵低速RC発振周波数が30kHz (typ.) 時のWDTCTオーバーフロー発生までにかかる時間となります。内蔵低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください。

※表の“サブクロック”は、32.768kHzのX'tal発振を使用した時のWDTCTオーバーフロー発生までにかかる時間となります。

注意：外部 RE 端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット6とビット4～0は初期化されません。

WDT

注意：WDTの動作を開始(WDTRUN=1)すると、WDTCNTへの書き込みは禁止されます。この時、「**MOV #55H, WDTCNT**」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます(他の命令で“55H”を書き込んでもWDTCTはクリアされません)。

注意：内蔵低速RC発振回路は、WDTCKSL=“0”且つWDTRUN=“1”により発振を開始します。発振を開始すると、数 μ Aの動作電流が流れます(詳細は「半導体ニュース」を参照してください)。また、SRCSTART(OCR3のビット0)=“1”の設定でも発振を開始しますので、注意が必要です。

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

① ウォッチドッグタイマの動作開始

- 1) WDTリセット発生までにかかる時間をWDTCKSL(WDTCNTのビット6)とWDTSL2~0(WDTCNTのビット2~0)に設定します。
- 2) スタンバイモード(ホルト/ホールド/X'talホールド)時のウォッチドッグタイマの動作をIDL0P1~0(WDTCNTのビット4~3)に設定します。
- 3) 1)、2)の設定後、WDTRUN(WDTCNTのビット5)に“1”を書き込みます。WDTRUNに“1”を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、**WDTCNTへの書き込みは禁止**され、WDTCTのクリアとWDTCNTの読み出しのみが可能になり、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、外部RES端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合またはIDL0P1~0=“1”の状態です。この場合、WDTRUNがクリアされます。

② WDTCTのクリア

ウォッチドッグタイマが動作を開始すると、WDTCTがカウントアップします。このWDTCTがオーバーフローするとWDTリセットが発生します。通常のプログラム動作を行うには、WDTCTがオーバーフローする前に定期的にクリアする必要があります。動作中のWDTCTのクリアには、次の命令を使用してください。

MOV #55H, WDTCNT

③ 暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマはクリアされないで、WDTCTがオーバーフローします。オーバーフローが起こればプログラムが暴走したと判断され、WDTリセットが発生します。この時、WDRSTF(WDTCNTのビット7)がセットされます。WDTリセット発生後、プログラムを0000H番地から再実行します(フラッシュROM版では、オプションで選択されたスタート番地から再実行します)。

4-5-6 ウォッチドッグタイマ使用上の注意点

- ① WDTクロックに内蔵低速RC発振クロックを選択している場合 (WDTCKSL=0)
- 内蔵低速RC発振クロックをシステムクロックに使用しない場合、SRCSTART(OCR3のビット0) = “0”を設定してください(内蔵低速RC発振回路は、発振開始/停止をウォッチドッグタイマ側からも制御されます)。SRCSTART(OCR3のビット0) = “1”の場合、IDLOP1~0 = “1”または“2”の設定でウォッチドッグタイマが動作していても、ホールドモード時に内蔵低速RC発振回路が発振を続けます。
 - ホールドモードを使用して極低消費電力を実現する場合、IDLOP1~0 = “1”または“2”を設定して、ホールドモード時のウォッチドッグタイマの動作を停止しておく必要があります。IDLOP1~0 = “0”または“3”を設定した場合、ホールドモード時でも内蔵低速RC発振回路が発振を続けますので、数 μ A の動作電流が常時流れます。
 - IDLOP1~0 = “2”を選択してウォッチドッグタイマが動作している時、スタンバイモードに突入すると内蔵低速RC発振回路は発振を停止し、ウォッチドッグタイマはカウント動作を停止してカウント値を保持します。その後、スタンバイモードが解除されると、内蔵低速RC発振回路は発振を開始して、ウォッチドッグタイマはカウント動作を再開しますが、スタンバイモード解除から次のスタンバイモード突入までの期間が「低速RC発振クロック×4」未満であると、スタンバイモードに突入しても、内蔵低速RC発振回路が発振を停止しない場合があります。この時(スタンバイモード実行中)、ウォッチドッグタイマはカウント動作を停止していますが、内蔵低速RC発振回路は発振しているため、数 μ A の動作電流が流れます。
セットの待機電力を落とす場合、スタンバイモード解除から次のスタンバイモード突入までの期間を「低速RC発振クロック×4」以上の間隔を空けて実行するようにプログラムを作成してください(内蔵低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください)。
- ② WDTクロックにサブクロックを選択している場合 (WDTCKSL=1)
- WDTCKSL = “1”でウォッチドッグタイマを動作させる場合、EXTOSC(OCRのビット6) = “1”を設定後、プログラムによりサブクロックの発振安定時間を待ってから、ウォッチドッグタイマの動作を開始してください。
 - ウォッチドッグタイマの動作中に、EXTOSC(OCRのビット6) = “0”によるサブクロック発振停止またはホールドモード突入によるサブクロック発振停止を検出すると、プログラムが暴走したと判断され、WDTリセットが発生します。この時、WDTRSTFがセットされます。
- ※ このモードは、主に時計カウントを使用するアプリケーションにおいて、低消費電力を実現する場合に使用します。

4-6 内蔵リセット機能

4-6-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-6-2 機能

① パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

② 低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-6-3 回路構成

内蔵リセット回路は、POR、LVD、パルスストレッチャ回路、容量CRES放電トランジスタ、外付け容量CRES+プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成図を4-7-1項に示します。

・パルスストレッチャ回路

POR、LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は $30\mu s \sim 100\mu s$ です。

・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4-7-4項を参照ください。

・外付け容量CRES+プルアップ抵抗RRES

内蔵リセット

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC, R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4-7-1の回路構成を推奨します。推奨定数は $CRES = 0.022\mu F$, $RRES = 510k\Omega$ です。但し、オプション選択で、リセット端子の内蔵プルアップ抵抗を【禁止】使用しない場合、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

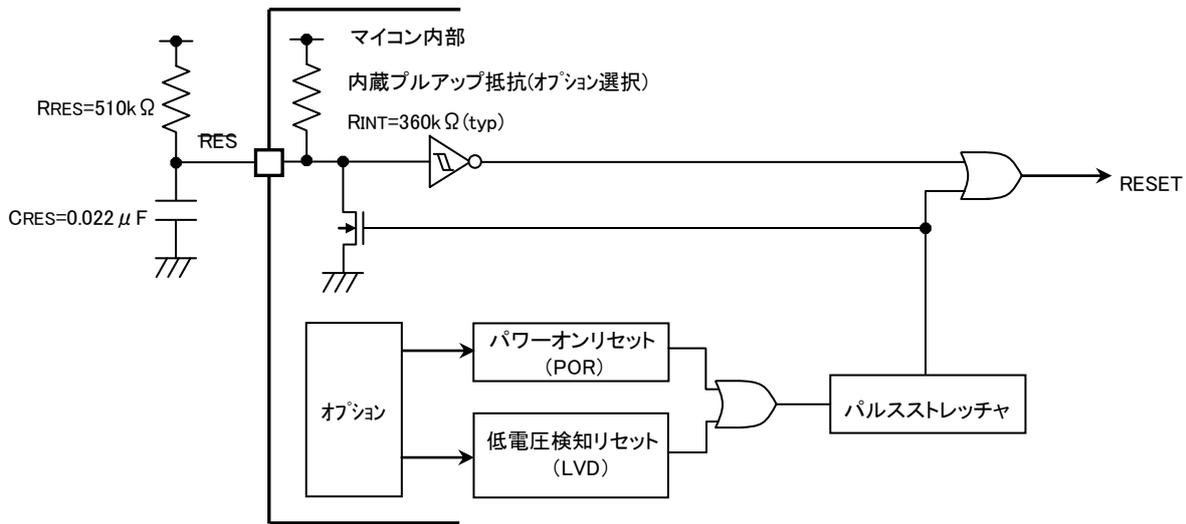


図4-6-1 内蔵リセット回路構成図

4-6-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】: 使用する		【禁止】: 使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
—	—	【1.67V】	1.8V~
【1.91V】	2.1V~	【1.97V】	2.1V~
【2.01V】	2.2V~	【2.07V】	2.2V~
【2.31V】	2.5V~	【2.37V】	2.5V~
【2.51V】	2.7V~	【2.57V】	2.7V~
【2.81V】	3.0V~	【2.87V】	3.0V~
【3.79V】	4.0V~	【3.86V】	4.0V~
【4.28V】	4.5V~	【4.35V】	4.5V~

*VDD動作 min. 値はオプションで選択したPOR解除レベル/LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

①LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1)この時の動作電流は全てのモードにおいて数μA常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2)この時の動作電流は全てのモードにおいて流れません。

*詳細は4-7-5項のリセット回路の動作波形例を参照ください。

②LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを7レベル選択できます。使用する動作条件に適した検知レベルを選択します。

③POR解除レベルオプション

LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを8レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、保証動作電圧 min. に影響しない最低レベル(1.67V)を選択してください。

(注3)この時の動作電流はPORがリセットを解除すると電流は流れません。

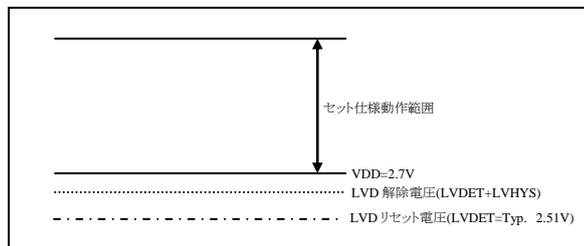
(注4)保証動作電圧 min.以下のPOR解除レベルを選択(1.67V)する場合には、使用上の留意点がありますので4-7-6-②項を参照ください。

内蔵リセット

● 選択参考例 1

セット仕様によりVDD=2.7Vまでリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

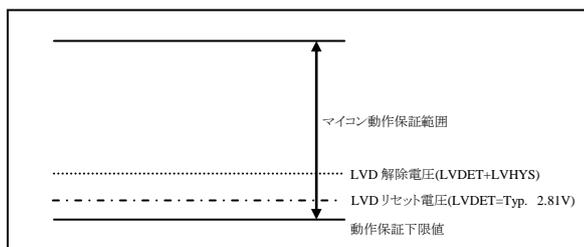
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【2.51V】を選択します。



● 選択参考例 2

VDD=2.7V/tCYC=250nsまでの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

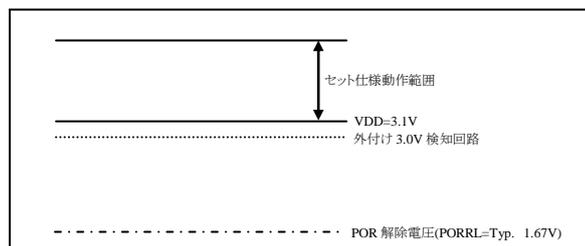
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



● 選択参考例 3

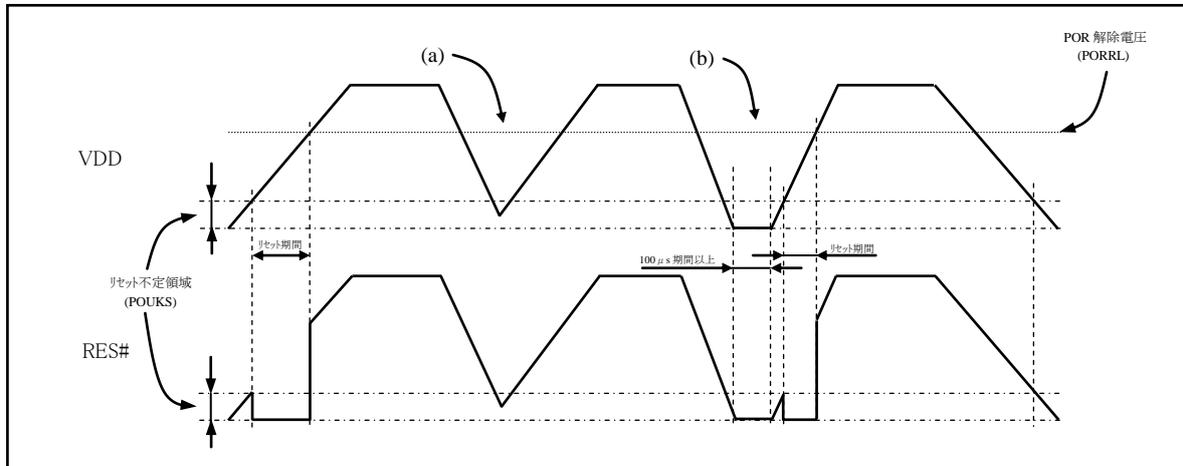
外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(4-7-7-①項を合わせてご参照ください)

LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【1.67V】を選択します。

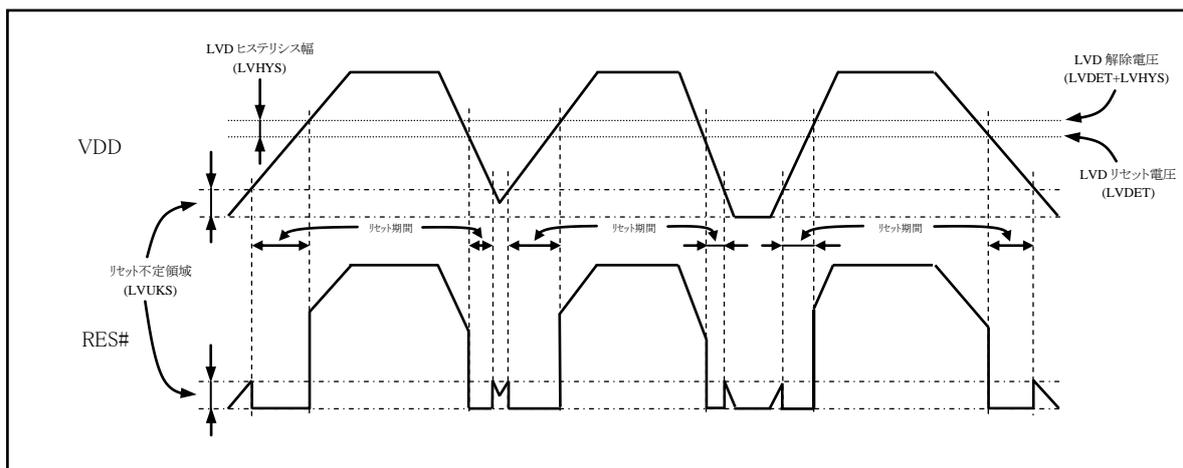


(注5) 参考例に表記されている動作保証値(電圧/動作周波数)は使用する機種により異なりますので、必ず最新の半導体ニュースを参照し適切な設定レベルを選択してください。

4-6-5 内蔵リセット回路の動作波形例

①PORのみ(LVD使用しない)の動作波形例
(リセット端子:プルアップ抵抗RRESのみ)

- ・PORはトランジスタが駆動始めるまでの期間、不定領域(POUKS)が存在します。
- ・PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- ・(a)のように電源がVSSレベルまで下らない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- ・(b)のように電源がVSSレベルまで十分下がり、その状態が100 μ s以上保持されてから電源が再投入された場合のみリセットがかかります。

②POR+LVDを併用した場合の動作波形例
(リセット端子:プルアップ抵抗RRESのみ)

- ・POR+LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域(LVUKS)が存在します。
- ・電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除/突入電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- ・LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)があります。

4-6-6 内蔵リセット回路使用上の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないでください。必ず、使用条件に最適な容量CRESを外付けしてください。但し、オプション選択で、リセット端子の内蔵プルアップ抵抗を【禁止】使用しない場合、プルアップ抵抗RRESを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

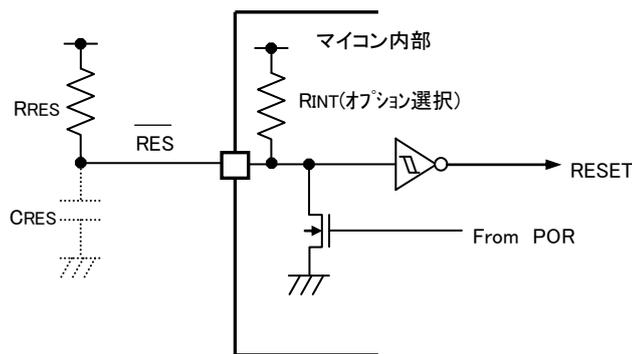


図 4-7-2 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル1.67V選択時

内蔵POR解除レベル1.67V選択時は、電源立ち上がり時間に合わせリセット端子に容量CRESと、オプション選択で、リセット端子の内蔵プルアップ抵抗を【禁止】使用しない場合、さらに、プルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧 min. 以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧 min. 以上に達するまでの期間、リセット端子にLレベルを入力してください。

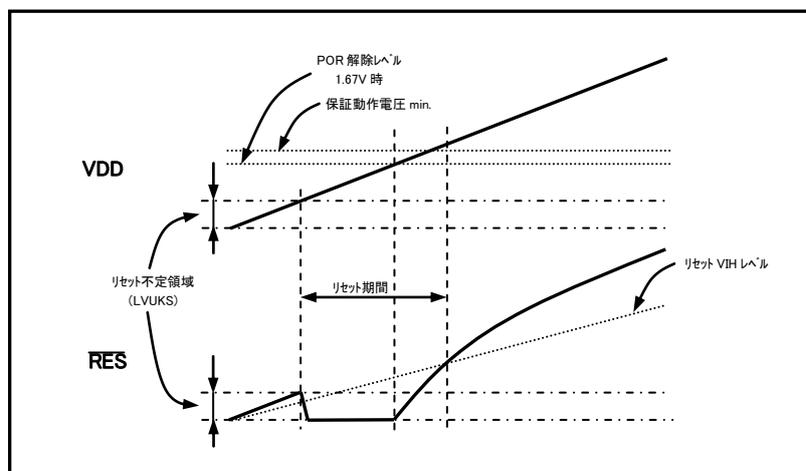


図 4-7-3 内蔵PORのみの解除レベル波形例

- ③ 数百 μs より短い(速い)電源瞬停・電源変動が想定される時
 内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知して
 からリセット信号を発生させるまでの応答時間があり、図4-7-4のような低電圧最
 小検知幅 TLVDW が規定されています。(半導体ニュースを参照)このため、電源が
 最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図4-7
 -5のような対策例やその他の対策を必ず行ってください。

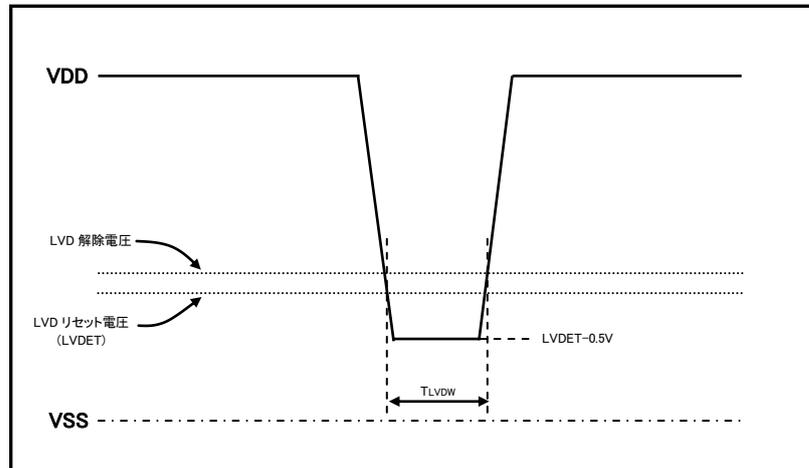


図4-7-4 電源瞬停・電源変動波形例

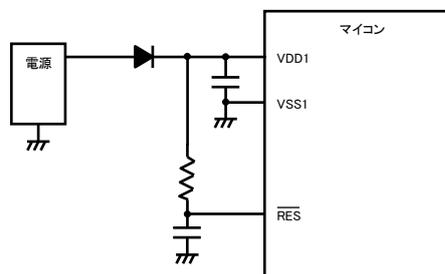


図4-7-5 電源瞬停・電源変動対策例

4-6-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量CRES放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル(1.67V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

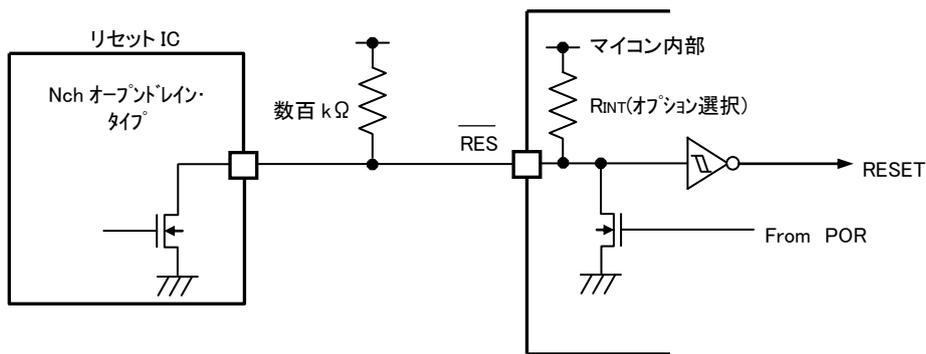


図 4-7-6 Nchオープンドレイン・タイプ使用時のリセット回路構成例

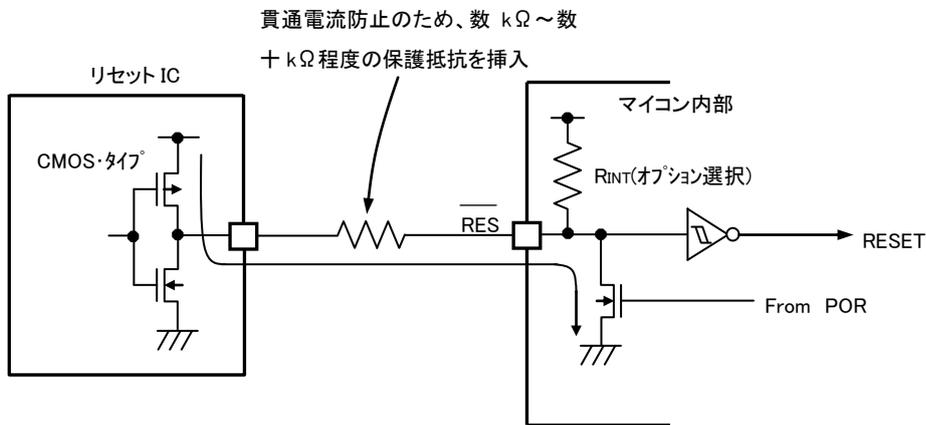


図 4-7-7 CMOS・タイプ使用時のリセット回路構成例

②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

4-7-7-①項と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量CRESを $0.1\mu\text{F}$ 以上にする場合には、必ず図4-7-8のようにダイオードDRESも外付けしてください。

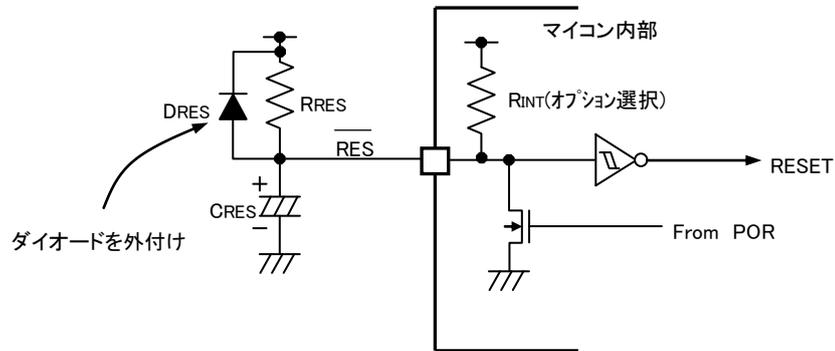


図4-7-8 外部PORのリセット回路構成例

内蔵リセット

APPENDIX

APPENDIX・目次

APPENDIX－ I

- ・スペシャルファンクションレジスタ (SFR) マップ

APPENDIX－ II

- ・ポート0ブロック図
- ・ポート1ブロック図
- ・ポート7ブロック図

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~00FF	XXXX XXXX	R/W	RAM256B	9ビット構成									
FE00	0000 0000	R/W	AREG		-	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		-	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		-	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05													
FE06	0000 0000	R/W	PSW		-	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY
FE07	HHHH H000	R/W	PCON		-	-	-	-	-	-	XTIDLE	PDN	IDLE
FE08	0000 HH00	R/W	IE		-	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		-	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		-	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		-	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP
FE0C	HHHH H000	R/W	CLKDV		-	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0D													
FE0E	0000 XX00	R/W	OCR	BIT2, 3でXT1, XT2を読む	-	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE10	0000 0000	R/W	TOCNT		-	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR	フリスケ-ラは8ビット (max. 256Tcyc)	-	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL		-	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH		-	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR		-	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR		-	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	タイマ0キャプチャレジスタL	-	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	タイマ0キャプチャレジスタH	-	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0
FE18	0000 0000	R/W	T1CNT		-	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR		-	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1HCMP	T1HIE	T1LCMP	T1LIE
FE1A	0000 0000	R	T1L		-	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H		-	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR		-	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR		-	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1E													
FE1F													
FE20													
FE21													
FE22													
FE23													
FE24													
FE25													
FE26													
FE27													
FE28													
FE29													
FE2A													
FE2B													
FE2C													
FE2D													
FE2E													
FE2F													
FE30													
FE31													
FE32													
FE33													
FE34	0000 0000	R/W	SCON1		-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	9bit REG	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1		-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10
FE37													
FE38													
FE39													
FE3A													
FE3B													
FE3C													
FE3D	0000 0000	R/W	BTPRR		-	BTPRR7	BTPRR6	BTPRR5	BTPRR4	BTPRR3	BTPRR2	BTPRR1	BTPRR0

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E													
FE3F													
FE40	0000 0000	R/W	P0		-	FIX0	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	PODDR		-	FIX0	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR
FE42	0000 0000	R/W	POFCR		-	T1HPWMEN	T1LPWMEN	POFLG	P0IE	CLKOEN	CLKODV2	CLKODV1	CLKODV0
FE43	HH00 0000	R/W	XT2PC	発振端子汎用ポート入力制御	-	-	-	XT1DR	XT1DT	XTCFSEL	XT2CMOS	FIX0	FIX0
FE44	0000 0001	R/W	P1		-	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0100 0011	R/W	P1DDR		-	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0100 0000	R/W	P1FCR		-	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0H0H HHH0	R/W	P1TST		-	FIX0	-	FIX0	-	-	-	-	FIX0
FE48	HH00 0000	R/W	アクセス禁止		-	-	-	FIX0	FIX0	FIX0	FIX0	FIX0	FIX0
FE49	HH00 0000	R/W	アクセス禁止		-	-	-	FIX0	FIX0	FIX0	FIX0	FIX0	FIX0
FE4A	0000 0000	R/W	I45CR		-	INT5HEG	INT5LEG	INT5IF	INT5IE	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL		-	I5SL3	I5SL2	I5SL1	I5SL0	I4SL3	I4SL2	I4SL1	I4SL0
FE4C					-	-	-	-	-	-	-	-	-
FE4D					-	-	-	-	-	-	-	-	-
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCRC	12bit-AD 制御	-	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE
FE59	0000 0000	R/W	ADMRC	12bit-AD モード	-	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	12bit-AD 変換結果 L	-	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	12bit-AD 変換結果 H	-	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C	HHH0 HHH0	R/W	P7	1bit-IO (4:DDR 0:DATA)	-	-	-	-	P7ODDR	-	-	-	P7ODT
FE5D	0000 0000	R/W	I01CR		-	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

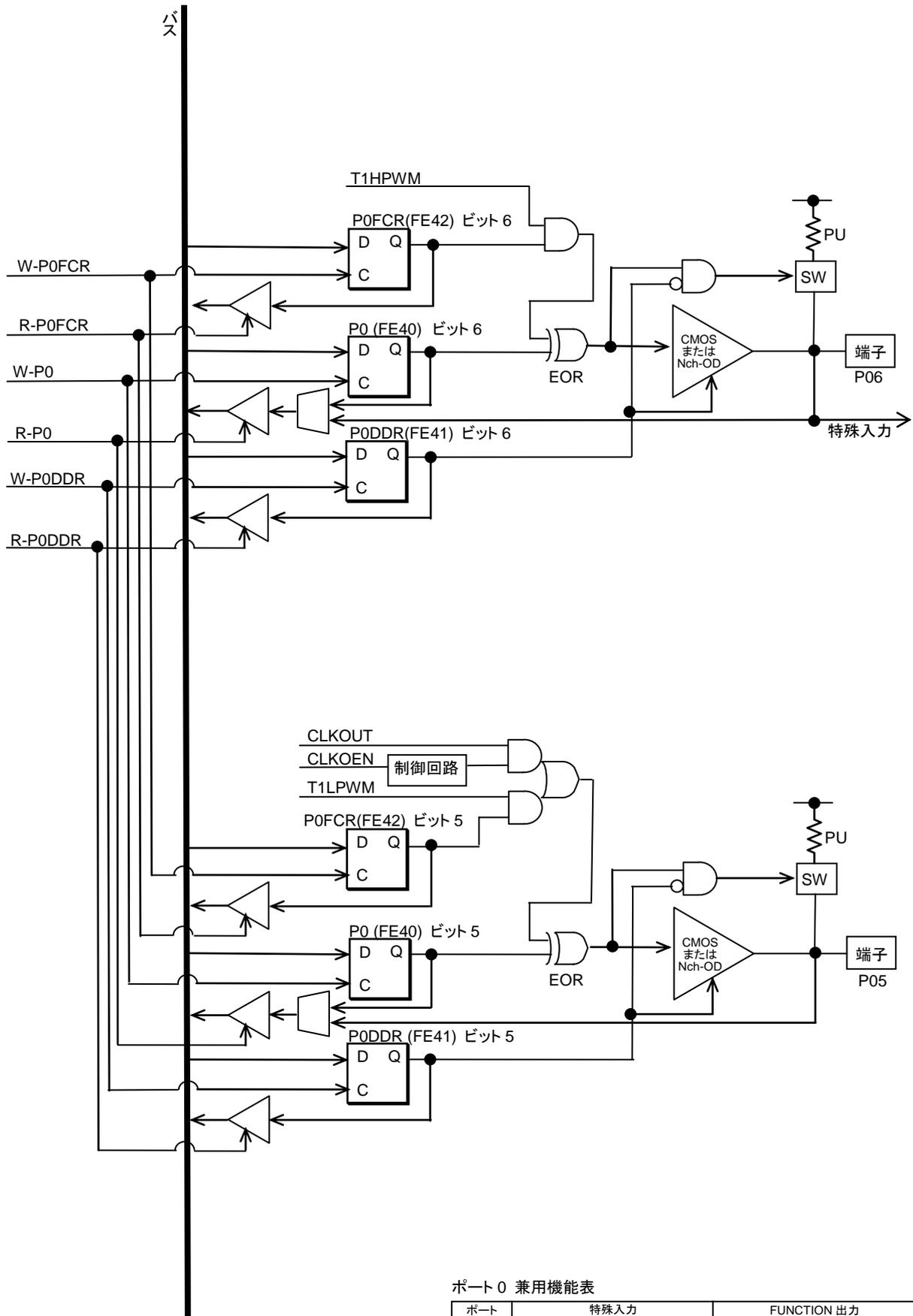
アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR		-	INT3HEG	INT3LEG	INT31F	INT31E	INT2HEG	INT2LEG	INT21F	INT21E
FE5F	0000 0000	R/W	ISL		-	STOHCP	STOLCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN
FE60													
FE61													
FE62													
FE63													
FE64													
FE65													
FE66													
FE67													
FE68													
FE69													
FE6A													
FE6B													
FE6C													
FE6D													
FE6E													
FE6F													
FE70													
FE71													
FE72													
FE73													
FE74													
FE75													
FE76													
FE77													
FE78													
FE79	0000 0000	R/W	WDCNT	タイマ型ウォッチドッグタイマ	-	RSTFLG	WDTCKSL	WDRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0
FE7A													
FE7B													
FE7C	0000 0000	R/W	OCR3		-	FRCSEL	FRCSTART	OCR3B5	OCR3B4	OCR3B3	OCR3B2	SRCSEL	SRCSTART

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D													
FE7E	0000 0000	R/W	FSR0	FLASH 制御 (bit4 は R/0)	-	FSR0B7 Fix to 0	FSR0B6 Fix to 0	FSAERR	FSWOK	INTHIGH	FSLDAT	FSPGL	FSWREQ
FE7F	0000 0000	R/W	BTCR	ハートタイマ制御	-	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE80	0000 HHHH	R/W	VCPWMOL	電圧制御用 PWM	-	CPWMOL3	CPWMOL2	CPWMOL1	CPWMOL0	-	-	-	-
FE81	0000 0000	R/W	VCPWMOH	電圧制御用 PWM	-	CPWMOH7	CPWMOH6	CPWMOH5	CPWMOH4	CPWMOH3	CPWMOH2	CPWMOH1	CPWMOH0
FE82	0000 HHHH	R/W	VCPWM1L	電圧制御用 PWM	-	CPWML3	CPWML2	CPWML1	CPWML0	-	-	-	-
FE83	0000 0000	R/W	VCPWM1H	電圧制御用 PWM	-	CPWM1H7	CPWM1H6	CPWM1H5	CPWM1H4	CPWM1H3	CPWM1H2	CPWM1H1	CPWM1H0
FE84	0000 0000	R/W	VCPWMOC	電圧制御用 PWM	-	CPWMOC7	CPWMOC6	CPWMOC5	CPWMOC4	ENCPWM1	ENCPWM0	CPWMOOV	CPWMO1E
FE85	HHH0 0000	R/W	VCPWMO1P	電圧制御用 PWM	-	-	-	-	CPWMO1P2	CPWM1ECK	CPWMOECK	FIX0	FIX0
FE86													
FE87													
FE88													
FE89													
FE8A													
FE8B													
FE8C													
FE8D	0000 0000	R/W	HPWM2AC	高速 PWM	-	H2A40MON	H2ACKDV	H2ACKSL	H2ABWSL	H2ARUN	H2ARLBSY	H2AOVF	H2AIE
FE8E	00HH HH00	R/W	HPWM2AL	高速 PWM	-	HPWM2AL1	HPWM2AL0	-	-	-	-	P17H2ASL	P16H2ASL
FE8F	0000 0000	R/W	HPWM2AH	高速 PWM	-	HPWM2AH7	HPWM2AH6	HPWM2AH5	HPWM2AH4	HPWM2AH3	HPWM2AH2	HPWM2AH1	HPWM2AH0
FE90													
FE91													
FE92													
FE93													
FE94													
FE95													
FE96													
FE97													
FE98													
FE99													
FE9A													
FE9B													

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C													
FE9D													
FE9E													
FE9F													
FEA0													
FEA1													
FEA2													
FEA3													
FEA4													
FEA5													
FEA6													
FEA7	0000 0000	R/W	RCTRMST	周波数カウンタ制御	-	REFCKS1	REFCKS0	SELFRQ1	SELFRQ0	FRQTST1	FRQCTST	FRQCTEND	RCTRMST0
FEA8													
FEA9													
FEAA													
FEAB													
FEAC													
FEAD													
FEAE													
FEAF													
FEB0													
FEB1													
FEB2													
FEB3	XXXX XXXX	R/W	(FRCTRM0)	高速 RC トリミング レジスタ 0	-	FRCADJ7	FRCADJ6	FRCADJ5	FRCADJ4	FRCADJ3	FRCADJ2	FRCADJ1	FRCADJ0
FEB4	XXXX XXXX	R/W	(FRCTRM1)	高速 RC トリミング レジスタ 1	-	FRCFRQ1	FRCFRQ0	FRCTEMP2	FRCTEMP1	FRCTEMP0	BIT2	FRCADJ9	FRCADJ8
FEB5	X XXXX XXXX	R/W	(SRCTRM)	低速 RC トリミング レジスタ	SRCSL30KZ	SRCRCB3	SRCRCB2	SRCRCB1	SRRCB0	SRCFCB2	SRCFCB1	SRCFCB0	SRDCB
FEB6													
FEB7													
FEB8													
FEB9													
FEBA													
FEBB													

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECB													
FEBD													
FEBE													
FEBF													
FEC0	000H HH00	R/W	VRCNT	VREF 制御	-	VR120N	VR240N	CPON	-	-	-	VRADSEL	VR2SELZ
FEC1	XXXX XXXX	R/W	VR2AJ	VREF2V アジスタ	-	VR2AJ7	VR2AJ6	VR2AJ5	VR2AJ4	VR2AJ3	VR2AJ2	VR2AJ1	VR2AJ0
FEC2	0000 0000	R/W	ANIEZ	AN 使用時のホート制御	-	AN13IEZ	AN12IEZ	AN11IEZ	AN10IEZ	AN9IEZ	AN7IEZ	AN6IEZ	AN5IEZ
FEC3	00H0 H000	R/W	APCNT	10/20 倍アンプ制御	-	APON	GAIN20	-	APTOE	-	APDIR	APMD1	APMD0
FEC4	XXXX XXXX	R/W	PWRCTRM0	PWM 専用 RC トリミングレジスタ 0	-	VMRCAD7	VMRCAD6	VMRCAD5	VMRCAD4	VMRCAD3	VMRCAD2	VMRCAD1	VMRCAD0
FEC5	XHHH HHXX	R/W	PWRCTRM1	PWM 専用 RC トリミングレジスタ 1	-	VMSL40M	-	-	-	-	-	VMRCAD9	VMRCAD8
FEC6	XXXX XXXX	R/W	VR4AJ	VREF4V アジスタ	-	VR4AJ7	VR4AJ6	VR4AJ5	VR4AJ4	VR4AJ3	VR4AJ2	VR4AJ1	VR4AJ0
FEC7													
FEC8													
FEC9													
FECA													
FECB													
FEC0													
FEC1													
FEC2													
FEC3													
FEC4													
FEC5													
FEC6													
FEC7													
FEC8													
FEC9													
FEDA	00HH HH00	R/W	TEMPS2CNT	温度計制御	-	TEMPS2ON	FIX0	-	-	-	-	DI02X	FIX0
FEDB													

アドレス	初期値	R/W	LC870G00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDC													
FEDD													
FEDE													
FEDF													
FEE0	XXXX XXXX	R/W	D2TL	Diode2 段の高温 τ^* - τ L	-	D2TL7	D2TL6	D2TL5	D2TL4	D2TL3	D2TL2	D2TL1	D2TL0
FEE1	XXXX XXXX	R/W	D2TH	Diode2 段の高温 τ^* - τ H	-	D2TH7	D2TH6	D2TH5	D2TH4	D2TH3	D2TH2	D2TH1	D2TH0
FEE2	XXXX XXXX	R/W	D4TL	Diode4 段の高温 τ^* - τ L	-	D4TL7	D4TL6	D4TL5	D4TL4	D4TL3	D4TL2	D4TL1	D4TL0
FEE3	XXXX XXXX	R/W	D4TH	Diode4 段の高温 τ^* - τ H	-	D4TH7	D4TH6	D4TH5	D4TH4	D4TH3	D4TH2	D4TH1	D4TH0
FEE4													
FEE5													
FEE6													
FEE7													
FEE8													
FEE9													
FEEA													
FEEB													
FEEC													
FEED													
FEEE													
FEF0													
FEF1													
FEF2													
FEF3													
FEF4													
FEF5													
FEF6													
FEF7													
FEF8													
FEF9													
FEFA													
FEFB													



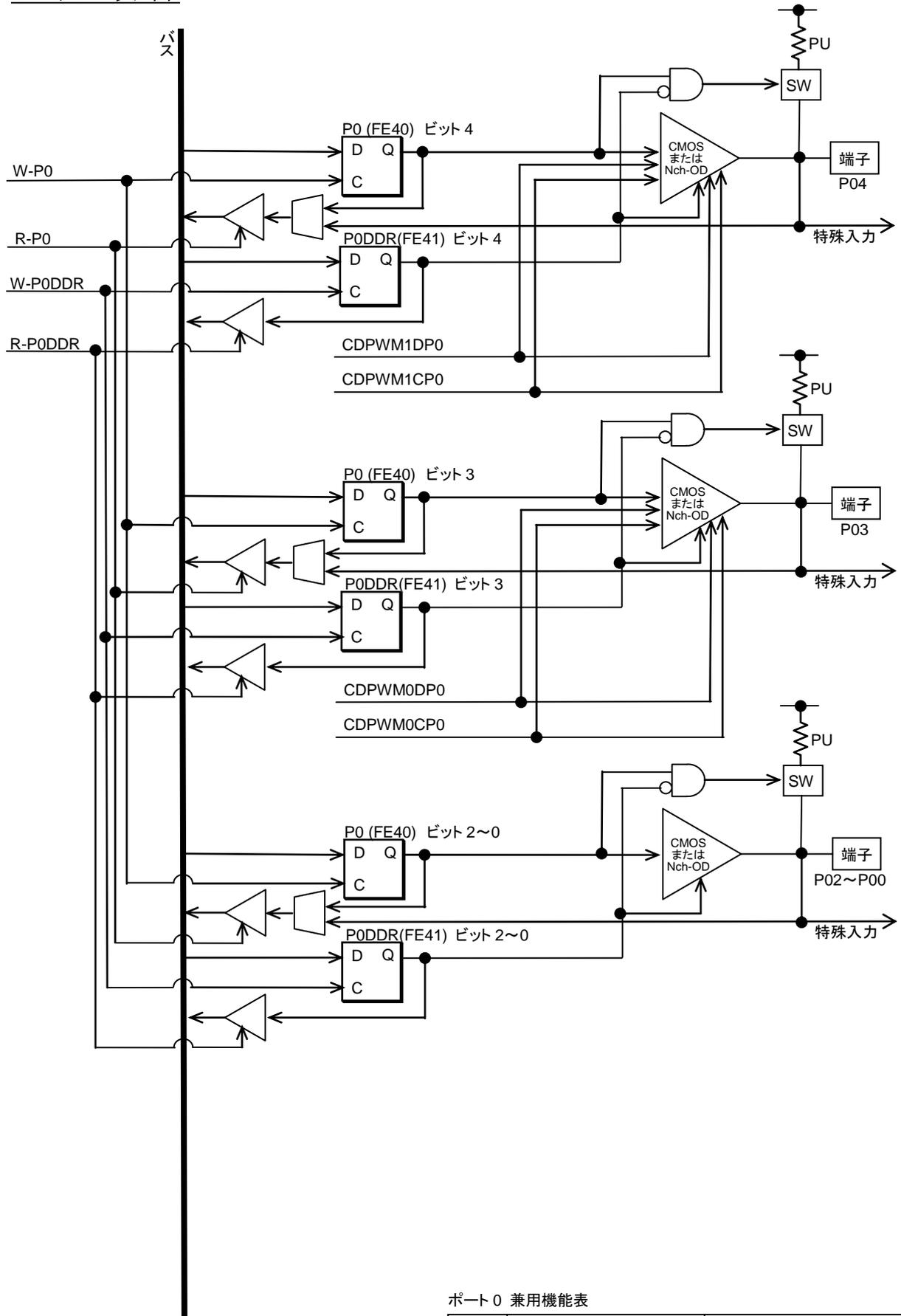
ポート0 兼用機能表

ポート	特殊入力	FUNCTION 出力
P06	-	タイマ 1HPWM 出力
P05	-	クロック出力 (システム/サブクロック選択可) タイマ 1LPWM 出力

ポート0 ブロック図 (P06、P05)

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

ポートブロック図

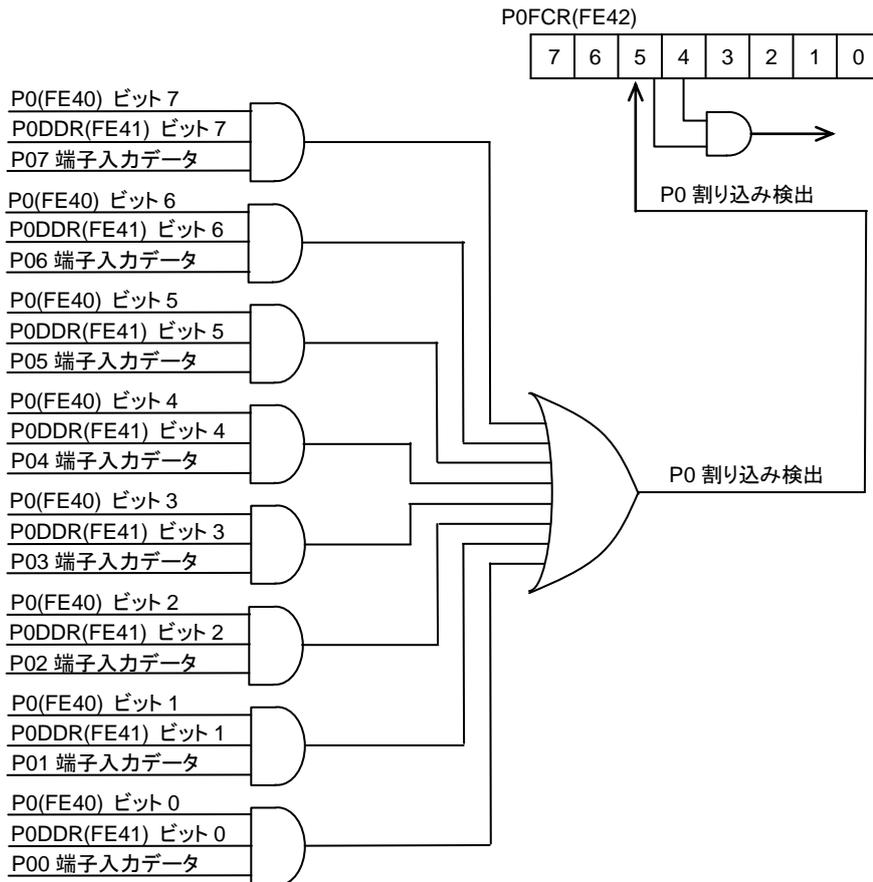


ポート0 兼用機能表

ポート	特殊入力	FUNCTION 出力
P04	AN4	VCPWM1 出力
P03	AN3	VCPWM0 出力
P02	AN2/コンパレータ入力	-
P01	APIP (10/20 倍アンプ+側入力)	-
P00	APIM (10/20 倍アンプ-側入力)	-

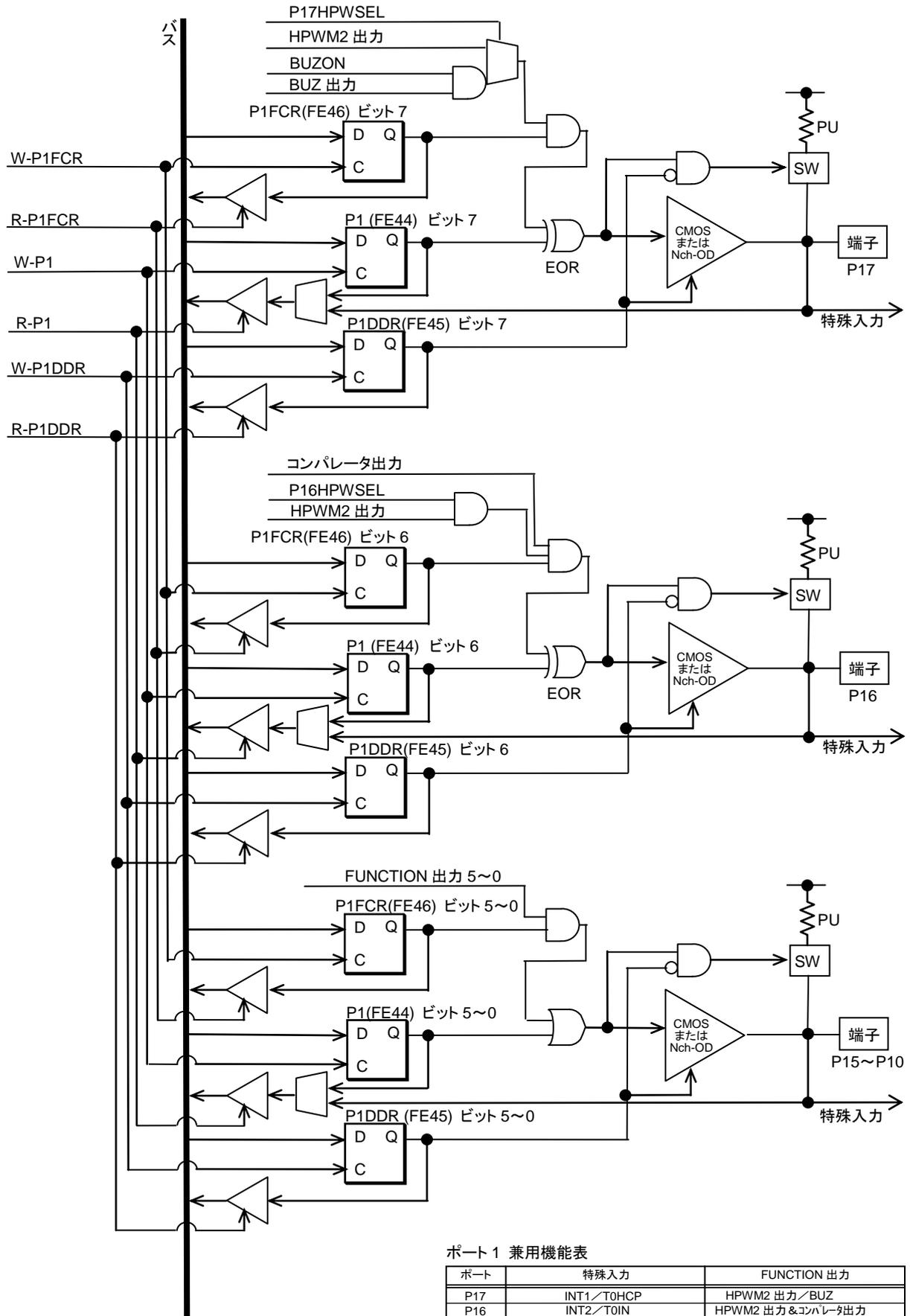
ポート0 ブロック図 (P04~P00)

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能



ポート0 (割り込み) ブロック図

ポートブロック図

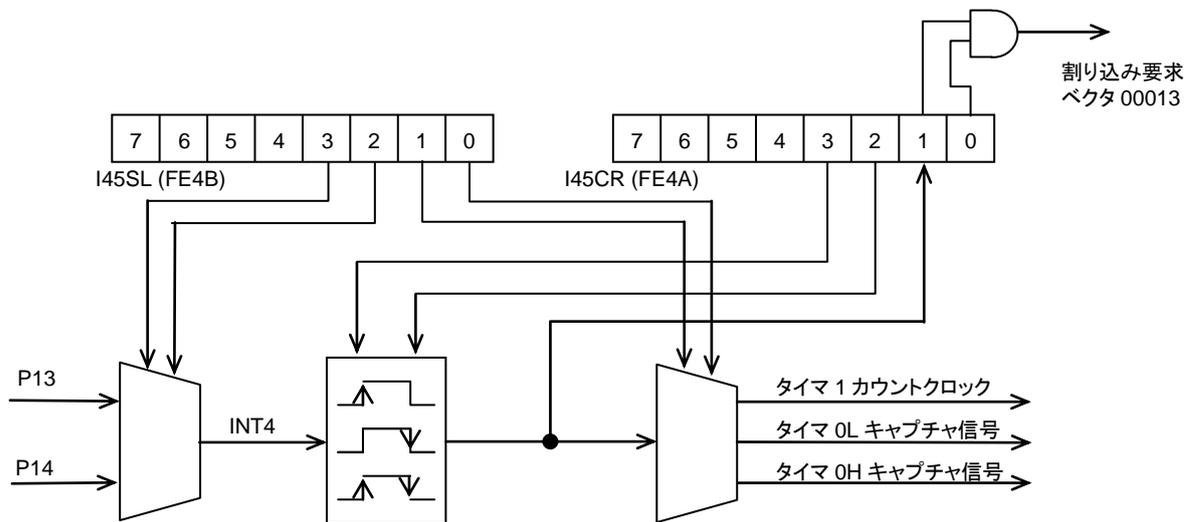


ポート1 兼用機能表

ポート	特殊入力	FUNCTION 出力
P17	INT1/T0HCP	HPWM2 出力/BUZ
P16	INT2/TOIN	HPWM2 出力&コンパレータ出力
P15	INT3/TOIN/AN5	-
P14	INT4/T1IN/AN6	-
P13	INT4/T1IN/AN7	-
P12	SIO1 クロック入力	SIO1 クロック出力
P11	SIO1 データ入力	SIO1 データ出力
P10	-	SIO1 データ出力

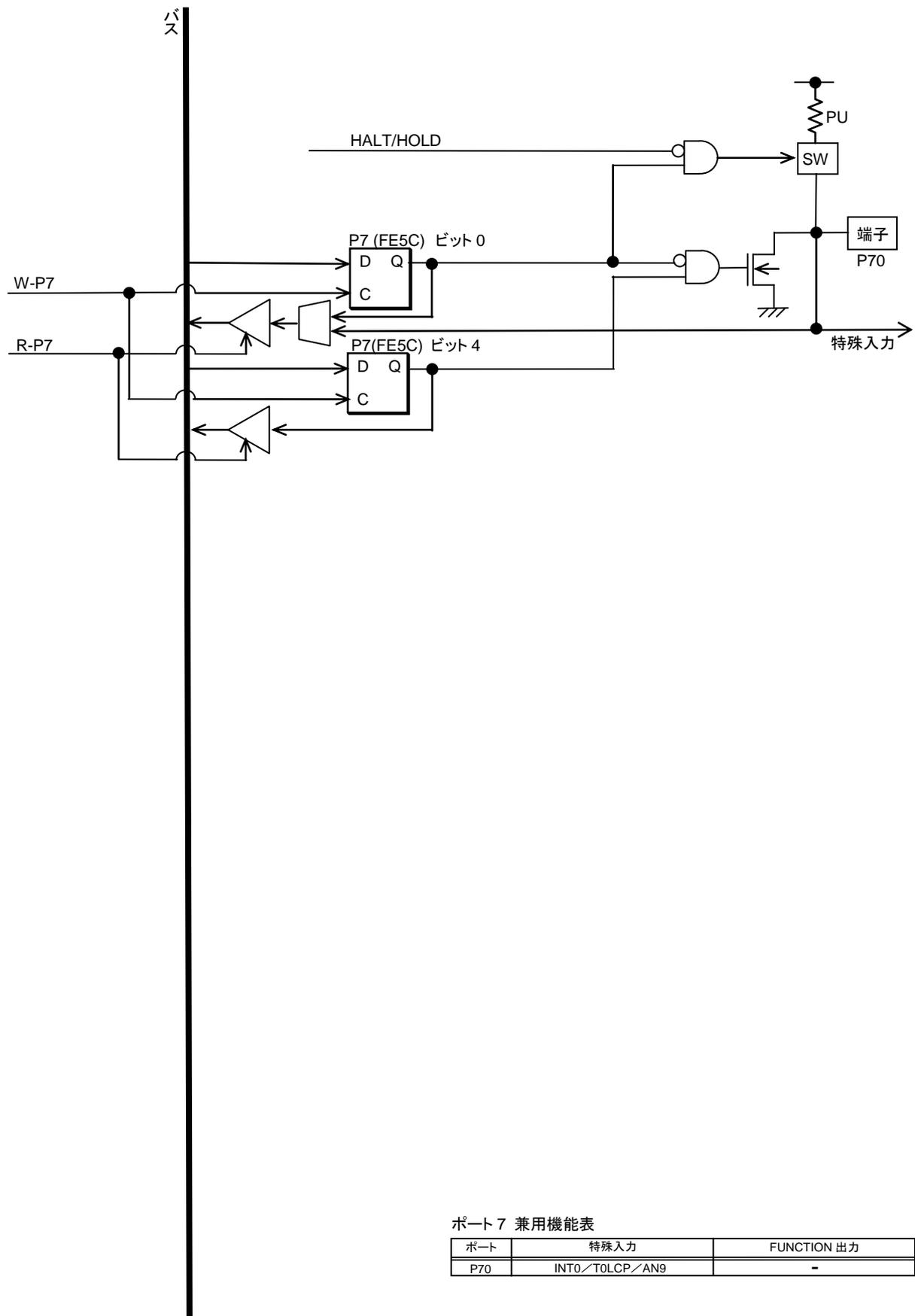
ポート1 ブロック図

オプション:出力形式(CMOSまたはNch-OD)をビット毎に選択可能



ポート1 (割り込み) ブロック図

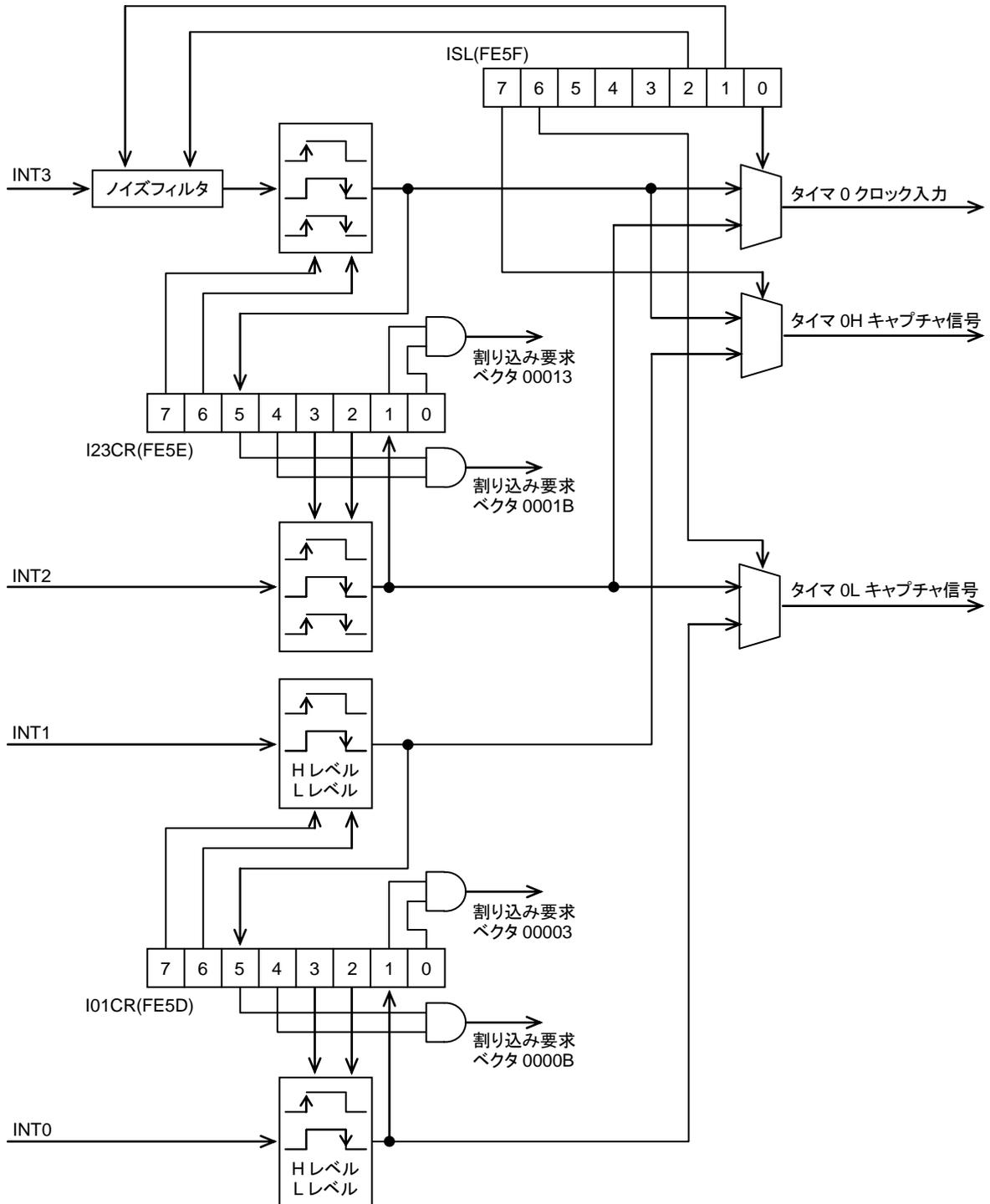
ポートブロック図



ポート 7 兼用機能表

ポート	特殊入力	FUNCTION 出力
P70	INT0/T0LCP/AN9	-

ポート 7 ブロック図
オプション: なし



ポート1, ポート7 (割り込み) ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC870G00 シリーズ ユーザーズマニュアル

Rev : 1.00 2013.09.02 版

オン・セミコンダクター

Digital Solution 事業部

マイコン・フラッシュビジネスユニット
