CMOS 8-BIT MICROCONTROLLER

ON Semiconductor®

http://onsemi.jp

LC870N00 シリーズ
ユーザーズマニュアル

REV : 1.00

オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.
(参考訳)
ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。
SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目　次

第１章　概説

1-1　概要 ……1-1
1-2　特徴 ……1-1
1-3　ピン配置図 ……1-5
1-4　システムブロック図 ……1-6
1-5　端子機能表 ……1-7
1-6　オンチップデバッガ端子処理 ……1-8
1-7　未使用端子の推奨処理 ……1-8
1-8　ポート出力形態 ……1-8
1-9　ユーザオプション一覧表 ……1-9

第２章　内部システム構成

2-1　メモリ空間 ……2-1
2-2　プログラムカウンタ（ＰＣ） ……2-1
2-3　プログラムメモリ（ＲＯＭ） ……2-2
2-4　内部データメモリ（ＲＡＭ） ……2-2
2-5　アキュムレータ／Ａレジスタ（ＡＣＣ／Ａ） ……2-3
2-6　Ｂレジスタ（Ｂ） ……2-3
2-7　Ｃレジスタ（Ｃ） ……2-4
2-8　プログラムステータスワード（ＰＳＷ） ……2-4
2-9　スタックポインタ（ＳＰ） ……2-5
2-１０　間接アドレスレジスタ ……2-5
2-１１　アドレッシング・モード ……2-6
2-１１-1　イミディエイト・アドレッシング（#） ……2-6
2-１１-2　間接レジスタ・インダイレクト・アドレッシング（[Ｒｎ]） ……2-7
2-１１-3　間接レジスタ＋Ｃレジスタ・インダイレクト・アドレッシング（[Ｒｎ，Ｃ]） ……2-7
2-１１-4　間接レジスタ（Ｒ０）＋オフセット値・インダイレクト・アドレッシング（[ｏｆｆ]） ……2-8
2-１１-5　ダイレクト・アドレッシング（ｄｓｔ） ……2-8
2-１１-6　ＲＯＭテーブル参照・アドレッシング ……2-9
2-１１-7　外部データ・メモリ・アドレッシング ……2-9
2-１２　ＷＡＩＴ動作 ……2-10
2-１２-1　ＷＡＩＴ動作の発生 ……2-10
2-１２-2　ＷＡＩＴ動作とは ……2-10

第３章　周辺システム構成

3-1　ポート０ ……3-1
3-1-1　概要 ……3-1
3-1-2　機能 ……3-1

目　次

3-1-3　関連レジスタ ……3-1
3-1-4　オプション ……3-3
3-1-5　ＨＡＬＴ，ＨＯＬＤ時の動作 ……3-3
3-2　　ポート１ ……3-4
3-2-1　概要 ……3-4
3-2-2　機能 ……3-4
3-2-3　関連レジスタ ……3-6
3-2-4　オプション ……3-11
3-2-5　ＨＡＬＴ，ＨＯＬＤ時の動作 ……3-11
3-3　　タイマ／カウンタ０（Ｔ０） ……3-12
3-3-1　概要 ……3-12
3-3-2　機能 ……3-12
3-3-3　回路構成 ……3-13
3-3-4　関連レジスタ ……3-18
3-4　　タイマ１（Ｔ１） ……3-21
3-4-1　概要 ……3-21
3-4-2　機能 ……3-21
3-4-3　回路構成 ……3-23
3-4-4　関連レジスタ ……3-28
3-5　　ベースタイマ（ＢＴ） ……3-33
3-5-1　概要 ……3-33
3-5-2　機能 ……3-33
3-5-3　回路構成 ……3-34
3-5-4　関連レジスタ ……3-35
3-6　　シリアルインタフェース１（ＳＩＯ１） ……3-37
3-6-1　概要 ……3-37
3-6-2　機能 ……3-37
3-6-3　回路構成 ……3-38
3-6-4　ＳＩＯ１通信の具体例 ……3-42
3-6-5　関連レジスタ ……3-46
3-7　　ＡＤコンバータ（ＡＤＣ１０） ……3-48
3-7-1　概要 ……3-48
3-7-2　機能 ……3-48
3-7-3　回路構成 ……3-49
3-7-4　関連レジスタ ……3-49
3-7-5　ＡＤＣ動作の具体例 ……3-53
3-7-6　ＡＤＣ使用上の留意点 ……3-54
3-8　　モーター制御用ＰＷＭ（ＭＣＰＷＭ２） ……3-56
3-8-1　概要 ……3-56
3-8-2　機能 ……3-56

目　次

3-8-3　回路構成 ……3-57
3-8-4　関連レジスタ ……3-60
3-8-5　ＭＰ２ＯＴｉ／ＭＰ２ＯＴｉ＃出力ポート設定（ｉ＝０，１） ……3-65
3-8-6　タイミングチャート ……3-66
3-9　アナログコンパレータ（ＣＭＰ） ……3-70
3-9-1　概要 ……3-70
3-9-2　機能 ……3-70
3-9-3　回路構成 ……3-70
3-9-4　関連レジスタ ……3-72

第４章　制御機能
4-1　割り込み機能 ……4-1
4-1-1　概要 ……4-1
4-1-2　機能 ……4-1
4-1-3　回路構成 ……4-2
4-1-4　関連レジスタ ……4-3
4-2　システムクロック発生機能 ……4-5
4-2-1　概要 ……4-5
4-2-2　機能 ……4-5
4-2-3　回路構成 ……4-6
4-2-4　関連レジスタ ……4-7
4-3　スタンバイ機能 ……4-10
4-3-1　概要 ……4-10
4-3-2　機能 ……4-10
4-3-3　関連レジスタ ……4-10
4-4　リセット機能 ……4-14
4-4-1　概要 ……4-14
4-4-2　機能 ……4-14
4-4-3　リセット時の状態 ……4-15
4-5　ウォッチドッグタイマ（ＷＤＴ） ……4-16
4-5-1　概要 ……4-16
4-5-2　機能 ……4-16
4-5-3　回路構成 ……4-16
4-5-4　関連レジスタ ……4-18
4-5-5　ウォッチドックタイマの使い方 ……4-19
4-5-6　ウォッチドッグタイマ使用上の注意点 ……4-20
4-6　内蔵リセット機能 ……4-21
4-6-1　概要 ……4-21
4-6-2　機能 ……4-21
4-6-3　回路構成 ……4-21

目　次

４-６-４　オプション ……4-22
４-６-５　内蔵リセット回路の動作波形例 ……4-24
４-６-６　内蔵リセット回路使用上の留意点 ……4-25
４-６-７　内蔵リセット回路未使用上の留意点 ……4-27

ＡＰＰＥＮＤＩＸ
A-Ⅰ　スペシャルファンクションレジスタ(SFR)マップ …… ＡⅠ-(1-7)
A-Ⅱ　ポートブロック図 …… ＡⅡ-(1-4)

1 概説

1-1 概要

本シリーズは、最小バスサイクルタイム100．0nsで動作するCPU部を中心にして、4．5Kバイトのフラッシュ ROM（オンボード書き換え可能），128バイトRAM，オンチップデバッガ機能，16ビットタイマ／カウンタ（8ビットタイマに分割可），16ビットタイマ（8ビットタイマに分割可），非同期/同期式SIO，10／8ビット分解能切り替え機能付き10ビット6チャネルADコンバータ，アナログコンパレータ回路×2，モーター制御用10ビットPWM，ウォッチドッグタイマ，内蔵リセット回路，システムクロック分周機能，14要因9ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。
小規模なモーター制御機器に最適です。

1-2 特徴

■フラッシュROM
・電源電圧2．8～5．5Vのオンボード書き込みが可能
・128バイト単位でのブロック消去可能
・2バイト単位での書き込み
・4608×8ビット（4096＋512バイト）

■RAM
・128×9ビット

■最小バスサイクルタイム
・100．0ns（10MHz）
（注）バスサイクルタイムはROMの読み出し速度を表します。

■最小命令サイクルタイム（Tcyc）
・300ns（10MHz）

■ポート
・ノーマル耐圧入出力ポート
　1ビット単位で入出力指定可能　12（P0n，P1n）
・リセット端子　1（$\overline{\text{RES}}$）
・電源端子　2（VSS1，VDD1）
・オンチップデバッガ専用ポート　1（OWP0）

■タイマ
・タイマ0：キャプチャレジスタ付きの16ビットのタイマ／カウンタ
　モード0：8ビットプログラマブルプリスケーラ付き8ビットタイマ（8ビットキャプチャレジスタ付き）×2チャネル
　モード1：8ビットプログラマブルプリスケーラ付き8ビットタイマ（8ビットキャプチャレジスタ付き）＋8ビットカウンタ（8ビットキャプチャレジスタ付き）
　モード2：8ビットプログラマブルプリスケーラ付き16ビットタイマ（16ビットキャプチャレジスタ付き）
　モード3：16ビットカウンタ（16ビットキャプチャレジスタ付き）

・タイマ1:PWM／トグル出力可能な16ビットのタイマ
モード0:8ビットプリスケーラ付き8ビットタイマ(トグル出力付き)×2チャネル
モード1:8ビットプリスケーラ付き8ビットPWM×2チャネル
モード2:8ビットプリスケーラ付き16ビットタイマ(トグル出力付き)(下位8ビットからもトグル出力可能)
モード3:8ビットプリスケーラ付き16ビットタイマ(トグル出力付き)(下位8ビットはPWMとして使用可能)
・ベースタイマ
①クロックは、システムクロック, タイマ0のプリスケーラ出力から選択できる。
②8種類の時間での割り込み発生が可能

■SIO
・SIO1:8ビット非同期／同期式シリアルインタフェース
モード0:同期式8ビットシリアルI／O
(2線式または3線式, 転送クロック2～512Tcyc)
モード1:非同期シリアルI／O
(半二重, データ8ビット, ストップビット1, ボーレート8～2048Tcyc)
モード2:バスモード1(スタートビット, データ8ビット, 転送クロック2～512Tcyc)
モード3:バスモード2(スタート検出, データ8ビット, ストップ検出)

■ADコンバータ:10ビット×6チャネル
・10／8ビットADコンバータ分解能切り替え
・自動スタート機能(モータ制御用PWMの割り込み要因と連動)

■リモコン受信回路(P11／INT3端子と共用)
・ノイズ除去機能(ノイズ除去フィルタの時定数選択1Tcyc／32Tcyc／128Tcyc)

■クロック出力機能
・システムクロックとして選択された源発振クロックの$\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$を出力可能

■アナログコンパレータ:2チャネル
・アナログコンパレータ割り込み
・リファレンスレベル発生回路内蔵

■モーター制御用10ビットPWM
・フルブリッジ回路制御対応
・相補PWM出力可能(デッドタイム設定可能)
・外部入力およびアナログコンパレータ出力による強制停止可能
・Edge-aligned／Center-alignedのモード切り替え

■ウォッチドッグタイマ
・WDT専用低速RC発振クロック(30kHz)により動作するタイマのオーバーフローで内部リセット発生可能
・スタンバイモード突入によるWDT動作の継続／停止／保持を選択可能

■割り込み
・14要因9ベクタ
①割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
②2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2／T0L
4	0001BH	HまたはL	INT3／ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L／T1H
7	00033H	HまたはL	－
8	0003BH	HまたはL	SIO1／MCPWM2
9	00043H	HまたはL	ADC
10	0004BH	HまたはL	CMP1／CMP2

・優先レベル　X＞H＞L
・同一レベルではベクタアドレスの小さいものが優先

■サブルーチンスタックレベル：最大64レベル（スタックはRAMの中に設定）

■高速乗除算命令
・16ビット×　8ビット　（実行時間：　5Tcyc）
・24ビット×16ビット　（実行時間：12Tcyc）
・16ビット÷　8ビット　（実行時間：　8Tcyc）
・24ビット÷16ビット　（実行時間：12Tcyc）

■発振回路
・内蔵発振回路
①中速RC発振回路　　：システムクロック用（1MHz）
②高速RC発振回路　　：システムクロック用（10MHz）
③低速RC発振回路　　：ウォッチドッグタイマ用（30kHz）

■システムクロック分周機能
・低消費電流動作可能
・最小命令サイクルで300ns，600ns，1．2μs，2．4μs，4．8μs，9．6μs，19．2μs，38．4μs，76．8μsの選択が可能（メインクロック10MHz使用時）

■内蔵リセット回路
・パワーオンリセット（POR）機能
①PORは電源投入時のみリセットがかかります。
②PORの解除レベルを8レベル（1．67V，1．97V，2．07V，2．37V，2．57V，2．87V，3．86V，4．35V）オプションにて切り替え可能。
・低電圧検知リセット（LVD）機能
①LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
②LVD機能を使用する／使用しないと低電圧検知レベルを7レベル（1．91V，2．01V，2．31V，2．51V，2．81V，3．79V，4．28V）オプションにて切り替え可能。

■スタンバイ機能

・HALTモード:命令実行停止,周辺回路動作継続

①発振の停止は自動的には行いません。

②HALTモードを解除するには次の3つの方法があります。

(1)リセット端子に「L」レベルを入力する。

(2)ウォッチドッグタイマまたは,低電圧検知によるリセット発生。

(3)割り込みの発生。

・HOLDモード:命令実行停止,周辺回路動作停止

①高速／中速RC発振のいずれも自動的に停止します。

②HOLDモードを解除するには次の3つの方法があります。

(1)リセット端子に「L」レベルを入力する。

(2)ウォッチドッグタイマまたは,低電圧検知によるリセット発生。

(3)INT0, INT1, INT2のいずれかで割り込み要因が成立する。

※INT0, INT1はレベル検出設定に限る。

■オンチップデバッガ機能

・ターゲット基板に実装状態でソフトデバッグ可能

■データセキュリティ機能(フラッシュ版のみ)

・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止

(注)データセキュリティ機能には絶対的なセキュリティはありません。

■出荷形態

・SSOP16(225mil)『鉛・ハロゲンフリー仕様品』

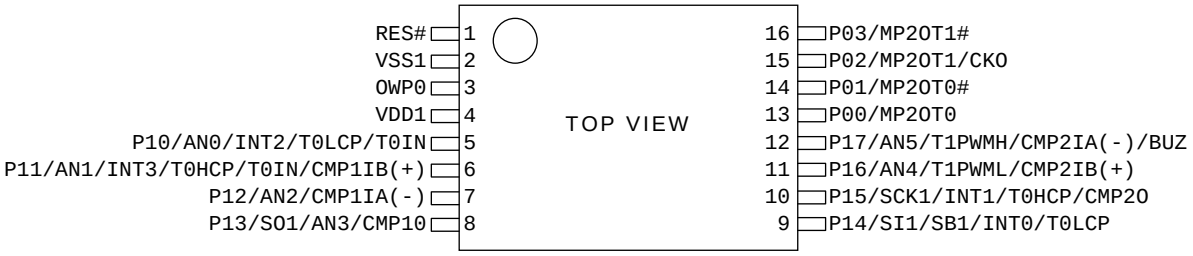
■開発ツール

・オンチップデバッガ ： TCB87 TypeC＋LC87F0N04A

■書き込み基板

パッケージ	書き込み基板
SSOP16(225mil)	W87F0NS

1-3 ピン配置図

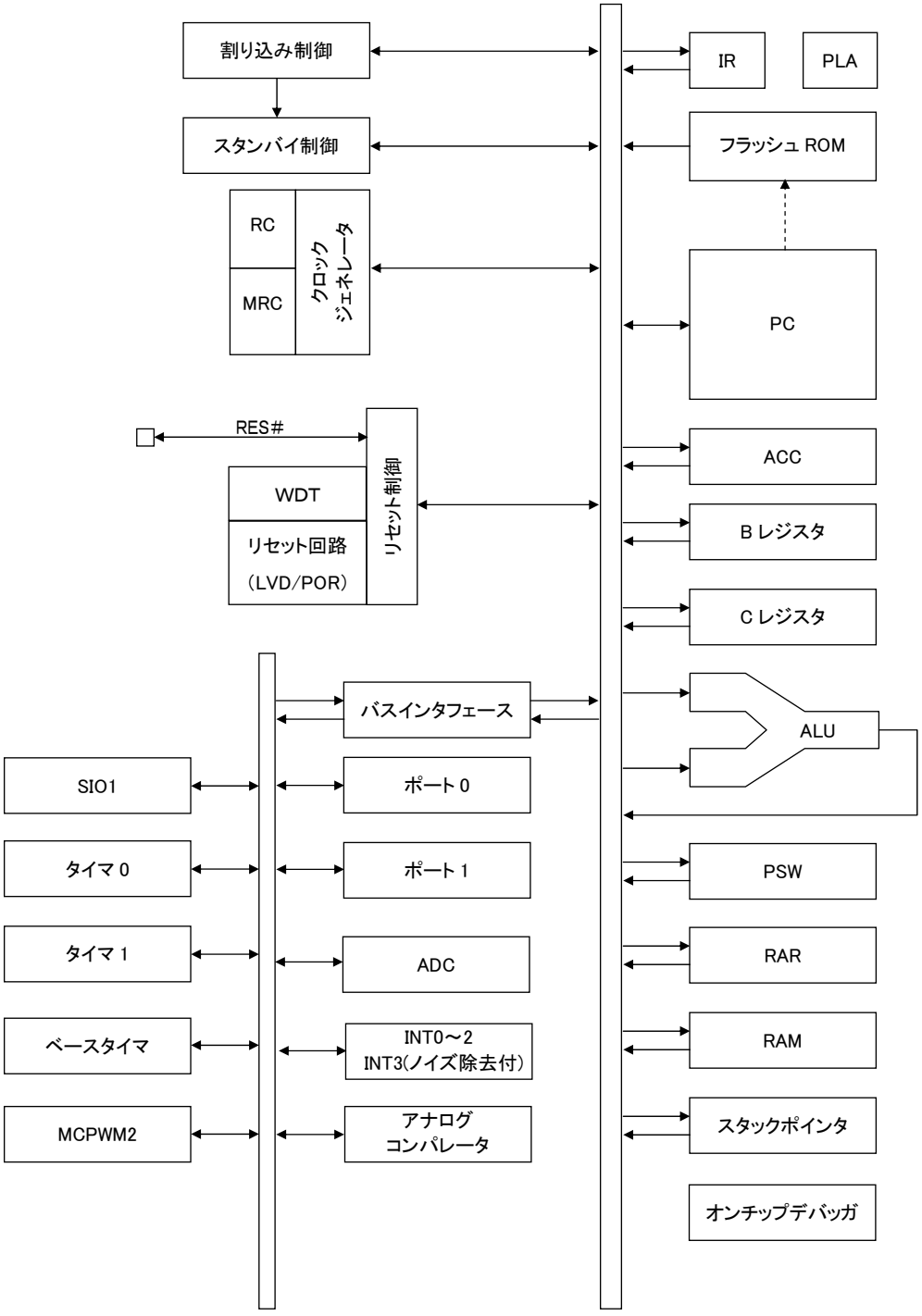


SANYO ： SSOP16 （225mil）『鉛・ハロゲンフリー仕様品』

SSOP16	NAME
1	RES#
2	VSS1
3	OWP0
4	VDD1
5	P10/AN0/INT2/T0LCP/T0IN
6	P11/AN1/INT3/T0HCP/T0IN/CMP1IB(+)
7	P12/AN2/CMP1IA(-)
8	P13/SO1/AN3/CMP10

SSOP16	NAME
9	P14/SI1/SB1/INT0/T0LCP
10	P15/SCK1/INT1/T0HCP/CMP2O
11	P16/AN4/T1PWML/CMP2IB(+)
12	P17/AN5/T1PWMH/CMP2IA(-)/BUZ
13	P00/MP2OT0
14	P01/MP2OT0#
15	P02/MP2OT1/CKO
16	P03/MP2OT1#

1-4 システムブロック図

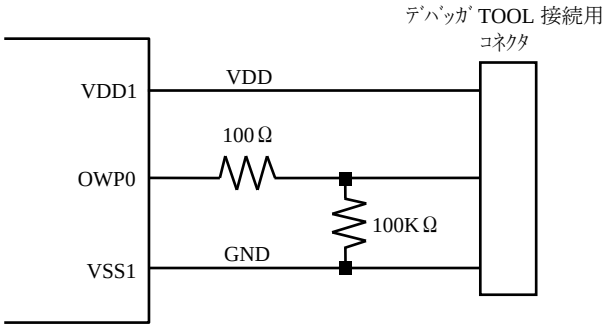


1-5 端子機能表

<table>
<tr><th>端子名</th><th>I／O</th><th>機能説明</th><th>オプション</th></tr>
<tr><td>VSS1</td><td>－</td><td>電源の－端子</td><td>なし</td></tr>
<tr><td>VDD1</td><td>－</td><td>電源の＋端子</td><td>なし</td></tr>
<tr><td>ポート0
P00～P03</td><td>I／O</td><td>・4 ビットの入出力ポート
・1 ビット単位の入出力指定可能
・1 ビット単位のプルアップ抵抗 ON／OFF 可能
・端子機能
P00 ： MP2OT0（MCPWM2 出力）
P01 ： MP2OT0#（MCPWM2 出力）
P02 ： MP2OT1（MCPWM2 出力）／システムクロック出力
P03 ： MP2OT1#（MCPWM2 出力）</td><td>あり</td></tr>
<tr><td>ポート1
P10～P17</td><td>I／O</td><td>・8 ビットの入出力ポート
・1 ビット単位の入出力指定可能
・1 ビット単位のプルアップ抵抗 ON／OFF 可能
・端子機能
P10 ： AN0(AD変換入力ポート)／INT2入力／HOLD解除入力／
タイマ0イベント入力／タイマ0Lキャプチャ入力
P11 ： AN1(AD変換入力ポート)／INT3入力（ノイズフィルタ付き入力）／
タイマ0イベント入力／タイマ0Hキャプチャ入力／CMP1(+)入力
P12 ： AN2(AD変換入力ポート)／CMP1(-)入力
P13 ： SIO1データ出力／AN3(AD変換入力ポート)／CMP1出力
P14 ： SIO1データ入力／バス入出力／INT0入力／HOLD解除入力／
タイマ0Lキャプチャ入力
P15 ： SIO1クロック入出力／INT1入力／HOLD解除入力／
タイマ0Hキャプチャ入力／CMP2出力
P16 ： タイマ1 PWML出力／AN4(AD変換入力ポート)／CMP2(+)入力
P17 ： タイマ1 PWMH出力／AN5(AD変換入力ポート)／CMP2(-)入力／
ブザー出力
インタラプト受付形式
<table><tr><th></th><th>立ち上がり</th><th>立ち下がり</th><th>立ち上がり
立ち下がり</th><th>Hレベル</th><th>Lレベル</th></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table></td><td>あり</td></tr>
<tr><td>RES＃</td><td>I／O</td><td>外部リセット入力／内部リセット出力端子</td><td>なし</td></tr>
<tr><td>OWP0</td><td>I／O</td><td>オンチップデバッガ専用端子</td><td>なし</td></tr>
</table>

1-6 オンチップデバッガ端子処理

オンチップデバッカ専用端子（OWP0）はユーザー基板上で制限抵抗（100Ω）を挿入し、プルダウン（100KΩ）して下さい。また、デバッガTOOL（TCB87 TypeC）とケーブル接続するためのコネクタの設置を推奨します。
コネクタの接続信号はVSS1／OWP0／VDD1の3本になります。



1-7 未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00～P03	OPEN	出力Low設定
P10～P17	OPEN	出力Low設定

1-8 ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示します。
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切り替え単位	オプション 種類	出力形式	プルアップ抵抗
P00～P03	1ビット単位	1	CMOS	プログラマブル
		2	Nchオープンドレイン	プログラマブル
P10～P17	1ビット単位	1	CMOS	プログラマブル
		2	Nchオープンドレイン	プログラマブル

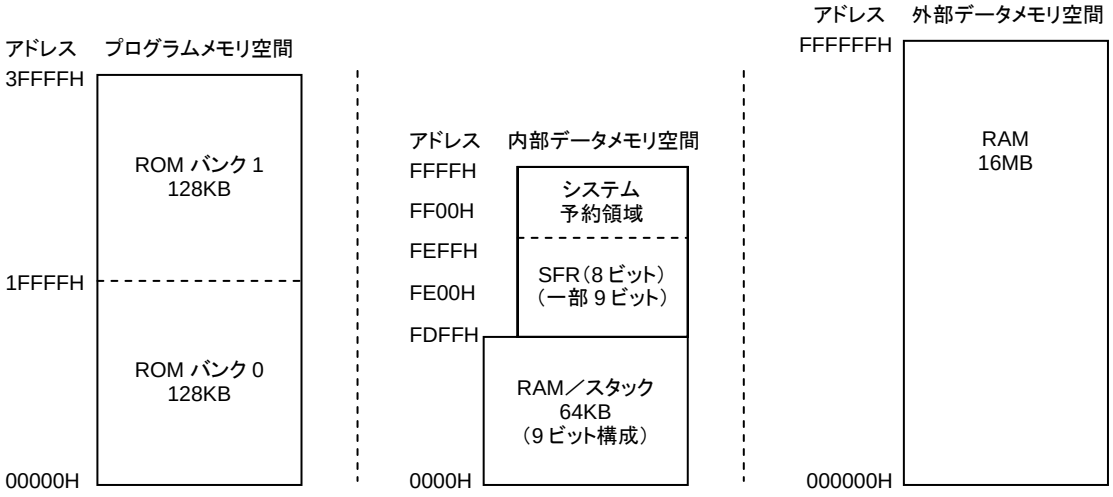
1-9 ユーザオプション一 覧 表

オプション名	オプション種類	フラッシュ版	オプション 切り替え単位	指定する内容
ポート出力形式	P00～P03	○	1ビット単位	CMOS Nch オープンドレイン
	P10～P17	○	1ビット単位	CMOS Nch オープンドレイン
低電圧検知 リセット機能	検知機能	○	―	許可:使用する 禁止:使用しない
	検知レベル	○	―	7 レベル
パワーオン リセット機能	パワーオンリセット レベル	○	―	8 レベル

2 内部システム構成

2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。
①プログラムメモリ空間　256Kバイト（128Kバイト×2バンク）
②内部データメモリ空間　64Kバイト（0000H～FFFFHのうち0000H～FDFFHがスタックエリア兼用）
③外部データメモリ空間　16Mバイト



（注）SFR:アキュムレータ等の特殊機能レジスタの配置されている領域（APPENDIX A－I参照）

図２－１－１　メモリ空間

2-2 プログラムカウンタ（PC）

プログラムカウンタ（PC）は17ビットで構成されて、そのほかにバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。
通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切り替えはスタックにアドレスをプッシュして、リターン命令を実行することで行います。
分岐命令，サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。
各動作におけるPCの設定データを表２－２－１に示します。

表２－２－１　PC設定値

動作の種類			PCの値	BNKの値
割り込み	リセット		00000H	0
	INT0		00003H	0
	INT1		0000BH	0
	INT2／T0L		00013H	0
	INT3／ベースタイマ		0001BH	0
	T0H		00023H	0
	T1L／T1H		0002BH	0
	－		00033H	0
	SIO1／MCPWM2		0003BH	0
	ADC		00043H	0
	CMP1／CMP2		0004BH	0
無条件分岐命令		JUMP　a17	PC=a17	不変
		BR　　r12	PC=PC+2+r12[-2048～+2047]	不変
条件分岐命令		BE,BNE,DBNZ,DBZ,BZ,BNZ, BZW,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128～+127] nb:命令のバイト数	不変
CALL命令		CALL　a17	PC=a17	不変
		RCALL　r12	PC=PC+2+r12[-2048～+2047]	不変
		RCALLA	PC=PC+1+Areg[0～+255]	不変
リターン命令		RET,RETI	PC16～08=(SP), PC07～00=(SP-1) (SP)はスタックポインタの値SPで指示されるRAMの内容。	BNKは(SP-1)のビット8
通常命令		NOP,MOV,ADD,…	PC=PC+nb nb:命令のバイト数	不変

2-3 プログラムメモリ（ROM）

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令（LDC）でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト（本シリーズ:1FF00H～1FFFFH）をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-4 内部データメモリ（RAM）

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H～FDFFHでは9ビットで、FE00H～FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H～007FHの128バイトは2バイトづつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット（8ビット×2）として扱われますが、ROMテーブル参照命令（LDC）で使用する時は17ビット（9ビット(上位)＋8ビット(下位)）となります。

図２－４－１に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM／実行スピードの効率化が図れます。

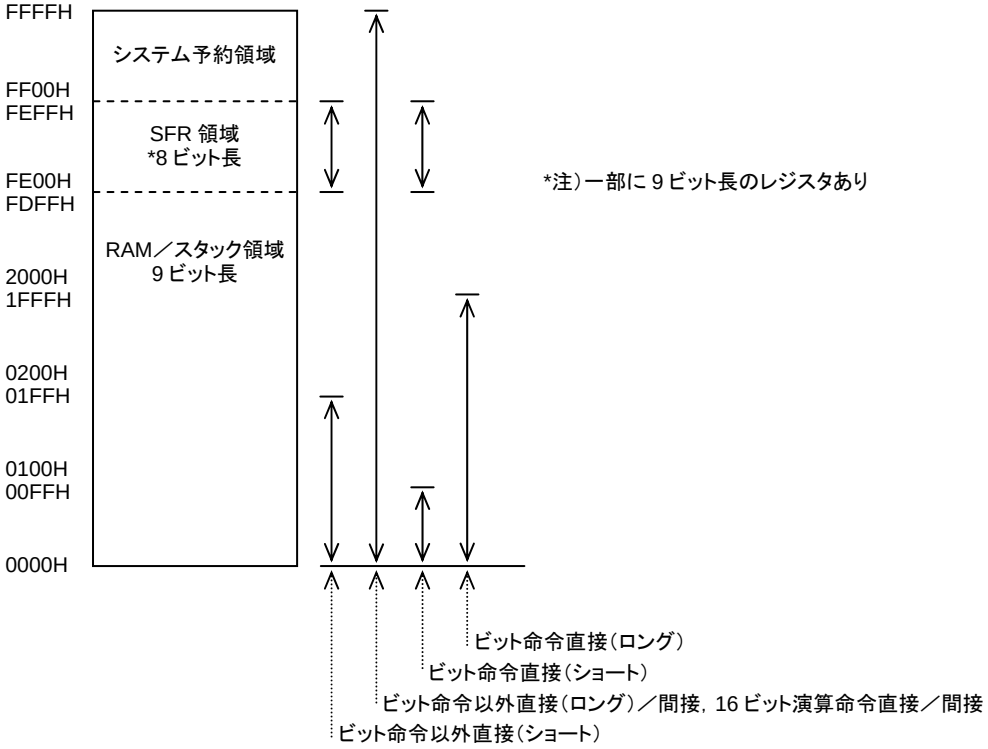


図２－４－１　RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSP＋1にBNKの値とPC（17ビット）の下位8ビットが、SP＋2にPCの上位9ビットが格納され、SP＝SP＋2となります。

2-5 アキュムレータ／Aレジスタ（ACC／A）

アキュムレータ（ACC）はAレジスタとも呼ばれ、データの演算，転送，入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

2-6 Bレジスタ（B）

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC，Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令（LDX，STX）では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC，Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(－128～＋127)を格納します。
Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。
PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY

CY(ビット7):キャリーフラグ

CYは、演算の実行によりキャリーが生じた時セット(1)され、生じなかった時クリア(0)されます。キャリーには次の種類があります。

①加算結果のキャリー
②減算結果のボロー
③比較結果のボロー
④ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6):補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じた時セット(1)され、生じなかった時クリア(0)されます。
但し、命令によってはフラグが変化しない場合があります。

PSWB5，4(ビット5，4):ユーザビット

命令でリード／ライトできますので、ご自由にお使いください。

LDCBNK(ビット3):テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読む時のROMバンクを指定します。
(0:ROM－ADR＝0～1FFFF　1:ROM－ADR＝20000～3FFFF)

OV(ビット2):オーバーフローフラグ

OVは、算術演算の実行によりオーバーフローが生じた時セット(1)され、生じなかった時クリア(0)されます。オーバーフローが生じる場合には次の種類があります。

①MSBを符号ビットとした時、負数＋負数または負数－正数の結果が正数となった時

②ＭＳＢを符号ビットとした時、正数＋正数または正数－負数の結果が負数となった時
③16ビット×8ビットの乗算結果の上位8ビットの値が0でない時
④24ビット×16ビットの乗算結果の上位16ビットの値が0でない時
⑤除算で除数が0の時

但し、命令によってはフラグが変化しない場合があります。

P1（ビット1）：RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM（0000H～FDFFH）のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表２－４－1を参照してください。

PARITY（ビット0）：パリティフラグ

アキュムレータ（Aレジスタ）のパリティを示します。
Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット（1）されます。また、“1”が偶数個の場合には、パリティフラグがリセット（0）されます。

2-9 スタックポインタ（SP）

LC870000シリーズはRAMの0000H～FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。
SPは16ビット長で、SPL（FE0A番地）とSPH（FE0B番地）の2つのレジスタで構成され、リセット時には0000Hに初期化されます。
SPは、スタックメモリにデータを待避する前に＋1され、データをスタックメモリから復帰した後で－1されます。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

①PUSH命令実行時　：SP＝SP＋1，RAM（SP）＝DATA
②CALL命令実行時　：SP＝SP＋1，RAM（SP）＝ROMBANK＋ADL
　　SP＝SP＋1，RAM（SP）＝ADH
③POP命令実行時　：DATA＝RAM（SP），SP＝SP－1
④RET命令実行時　：ADH＝RAM（SP），SP＝SP－1
　　ROMBANK+ADL＝RAM（SP），SP＝SP－1

2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能（インダイレクト・アドレッシング・モード）を3種類（[Rn]，[Rn＋C]，[off]）持っています。（アドレッシング・モードについては2-11項参照）この時使用されるのが、RAMの0～7EH番地に2バイト構成で64個（R0～R63）存在する間接レジスタです。間接レジスタは、汎用レジスタ（2バイトデータの待避用等）としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM（1バイト（9ビット）データ単位）として使用できます。R0～R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

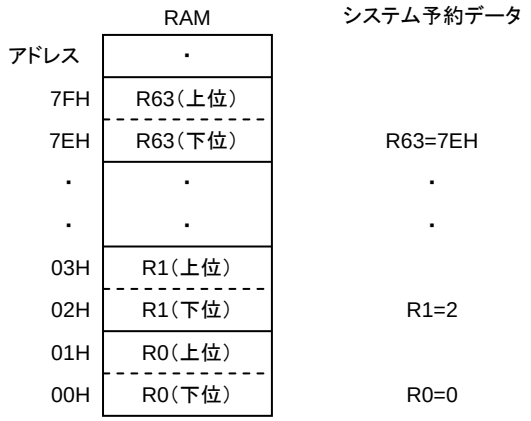


図２－１０－１　間接レジスタ配置

2-11 アドレッシング・モード

ＬＣ８７０００シリーズは、以下の7種類のアドレッシング・モードがあります。

①イミディエイト(即値:プログラム作成(アセンブル)時に値が確定しているデータ)
②間接レジスタ(Ｒｎ)・インダイレクト(間接)　　(０＜＝ｎ＜＝６３)
③間接レジスタ(Ｒｎ)＋Ｃレジスタ・インダイレクト(間接)　　(０＜＝ｎ＜＝６３)
④間接レジスタ(Ｒ０)＋オフセット値・インダイレクト(間接)
⑤ダイレクト(直接)
⑥ＲＯＭテーブル参照
⑦外部データメモリ・アクセス

次項より、各アドレッシング・モードの説明を行います。

2-11-1 イミディエイト・アドレッシング(＃)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即値)データを扱うことができます。以下に例を示します。

例：

```
      ＬＤ     ＃１２Ｈ       ;アキュムレータにバイトデータ(１２Ｈ)を設定
Ｌ１: ＬＤＷ    ＃１２３４Ｈ    ;ＢＡペアレジスタにワードデータ(１２３４Ｈ)を設定
      ＰＵＳＨ  ＃３４Ｈ       ;スタックにバイトデータ(３４Ｈ)を設定
      ＡＤＤ    ＃５６Ｈ       ;アキュムレータとバイトデータ(５６Ｈ)の加算
      ＢＥ     ＃７８Ｈ，Ｌ１   ;アキュムレータとバイトデータ(７８Ｈ)の比較・分岐
```

2-11-2 間接レジスタ・インダイレクト・アドレッシング（[Rn]）

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ（R0～R63）のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示すことになります。

例：

R3の内容が“123H”の場合（RAM6番地：23H，RAM7番地：01H）

```
        LD      [R3]        ;RAMの123H番地の内容をアキュムレータに転送
L1:     STW     [R3]        ;BAペア・レジスタの内容をRAMの123H番地に転送
        PUSH    [R3]        ;RAMの123H番地の内容をスタックに待避
        SUB     [R3]        ;アキュムレータからRAMの123H番地の内容を減算
        DBZ     [R3], L1    ;RAMの123H番地の内容を“－1”し「ゼロ」なら分岐
```

2-11-3 間接レジスタ＋Cレジスタ・インダイレクト・アドレッシング（[Rn，C]）

間接レジスタ＋Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ（R0～R63）のどれか一つの内容とCレジスタの内容（MSBを符号とする－128～＋127）を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH（－1）”であったので「Bレジスタ（FE02H＋（－1）＝FE01H）」を示すことになります。

例：

R3の内容が“123H”、Cレジスタの内容が“02H”の場合

```
        LD      [R3, C]     ;RAMの125H番地の内容をアキュムレータに転送
L1:     STW     [R3, C]     ;BAペア・レジスタの内容をRAMの125H番地に転送
        PUSH    [R3, C]     ;RAMの125H番地の内容をスタックに待避
        SUB     [R3, C]     ;アキュムレータからRAMの125H番地の内容を減算
        DBZ     [R3, C], L1 ;RAMの125H番地の内容を“－1”し「ゼロ」なら分岐
```

＜このアドレッシング・モードの注意事項＞

内部データメモリ空間は、前述（2-1項）のように①システム予約領域（FF00H～FFFFH）②SFR領域（FE00H～FEFFH）③RAM／スタック領域（0000H～FDFFH）の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということはできません。例えば、R5の内容が“0FDFFH”で、Cレジスタの内容が“1”である場合に「LD [R5，C]」命令を実行すると、基本となる領域は③RAM／スタック領域（0000H～FDFFH）であるため、アドレッシングしようとした“0FDFFH＋1＝0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFH”でCレジスタの内容が“2”である場合に「LD [R5，C]」命令を実行すると、基本となる領域は②SFR領域（FE00H～FEFFH）であるため、アドレッシングしようとした“0FEFFH＋2＝0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H＆0FFH＋0FE00H＝0FE01H”となり0FE01H（Bレジスタ）の内容がACCに入ります。

2-11-4　間接レジスタ(R0)＋オフセット値・インダイレクト・アドレッシング([off])

このアドレッシング・モードでは、間接レジスタ「R0」の内容と符号付き7ビットオフセットデータoff(－64～＋63)を加算した結果で、RAMまたはSFRの番地を指定することができます。つまり、R0の内容が“FE02H”でありoff値を“7EH(－2)”とした場合、「Aレジスタ(FE02H＋(－2)＝FE00H)」を示すことになります。

例：

R0の内容が“123H”の場合(RAM0番地:23H, RAM1番地:01H)

```
    LD    [10H]      ;RAMの133H番地の内容をアキュムレータに転送
L1: STW   [10H]      ;BAペア・レジスタの内容をRAMの133H番地に転送
    PUSH  [10H]      ;RAMの133H番地の内容をスタックに待避
    SUB   [10H]      ;アキュムレータからRAMの133H番地の内容を減算
    DBZ   [10H], L1  ;RAMの133H番地の内容を“－1”し「ゼロ」なら分岐
```

＜このアドレッシング・モードの注意事項＞

内部データメモリ空間は、前述(2-1項)のように①システム予約領域(FF00H～FFFFH)②SFR領域(FE00H～FEFFH)③RAM／スタック領域(0000H～FDFFH)の3つの機能領域に分かれて閉じています。よって、基本となるR0の内容が示す領域からオフセット値によって別領域を示すということはできません。例えば、R0の内容が“0FDFFH”である場合に「LD [1]」命令を実行すると、基本となる領域は③RAM／スタック領域(0000H～FDFFH)であるため、アドレッシングしようとした“0FDFFH＋1＝0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R0の内容が“0FEFFH”である場合に「LD [2]」命令を実行すると、基本となる領域は②SFR領域(FE00H～FEFFH)であるため、アドレッシングしようとした“0FEFFH＋2＝0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H＆0FFH＋0FE00H＝0FE01H”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-5　ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAMまたはSFRの番地をオペランドに記述し直接指定することが可能です。このアドレッシング・モードでは、記述されたオペランドの番地からアセンブラが自動的に最適な命令コードを生成します(オペランドの番地により命令のバイト数が異なる)。また、命令のバイト数を一定(バイト数の多い方)としたい場合のために、ロング(ミドル)・レンジ命令も用意しました(ニーモニックの最後に“L(M)”が付いているもの)。

例：

```
    LD    123H       ;RAMの123H番地の内容をアキュムレータに転送
                        (2バイト命令)
    LDL   123H       ;RAMの123H番地の内容をアキュムレータに転送
                        (3バイト命令)
L1: STW   123H       ;BAペア・レジスタの内容をRAMの123H番地に転送
    PUSH  123H       ;RAMの123H番地の内容をスタックに待避
    SUB   123H       ;アキュムレータからRAMの123H番地の内容を減算
    DBZ   123H, L1   ;RAMの123H番地の内容を“－1”し「ゼロ」なら分岐
```

2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いることによりROM上の2バイトデータをBAレジスタペアに一度に読み出すことができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります)
ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(ビット3)が示すROMバンク内(128Kバイト)のROMデータを参照することができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB      34H
     DB      12H
     DW      5678H
       ・      ・
       ・      ・
     LDW    #TBL      ;BAレジスタペアに“TBLアドレス”を設定
(注1)CHGP3 (TBL＞＞17)&1      ;PSWのLDCBNKにTBLアドレスビット17を
                               設定する。
     CHGP1 (TBL＞＞16)&1      ;PSWのP1に“TBLアドレスビット16を設定
                               する。
     STW    R0         ;間接レジスタR0へのTBLアドレス設定(ビット16～ビット0)
     LDCW   [1]        ;ROMテーブル読み出し(B＝78H, ACC＝12H)
     MOV    #1, C      ;Cレジスタに“01H”を設定
     LDCW   [R0, C]    ;ROMテーブル読み出し(B＝78H, ACC＝12H)
     INC    C          ;Cレジスタをインクリメント(＋1)
     LDCW   [R0, C]    ;ROMテーブル読み出し(B＝56H, ACC＝78H)
```

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(ビット3)の設定が必要。

2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いることにより、16Mバイト(24ビット)の外部データメモリ空間をアクセスすることが可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn)＋(C), (R0)＋off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

```
     LDW    #3456H     ;下位16ビット設定
     STW    R5         ;間接レジスタR5にアドレス下位16ビットを設定
     MOV    #12H, B    ;アドレス上位8ビット設定
     LDX    [1]        ;外部データメモリ(123456H番地)の内容をアキュ
                        ムレータに転送
```

2-12 WAIT動作

2-12-1 WAIT動作の発生

本シリーズでは、自動的に命令の実行を中断するWAIT動作は発生しません。

2-12-2 WAIT動作とは

①2．12．1に示したような要因で、WAIT要求が発生すると、CPUは命令の実行を1サイクル中断し、この間に所定のデータ転送を行います。これがWAIT動作です。
②タイマやPWMなどの周辺の回路は、WAIT動作中も変わりなく動作します。
③WAIT動作は2サイクル以上連続して行われることはありません。
④ホルト, ホールドモード時、WAIT動作は行われません。
⑤WAIT動作が1回発生すると、プログラムカウンタの進行と時間の進行の間にずれが1サイクル生じますので、注意してください。

表２－４－１ BIT8（RAM／SFR）とP1の状態変化表

命令	BIT8(RAM／SFR)	P1(PSWのBIT1)	備考
LD#/LDW#	－	－	
LD	－	P1←REG8	
LDW	－	P1←REGH8	
ST	REG8←P1	－	
STW	REGL8,REGH8←P1	－	
MOV	REG8←P1	－	
PUSH#	RAM8←P1	－	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8,RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	－	
PUSH_BA	RAMH8←P1,RAML8←P1	－	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8,REGL8←RAML8	P1←RAMH8	上位ｱﾄﾞﾚｽ PSW 対象時、P1←bit1
POP_P	－	P1←RAM1(bit1)	BIT8 は無視
POP_BA	－	P1←RAMH8	
XCH	REG8<->P1	同左	
XCHW	REGH8←P1,REGL8←P1,P1←REGH8	同左	
INC	9bit の INC	演算後,P1←REG8	9bit の INC
INCW	17bit の INC,REGL8←下位ﾊﾞｲﾄの CY	演算後,P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後,P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位ﾊﾞｲﾄの CY の反転	演算後,P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	－	－	
NOT1	－	－	
CLR1	－	－	
BPC	－	－	
BP	－	－	
BN	－	－	
MUL24/DIV24	RAM8←“1”	－	演算結果の入る RAM の BIT8 は 1
FUNC	－	－	

（注）対象が8ビットレジスタ（ビット8なし）の場合“1”が読み込まれて処理されます。

（記号）REG8：RAM または SFR のビット8

REGH8/REGL8：RAM または SFR の上位バイトのビット8/下位バイトのビット8

RAM8：RAM のビット8

RAMH8/RAML8：RAM の上位バイトのビット8/下位バイトのビット8

3 周辺システム構成

この章では、CPUコア，RAM，ROM以外の内蔵されている機能ブロック（周辺システム）について説明します。
また、ポートのブロック図をAPPENDIX（A－Ⅱ）に添付しましたので、ご参照ください。

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの4ビットの入出力ポートです。データラッチ，データディレクションレジスタ，制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタによりビット毎に設定できます。
ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

3-1-2 機能

①入出力ポート（4ビット:P00～P03）
・ポート0データラッチ（P0:FE40）でポート出力データの制御、ポート0データディレクションレジスタ（P0DDR:FE41）で入出力方向を制御します。
・P00～P03は、プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能
P02でシステムクロック出力、P00～P03でモーター制御用PWM出力機能を兼用します。モーター制御用PWM出力についての説明は「3-8 モーター制御用PWM」で行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	HHHH 0000	R/W	P0	-	-	-	-	P03	P02	P01	P00
FE41	HHHH 0000	R/W	P0DDR	-	-	-	-	P03DDR	P02DDR	P01DDR	P00DDR
FE42	HHHH 0000	R/W	P0FCR	-	-	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ（P0）

①ポート0の出力データの制御を行う4ビットのレジスタです。
②このレジスタを命令で読むとP00～P03の端子のデータが読み込まれます。但し、NOT1，CLR1，SET1，DBZ，DBNZ，INC，DEC命令でP0（FE40）を操作すると、端子のデータでなく、レジスタの内容が参照されます。
③ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	HHHH 0000	R/W	P0	-	-	-	-	P03	P02	P01	P00

3-1-3-2 ポート0データディレクションレジスタ（P0DDR）

①ポート0の入出力方向の制御をビット毎に行う4ビットのレジスタです。ビットP0nDDRが“1”の時、ポートP0nは出力モードになり、ビットP0nDDRが“0”の時、ポートP0nは入力モードになります。

②ビットP0nDDRが“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE41	HHHH 0000	R/W	P0DDR	-	-	-	-	P03DDR	P02DDR	P01DDR	P00DDR

レジスタデータ		ポートP0nの状態		内蔵プルアップ抵抗
P0n	P0nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	不可能	LOW	OFF
1	1	不可能／可能	HIGH／オープン （CMOS／Nチャネルオープンドレイン）	OFF

3-1-3-3 ポート0機能制御レジスタ（P0FCR）

①ポート0の兼用出力の制御を行う4ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	HHHH 0000	R/W	P0FCR	-	-	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

CLKOEN（ビット3）

P02端子の出力データの制御を行います。
P02が入力モードの時、このビットは無効です。
P02が出力モードの時、“0”:ポートデータラッチの値を出力します。
“1”:システムクロック出力とポートデータラッチのORを出力します。

CKODV2（ビット2）
CKODV1（ビット1）
CKODV0（ビット0）

P02に出力するシステムクロックの周波数を設定します。

000 ： システムクロック選択の源発振クロック周波数
001 ： システムクロック選択の源発振クロック周波数の2分周周波数
010 ： システムクロック選択の源発振クロック周波数の4分周周波数
011 ： システムクロック選択の源発振クロック周波数の8分周周波数
100 ： システムクロック選択の源発振クロック周波数の16分周周波数
101 ： システムクロック選択の源発振クロック周波数の32分周周波数
110 ： システムクロック選択の源発振クロック周波数の64分周周波数
111 ： 設定禁止

＜クロック出力機能使用上の注意点＞

クロック出力機能使用の際は下記①～③を守ってください。
下記に違反した場合、ポートの出力波形に異常が生じる場合があります。

①CLKOEN（ビット3）＝1の設定時にクロック出力分周設定を変更しない。
→CKODV2～CKODV0（ビット2～ビット0）の設定を変更しない。

②CLKOEN（ビット3）＝1の設定時にシステムクロック選択を変更しない。
→OCRレジスタのCLKCB4（ビット4）の設定を変更しない。

③CLKOEN（ビット3）＝1の状態からCLKOEN＝0となるデータをP0FCRレジスタに書き込む命令を実行した場合、CLKOENはすぐに0にはなりません。
出力中のクロックが終了（クロック立ち下がり検出）してからCLKOEN＝0となります。従って、命令でCLKOEN＝0とした後にクロック分周設定変更及びシステムクロック選択変更を行う場合は、CLKOENの値を読み出して0であることを確認した後に行ってください。

3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

①CMOS出力　（プログラマブルプルアップ抵抗付き）
②Nチャネルオープンドレイン出力　（プログラマブルプルアップ抵抗付き）

3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ，データディレクションレジスタ，機能制御レジスタ，制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力，タイマ1のPWM出力、ベースタイマのブザー出力、アナログコンパレータ出力として使用できます。
ポート1は、外部割り込み端子としても使用でき、ホールドモードの解除も可能です。
ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

3-2-2 機能

①入出力ポート （8ビット:P10～P17）
- ポート1データラッチ（P1:FE44）でポート出力データの制御，ポート1データディレクションレジスタ（P1DDR:FE45）で入出力方向を制御します。
- プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能
- P14とP15は、それぞれINT0，INT1としてLレベル，Hレベル，Lエッジ，Hエッジ検出を行い、割り込みフラグをセットします。
- P10とP11は、それぞれINT2，INT3としてLエッジ，Hエッジ，両エッジ検出を行い、割り込みフラグをセットします。

③タイマ0カウント入力機能
P10，P11から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

④タイマ0Lキャプチャ入力機能
P10，P14から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。
レベル割り込み指定のP14に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

⑤タイマ0Hキャプチャ入力機能
P11，P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。
レベル割り込み指定のP15に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Hキャプチャ信号が発生します。

⑥ホールドモード解除機能
- INT0またはINT1またはINT2で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード（メイン発振＝CR）に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。

・ホールドモード時に、レベル割り込み指定されたP14またはP15に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。
・ホールドモード時に、P10に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。但し、ホールドモード突入時のP10のデータが“H”の時のHエッジと、ホールドモード突入時のP10のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P10でホールドモードを解除する時は、P10を両エッジ割り込みモードで使用することを薦めます。

⑦兼用機能

P17でタイマ1PWMH／ベースタイマのブザー出力，P16でタイマ1PWML出力，P15～P13でSIO1入出力，P10～P13，P16，P17でアナログ入力チャネルAN0～AN5、P11～P13，P15～P17でアナログコンパレータの入出力機能を兼用します。

	割り込み入力 信号検出	タイマ0 カウント入力	キャプチャ 入力	ホールド モード解除
P14	Lレベル, Hレベル, Lエッジ, Hエッジ	－	タイマ0L	可能(注)
P15		－	タイマ0H	可能(注)
P10	Lエッジ, Hエッジ, 両エッジ	有り	タイマ0L	可能
P11		有り	タイマ0H	－

(注):P14，P15のホールドモード解除はレベル検出設定時のみ可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	-	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR	-	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR	-	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	00HH HHH0	R/W	P1TST	-	FIX0	FIX0	-	-	-	-	-	FIX0
FE5D	0000 0000	R/W	I01CR	-	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	-	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	00000 0000	R/W	ISL	BUZDIV	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

P1TST(FE47)のビット7，ビット6，ビット0はテスト用です。設定値は“0”で使用してください。

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ（P1）

①ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
②このレジスタを命令で読むとP10～P17の端子のデータが読み込まれます。但し、NOT1，CLR1，SET1，DBZ，DBNZ，INC，DEC命令でP1（FE44）を操作すると、端子のデータでなく、レジスタの内容が参照されます。
③ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10

3-2-3-2 ポート1データディレクションレジスタ（P1DDR）

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。
②ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	Low	OFF
1	1	可能	High／オープン（CMOS／Nチャネルオープンドレイン）	OFF

3-2-3-3 ポート1機能制御レジスタ（P1FCR）

①ポート1の兼用出力の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR

n	CP2OUTEN CPAPCR2 (FEA1h)のビット5	CP1OUTEN CPAPCR1 (FEA0h)のビット5	P1nFCR	P1n	出力モード(P1nDDR＝1)の時のP1n端子データ
7			0	－	ポートデータラッチ(P17)の値
			1	0	タイマ1PWMHまたはベースタイマのブザーデータ
			1	1	タイマ1PWMHまたはベースタイマのブザー反転データ
6			0	－	ポートデータラッチ(P16)の値
			1	0	タイマ1PWMLのデータ
			1	1	タイマ1PWML反転データ
5	0		0	－	ポートデータラッチ(P15)の値
	0		1	0	SIO1クロック出力データ
	0		1	1	HIGH出力
	1		0	0	コンパレータ2出力
	1		0	1	HIGH出力
	1		1	－	設定禁止
4			0	－	ポートデータラッチ(P14)の値
			1	0	SIO1出力データ
			1	1	HIGH出力
3		0	0	－	ポートデータラッチ(P13)の値
		0	1	0	SIO1出力データ
		0	1	1	HIGH出力
		1	0	0	コンパレータ1出力
		1	0	1	HIGH出力
		1	1	－	設定禁止
2			－	－	ポートデータラッチ(P12)の値
1			－	－	ポートデータラッチ(P11)の値
0			－	－	ポートデータラッチ(P10)の値

・オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

・コンパレータ1、コンパレータ2出力は、各コンパレータの停止時は、LOW出力になります。

P17FCR(ビット7):P17機能制御（タイマ1PWMHまたはベースタイマのブザー出力制御）

P17端子の出力データの制御を行います。

P17が出力モード(P17DDR＝1)で、P17FCRが“1”の時、タイマ1のPWMH出力またはベースタイマからのブザー出力データとポートデータラッチのEORをP17端子は出力します。

※タイマ1のPWMHとベースタイマのブザー出力切り替えは、BUZON(ISL:FE5Fのビット3)で行います。

PORT1

P16FCR(ビット6):P16機能制御(タイマ1PWML出力制御)
P16端子の出力データの制御を行います。
P16が出力モード(P16DDR＝1)で、P16FCRが“1”の時、タイマ1のPWML出力データとポートデータラッチのEORをP16端子は出力します。

P15FCR(ビット5):P15機能制御(SIO1クロック出力制御)
P15端子の出力データの制御を行います。
P15が出力モード(P15DDR＝1)で、CP2OUTENが“0”, P15FCRが“1”の時、SIO1のクロック出力データとポートデータラッチのORをP15端子は出力します。

P14FCR(ビット4):P14機能制御(SIO1データ出力制御)
P14端子の出力データの制御を行います。
P14が出力モード(P14DDR＝1)で、P14FCRが“1”の時、SIO1出力データとポートデータラッチのORをP14端子は出力します。
尚、P14の入出力状態に関係なく、P14からはSIO1動作時、SIO1入力データが取り込まれます。

P13FCR(ビット3):P13機能制御(SIO1データ出力制御)
P13端子の出力データの制御を行います。
P13が出力モード(P13DDR＝1)で、CP1OUTENが“0”, P13FCRが“1”の時、SIO1出力データとポートデータラッチのORをP13端子は出力します。

P12FCR(ビット2):P12機能制御
“0”固定で使用します。
P11FCR(ビット1):P11機能制御
“0”固定で使用します。
P10FCR(ビット0):P10機能制御
“0”固定で使用します。

3-2-3-4 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択
INT1LV(ビット6):INT1検出レベル／エッジ選択

INT1LH	INT1LV	INT1割り込み条件(P15端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF（ビット5）:INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット（INT1IE）がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。
このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT1IE（ビット4）:INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH（ビット3）:INT0検出極性選択
INT0LV（ビット2）:INT0検出レベル／エッジ選択

INT0LH	INT0LV	INT0割り込み条件（P14端子のデータ）
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF（ビット1）:INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット（INT0IE）がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。
このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT0IE（ビット0）:INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

3-2-3-5 外部割り込み2，3制御レジスタ（I23CR）

①外部割り込み2，3の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

INT3HEG（ビット7）:INT3立ち上がりエッジ検出制御
INT3LEG（ビット6）:INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3割り込み条件（P11端子のデータ）
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF（ビット5）:INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット（INT3IE）がともに“1”の時、ベクタアドレス001BHへの割り込み要求が発生します。
このビットは、自動的にはクリアされませんので命令でクリアしてください。

PORT1

INT3IE(ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み要求が発生します。

INT2HEG(ビット3):INT2立ち上がりエッジ検出制御
INT2LEG(ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2割り込み条件(P10端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF(ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のP10のデータが“H”の時のHエッジと、ホールドモード突入時のP10のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P10でホールドモードを解除する時は、P10を両エッジ割り込みモードで使用することを薦めます。

このビットは、自動的にはクリアされませんので命令でクリアしてください。

INT2IE(ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

3-2-3-6 入力信号選択レジスタ(ISL)

①タイマ0の入力, ノイズフィルタの時定数, ブザー出力, ベースタイマのクロックの制御を行う9ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00000 0000	R/W	ISL	BUZDIV	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

BUZDIV(ビット8):ブザー出力の分周選択

ブザー出力の分周を選択します。

“1”の設定時、ベースタイマクロックを256分周した信号を出力します。

“0”の設定時、ベースタイマクロックを16分周した信号を出力します。

ST0HCP(ビット7):タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力がP15に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP15に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP11に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP14に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP14に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP10に入力されると、タイマ0Lキャプチャ信号が発生します。

BTIMC1(ビット5):ベースタイマクロック選択

BTIMC0(ビット4):ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	設定禁止
0	1	サイクルクロック
1	0	設定禁止
1	1	タイマ／カウンタ0のプリスケーラ出力

BUZON(ビット3):ブザー出力選択

ブザー出力(fBST/16 または fBST/256)の出力の許可を行います。

“1”の設定時、ベースタイマクロックを16分周または256分周した信号をブザー出力として、ポートP17に転送します。

“0”の設定時、ブザー出力はHIGH固定となります。

NFSEL(ビット2):ノイズ除去フィルタ時定数選択

NFON(ビット1):ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	1Tcyc
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

ST0IN(ビット0):タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP11に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP10に入力されると、タイマ0カウントクロックが発生します。

3-2-4 オプション

ユーザオプションとして次の2通りの選択ができます。

①CMOS出力　　(プログラマブル・プルアップ抵抗付き)

②Nチャネルオープンドレイン出力　(プログラマブル・プルアップ抵抗付き)

3-2-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-3　タイマ／カウンタ0（T0）

3-3-1 概 要

本シリーズが内蔵しているタイマ／カウンタ0（T0）は、次の4つの機能を持った16ビットのタイマ／カウンタです。

①モード0：プログラマブルプリスケーラ付き8ビットプログラマブルタイマ（8ビットキャプチャレジスタ付き）×2チャネル

②モード1：プログラマブルプリスケーラ付き8ビットプログラマブルタイマ（8ビットキャプチャレジスタ付き）＋8ビットプログラマブルカウンタ（8ビットキャプチャレジスタ付き）

③モード2：プログラマブルプリスケーラ付き16ビットプログラマブルタイマ（16ビットキャプチャレジスタ付き）

④モード3：16ビットプログラマブルカウンタ（16ビットキャプチャレジスタ付き）

3-3-2 機 能

①モード0：プログラマブルプリスケーラ付き8ビットプログラマブルタイマ（8ビットキャプチャレジスタ付き）×2チャネル

・8ビットプログラマブルプリスケーラからのクロック（周期：1～256Tcyc）によって、2つの独立した8ビットプログラマブルタイマ（T0L，T0H）が動作します。

・P14／INT0／T0LCP，P10／INT2／T0LCPタイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。

・P15／INT1／T0HCP，P11／INT3／T0HCPタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

T0Lの周期＝（T0LR＋1）×（T0PRR＋1）×Tcyc
T0Hの周期＝（T0HR＋1）×（T0PRR＋1）×Tcyc
Tcyc＝サイクルクロックの周期

②モード1：プログラマブルプリスケーラ付き8ビットプログラマブルタイマ（8ビットキャプチャレジスタ付き）＋8ビットプログラマブルカウンタ（8ビットキャプチャレジスタ付き）

・T0Lは、P10／INT2／T0IN，P11／INT3／T0IN端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。

・T0Hは、8ビットプログラマブルプリスケーラからのクロック（周期：1～256Tcyc）によって、8ビットプログラマブルタイマとして動作します。

・P14／INT0／T0LCP，P10／INT2／T0LCPタイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。

・P15／INT1／T0HCP，P11／INT3／T0HCPタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

T0Lの周期＝（T0LR＋1）
T0Hの周期＝（T0HR＋1）×（T0PRR＋1）×Tcyc

③モード2: プログラマブルプリスケーラ付き16ビットプログラマブルタイマ（16ビットキャプチャレジスタ付き）

・8ビットプログラマブルプリスケーラからのクロック（周期：1～256Tcyc）によって、16ビットプログラマブルタイマとして動作します。

・P15／INT1／T0HCP，P11／INT3／T0HCPタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L，T0Hの内容をキャプチャレジスタT0CAL，T0CAHに同時にキャプチャします。

$$T0\text{の周期} = ([T0HR, T0LR]_{\text{16ビット}} + 1) \times (T0PRR + 1) \times Tcyc$$

④モード3: 16ビットプログラマブルカウンタ（16ビットキャプチャレジスタ付き）

・P10／INT2／T0IN，P11／INT3／T0IN端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。

・P15／INT1／T0HCP，P11／INT3／T0HCPタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L，T0Hの内容をキャプチャレジスタT0CAL，T0CAHに同時にキャプチャします。

$$T0\text{の周期} = [T0HR, T0LR]_{\text{16ビット}} + 1$$

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、T0LまたはT0Hのカウンタ周期で、T0LまたはT0H割り込み要求を発生します。

⑥タイマ／カウンタ0（T0）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T0CNT，T0PRR，T0L，T0H，T0LR，T0HR，T0CAL，T0CAH

・P1，P1DDR，ISL，I01CR，I23CR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-3-3 回路構成

3-3-3-1 タイマ／カウンタ0制御レジスタ（T0CNT）（8ビットレジスタ）

①T0L，T0Hの動作，割り込みの制御を行います。

3-3-3-2 プログラマブルプリスケーラ一致レジスタ(T0PRR)（8ビットレジスタ）

①プログラマブルプリスケーラの一致データ格納用レジスタです。

3-3-3-3 プログラマブルプリスケーラ(8ビットカウンタ)

①動作開始／停止:ホールドモード以外で動作します。
②カウントクロック:サイクルクロック(周期＝1Tcyc)
③一致信号:カウント値がレジスタT0PRRの値と一致すると一致信号を発生します。
(周期:1～256Tcyc)
④リセット:一致信号の発生またはT0PRRへデータの書き込みにより、カウンタが0からカウントし始めます。

3-3-3-4 タイマ／カウンタ0下位(T0L)（8ビットカウンタ）

①動作開始／停止:T0LRUN(タイマ0制御レジスタのビット6)の0／1により、停止／動作が制御されます。
②カウントクロック:T0LEXT(タイマ0制御レジスタのビット4)の0／1により、プリスケーラの一致信号／外部信号を選択します。
③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
④リセット:動作停止時、または一致信号の発生時。

3-3-3-5 タイマ／カウンタ0上位(T0H)（8ビットカウンタ）

①動作開始／停止:T0HRUN(タイマ0制御レジスタのビット7)の0／1により、停止／動作が制御されます。
②カウントクロック:T0LONG(タイマ0制御レジスタのビット5)の0／1により、プリスケーラの一致信号／T0Lの一致信号を選択します。
③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
④リセット:動作停止時、または一致信号の発生時。

3-3-3-6 タイマ／カウンタ0一致データレジスタ下位(T0LR)（一致バッファレジスタ付き8ビットレジスタ）

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
②一致バッファレジスタの更新は以下のように行われます。
・非動作時(T0LRUN＝0)には、T0LRと一致バッファレジスタは同値となる。
・動作時(T0LRUN＝1)には、一致バッファレジスタは一致信号の発生時にT0LRの内容をロードする。

3-3-3-7 タイマ／カウンタ0一致データレジスタ上位(T0HR)（一致バッファレジスタ付き8ビットレジスタ）

①T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)

②一致バッファレジスタの更新は以下のように行われます。
・非動作時（T0HRUN＝0）には、T0HRと一致バッファレジスタは同値となる。
・動作時（T0HRUN＝1）には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

3-3-3-8 タイマ／カウンタ0キャプチャレジスタ下位（T0CAL）（8ビットレジスタ）

①キャプチャクロック:
T0LONG（タイマ0制御レジスタのビット5）が0の時、P14／INT0／T0LCP，P10／INT2／T0LCPのタイマ0Lキャプチャ入力端子からの外部入力検出信号
T0LONG（タイマ0制御レジスタのビット5）が1の時、P15／INT1／T0HCP，P11／INT3／T0HCPのタイマ0Hキャプチャ入力端子からの外部入力検出信号
②キャプチャデータ:タイマ／カウンタ0下位（T0L）の内容

3-3-3-9 タイマ／カウンタ0キャプチャレジスタ上位（T0CAH）（8ビットレジスタ）

①キャプチャクロック:P15／INT1／T0HCP，P11／INT3／T0HCPのタイマ0Hキャプチャ入力端子からの外部入力検出信号
②キャプチャデータ:タイマ／カウンタ0上位（T0H）の内容

表３－３－１ タイマ0（T0H，T0L）のカウントクロック

モード	T0LONG	T0LEXT	T0H のカウントクロック	T0L のカウントクロック	[T0H,T0L]のカウントクロック
0	0	0	T0PRRの一致信号	T0PRRの一致信号	－
1	0	1	T0PRRの一致信号	外部信号	－
2	1	0	－	－	T0PRRの一致信号
3	1	1	－	－	外部信号

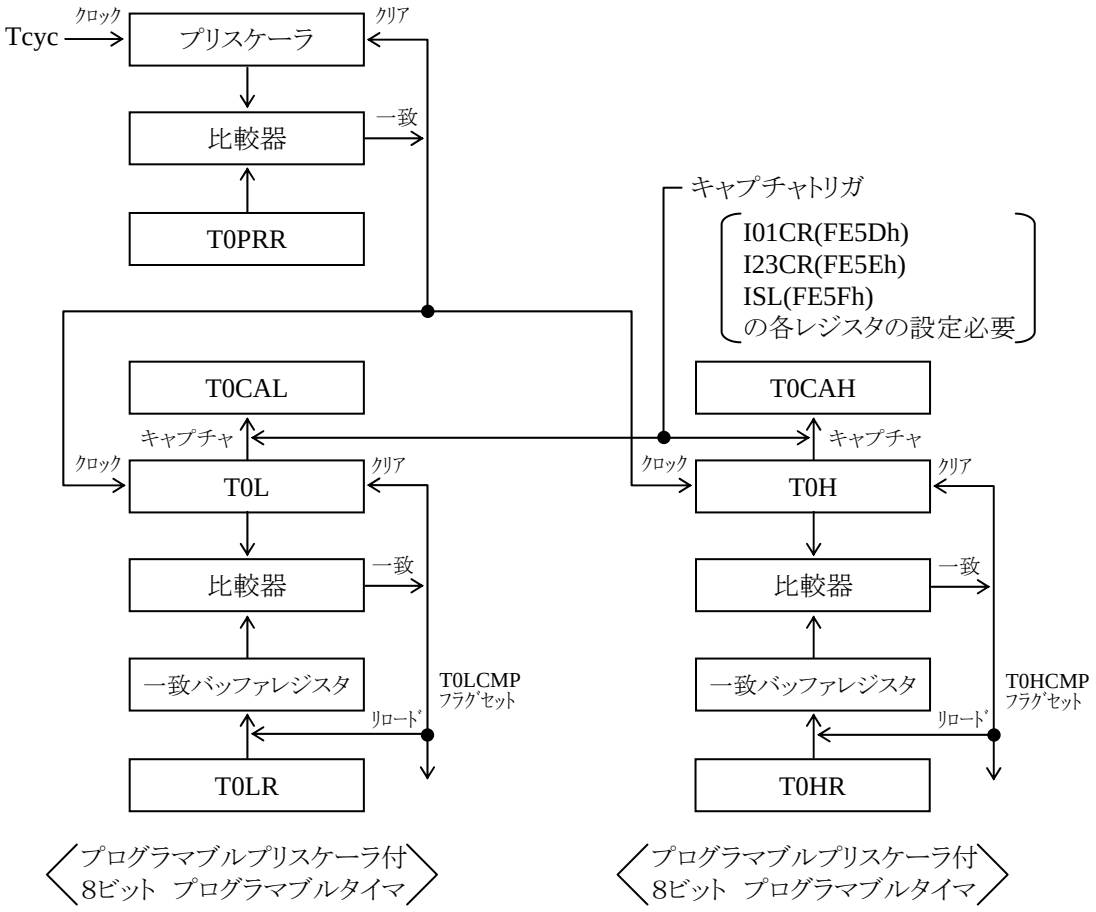


図３－３－１　モード0（T0LONG＝0，T0LEXT＝0）ブロック図

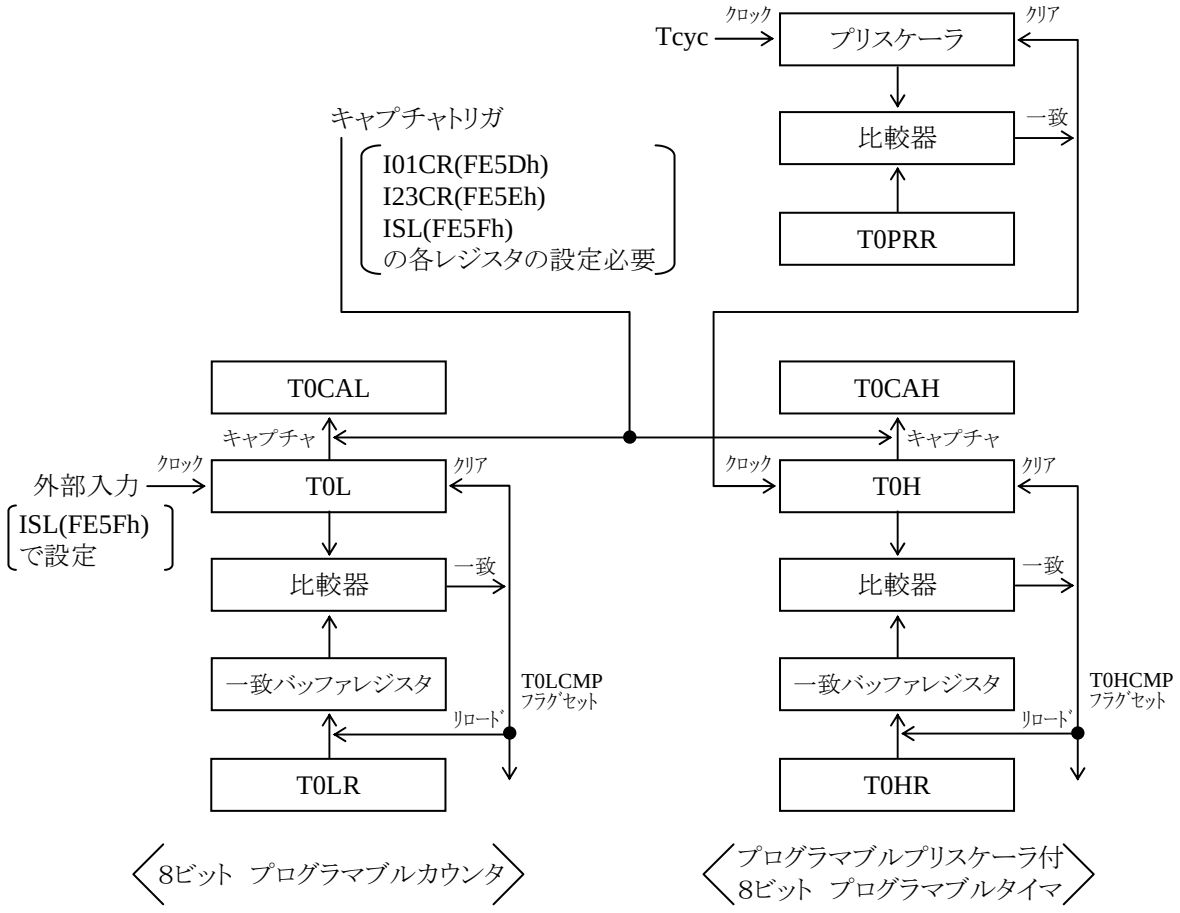


図３－３－２　モード1（T0LONG＝0，T0LEXT＝1）ブロック図

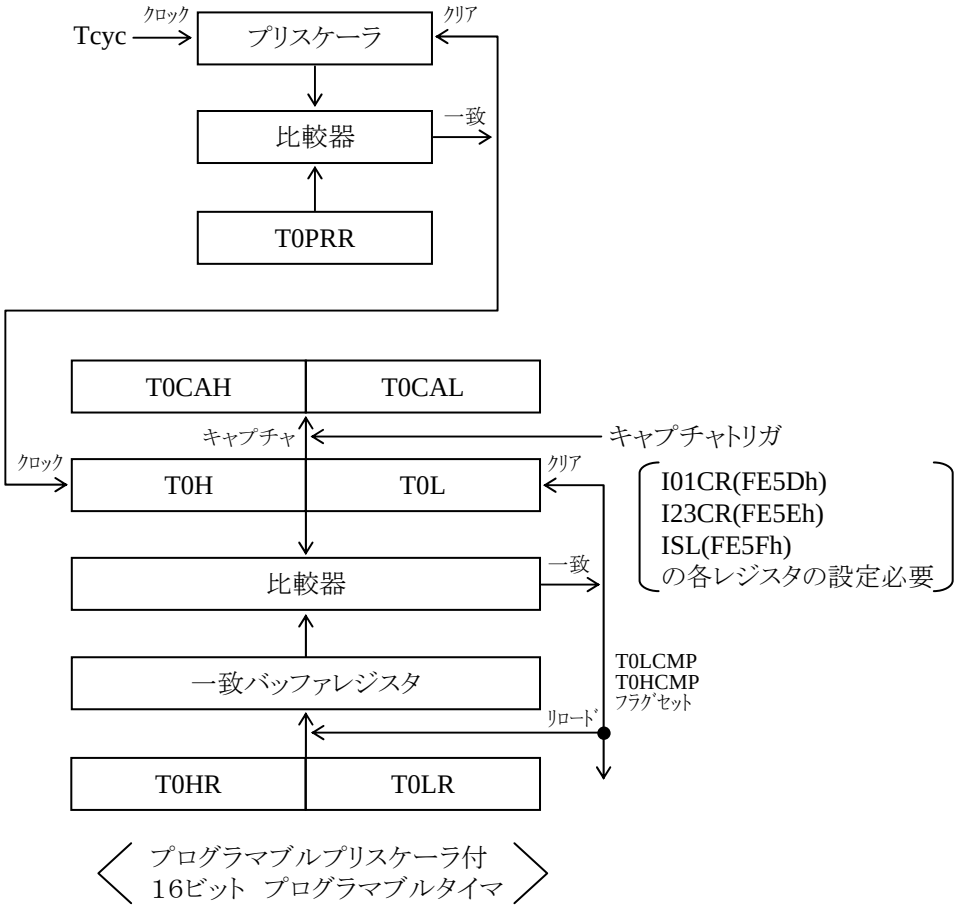


図３－３－３　モード２（T0LONG＝1，T0LEXT＝0）ブロック図

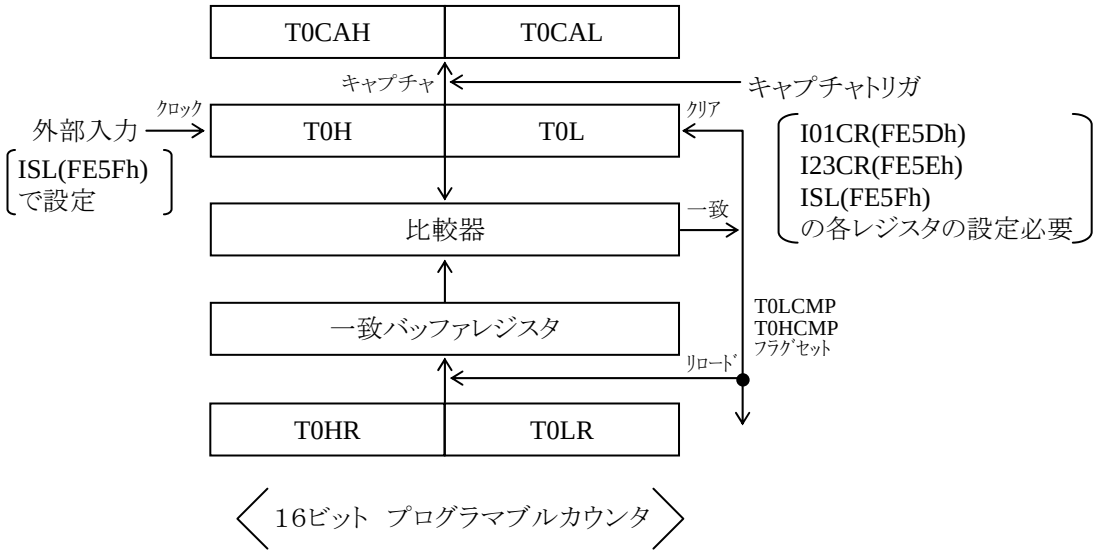


図３－３－４　モード３（T0LONG＝1，T0LEXT＝1）ブロック図

3-3-4 関連レジスタ

3-3-4-1 タイマ／カウンタ0制御レジスタ（T0CNT）

①T0L，T0Hの動作，割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN（ビット7）：T0Hカウント制御

このビットが0の時タイマ／カウンタ0上位（T0H）は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。
このビットが1の時タイマ／カウンタ0上位（T0H）は、所定のカウント動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN（ビット6）：T0Lカウント制御

このビットが0の時タイマ／カウンタ0下位（T0L）は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。
このビットが1の時タイマ／カウンタ0下位（T0L）は、所定のカウント動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG（ビット5）：タイマ／カウンタ0ビット長選択

このビットが0の時タイマ／カウンタ0は上位と下位の独立した8ビットのタイマ／カウンタとなります。
このビットが1の時タイマ／カウンタ0は16ビットのタイマ／カウンタとなります。また、T0H，T0Lで構成される16ビットのカウンタ値とT0H，T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT（ビット4）：T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケーラの一致信号となります。
このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP（ビット3）：T0H一致フラグ

T0Hが動作している（T0HRUN＝1）時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。
尚、16ビットモード（T0LONG＝1）の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE（ビット2）：T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

T0LCMP(ビット1):T0L一致フラグ

T0Lが動作している(T0LRUN＝1)時に、T0Lの値とT0Lの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(T0LONG＝1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0LIE(ビット0):T0L割り込み要求発生許可制御

このビットとT0LCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意：

・T0HCMP, T0LCMPは命令で0にしてください。
・16ビットモードで使用する時は、T0LRUNとT0HRUNは同時に同じ値を設定して、動作を制御してください。
・16ビットモードでは、T0LCMPとT0HCMPは同時にセットされます。

3-3-4-2 タイマ0プログラマブルプリスケーラ一致レジスタ(T0PRR)

①タイマ0プログラマブルプリスケーラ一致レジスタは、タイマ／カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

②T0PRRにデータを書き込むと、プリスケーラのカウント値は0からスタートします。

③Tpr＝(T0PRR＋1)×Tcyc　　Tcyc＝サイクルクロックの周期

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0

3-3-4-3 タイマ／カウンタ0下位(T0L)

①読み出し専用の8ビットのタイマ／カウンタです。プリスケーラの一致信号、または、外部信号をカウントします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0

3-3-4-4 タイマ／カウンタ0上位(T0H)

①読み出し専用の8ビットのタイマ／カウンタです。プリスケーラの一致信号、または、T0Lのオーバーフローをカウントします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0

3-3-4-5 タイマ／カウンタ0一致データレジスタ下位(T0LR)

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)

②一致バッファレジスタの更新は以下のように行われます。

・非動作時(T0LRUN＝0)には、T0LRと一致バッファレジスタは同値となる。
・動作時(T0LRUN＝1)には、一致バッファレジスタは一致信号の発生時にT0LRの内容をロードする。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0

3-3-4-6 タイマ／カウンタ0一 致 データレジスタ上 位（T0HR）

①T0H用 の一 致 データ格 納 用 レジスタです。他 に、8ビットの一 致 バッファレジスタを持 ち、この一 致 バッファレジスタとタイマ／カウンタ0上 位 の値 が一 致 した時 、一 致 信 号 が発 生 します。（16ビットモード時 は、16ビットデータの一 致 が必 要 ）

②一 致 バッファレジスタの更 新 は以 下 のように行 われます。

・非 動 作 時（T0HRUN＝0）には、T0HRと一 致 バッファレジスタは同 値 となる。

・動 作 時（T0HRUN＝1）には、一 致 バッファレジスタは一 致 信 号 の発 生 時 にT0H Rの内 容 をロードする。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0

3-3-4-7 タイマ／カウンタ0キャプチャレジスタ下 位（T0CAL）

①外 部 入 力 検 出 信 号 により、タイマ／カウンタ0下 位（T0L）の内 容 をキャプチャする 読 み出 し専 用 の8ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0

3-3-4-8 タイマ／カウンタ0キャプチャレジスタ上 位（T0CAH）

①外 部 入 力 検 出 信 号 により、タイマ／カウンタ0上 位（T0H）の内 容 をキャプチャする 読 み出 し専 用 の8ビットレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-4 タイマ1(T1)

3-4-1 概要

本シリーズが内蔵しているタイマ1(T1)は、次の4つの機能を持ったプリスケーラ付きの16ビットのタイマです。

①モード0: 8ビットプリスケーラ付き8ビットプログラマブルタイマ(トグル出力付き)×2チャネル
②モード1: 8ビットプリスケーラ付き8ビットPWM×2チャネル
③モード2: 8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)(下位8ビットはトグル出力付きタイマとして使用可能)
④モード3: 8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)(下位8ビットはPWMして使用可能)

3-4-2 機能

①モード0: 8ビットプリスケーラ付き8ビットプログラマブルタイマ(トグル出力付き)×2チャネル

・サイクルクロックを2分周した信号をクロックとして、2つの独立した8ビットのプログラマブルタイマ(T1L,T1H)が動作します。
・T1PWML, T1PWMHは、それぞれT1L, T1Hの周期毎にトグルする信号を発生します。(注1)

T1Lの周期＝(T1LR＋1)×(T1LPRC設定カウント数)×2Tcyc
T1PWMLの周期＝T1Lの周期×2
T1Hの周期＝(T1HR＋1)×(T1HPRC設定カウント数)×2Tcyc
T1PMWHの周期＝T1Hの周期×2

②モード1: 8ビットプリスケーラ付き8ビットPWM×2チャネル

・サイクルクロックをクロックとして、2つの独立した8ビットPWM(T1PWML, T1PWMH)が動作します。

T1PWMLの周期＝256×(T1LPRC設定カウント数)×Tcyc
T1PWMLのLOWの期間＝(T1LR＋1)×(T1LPRC設定カウント数)×Tcyc
T1PWMHの周期＝256×(T1HPRC設定カウント数)×Tcyc
T1PWMHのLOWの期間＝(T1HR＋1)×(T1HPRC設定カウント数)×Tcyc

③モード2: 8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)(下位8ビットはトグル出力付きタイマとして使用可能)

・サイクルクロックを2分周した信号をカウントするクロックとして、16ビットのプログラマブルタイマが動作します。また、下位8ビットタイマ(T1L)の割り込みはT1Lの周期で発生可能なので、下位8ビットを基準タイマとして使用できます。
・T1PWML, T1PWMHは、それぞれT1L, T1の周期毎にトグルする信号を発生します。(注1)

T1Lの周期＝(T1LR＋1)×(T1LPRC設定カウント数)×2Tcyc
T1PWMLの周期＝T1Lの周期×2
T1の周期＝(T1HR＋1)×(T1HPRC設定カウント数)×T1L周期
T1PWMHの周期＝T1の周期×2

④モード3：8ビットプリスケーラ付き16ビットプログラマブルタイマ(トグル出力付き)
（下位8ビットはPWMとして使用可能）

・サイクルクロックをクロックとして、16ビットプログラマブルタイマが動作します。
・下位8ビットは周期256TcycのPWM(T1PWML)として動作します。
・T1PWMHはT1の周期毎にトグルする信号を発生します。(注1)

T1PWMLの周期＝256×(T1LPRC設定カウント数)×Tcyc
T1PWMLのLOWの期間＝(T1LR＋1)×(T1LPRC設定カウント数)×Tcyc
T1の周期＝(T1HR＋1)×(T1HPRC設定カウント数)×T1PWML周期
T1PWMHの周期＝T1の周期×2

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、T1LまたはT1Hのカウンタ周期で、T1LまたはT1H割り込み要求を発生します。

⑥タイマ1(T1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T1CNT, T1L, T1H, T1LR, T1HR, T1PRR
・P1, P1DDR, P1FCR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1PRC2	T1LPRC1	T1LPRC0

(注1)T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR＝FFHの時、T1PWML出力はLOW固定となります。また、T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR＝FFHの時、T1PWMH出力は、LOW固定となります。

3-4-3 回 路 構 成

3-4-3-1 タイマ1制 御 レジスタ（T1CNT）（8ビットレジスタ）

①T1L，T1Hの動 作，割り込 みの制 御 を行 います。

3-4-3-2 タイマ1プリスケーラ制 御 レジスタ（T1PRR）（8ビットカウンタ）

①T1L，T1Hのクロックを設 定します。

3-4-3-3 タイマ1下 位 プリスケーラ（8ビットカウンタ）

①動 作 開 始 ／停 止 :T1LRUN（タイマ1制 御 レジスタのビット6）の0／1により、停 止 ／動 作 が制 御 されます。

②カウントクロック:モードにより異 なります。

モード	T1LONG	T1PWM	T1Lプリスケーラのカウントクロック
0	0	0	2Tcyc
1	0	1	1Tcyc
2	1	0	2Tcyc
3	1	1	1Tcyc

③プリスケーラカウント数 :T1PRCの値 でカウント数 が設 定 されます。
設 定 カウント毎 にT1Lのカウントクロックを出 力 します。

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケーラのカウント数
0	－	－	－	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット:動 作 停 止 時 、またはT1Lのリセット発 生 時 。

3-4-3-4 タイマ1上位プリスケーラ(8ビットカウンタ)

①動作開始／停止:T1HRUN(タイマ1制御レジスタのビット7)の0／1により、停止／動作が制御されます。

②カウントクロック:モードにより異なります。

モード	T1LONG	T1PWM	T1Hプリスケーラのカウントクロック
0	0	0	2Tcyc
1	0	1	1Tcyc
2	1	0	T1Lの一致信号
3	1	1	256×(T1LPRC設定カウント数)×Tcyc

③プリスケーラカウント数:T1PRCの値でカウント数が設定されます。
設定カウント毎にT1Hのカウントクロックを出力します。

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケーラのカウント数
0	−	−	−	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット:動作停止時、またはT1Hのリセット発生時。

3-4-3-5 タイマ1下位(T1L)(8ビットカウンタ)

①動作開始／停止:T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御されます。
②カウントクロック:T1Lプリスケーラの出力クロック
③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。
④リセット:動作停止時、またはモード0、2の時の一致信号の発生時。

3-4-3-6 タイマ1上位(T1H)(8ビットカウンタ)

①動作開始／停止:T1HRUN(タイマ制御レジスタのビット7)の0／1により、停止／動作が制御されます。
②カウントクロック:T1Hプリスケーラの出力クロック
③一致信号:カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。
④リセット:動作停止時、またはモード0、2、3の時の一致信号の発生時。

3-4-3-7 タイマ1一致データレジスタ下位（T1LR）（一致バッファレジスタ付き8ビットレジスタ）

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位（T1L）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T1LRUN＝0）には、T1LRと一致バッファレジスタは同値となる。

・動作時（T1LRUN＝1）には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

3-4-3-8 タイマ1一致データレジスタ上位（T1HR）（一致バッファレジスタ付き8ビットレジスタ）

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位（T1H）の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T1HRUN＝0）には、T1HRと一致バッファレジスタは同値となる。

・動作時（T1HRUN＝1）には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

3-4-3-9 タイマ1下位出力（T1PWML）

①T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR＝FFHの時、T1PWML出力はLOW固定となります。

②T1PWM（タイマ0制御レジスタのビット4）が0の時、T1Lの一致信号で変化するトグル出力。

③T1PWM（タイマ0制御レジスタのビット4）が1の時、T1Lのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

3-4-3-10 タイマ1上位出力（T1PWMH）

①T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR＝FFHの時、T1PWMH出力はLOW固定となります。

②T1PWM＝0またはT1LONG＝1の時、T1Hの一致信号で変化するトグル出力。

③T1PWM＝1かつT1LONG＝0の時、T1Hのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

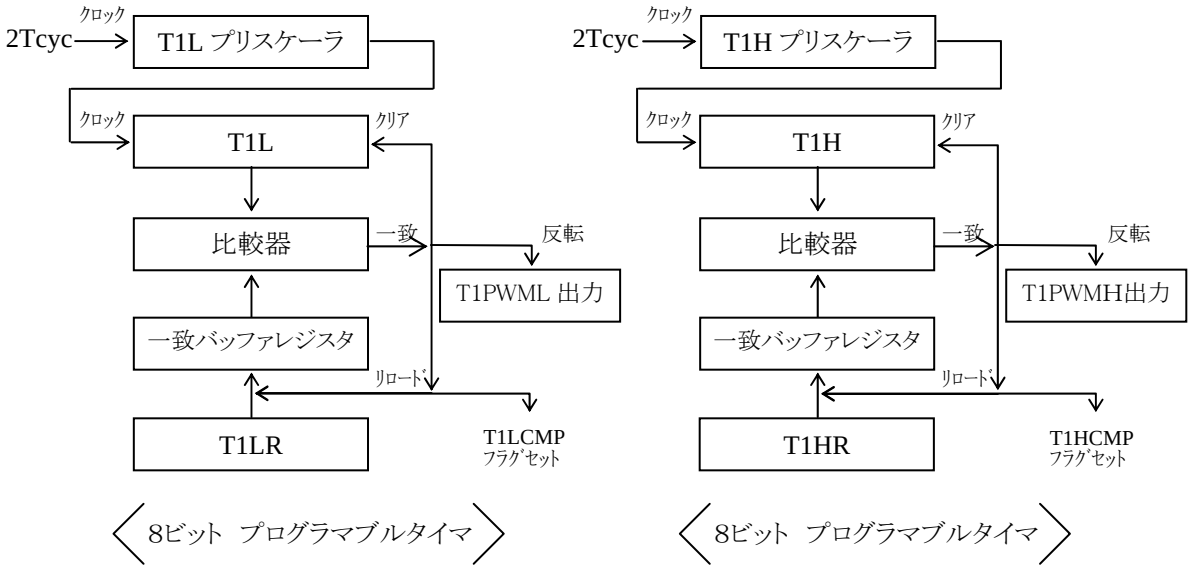


図３－４－１　モード０（Ｔ１ＬＯＮＧ＝０，Ｔ１ＰＷＭ＝０）ブロック図

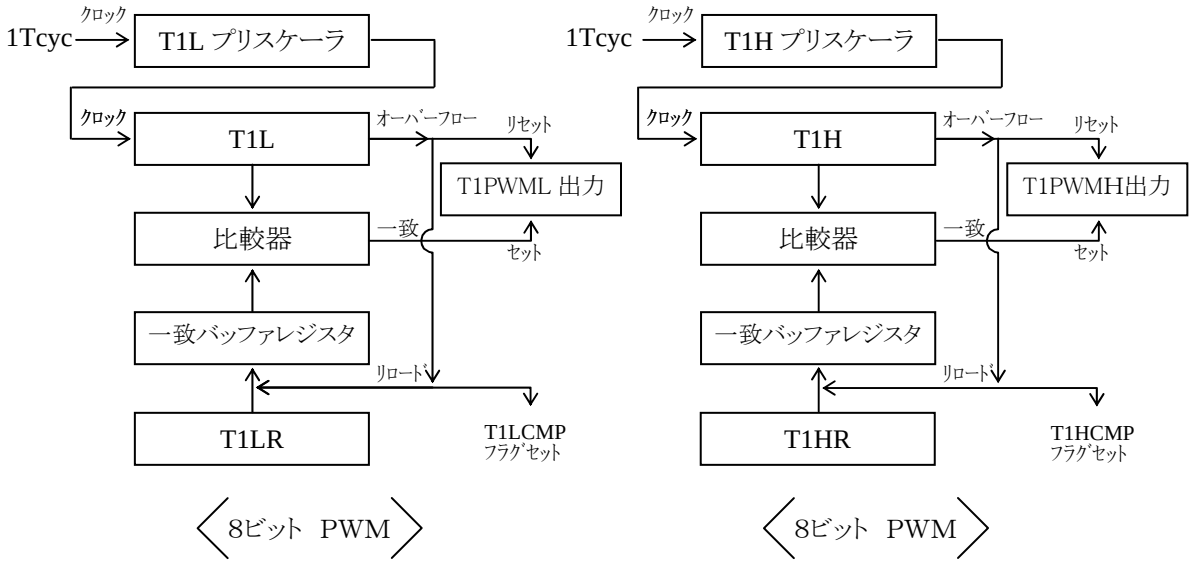


図３－４－２　モード１（Ｔ１ＬＯＮＧ＝０，Ｔ１ＰＷＭ＝１）ブロック図

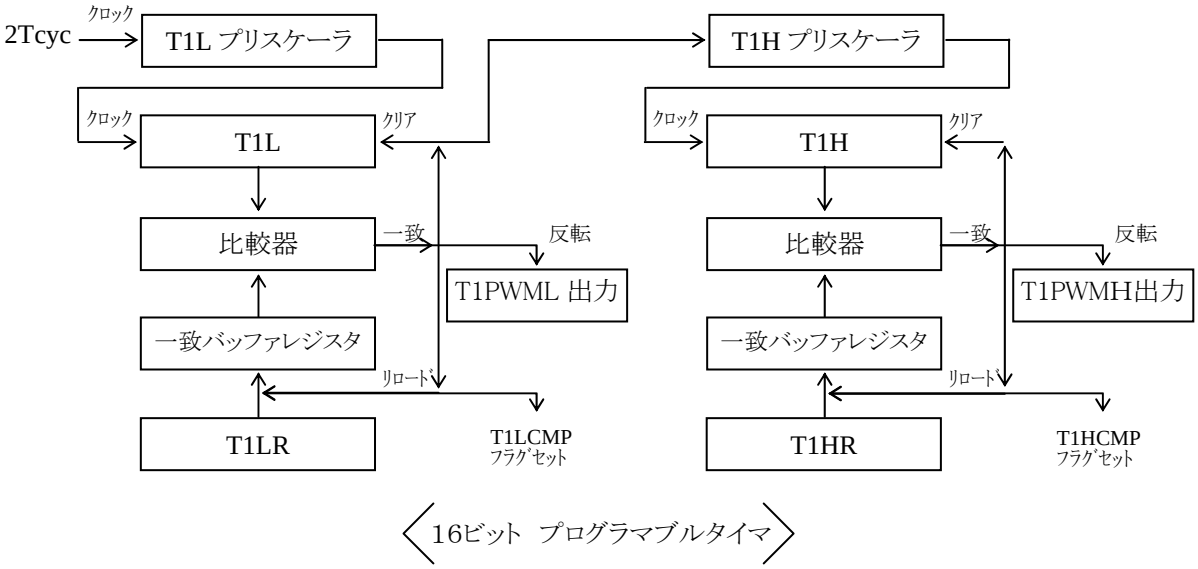


図３－４－３ モード２（Ｔ１ＬＯＮＧ＝１，Ｔ１ＰＷＭ＝０）ブロック図

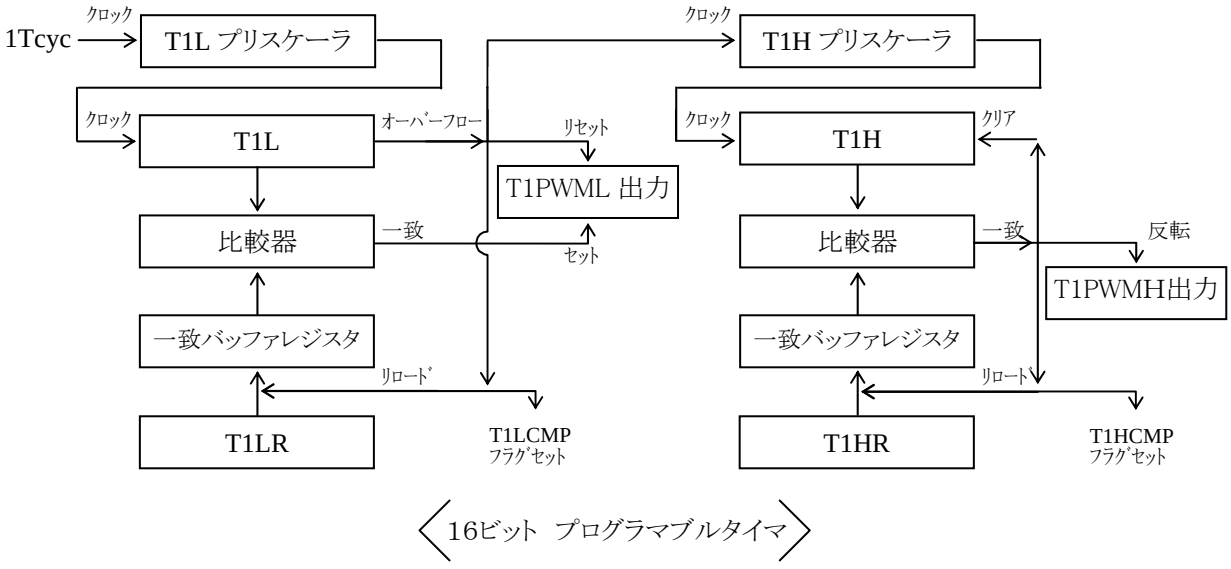


図３－４－４ モード３（Ｔ１ＬＯＮＧ＝１，Ｔ１ＰＷＭ＝１）ブロック図

3-4-4 関連レジスタ

3-4-4-1 タイマ1制御レジスタ(T1CNT)

①T1L，T1Hの動作，割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE

T1HRUN(ビット7):T1Hカウント制御

このビットが0の時タイマ1上位(T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。
このビットが1の時タイマ1上位(T1H)は、所定のカウント動作を行います。

T1LRUN(ビット6):T1Lカウント制御

このビットが0の時タイマ1下位(T1L)は、カウント値0で停止し、T1Lの一致バッファレジスタ値はT1LRの値と同じです。
このビットが1の時タイマ1下位(T1L)は、所定のカウント動作を行います。

T1LONG(ビット5):タイマ1ビット長選択

このビットが0の時タイマ1は上位と下位の独立した8ビットのタイマとなります。
このビットが1の時タイマ1上位(T1H)はタイマ1下位(T1L)の周期でカウントアップしますので、タイマ1は16ビットのタイマとなります。
また、このビットの値にかかわらず、T1H，T1Lそれぞれのカウンタ値と一致バッファレジスタの内容が一致した時に、T1H，T1Lで独立に一致信号が発生します。

T1PWM(ビット4):T1出力モード選択

このビットとT1LONG(ビット5)でT1出力(T1PWMH，T1PWML)を表3－4－1のように設定します。

表3－4－1 タイマ1出力(T1PWMH，T1PWML)

モード	T1LONG	T1PWM	T1PWMH	T1PWML
0	0	0	トグル出力　周期:(T1HR+1)×(T1HPRC設定カウント数)×4×Tcyc	トグル出力　周期:(T1LR+1)×(T1LPRC設定カウント数)×4×Tcyc
1	0	1	PWM出力　周期:256×(T1HPRC設定カウント数)×Tcyc	PWM出力　周期:256×(T1LPRC設定カウント数)×Tcyc
2	1	0	トグル出力　周期:(T1HR+1)×(T1HPRC設定カウント数)×(T1PWML周期)	トグル出力　周期:(T1LR+1) ×(T1LPRC設定カウント数)×4×Tcyc
3	1	1	トグル出力　周期:(T1HR+1) ×(T1HPRC設定カウント数)×(T1PWML周期)×2	PWM出力　周期:256×(T1LPRC設定カウント数)×Tcyc

T1HCMP(ビット3):T1H一致フラグ

T1Hが動作している(T1HRUN＝1)場合、T1Hが0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

T1HIE(ビット2):T1H割り込み要求発生許可制御
このビットとT1HCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

T1LCMP(ビット1):T1L一致フラグ
T1Lが動作している(T1LRUN＝1)場合、T1Lが0に変化する時にセットされます。
このフラグは、命令でクリアしてください。

T1LIE(ビット0):T1L割り込み要求発生許可制御
このビットとT1LCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

注意：
・T1HCMP, T1LCMPは命令で0にしてください。

3-4-4-2 タイマ1プリスケーラ制御レジスタ(T1PRR)

①タイマ1プリスケーラのカウント数を設定します。
②タイマ動作途中でレジスタ設定値を変更した場合、そのプリスケーラカウント数がプリスケーラ動作に反映されるのは、タイマ(T1L, T1H)の一致バッファレジスタの更新と同一タイミングになります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0

T1HPRE(ビット7):タイマ1上位プリスケーラ制御
T1HPRC2(ビット6):タイマ1上位プリスケーラ制御
T1HPRC1(ビット5):タイマ1上位プリスケーラ制御
T1HPRC0(ビット4):タイマ1上位プリスケーラ制御

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケーラのカウント数
0	−	−	−	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

T1LPRE(ビット3):タイマ1下位プリスケーラ制御
T1LPRC2(ビット2):タイマ1下位プリスケーラ制御
T1LPRC1(ビット1):タイマ1下位プリスケーラ制御
T1LPRC0(ビット0):タイマ1下位プリスケーラ制御

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケーラのカウント数
0	−	−	−	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

3-4-4-3 タイマ1下位（T1L）

①読み出し専用の8ビットのタイマです。T1Lプリスケーラの出力クロックでカウントアップします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0

3-4-4-4 タイマ1上位（T1H）

①読み出し専用の8ビットのタイマです。T1Hプリスケーラの出力クロックでカウントアップします。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0

3-4-4-5 タイマ1一致データレジスタ下位（T1LR）

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T1LRUN＝0）には、T1LRと一致バッファレジスタは同値となる。

・動作時（T1LRUN＝1）には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0

3-4-4-6 タイマ1一致データレジスタ上位（T1HR）

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位の値が一致した時、一致信号が発生します。

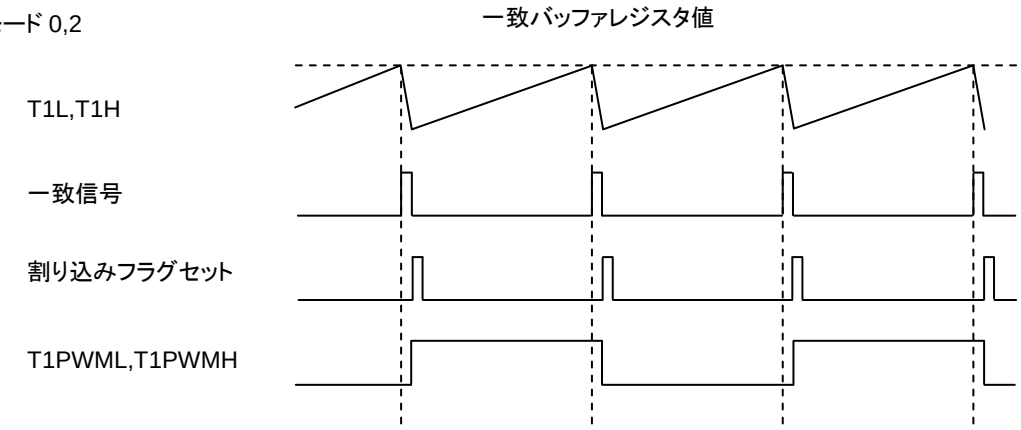
②一致バッファレジスタの更新は以下のように行われます。

・非動作時（T1HRUN＝0）には、T1HRと一致バッファレジスタは同値となる。

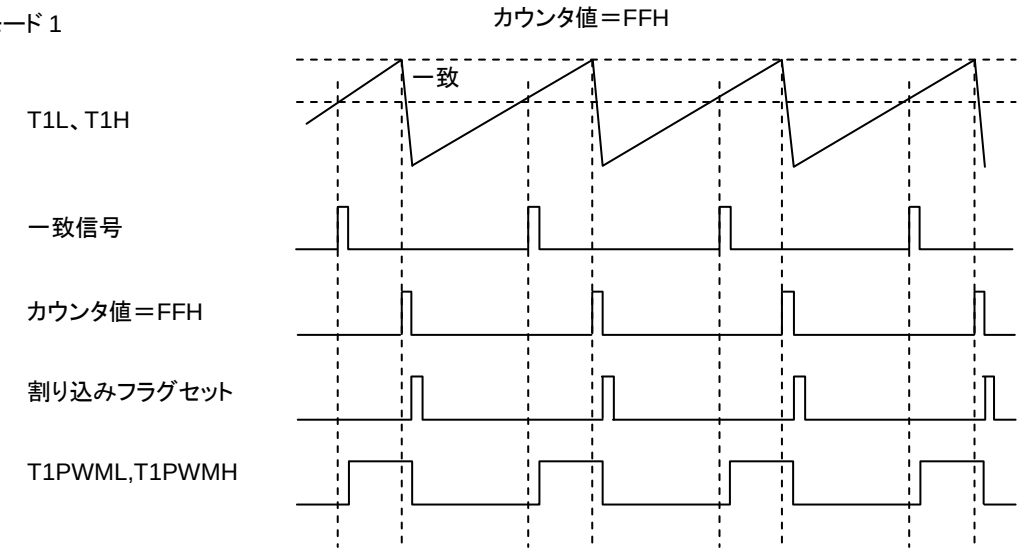
・動作時（T1HRUN＝1）には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

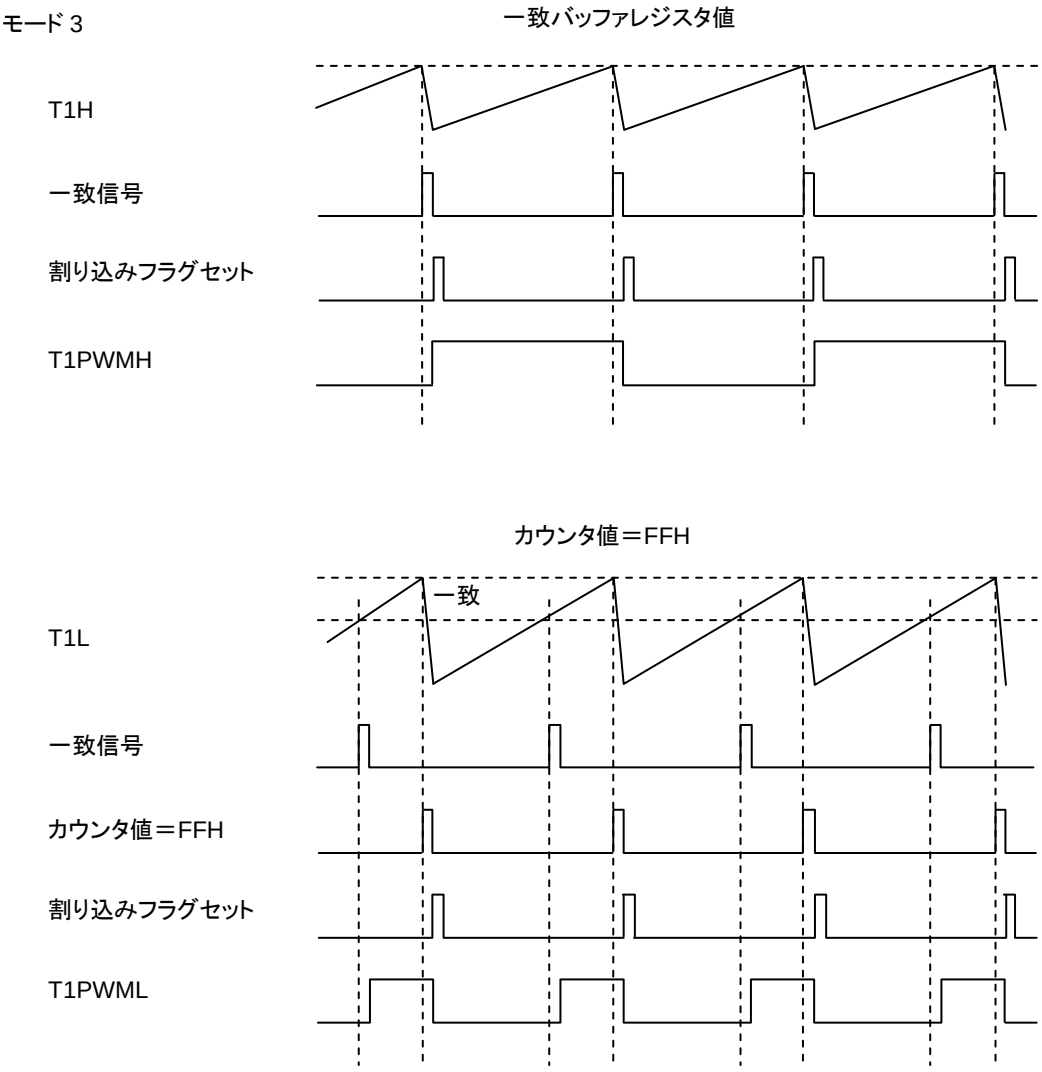
モード 0,2


一致バッファレジスタ値
T1L,T1H
一致信号
割り込みフラグセット
T1PWML,T1PWMH

モード 1


カウンタ値＝FFH
一致
T1L、T1H
一致信号
カウンタ値＝FFH
割り込みフラグセット
T1PWML,T1PWMH

モード 3


一致バッファレジスタ値
T1H
一致信号
割り込みフラグセット
T1PWMH
カウンタ値＝FFH
一致
T1L
一致信号
カウンタ値＝FFH
割り込みフラグセット
T1PWML

3-5 ベースタイマ（BT）

3-5-1 概 要

本シリーズが内蔵しているベースタイマ（BT）は、次に示す2つの機能を持った14ビットのバイナリアップカウンタです。

①14ビットのバイナリアップカウンタ
②ブザー出力機能

3-5-2 機 能

①14ビットのバイナリアップカウンタ
8ビットのバイナリアップカウンタと6ビットのバイナリアップカウンタを用いることによって、14ビットのバイナリアップカウンタとして使用できます。これらのカウンタはプログラムでクリアできます。

②ブザー出力機能
ブザー信号出力制御は、入力信号選択レジスタ（ISL）で指定します。尚、ブザー出力は、P17端子から出力可能です。

③割り込みの発生
割り込み要求許可ビットがセットされている場合、ベースタイマからの割り込み要求が発生すると、ベクタアドレス001BHへの割り込み要求が発生されます。ベースタイマからの割り込み要求には、「ベースタイマ割り込み0」と「ベースタイマ割り込み1」の2種類があります。

④ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, ISL, P1DDR, P1, P1FCR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	-	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE5F	00000 0000	R/W	ISL	BUZDIV	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

3-5-3 回 路 構 成

3-5-3-1 8ビットバイナリアップカウンタ

①入 力 信 号 選 択 レジスタ(ISL)で選 択 された信 号 を入 力 とするアップカウンタです。
ブザー出 力 信 号 やベースタイマ割り込 み1フラグのセット信 号 などを発 生 します。
このオーバーフローが6ビットバイナリカウンタのクロックとなります。

3-5-3-2 6ビットバイナリアップカウンタ

①入 力 信 号 選 択 レジスタ(ISL)で選 択 された信 号 または8ビットカウンタのオーバーフロ
ーを入 力 とする6ビットアップカウンタで、ベースタイマ割り込 み0，1のセット信 号 を発 生
します。入 力 クロックの切り替 えは、ベースタイマ制 御 レジスタ(BTCR)で行 います。

3-5-3-3 ベースタイマ入 力 クロック源

①ベースタイマの入 力 クロック(fBST)は、「サイクルクロック」と「タイマ0プリスケーラ」，
の2種 類 から入 力 信 号 選 択 レジスタ(ISL)で選 択 します。

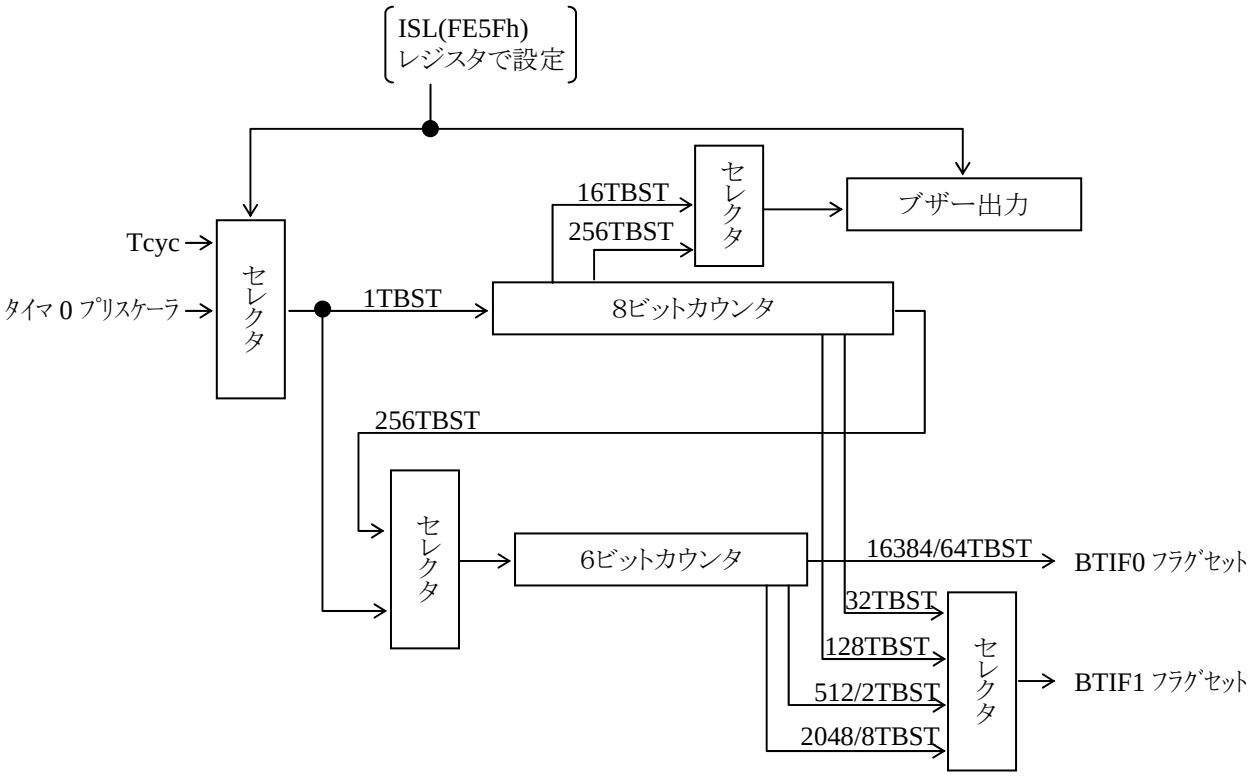


図 3－5－1 ベースタイマブロック図

3-5-4 関連レジスタ

3-5-4-1 ベースタイマ制御レジスタ（BTCR）

①ベースタイマの動作の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0

BTFST（ビット7）：ベースタイマ割り込み0周期制御

ベースタイマ割り込み0要因発生の周期を選択します。

このビットが1の時、6ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は64／fBSTとなります。

このビットが0の時、14ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は16384fBSTになります。

早送りモードを使用する場合は1を設定します。

BTON（ビット6）：ベースタイマ動作制御

このビットが0の時ベースタイマは、カウント値0で停止します。

このビットが1の時ベースタイマは、動作を行います。

BTC11（ビット5）：ベースタイマ割り込み1周期制御

BTC10（ビット4）：ベースタイマ割り込み1周期制御

BTFST	BTC11	BTC10	ベースタイマ割り込み0周期	ベースタイマ割り込み1周期
0	0	0	16384fBST	32fBST
1	0	0	64fBST	32fBST
0	0	1	16384fBST	128fBST
1	0	1	64fBST	128fBST
0	1	0	16384fBST	512fBST
0	1	1	16384fBST	2048fBST
1	1	0	64fBST	2fBST
1	1	1	64fBST	8fBST

fBST：入力信号選択レジスタ（ISL）で選択される入力クロック周波数

BTIF1（ビット3）：ベースタイマ割り込み1フラグ

BTFST，BTC11，BTC10で設定されたベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE1（ビット2）：ベースタイマ割り込み1要求発生許可制御

このビットとBTIF1がともに1の時、「ベクタアドレス001BHへの割り込み要求」が発生します。

BTIF0（ビット1）：ベースタイマ割り込み0フラグ

BTFST，BTC11，BTC10で設定されたベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE0(ビット0):ベースタイマ割り込み0要求発生許可制御
このビットとBTIF0がともに1の時、「ベクタアドレス001BHへの割り込み要求」が発生します。

注意:
・BTC11, BTC10を書き換える場合に、BTIF1「1」になることがありますので注意してください。
・ベースタイマクロックソースにサイクルクロックを選択した場合、ベースタイマを動作させたままHOLDモードにすると、HOLD解除時にメインクロックの発振開始時に生じる不安定な発振の影響を受けて、ベースタイマにカウントミスが発生します。HOLDモードに入る時は、ベースタイマを止めることをお奨めします。

3-5-4-2 入力信号選択レジスタ(ISL)

①タイマ0の入力, ノイズフィルタの時定数, ブザー出力, ベースタイマのクロックの制御を行う9ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00000 0000	R/W	ISL	BUZDIV	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

BUZDIV(ビット8):ブザー出力の分周選択
"1"の設定時、ベースタイマクロックを256分周した信号をブザー出力します。
"0"の設定時、ベースタイマクロックを16分周した信号をブザー出力します。

ST0HCP(ビット7):タイマ0Hキャプチャ信号入力ポート選択
ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択
上記2ビットは、ベースタイマの制御には関係ありません。

BTIMC1(ビット5):ベースタイマクロック選択
BTIMC0(ビット4):ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	設定禁止
0	1	サイクルクロック
1	0	設定禁止
1	1	タイマ／カウンタ0のプリスケーラ出力

BUZON(ビット3):ブザー出力
ブザー出力(fBST/16 または fBST/256)の出力の許可を行います。
"1"の設定時、ポートP17にはベースタイマクロックを16分周または256分周した信号をブザー出力として転送します。
"0"の設定時、ブザー出力はHIGH固定となります。

NFSEL(ビット2):ノイズ除去フィルタ時定数選択
NFON(ビット1):ノイズ除去フィルタ時定数選択
ST0IN(ビット0):タイマ0カウントクロック入力ポート選択
上記3ビットは、ベースタイマの制御には関係ありません。

3-6　シリアルインタフェース1（SIO1）

3-6-1　概 要

本シリーズが内蔵しているシリアルインタフェース1（SIO1）は、次の4つの機能を持ちます。

①モード0：同期式8ビットシリアルI／O
（2線式または3線式，転送クロック2～512Tcyc）

②モード1：非同期シリアル
（半二重，データ8ビット，ストップビット1，ボーレイト8～2048Tcyc）

③モード2：BUS－マスタ（スタートビット，データ8ビット，転送クロック2～512Tcyc）

④モード3：BUS－スレーブ（スタート検出，データ8ビット，ストップ検出）

3-6-2　機 能

①モード0：同期式8ビットシリアルI／O

・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
・内部クロックの周期は2～512Tcycの範囲で可変です。

②モード1：非同期シリアル（UART）

・データ8ビット，ストップビット1ビットの半二重の非同期通信を行います。
・ボーレイトは8～2048Tcycの範囲で可変です。

③モード2：BUS－マスタ

・BUSのマスタコントローラとして使用します。
・スタートコンディションは自動生成しますが、ストップコンディションはポートを操作して発生してください。
・クロック同期を行います。転送時のバスデータを転送終了後確認できますのでモード3と合わせてマルチマスタ対応が可能です。
・出力クロックの周期は2～512Tcycの範囲で可変です。

④モード3：BUS－スレーブ

・BUSのスレーブデバイスとして使用します。
・スタート／ストップコンディション検出は行いますが、アドレスの一致検出とアクノレッジの出力には、プログラムの介在が必要です。
・プログラムで判断をするため、第8クロックの立ち下がりで自動的にクロックラインにLOWを出力した後、割り込みをかけることができます。

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求を発生します。

⑥シリアルインタフェース1（SIO1）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・SCON1, SBUF1, SBR1
・P1, P1DDR, P1FCR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-6-3　回路構成

3-6-3-1　SIO1制御レジスタ（SCON1）（8ビットレジスタ）

①SIO1の動作、割り込みの制御を行います。

3-6-3-2　SIO1シフトレジスタ（SIOSF1）（8ビットシフトレジスタ）

①SIO1のデータ転送・受信のためのシフトレジスタです。
②命令で直接アクセスできません。SBUF1を通してアクセスします。

3-6-3-3　SIO1データレジスタ（SBUF1）（9ビットレジスタ）

①データ転送開始時、SBUF1の下位8ビットがSIOSF1に転送されます。
②データ転送終了時、SBUF1の下位8ビットにSIOSF1の内容が入ります。モード1，2，3では、SBUF1のビット8に、9番目の入力データが入るのでストップビット等の確認ができます。

3-6-3-4　SIO1ボーレートジェネレータ（SBR1）（8ビットリロードカウンタ）

①内部クロック発生用のリロードカウンタです。
②モード0，2では2～512Tcyc周期、モード1では8～2048Tcyc周期のクロックを発生できます。

表３－６－１ 各モードでのＳＩＯ１の動作

		同期式(ﾓｰﾄﾞ0)		UART(ﾓｰﾄﾞ1)		BUSマスタ(ﾓｰﾄﾞ2)		BUSスレーブ(ﾓｰﾄﾞ3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
ｽﾀｰﾄﾋﾞｯﾄ		なし	なし	出力 (LOW)	入力 (LOW)	下①②参照	不要	不要	下②参照
ﾃﾞｰﾀ出力		8 (ｼﾌﾄﾃﾞｰﾀ)	8 (ALL 1)	8 (ｼﾌﾄﾃﾞｰﾀ)	8 (ALL 1)	8 (ｼﾌﾄﾃﾞｰﾀ)	8 (ALL 1)	8 (ｼﾌﾄﾃﾞｰﾀ)	8 (ALL 1)
ﾃﾞｰﾀ入力		8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←
ｽﾄｯﾌﾟﾋﾞｯﾄ		なし	←	出力 (HIGH)	入力 (H/L)	入力 (H/L)	出力 (SBUF1 bit8)	入力 (H/L)	出力 (L)
ｸﾛｯｸ		8	←	9 (内部)	←	9	←	第 8 ｸﾛｯｸの↓で LOW 出力	←
動作開始		SI1RUN↑	←	① SI1RUN↑ ② ｽﾀｰﾄﾋﾞｯﾄの検出	ｽﾀｰﾄﾋﾞｯﾄの検出	① SI1RUN=1 の時の SI1END↓ でｽﾀｰﾄﾋﾞｯﾄなし ② SI1END=0 の時の SI1RUN↑ でｽﾀｰﾄﾋﾞｯﾄ付き	左の①	右の①	① SI1RUN=1 の時の SI1END↓ でｸﾛｯｸを解放 ② SI1RUN=0 かつ SI1END=0 の時の ｽﾀｰﾄﾋﾞｯﾄの検出
動作周期		2-512Tcyc	←	8-2048 Tcyc	←	2-512Tcyc	←	2-512Tcyc	←
SI1RUN (bit5)	ｾｯﾄ	命令	←	①命令 ②ｽﾀｰﾄﾋﾞｯﾄの検出	ｽﾀｰﾄﾋﾞｯﾄの検出	命令	既にｾｯﾄされている	既にｾｯﾄされている	ｽﾀｰﾄﾋﾞｯﾄの検出
	ｸﾘｱ	終了時	←	ｽﾄｯﾌﾟﾋﾞｯﾄの終り	←	① ｽﾄｯﾌﾟｺﾝﾃﾞｨｼｮﾝ検出 ② ｱｰﾋﾞﾄﾚｰｼｮﾝﾛｽﾄ時 (注1)	←	① ｽﾄｯﾌﾟｺﾝﾃﾞｨｼｮﾝ検出 ② ｱｸﾉﾚｯｼﾞ=1 の検出	←
SI1END (bit1)	ｾｯﾄ	終了時	←	ｽﾄｯﾌﾟﾋﾞｯﾄの終り	←	①第 9 ｸﾛｯｸの↑ ②ｽﾄｯﾌﾟｺﾝﾃﾞｨｼｮﾝ検出	←	①第 8 ｸﾛｯｸの↓ ②ｽﾄｯﾌﾟｺﾝﾃﾞｨｼｮﾝ検出	←
	ｸﾘｱ	命令	←	命令	←	命令	←	命令	←

（注１）第１～第８クロック立ち上がり時に、内部データ出力値＝‘Ｈ’かつ、データポート＝‘Ｌ’の場合、バス競合負けと判断し、ＳＩ１ＲＵＮがクリアされます（クロック送出もその時点で停止します）。

（次ページへ続く）

表３－６－１（続き）

		同期式(ﾓｰﾄﾞ0)		UART(ﾓｰﾄﾞ1)		BUSマスタ(ﾓｰﾄﾞ2)		BUSスレーブ(ﾓｰﾄﾞ3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
SI1OVR (bit2)	セット	① SI1RUN=0 でｸﾛｯｸ↓検出 ② SI1END=1 で SI1END セット条件成立	←	① SI1RUN=0 でｸﾛｯｸ↓検出 ② SI1END=1 で SI1END セット条件成立	←	① SI1END=1 で SI1END セット条件成立	←	① SI1RUN=0 でｸﾛｯｸ↓検出 ② SI1END=1 で SI1END セット条件成立 ③ ｽﾀｰﾄﾋﾞｯﾄの検出	←
	クリア	命令	←	命令	←	命令	←	命令	←
ｼﾌﾀのﾃﾞｰﾀ更新		動作開始時 SBUF1 →ｼﾌﾀ	←	動作開始時 SBUF1 →ｼﾌﾀ	←	動作開始時 SBUF1 →ｼﾌﾀ	←	動作開始時 SBUF1 →ｼﾌﾀ	←
ｼﾌﾀ→SBUF1 (bit0-7)		第 8 ｸﾛｯｸの↑	←	8ﾋﾞｯﾄﾃﾞｰﾀ転送時	8ﾋﾞｯﾄﾃﾞｰﾀ受信時	第 8 ｸﾛｯｸ↑	←	第 8 ｸﾛｯｸ↑	←
SBUF1 bit8 のﾃﾞｰﾀ自動更新		なし	←	ｽﾄｯﾌﾟﾋﾞｯﾄ時に入力ﾃﾞｰﾀを取り込む	←	第 9 ｸﾛｯｸ↑に入力ﾃﾞｰﾀを取り込む	←	第 9 ｸﾛｯｸ↑に入力ﾃﾞｰﾀを取り込む	←

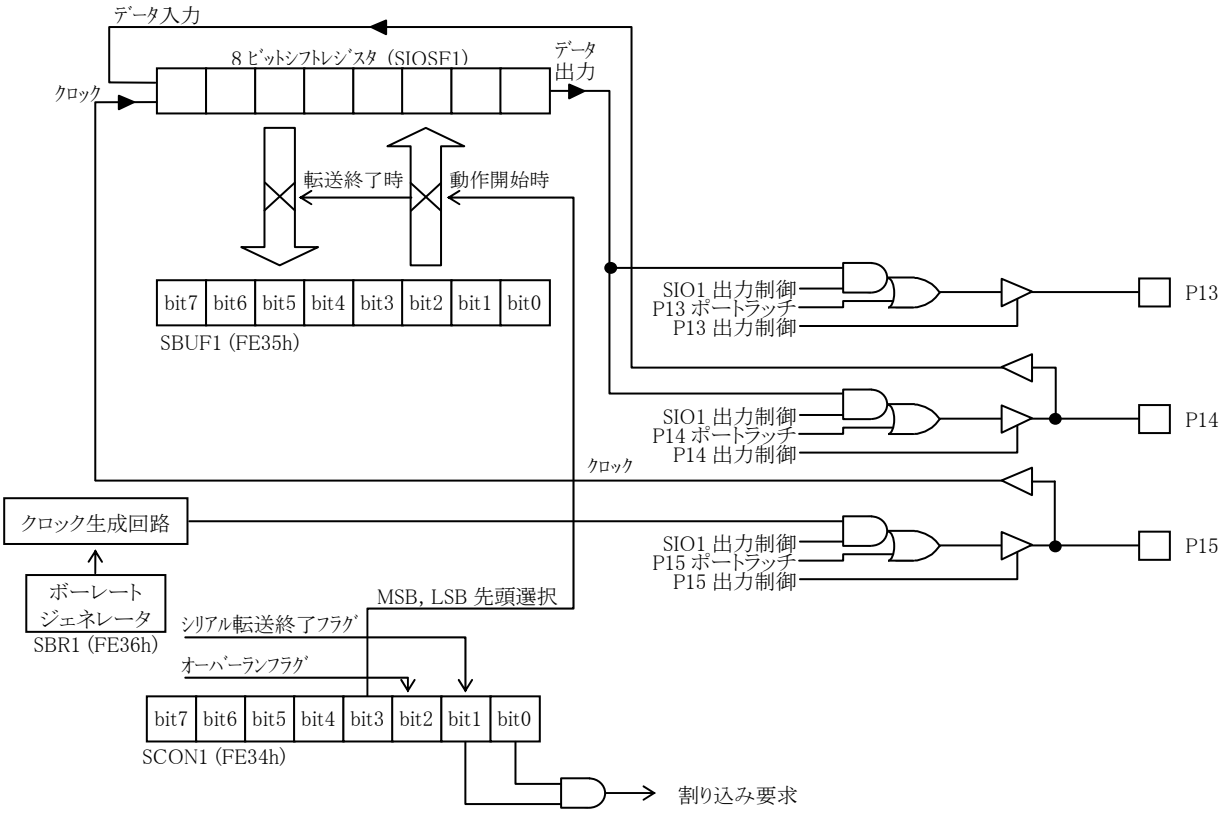


図３－６－１　SIO1モード0：同期式8ビットシリアルI／O
（SI1M1＝0，SI1M0＝0）ブロック図

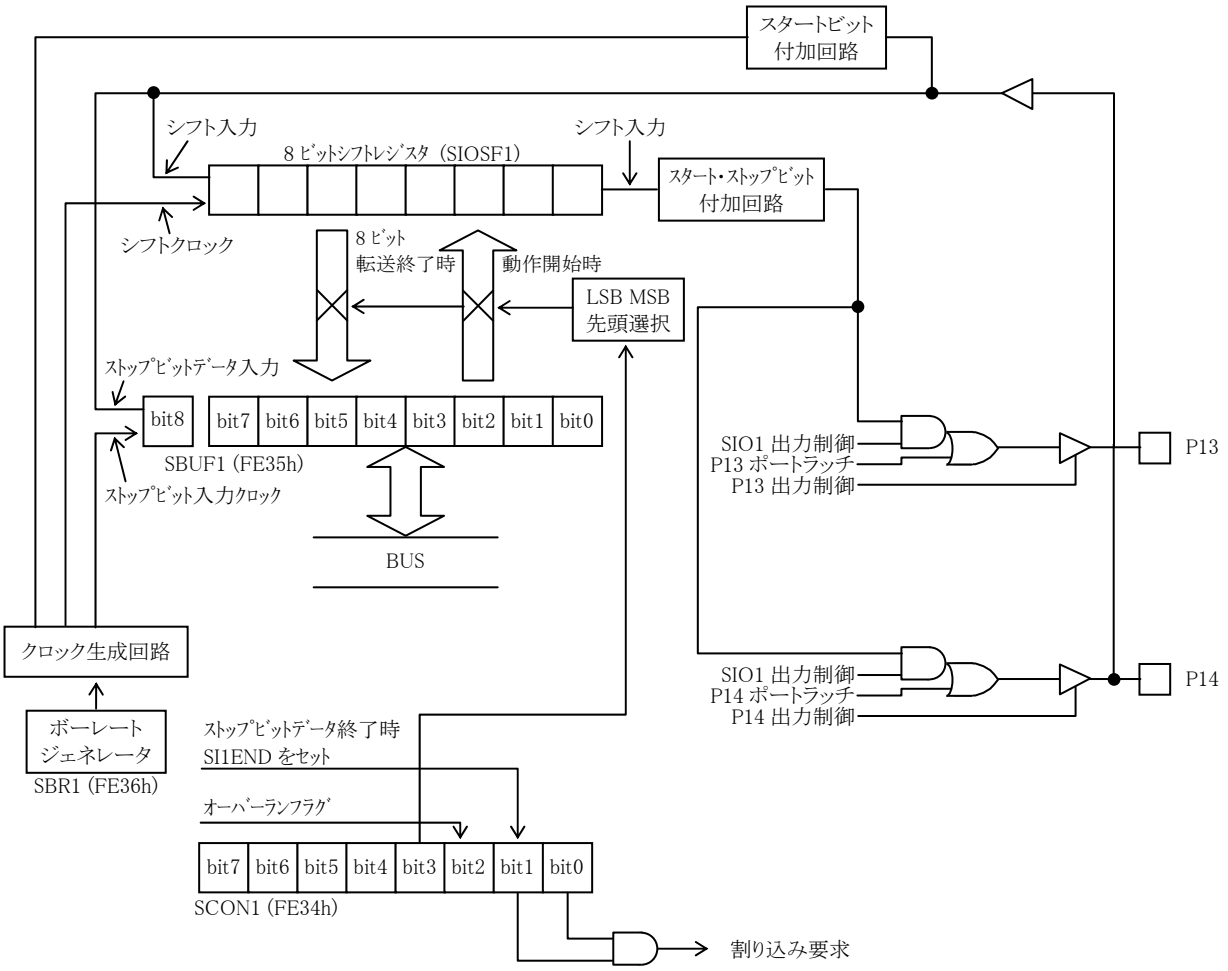


図３－６－２　SIO1モード1:非同期シリアル［UART］
（SI1M1＝0，SI1M0＝1）ブロック図

3-6-4　SIO1通信の具体例

3-6-4-1　同期式（モード0）

①クロックの設定

・内部クロック使用の場合、SBR1の設定をする。

②モードの設定

・SI1M0＝0，SI1M1＝0，SI1DIR，SI1IE＝1の設定をする。

③ポートとSI1REC（ビット4）の設定をする。

	クロック用ポート P15
内部クロック	出力
外部クロック	入力

	データ出力ポート P13	データ入出力ポート P14	SI1REC
データ送信のみ	出力	－	0
データ受信のみ	－	入力	1
データ送受信（3線式）	出力	入力	0
データ送受信（2線式）	－	Nchオープンドレイン出力	0

④出力データの設定

・データ送信（SI1REC＝0）の場合、SBUF1に出力データを書き込む。

⑤動作スタート

・SI1RUNをセットする。

⑥データの読み込み（割り込み後）

・SBUF1を読み込む。（SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。）

・SI1ENDをクリアし、割り込みを抜ける。

・再動作の場合④に戻る。

3-6-4-2　非同期式（モード1）

①ボーレイトの設定

・SBR1の設定をする。

②モードの設定

・SI1M0＝1，SI1M1＝0，SI1DIR，SI1IE＝1の設定をする。

③ポートの設定をする。

	データ出力ポート P13	データ入出力ポート P14
データ送受信（2線式）	出力	入力
データ送受信（1線式）	－	Nchオープンドレイン出力

④送信動作スタート

・SI1RECを0にして、SBUF1に出力データを書き込む。

・SI1RUNをセットする。

注意：モード1の送信のみを行う場合は、SIO1のデータ入出力ポート(P14)を使用してください。
モード1では、受信データの立ち下がりを検出すると自動的に送信がスタートします。モード1設定中は、データ入出力ポート(P14)で、常にデータの立ち下がり検出が行われます。したがって、送信ポートをデータ出力ポート(P13)に設定した場合、P14の状態変化によってデータ送信が勝手にスタートする可能性があります。

⑤受信動作スタート
・SI1RECを1にする。(SI1RECを1にセットした後は、SI1ENDのフラグがセットされるまでは、SCON1レジスタに書き込みは行わないでください。)
・受信データの立ち下がり検出。

⑥データの読み込み(割り込み後)
・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
・SI1ENDをクリアし、割り込みを抜ける。
・再動作の場合④に戻る。

注意：モード1(UART)で連続受信を行う場合、以下の条件を満たしてください。
・ストップビットは2ビット以上。
・割り込み処理によるSI1ENDのクリアは、次のスタートビットが来る前に終了。

3-6-4-3 BUSーマスタモード(モード2)

①クロックの設定
・SBR1の設定をする。

②モードの設定
・SI1M0＝0, SI1M1＝1, SI1DIR, SI1IE＝1, SI1REC＝0の設定をする。

③ポートの設定をする
・クロックポート(P15), データポート(P14)をオプション指定によりNchオープンドレインポートにする。
・P14(P1, ビット4)およびP15(P1, ビット5)に0を設定する。
・P14FCR(P1FCR, ビット4)およびP15FCR(P1FCR, ビット5)に1を設定する。
・P14DDR(P1DDR, ビット4)およびP15DDR(P1DDR, ビット5)に1を設定する。

④通信スタート(アドレス送信)
・SBUF1にアドレスデータを書き込む。
・SI1RUNをセットする。(スタートビット＋SBUF1(8ビット)＋ストップビット(H)の転送を行う。)

⑤アドレスデータの確認(割り込み後)
・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
・アクノレッジをPSWのビット1を見て確認する。

・バス競合負けの条件が起こった場合（表３－６－１注１参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。

⑥データの送信

・SBUF1に出力データを書き込む。
・SI1ENDをクリアし、割り込みを抜ける。（SBUF1（8ビット）＋ストップビット（H）の転送を行う。）

⑦送信データの確認（割り込み後）

・SBUF1を読み込む。（SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。）
・アクノレッジをPSWのビット1を見て確認する。
・バス競合負けの条件が起こった場合（表３－６－１注１参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。
・引き続きデータを送る場合は⑥に戻る。
・通信を終了する場合は⑩に行く。

⑧データの受信

・SI1RECを1にする。
・SI1ENDをクリアし、割り込みを抜ける。（受信（8ビット）＋SBUF1　ビット8（アクノレッジ）出力を行う。）

⑨受信データの読み込み（割り込み後）

・SBUF1を読み込む。
・引き続きデータを受信する場合は⑧に戻る。
・通信を終了する場合は⑩の*に行く。この時、アクノレッジデータとして（SBUF1ビット8）が既に出力され、マスタ側のクロックの解放は行われています。

⑩通信の終了

・クロック出力ポートを操作し（P15FCR＝0，P15DDR＝1，P15＝0）、クロック出力に0を出す。
・データ出力ポートを操作し（P14FCR＝0，P14DDR＝1，P14＝0）、データ出力に0を出す。
・クロック出力ポートをもとに戻し（P15FCR＝1，P15DDR＝1，P15＝0）、クロック出力を解放する。
*・全てのスレーブがクロックを解放し、クロックが1になるのを待つ。
・データセットアップ時間をとり、データ出力ポートを操作し（P14FCR＝0，P14DDR＝1，P14＝1）、データ出力に1を出す。この時、SIO1オーバーランフラグSI1OVR（SCON1：FE34のビット2）がセットされますが、動作に支障はありません。
・データ出力ポートをもとに戻す（P14FCR＝1に設定した後、P14DDR＝1，P14＝0とする。）。
・SI1ENDとSI1OVRをクリアし、割り込みを抜ける。
・再動作の場合④に戻る。

3-6-4-4 BUSースレーブ(モード3)

①クロックの設定

・SBR1の設定をする。(アクノレッジデータセットアップ時間の設定のため)

②モードの設定

・SI1M0＝1, SI1M1＝1, SI1DIR, SI1IE＝1, SI1REC＝0の設定をする。

③ポートの設定をする

・クロックポート(P15), データポート(P14)をオプション指定によりNchオープンドレインポートにする。
・P14(P1, ビット4)およびP15(P1, ビット5)に0を設定する。
・P14FCR(P1FCR, ビット4)およびP15FCR(P1FCR, ビット5)に1を設定する。
・P14DDR(P1DDR, ビット4)およびP15DDR(P1DDR, ビット5)に1を設定する。

④通信スタート(アドレス待ち)

*1・SI1RECをセットする。
*2・スタートビットの検出でSI1RUNが自動的にセットされる。
・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。

⑤アドレスデータの確認(割り込み後)

・スタートコンディションを検出すると、SI1OVRがセットされるので、SI1RUN＝1＆SI1OVR＝1 を確認することで、アドレスを受信したことを判別する。
(SI1OVRは自動的にクリアされないので、ソフトでクリアしてください)
・SBUF1を読み込み、アドレスを確認する。
・アドレスが一致しない場合、SI1RUNとSI1ENDをクリアし割り込みを抜け、⑧の*でストップコンディション検出を待つ。

⑥データの受信

*・SI1ENDをクリアし、割り込みを抜ける。(前に受信を行っていた場合アクノレッジを出し、(SBR1の設定値＋1／3)×Tcyc時間後クロックポートを解放します。)
・ストップコンディションを検出すると、SI1RUNが自動的にクリアされ、割り込みがかかるので、SI1ENDをクリアし割り込みを抜け、④の*2 に戻る。
・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。ただし、途中でスタートコンディションを検出するとクロックカウンタはクリアされますので、割り込みの発生には更に8個のクロックが必要です。
・SBUF1を読み込み、データを格納する。
注意：SBUF1のビット8は、第9クロック↑が来てないのでまだ更新されていません。
・受信を続ける場合⑥の*に戻る。

⑦データの送信

・SI1RECをクリアする。
・SBUF1に出力データを書き込む。
・SI1ENDをクリアし、割り込みを抜ける。(前の受信のアクノレッジを出し、(SBR1の設定値＋1／3)×Tcyc時間後クロックポートを解放します。)
*1・送信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。
*2・SI1RUNが1の時、⑦の*3 に行きます。
・SI1RUNが0の時、⑦の*4 からの割り込みなので、SI1ENDとSI1OVRをクリアして④の*1 に戻る。

*3・必要に応じて、SBUF1を読み込み、送信データを確認する。
注意：SBUF1のビット8は、第9クロック↑が来てないのでまだ更新されていません。
・SBUF1に次の出力データを書き込む。
・SI1ENDをクリアし、割り込みを抜ける。((SBR1の設定値＋1／3)×Tcyc時間後のクロックポートを解放します。)
・マスタからのアクノレッジがある(L)場合は、⑦の*1 に戻ります。
・マスタからのアクノレッジがない(H)場合は、データ送信の終了とみなし、SI1RUNを自動的にクリアし、データポートを解放します。
※ただし、この直後に再スタートコンディションが来る場合、SI1REC＝1にしてから割り込みを抜ける必要があります(SI1RECは、スタートコンディションの検出で、自動的にはセットされません)。
スレーブ送信動作直後に想定外の再スタートが来た場合(SI1RECをソフトで1にしていない場合)、マスタのアドレス送信を妨害する可能性があります。
*4・ストップコンディション検出すると、割り込みがかかり、⑦の*2 に戻ります。

⑧通信の終了
・SI1RECをセットします。
・自動的に終了させる場合は⑥の*に戻ります。
・強制的に終了する場合は、SI1RUNとSI1ENDをクリアする。(クロックポートを解放します。)
*・ストップコンディション検出すると、割り込みがかかるので、SI1ENDとSI1OVRをクリアして④の*2 に戻る。

3-6-5　関連レジスタ

3-6-5-1　SIO1制御レジスタ(SCON1)

①SIO1の動作、割り込みの制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE

SI1M1(ビット7):SIO1 モード制御
SI1M0(ビット6):SIO1 モード制御

表3－6－2 SIO1 動作モード

モード	SI1M1	SI1M0	動作モード
0	0	0	同期式8ビットSIO
1	0	1	UART(STOP－BIT1, PARITYなし)
2	1	0	BUSマスタ対応モード
3	1	1	BUSスレーブ対応モード

SI1RUN(ビット5):SIO1動作フラグ
① このビットが1の時、SIO1は動作中です。
② このビットのセット・クリアについては、表３－６－1を参照してください。

SI1REC(ビット4):SIO1受信／送信制御
① このビットが1の時、SIO1は受信モードとなります。
② このビットが0の時、SIO1は送信モードとなります。

SI1DIR(ビット3):MSB／LSB先頭選択

① このビットが1の時、SIO1はMSB先頭となります。
② このビットが0の時、SIO1はLSB先頭となります。

SI1OVR(ビット2):SIO1オーバーランフラグ

①モード1，2，3の時、SI1RUN＝0の状態で、入力クロックの立ち下がりを検出すると、このビットがセットされます。
②SI1END＝1の状態で、SI1ENDをセットする条件が成立すると、このビットがセットされます。
③モード3の時、スタートコンディションの検出で、このビットがセットされます。
④このビットのクリアは命令で行ってください。

SI1END(ビット1):シリアル転送終了フラグ

①シリアル転送が終了（表３－６－１参照）すると、このビットがセットされます。
②このビットのクリアは命令で行ってください。

SI1IE(ビット0):SIO1割り込み要求発生許可制御

このビットとSI1ENDがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

3-6-5-2 シリアルバッファ1（SBUF1）

①SIO1のシリアル転送で扱うデータの格納を行う9ビットのレジスタです。
②動作の開始時に、SBUF1の下位8ビットのデータが送受信用のデータシフトレジスタに転送され、8ビットのデータ転送時に、送受信用のシフトレジスタの内容がSBUF1の下位8ビットに入ります。
③モード1，2，3では、9番目のデータ(ストップビットの位置のデータ)入力時に、このデータがSBUF1のビット8に入ります。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10

3-6-5-3 ボーレートジェネレータレジスタ（SBR1）

①SIO1のシリアル転送の転送レートを設定する8ビットのレジスタです(モード0，1，2)
②このレジスタにデータを書き込むと、直ちにボーレートジェネレータ用のカウンタが初期化されます。
③転送レートはモードにより異なります。
モード0，2 :TSBR1＝(SBR1の設定値＋1)×2Tcyc
（設定範囲 2～512Tcyc）
モード1 :TSBR1＝(SBR1の設定値＋1)×8Tcyc
（設定範囲 8～2048Tcyc）
④モード3ではアクノレッジデータセットアップ時間を設定します(3-6-4-4⑥、⑦参照)
モード3設定時、SI1ENDをクリアしてからクロックポートが開放されるまでの時間は
（SBR1の設定値＋1／3)×Tcyc （SBR1＝0は設定禁止）
となります。
この値は、通信相手のデバイスのデータセットアップ時間規定を満足するように設定してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-7 ADコンバータ(ADC10)

3-7-1 概要

本シリーズは、下記の特徴を持った10ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

①10ビット分解能
②逐次比較方式
③AD変換モード切り替え機能(分解能切り替え)
④6チャネルアナログ入力
⑤変換時間切り替え機能
⑥基準電圧自動発生制御機能

3-7-2 機能

①逐次比較方式
・10ビットの分解能を持っています。
・変換には、変換開始から所定の変換時間が必要です。
・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。

②AD変換切り替え機能(分解能切り替え)
使用条件に合わせ分解能を切り替えられるよう、10ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMRC)で行います。

③6チャネルアナログ入力
変換される信号は、P1から入力される6種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。

④変換時間切り替え機能
AD変換時間を1／1～1／128(分周比)に切り替えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り替えます。

⑤基準電圧自動発生制御機能
基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生のセット／リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

⑥ＡＤコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ＡＤＣＲＣ，ＡＤＭＲＣ，ＡＤＲＬＣ，ＡＤＲＨＣ

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-7-3 回路構成

3-7-3-1 ＡＤ変換制御回路

①ＡＤ変換制御回路には10ビットＡＤ変換モードと8ビットＡＤ変換モードがあります。

3-7-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、ＡＤ制御レジスタ（ＡＤＣＲＣ）の変換終了フラグ（ＡＤＥＮＤＦ）がセットされます。
変換結果は、ＡＤ変換結果レジスタ（ＡＤＲＨＣ，ＡＤＲＬＣ）に格納されます。

3-7-3-3 マルチプレクサ１（ＭＰＸ１）

①6チャネルからＡＤ変換するアナログ信号を選択します。

3-7-3-4 基準電圧自動発生回路

①ラダー抵抗とマルチプレクサ（ＭＰＸ２）で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、ＡＤ変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はＶＤＤ～ＶＳＳの範囲で作成されます。

3-7-4 関連レジスタ

3-7-4-1 ＡＤ制御レジスタ（ＡＤＣＲＣ）

①ＡＤコンバータ動作の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE

ＡＤＣＨＳＥＬ３（ビット7）：
ＡＤＣＨＳＥＬ２（ビット6）：
ＡＤＣＨＳＥＬ１（ビット5）：
ＡＤＣＨＳＥＬ０（ビット4）：
} ＡＤ変換入力信号選択

ＡＤ変換する信号を選択します。

AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	信号入力端子
0	0	0	0	P10／AN0
0	0	0	1	P11／AN1
0	0	1	0	P12／AN2
0	0	1	1	P13／AN3
0	1	0	0	P16／AN4
0	1	0	1	P17／AN5

ＡＤＣＲＣ３（ビット３）：固定ビット

‘０’固定で使用します。

ＡＤＳＴＡＲＴ（ビット２）：ＡＤ変換動作制御

ＡＤ変換を開始（１）／停止（０）します。‘１’の設定時、ＡＤ変換が開始され、ＡＤ変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はＡＤ変換結果下位レジスタ（ＡＤＲＬＣ）のＡＤＴＭ２（ビット０）とＡＤモードレジスタ（ＡＤＭＲＣ）のＡＤＴＭ１，ＡＤＴＭ０の３ビットで行います。

ＡＤＭＤ０（ＡＤＭＲＣレジスタのビット３）＝１（自動スタートモード）では、ＭＣＰＷＭ回路から出力されるＡＤ自動スタート信号を検出するとセットされます。（自動スタート）

‘０’の設定時、ＡＤ変換が停止します。ＡＤ変換動作中にクリアすると正しい変換結果が得られません。

ＡＤ変換動作中は、絶対にクリアまたはＨＡＬＴ，ＨＯＬＤ状態にしないでください。

ＡＤＥＮＤＦ（ビット１）：ＡＤ変換終了フラグ

ＡＤ変換の終了を知らせます。ＡＤ変換が終了するとセット（１）されます。

ＡＤＩＥが‘１’の場合、ベクタアドレス００４３Ｈへの割り込み要求が発生し、‘０’の場合、ＡＤ変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ＡＤＩＥ（ビット０）：ＡＤ変換割り込み要求発生許可制御

このビットとＡＤＥＮＤＦがともに１の時、ベクタアドレス００４３Ｈへの割り込み要求が発生します。

注意：

・ＡＤＣＨＳＥＬ３～０の‘０１１０’～‘１１１１’設定を禁止します。

・ＡＤＳＴＡＲＴが‘１’の動作状態でＨＡＬＴ，ＨＯＬＤ状態にしないでください。必ず、‘０’になったことを確認してからＨＡＬＴ，ＨＯＬＤ状態にしてください。

3-7-4-2 ADモードレジスタ（ADMRC）

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4（ビット7）：固定ビット
‘0’固定で使用します。

ADMD3（ビット6）：AD変換モード制御（分解能切り替え）
ADコンバータの分解能を10ビットAD変換モード（0）／8ビットAD変換モード（1）に切り替えます。
‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ（ADRHC）のみセットされ、AD変換結果下位レジスタ（ADRLC）は変化しません。
‘0’の設定時、10ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ（ADRHC）とAD変換結果下位レジスタ（ADRLC）の上位2ビットにセットされます。

ADMD2（ビット5）：固定ビット
‘0’固定で使用します。

ADMD1（ビット4）：固定ビット
‘0’固定で使用します。

ADMD0（ビット3）：ADスタートモード選択
ADスタートモードをソフトスタートモード（0）／自動スタートモード（1）に切り替えます。‘1’設定時、MCPWM回路から出力されるAD自動スタート信号を検出し、AD変換がスタートします。‘0’設定時、AD制御レジスタ（ADCRC）のビット2（ADSTART）をセットすることでAD変換がスタートします。自動スタートモードについては、「3－8 モーター制御用PWM」で説明します。

ADMR2（ビット2）：固定ビット
‘0’固定で使用します。

ADTM1（ビット1）：
ADTM0（ビット0）：
} AD変換時間制御

AD変換結果下位レジスタ（ADRLC）のADTM2（ビット0）の1ビットと合わせて3ビットで変換時間を制御します。

ADRLCレジスタ	ADMRCレジスタ		AD分周比
ADTM2	ADTM1	ADTM0	
0	0	0	1／1
0	0	1	1／2
0	1	0	1／4
0	1	1	1／8
1	0	0	1／16
1	0	1	1／32
1	1	0	1／64
1	1	1	1／128

変換時間算出方法

・10ビットAD変換モード ： 変換時間＝((40／(AD分周比))+2)×(1／3)×Tcyc

・ 8ビットAD変換モード ： 変換時間＝((28／(AD分周比))+2)×(1／3)×Tcyc

注意：

・変換時間は下記の時、通常時の2倍となります。

①システムリセット後、10ビットAD変換モードで最初のAD変換を行った時。

②AD変換モードを8ビットAD変換モードから10ビット変換ADモードに切り替え、最初のAD変換を行った時。

・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-7-4-3 AD変換結果下位レジスタ(ADRLC)

①10ビットADモード時、AD変換結果の下位2ビットを格納するレジスタと変換時間を制御するレジスタです。

②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3(ビット7):
DATAL2(ビット6): } AD変換結果の下位2ビットデータ

DATAL1(ビット5):固定ビット
'0'固定で使用します。

DATAL0(ビット4):固定ビット
'0'固定で使用します。

ADRL3(ビット3):固定ビット
'0'固定で使用します。

ADRL2(ビット2):固定ビット
'0'固定で使用します。

ADRL1(ビット1):固定ビット
'0'固定で使用します。

ADTM2(ビット0):AD変換時間制御
ADモードレジスタ(ADMRC)のADTM1(ビット1), ADTM0(ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意：

・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニューズ」の規格に従って有効となる変換データのみをご使用ください。

3-7-4-4 AD変換結果上位レジスタ(ADRHC)

①10ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。

②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-7-5 ADC動作の具体例

3-7-5-1 10ビットAD変換モード

①10ビットAD変換モードの設定

・ADモードレジスタ（ADMRC）のADMD3（ビット6）＝0にします。

②変換時間の設定

・変換時間を1／32分周に設定する場合、AD変換結果下位レジスタ（ADRLC）のADTM2（ビット0）＝1にし、ADモードレジスタ（ADMRC）のADTM1（ビット1）＝0、ADTM0（ビット0）＝1にします。

③入力チャネルの設定

・ADチャネル入力のAN5を使用する場合、AD制御レジスタ（ADCRC）のADCHSEL3（ビット7）＝0、ADCHSEL2（ビット6）＝1、ADCHSEL1（ビット5）＝0、ADCHSEL0（ビット4）＝1にします。

④ADスタート

・AD制御レジスタ（ADCRC）のADSTART（ビット2）＝1にします。

・システムリセット後と8ビットAD変換モードから10ビットAD変換モードに切り替えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。

⑤AD変換終了フラグの検知

・AD制御レジスタ（ADCRC）のADENDF（ビット1）＝1になるまでモニタします。

・ADENDF（ビット1）＝1になったことを確認後、終了フラグのADENDFを0にクリアします。

⑥AD変換データの読み込み

・AD変換結果上位レジスタ（ADRHC）とAD変換結果下位レジスタ（ADRLC）を読み込みます。読み込んだ変換データには誤差（量子化誤差+総合誤差）が含まれていますので、最新の「半導体ニューズ」の規格に従って有効となる変換データを使用します。

・上記読み出しデータをソフトアプリケーション処理へ。

・再動作の場合④に戻ります。

3-7-6 ADC使用上の留意点

①サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニューズ」を参照してください。

②変換動作中にADSTART＝0にすると、変換動作が停止します。

③変換動作中にHALT，HOLD状態にしないでください。必ず、ADSTARTが‘0’になったことを確認してからHALT，HOLD状態にしてください。

④変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。

⑤変換を終了するとAD変換終了フラグ（ADENDF）がセットされ、同時にAD変換動作制御ビット（ADSTART）がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。

⑥変換時間は下記の時、通常時の2倍となります。
・システムリセット後、10ビットAD変換モードで最初のAD変換を行った時。
・AD変換モードを8ビットAD変換モードから10ビットAD変換モードに切り替え、最初のAD変換を行った時。
2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

⑦変換データには誤差（量子化誤差+総合誤差）が含まれていますので、必ず最新の「半導体ニューズ」の規格に従って有効となる変換データのみをご使用ください。

⑧P10／AN0～P13／AN3，P16／AN4，P17／AN5への入力電圧は規格の範囲で使用してください。
特にVDD以上，VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。

⑨ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
・VDD1、VSS1端子の直近（出来る限り直近5mm以内が望ましい）には必ずバイパスコンデンサ（数μF＋数千pF）を外付けしてください。
・アナログ入力端子にはノイズ除去に最適なローパスフィルタ（RC）やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳していないGNDをご使用ください。（目安としてはR＝～5kΩ以下／C＝1000pF～0．1μF）
・アナログ信号線はディジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳していないGNDでシールドしてください。
・変換動作中のアナログ入力端子に隣接する端子へディジタルパルスを印加したり、隣接する端子から出力しないでください。

・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げることが必要です。応用回路を作成する時には、この点に注意して作成してください。
・発振端子の振幅電圧と各端子入出力電圧はVDD～VSS以内になるよう調整してください。

⑩有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。

⑪変換中にADMRCレジスタのビット3（AD自動スタートモード／ADソフトスタートモード）を切り替えた場合、変換を終了後に設定したモードへ切り替わります。

⑫AD自動スタート中は次のAD自動スタート信号を受け付けません。

⑬AD自動スタートモード設定時、AD変換終了後に次の自動スタートを行う場合は、ADCRCレジスタのビット1（AD変換終了フラグ）をクリアしてください。ADCRCレジスタのビット1が“1”の状態では、次の自動スタート信号を受け付けません。

⑭AD自動スタートモード設定時でもソフトでのADスタート／強制ストップは制御できます。

3-8 モーター制御用PWM(MCPWM2)

3-8-1 概要

本シリーズが内蔵しているモーター制御用PWM(MCPWM2)は、10ビットのカウンタを持ち、レジスタ設定により、デッドタイムを持つ正／負極性のPWM出力を2系統出力(MP2OT0／MP2OT0＃／MP2OT1／MP2OT1＃)します。また、外部入力(INT0／INT1／コンパレータ1／コンパレータ2)による強制出力停止制御を行うことが可能です。

3-8-2 機能

①PWM出力

・PWM周期は、システムクロックにより動作する10ビットカウンタとPWM周期設定レジスタ値により制御されます。
・PWMの“L”レベル幅は、PWM一致カウント設定レジスタにより制御します。
・NPWMは、デッドタイム付きのPWMの反転信号であり、デッドタイム設定レジスタにより制御されます。
・PWM／NPWM信号は、MP2OT0／MP2OT0＃として、P00／P01から出力されます。MP2OT0／MP2OT0＃は、MCPWM2出力モード選択レジスタにより制御されます。
同様に、PWM／NPWM信号は、MP2OT1／MP2OT1＃として、P02／P03から出力されます。MP2OT1／MP2OT1＃は、MCPWM2出力モード選択レジスタにより制御されます。
・MP2OT0／MP2OT0＃／MP2OT1／MP2OT1＃は、外部入力(INT0／INT1／コンパレータ1／コンパレータ2)により強制出力停止制御が行われます。

②割り込みの発生

・1周期終了割り込み許可ビットがセットされている場合、1周期終了により1周期終了割り込み要求を発生します。
・1／2周期終了割り込み許可ビットがセットされている場合、1／2周期終了により1／2周期終了割り込み要求を発生します。
・1周期終了割り込み要因、1／2周期終了割り込み要因は、ADコンバータの自動スタートモード動作に使用されます。

③モーター制御用PWM(MCPWM2)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・MP2CR, MP2ICR, MP2OMD0, MP2PDL, MP2PDH, MP2MTL, MP2MTH, MP2DT, MP2CR2

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE90	0000 0000	R/W	MP2CR	M2PWMEN	M2PWMMD	M2OPL	M2OPLB	M2AAEN	M2CKD2	M2CKD1	M2CKD0
FE91	0000 0000	R/W	MP2ICR	M2CRSL	M2CREN	M2ERSL	M2EREN	M2HPDRQ	M2HPDEN	M2PDRQ	M2PDEN
FE92	H000 H000	R/W	MP2OMD0	-	M2OMD12	M2OMD11	M2OMD10	-	M2OMD02	M2OMD01	M2OMD00
FE94	0000 0000	R/W	MP2PDL	M2PD7	M2PD6	M2PD5	M2PD4	M2PD3	M2PD2	M2PD1	M2PD0
FE95	HHHH HH00	R/W	MP2PDH	-	-	-	-	-	-	M2PD9	M2PD8
FE96	0000 0000	R/W	MP2MTL	M2MT7	M2MT6	M2MT5	M2MT4	M2MT3	M2MT2	M2MT1	M2MT0
FE97	HHHH HH00	R/W	MP2MTH	-	-	-	-	-	-	M2MT9	M2MT8
FE9C	H000 0000	R/W	MP2DT	-	M2DT6	M2DT5	M2DT4	M2DT3	M2DT2	M2DT1	M2DT0
FE9D	0HHH 0000	R/W	MP2CR2	M2CKSL	-	-	-	M2OTE1B	M2OTE1	M2OTE0B	M2OTE0

3-8-3 回路構成

3-8-3-1 MCPWM2制御レジスタ（MP2CR）（8ビットレジスタ）

①MCPWM2の動作、出力極性、ADコンバータの自動スタートモード動作、動作クロックの分周比の制御を行います。

3-8-3-2 MCPWM2割り込み制御レジスタ（MP2ICR）（8ビットレジスタ）

①MCPWM2の割り込み制御を行います。
②MCPWM2の強制出力停止制御を行います。

3-8-3-3 動作クロック発生回路

①PWMクロック分周比選択レジスタより、システムクロックを分周（1／1、1／2、1／4、1／8、1／16、1／32）したクロックが発生します。

3-8-3-4 PWM周期設定レジスタ（MP2PDL，MP2PDH）

（一致バッファレジスタ付き10ビットレジスタ）

①PWM周期設定用の一致データ格納用レジスタです。他に、10ビットの一致バッファレジスタを持ち、この一致バッファレジスタと10ビットカウンタの値が一致した時、1周期終了割り込み要因、または1／2周期終了割り込み要因がセットされます。
②一致バッファレジスタの更新は以下のように行われます。
M2PWMENビット（MCPWM2制御レジスタのビット7）が“0”から“1”に書き換えられると、MP2PDL，MP2PDHの内容をロードする。

3-8-3-5 10ビットカウンタ

①動作開始／停止：M2PWMEN（MCPWM2制御レジスタのビット7）の0／1により、停止／動作が制御されます。
②カウントクロック：動作クロック発生回路の出力
③リセット：PWM周期設定の一致バッファレジスタと10ビットカウンタの一致によりリセットされます。

3-8-3-6 PWM一致カウント設定レジスタ(MP2MTL, MP2MTH)

(一致バッファレジスタ付き10ビットレジスタ)

①PWM一致カウント設定用の一致データ格納用レジスタです。他に、10ビットの一致バッファレジスタを持ち、この一致バッファレジスタと10ビットカウンタの値が一致した時、PWM信号が変化します。

②一致バッファレジスタの更新は以下のように行われます。

・M2PWMENビット(MCPWM2制御レジスタのビット7)が"0"から"1"に書き換えられると、MP2MTL, MP2MTHの内容をロードする。

・1周期が終了すると、MP2MTL, MP2MTHの内容をロードする。

3-8-3-7 デッドタイム設定レジスタ(MP2DT)

(バッファレジスタ付き7ビットレジスタ)

①デッドタイム設定用のデータ格納用レジスタです。他に、7ビットのバッファレジスタを持ち、このバッファレジスタと10ビットカウンタ、PWM一致バッファレジスタにより、NPWM信号を発生します。

②バッファレジスタの更新は以下のように行われます。

M2PWMENビット(MCPWM2制御レジスタのビット7)が"0"から"1"に書き換えられると、MP2DTの内容をロードする。

3-8-3-8 PWM信号発生回路

①10ビットカウンタ値、デッドタイム設定バッファレジスタ値、PWM一致カウント設定一致バッファレジスタ値より、PWM/NPWM信号を発生します。

3-8-3-9 MCPWM2出力モード選択レジスタ(MP2OMD0)

(バッファレジスタ付き6ビットレジスタ)

①MCPWM2の出力モード選択用のデータ格納用レジスタです。他に、6ビットのバッファレジスタを持ち、このバッファレジスタによりMP2OTi/MP2OTi#出力の制御を行います。(i=0, 1)

②バッファレジスタの更新は以下のように行われます。

・M2PWMENビット(MCPWM2制御レジスタのビット7)が"0"から"1"に書き換えられると、MP2OMD0の内容をロードする。

・1周期が終了すると、MP2OMD0の内容をロードする。

・MCPWM2割り込み制御レジスタで選択された外部入力(INT0/INT1/コンパレータ1/コンパレータ2)を検出すると、全ビットをクリアする。

3-8-3-10 PWM出力発生回路(2系統)

①PWM/NPWM信号、デッドタイム設定バッファレジスタ値、MCPWM2出力モード選択バッファレジスタ値より、MP2OTi/MP2OTi#信号を発生します。(i=0, 1)

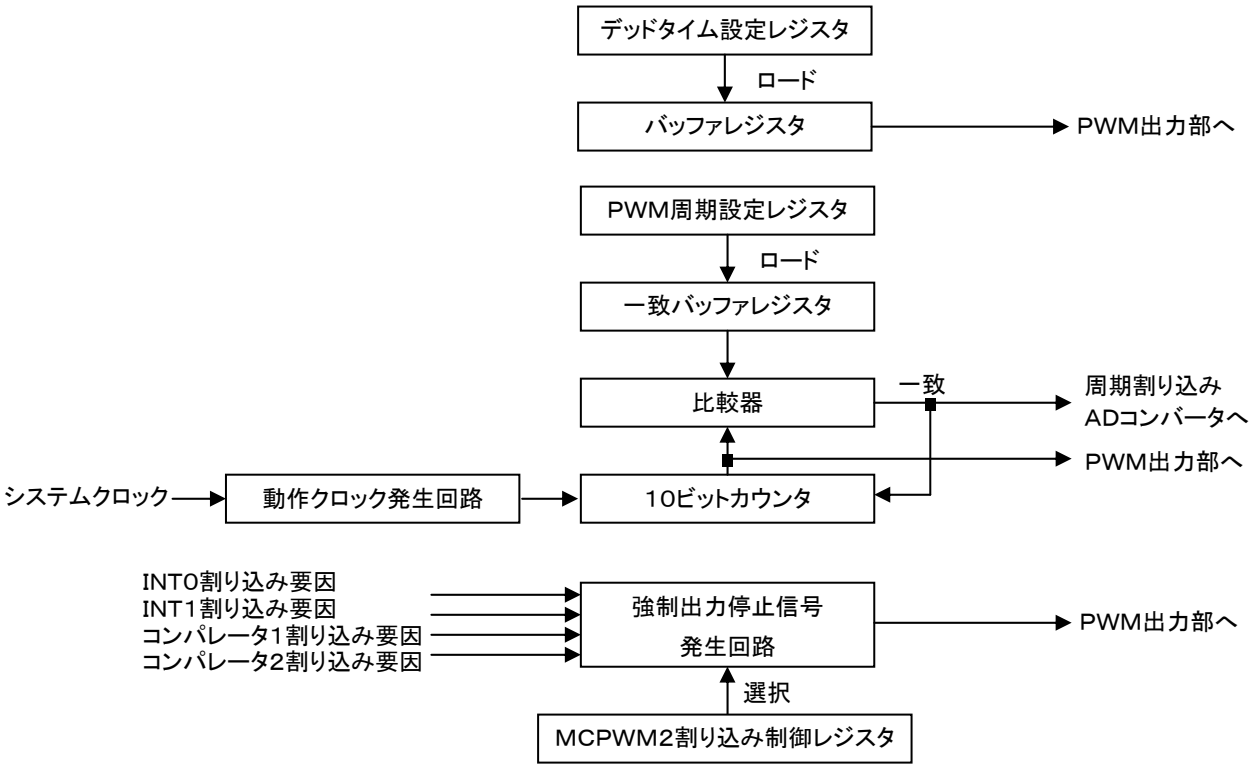


図３－８－１　ＭＣＰＷＭ２ブロック図１

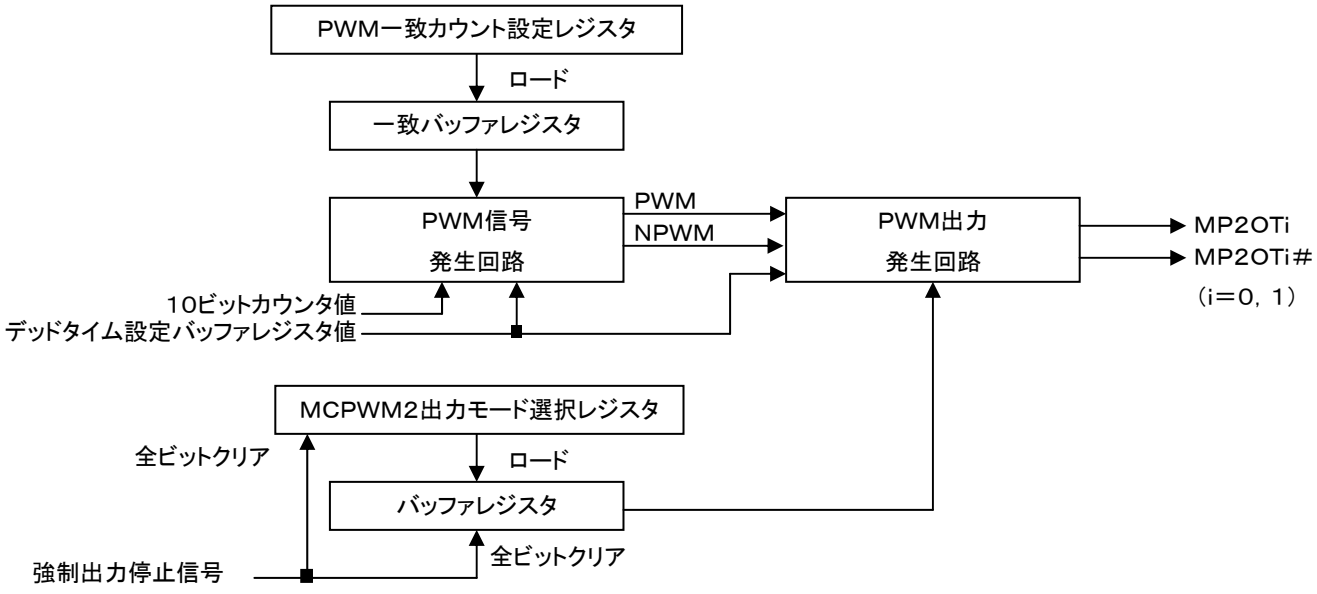


図３－８－２　ＭＣＰＷＭ２ブロック図２

3-8-4 関連レジスタ

3-8-4-1 MCPWM2制御レジスタ(MP2CR)

①MCPWM2の動作、出力極性、ADコンバータの自動スタートモード動作、動作クロックの分周比の制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE90	0000 0000	R/W	MP2CR	M2PWMEN	M2PWMMD	M2OPL	M2OPLB	M2AAEN	M2CKD2	M2CKD1	M2CKD0

M2PWMEN(ビット7):MCPWM2動作制御

このビットが0の時、MCPWM2動作は停止しています。
このビットが1の時、MCPWM2動作が開始されます。

M2PWMMD(ビット6):MCPWM2モード制御

このビットが0の時、Edge－alignedPWMモードで動作します。(モード0)
このビットが1の時、Center－alignedPWMモードで動作します。(モード1)

M2OPL(ビット5):MP2OTi出力極性制御(i＝0, 1)

このビットが0の時、MP2OTiは正極性で出力されます。
このビットが1の時、MP2OTiは負極性で出力されます。

M2OPLB(ビット4):MP2OTi＃出力極性制御(i＝0, 1)

このビットが0の時、MP2OTi＃は正極性で出力されます。
このビットが1の時、MP2OTi＃は負極性で出力されます。

M2AAEN(ビット3):ADコンバータ自動スタートモード制御

このビットが0の時、PWM周期によるADコンバータの自動スタートモード動作が禁止されます。
このビットが1の時、PWM周期によるADコンバータの自動スタートモード動作が許可され、モード0の場合は、1周期終了割り込み要因がセットされるタイミング、モード1の場合は、1／2周期終了割り込み要因がセットされるタイミングでAD自動スタート信号が発生します。

M2CKD2～0(ビット2～0):PWMクロック分周比選択

10ビットカウンタのクロックを選択します。

M2CKD2～0	10ビットカウンタのクロック
000	1／1システムクロック
001	1／2システムクロック
010	1／4システムクロック
011	1／8システムクロック
100	1／16システムクロック
101	1／32システムクロック
110	設定禁止
111	設定禁止

注意：
・MCPWM2動作中（M2PWMEN＝1）、M2PWMMD、M2CKD2～0の設定変更は禁止です。
・M2CKSL（MCPWM2制御レジスタ2のビット7）＝1の場合、M2CKD2～0の設定は無効です。

3-8-4-2 MCPWM2割り込み制御レジスタ（MP2ICR）

①PWMの割り込み、強制出力停止制御を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE91	0000 0000	R/W	MP2ICR	M2CRSL	M2CREN	M2ERSL	M2EREN	M2HPDRQ	M2HPDEN	M2PDRQ	M2PDEN

M2CRSL（ビット7）：コンパレータによる強制出力停止イベント選択
このビットが0の時、コンパレータ1割り込み要因を強制出力停止として選択します。
このビットが1の時、コンパレータ2割り込み要因を強制出力停止として選択します。

M2CREN（ビット6）：コンパレータによる強制出力停止制御
このビットが0の時、コンパレータによる強制出力停止動作を禁止します。
このビットが1の時、コンパレータによる強制出力停止動作を許可します。

M2ERSL（ビット5）：外部割込みによる強制出力停止イベント選択
このビットが0の時、INT0割り込み要因を強制出力停止として選択します。
このビットが1の時、INT1割り込み要因を強制出力停止として選択します。

M2EREN（ビット4）：外部割込みによる強制出力停止制御
このビットが0の時、外部割込みによる強制出力停止動作を禁止します。
このビットが1の時、外部割込みによる強制出力停止動作を許可します。

M2HPDRQ（ビット3）：1／2周期終了割り込み要因
モード1の場合、PWM周期設定レジスタと10ビットカウンタの一致を検出するとセットされます。モード0の場合はセットされません。このフラグは命令でクリアしてください。

M2HPDEN（ビット2）：1／2周期終了割り込み許可制御
このビットとM2HPDRQがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

M2PDRQ（ビット1）：1周期終了割り込み要因
モード0の場合、PWM周期設定レジスタと10ビットカウンタの一致を検出するとセットされます。モード1の場合、PWM周期設定レジスタと10ビットカウンタの一致を2回検出するとセットされます。このフラグは命令でクリアしてください。

M2PDEN(ビット0):1周期終了割り込み許可制御
このビットとM2PDRQがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

注意:
・コンパレータによる強制出力停止制御と外部割込みによる強制出力停止制御は併用可能です。

3-8-4-3 MCPWM2出力モード設定レジスタ0(MP2OMD0)

①MCPWM2出力モードの設定を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE92	H000 H000	R/W	MP2OMD0	-	M2OMD12	M2OMD11	M2OMD10	-	M2OMD02	M2OMD01	M2OMD00

M2OMD12～10(ビット6～4):MP2OT1／MP2OT1＃出力モード設定

M2OMD12～10	MP2OT1 出力	MP2OT1＃ 出力
000	LOW	LOW
001	LOW	HIGH
010	HIGH	LOW
011	HIGH	HIGH
100	NPWM	PWM
101	LOW	PWM
110	PWM	LOW
111	PWM	NPWM

M2OMD02～0(ビット2～0):MP2OT0／MP2OT0＃出力モード設定

M2OMD02～0	MP2OT0 出力	MP2OT0＃ 出力
000	LOW	LOW
001	LOW	HIGH
010	HIGH	LOW
011	HIGH	HIGH
100	NPWM	PWM
101	LOW	PWM
110	PWM	LOW
111	PWM	NPWM

注意:
・M2OPL＝1の場合は、MP2OTi出力が反転して出力されます。(i＝0, 1)
・M2OPLB＝1の場合は、MP2OTi＃出力が反転して出力されます。(i＝0, 1)
・M2OMD12～10、M2OMD02～0は、M2PWMENビット(MCPWM2制御レジスタのビット7)が“0”から“1”に書き換えられた時と、1周期終了毎にバッファレジスタにロードされます。
・M2OMD12～10、M2OMD02～0は、外部入力(INT0／INT1／コンパレータ1／コンパレータ2)による強制出力停止動作により全ビットクリアされます。

3-8-4-4 PWM周期設定レジスタ下位（MP2PDL）

①PWM周期の設定を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE94	0000 0000	R/W	MP2PDL	M2PD7	M2PD6	M2PD5	M2PD4	M2PD3	M2PD2	M2PD1	M2PD0

3-8-4-5 PWM周期設定レジスタ上位（MP2PDH）

①PWM周期の設定を行う2ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE95	HHHH HH00	R/W	MP2PDH	-	-	-	-	-	-	M2PD9	M2PD8

M2PD9～0:PWM周期設定

PWMの周期を設定します。

PWM周期＝設定値×10ビットカウンタのクロック周期

注意：

・M2PD9～0は、M2PWMENビット（MCPWM2制御レジスタのビット7）が“0”から“1”に書き換えられた時にバッファレジスタにロードされます。

・“000h”は設定禁止です。

・M2CKSL（MCPWM2制御レジスタ2のビット7）＝1の場合、M2PD0設定は無効となり、バッファレジスタのビット0は“0”固定になります。

3-8-4-6 PWM一致カウント設定レジスタ下位（MP2MTL）

①PWMの一致カウントの設定を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE96	0000 0000	R/W	MP2MTL	M2MT7	M2MT6	M2MT5	M2MT4	M2MT3	M2MT2	M2MT1	M2MT0

3-8-4-7 PWM一致カウント設定レジスタ上位（MP2MTH）

①PWMの一致カウントの設定を行う2ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE97	HHHH HH00	R/W	MP2MTH	-	-	-	-	-	-	M2MT9	M2MT8

M2MT9～0:PWM一致カウント設定

PWM一致カウントを設定します。

PWM一致カウント＝設定値×10ビットカウンタのクロック周期

注意：

・M2MT9～0は、M2PWMENビット（MCPWM2制御レジスタのビット7）が“0”から“1”に書き換えられた時と、1周期終了毎にバッファレジスタにロードされます。

3-8-4-8 デッドタイム設 定レジスタ（MP2DT）

①デッドタイムの設 定 を行う7ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C	H000 0000	R/W	MP2DT	-	M2DT6	M2DT5	M2DT4	M2DT3	M2DT2	M2DT1	M2DT0

M2DT6～0:デッドタイム設 定
デッドタイムを設 定します。

デッドタイム＝設 定 値 ×10ビットカウンタのクロック周 期

注 意：
・M2DT6～0は、M2PWMENビット（MCPWM2制 御 レジスタのビット7）が“0”から“1”に書き換 えられた時 にバッファレジスタにロードされます。
・M2DT6～0＜M2PD9～0に設 定してください。

3-8-4-9 MCPWM2制 御 レジスタ2（MP2CR2）

①PWMクロック、出 力 端 子 の制 御 を行う5ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9D	0HHH 0000	R/W	MP2CR2	M2CKSL	-	-	-	M2OTE1B	M2OTE1	M2OTE0B	M2OTE0

M2CKSL（ビット7）:PWMクロックソース選 択
このビットが0の時 、PWMクロックソースは、システムクロックが選 択 され、M2CKD2～0（MCPWM2制 御 レジスタのビット2～0）の設 定 により、PWMクロックの選 択 が可 能 です。
このビットが1の時 、PWMクロックは、システムクロックのソースクロックが選 択 されます。M2CKD2～0（MCPWM2制 御 レジスタのビット2～0）の設 定 は無 効となり、分 周 比 は1／1分 周 固 定 になります。

M2OTE1B（ビット3）:MP2OT1＃出 力 端 子 制 御
このビットが0の時 、MP2OT1＃は出 力 されません。
このビットが1の時 、MP2OT1＃はP03から出 力 されます。

M2OTE1（ビット2）:MP2OT1出 力 端 子 制 御
このビットが0の時 、MP2OT1は出 力 されません。
このビットが1の時 、MP2OT1はP02から出 力 されます。

M2OTE0B（ビット1）:MP2OT0＃出 力 端 子 制 御
このビットが0の時 、MP2OT0＃は出 力 されません。
このビットが1の時 、MP2OT0＃はP01から出 力 されます。

M2OTE0（ビット0）:MP2OT0出 力 端 子 制 御
このビットが0の時 、MP2OT0は出 力 されません。
このビットが1の時 、MP2OT0はP00から出 力 されます。

注意：
・MCPWM2動作中（M2PWMEN＝1）、M2CKSLの設定変更は禁止です。
・M2CKSL＝1設定時は、システムクロック分周比は、CLKSGL（発振制御レジスタのビット7）＝0、CLKDV2～0（システムクロック分周制御レジスタのビット2～0）＝000設定による「1／2分周」で使用してください。その他の設定は禁止です。
・MP2OTi/MP2OTi＃はポートラッチデータとの論理ORデータとなって出力されますので、ポートラッチデータは“0”に設定してください。（i＝0，1）

3-8-5 MP2OTi／MP2OTi＃出力ポート設定（i＝0，1）

①P00でMP2OT0出力を行うための設定及び状態は以下のようになります。

レジスタデータ			P00の状態
P00	P00DDR	M2OTE0	
0	1	0	LOW
0	1	1	MP2OT0
1	1	X	HIGH／オープン （CMOS／Nchオープンドレイン）

②P01でMP2OT0＃出力を行うための設定及び状態は以下のようになります。

レジスタデータ			P01の状態
P01	P01DDR	M2OTE0B	
0	1	0	LOW
0	1	1	MP2OT0＃
1	1	X	HIGH／オープン （CMOS／Nchオープンドレイン）

③P02でMP2OT1出力を行うための設定及び状態は以下のようになります。

レジスタデータ			P02の状態
P02	P02DDR	M2OTE1	
0	1	0	LOW
0	1	1	MP2OT1
1	1	X	HIGH／オープン （CMOS／Nchオープンドレイン）

④P03でMP2OT1＃出力を行うための設定及び状態は以下のようになります。

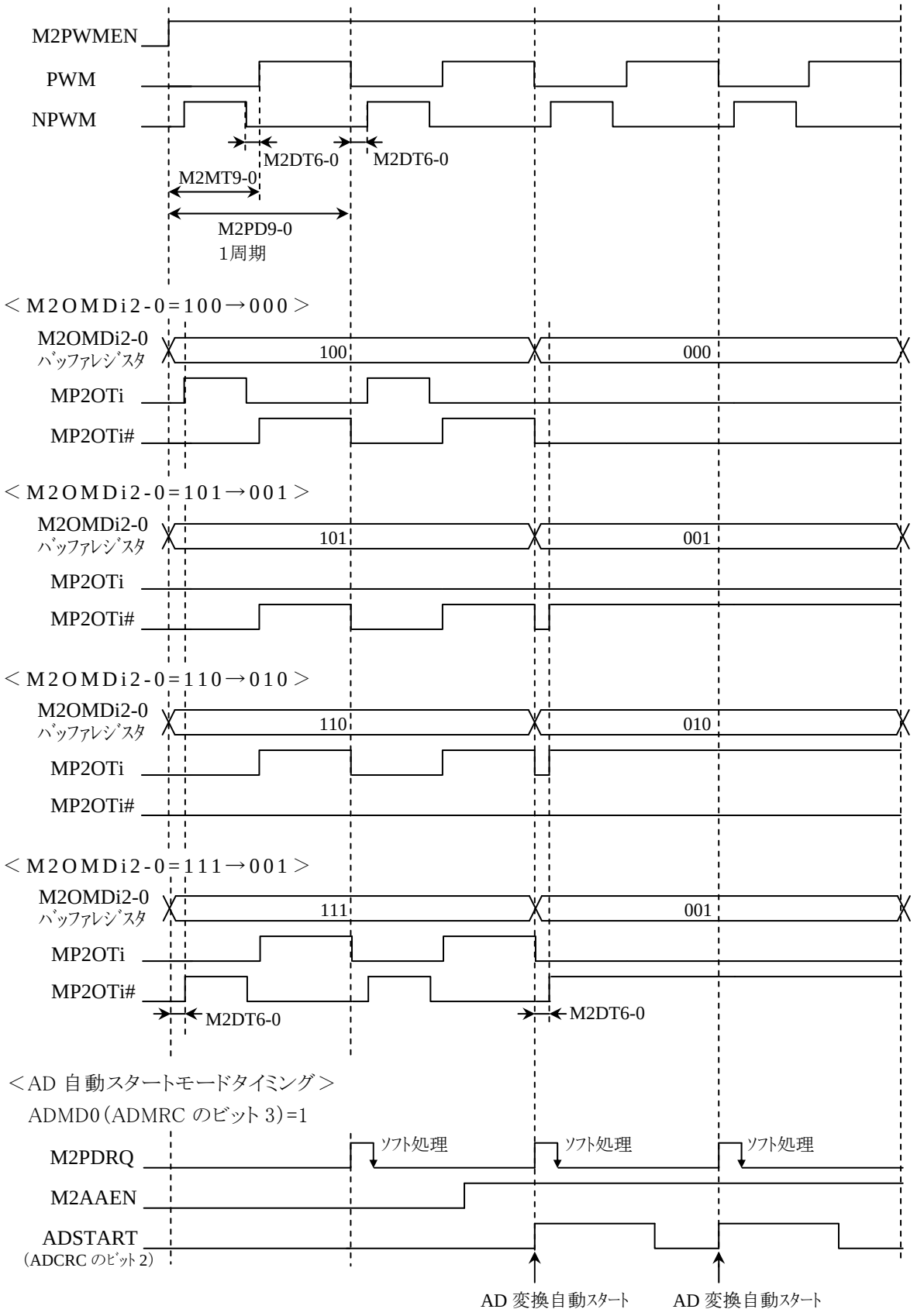
レジスタデータ			P03の状態
P03	P03DDR	M2OTE1B	
0	1	0	LOW
0	1	1	MP2OT1＃
1	1	X	HIGH／オープン （CMOS／Nchオープンドレイン）

3-8-6 タイミングチャート

3-8-6-1 モード0

MP2OTi／MP2OTi#出力極性は正極性（M2OPL＝M2OPLB＝0）

（i＝0，1）



注意：

・PWM周期設定（M2PD9～0）は1周期の設定。

・デッドタイム（MP2OTi＝MP2OTi＃＝0）は以下の場合に挿入されます。（i＝0，1）

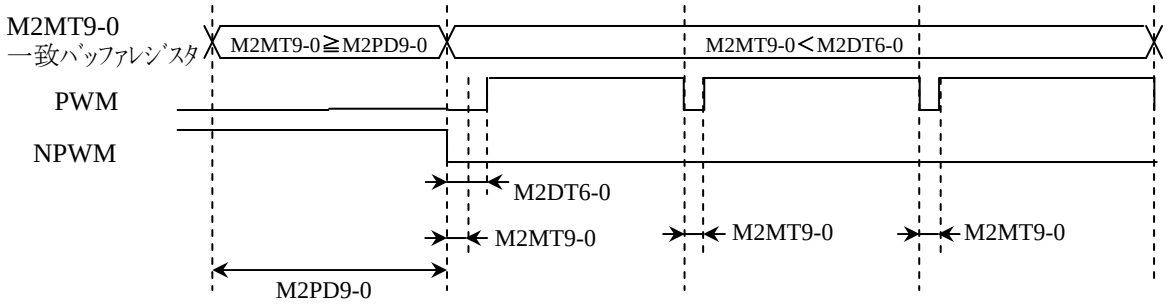
①MCPWM2動作開始時

②MCPWM2出力モード変更時

・MCPWM2出力モードが“100”または“111”設定時には、上記①，②に加え、下記③，④の場合にもデッドタイムが挿入されます。

③PWMの立ち上がりエッジ直前、立ち下がりエッジ直後

④デューティ0％（M2MT9～0≧M2PD9～0）からデューティ100％付近（M2MT9～0＜M2DT6～0）に変更した時



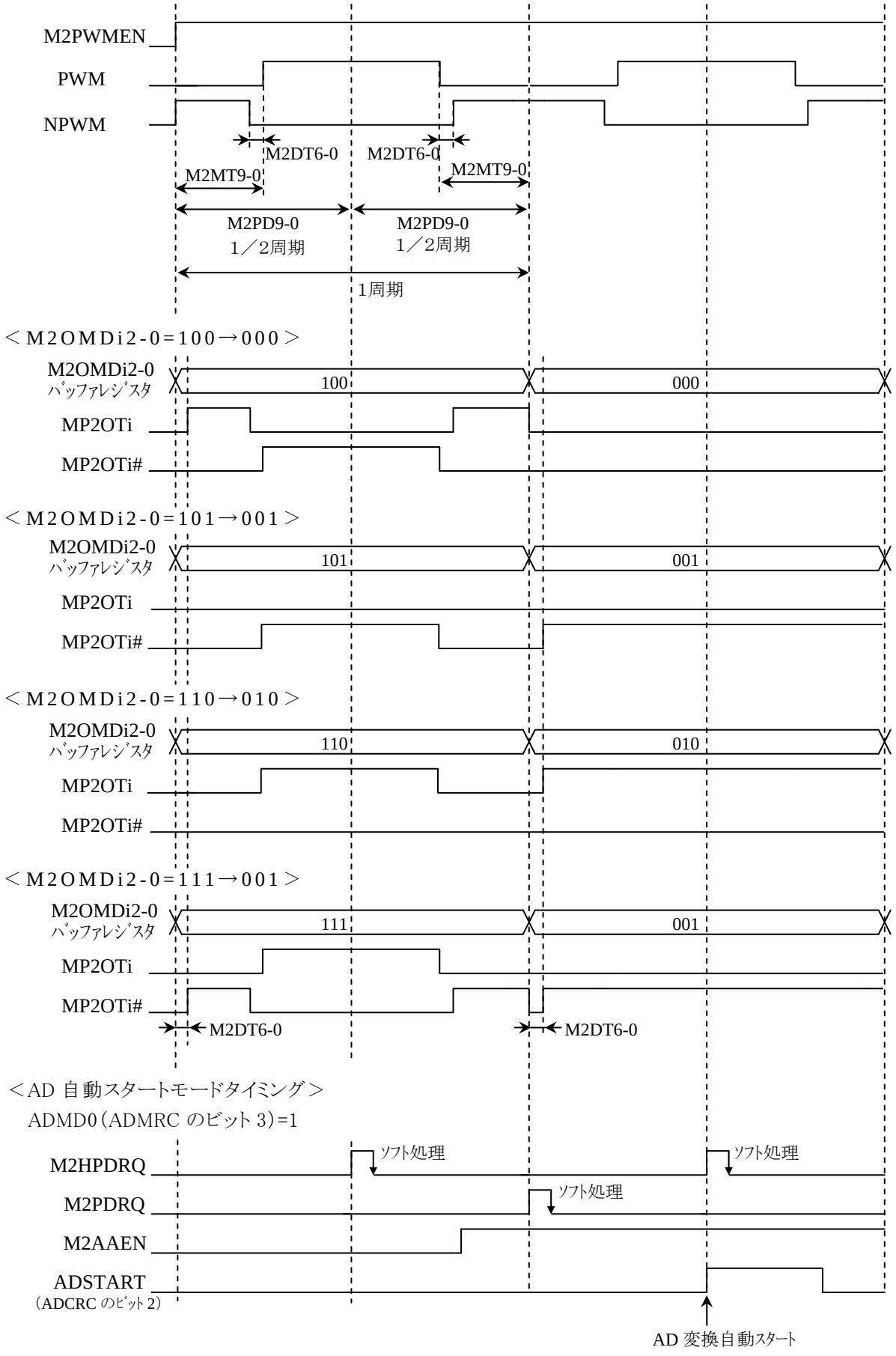
・AD自動スタートモード設定時、AD変換中は次のAD自動スタート信号を受け付けません。

・AD自動スタートモード設定時、AD変換終了後に次の自動スタートを行う場合は、ADCRCレジスタのビット1（AD変換終了フラグ）をクリアしてください。ADCRCレジスタのビット1が“1”の状態では、次の自動スタート信号を受け付けません。

3-8-6-2 モード1

MP2OTi／MP2OTi＃出力極性は正極性（M2OPL＝M2OPLB＝0）

（i＝0，1）



注意：

・PWM周期設定（M2PD9～0）は1／2周期の設定。

・デッドタイム（MP2OTi＝MP2OTi＃＝0）は以下の場合に挿入されます。（i＝0，1）

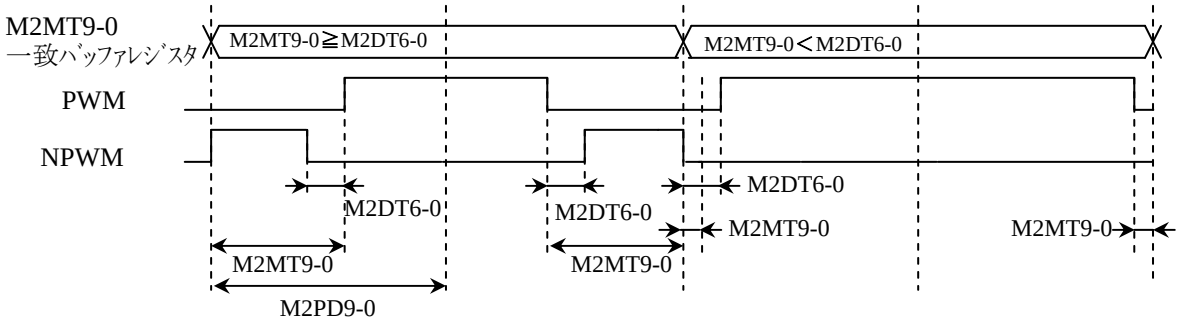
①MCPWM2動作開始時

②MCPWM2出力モード変更時

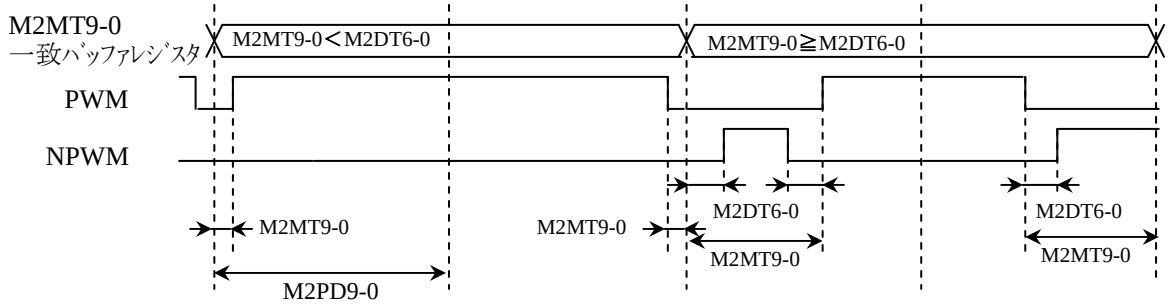
・MCPWM2出力モードが“100”または“111”設定時には、上記①，②に加え、下記③，④，⑤の場合にもデッドタイムが挿入されます。

③PWMの立ち上がりエッジ直前、立ち下がりエッジ直後

④デューティ100％付近以外（M2MT9～0≧M2DT6～0）からデューティ100％付近（M2MT9～0＜M2DT6～0）に変更した時



⑤デューティ100％付近（M2MT9～0＜M2DT6～0）からデューティ100％付近以外（M2MT9～0≧M2DT6～0）に変更した時に挿入されます。⑤の場合は、通常よりも長いデッドタイムになる可能性があります。（最大2倍）



・AD自動スタートモード設定時、AD変換中は次のAD自動スタート信号を受け付けません。

・AD自動スタートモード設定時、AD変換終了後に次の自動スタートを行う場合は、ADCRCレジスタのビット1（AD変換終了フラグ）をクリアしてください。ADCRCレジスタのビット1が“1”の状態では、次の自動スタート信号を受け付けません。

3-9 アナログコンパレータ(CMP)

3-9-1 概要

本シリーズは、外部入力を入力信号としたアナログコンパレータ回路を2系統内蔵しています。アナログコンパレータの出力によりMCPWM2の強制出力停止制御が可能です。

3-9-2 機能

①アナログコンパレータ

・P12をマイナス入力、P11をプラス入力としたアナログ入力の比較結果をP13から出力します。
・P17をマイナス入力、P16をプラス入力としたアナログ入力の比較結果をP15から出力します。

②割り込みの発生

・コンパレータ1割り込み許可ビットがセットされている場合、コンパレータ1出力の立ち上がりエッジ／立ち下がりエッジ検出によりコンパレータ1割り込み要求を発生します。
・コンパレータ2割り込み許可ビットがセットされている場合、コンパレータ2出力の立ち上がりエッジ／立ち下がりエッジ検出によりコンパレータ2割り込み要求を発生します。
・コンパレータ1割り込み要因、コンパレータ2割り込み要因は、MCPWM2の強制出力停止動作に使用されます。

③アナログコンパレータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・CPAPCR1, CPAPCR2, CP1VR, CP2VR

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA0	0H0H 0000	R/W	CPAPCR1	CPAP1EN	-	CP1OUTEN	-	CMP1OUT	CMP1EG	CMP1IF	CMP1IE
FEA1	0H0H 0000	R/W	CPAPCR2	CPAP2EN	-	CP2OUTEN	-	CMP2OUT	CMP2EG	CMP2IF	CMP2IE
FEA2	0HH0 0000	R/W	CP1VR	CPVREF2	-	-	CP1VREN	CP1VRSL3	CP1VRSL2	CP1VRSL1	CP1VRSL0
FEA3	HHH0 0000	R/W	CP2VR	-	-	-	CP2VREN	CP2VRSL3	CP2VRSL2	CP2VRSL1	CP2VRSL0

※ビット3(CMP1OUT, CMP2OUT)はリードオンリービット

3-9-3 回路構成

3-9-3-1 コンパレータ1制御レジスタ(CPAPCR1)（6ビットレジスタ）

①コンパレータ1の動作、割り込み制御を行います。

3-9-3-2 コンパレータ2制御レジスタ(CPAPCR2)（6ビットレジスタ）

①コンパレータ2の動作、割り込み制御を行います。

3-9-3-3　コンパレータ1内部リファレンス電圧制御レジスタ（CP1VR）

（6ビットレジスタ）

①コンパレータ1の内部リファレンス電圧の制御を行います。

3-9-3-4　コンパレータ2内部リファレンス電圧制御レジスタ（CP2VR）

（5ビットレジスタ）

①コンパレータ2の内部リファレンス電圧の制御を行います。

3-9-3-5　コンパレータ（2系統）

①外部入力を入力信号としたアナログコンパレータ回路

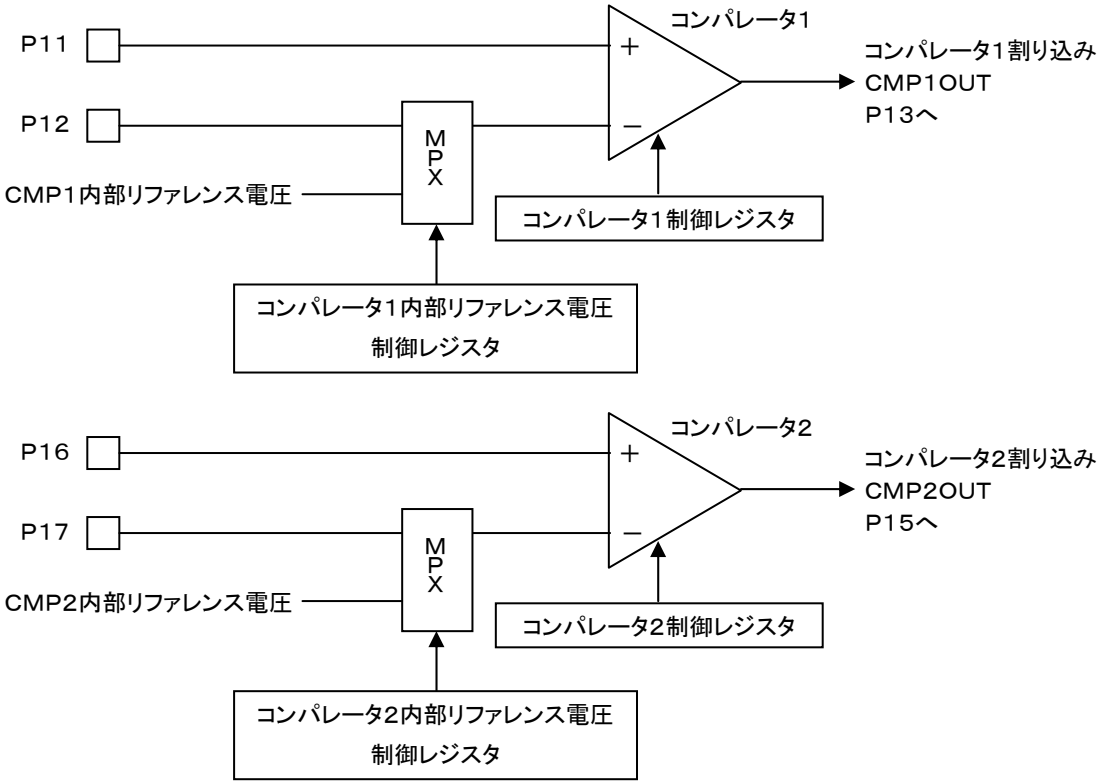


図３－９－１　アナログコンパレータブロック図

3-9-4 関連レジスタ

3-9-4-1 コンパレータ1制御レジスタ(CPAPCR1)

①コンパレータ1の動作、割り込み制御を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA0	0H0H 0000	R/W	CPAPCR1	CPAP1EN	-	CP1OUTEN	-	CMP1OUT	CMP1EG	CMP1IF	CMP1IE

※ビット3(CMP1OUT)はリードオンリービット

CPAP1EN(ビット7):コンパレータ1動作制御

CPAP1EN	コンパレータ1
0	停止
1	動作

CP1OUTEN(ビット5):コンパレータ1出力(P13)制御

このビットが0の時、コンパレータ1出力(P13)は出力されません。

このビットが1の時、コンパレータ1出力(P13)は出力されます。ただし、コンパレータ1停止時はLOW出力になります。

CP1OUTEN	P13FCR	P13	出力モード(P13DDR=1)の時のP13端子データ
0	0	−	ポートデータラッチ(P13)の値
0	1	0	SIO1出力データ
0	1	1	HIGH出力
1	0	0	コンパレータ1出力
1	0	1	HIGH出力
1	1	−	設定禁止

CMP1OUT(ビット3):コンパレータ1出力データ

このビットをリードすることで、コンパレータ1出力データをリードします。

このビットはリードオンリービットです。ただし、コンパレータ1停止時は“0”がリードされます。

CMP1EG(ビット2):コンパレータ1割り込み要因制御

このビットが0の時、コンパレータ1割り込み要因は立ち下がりエッジになります。

このビットが1の時、コンパレータ1割り込み要因は立ち上がりエッジになります。コンパレータ1停止時は無効です。

CMP1IF(ビット1):コンパレータ1割り込み要因

コンパレータ1出力のコンパレータ1割り込み要因制御で設定されたエッジを検出するとセットされます。ただし、コンパレータ1停止時はセットされません。このフラグは命令でクリアしてください。

CMP1IE(ビット0):コンパレータ1割り込み許可制御

このビットとCMP1IFがともに1の時、ベクタアドレス004BHへの割り込み要求が発生します。

3-9-4-2 コンパレータ2制御レジスタ（CPAPCR2）

①コンパレータ2の動作、割り込み制御を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA1	0H0H 0000	R/W	CPAPCR2	CPAP2EN	-	CP2OUTEN	-	CMP2OUT	CMP2EG	CMP2IF	CMP2IE

※ビット3（CMP2OUT）はリードオンリービット

CPAP2EN（ビット7）:コンパレータ2動作制御

CPAP2EN	コンパレータ2
0	停止
1	動作

CP2OUTEN（ビット5）:コンパレータ2出力（P15）制御

このビットが0の時、コンパレータ2出力（P15）は出力されません。
このビットが1の時、コンパレータ2出力（P15）は出力されます。ただし、コンパレータ2停止時はLOW出力になります。

CP2OUTEN	P15FCR	P15	出力モード(P15DDR＝1)の時のP15端子データ
0	0	－	ポートデータラッチ(P15)の値
0	1	0	SIO1クロック出力データ
0	1	1	HIGH出力
1	0	0	コンパレータ2出力
1	0	1	HIGH出力
1	1	－	設定禁止

CMP2OUT（ビット3）:コンパレータ2出力データ

このビットをリードすることで、コンパレータ2出力データをリードします。
このビットはリードオンリービットです。ただし、コンパレータ2停止時は“0”がリードされます。

CMP2EG（ビット2）:コンパレータ2割り込み要因制御

このビットが0の時、コンパレータ2割り込み要因は立ち下がりエッジになります。
このビットが1の時、コンパレータ2割り込み要因は立ち上がりエッジになります。コンパレータ2停止時は無効です。

CMP2IF（ビット1）:コンパレータ2割り込み要因

コンパレータ2出力のコンパレータ2割り込み要因制御で設定されたエッジを検出するとセットされます。ただし、コンパレータ2停止時はセットされません。このフラグは命令でクリアしてください。

CMP2IE（ビット0）:コンパレータ2割り込み許可制御

このビットとCMP2IFがともに1の時、ベクタアドレス004BHへの割り込み要求が発生します。

3-9-4-3 コンパレータ1内部リファレンス電圧制御レジスタ(CP1VR)

①コンパレータ1の内部リファレンス電圧の制御を行う6ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA2	0HH0 0000	R/W	CP1VR	CPVREF2	-	-	CP1VREN	CP1VRSL3	CP1VRSL2	CP1VRSL1	CP1VRSL0

CPVREF2(ビット7):内部リファレンス電圧レンジ設定

このビットが0の時、内部リファレンス電圧の設定レンジが大になります。
このビットが1の時、内部リファレンス電圧の設定レンジが小になります。

CP1VREN(ビット4):コンパレータ1マイナス入力選択

このビットが0の時、コンパレータ1のマイナス入力はP12からの外部入力になります。
このビットが1の時、コンパレータ1のマイナス入力は、コンパレータ1内部リファレンス電圧になります。

CP1VRSL3～0(ビット3～0):コンパレータ1内部リファレンス電圧設定

①CPVREF2＝0の場合、

コンパレータ1内部リファレンス電圧＝(設定値＋1)×VDD×0.64／16

②CPVREF2＝1の場合、

コンパレータ1内部リファレンス電圧＝(設定値＋1)×VDD×0.64／64

注意:

・CPVREF2の設定は、コンパレータ1、2共通の設定です。
・マイナス入力選択(CP1VREN)、内部リファレンス電圧の設定(CPVREF2、CP1VRSL3～0の設定)は、コンパレータの動作停止状態(CPAP1EN＝0、CPAP2EN＝0)に行って下さい。
・CP1VRSL3～0設定によるコンパレータ1内部リファレンス電圧値はTyp.値です。電圧値のバラツキは、最新の「半導体ニューズ」を参照してください。

3-9-4-4 コンパレータ2内部リファレンス電圧制御レジスタ(CP2VR)

①コンパレータ2の内部リファレンス電圧の制御を行う5ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA3	HHH0 0000	R/W	CP2VR	-	-	-	CP2VREN	CP2VRSL3	CP2VRSL2	CP2VRSL1	CP2VRSL0

CP2VREN(ビット4):コンパレータ2マイナス入力選択

このビットが0の時、コンパレータ2のマイナス入力はP17からの外部入力になります。
このビットが1の時、コンパレータ2のマイナス入力は、コンパレータ2内部リファレンス電圧になります。

CP2VRSL3～0(ビット3～0):コンパレータ2内部リファレンス電圧設定

①CPVREF2＝0の場合、

コンパレータ2内部リファレンス電圧＝(設定値＋1)×VDD×0.64／16

②CPVREF2＝1の場合、

コンパレータ2内部リファレンス電圧＝(設定値＋1)×VDD×0.64／64

注意：

・CPVREF2(コンパレータ1内部リファレンス電圧制御レジスタのビット7)の設定は、コンパレータ1、2共通の設定です。

・マイナス入力選択（CP2VREN）、内部リファレンス電圧の設定（CPVREF2、CP2VRSL3～0の設定）は、コンパレータの動作停止状態（CPAP1EN＝0、CPAP2EN＝0）で行って下さい。

・CP2VRSL3～0設定によるコンパレータ2内部リファレンス電圧値はTyp.値です。電圧値のバラツキは、最新の「半導体ニューズ」を参照してください。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズは、低レベル(L)，高レベル(H)，最高レベル(X)の3レベルの多重割り込み制御機能を持っています。
マスタ割り込み許可レジスタ，割り込み優先制御レジスタで、割り込みの許可や割り込み優先順位の指定を行います。

4-1-2 機能

①割り込み動作
- 周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- 周辺モジュールからの割り込み要求を受けると、割り込みレベル，優先順位，割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- 割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

②多重割り込み制御
- 低レベル(L)，高レベル(H)，最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

③割り込みの優先
- 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

④割り込み要求許可受け付け制御
- マスタ割り込み許可レジスタで、HレベルとLレベルの割り込み要求受け付けの許可／禁止の制御ができます。
- Xレベルの割り込み要求受け付けの禁止はできません。

⑤割り込み受け付け禁止期間
- IE(FE08H)，IP(FE09H)レジスタ書き込み，ホールド解除後の2Tcycの期間、割り込みは受け付けられません。
- PCON(FE07H)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- RETI命令と次の命令の実行の間には割り込みはかかりません。

⑥割り込みレベル制御

・ベクタアドレス単位で割り込みレベルの選択ができます。

割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2／T0L
4	0001BH	HまたはL	INT3／ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L／T1H
7	00033H	HまたはL	－
8	0003BH	HまたはL	SIO1／MCPWM2
9	00043H	HまたはL	ADC
10	0004BH	HまたはL	CMP1／CMP2

・優先レベル　X＞H＞L

・同一レベルではベクタアドレスの小さいものが優先

⑦割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

・IE，IP

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

4-1-3　回路構成

4-1-3-1　マスタ割り込み許可制御レジスタ（IE）（6ビットレジスタ）

①Hレベル，Lレベルの割り込みの許可／禁止を行います。

②割り込みレベルフラグの状態を読めます。

③ベクタアドレス00003H，0000BHの割り込みのレベル切り替え（L／X）を行います。

4-1-3-2　割り込み優先制御レジスタ（IP）（8ビットレジスタ）

①ベクタアドレス00013H～0004BHの割り込みのレベル切り替え（H／L）を行います。

4-1-4 関連レジスタ

4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

①割り込みの制御を行う6ビットのレジスタで、ビット6～4はR／Oです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7):Hレベル, Lレベルの割り込みの許可／禁止制御

- このビットが1の時、Hレベル, Lレベルの割り込み要求の受付が許可されます。
- このビットが0の時、Hレベル, Lレベルの割り込み要求の受付が禁止されます。
- このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6):Xレベル割り込みフラグ(R／O)

- Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5):Hレベル割り込みフラグ(R／O)

- Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4):Lレベル割り込みフラグ(R／O)

- Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3, 2):存在しません。読むと“1”が読まれます。

XCNT1(ビット1):0000BH割り込みレベル制御フラグ

- このビットが1の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- このビットが0の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0):00003H割り込みレベル制御フラグ

- このビットが1の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- このビットが0の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

4-1-4-2　割り込み優先制御レジスタ(IP)

①ベクタアドレス00013H～0004BHの割り込みのレベル切り替え(H／L)を行う8ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込みベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック発生回路として、中速RC発振回路、高速RC発振の2系統の発振回路を内蔵しています。中速RC発振回路、高速RC発振は抵抗とコンデンサCを内蔵しており、外付け回路が不要です。
これら2種類のクロックからプログラムでシステムクロックを選択します。

4-2-2 機能

①システムクロック選択
・中速RC発振、高速RC発振の2系統の発振クロックからプログラムでシステムクロックを選択します。

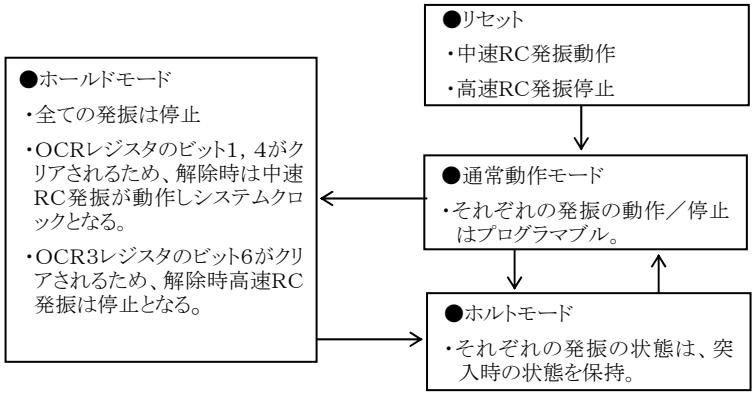
②システムクロック分周
・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
・分周回路は2段階で構成されています。
1段目は、$\frac{1}{1}$ または $\frac{1}{2}$ の選択ができます。
2段目は、$\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の選択ができます。

③発振回路の制御
・命令で、上記2系統の発振の停止／許可を独立に制御できます。

④モード毎の発振回路の状態

モード／クロック	中速RC発振	高速RC発振	システムクロック
リセット状態	動作	停止	中速RC発振
リセット解除	動作	停止	中速RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止
ホールド解除直後	動作	停止	中速RC発振

各モードの突入方法／解除方法については「4-3 スタンバイ機能」を参照してください。



⑤システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PCON，OCR，CLKDIV，OCR3

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE
FE0E	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0E	0HH0 HH0H	R/W	OCR	CLKSGL	-	-	CLKCB4	-	-	RCSTOP	-
FE7C	H0HH HHHH	R/W	OCR3	-	FRCSTART	-	-	-	-	-	-

4-2-3　回路構成

4-2-3-1 内蔵中速RC発振回路（従来型RC発振回路）

①内蔵の抵抗と容量により(標準1MHz)発振します。
②リセット解除後、ホールド解除後は中速RC発振のクロックがシステムクロックとなります。

4-2-3-2 高速RC発振回路

①内蔵の抵抗と容量により発振します。
②源発振周波数は20MHzのクロックで最速のクロック設定は2分周した10MHzとなります。
③カウンタ値がカウント設定値と一致する毎にクロックをトグル出力します。

4-2-3-3 パワー制御レジスタ（PCON）（2ビットレジスタ）

①動作モード（通常／ホルト／ホールド）を設定します。

4-2-3-4 発振制御レジスタ（OCR）（3ビットレジスタ）

①発振回路の動作停止／開始の制御を行います。
②システムクロックの選択を行います。
③システムクロックに使う発振クロックの分周比を$\frac{1}{1}$または$\frac{1}{2}$に設定します。

4-2-3-5 高速RC発振制御レジスタ（OCR3）（1ビットレジスタ）

①高速RC発振回路の動作停止／開始の制御を行います。

4-2-3-6 システムクロック分周制御レジスタ（CLKDIV）（3ビットレジスタ）

①システムクロック分周回路の制御を行います。
分周比は$\frac{1}{1}$，$\frac{1}{2}$，$\frac{1}{4}$，$\frac{1}{8}$，$\frac{1}{16}$，$\frac{1}{32}$，$\frac{1}{64}$，$\frac{1}{128}$ の設定が可能です。

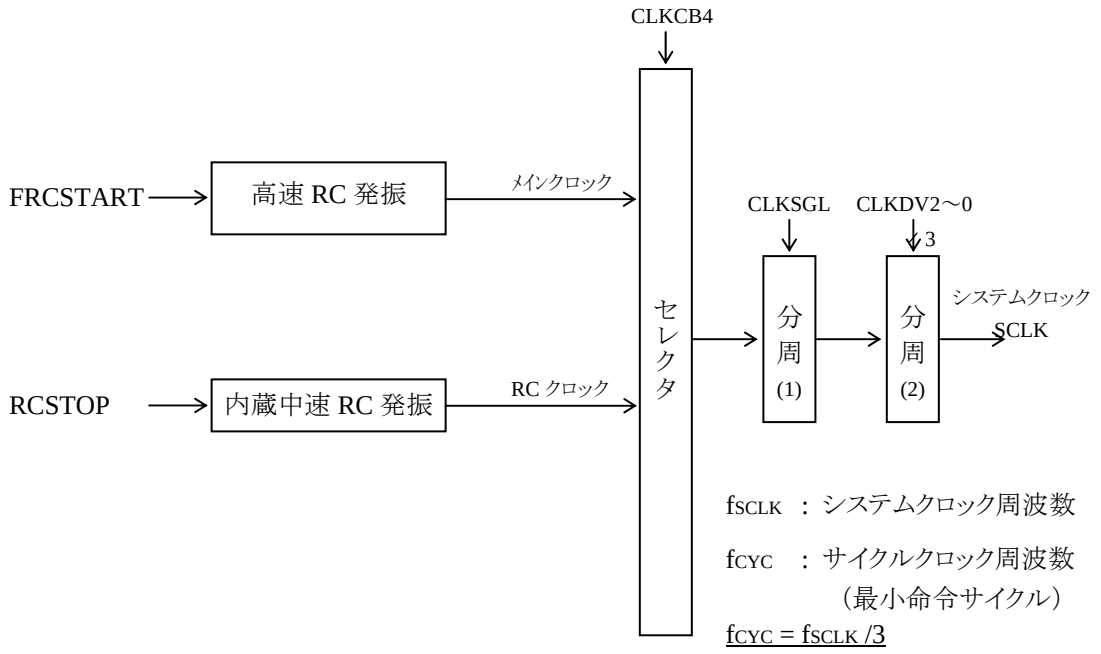


図４－２－１　システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 パワー制御レジスタ（PCON）

①動作モード（通常／ホルト／ホールド）を設定する2ビットのレジスタです。
・各モードの突入方法／解除方法については「4-3 スタンバイ機能」を参照してください。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

（ビット7～2）：存在しません。読むと“1”が読まれます。

PDN（ビット1）：ホールドモード設定フラグ

PDN	動作モード
0	通常動作またはホルトモード
1	ホールドモード

①このビットのセットは命令で行います。
・ホールドモードに入ると全ての発振（高速／中速RC）が停止し、関係するレジスタが下記の状態に変化します。
OCRレジスタのビット1，4がクリアされます。
・ホールドモード復帰時、中速RC発振が動作を開始しシステムクロックとなります。また、高速RCは発振を停止します。

②PDNのクリアは、ホールド解除信号（INT0，INT1，INT2）の発生、またはリセット信号で行われます。
③PDNがセットされると自動的にビット0もセットされます。

IDLE（ビット0）：ホルトモード設定フラグ
①このビットをセットするとホルトモードに入ります。
②ビット1がセットされると自動的にこのビットもセットされます。
③インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

4-2-4-2 発振制御レジスタ（OCR）

①発振回路の動作制御，システムクロックの選択を行う3ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0HH0 HH0H	R/W	OCR	CLKSGL	-	-	CLKCB4	-	-	RCSTOP	-

（ビット6，5，3，2，0）：存在しません。読むと“1”が読まれます。

CLKSGL（ビット7）：クロック分周選択
①このビットが“1”の時、ビット4で選択されたクロックを直接システムクロックとして使用します。
②このビットが“0”の時、ビット4で選択されたクロック周波数の$\frac{1}{2}$のクロックをシステムクロックとして使用します。

CLKCB4（ビット4）：システムクロック選択
①CLKCB4で、システムクロックの選択を行います。
②リセット時，ホールドモード突入時、CLKCB4はクリアされます。

CLKCB4	システムクロック
0	中速RC発振
1	高速RC発振

RCSTOP（ビット1）：内蔵中速RC発振回路制御
①このビットが“1”の時、内蔵中速RC発振回路は停止します。
②このビットが“0”の時、内蔵中速RC発振回路は動作します。
③リセット時、このビットはクリアされ発振可能になります。
④ホールドモード突入時、このビットはクリアされホールドモード復帰後発振を開始しシステムクロックとなります。

4-2-4-3 高速RC発振制御レジスタ（OCR3）

①高速RC発振回路の動作制御、メインクロックの選択を行う1ビットのレジスタです

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7C	H0HH HHHH	R/W	OCR3	-	FRCSTART	-	-	-	-	-	-

FRCSTART（ビット6）：高速RC発振開始制御
①このビットが“1”の時、高速RC発振回路は動作を開始します。
②このビットが“0”の時、高速RC発振回路は停止します。
③このビットはホールドモード突入時クリアされます。

注意：高速RC発振回路が“発振停止”状態から“発振許可”状態となった後、100μsec以上の発振安定時間を設けてからシステムクロックを切り替えてください。

4-2-4-4 システムクロック分周制御レジスタ（CLKDIV）

①システムクロック分周制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

（ビット7～3）:存在しません。読むと‘1’が読まれます。

CLKDV2（ビット2）:
CLKDV1（ビット1）:
CLKDV0（ビット0）:
} システムクロックの分周比を設定します。

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	$\frac{1}{1}$
0	0	1	$\frac{1}{2}$
0	1	0	$\frac{1}{4}$
0	1	1	$\frac{1}{8}$
1	0	0	$\frac{1}{16}$
1	0	1	$\frac{1}{32}$
1	1	0	$\frac{1}{64}$
1	1	1	$\frac{1}{128}$

4-3　スタンバイ機能

4-3-1　概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト，ホールドと呼ばれる2つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2　機能

①ホルトモード

・命令の実行は停止するが、周辺回路は動作を継続します。(シリアル転送の一部機能は停止します)
・PCONレジスタのビット0をセットすることにより、ホルトモードに入ります。
・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰します。

②ホールドモード

・全ての発振が停止します。命令の実行が停止し、周辺回路も動作を停止します。
・PCONレジスタのビット2＝“0”で、ビット1をセットすることにより、ホールドモードに入ります。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
・リセットまたはホールド解除信号(INT0，INT1，INT2)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

注意：ADコンバータの変換動作中にホルトモード、ホールドモードに設定しないでください。必ず、ADSTARTが0になったことを確認してから各モードに設定してください。

4-3-3　関連レジスタ

4-3-3-1　パワー制御レジスタ(PCON)　(2ビットレジスタ)

①動作モード(通常／ホルト／ホールド)を設定する2ビットのレジスタです。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

(ビット7～2)：存在しません。読むと“1”が読まれます。

PDN(ビット1):ホールドモード設定フラグ

PDN	動作モード
0	通常動作またはホルトモード
1	ホールドモード

① このビットのセットは命令で行います。
・ホールドモードに入ると全ての発振(中速RC,高速RC)が停止し、関係するレジスタが下記の状態に変化します。
OCRレジスタのビット1，4がクリアされます。
・ホールドモード復帰時、中速RC発振が動作を開始しシステムクロックとなります。
② PDNのクリアは、ホールド解除信号(INT0，INT1，INT2)の発生、またはリセット信号で行われます。
③ PDNがセットされると自動的にビット0もセットされます。

IDLE(ビット0):ホルトモード設定フラグ
① このビットをセットするとホルトモードに入ります。
② ビット1がセットされると自動的にこのビットもセットされます。
③インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

スタンバイ

表４－３－１　スタンバイ動作

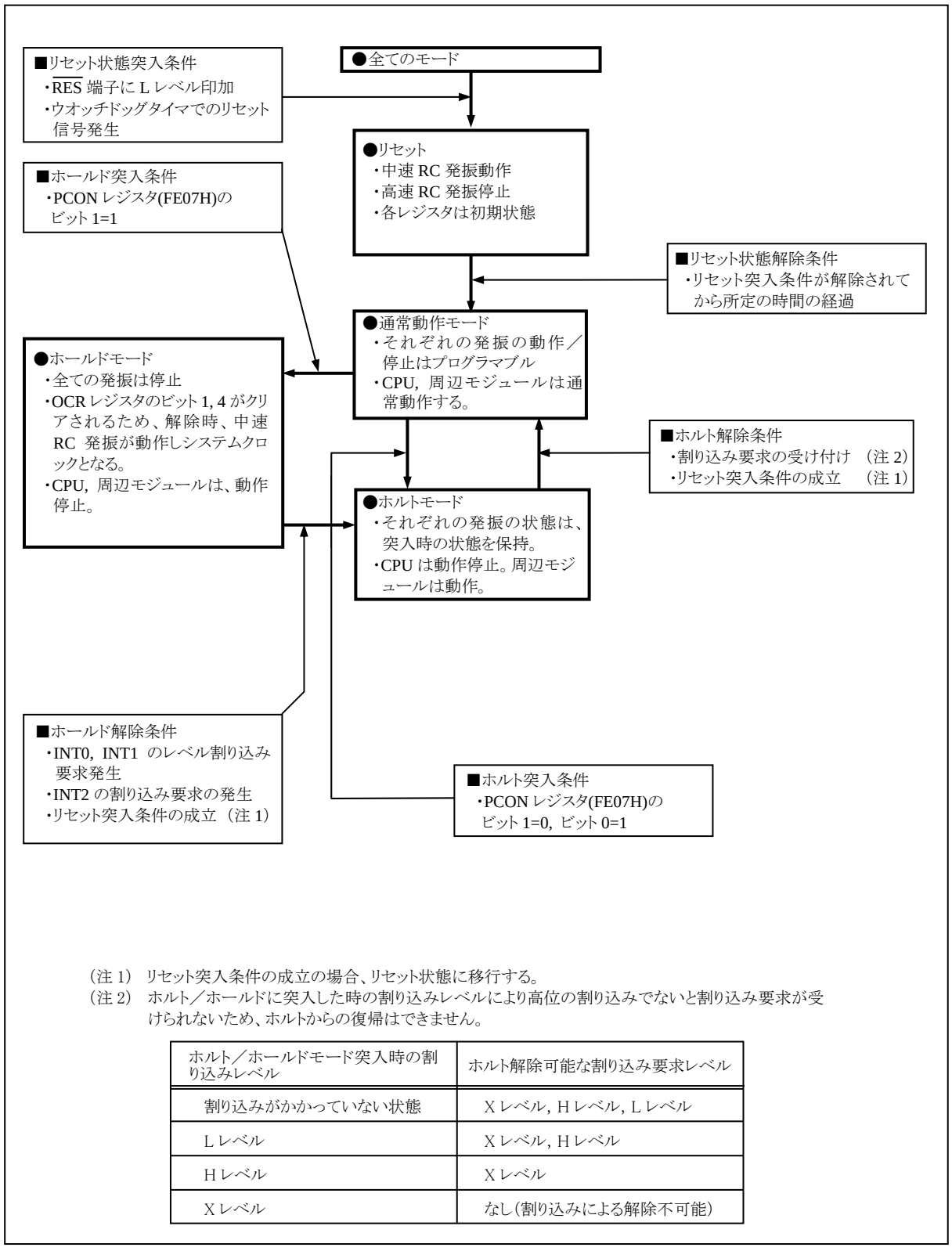
項目／モード	リセット状態	ホルトモード	ホールドモード
突入条件	・$\overline{RES}$信号印加 ・ウォッチドッグタイマでのリセット発生	PCONレジスタ ビット1＝“0” ビット0＝“1”	PCONレジスタ ビット1＝“1”
突入後、 変化するデータ	別表の示すように初期化される。	・WDTレジスタ（FE79h）のビット4/3＝“0/1”の場合、WDTCNT のビット5がクリアされる。	・WDTレジスタ（FE79h）のビット4/3＝“0/1”の場合、WDTCNT のビット5がクリアされる。 ・PCONのビット0が“1”になる。 ・OCRレジスタ（FE0E）のビット4がクリアされる。
内蔵中速RC発振	動作	突入時の状態	停止
高速RC発振	停止	突入時の状態	停止
CPU	初期化される	停止	停止
I／O端子状態	表4－3－2参照	←	←
RAM	・$\overline{RES}$の場合：不定 ・ウォッチドッグタイマリセットの場合：データ保持	データ保持	データ保持
ベースタイマ	停止	突入時の状態	停止
ベースタイマ以外の周辺モジュール	停止	突入時の状態 （注2）	停止
復帰条件	突入条件の解消	・割り込み要求の受付 ・リセット突入条件の成立	・INT0～2からの割り込み要求発生 ・リセット突入条件の成立
復帰先	通常動作モード	通常動作モード （注1）	ホルトモード（注1）
復帰後に変化するデータ	なし	PCONレジスタのビット0＝“0”となる	PCONレジスタのビット1＝“0”となる

（注１）リセット突入条件の成立で復帰した場合、リセット状態に移行する。

（注２）シリアル転送の一部機能は停止します。

表４－３－２　モードによる端子状態（本シリーズの場合）

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
$\overline{RES}$	・入力端子	←	←	←	←
P00-P03	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←



（注 1） リセット突入条件の成立の場合、リセット状態に移行する。
（注 2） ホルト／ホールドに突入した時の割り込みレベルにより高位の割り込みでないと割り込み要求が受けられないため、ホルトからの復帰はできません。

ホルト／ホールドモード突入時の割り込みレベル	ホルト解除可能な割り込み要求レベル
割り込みがかかっていない状態	X レベル, H レベル, L レベル
L レベル	X レベル, H レベル
H レベル	X レベル
X レベル	なし（割り込みによる解除不可能）

図４－３－１　スタンバイモード遷移

4-4　リセット機能

4-4-1　概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2　機能

本シリーズは、次の3つの機能を持っています。

① $\overline{\text{RES}}$ 端子による外部リセット機能

$\overline{\text{RES}}$ 端子に「L」レベルを200[μs]以上印加することで、確実にリセットがかかります。しかし、わずかな幅（200[μs]以内）の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。

$\overline{\text{RES}}$ 端子に適正な時定数を外付けすことにより、電源投入時のリセットとして使用できます。

②内蔵リセット機能

電源の初期投入時にリセットをかけるパワーオンリセット（POR）機能と電源電圧が低下した時にリセットをかける低電圧検知リセット（LVD）機能があります。パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

③ウォッチドッグタイマによるリセット機能

ウォッチドッグタイマは、内蔵低速RC発振をクロックにより、一定時間毎にリセットを発生させることができます。

リセット回路の構成例を図４－４－１に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

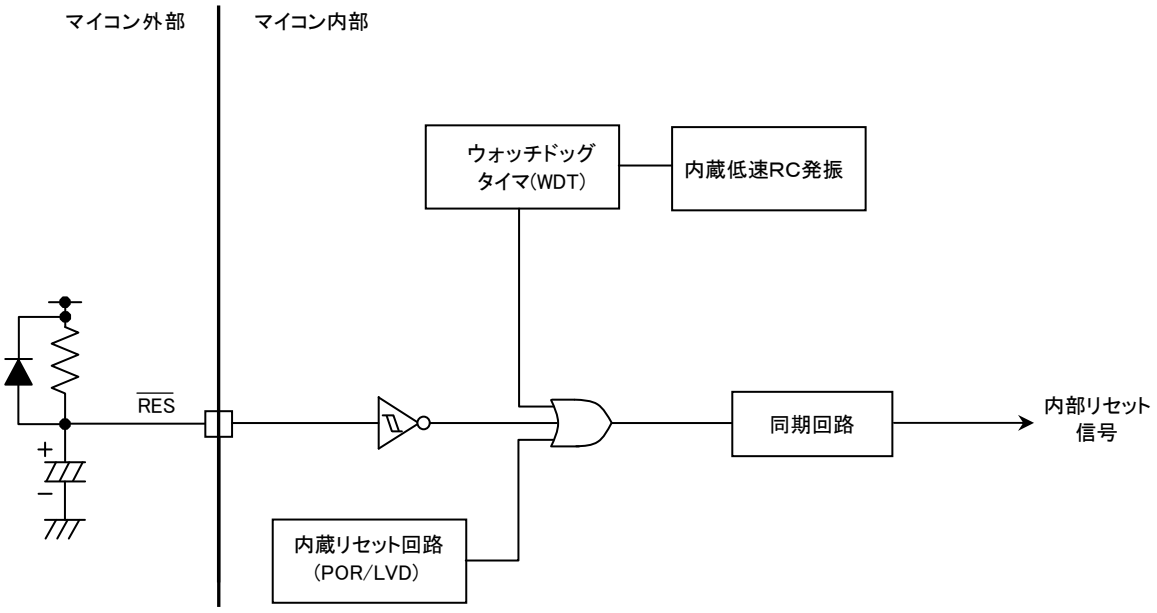


図４－４－１　リセット回路ブロック図

4-4-3 リセット時の状態

$\overline{\text{RES}}$端子、内蔵リセット回路、ウォッチドッグタイマからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。
リセットがかかるとシステムクロックは内蔵中速RC発振に切り替わるため、電源投入時でも直ちにハードウェアの初期化が行われます。メインクロック発振が安定するのを待って、システムクロックをメインクロックに切り替えます。リセット時、プログラムカウンタの初期値は、0000Hになります。また、各特殊機能レジスタ（SFR）の初期値は、APPENDIX（A-I）スペシャルファンクションレジスタ（SFR）マップに示す値となります。

＜注意点＞
・スタックポインタの初期値は0000Hとなります。
・データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が「不定」となっていますので注意が必要です。
・内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず「４－６項　内蔵リセット機能」の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

4-5　ウォッチドッグタイマ（WDT）

4-5-1　概 要

本シリーズは、次の機能を持ったウォッチドッグタイマ（WDT）を備えています。

① WDT専用低速RC発振クロックにより動作するタイマのオーバーフローで内部リセット発生

② スタンバイモード突入によるWDT動作の継続／停止／保持を選択可能

4-5-2　機 能

① ウォッチドッグタイマ機能

・低速RC発振クロックによって、17ビットのアップカウンタ（WDTCT）が動作し、ウォッチドッグタイマ制御レジスタ（WDTCNT）で選択されたオーバーフロー時間（8種類から1つを選択）に達すると、WDTリセット（内部リセット信号）を発生します。この時、リセット検出フラグ（RSTFLG）がセットされます。
WDTCTはプログラムによりクリアできますので、定期的にWDTCTをクリアするようにプログラムを作成します。

・本シリーズのWDTは、専用の低速RC発振を使用しているため、プログラムの暴走によってシステムクロックが停止するようなことがあっても動作は継続され、暴走の検出が可能となっています。

・スタンバイモード突入時のWDTの動作を選択可能で、“カウント動作継続”、“動作停止”、“カウント値を保持してカウント動作停止”の3種類から選択できます。この内の“動作継続”を選択すると、スタンバイモード時でも低速RC発振回路が発振を続けますので、数μAの動作電流が常時流れます。（詳細は「半導体ニューズ」を参照してください）

② ウォッチドッグタイマ（WDT）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・WDTCNT

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

4-5-3　回 路 構 成

4-5-3-1　WDT制御レジスタ（WDTCNT）（8ビットレジスタ）

①リセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

注意：外部 $\overline{\text{RES}}$ 端子への“Lレベル”印加や内蔵リセット（POR／LVD）機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット4～0は初期化されません。

注意：WDTの動作を開始（WDTRUN＝1）すると、WDTCNTへの書き込みは禁止されます。この時、「**MOV　#55H, WDTCNT**」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます。（他の命令で“55H”を書き込んでもWDTCTはクリアされません）

注意：低速RC発振回路は、WDTRUN（WDTCNTのビット5）＝“1”により、発振を開始します。発振を“開始”すると、数μAの動作電流が常時流れます。（詳細は「半導体ニューズ」を参照してください）

4-5-3-2　WDTカウンタ（WDTCT）（17ビットカウンタ）

① 動作開始／停止　：WDTRUN＝1／WDTRUN＝0またはWDTRUN＝1かつIDLOP1～IDLOP0（WDTCNTのビット4～3）＝2の時にスタンバイモードへ突入
② カウントクロック　：低速RC発振クロック
③ オーバーフロー発生：WDTCTのカウント値がWDTSL2～WDTSL0（WDTCNTのビット2～0）で選択されたカウント値と一致した時
※ WDTリセットとWDTRUNクリア信号とWDTRSTF（WDTRUNのビット7）へのセット信号を発生
④ リセット　：WDTRUN＝0またはWDTRUN＝1かつ「**MOV　＃55H, WDTCNT**」命令の実行

※ WDT動作の詳細は「図４－５－２」を参照ください。

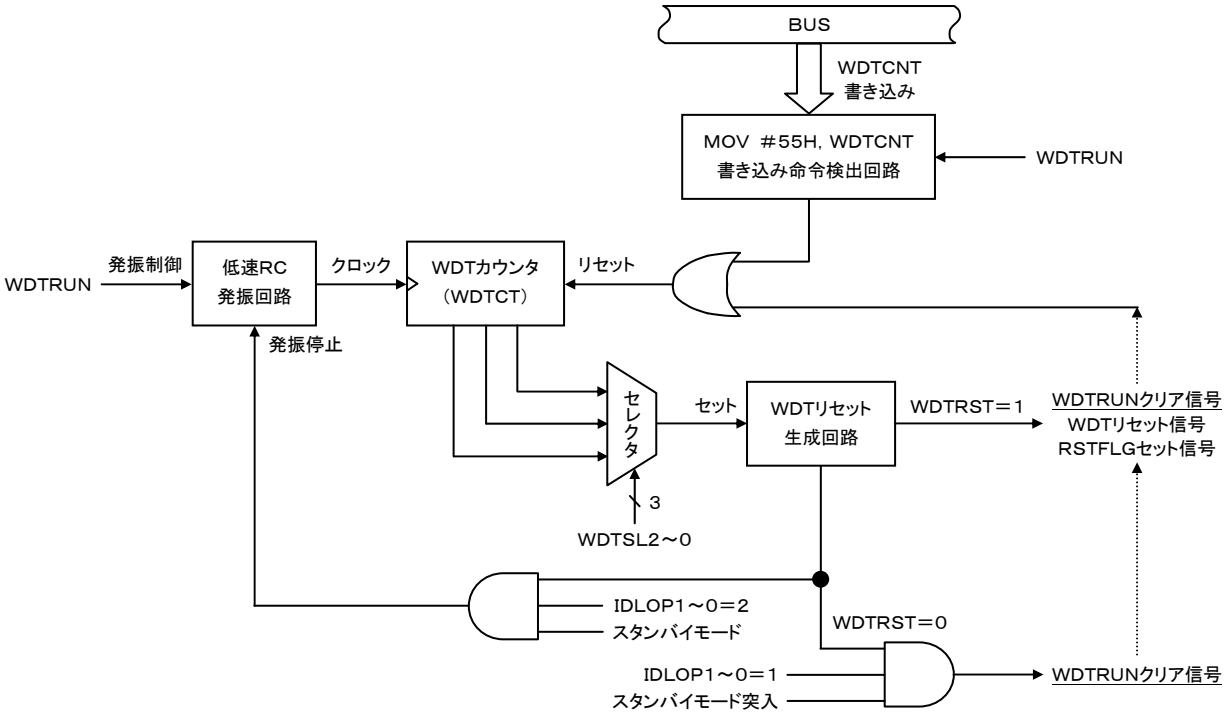


図４－５－１　　ウォッチドッグタイマの動作ブロック図

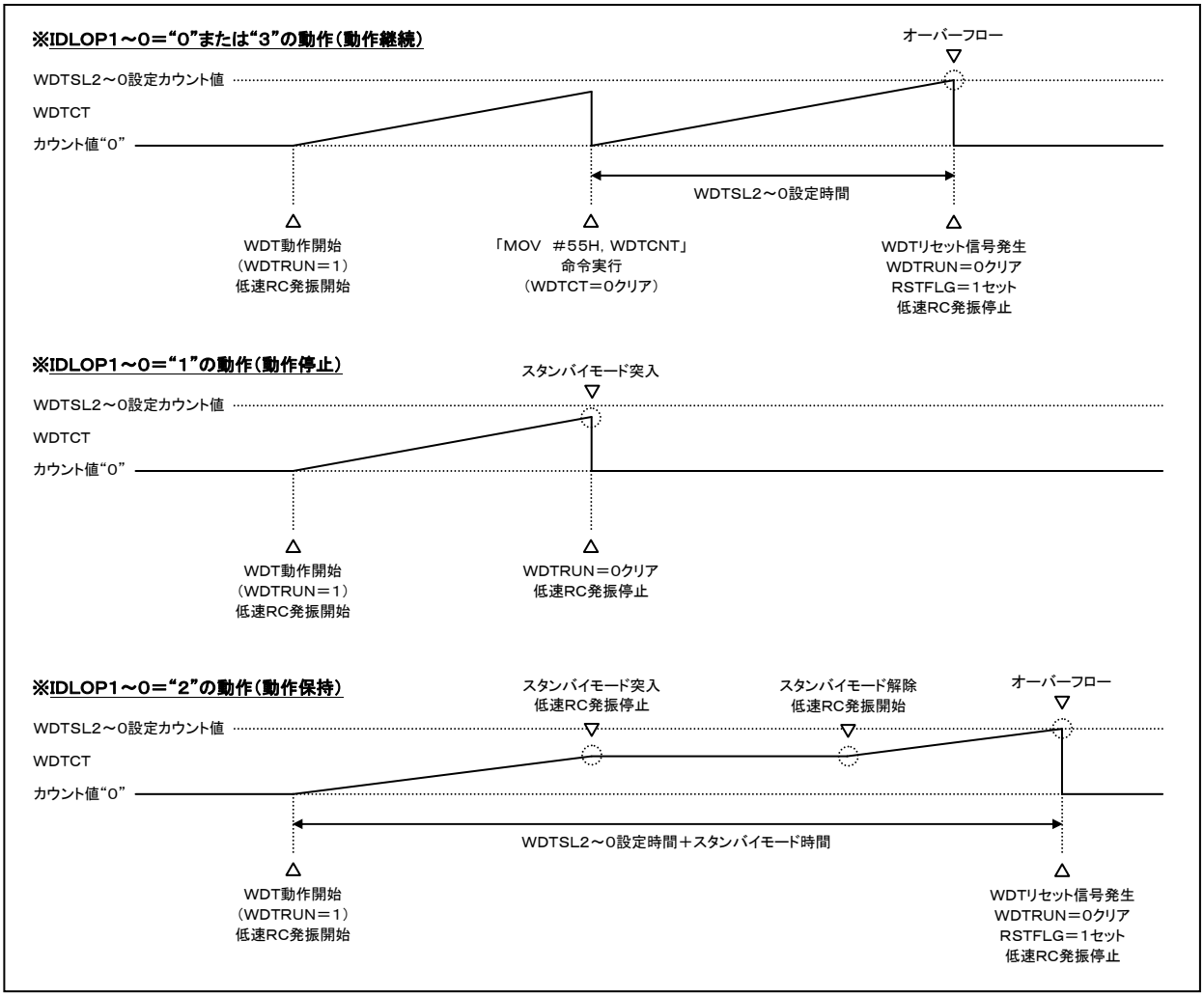


図４－５－２　　ウォッチドッグタイマの動作波形例

4-5-4　関連レジスタ

4-5-4-1　　WDT制御レジスタ（WDTCNT）

①リセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

ｱﾄﾞﾚｽ	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

RSTFLG（ビット7）：WDTリセット検出フラグ

外部 $\overline{\text{RES}}$ 端子への“Lレベル”印加や内蔵リセット（POR／LVD）機能によるリセットが発生した場合、このビットはクリアされます。

WDTによるリセットが発生した場合、このビットはセットされます。

このフラグは命令で書き換え可能です。

FIX0（ビット6）：テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

WDTRUN（ビット5）：WDT動作制御

このビットが0の時、WDTは動作を停止します。

このビットが1の時、WDTは動作を開始します。

IDLOP1（ビット4）:
IDLOP0（ビット3）: } WDTスタンバイモード時の動作選択

IDLOP1	IDLOP0	WDTスタンバイモード動作選択
0	0	カウント動作継続
0	1	動作停止
1	0	カウント値を保持してカウント動作停止
1	1	カウント動作継続

※各動作モードの詳細は「図４－５－２」を参照してください。

WDTSL2（ビット2）:
WDTSL1（ビット1）: } オーバーフロー時間選択
WDTSL0（ビット0）:

WDTSL2	WDTSL1	WDTSL0	WDTCT設定カウント数とオーバーフロー発生時間例	
			カウント数	低速RCクロック
0	0	0	1024	34.1ms
0	0	1	2048	68.3ms
0	1	0	4096	137ms
0	1	1	8192	273ms
1	0	0	16384	546ms
1	0	1	32768	1.09s
1	1	0	65536	2.18s
1	1	1	131072	4.37s

※表の“低速RCクロック”は、低速RC発振周波数が30kHz（typ.）時のWDTCTオーバーフロー発生までにかかる時間となります。低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニューズ」を確認してください。

注意：外部 $\overline{\text{RES}}$ 端子への“Lレベル”印加や内蔵リセット（POR／LVD）機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット4～0は初期化されません。

注意：WDTの動作を開始（WDTRUN＝1）すると、WDTCNTへの書き込みは禁止されます。この時、**「MOV ＃55H, WDTCNT」**命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます。（他の命令で“55H”を書き込んでもWDTCTはクリアされません）

注意：低速RC発振回路は、WDTRUN＝“1”により発振を開始します。発振を開始すると、数μAの動作電流が常時流れます。（詳細は「半導体ニューズ」を参照してください）

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

①ウォッチドッグタイマの動作開始

1） WDTリセット発生までにかかる時間をWDTSL2～0（WDTCNTのビット2～0）に設定します。

2） スタンバイモード（ホルト／ホールド）時のウォッチドッグタイマの動作をIDLOP1～0（WDTCNTのビット4～3）に設定します。

3） 1）、2）の設定後、WDTRUN（WDTCNTのビット5）に“1”を書き込みます。

WDTRUNに“1”を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、**WDTCNTへの書き込みは禁止**され、WDTCTのクリアとWDTCNTの読み出しのみが可能になり、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、外部RES端子への“Lレベル”印加、内蔵リセット（POR／LVD）機能によるリセットが発生した場合、またはIDLOP1～0＝“1”の状態でスタンバイモードに入った場合です。この場合、WDTRUNがクリアされます。

②WDTCTのクリア

ウォッチドッグタイマが動作を開始すると、WDTCTがカウントアップします。このWDTCTがオーバーフローするとWDTリセットを発生します。通常のプログラム動作を行うには、WDTCTがオーバーフローする前に定期的にクリアする必要があります。動作中のWDTCTのクリアには、次の命令を使用してください。

```
MOV  #55H, WDTCNT
```

③暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマはクリアされないので、WDTCTがオーバーフローします。オーバーフローが起こるとプログラムが暴走したと判断され、WDTリセットを発生します。この時、WDTRSTF（WDTCNTのビット7）がセットされます。WDTリセット発生後、プログラムを0000H番地から再実行します

4-5-6 ウォッチドッグタイマ使用上の注意点

・ホールドモードを使用して極低消費電力を実現する場合、IDLOP1～0＝“1”または“2”を設定して、ホールドモード時のウォッチドッグタイマの動作を停止しておく必要があります。IDLOP1～0＝“0”または“3”を設定した場合、ホールドモード時でも内蔵低速RC発振回路が発振を続けますので、数μAの動作電流が常時流れます。

・IDLOP1～0＝“2”を選択してウォッチドッグタイマが動作している時、スタンバイモード（HALT／HOLD）に突入すると低速RC発振回路は発振を停止し、ウォッチドッグタイマはカウント動作を停止してカウント値を保持します。その後、スタンバイモードが解除されると、低速RC発振回路は発振を開始して、ウォッチドッグタイマはカウント動作を再開しますが、スタンバイモード解除から次のスタンバイモード突入までの期間が**「低速RC発振クロック×4」未満**であると、スタンバイモードに突入しても、低速RC発振回路が発振を停止しない場合があります。この時（スタンバイモード実行中）、ウォッチドッグタイマはカウント動作を停止していますが、低速RC発振回路は発振しているため、数μAの動作電流が流れます。

セットの待機電力を落とすために、スタンバイモード解除から次のスタンバイモード突入までの期間を**「低速RC発振クロック×4」以上**の間隔を空けて実行するようにプログラムを作成してください。（低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニューズ」を確認してください）

4-6　内蔵リセット機能

4-6-1　概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-6-2　機能

①パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

②低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-6-3　回路構成

内蔵リセット回路は、POR, LVD, パルスストレッチャ回路, 容量CRES放電トランジスタ, 外付け容量CRES＋プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成図を4－6－1項に示します。

・パルスストレッチャ回路

POR, LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は30μs～100μsです。

・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4－6－4項を参照ください。

・外付け容量CRES＋プルアップ抵抗RRES

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC, R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4－6－1の回路構成を推奨します。推奨定数はCRES＝0.022μF, RRES＝510kΩです。但し、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

内 蔵 リセット

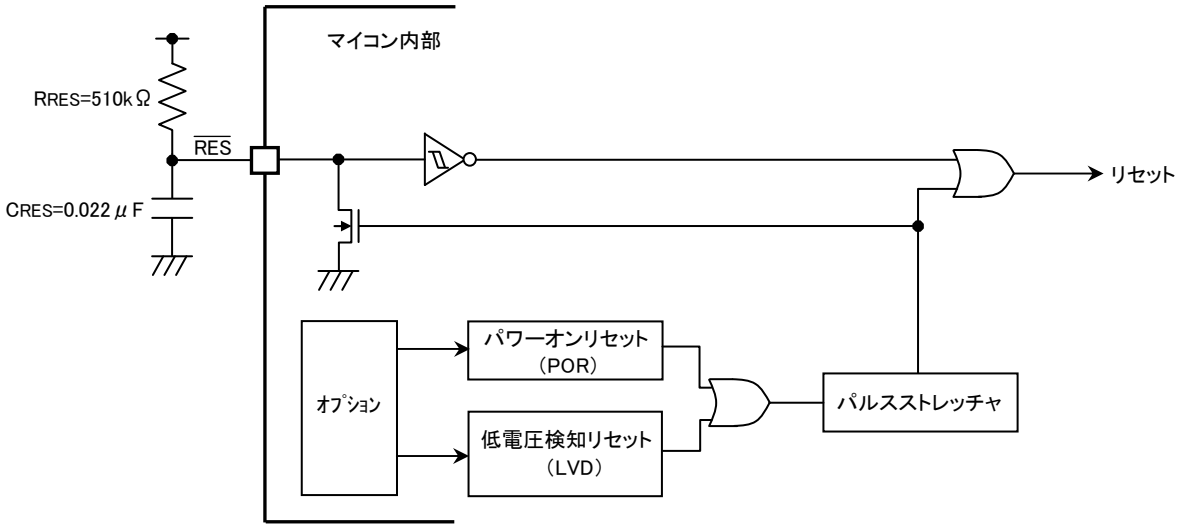


図４－６－１　内 蔵リセット回 路 構 成 図

4-6-4　オプション

リセット回 路 オプションにはＰＯＲとＬＶＤオプションがあります。

①ＬＶＤリセット機 能 オプション			
【許 可 】:使 用 する		【禁 止 】:使 用しない	
②ＬＶＤリセットレベルオプション		③ＰＯＲ解 除 レベルオプション	
選択オプション typ.値	VDD動作 min.値 （＊）	選択オプション typ.値	VDD動作 min.値 （＊）
－	－	【1．67V】	1．8V～
【1．91V】	2．1V～	【1．97V】	2．1V～
【2．01V】	2．2V～	【2．07V】	2．2V～
【2．31V】	2．5V～	【2．37V】	2．5V～
【2．51V】	2．7V～	【2．57V】	2．7V～
【2．81V】	3．0V～	【2．87V】	3．0V～
【3．79V】	4．0V～	【3．86V】	4．0V～
【4．28V】	4．5V～	【4．35V】	4．5V～

＊ＶＤＤ動 作ｍｉｎ．値 はオプションで選 択したＰＯＲ解 除 レベル／ＬＶＤリセットレベル に対 して、リセットがかからずに動 作させることのできる下 限 値 の目 安 を示 します。

①ＬＶＤリセット機 能 オプション

【許 可 】を選 択 するとＬＶＤリセットレベルオプションで選 択 された電 圧 でリセットがか かります。

（注 1）この時 の動 作 電 流 は全 てのモードにおいて数 μＡ常 時 流 れます。

【禁 止 】を選 択 するとＬＶＤリセットはかかりません。

（注 2）この時 の動 作 電 流 は全 てのモードにおいて流 れません。

＊詳 細 は４－６－５項 のリセット回 路 の動 作 波 形 例 を参 照 ください。

②ＬＶＤリセットレベルオプション

ＬＶＤリセット機 能 オプションで【許 可 】を選 択 した時 のみＬＶＤリセットレベルを7レ ベル選 択 できます。使 用 する動 作 条 件 に適 した検 知 レベルを選 択 します。

③ＰＯＲ解 除 レベルオプション

ＬＶＤリセット機 能 オプションで【禁 止 】を選 択 した時 のみＰＯＲ解 除 レベルを8レベ ル選 択 できます。内 蔵 リセット回 路 を使 用 しない場 合 のＰＯＲ解 除 レベルは、保 証 動 作 電 圧 ｍｉｎ．に影 響 しない最 低 レベル（1．67Ｖ）を選 択 してください。

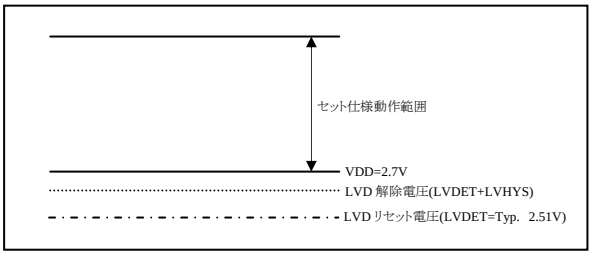
（注 3）この時 の動 作 電 流 はＰＯＲがリセットを解 除 すると電 流 は流 れません。

（注 4）保 証 動 作 電 圧 ｍｉｎ．以 下 のＰＯＲ解 除 レベルを選 択（1．67Ｖ）する場 合 には、使 用 上 の留 意 点 がありますので４－６－６－②項 を参 照 ください。

●選択参考例１

セット仕様によりＶＤＤ＝２．７Ｖまでリセットをかけずに動作させたいので、それに最適なＬＶＤリセットレベルを選択したい。

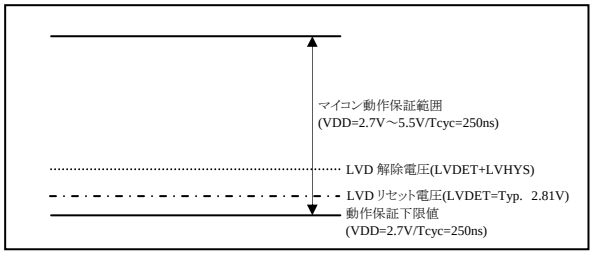
ＬＶＤリセット機能オプションは【許可】を選択し、ＬＶＤリセットレベルは【２．５１Ｖ】を選択します。



●選択参考例２

ＶＤＤ＝２．７Ｖ／Ｔｃｙｃ=２５０ｎｓまでの動作保証となっているので、その条件で最適なＬＶＤリセットレベルを選択したい。

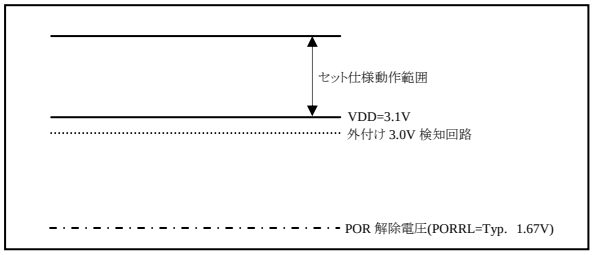
ＬＶＤリセット機能オプションは【許可】を選択し、ＬＶＤリセットレベルオプションは【２．８１Ｖ】を選択します。



●選択参考例３

外付けに３．０Ｖ検知のリセットＩＣを使用するので、内部リセット回路は使用したくない。（４－６－７－①項を合わせてご参照ください）

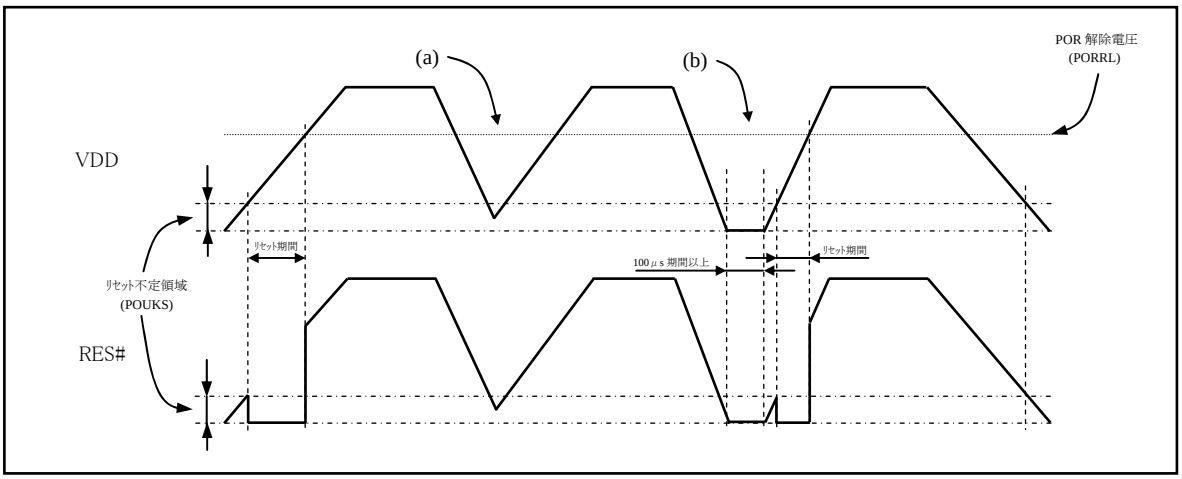
ＬＶＤリセット機能オプションは【禁止】を選択し、ＰＯＲ解除レベルオプションは【１．６７Ｖ】を選択します。



（注５）参考例に表記されている動作保証値（電圧／動作周波数）は使用する機種により異なりますので、必ず最新の半導体ニューズを参照し適切な設定レベルを選択してください。

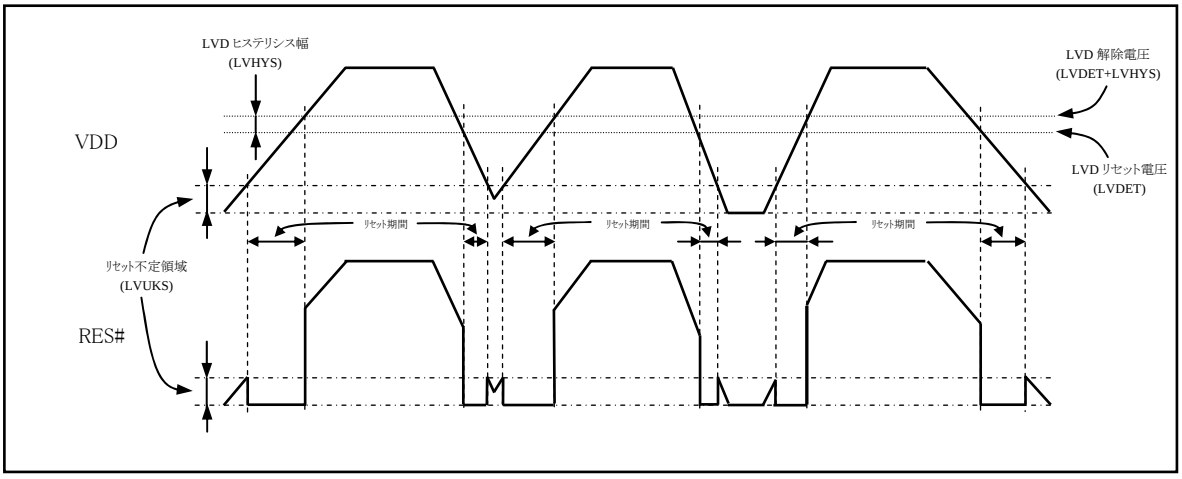
4-6-5 内蔵リセット回路の動作波形例

①PORのみ(LVD使用しない)の動作波形例
（リセット端子:プルアップ抵抗RRESのみ）



・PORはトランジスタが駆動始めるまでの期間、不定領域(POUKS)が存在します。
・PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体ニューズを参照ください。
・(a)のように電源がVSSレベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
・(b)のように電源がVSSレベルまで十分下がり、その状態が100μs以上保持されてから電源が再投入された場合のみリセットがかかります。

②POR＋LVDを併用した場合の動作波形例
（リセット端子:プルアップ抵抗RRESのみ）



・POR＋LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域(LVUKS)が存在します。
・電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除／突入電圧には誤差が発生しますので、詳細は半導体ニューズを参照ください。
・LVDには検知レベル付近でリセット解除／突入を繰り返さないようヒステリシス幅(LVHYS)があります。

4-6-6 内蔵リセット回路使用上の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないでください。必ず、使用条件に最適な容量CRESとプルアップ抵抗RRESまたはプルアップ抵抗RRESのみを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

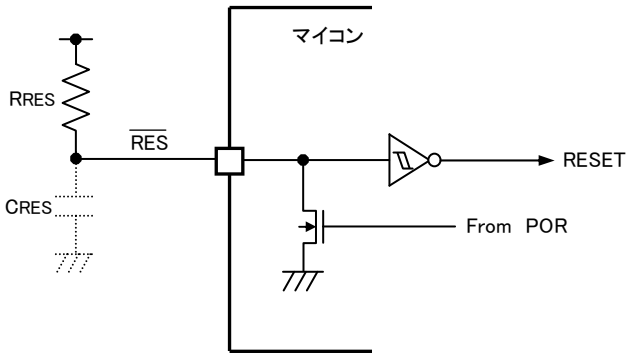


図４－６－２ 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル1.67V選択時

内蔵POR解除レベル1.67V選択時は、電源立ち上がり時間に合わせリセット端子に容量CRESとプルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧min.以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧min.以上に達するまでの期間、リセット端子にLレベルを入力してください。

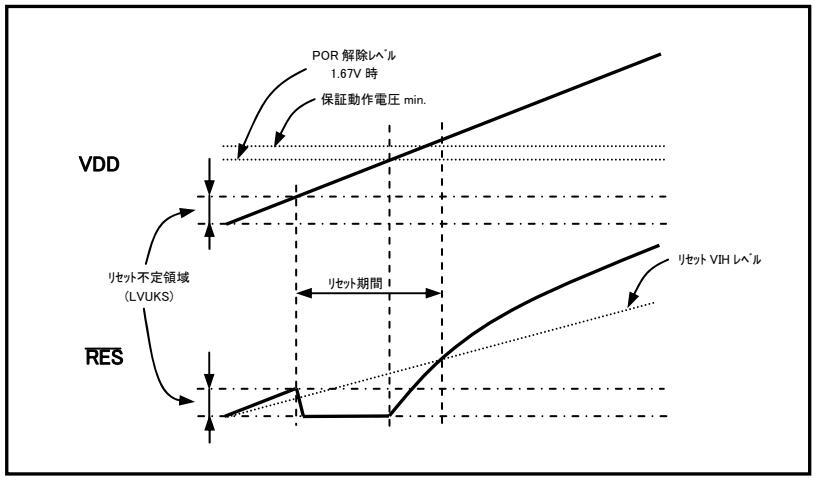


図４－６－３ 内蔵PORのみの解除レベル波形例

③数百μsより短い(速い)電源瞬停・電源変動が想定される時

内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知してからリセット信号を発生させるまでの応答時間があり、図4－6－4のような低電圧最小検知幅TLVDWが規定されています。(半導体ニューズを参照)このため、電源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図4－6－5のような対策例やその他の対策を必ず行ってください。

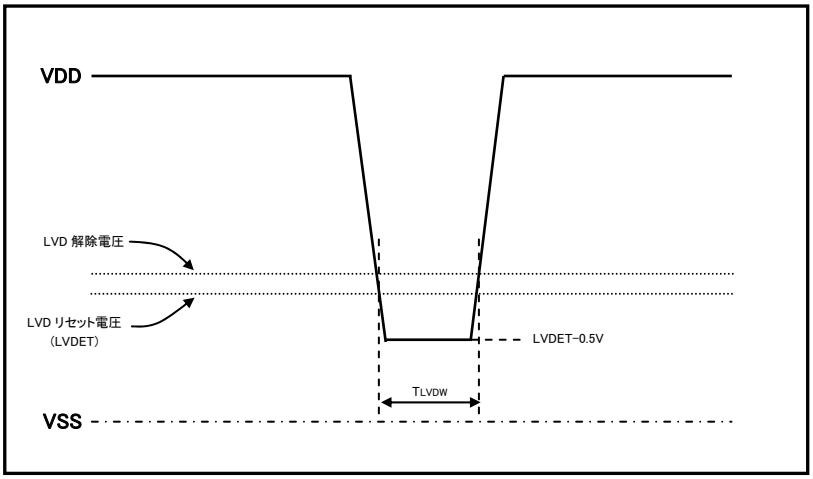


図4－6－4 電源瞬停・電源変動波形例

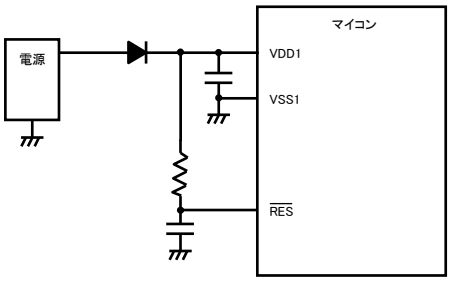


図4－6－5 電源瞬停・電源変動対策例

4-6-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量CRES放電用Nchトランジスタがｏｎします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル（1.67V）を選択してください。下図にリセットICのNchオープンドレインタイプとCMOSタイプ使用時のリセット回路構成例を示します。

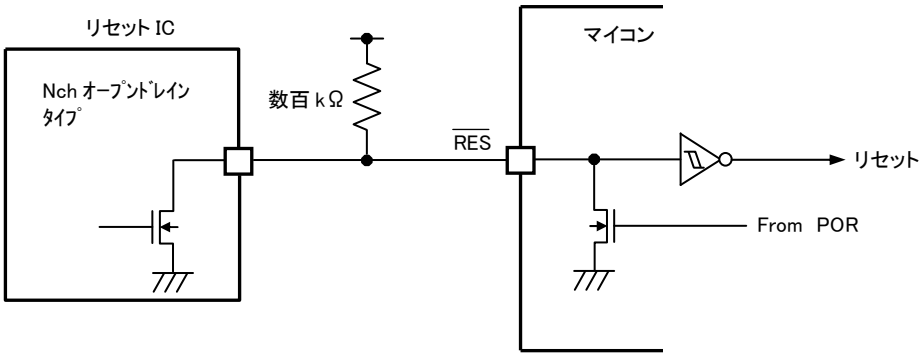


図４－６－６ Nchオープンドレインタイプ使用時のリセット回路構成例

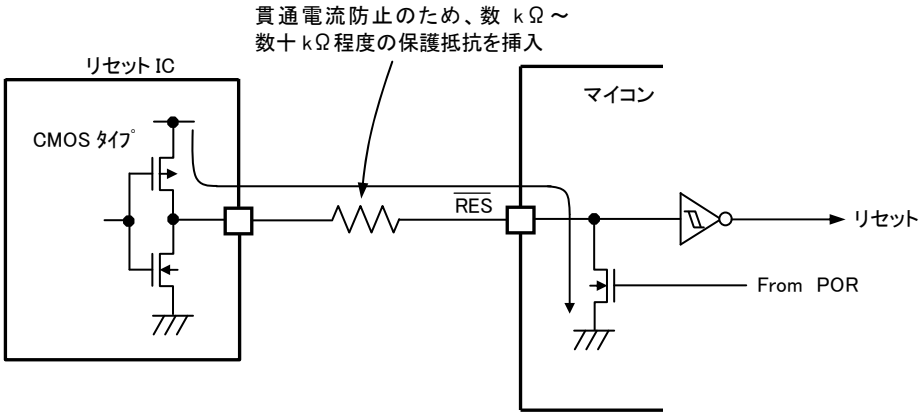


図４－６－７ CMOSタイプ使用時のリセット回路構成例

②内 蔵リセット回 路 を使 用 せず外 付 けにPOR回 路 を構 成 する時

4－6－7－①項と同 様 に内 蔵リセット回 路 を使 用 しない場 合 でも電 源 投 入 時 に内 蔵 PORが動 作 します。しかし、内 蔵 PORより長 いリセット期 間 を設 けたいために外 部 にもPOR回 路 を構 成 し、容 量 CRESを0．1μF以 上 にする場 合 には、必 ず図 4－6－8のようにダイオードDRESも外 付 けしてください。

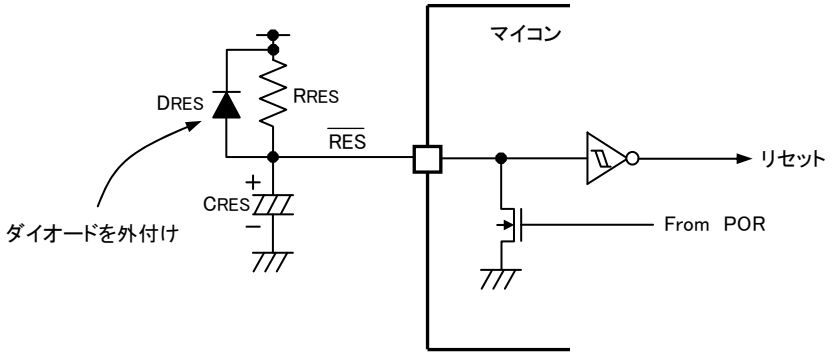


図 4－6－8　外 部 PORのリセット回 路 構 成 例

APPENDIX

APPENDIX・目次

APPENDIX－Ⅰ

・スペシャルファンクションレジスタ（ＳＦＲ）マップ

APPENDIX－Ⅱ

・ポート0ブロック図

・ポート1ブロック図

・外 部 割り込 みブロック図

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0～007F	XXXX XXXX	R/W	RAM128B	9ﾋﾞｯﾄ構成									
FE00	0000 0000	R/W	AREG		-	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		-	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		-	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05													
FE06	0000 0000	R/W	PSW		-	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY
FE07	HHHH HH00	R/W	PCON		-	-	-	-	-	-	-	PDN	IDLE
FE08	0000 HH00	R/W	IE		-	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		-	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		-	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		-	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP
FE0C	HHHH H000	R/W	CLKDIV		-	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0D													
FE0E	0HH0 HH0H	R/W	OCR		-	CLKSGL	-	-	CLKCB4	-	-	RCSTOP	-
FE0F													
FE10	0000 0000	R/W	T0CNT		-	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	T0PRR	ﾌﾟﾘｽｹｰﾗは 8ﾋﾞｯﾄ(max.256Tcyc)	-	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
FE12	0000 0000	R	T0L		-	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H		-	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR		-	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR		-	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	ﾀｲﾏ 0 ｷｬﾌﾟﾁｬﾚｼﾞｽﾀ L	-	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	ﾀｲﾏ 0 ｷｬﾌﾟﾁｬﾚｼﾞｽﾀ H	-	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0
FE18	0000 0000	R/W	T1CNT		-	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR		-	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0
FE1A	0000 0000	R	T1L		-	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H		-	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR		-	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR		-	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1E													
FE1F													
FE20													
FE21													
FE22													
FE23													
FE24													
FE25													
FE26													
FE27													
FE28													
FE29													
FE2A													
FE2B													
FE2C													
FE2D													
FE2E													
FE2F													
FE30													
FE31													
FE32													
FE33													
FE34	0000 0000	R/W	SCON1		-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	9bit REG	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1		-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10
FE37													
FE38													
FE39													
FE3A													
FE3B													
FE3C													
FE3D													

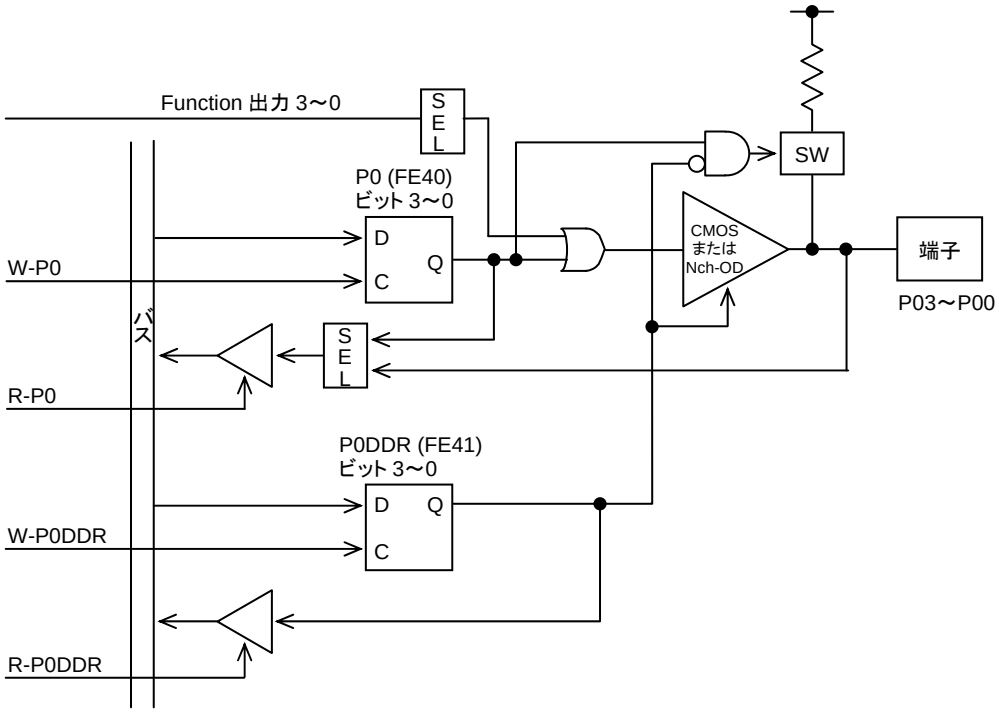
ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E													
FE3F													
FE40	HHHH 0000	R/W	P0		-	-	-	-	-	P03	P02	P01	P00
FE41	HHHH 0000	R/W	P0DDR		-	-	-	-	-	P03DDR	P02DDR	P01DDR	P00DDR
FE42	HHHH 0000	R/W	P0FCR		-	-	-	-	-	CLKOEN	CKODV2	CKODV1	CKODV0
FE43													
FE44	0000 0000	R/W	P1		-	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR		-	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR		-	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	00HH HHH0	R/W	P1TST		-	FIX0	FIX0	-	-	-	-	-	FIX0
FE48													
FE49													
FE4A													
FE4B													
FE4C													
FE4D													
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCRC	10bit-AD 制御	-	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE
FE59	0000 0000	R/W	ADMRC	10bit-AD ﾓｰﾄﾞ	-	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	10bit-AD 変換結果 L	-	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	10bit-AD 変換結果 H	-	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C													
FE5D	0000 0000	R/W	I01CR		-	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR		-	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	00000 0000	R/W	ISL		BUZDIV	STOHCP	STOLCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN
FE60													
FE61													
FE62													
FE63													
FE64													
FE65													
FE66													
FE67													
FE68													
FE69													
FE6A													
FE6B													
FE6C													
FE6D													
FE6E													
FE6F													
FE70													
FE71													
FE72													
FE73													
FE74													
FE75													
FE76													
FE77													
FE78													
FE79	0000 0000	R/W	WDTCNT		-	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0
FE7A													
FE7B													
FE7C	H0HH HHHH	R/W	OCR3		-	-	FRCSTART	-	-	-	-	-	-

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D													
FE7E	0000 0000	R/W	FSR0	FLASH 制御 (bit4 は R/0)	-	FSR0B7 Fix to 0	FSR0B6 Fix to 0	FSAERR	FSWOK	INTHIGH	FSLDAT	FSPGL	FSWREQ
FE7F	0000 0000	R/W	BTCR	ﾍﾞｰｽﾀｲﾏ制御	-	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE80													
FE81													
FE82													
FE83													
FE84													
FE85													
FE86													
FE87													
FE88													
FE89													
FE8A													
FE8B													
FE8C													
FE8D													
FE8E													
FE8F													
FE90	0000 0000	R/W	MP2CR		-	M2PWMEN	M2PWMMD	M2OPL	M2OPLB	M2AAEN	M2CKD2	M2CKD1	M2CKD0
FE91	0000 0000	R/W	MP2ICR		-	M2CRSL	M2CREN	M2ERSL	M2EREN	M2HPDRQ	M2HPDEN	M2PDRQ	M2PDEN
FE92	H000 H000	R/W	MP2OMD0		-	-	M2OMD12	M2OMD11	M2OMD10	-	M2OMD02	M2OMD01	M2OMD00
FE93													
FE94	0000 0000	R/W	MP2PDL		-	M2PD7	M2PD6	M2PD5	M2PD4	M2PD3	M2PD2	M2PD1	M2PD0
FE95	HHHH HH00	R/W	MP2PDH		-	-	-	-	-	-	-	M2PD9	M2PD8
FE96	0000 0000	R/W	MP2MTL		-	M2MT7	M2MT6	M2MT5	M2MT4	M2MT3	M2MT2	M2MT1	M2MT0
FE97	HHHH HH00	R/W	MP2MTH		-	-	-	-	-	-	-	M2MT9	M2MT8
FE98													
FE99													
FE9A													
FE9B													

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C	H000 0000	R/W	MP2DT		-	-	M2DT6	M2DT5	M2DT4	M2DT3	M2DT2	M2DT1	M2DT0
FE9D	0HHH 0000	R/W	MP2CR2		-	M2CKSL	-	-	-	M2OTE1B	M2OTE1	M2OTE0B	M2OTE0
FE9E													
FE9F													
FEA0	0H0H 0000	R/W	CPAPCR1		-	CPAP1EN	-	CP1OUTEN	-	CMP1OUT	CMP1EG	CMP1IF	CMP1IE
FEA1	0H0H 0000	R/W	CPAPCR2		-	CPAP2EN	-	CP2OUTEN	-	CMP2OUT	CMP2EG	CMP2IF	CMP2IE
FEA2	0HH0 0000	R/W	CP1VR		-	CPVREF2	-	-	CP1VREN	CP1VRSL3	CP1VRSL2	CP1VRSL1	CP1VRSL0
FEA3	HHH0 0000	R/W	CP2VR		-	-	-	-	CP2VREN	CP2VRSL3	CP2VRSL2	CP2VRSL1	CP2VRSL0
FEA4													
FEA5													
FEA6													
FEA7													
FEA8													
FEA9													
FEAA													
FEAB													
FEAC													
FEAD													
FEAE													
FEAF													
FEB0													
FEB1													
FEB2													
FEB3													
FEB4													
FEB5													
FEB6													
FEB7													
FEB8													
FEB9													
FEBA													
FEBB													

ｱﾄﾞﾚｽ	初期値	R/W	LC870N00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBC													
FEBD													
FEBE													
FEBF													
FEC0													
FEC1													
FEC2													
FEC3													
FEC4													
FEC5													
FEC6													
FEC7													
FEC8													
FEC9													
FECA													
FECB													
FECC													
FECD													
FECE													
FECF													
FED0													
FED1													
FED2													
FED3													
FED4													
FED5													
FED6													
FED7													
FED8													
FED9													
FEDA													
FEDB													

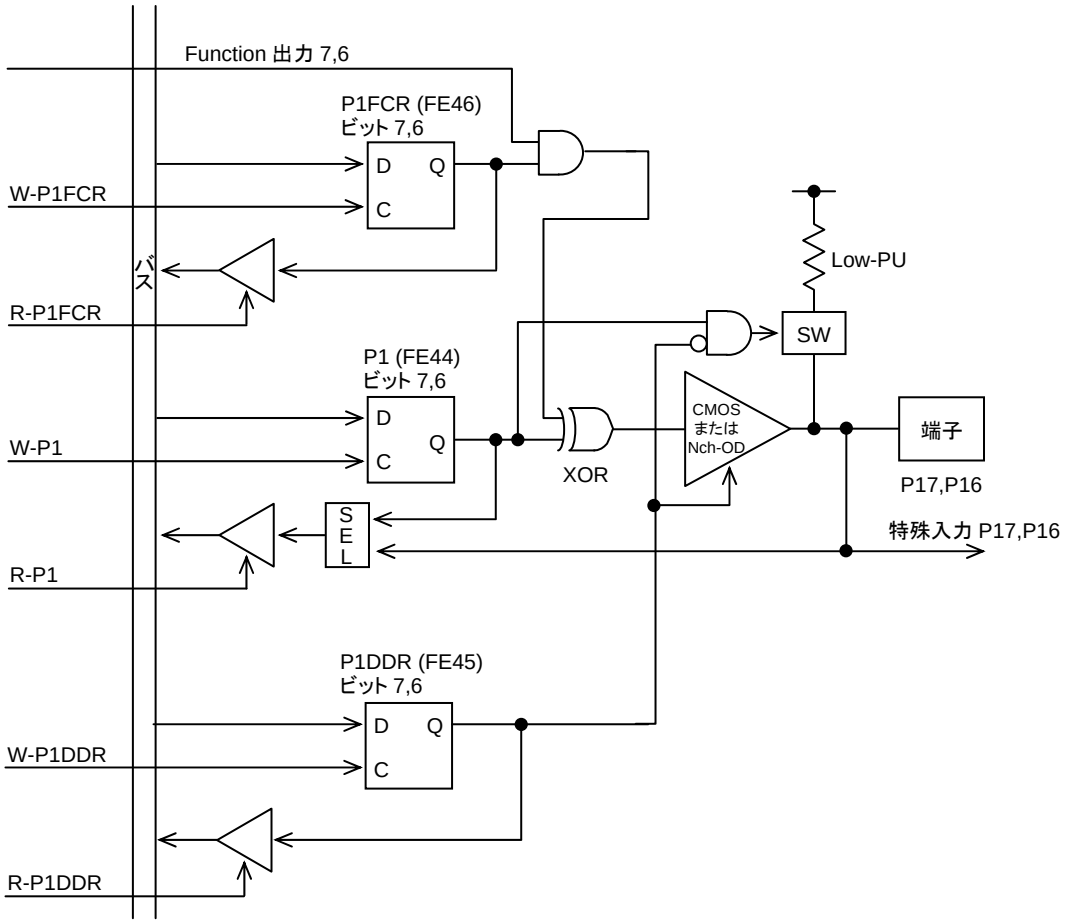


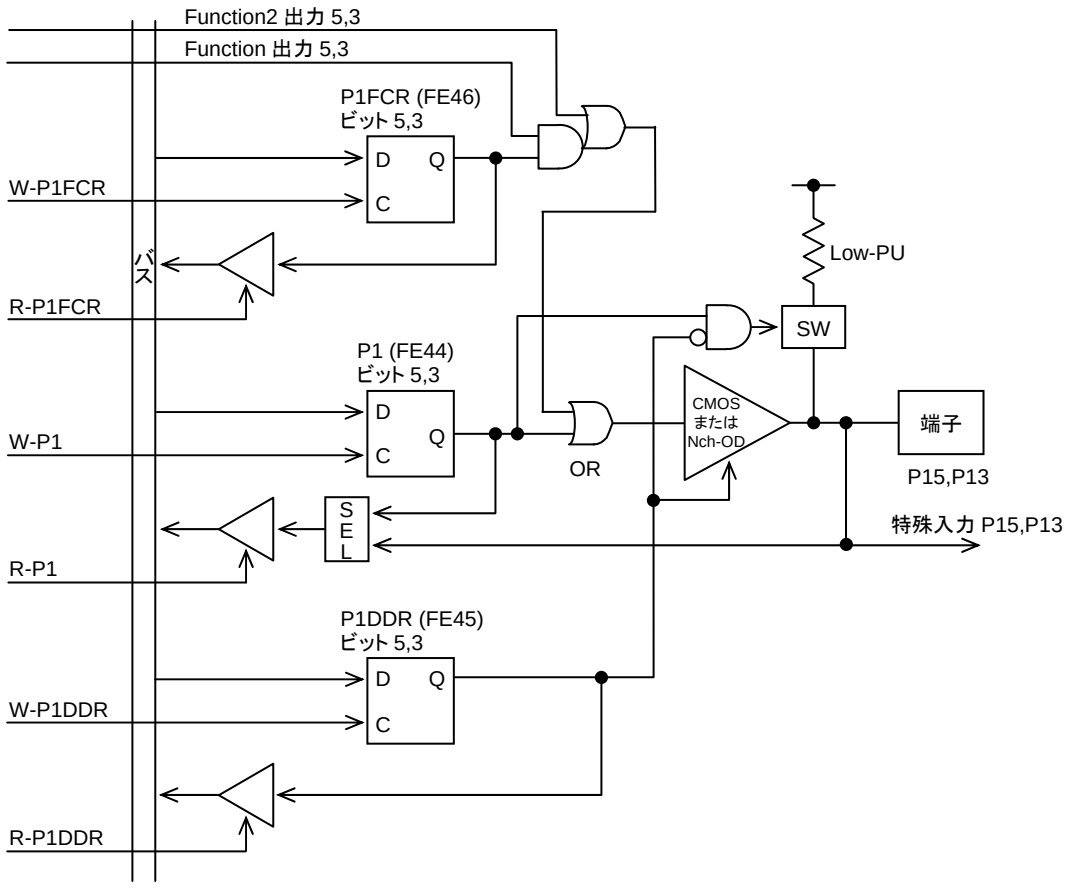
ポート	Function 出力
P03	MP2OT1#出力
P02	MP2OT1 出力／システムクロック出力
P01	MP2OT0#出力
P00	MP2OT0 出力

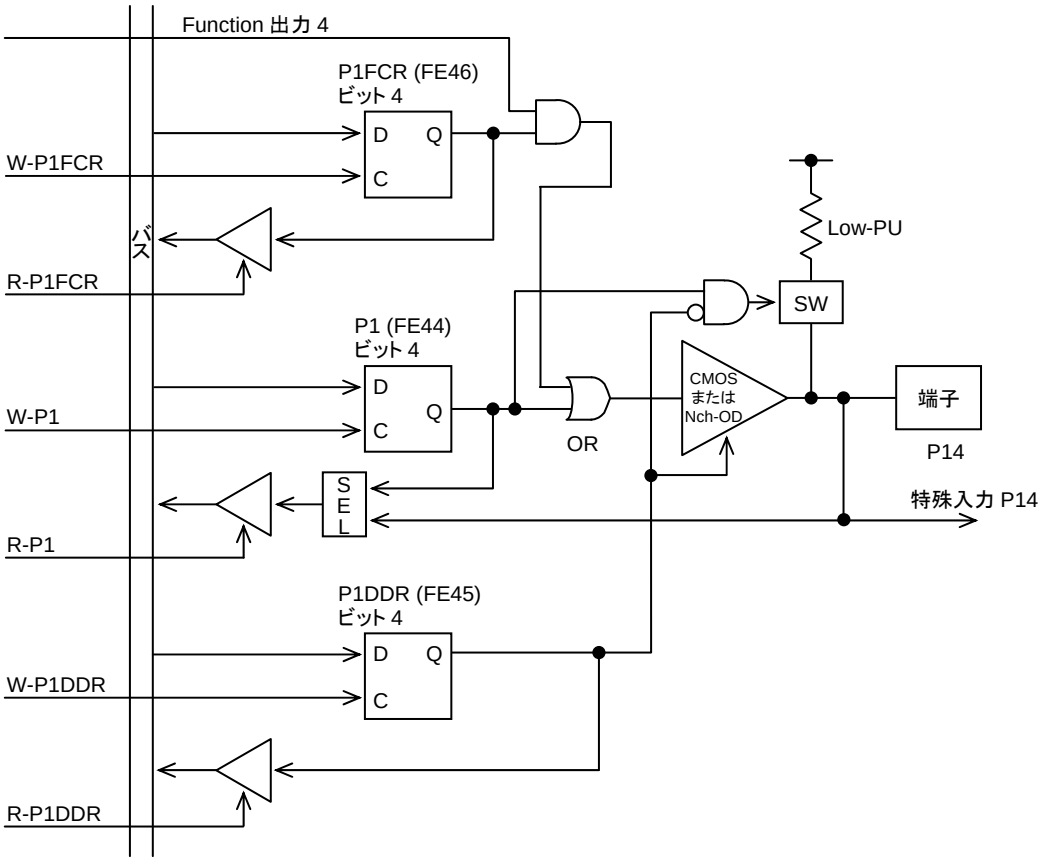
ポート0　ブロック図

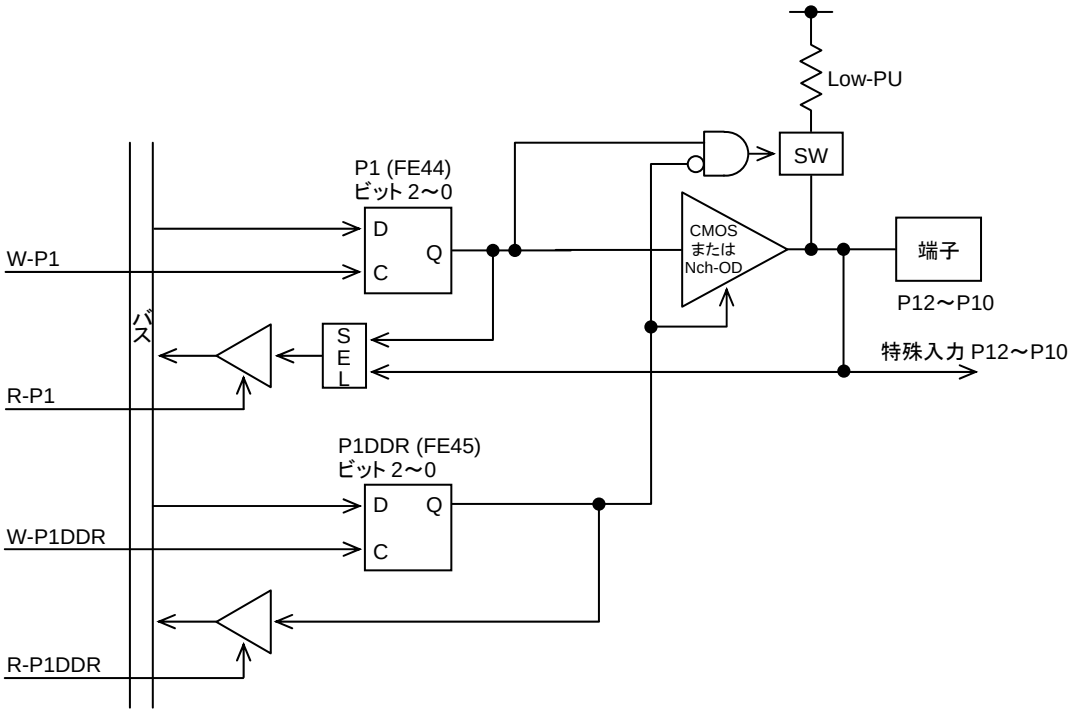
オプション：出力形式（CMOSまたはNch－OD）をビット毎に選択可能

ポートブロック図


Function 出力 7,6
P1FCR (FE46)
ビット 7,6
D
Q
C
W-P1FCR
バス
R-P1FCR
Low-PU
SW
P1 (FE44)
ビット 7,6
W-P1
XOR
CMOS
または
Nch-OD
端子
P17,P16
S
E
L
特殊入力 P17,P16
R-P1
P1DDR (FE45)
ビット 7,6
W-P1DDR
R-P1DDR


Function2 出力 5,3
Function 出力 5,3
P1FCR (FE46)
ビット 5,3
D
Q
C
W-P1FCR
バス
R-P1FCR
Low-PU
SW
P1 (FE44)
ビット 5,3
W-P1
OR
CMOS
または
Nch-OD
端子
P15,P13
S
E
L
特殊入力 P15,P13
R-P1
P1DDR (FE45)
ビット 5,3
W-P1DDR
R-P1DDR



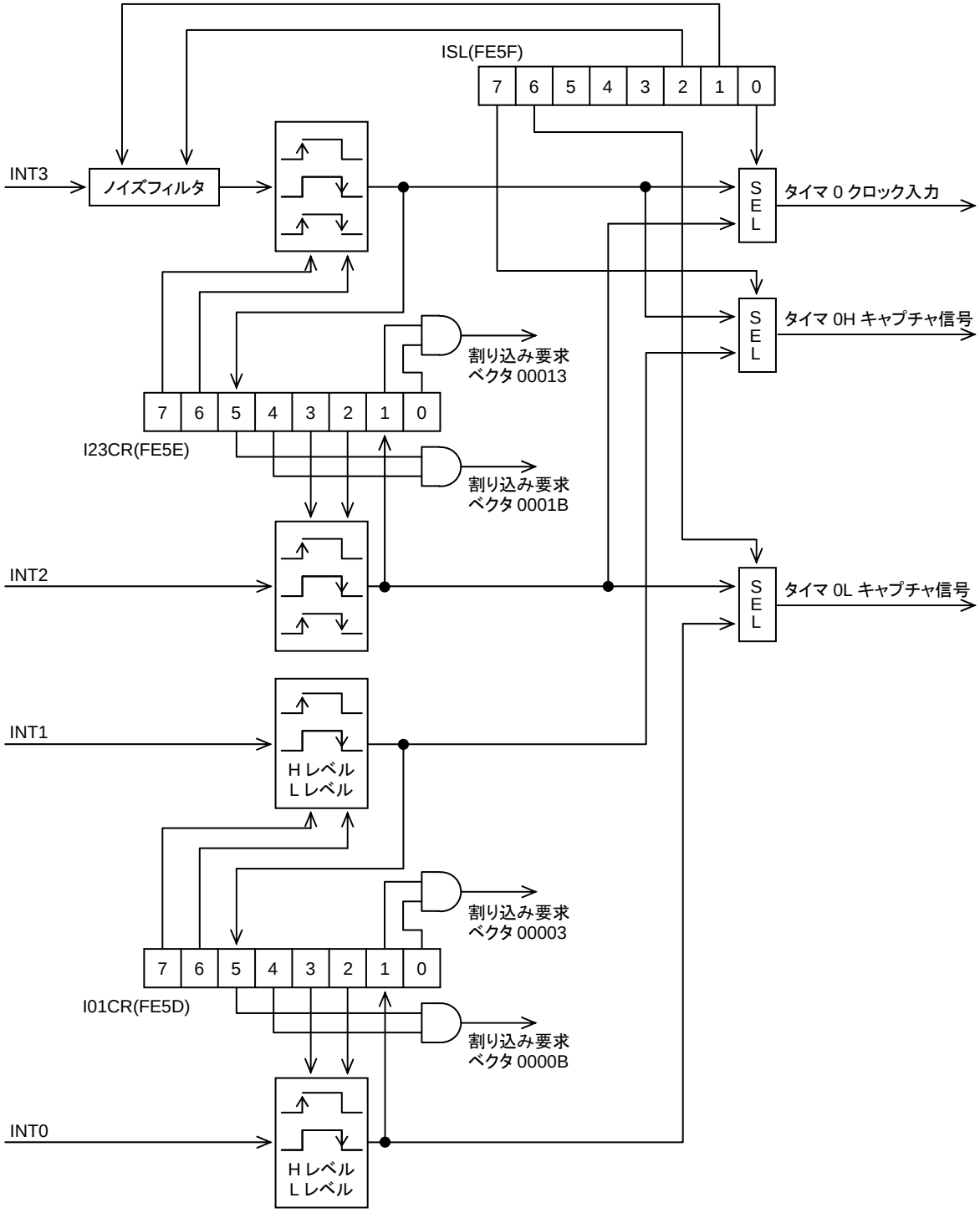


ポート	特殊入力	Function 出力	Function2 出力
P17	AD 入力(AN5)／CMP2IA(-)入力	タイマ 1HPWM／ブザー出力	-
P16	AD 入力(AN4)／CMP2IB(+)入力	タイマ 1LPWM 出力	-
P15	INT1／T0HCP／SIO1 クロック入力	SIO1 クロック出力	CMP2O
P14	INT0／T0LCP／SIO1 データ入力	SIO1 データ出力	-
P13	AD 入力(AN3)	SIO1 データ出力	CMP1O
P12	AD 入力(AN2)／CMP1IA(-)入力	-	-
P11	INT3／T0IN／T0HCP／AD 入力(AN1)／CMP1IB(+)入力	-	-
P10	INT2／T0IN／T0LCP／AD 入力(AN0)	-	-

ポート1　ブロック図

オプション：出力形式（ＣＭＯＳまたはＮｃｈ－ＯＤ）をビット毎に選択可能

ポートブロック図



外 部 割 り込 み　ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく，且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC870N00 シリーズ　ユーザーズマニュアル
Rev ： 1.00　　2012.2.16 版
オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット