

CMOS 8-BIT MICROCONTROLLER

LC872600 シリーズ ユーザーズマニュアル

REV : 1.00



ON Semiconductor®

<http://onsemi.jp>

オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目 次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-6
1-4	システムブロック図	1-7
1-5	端子機能表	1-8
1-6	ポート出力形態	1-9
1-7	未使用端子の推奨処理	1-9
1-8	ユーザーオプション一覧表	1-9

第2章 内部システム構成

2-1	メモリ空間	2-1
2-2	プログラムカウンタ (PC)	2-1
2-3	プログラムメモリ (ROM)	2-2
2-4	内部データメモリ (RAM)	2-2
2-5	アキュムレータ/Aレジスタ (ACC/A)	2-3
2-6	Bレジスタ (B)	2-3
2-7	Cレジスタ (C)	2-4
2-8	プログラムステータスワード (PSW)	2-4
2-9	スタックポインタ (SP)	2-5
2-10	間接アドレスレジスタ	2-5
2-11	アドレッシング・モード	2-6
2-11-1	イミディエイト・アドレッシング (#)	2-6
2-11-2	間接レジスタ・インダイレクト・アドレッシング ([Rn])	2-7
2-11-3	間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])	2-7
2-11-4	間接レジスタ (R0) +オフセット値・インダイレクト・アドレッシング ([offset])	2-8
2-11-5	ダイレクト・アドレッシング (dst)	2-8
2-11-6	ROMテーブル参照・アドレッシング	2-9
2-11-7	外部データ・メモリ・アドレッシング	2-9

第3章 周辺システム構成

3-1	ポート1	3-1
3-1-1	概要	3-1
3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	オプション	3-6
3-1-5	HALT, HOLD時の動作	3-6
3-2	ポート3	3-7

目 次

3-2-1	概要	3-7
3-2-2	機能	3-7
3-2-3	関連レジスタ	3-9
3-2-4	オプション	3-12
3-2-5	HALT, HOLD時の動作	3-12
3-3	タイマカウンタ0 (T0)	3-13
3-3-1	概要	3-13
3-3-2	機能	3-13
3-3-3	回路構成	3-15
3-3-4	関連レジスタ	3-19
3-4	タイマカウンタ1 (T1)	3-22
3-4-1	概要	3-22
3-4-2	機能	3-22
3-4-3	回路構成	3-23
3-4-4	関連レジスタ	3-26
3-5	シリアルインタフェース7 (SIO7)	3-29
3-5-1	概要	3-29
3-5-2	機能	3-29
3-5-3	回路構成	3-29
3-5-4	関連レジスタ	3-31
3-5-5	SIO7通信の具体例	3-32
3-5-6	SIO7のHALTモード時の動作	3-33
3-6	高速12ビットPWM (HPWM)	3-34
3-6-1	概要	3-34
3-6-2	機能	3-34
3-6-3	回路構成	3-35
3-6-4	関連レジスタ	3-39
3-7	高速パルス幅／周期測定カウンタ1 (HCT1)	3-43
3-7-1	概要	3-43
3-7-2	機能	3-43
3-7-3	回路構成	3-44
3-7-4	関連レジスタ	3-46
3-8	高速パルス幅／周期測定カウンタ2 (HCT2)	3-48
3-8-1	概要	3-48
3-8-2	機能	3-48
3-8-3	回路構成	3-49
3-8-4	関連レジスタ	3-53
3-9	ADコンバータ (ADC12)	3-57
3-9-1	概要	3-57
3-9-2	機能	3-57

目 次

3-9-3	回路構成	3-58
3-9-4	関連レジスタ	3-58
3-9-5	ADC動作の具体例	3-62
3-9-6	ADC使用上の留意点	3-63
3-10	アナログコンパレータ (ACMP)	3-65
3-10-1	概要	3-65
3-10-2	機能	3-65
3-10-3	回路構成	3-65
3-10-4	関連レジスタ	3-66

第4章 制御機能

4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	回路構成	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-5
4-2-1	概要	4-5
4-2-2	機能	4-5
4-2-3	回路構成	4-6
4-2-4	関連レジスタ	4-7
4-3	スタンバイ機能	4-10
4-3-1	概要	4-10
4-3-2	機能	4-10
4-3-3	関連レジスタ	4-10
4-4	リセット機能	4-13
4-4-1	概要	4-13
4-4-2	機能	4-13
4-4-3	リセット時の状態	4-14
4-5	内蔵リセット機能	4-15
4-5-1	概要	4-15
4-5-2	機能	4-15
4-5-3	回路構成	4-15
4-5-4	オプション	4-16
4-5-5	内蔵リセット回路の動作波形例	4-18
4-5-6	内蔵リセット回路使用上の留意点	4-19
4-5-7	内蔵リセット回路未使用上の留意点	4-20
4-6	ウォッチドッグタイマ (WDT)	4-22
4-6-1	概要	4-22
4-6-2	機能	4-22

目 次

4-6-3	回路構成	4-22
4-6-4	関連レジスタ	4-24
4-6-5	ウォッチドッグタイマ使用上の注意点	4-26
A P P E N D I X		
A-I	87レジスタマップ	A I -(1-4)
A-II	ポートブロック図	A II -(1-4)
改訂履歴		R-1

1 概説

1-1 概要

LC872600シリーズは、最小バスサイクル100nsで動作するCPU部を中心にして、8KバイトのフラッシュROM(オンボード書き換え可能), 512バイトRAM, オンチップデバッグ機能, 16ビットタイマ/カウンタ(8ビットタイマに分割可)×2, 同期式SIO, 高速12ビットPWM, 高速パルス幅/周期測定カウンタ×2, 12/8ビット分解能切り替え機能付き3チャンネルADコンバータ, アナログコンパレータ, ウォッチドッグタイマ, 内蔵リセット回路, システムクロック分周機能, 16要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

1-2 特徴

■ROM

LC872600シリーズ

LC87F2608A : 8192×8ビット(フラッシュROM)

- ・電源電圧3.0～5.5Vの幅広いオンボード書き込みが可能
- ・128バイト単位でのブロック消去可能

■RAM

LC872600シリーズ

LC87F2608A : 512×9ビット

■最小バスサイクルタイム

- ・100ns(10MHz)

(注)バスサイクルタイムはROMの読み出し速度を表します。

■最小命令サイクルタイム(Tcyc)

- ・300ns(10MHz)

■ポート

- ・ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 7(P10～P12, P30～P33)
- ・リセット端子 1(RES#)
- ・電源端子 2(VSS1, VDD1)

■タイマ

- ・タイマ0: キャプチャレジスタ付きの16ビットタイマ／カウンタ
 - モード0: 8ビットプログラマブルプリスケアラ付き8ビットタイマ(8ビットキャプチャレジスタ付き)×2チャンネル
 - モード1: 8ビットプログラマブルプリスケアラ付き8ビットタイマ(8ビットキャプチャレジスタ付き)+8ビットカウンタ(8ビットキャプチャレジスタ付き)
 - モード2: 8ビットプログラマブルプリスケアラ付き16ビットタイマ(16ビットキャプチャレジスタ付き)
 - モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付き)
- ・タイマ1: 16ビットタイマ／カウンタ
 - モード0: 8ビットプリスケアラ付き8ビットタイマ+8ビットプリスケアラ付き8ビットタイマ／カウンタ
 - モード2: 8ビットプリスケアラ付き16ビットタイマ／カウンタ

■シリアルインタフェース

- ・SIO7: 8ビット同期式シリアルインタフェース
 - ① LSB先頭／MSB先頭切り替え可能
 - ② 8ビットボーレートジェネレータ内蔵(最大転送クロック周期 $\frac{4}{3}T_{cyc}$)

■高速12ビットPWM

- ・システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
- ・DUTY／周期をプログラマブルに可変可能
- ・PWM連続出力／PWM設定数出力(自動停止)を選択可能

■高速パルス幅／周期測定カウンタ

- ・HCT1: 高速パルス幅／周期測定カウンタ1
 - ① システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
 - ② Hレベル幅／Lレベル幅／周期の測定を選択可能
 - ③ 入力トリガ用ノイズフィルタ機能
- ・HCT2: 高速パルス幅／周期測定カウンタ2
 - ① システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
 - ② Lレベル幅と周期を一度に測定可能
 - ③ 入力トリガ用ノイズフィルタ機能
 - ④ 入力トリガ切り替え可能(P11／HCT2IN, P31／HCT2IN, アナログコンパレータ出力の3種類から選択)

■ADコンバータ:12ビット×3チャンネル

- ・12／8ビットADコンバータ分解能切り替え機能

■アナログコンパレータ

- ・P32／CMPOポートへの出力機能（出力極性切り替え可能）
- ・エッジ検出機能（INTCと共用でノイズフィルタ機能も選択可能）

■ウォッチドッグタイマ

- ・WDT専用低速RC発振クロック（30kHz）により動作するタイマのオーバーフローで内部リセット発生可能
- ・HALT／HOLDモード突入による動作継続／停止／保持を選択可能

■割り込み:16要因, 10ベクタ

- ① 割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ② 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INTA
2	0000BH	XまたはL	INTB
3	00013H	HまたはL	INTC／T0L／INTE
4	0001BH	HまたはL	INTD／INTF
5	00023H	HまたはL	T0H／SIO7
6	0002BH	HまたはL	T1L／T1H
7	00033H	HまたはL	HCT1
8	0003BH	HまたはL	HCT2
9	00043H	HまたはL	ADC／HPWM自動停止／HPWM周期
10	0004BH	HまたはL	なし

- ・優先レベル X＞H＞L
- ・同一レベルではベクタアドレスの小さいものの優先

■サブルーチンスタックレベル:最大256レベル(スタックはRAMの中に設定)

■高速乗除算命令

- ・16ビット× 8ビット(実行時間 5T_{cyc})
- ・24ビット×16ビット(実行時間 12T_{cyc})
- ・16ビット÷ 8ビット(実行時間 8T_{cyc})
- ・24ビット÷16ビット(実行時間 12T_{cyc})

■発振回路

- ・中速RC発振回路(内蔵) :システムクロック用 (1MHz)
 - ・低速RC発振回路(内蔵) :ウォッチドッグタイマ専用 (30kHz)
 - ・高速RC発振回路(内蔵) :システムクロック用 (20MHzまたは40MHz)
- ① 高速RC発振回路の源発振周波数を2種類(20MHz, 40MHz)オプションにて切り替え可能

■システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルタイムで300ns, 600ns, 1.2 μ s, 2.4 μ s, 4.8 μ s, 9.6 μ s, 19.2 μ s, 38.4 μ s, 76.8 μ sの選択可能
(システムクロックに高速RC発振を選択時)

■内蔵リセット回路

- ・パワーオンリセット(POR)機能

- ① PORは電源投入時のみリセットが掛かります。
- ② PORの解除レベルを3レベル(2.87V, 3.86V, 4.35V)オプションにて切り替え可能

- ・低電圧検知リセット(LVD)機能

- ① LVDはPORとの併用により、電源投入時と電源低下時ともにリセットが掛かります。
- ② LVD機能を使用する／使用しないと低電圧検知レベルを3レベル(2.81V, 3.79V, 4.28V)オプションにて切り替え可能

■スタンバイ機能

- ・HALTモード: 命令実行停止, 周辺回路動作継続

- ① 発振の停止は自動的には行いません。
- ② HALTモードを解除するには、次の3つの方法があります。
 - (1) リセット端子に「L」レベルを入力する。
 - (2) ウォッチドッグタイマまたは低電圧検知によるリセット発生。
 - (3) 割り込みの発生。

- ・HOLDモード: 命令実行停止, 周辺回路動作停止

- ① 中速RC発振, 高速RC発振のいずれも自動的に停止します。
- ② HOLDモードを解除するには、次の4つの方法があります。
 - (1) リセット端子に「L」レベルを入力する。
 - (2) ウォッチドッグタイマまたは低電圧検知によるリセット発生。
 - (3) INTA, INTB, INTC, INTD, INTE, INTFの少なくとも1つの端子に指定されたレベルを入力する。
(INTA, INTBはレベル検出設定に限る)
 - (4) アナログコンパレータの出力が指定されたレベルとなるようにIN+／IN-端子へ信号を入力する。
(アナログコンパレータの出力をINTC入力に選択した場合)

■オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能(3種類から選択)

- ① LC87D2708A: LC87F2608Aの全端子機能を使用可能
 - ② LC87F2708A: LC87F2608Aの全端子機能を使用可能／デバッグ機能は限定される。
 - ③ LC87F2608A: オンチップデバッグ使用時のデバッグ端子機能は使用不可／デバッグ機能は限定される。
- ・オンチップデバッグ端子は2チャンネル装備(LC87F2608A)

■データセキュリティ機能

- ・フラッシュメモリに書き込まれているプログラムデータの不正読み出しやコピーを防止
(注)データセキュリティ機能には絶対的なセキュリティはありません。

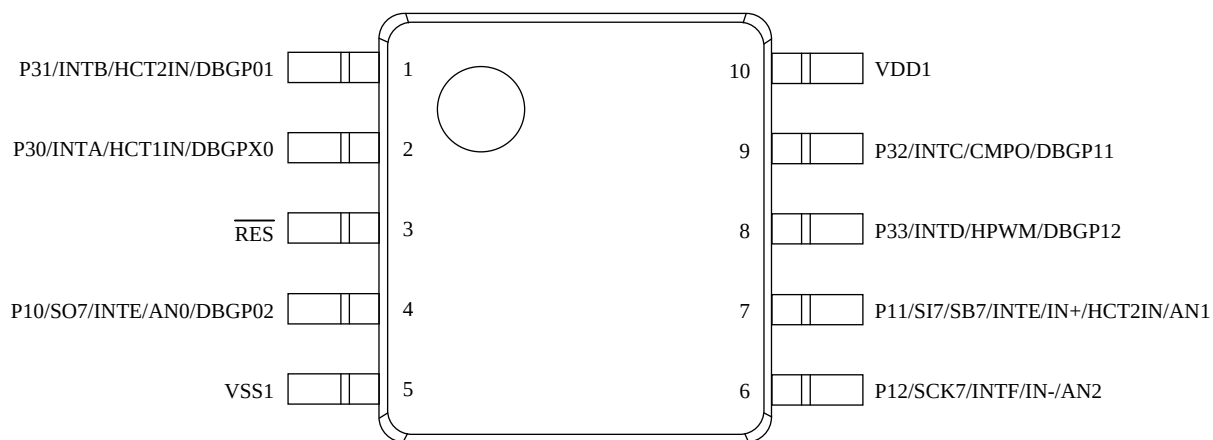
■出荷形態

- ・MFP10S 『鉛・ハロゲンフリー仕様品』
- ・MFP14S(デバッグ専用) 『鉛フリー仕様品』

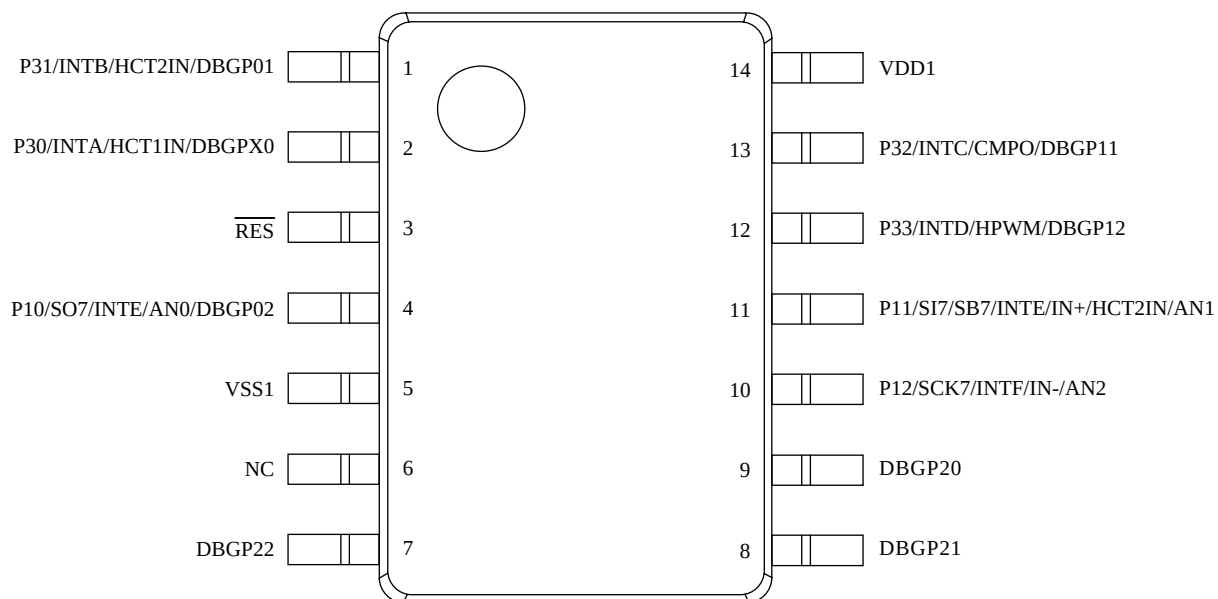
■開発ツール

- ・オンチップデバッガ:
 - (1) TCB87-TypeB+LC87D2708AまたはLC87F2708A
 - (2) TCB87-TypeB+LC87F2608A
 - (3) TCB87-TypeC(3線式ケーブル)+LC87D2708AまたはLC87F2708A
 - (4) TCB87-TypeC(3線式ケーブル)+LC87F2608A

1-3 ピン配置図

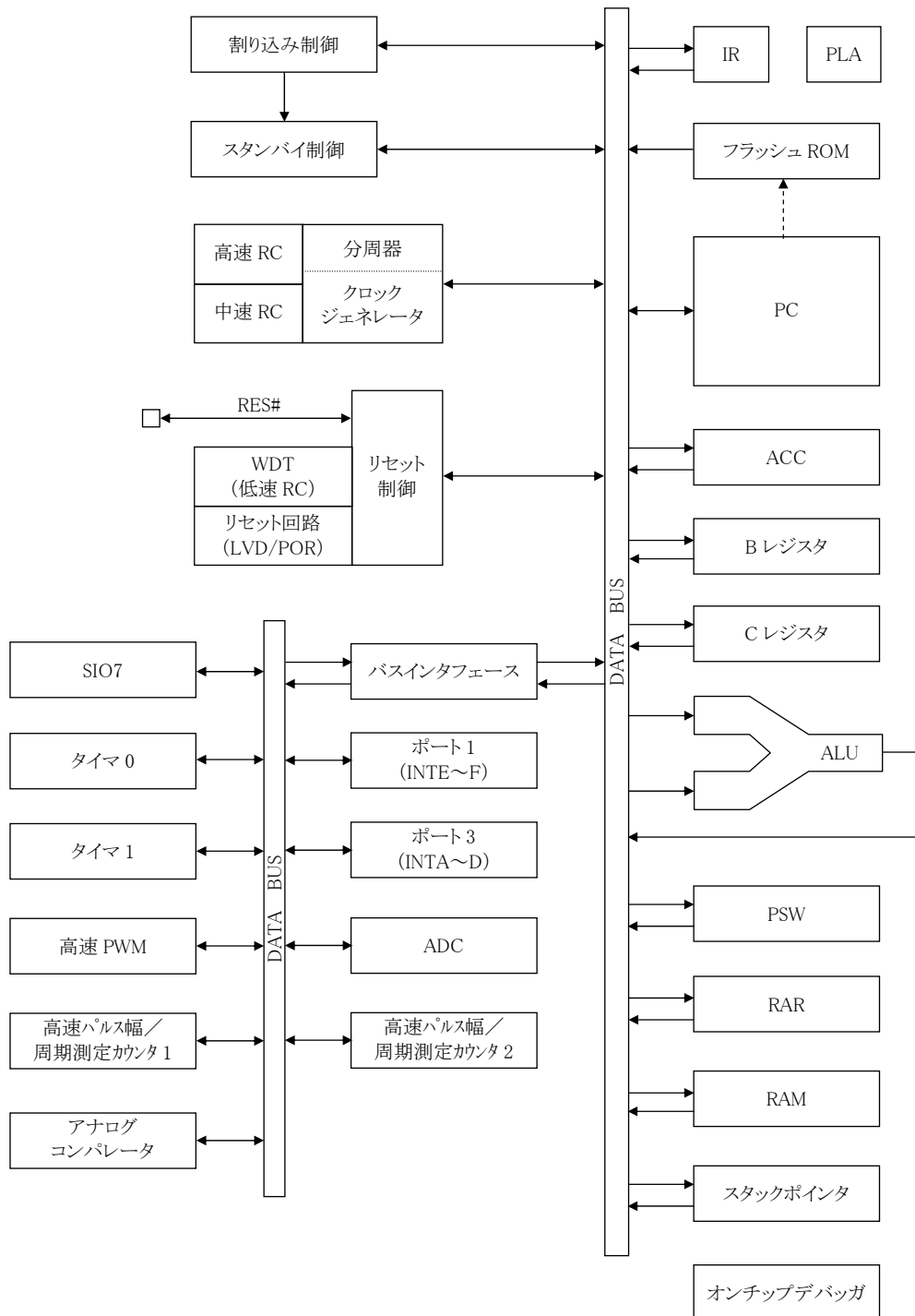


SANYO : MFP10S 『鉛・ハロゲンフリー仕様品』



SANYO : MFP14S (デバッグ専用) 『鉛フリー仕様品』

1-4 システムブロック図



1-5 端子機能表

端子名	入出力	機能説明	オプション																														
VSS1	－	電源の－端子	なし																														
VDD1	－	電源の＋端子	なし																														
ポート1	入出力	・3ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗ON／OFF可能 ・兼用機能 P10: SIO7データ出力 ／INTE入力／HOLD解除入力／タイマ1イベント入力 ／タイマ0Lキャプチャ入力／タイマ0Hキャプチャ入力 P11: SIO7データ入力／バス入出力 ／高速パルス幅・周期測定カウンタ2入力 ／INTE入力／HOLD解除入力／タイマ1イベント入力 ／タイマ0Lキャプチャ入力／タイマ0Hキャプチャ入力 P12: SIO7クロック入出力 ／INTF入力／HOLD解除入力／タイマ1イベント入力 ／タイマ0Lキャプチャ入力／タイマ0Hキャプチャ入力 AD変換入力ポート: AN0～AN2 アナログコンパレータ入力ポート: IN+, IN－ オンチップデバッグ用端子1: DBGP02 ・インタラプト受付入力	あり																														
P10～P12																																	
		<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり & 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INTE</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INTF</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル	INTE	○	○	○	×	×	INTF	○	○	○	×	×													
	立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル																												
INTE	○	○	○	×	×																												
INTF	○	○	○	×	×																												
ポート3	入出力	・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗ON／OFF可能 ・兼用機能 P30: INTA入力／HOLD解除入力／タイマ0Lキャプチャ入力 ／高速パルス幅・周期測定カウンタ1入力 P31: INTB入力／HOLD解除入力／タイマ0Hキャプチャ入力 ／高速パルス幅・周期測定カウンタ2入力 P32: INTC入力／HOLD解除入力／タイマ0イベント入力 ／タイマ0Lキャプチャ入力／アナログコンパレータ出力 P33: INTD入力／HOLD解除入力／タイマ0イベント入力 ／タイマ0Hキャプチャ入力／高速PWM出力 オンチップデバッグ用端子1: DBGPX0～DBGP01 オンチップデバッグ用端子2: DBGPX0～DBGP12 ・インタラプト受付形式	あり																														
P30～P33																																	
		<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり & 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INTA</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INTB</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INTC</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INTD</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル	INTA	○	○	×	○	○	INTB	○	○	×	○	○	INTC	○	○	○	×	×	INTD	○	○	○	×	×	
	立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル																												
INTA	○	○	×	○	○																												
INTB	○	○	×	○	○																												
INTC	○	○	○	×	×																												
INTD	○	○	○	×	×																												
RES	入出力	外部リセット入力／内部リセット出力端子	なし																														

1-6 ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示します。

なお、入出力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切替単位	オプション 種類	出力形式	プルアップ抵抗
P10～P12	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30～P33	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル

1-7 未使用端子の推奨処理

ポート名	未使用端子の推奨処理	
	基板	ソフトウェア
P10～P12	OPEN	出力Low設定
P30～P33	OPEN	出力Low設定

1-8 ユーザーオプション一覧表

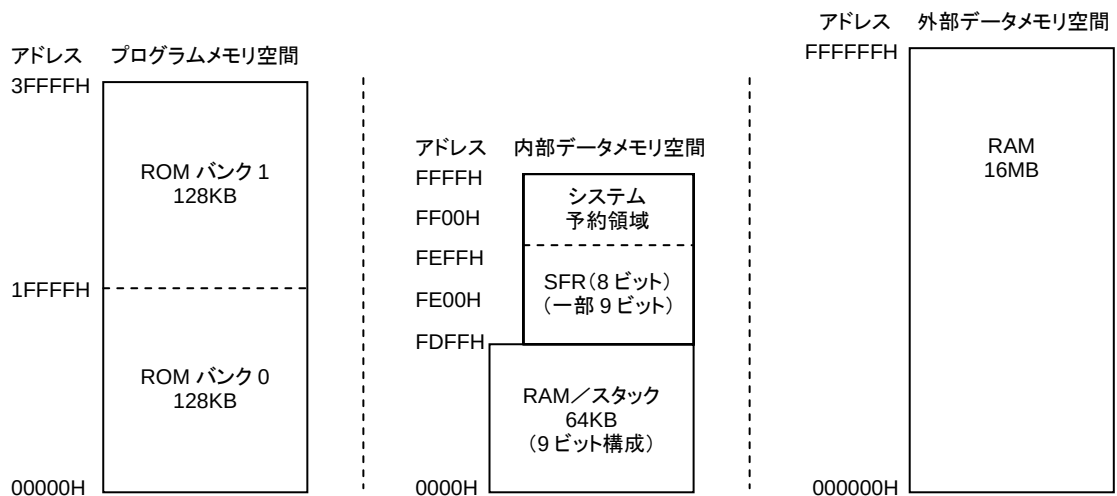
オプション名	オプション 種類	フラッシュ版	オプション 切替単位	指定する内容
ポート出力形式	P10～P12	○	1ビット単位	CMOS
				Nch-オープンドレイン
	P30～P33	○	1ビット単位	CMOS
				Nch-オープンドレイン
プログラム スタート番地	—	○	—	00000H
				01E00H
低電圧検知リセット 機能	低電圧検知 機能	○	—	許可:使用する 禁止:使用しない
	低電圧検知 レベル	○	—	3レベル
パワーオンリセット 機能	パワーオン リセットレベル	○	—	3レベル
高速RC発振回路	発振周波数	○	—	20MHz
				40MHz
パッケージタイプ	—	○	—	MFP10S:LC87F2608A
				MFP14S:LC87D2708A またはLC87F2708Aを 使用してのデバッグ専用

2 内部システム構成

2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。

- ①プログラムメモリ空間 256Kバイト(128Kバイト×2バンク)
- ②内部データメモリ空間 64Kバイト(0000H～FFFFHのうち0000H～FDFFHがスタックエリア兼用)。
- ③外部データメモリ空間 16Mバイト



注) SFR: アキュムレータ等の特殊機能レジスタの配置されている領域 (APPENDIX A-I参照)

図 2-1-1 メモリ空間

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は17ビットで構成されて、そのほかにバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。

通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切替はスタックにアドレスをプッシュして、リターン命令を実行することで行います。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表2-2-1に示します。

表 2-2-1 PC 設 定 値

動作の種類		PCの値	BNKの値
割り込み	リセット	00000H	0
	INTA	00003H	0
	INTB	0000BH	0
	INTC/T0L/INTE	00013H	0
	INTD/INTF	0001BH	0
	T0H/SIO7	00023H	0
	T1L/T1H	0002BH	0
	HCT1	00033H	0
	HCT2	0003BH	0
	ADC/HPWM 自動停止/HPWM 周期	00043H	0
	なし	0004BH	0
無条件分岐命令	JUMP a17	PC=a17	不変
	BR r12	PC=PC+2+r12[-2048～+2047]	不変
条件分岐命令	BE,BNE,DBNZ,DBZ,BZ,BNZ,BZW,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128～+127] nb: 命令のバイト数	不変
CALL命令	CALL a17	PC=a17	不変
	RCALL r12	PC=PC+2+r12[-2048～+2047]	不変
	RCALLA	PC=PC+1+Areg[0～+255]	不変
リターン命令	RET,RETI	PC16～08=(SP), PC07～00=(SP-1) (SP)はスタックポインタの値で指示されるRAMの内容。	BNK は(SP-1)のビット 8
通常命令	NOP,MOV,ADD,...	PC=PC+nb nb: 命令のバイト数	不変

2-3 プログラムメモリ (ROM)

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令 (LDCW) でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト(本シリーズ:01F00H～01FFFFH)をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-4 内部データメモリ (RAM)

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H～FDF FHでは9ビットで、FE00H～FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H～007FHの128バイトは2バイトずつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット(8ビット×2)として扱われますが、ROMテーブル参照命令 (LDCW) で使用するときは17ビット(9ビット(上位)+8ビット(下位))となります。

表 2-4-1 に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM/実行スピードの効率化が図れます。

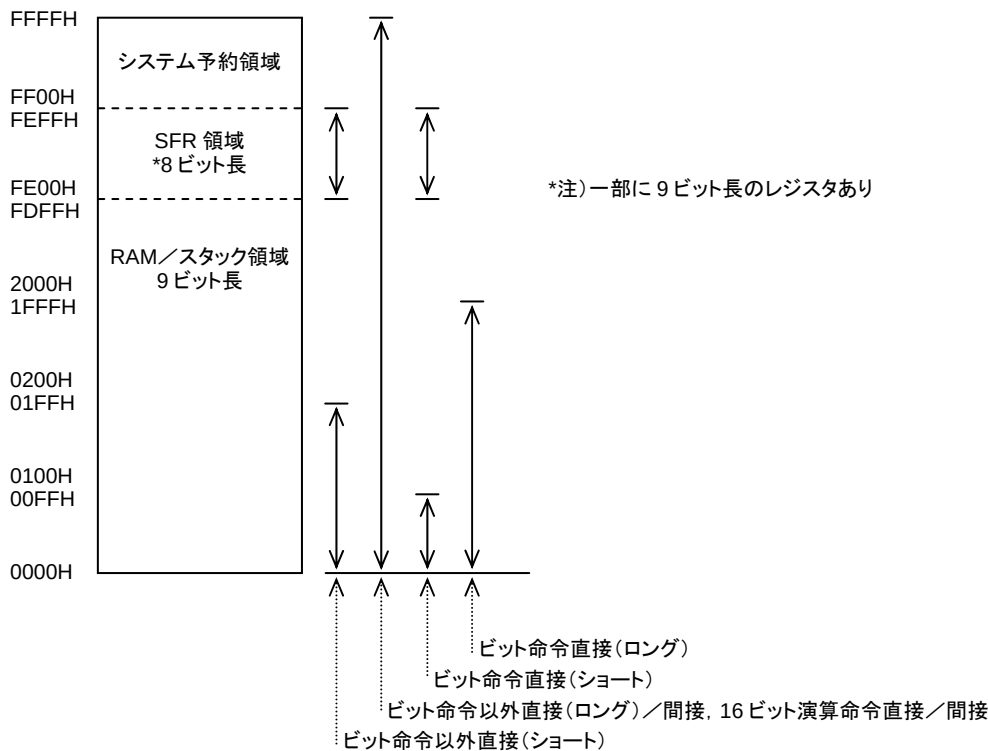


図 2-4-1 RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納されるときには、現在のスタックポインタの値をSPとすると、RAMのSP+1にBNKの値とPC(17ビット)の下位8ビットが、SP+2にPCの上位9ビットが格納され、SP=SP+2となります。

2-5 アキュムレータ/Aレジスタ(ACC/A)

アキュムレータ(ACC)はAレジスタとも呼ばれ、データの演算、転送、入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

2-6 Bレジスタ(B)

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC、Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令(LDX, STX)では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC, Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(−128〜+127)を格納します。

Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。

PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY

CY(ビット7): キャリーフラグ

CYは、演算の実行によりキャリーが生じたときセット(1)され、生じなかったときクリア(0)されます。キャリーには次の種類があります。

- ① 加算結果のキャリー
- ② 減算結果のボロー
- ③ 比較結果のボロー
- ④ ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6): 補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じたときセット(1)され、生じなかったときクリア(0)されます。

但し、命令によってはフラグが変化しない場合があります。

PSWB5, 4(ビット5, 4): ユーザビット

命令でリード/ライトできますので、ご自由にお使いください。

LDCBNK(ビット3): テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読むときのROMバンクを指定します。
(0: ROM-ADR=0~1FFFF 1: ROM-ADR=20000~3FFFF)

OV(ビット2): オーバフローフラグ

OVは、算術演算の実行によりオーバフローが生じたときセット(1)され、生じなかったときクリア(0)されます。オーバフローが生じる場合には次の種類があります。

- ① MSBを符号ビットとしたとき、負数+負数または負数-正数の結果が正数となったとき

- ② MSBを符号ビットとしたとき、正数 + 正数または正数 - 負数の結果が負数となったとき
- ③ 16ビット×8ビットの乗算結果の上位8ビットの値が0でないとき
- ④ 24ビット×16ビットの乗算結果の上位16ビットの値が0でないとき
- ⑤ 除算で除数が0のとき

但し、命令によってはフラグが変化しない場合があります。

P1(ビット1): RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM(0000H~FDFFH)のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表2-4-2を参照してください。

PARITY(ビット0): パリティフラグ

アキュムレータ(Aレジスタ)のパリティを示します。

Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット(1)されます。また、“1”が偶数個の場合には、パリティフラグがリセット(0)されます。

2-9 スタックポインタ(SP)

LC870000シリーズはRAMの0000H~FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。

SPは16ビット長で、SPL(FE0AH番地)とSPH(FE0BH番地)の2つのレジスタで構成され、リセット時には0000Hに初期化されます。

SPは、スタックメモリにデータを待避する前に+1され、データをスタックメモリから復帰した後で-1されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

- ①PUSH命令実行時 : $SP = SP + 1$, $RAM(SP) = DATA$
- ②CALL命令実行時 : $SP = SP + 1$, $RAM(SP) = ROMBANK + ADL$
 $SP = SP + 1$, $RAM(SP) = ADH$
- ③POP命令実行時 : $DATA = RAM(SP)$, $SP = SP - 1$
- ④RET命令実行時 : $ADH = RAM(SP)$, $SP = SP - 1$
 $ROMBANK + ADL = RAM(SP)$, $SP = SP - 1$

2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能(インダイレクト・アドレッシング・モード)を3種類([Rn], [Rn+C], [off])持っています。(アドレッシング・モードについては2.11項参照)この時使用されるのが、RAMの0~7EH番地に2バイト構成で64個(R0~R63)存在する間接レジスタです。間接レジスタは、汎用レジスタ(2バイトデータの待避用等)としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM(1バイト(9ビット)データ単位)として使用できます。R0~R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

RAM		システム予約データ
アドレス	.	
7FH	R63(上位)	
7EH	R63(下位)	R63=7EH
.	.	.
.	.	.
03H	R1(上位)	
02H	R1(下位)	R1=2
01H	R0(上位)	
00H	R0(下位)	R0=0

図 2-10-1 間 接レジスタ配 置

2-11 アドレッシング・モード

LC870000シリーズは、以下の7種類のアドレッシング・モードがあります。

- ①イミディエイト(即 値 : プログラム作成(アセンブル)時に値が確定しているデータ)
- ②間 接レジスタ(Rn)・インダイレクト(間 接) (0 ≤ n ≤ 63)
- ③間 接レジスタ(Rn) + Cレジスタ・インダイレクト(間 接) (0 ≤ n ≤ 63)
- ④間 接レジスタ(R0) + オフセット値・インダイレクト(間 接)
- ⑤ダイレクト(直 接)
- ⑥ROMテーブル参照
- ⑦外 部 データメモリ・アクセス

次 項 より、各 アドレッシング・モードの説明を行います。

2-11-1 イミディエイト・アドレッシング(#)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即 値)データを扱うことができます。以下に例を示します。

例 :

```

LD      #12H      ;アキュムレータにバイトデータ(12H)を設定
L1: LDW  #1234H    ;BAペアレジスタにワードデータ(1234H)を設定
PUSH    #34H      ;スタックにバイトデータ(34H)を設定
ADD     #56H      ;アキュムレータとバイトデータ(56H)の加算
BE      #78H, L1   ;アキュムレータとバイトデータ(78H)の比較・分岐

```

2-11-2 間接レジスタ・インダイレクト・アドレッシング ([Rn])

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示す事になります。

例：

```

R3の内容が“123H”の場合 (RAM6番地:23H, RAM7番地:01H)
LD      [R3]          ;RAMの123H番地の内容をアキュムレータに転送
L1: STW  [R3]          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH    [R3]          ;RAMの123H番地の内容をスタックに待避
SUB     [R3]          ;アキュムレータからRAMの123H番地の内容を減算
DBZ     [R3], L1      ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐

```

2-11-3 間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])

間接レジスタ+Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つの内容とCレジスタの内容(MSBを符号とする-128～+127)を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH(-1)”であったので「Bレジスタ(FE02H+(-1)=FE01H)」を示す事になります。

例：

```

R3の内容が“123H”、Cレジスタの内容が“02H”の場合
LD      [R3, C]        ;RAMの125H番地の内容をアキュムレータに転送
L1: STW  [R3, C]        ;BAペア・レジスタの内容をRAMの125H番地に転送
PUSH    [R3, C]        ;RAMの125H番地の内容をスタックに待避
SUB     [R3, C]        ;アキュムレータからRAMの125H番地の内容を減算
DBZ     [R3, C], L1    ;RAMの125H番地の内容を“-1”し「ゼロ」なら分岐

```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)の様に①システム予約領域(FF00H-FFFFH)②SFR領域(FE00H-FEFFFH)③RAM/スタック領域(0000H-FDFFFH)の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということとはできません。例えば、R5の内容が“0FDFFFH”で、Cレジスタの内容が“1”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000H-FDFFFH)である為、アドレッシングしようとした“0FDFFFH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFFH”でCレジスタの内容が“2”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は②SFR領域(FE00H-FEFFFH)である為、アドレッシングしようとした“0FEFFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01H”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-4 間接レジスタ(R0) + オフセット値・インダイレクト・アドレッシング ([off])

このアドレッシング・モードでは、間接レジスタ「R0」の内容と符号付き7ビットオフセットデータoff(−64〜+63)を加算した結果で、RAMまたはSFRの番地を指定することができます。つまり、R0の内容が“FE02H”でありoff値を“7EH(−2)”とした場合、「Aレジスタ(FE02H+(−2)=FE00H)」を示す事になります。

例：

R0の内容が“123H”の場合(RAM0番地:23H, RAM1番地:01H)

LD	[10H]	;RAMの133H番地の内容をアキュムレータに転送
L1: STW	[10H]	;BAペア・レジスタの内容をRAMの133H番地に転送
PUSH	[10H]	;RAMの133H番地の内容をスタックに待避
SUB	[10H]	;アキュムレータからRAMの133H番地の内容を減算
DBZ	[10H], L1	;RAMの133H番地の内容を“−1”し「ゼロ」なら分岐

＜このアドレッシング・モードの注意事項＞

内部データメモリ空間は、前述(2.1項)の様に①システム予約領域(FF00H−FFFFH)②SFR領域(FE00H−FEFFH)③RAM／スタック領域(0000H−FDFFH)の3つの機能領域に分かれて閉じています。よって、基本となるR0の内容が示す領域からオフセット値によって別領域を示すということはありません。例えば、R0の内容が“0FDFFH”である場合に「LD [1]」命令を実行すると、基本となる領域は③RAM／スタック領域(0000H−FDFFH)である為、アドレッシングしようとした“0FDFFH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R0の内容が“0FEFFH”である場合に「LD [2]」命令を実行すると、基本となる領域は②SFR領域(FE00H−FEFFH)である為、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01H”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-5 ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAMまたはSFRの番地をオペランドに記述し直接指定する事が可能です。このアドレッシング・モードでは、記述されたオペランドの番地からアセンブラが自動的に最適な命令コードを生成します(オペランドの番地により命令のバイト数が異なる)。また、命令のバイト数を一定(バイト数の多い方)としたい場合の為に、ロング(ミドル)・レンジ命令も用意しました(ニーモニックの最後に“L(M)”が付いているもの)。

例：

LD	123H	;RAMの123H番地の内容をアキュムレータに転送 (2バイト命令)
LDL	123H	;RAMの123H番地の内容をアキュムレータに転送 (3バイト命令)
L1: STW	123H	;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH	123H	;RAMの123H番地の内容をスタックに待避
SUB	123H	;アキュムレータからRAMの123H番地の内容を減算
DBZ	123H, L1	;RAMの123H番地の内容を“−1”し「ゼロ」なら分岐

2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いる事によりROM上の2バイトデータをBAレジスタペアに一度に読み出す事ができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります。)

ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(bit3)が示すROMバンク内(128Kバイト)のROMデータを参照する事ができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB      34H
      DB      12H
      DW      5678H
      .
      .

      LDW      #TBL      ;BAレジスタペアに“TBLアドレス”を設定
(注1) CHGP3 (TBL >> 17) & 1      ;PSWのLDCBNKにTBLアドレスbit17を設定する。
      CHGP1 (TBL >> 16) & 1      ;PSWのP1に“TBLアドレスbit16を設定する。

      STW      R0          ;間接レジスタR0へのTBLアドレス設定(bit16～bit0)
      LDCW     [1]         ;ROMテーブル読み出し(B=78H, ACC=12H)
      MOV      #1, C       ;Cレジスタに“01H”を設定
      LDCW     [R0, C]      ;ROMテーブル読み出し(B=78H, ACC=12H)
      INC      C           ;Cレジスタをインクリメント(+1)
      LDCW     [R0, C]      ;ROMテーブル読み出し(B=56H, ACC=78H)
```

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(bit3)の設定が必要

2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いる事により、16Mバイト(24ビット)の外部データメモリ空間をアクセスする事が可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn) + (C), (R0) + off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

```
LDW      #3456H      ;下位16ビット設定
STW      R0          ;間接レジスタR0にアドレス下位16ビットを設定
MOV      #12H, B     ;アドレス上位8ビット設定
LDX      [1]         ;外部データメモリ(123457H番地)の内容をアキュムレータに転送
```

表 2-4-2 BIT8 (RAM/SFR) と P1 の状態変化表

命令	BIT8 (RAM/SFR)	P1 (PSW の BIT1)	備考
LD#/LDW#	—	—	
LD	—	P1←REG8	
LDW	—	P1←REGH8	
ST	REG8←P1	—	
STW	REGL8, REGH8←P1	—	
MOV	REG8←P1	—	
PUSH#	RAM8←P1	—	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8, RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	—	
PUSH_BA	RAMH8←P1, RAML8←P1	—	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8, REGL8←RAML8	P1←RAMH8	上位アドレス PSW 対象時、P1←bit1
POP_P	—	P1←RAM1(bit1)	BIT8 は無視
POP_BA	—	P1←RAMH8	
XCH	REG8↔P1	同左	
XCHW	REGH8←P1, REGL8←P1, P1←REGH8	同左	
INC	9bit の INC	演算後, P1←REG8	9bit の INC
INCW	17bit の INC, REGL8←下位 8 bit の CY	演算後, P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後, P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位 8 bit の CY の反転	演算後, P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	—	—	
NOT1	—	—	
CLR1	—	—	
BPC	—	—	
BP	—	—	
BN	—	—	
MUL24/DIV24	RAM8←“1”	—	演算結果の入る RAM の BIT8 は 1
FUNC	—	—	

注) 対象が 8bit レジスタ (bit8 なし) の場合 “1” が読み込まれて処理されます。

記号) REG8:RAM または SFR の bit8。

REGH8/REGL8:RAM または SFR の上位バイトの bit8/下位バイトの bit8。

RAM8:RAM の bit8。

RAMH8/RAML8:RAM の上位バイトの bit8/下位バイトの bit8。

3 周辺システム構成

この章では、CPUコア、RAM、ROM以外の内蔵されている機能ブロック(周辺システム)について説明します。

また、ポートのブロック図をAPPENDIX(A-II)に添付しましたので、ご参照ください。

3-1 ポート1

3-1-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの3ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力ポートとして使用できます。ポート1は、外部割り込み用入力ポートとしても使用できます。また、タイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力やホールドモード解除信号入力ポートとしても使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

<注意> マイコンにリセットが掛かるとポートP10は一時的に内蔵プルアップ抵抗が付きます。また、リセット期間中のポートP10には、クロックや中間電位を印加しないでください。

3-1-2 機能

①入出力ポート (3ビット:P10~P12)

- ・ポート1データラッチ(P1:FE44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:FE45)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P11でHCT2入力、P12~P10でSIO7入出力機能を兼用します。

③割り込み入力端子機能

- ・P10、P11から選択された1ポート(INTE)とポートP12(INTF)には、端子割り込み機能があり、Lエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。さらに選択されたこれら2ポートはタイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力としても使用できます。

④ホールドモード解除機能

- ・INTEまたはINTFで、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(システムクロック=中速RC発振)に移行します。さらに割り込みが受け付けられると、ホルトモードから通常動作モードへ移行します。

PORTS

- ・ホールドモード時にINTEまたはINTFに、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていればホールドモードが解除されます。
但し、ホールドモード突入時のINTEまたはINTFのデータが“H”の時のHエッジと、ホールドモード突入時のINTEまたはINTFのデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTEまたはINTFでホールドモードを解除する時は、INTEまたはINTFを両エッジ割り込みモードを使用することを薦めます。

⑤アナログコンパレータ電圧入力機能

- ・P11, P12からアナログコンパレータのアナログ電圧入力を行います。

⑥ADコンバータ電圧入力機能

- ・P10～P12からADコンバータのアナログ電圧入力を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	HHHH H000	R/W	P1	-	-	-	-	-	P12	P11	P10
FE45	HHHH H000	R/W	P1DDR	-	-	-	-	-	P12DDR	P11DDR	P10DDR
FE46	HHHH H000	R/W	P1FCR	-	-	-	-	-	P12FCR	P11FCR	P10FCR
FE47	0H0H HHH0	R/W	P1TST	FIX0	-	FIX0	-	-	-	-	FIX0
FE4A	0000 0000	R/W	IEFCR	INTFHEG	INTFLEG	INTFIF	INTFIE	INTEHEG	INTELEG	INTEIF	INTEIE
FE4B	0000 0000	R/W	IEFSL	FIX0	FIX0	IFS1	IFS0	FIX0	IES2	IES1	IES0

* P1TST (FE47) のビット7, 5, 0はテスト用です。設定値は“0”で使用して下さい。

3-1-3 関連レジスタ

3-1-3-1 ポート1データラッチ (P1)

- ① ポート1の出力データとプルアップ抵抗の制御を行う3ビットのレジスタです。
- ② このレジスタを命令で読むとP10～P12の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP1 (FE44) を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	HHHH H000	R/W	P1	-	-	-	-	-	P12	P11	P10

3-1-3-2 ポート1データディレクションレジスタ (P1DDR)

- ① ポート1の入出力方向の制御をビット毎に行う3ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。
- ② ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	HHHH H000	R/W	P1DDR	-	-	-	-	-	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH／オープン(CMOS／Nチャネルオープンドレイン)	OFF

3-1-3-3 ポート1機能制御レジスタ(P1FCR)

①ポート1の兼用出力の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	HHHH H000	R/W	P1FCR	-	-	-	-	-	P12FCR	P11FCR	P10FCR

n	P1nFCR	P1n	出力モード(P1nDDR=1)の時のP1n端子データ
2	0	—	ポートデータラッチ(P12)の値
	1	0	SIO7クロック出力データ
	1	1	HIGH出力
1	0	—	ポートデータラッチ(P11)の値
	1	0	SIO7出力データ
	1	1	HIGH出力
0	0	—	ポートデータラッチ(P10)の値
	1	0	SIO7出力データ
	1	1	HIGH出力

尚、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

P12FCR(ビット2):P12機能制御(SIO7クロック出力制御)

P12端子の出力データの制御を行います。

P12が出力モード(P12DDR=1)で、P12FCRが“1”の時、SIO7のクロック出力データとポートデータラッチのORをP12端子は出力します。

P11FCR(ビット1):P11機能制御(SIO7データ出力制御)

P11端子の出力データの制御を行います。

P11が出力モード(P11DDR=1)で、P11FCRが“1”の時、SIO7出力データとポートデータラッチのORをP11端子は出力します。

尚、P11の入出力状態に関係なく、P11からはSIO7動作時、SIO7入力データが取り込まれます。

P10FCR(ビット0):P10機能制御(SIO7データ出力制御)

P10端子の出力データの制御を行います。

P10が出力モード(P10DDR=1)で、P10FCRが“1”の時、SIO7出力データとポートデータラッチのORをP10端子は出力します。

3-1-3-4 外部割り込みE, F制御レジスタ(IEFCR)

①外部割り込みE, Fの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4A	0000 0000	R/W	IEFCR	INTFHEG	INTFLEG	INTFIF	INTFIE	INTEHEG	INTELEG	INTEIF	INTEIE

PORTS

INTFHEG (ビット7):INTF立ち上がりエッジ検出制御

INTFLEG (ビット6):INTF立ち下がりエッジ検出制御

INTFHEG	INTFLEG	INTF 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INTFIF (ビット5):INTF割り込み要因フラグ

INTFHEG, INTFLEGで指定された条件が満たされるとセットされます。
このビットとINTFの割り込み要求許可ビット(INTFIE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

但し、ホールドモード突入時のINTFのデータが“H”の時のHエッジと、
ホールドモード突入時のINTFのデータが“L”の時のLエッジでは、割り込み
フラグはセットできません。従って、INTFでホールドモードを解除する時は、
INTFを両エッジ割り込みモードを使用することを薦めます。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INTFIE (ビット4):INTF割り込み要求許可

このビットとINTFIFがともに“1”の時、ホールドモード解除信号とベクタ
アドレス001BHへの割り込み要求が発生します。

INTEHEG (ビット3):INTE立ち上がりエッジ検出制御

INTELEG (ビット2):INTE立ち下がりエッジ検出制御

INTEHEG	INTELEG	INTE 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INTEIF (ビット1):INTE割り込み要因フラグ

INTEHEG, INTELEGで指定された条件が満たされるとセットされます。
このビットとINTEの割り込み要求許可ビット(INTEIE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生
します。

但し、ホールドモード突入時のINTEのデータが“H”の時のHエッジと、
ホールドモード突入時のINTEのデータが“L”の時のLエッジでは、割り込み
フラグはセットできません。従って、INTEでホールドモードを解除する時は、
INTEを両エッジ割り込みモードを使用することを薦めます。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INTEIE (ビット0):INTE割り込み要求許可

このビットとINTEIFがともに“1”の時、ホールドモード解除信号とベクタ
アドレス0013Hへの割り込み要求が発生します。

3-1-3-5 外部割り込みE, F端子選択レジスタ(IEFSL)

①外部割り込みE, Fの端子を選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4B	0000 0000	R/W	IEFSL	FIX0	FIX0	IFSL1	IFSL0	FIX0	IESL2	IESL1	IESL0

FIX0 (ビット7, 6, 3): テスト用ビット

これらのビットはテスト用です。必ず“0”で使用してください。

IFSL1 (ビット5): INTF用端子機能選択

IFSL0 (ビット4): INTF用端子機能選択

INTFとして選択された端子に、外部割り込みE, F制御レジスタ(IEFCR)で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号を発生します。

IFSL1	IFSL0	INTFの割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

IESL2 (ビット2): INTE用端子選択

IESL2	INTEとして使用する端子
0	ポートP10
1	ポートP11

IESL1 (ビット1): INTE用端子機能選択

IESL0 (ビット0): INTE用端子機能選択

INTEとして選択された端子に、外部割り込みE, F制御レジスタ(IEFCR)で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号を発生します。

IESL1	IESL0	INTEの割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

注意:

- ① INTEまたはINTFで、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力がポート3と重複して指定された場合、ポート3からの信号は無視されます。
- ② INTEとINTFが、タイマ1のカウントクロック入力、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力として、重複して指定された場合、両方とも受け付けます。但し、INTEとINTFのイベントが同時に起こった場合は、1つのイベントとみなします。
- ③ INTEとINTFの少なくとも一方で、タイマ1のカウントクロック入力が指定された場合、タイマ1Lはイベントカウンタとなります。また、INTEとINTFの両方でタイマ1のカウントクロック入力が指定されない場合、タイマ1Lのカウントは2T_{cyc}毎に行われます。

PORTS

3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブルプルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブルプルアップ抵抗付き)

3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-2 ポート3

3-2-1 概要

ポート3は、プログラマブル・プルアップ抵抗付きの4ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

ポート3は、外部割り込み用入力ポートとしても使用できます。また、タイマ0のカウントクロック入力、タイマ0のキャプチャ信号入力やホールドモード解除信号入力ポートとしても使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

＜注意＞ マイコンにリセットが掛かるとポートP32, P33は一時的に内蔵プルアップ抵抗が付き、ポートP30は一時的にLowを出力します。また、リセット期間中のポートP32, P33には、クロックや中間電位を印加しないでください。

3-2-2 機能

①入出力ポート（4ビット:P30～P33）

- ・ポート3データラッチ(P3:FE4C)でポート出力データの制御、ポート3データディレクションレジスタ(P3DDR:FE4D)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②兼用機能

- ・P33でHPWM出力、P32でアナログコンパレータ出力、P31でHCT2入力、P30でHCT1入力機能を兼用します。

③割り込み入力端子機能

- ・P30とP31は、それぞれINTA, INTBとしてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。
- ・P32とP33は、それぞれINTC, INTDとしてLエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

④タイマ0カウント入力機能

- ・P32, P33から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

⑤タイマ0Lキャプチャ入力機能

- ・P30, P32から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。
レベル割り込み指定のP30に、選択されたレベルの信号が入力されると、この間、1Tcyc毎にタイマ0Lキャプチャ信号が発生します。

PORTS

⑥タイマ0Hキャプチャ入力機能

- ・P31, P33から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。
- レベル割り込み指定のP31に、選択されたレベルの信号が入力されると、この間、1Tcyc毎にタイマ0Hキャプチャ信号が発生します。

⑦ホールドモード解除機能

- ・INTA～INTDで、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(システムクロック=中速RC発振)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたINTAまたはINTBに、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。
- ・ホールドモード時に、INTC(ノイズフィルタ機能OFF時)またはINTDに、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。但し、ホールドモード突入時のINTCまたはINTDのデータが“H”の時のHエッジと、ホールドモード突入時のINTCまたはINTDのデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTCまたはINTDでホールドモードを解除する時は、INTCまたはINTDを両エッジ割り込みモードで使用することを薦めます。

⑧INTCのノイズフィルタ機能

- ・INTCには、割り込み検出回路の前段にノイズフィルタ回路があり、フィルタ後の信号で割り込みを検出することが可能です。但し、ノイズフィルタ機能を使用する場合、ホールドモード解除機能は使用できません。
- ・ノイズフィルタ回路の動作は、INTCに入力された信号を入力信号選択レジスタ(IADSL)で選択したクロックでサンプリングし、信号レベルが4回連続で一致した場合、その信号レベルを保持し、不一致の場合、以前の信号レベルを保持し続けます。



アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4C	HHHH 0000	R/W	P3	-	-	-	-	P33	P32	P31	P30
FE4D	HHHH 0000	R/W	P3DDR	-	-	-	-	P33DDR	P32DDR	P31DDR	P30DDR
FE5D	0000 0000	R/W	IABCR	INTBLH	INTBLV	INTBIF	INTBIE	INTALH	INTALV	INTAIF	INTAIE
FE5E	0000 0000	R/W	ICDCR	INTDHEG	INTDLEG	INTDIF	INTDIE	INTCHEG	INTCLEG	INTCIF	INTCIE
FE5F	00HH 0000	R/W	IADSL	ST0HCP	ST0LCP	-	-	P32OTIV	NFSL1	NFSL0	ST0IN

3-2-3 関連レジスタ

3-2-3-1 ポート3データラッチ(P3)

- ① ポート3の出力データとプルアップ抵抗の制御を行う4ビットのレジスタです。
- ② このレジスタを命令で読むとP30～P33の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP3(FE4C)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート3のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4C	HHHH 0000	R/W	P3	-	-	-	-	P33	P32	P31	P30

3-2-3-2 ポート3データディレクションレジスタ(P3DDR)

- ① ポート3の入出力方向の制御をビット毎に行う4ビットのレジスタです。ビットP3nDDRが“1”の時、ポートP3nは出力モードになり、ビットP3nDDRが“0”の時、ポートP3nは入力モードになります。
- ② ビットP3nDDRが“0”で、ポート3データラッチのビットP3nが“1”の時、ポートP3nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4D	HHHH 0000	R/W	P3DDR	-	-	-	-	P33DDR	P32DDR	P31DDR	P30DDR

レジスタデータ		ポートP3nの状態		内蔵プルアップ抵抗
P3n	P3nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH／オープン(CMOS／Nチャネルオープンドレイン)	OFF

3-2-3-3 外部割り込みA, B制御レジスタ(IABCR)

- ① 外部割り込みA, Bの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	IABCR	INTBLH	INTBLV	INTBIF	INTBIE	INTALH	INTALV	INTAIF	INTAIE

INTBLH(ビット7):INTB検出極性選択

INTBLV(ビット6):INTB検出レベル／エッジ選択

INTBLH	INTBLV	INTB割り込み条件(端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INTBIF(ビット5):INTB割り込み要因フラグ

INTBLH, INTBLVで指定された条件が満たされるとセットされます。このビットとINTBの割り込み要求許可ビット(INTBIE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

PORTS

INTBIE (ビット4):INTB割り込み要求許可

このビットとINTBIFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INTALH (ビット3):INTA検出極性選択

INTALV (ビット2):INTA検出レベル／エッジ選択

INTALH	INTALV	INTA 割り込み条件(端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INTAIF (ビット1):INTA割り込み要因フラグ

INTALH, INTALVで指定された条件が満たされるとセットされます。このビットとINTAの割り込み要求許可ビット(INTAIE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INTAIE (ビット0):INTA割り込み要求許可

このビットとINTAIFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

3-2-3-4 外部割り込みC, D制御レジスタ(ICDCR)

①外部割り込みC, Dの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	ICDCR	INTDHEG	INTDLEG	INTDIF	INTDIE	INTCHEG	INTCLEG	INTCIF	INTCIE

INTDHEG (ビット7):INTD立ち上がりエッジ検出制御

INTDLEG (ビット6):INTD立ち下がりエッジ検出制御

INTDHEG	INTDLEG	INTD 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INTDIF (ビット5):INTD割り込み要因フラグ

INTDHEG, INTDLEGで指定された条件が満たされるとセットされます。このビットとINTDの割り込み要求許可ビット(INTDIE)がともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

但し、ホールドモード突入時のINTDのデータが“H”の時のHエッジと、ホールドモード突入時のINTDのデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTDでホールドモードを解除する時は、INTDを両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INTDIE (ビット4):INTD割り込み要求許可

このビットとINTDIFがともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

INTCHEG (ビット3):INTC立ち上がりエッジ検出制御

INTCLEG (ビット2):INTC立ち下がりエッジ検出制御

INTCHEG	INTCLEG	INTC 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INTCIF (ビット1):INTC割り込み要因フラグ

INTCHEG, INTCLEGで指定された条件が満たされるとセットされます。このビットとINTCの割り込み要求許可ビット(INTCIE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のINTCのデータが“H”の時のHエッジと、ホールドモード突入時のINTCのデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INTCでホールドモードを解除する時は、INTCを両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INTCIE (ビット0):INTC割り込み要求許可

このビットとINTCIFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

3-2-3-5 入力信号選択レジスタ(IADSL)

① タイマ0の入力, ノイズフィルタのサンプリングクロック選択, P32の兼用出力極性選択の制御を行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00HH 0000	R/W	IADSL	ST0HCP	ST0LCP	-	-	P32OTIV	NFSL1	NFSL0	ST0IN

ST0HCP (ビット7):タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INTBの割り込み検出条件が成立する入力が入力されると、タイマ0Hキャプチャ信号が発生します。またINTBの割り込み検出がレベル検出の時、検出レベルが入力されている間、1T_{cyc}毎にキャプチャ信号が発生します。

“0”の設定時、INTDの割り込み検出条件が成立する入力が入力されると、タイマ0Hキャプチャ信号が発生します。

PORTS

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INTAの割り込み検出条件が成立する入力がP30に入力されると、タイマ0Lキャプチャ信号が発生します。またINTAの割り込み検出がレベル検出の時、検出レベルがP30に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INTCの割り込み検出条件が成立する入力がP32に入力されると、タイマ0Lキャプチャ信号が発生します。

P32OTIV(ビット3):P32兼用出力極性制御

このビットの説明は「3-10 アナログコンパレータ」を参照してください。

NFSL1(ビット2):ノイズフィルタ・サンプリングクロック選択

NFSL0(ビット1):ノイズフィルタ・サンプリングクロック選択

NFSL1	NFSL0	ノイズフィルタ・サンプリングクロック
0	0	ノイズフィルタ機能OFF
0	1	16Tcyc
1	0	32Tcyc
1	1	64Tcyc

ST0IN(ビット0):タイマ0カウンタクロック入力ポート選択

タイマ0カウンタクロック信号入力ポートを選択します。

“1”の設定時、INTDの割り込み検出条件が成立する入力がP33に入力されると、タイマ0カウンタクロックが発生します。

“0”の設定時、INTCの割り込み検出条件が成立する入力がP32に入力されると、タイマ0カウンタクロックが発生します。

注意:INTEまたはINTFで、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がポート3と重複して指定された場合、ポート3からの信号は無視されます。

注意:INTCのホールドモード解除機能を使用する場合、ノイズフィルタ機能はOFF(NFSL1/0=0/0)で使用してください。

3-2-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブルプルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブルプルアップ抵抗付き)

3-2-5 HALT, HOLD時の動作

HALT, HOLD時のポートの入出力状態は、HALT, HOLDの突入時の状態を保持します。

3-3 タイマカウンタ0 (T0)

3-3-1 概要

本シリーズが内蔵しているタイマ／カウンタ0 (T0) は、次の4つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き) × 2チャンネル
- ②モード1：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き) + 8ビットプログラマブルカウンタ(8ビットキャプチャレジスタ付き)
- ③モード2：プログラマブルプリスケアラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)
- ④モード3：16ビットプログラマブルカウンタ(16ビットキャプチャレジスタ付き)

3-3-2 機能

- ①モード0：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き) × 2チャンネル
 - ・8ビットプログラマブルプリスケアラからのクロック(周期: 1 ~ 256 T_{cyc})によって、2つの独立した8ビットプログラマブルタイマ(T0L, T0H)が動作します。
 - ・P30/INTA, P32/INTC, P10~P12のタイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

$$T0Lの周期 = (T0LR + 1) \times (T0PRR + 1) \times T_{cyc}$$

$$T0Hの周期 = (T0HR + 1) \times (T0PRR + 1) \times T_{cyc}$$

T_{cyc} = サイクルクロックの周期

- ②モード1：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ(8ビットキャプチャレジスタ付き) + 8ビットプログラマブルカウンタ(8ビットキャプチャレジスタ付き)
 - ・T0Lは、P32/INTC, P33/INTD端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。
 - ・T0Hは、8ビットプログラマブルプリスケアラからのクロック(周期: 1 ~ 256 T_{cyc})によって、8ビットプログラマブルタイマとして動作します。
 - ・P30/INTA, P32/INTC, P10~P12のタイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

T0

TOLの周期 = (TOLR + 1)

TOHの周期 = (TOHR + 1) × (TOPRR + 1) × Tcyc

③ モード2: プログラマブルプリスケアラ付き16ビットプログラマブルタイマ(16ビットキャプチャレジスタ付き)

- ・8ビットプログラマブルプリスケアラからのクロック(周期: 1 ~ 256 Tcyc)によって、16ビットプログラマブルタイマとして動作します。
- ・P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOL, TOHの内容をキャプチャレジスタTOCAL, TOCAHに同時にキャプチャします。

T0の周期 = $\frac{[\text{T0HR}, \text{T0LR}] + 1}{16\text{ビット}} \times (\text{TOPRR} + 1) \times \text{Tcyc}$

④ モード3: 16ビットプログラマブルカウンタ(16ビットキャプチャレジスタ付き)

- ・P32/INTC, P33/INTD端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。
- ・P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOL, TOHの内容をキャプチャレジスタTOCAL, TOCAHに同時にキャプチャします。

T0の周期 = $\frac{[\text{T0HR}, \text{T0LR}] + 1}{16\text{ビット}}$

⑤ 割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマ/カウンタTOLまたはTOHのカウンタ周期で、TOLまたはTOH割り込み要求を発生します。

⑥ タイマ/カウンタ0(T0)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T0CNT, TOPRR, TOL, TOH, TOLR, TOHR
- ・P1, P1DDR, IABCR, ICDCR, IADSL
- ・P3, P3DDR, IEFER, IEFSL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	TOHRUN	TOLRUN	TOLONG	T0LEXT	TOHCMP	TOHIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0

3-3-3 回路構成

3-3-3-1 タイマ／カウンタ0制御レジスタ(T0CNT) (8ビットレジスタ)

- ①T0L, T0Hの動作、割り込みの制御を行います。

3-3-3-2 プログラマブルプリスケアラ一致レジスタ(TOPRR) (8ビットレジスタ)

- ①プログラマブルプリスケアラの一致データ格納用レジスタです。

3-3-3-3 プログラマブルプリスケアラ (8ビットカウンタ)

- ①動作開始／停止：ホールドモード以外で動作する。
- ②カウントクロック：サイクルクロック(周期 = 1Tcyc)
- ③一致信号：カウント値がレジスタTOPRRの値と一致すると一致信号を発生する。(周期：1～256Tcyc)
- ④リセット：一致信号の発生またはTOPRRへデータの書き込みにより、カウンタが0からカウントし始める。

3-3-3-4 タイマ／カウンタ0下位(T0L) (8ビットカウンタ)

- ①動作開始／停止：T0LRUN(タイマ0制御レジスタのビット6)の0／1により、停止／動作が制御される。
- ②カウントクロック：T0LEXT(タイマ0制御レジスタのビット4)の0／1により、プリスケアラの一致信号／外部信号が選択される。
- ③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。(16ビットモード時は、16ビットデータの一致が必要)
- ④リセット：動作停止時、または一致信号の発生時。

3-3-3-5 タイマ／カウンタ0上位(T0H) (8ビットカウンタ)

- ①動作開始／停止：T0HRUN(タイマ0制御レジスタのビット7)の0／1により、停止／動作が制御される。
- ②カウントクロック：T0LONG(タイマ0制御レジスタのビット5)の0／1により、プリスケアラの一致信号／T0Lの一致信号が選択される。
- ③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。(16ビットモード時は、16ビットデータの一致が必要)
- ④リセット：動作停止時、または一致信号の発生時。

3-3-3-6 タイマ／カウンタ0一致データレジスタ下位(T0LR) (一致バッファレジスタ付8ビットレジスタ)

- ①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0下位の値が一致した時、一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ②一致バッファレジスタの更新は以下に行われます。
 - ・非動作時(T0LRUN=0)には、T0LRと一致レジスタは同値となる。
 - ・動作時(T0LRUN=1)には、一致バッファレジスタは一致信号の発生時にT0LRの内容をロードする。

T0

3-3-3-7 タイマ／カウンタ0一致データレジスタ上位 (T0HR) (一致バッファレジスタ付 8ビットレジスタ)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
 - ・非動作時 (T0HRUN=0) には、T0HRと一致レジスタは同値となる。
 - ・動作時 (T0HRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

3-3-3-8 タイマ／カウンタ0キャプチャレジスタ下位 (T0CAL) (8ビットレジスタ)

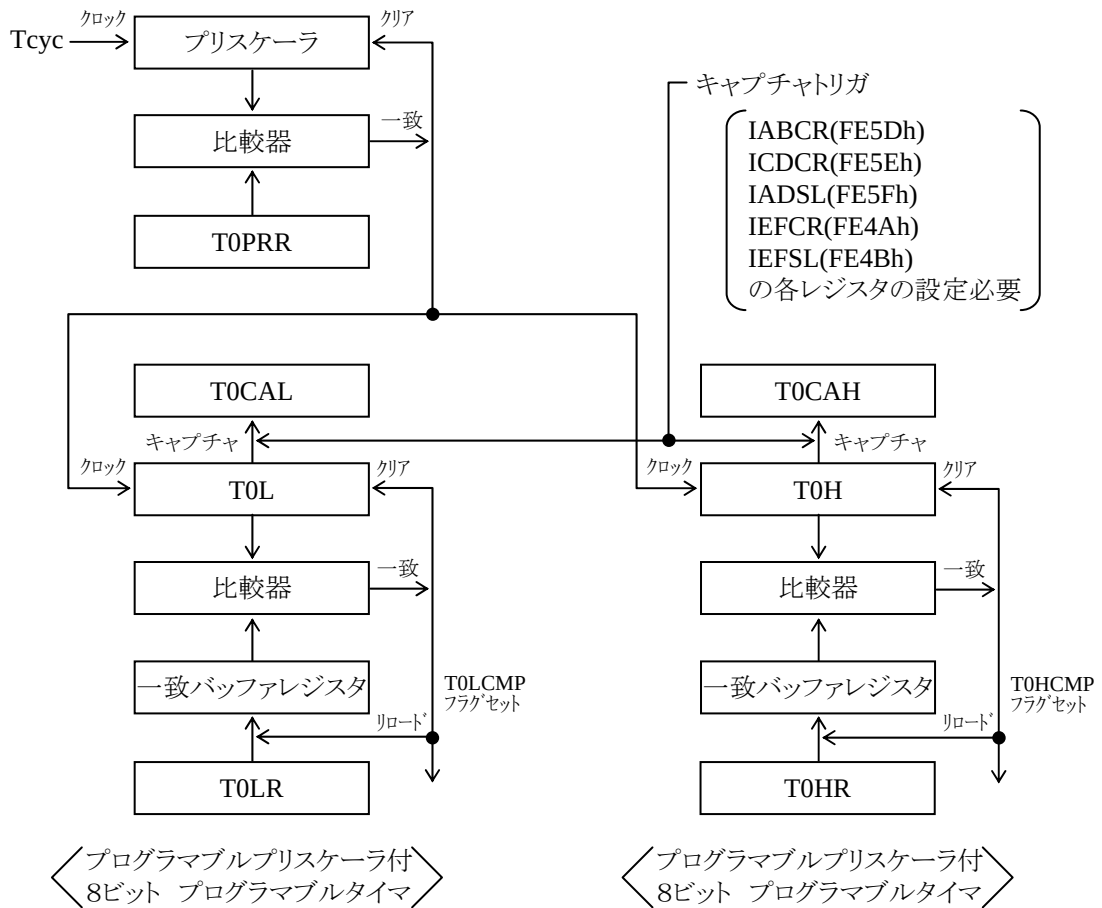
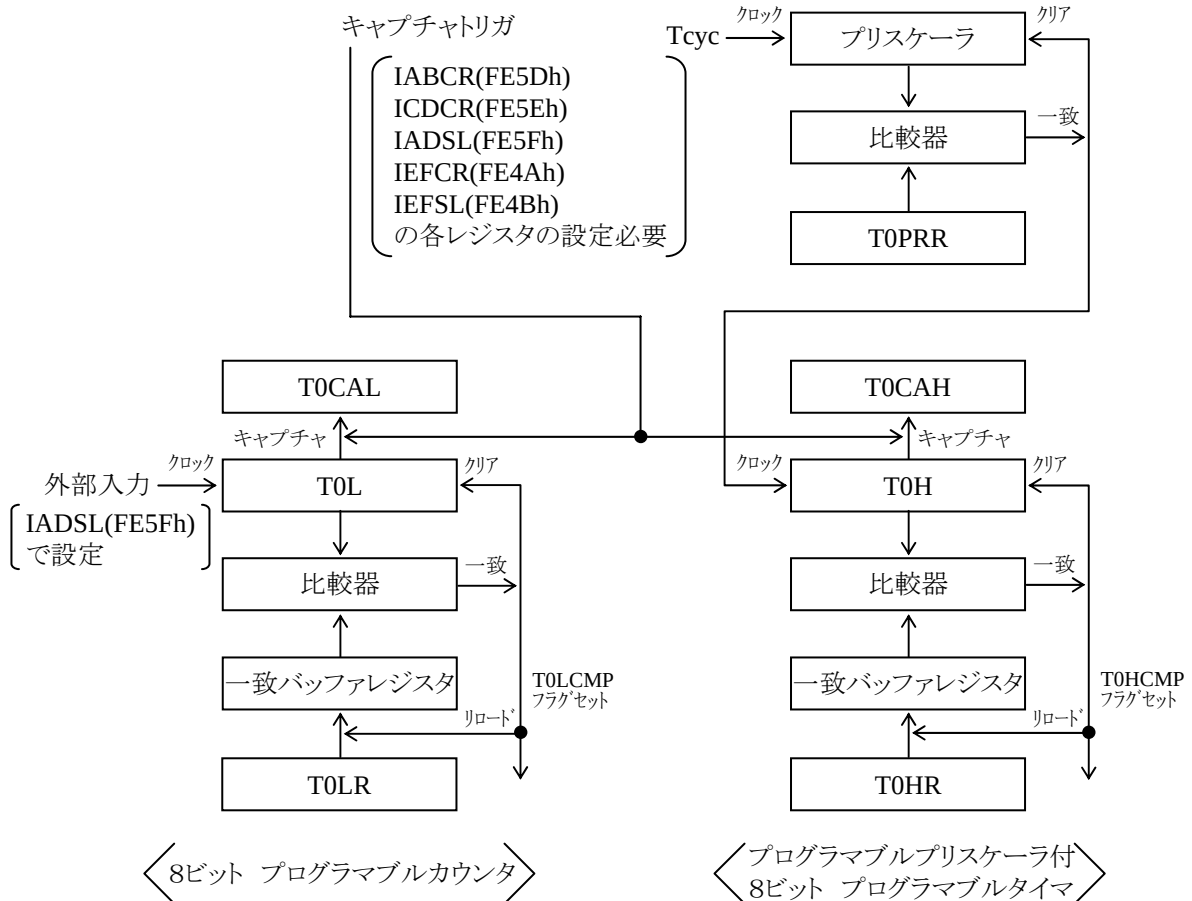
- ① キャプチャクロック :
 T0LONG (タイマ0制御レジスタのビット5) が0の時、P30/INTA, P32/INTC, P10~P12のタイマ0Lキャプチャ入力端子からの外部入力検出信号。
 T0LONG (タイマ0制御レジスタのビット5) が1の時、P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号。
- ② キャプチャデータ : タイマ／カウンタ0下位 (T0L) の内容。

3-3-3-9 タイマ／カウンタ0キャプチャレジスタ上位 (T0CAH) (8ビットレジスタ)

- ① キャプチャクロック : P31/INTB, P33/INTD, P10~P12のタイマ0Hキャプチャ入力端子からの外部入力検出信号。
- ② キャプチャデータ : タイマ／カウンタ0上位 (T0H) の内容。

表 3-3-1 タイマ0 (T0H, T0L) のカウントクロック

モード	T0LONG	T0LEXT	T0H のカウントクロック	T0L のカウントクロック	[T0H,T0L] のカウントクロック
0	0	0	TOPRRの一致信号	TOPRRの一致信号	—
1	0	1	TOPRRの一致信号	外部信号	—
2	1	0	—	—	TOPRRの一致信号
3	1	1	—	—	外部信号

図 3-3-1 モード0 ($T0LONG=0$, $T0LEXT=0$) ブロック図図 3-3-2 モード1 ($T0LONG=0$, $T0LEXT=1$) ブロック図

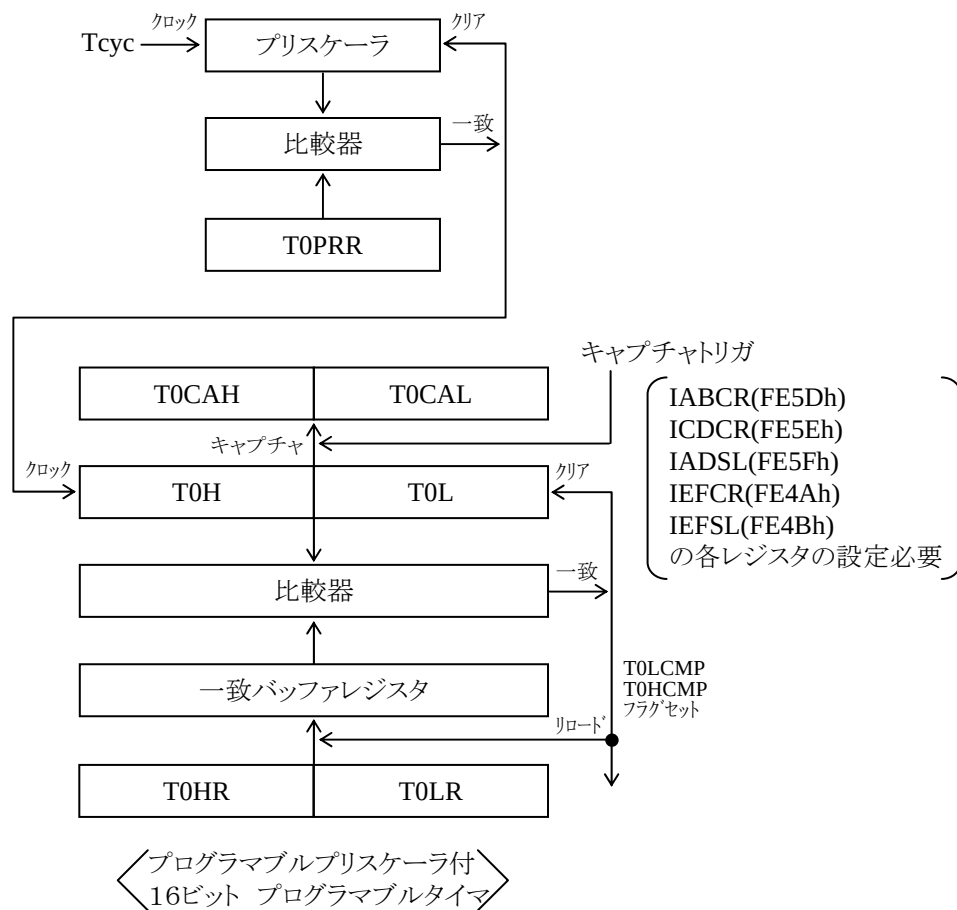


図 3-3-3 モード2 (T0LONG = 1, T0LEXT = 0) ブロック図

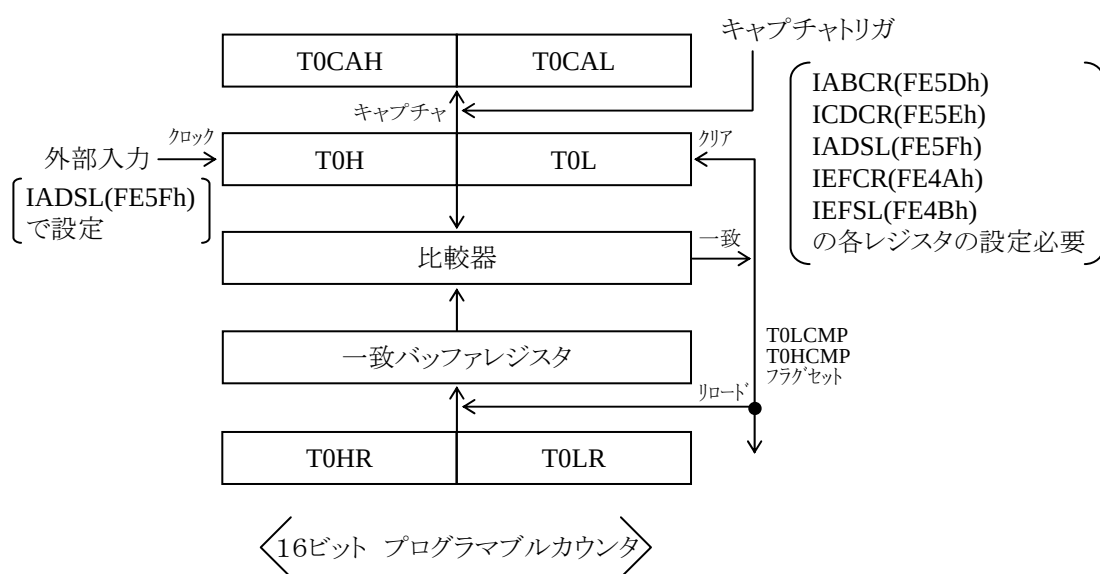


図 3-3-4 モード3 (T0LONG = 1, T0LEXT = 1) ブロック図

3-3-4 関連レジスタ

3-3-4-1 タイマ／カウンタ0制御レジスタ(T0CNT)

①T0L, T0Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN(ビット7):T0Hカウント制御

このビットが0の時タイマ／カウンタ0上位(T0H)は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。

このビットが1の時タイマ／カウンタ0上位(T0H)は、所定のカウンタ動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN(ビット6):T0Lカウント制御

このビットが0の時タイマ／カウンタ0下位(T0L)は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。

このビットが1の時タイマ／カウンタ0下位(T0L)は、所定のカウンタ動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG(ビット5):タイマ／カウンタ0ビット長選択

このビットが0の時タイマ／カウンタ0は上位と下位の独立した8ビットのタイマ／カウンタとなります。

このビットが1の時タイマ／カウンタ0は16ビットのタイマ／カウンタとなります。また、T0H, T0Lで構成される16ビットのカウンタ値とT0H, T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT(ビット4):T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケアラの一致信号となります。

このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP(ビット3):T0H一致フラグ

T0Hが動作している(T0HRUN=1)時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE(ビット2):T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

T0

T0LCMP (ビット1): T0L一致フラグ

T0Lが動作している(T0LRUN=1)時に、T0Lの値とT0Lの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0LIE (ビット0): T0L割り込み要求発生許可制御

このビットとT0LCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意:

- ・T0HCMP, T0LCMPは命令で0にしてください。
- ・16ビットモードで使用する時は、T0LRUNとT0HRUNは同時に同じ値を設定して、動作を制御してください。
- ・16ビットモードでは、T0LCMPとT0HCMPは同時にセットされます。

3-3-4-2 タイマ0プログラマブルプリスケラー 致レジスタ(T0PRR)

① タイマ0プログラマブルプリスケラー 致レジスタは、タイマ/カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

② T0PRRにデータを書き込むと、プリスケラのカウンタ値は0からスタートします。

③ $Tpr = (T0PRR + 1) \times Tcyc$ Tcyc = サイクルクロックの周期

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0

3-3-4-3 タイマ/カウンタ0下位(T0L)

① 読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、外部信号をカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0

3-3-4-4 タイマ/カウンタ0上位(T0H)

① 読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、T0Lのオーバーフローをカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0

3-3-4-5 タイマ/カウンタ0一致データレジスタ下位(T0LR)

① T0L用の一致データ格納用レジスタです。他に、8ビットの一一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一一致が必要)

② 一致バッファレジスタの更新は以下のように行われます。

- ・非動作時(T0LRUN=0)には、T0LRと一致レジスタは同値となる。
- ・動作時(T0LRUN=1)には、一致バッファレジスタは一一致信号の発生時にT0LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0

3-3-4-6 タイマ／カウンタ0一致データレジスタ上位 (T0HR)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時 (T0HRUN=0) には、T0HRと一致レジスタは同値となる。
 - ・動作時 (T0HRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0

3-3-4-7 タイマ／カウンタ0キャプチャレジスタ下位 (T0CAL)

- ① 外部入力検出信号により、タイマ／カウンタ0下位 (T0L) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0

3-3-4-8 タイマ／カウンタ0キャプチャレジスタ上位 (T0CAH)

- ① 外部入力検出信号により、タイマ／カウンタ0上位 (T0H) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-4 タイマカウンタ1 (T1)

3-4-1 概要

本シリーズが内蔵しているタイマ／カウンタ1 (T1) は、次の2つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ+8ビットプリスケール付き8ビットプログラマブルタイマ／カウンタ
- ②モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ

3-4-2 機能

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ+8ビットプリスケール付き8ビットプログラマブルタイマ／カウンタ
 - ・T1Lはサイクルクロックを2分周した信号または、外部イベントをカウントする8ビットのプログラマブルタイマ／カウンタとして動作し、T1Hはサイクルクロックを2分周した信号をカウントする8ビットのプログラマブルタイマとして動作します。

$$\begin{aligned} \text{T1Lの周期} &= (\text{T1LR} + 1) \times (\text{T1LPRC設定カウント数}) \times 2\text{T}_{\text{cyc}} \text{ または} \\ &\quad (\text{T1LR} + 1) \times (\text{T1LPRC設定カウント数}) \text{回のイベント検出} \\ \text{T1Hの周期} &= (\text{T1HR} + 1) \times (\text{T1HPRC設定カウント数}) \times 2\text{T}_{\text{cyc}} \end{aligned}$$

- ②モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ
 - ・サイクルクロックを2分周した信号または、外部イベントをカウントする16ビットのプログラマブルタイマ／カウンタが動作します。また、下位8ビットタイマ (T1L) の割り込みはT1Lの周期で発生可能なので、下位8ビットを基準タイマとして使用できます。

$$\begin{aligned} \text{T1Lの周期} &= (\text{T1LR} + 1) \times (\text{T1LPRC設定カウント数}) \times 2\text{T}_{\text{cyc}} \text{ または} \\ &\quad (\text{T1LR} + 1) \times (\text{T1LPRC設定カウント数}) \text{回のイベント検出} \\ \text{T1の周期} &= (\text{T1HR} + 1) \times (\text{T1HPRC設定カウント数}) \times \text{T1Lの周期} \end{aligned}$$

- ③割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマT1LまたはT1Hのカウンタ周期で、T1LまたはT1H割り込み要求を発生します。
- ④タイマ／カウンタ1 (T1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T1CNT, T1PRR, T1L, T1H, T1LR, T1HR
- ・P1, P1DDR, IEFGR, IEFSL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	FIX0	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

3-4-3 回路構成

3-4-3-1 タイマ1制御レジスタ(T1CNT) (8ビットレジスタ)

①T1L, T1Hの動作、割り込みの制御を行います。

3-4-3-2 タイマ1プリスケアラ制御レジスタ(T1PRR) (8ビットカウンタ)

①T1L, T1Hのクロックを設定します。

3-4-3-3 タイマ1下位プリスケアラ (8ビットカウンタ)

①動作開始／停止：T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御される。

②カウントクロック：2Tcyc／イベント(注1)

(注1) 外部割り込みE, F端子選択レジスタ(IEFSL)で、タイマ1のカウントクロック入力としてINTEまたはINTFが指定されると、T1Lはイベントカウンタとなり、タイマ1のカウントクロック入力としてINTE, INTFの両方とも指定されないと、T1Lは2Tcycをカウントクロックとするタイマとなります。

③プリスケアラカウント数：T1PRRの値でカウント数が設定される。

設定カウント毎にT1Lのカウントクロックを出力する。

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1L プリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット：動作停止時、またはT1Lのリセット発生時。

T1

3-4-3-4 タイマ1上位プリスケアラ (8ビットカウンタ)

①動作開始／停止：T1HRUN(タイマ1制御レジスタのビット7)の0／1により、停止／動作が制御される。

②カウントクロック：モードにより異なる。

モード	T1LONG	T1Hプリスケアラのカウントクロック
0	0	2T _{cyc}
2	1	T1Lの一致信号

③プリスケアラカウント数：T1PRRの値でカウント数が設定される。

設定カウント毎にT1Hのカウントクロックを出力する。

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット：動作停止時、またはT1Hのリセット発生時。

3-4-3-5 タイマ1下位(T1L) (8ビットカウンタ)

①動作開始／停止：T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御される。

②カウントクロック：T1Lプリスケアラの出力クロック

③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号が発生する。

④リセット：動作停止時、または一致信号の発生時。

3-4-3-6 タイマ1上位(T1H) (8ビットカウンタ)

①動作開始／停止：T1HRUN(タイマ1制御レジスタのビット7)の0／1により、停止／動作が制御される。

②カウントクロック：T1Hプリスケアラの出力クロック

③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号が発生する。

④リセット：動作停止時、または一致信号の発生時。

3-4-3-7 タイマ1一致データレジスタ下位(T1LR) (一致バッファレジスタ付8ビットレジスタ)

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位(T1L)の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

- ・非動作時(T1LRUN=0)には、T1LRと一致レジスタは同値となる。
- ・動作時(T1LRUN=1)には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

3-4-3-8 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付 8ビットレジスタ)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。
 - ・動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

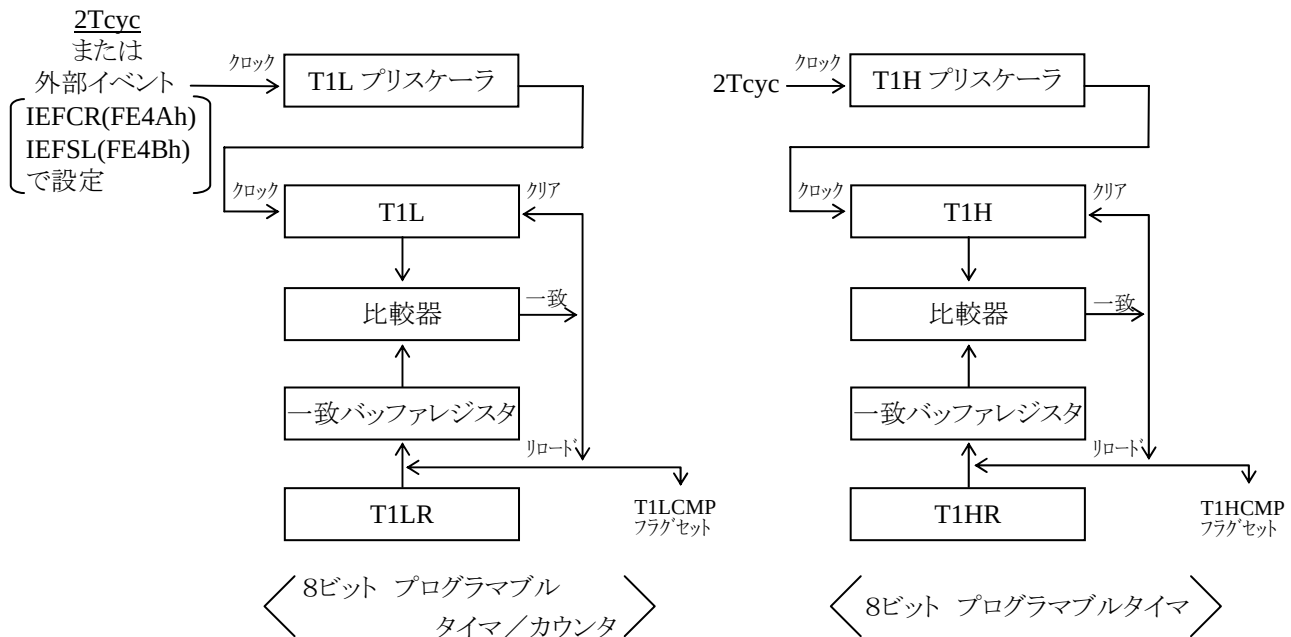


図 3-4-1 モード0 (T1LONG=0) ブロック図

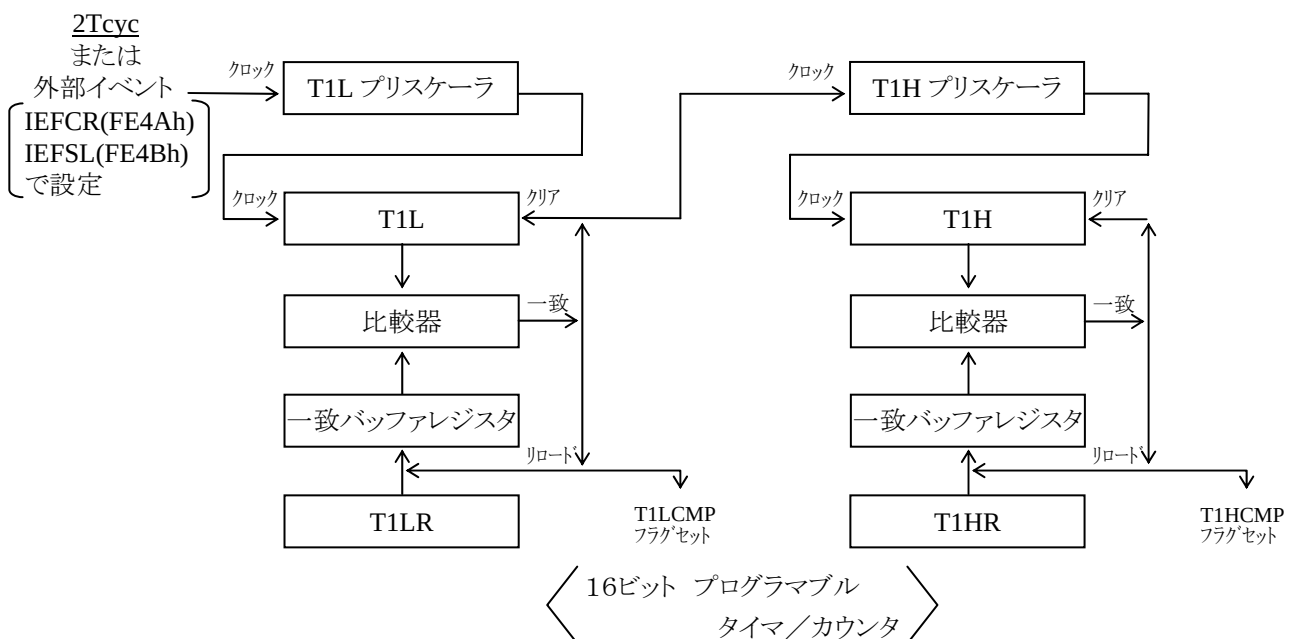


図 3-4-2 モード2 (T1LONG=1) ブロック図

3-4-4 関連レジスタ

3-4-4-1 タイマ1制御レジスタ(T1CNT)

①T1L, T1Hの動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	FIX0	T1HCMP	T1HIE	T1LCMP	T1LIE

T1HRUN(ビット7): T1Hカウント制御

このビットが0の時タイマ1上位(T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。

このビットが1の時タイマ1上位(T1H)は、所定のカウンタ動作を行います。

T1LRUN(ビット6): T1Lカウント制御

このビットが0の時タイマ1下位(T1L)は、カウント値0で停止し、T1Lの一致バッファレジスタ値はT1LRの値と同じです。

このビットが1の時タイマ1下位(T1L)は、所定のカウンタ動作を行います。

T1LONG(ビット5): タイマ1ビット長選択

このビットが0の時タイマ1は上位と下位の独立した8ビットのタイマとなります。

このビットが1の時タイマ1上位(T1H)はタイマ1下位(T1L)の周期でカウンタアップしますので、タイマ1は16ビットのタイマとなります。

また、このビットの値に関わらず、T1H, T1Lそれぞれのカウンタ値と一致バッファレジスタの内容が一致した時に、T1H, T1Lで独立に一致信号が発生します。

FIX0(ビット4): テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

T1HCMP(ビット3): T1H一致フラグ

T1Hが動作している(T1HRUN=1)場合、T1Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1HIE(ビット2): T1H割り込み要求発生許可制御

このビットとT1HCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

T1LCMP(ビット1): T1L一致フラグ

T1Lが動作している(T1LRUN=1)場合、T1Lが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1LIE(ビット0): T1L割り込み要求発生許可制御

このビットとT1LCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

注意:

- ・T1HCMP, T1LCMPは命令で0にしてください。

3-4-4-2 タイマ1プリスケアラ制御レジスタ(T1PRR)

- ① タイマ1プリスケアラのカウント数を設定します。
- ② タイマ動作途中でレジスタ設定値を変更した場合、そのプリスケアラカウント数がプリスケアラ動作に反映されるのは、タイマ(T1L, T1H)の一致バッファレジスタの更新と同一タイミングになります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0

T1HPRE (ビット7): タイマ1上位プリスケアラ制御

T1HPRC2 (ビット6): タイマ1上位プリスケアラ制御

T1HPRC1 (ビット5): タイマ1上位プリスケアラ制御

T1HPRC0 (ビット4): タイマ1上位プリスケアラ制御

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1H プリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

T1LPRE (ビット3): タイマ1下位プリスケアラ制御

T1LPRC2 (ビット2): タイマ1下位プリスケアラ制御

T1LPRC1 (ビット1): タイマ1下位プリスケアラ制御

T1LPRC0 (ビット0): タイマ1下位プリスケアラ制御

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1L プリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

3-4-4-3 タイマ1下位(T1L)

- ① 読み出し専用の8ビットのタイマです。T1Lプリスケアラの出力クロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0

3-4-4-4 タイマ1上位(T1H)

- ① 読み出し専用の8ビットのタイマです。T1Hプリスケアラの出力クロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0

T1

3-4-4-5 タイマ1一致データレジスタ下位 (T1LR)

- ① T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時 (T1LRUN=0) には、T1LRと一致レジスタは同値となる。
 - ・動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0

3-4-4-6 タイマ1一致データレジスタ上位 (T1HR)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。
 - ・動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

3-5 シリアルインタフェース7 (SIO7)

3-5-1 概要

本シリーズが内蔵しているシリアルインタフェース7 (SIO7) は、次の機能を持ちます。

- ①同期式8ビットシリアルI/O (2線式または3線式, 転送クロック $\frac{4}{3} \sim \frac{512}{3} T_{cyc}$)

3-5-2 機能

- ①同期式8ビットシリアルI/O

- ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
- ・内部クロックの周期は $\frac{(n+1) \times 2}{3} T_{cyc}$ ($n = 1 \sim 255$, 注: $n = 0$ は禁止) の範囲で可変です。

- ②割り込みの発生

割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求を発生します。

- ③シリアルインタフェース7 (SIO7) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・SCON7, SBUF7, SBR7
- ・P1, P1DDR, P1FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEF8	0000 0000	R/W	SCON7	SCN7B7	SI7REC	SI7RUN	FIX0	SI7DIR	SI7OVR	SI7END	SI7IE
FEF9	0000 0000	R/W	SBUF7	SBUF77	SBUF76	SBUF75	SBUF74	SBUF73	SBUF72	SBUF71	SBUF70
FEFA	0000 0000	R/W	SBR7	SBRG77	SBRG76	SBRG75	SBRG74	SBRG73	SBRG72	SBRG71	SBRG70

3-5-3 回路構成

3-5-3-1 SIO7制御レジスタ (SCON7) (8ビットレジスタ)

- ①SIO7の動作、割り込みの制御を行います。

3-5-3-2 SIO7シフトレジスタ (SIOSF7) (8ビットシフトレジスタ)

- ①SIO7のデータ転送・受信のためのシフトレジスタです。
 ②命令で直接アクセスできません。SBUF7を通してアクセスします。

3-5-3-3 SIO7データバッファ (SBUF7) (8ビットレジスタ)

- ①データ転送開始時、SBUF7の内容がSIOSF7に転送されます。
 ②受信モードを設定した場合、データ転送終了時にSIOSF7の内容がSBUF7に入ります。

SIO7

3-5-3-4 SIO7ボーレートジェネレータレジスタ(SBR7) (8ビットレジスタ)

- ① SIO7のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② $\frac{(n+1) \times 2}{3} T_{cyc}$ (n=1~255, 注:n=0は禁止) 周期のクロックを発生できます。

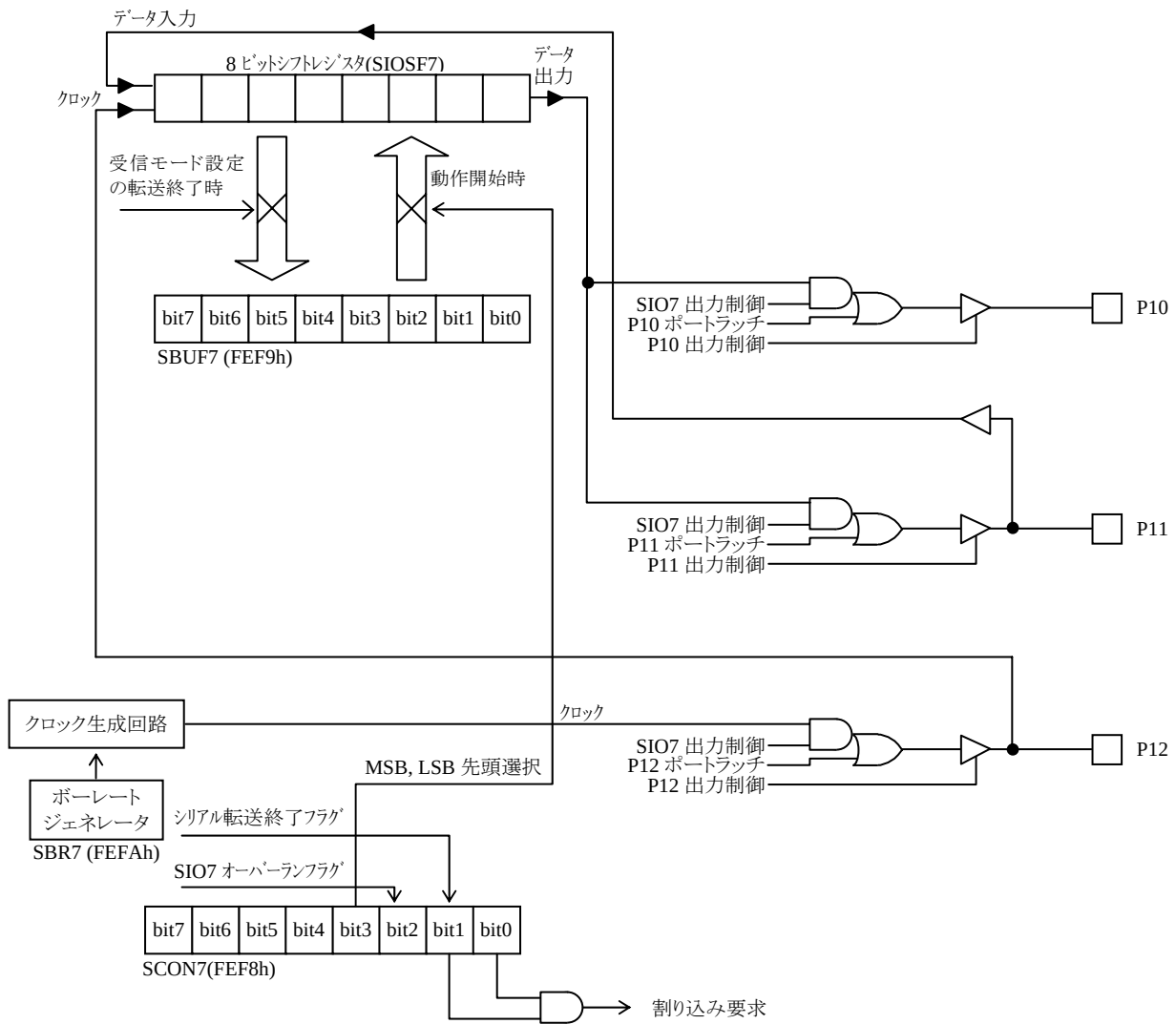


図 3-5-1 SIO7 同期式 8ビットシリアルI/Oブロック図

3-5-4 関連レジスタ

3-5-4-1 SIO7制御レジスタ(SCON7)

① SIO7の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEF8	0000 0000	R/W	SCON7	SCN7B7	SI7REC	SI7RUN	FIX0	SI7DIR	SI7OVR	SI7END	SI7IE

SCN7B7(ビット7): ユーザビット

① 命令でリード/ライトできますのでご自由にお使いください。

SI7REC(ビット6): SIO7受信モード設定

- ① このビットが1の時、SIO7は受信モードになりシリアル転送終了時にSIO7の内容がSBUF7に入ります。
- ② このビットが0の時、SIO7は送信モードになります。

SI7RUN(ビット5): SIO7動作フラグ

- ① このビットが1の時、SIO7は動作中です。
- ② このビットのセットは命令で行います。
- ③ シリアル転送の終了(最終転送クロックの立ち上がり)で、自動的にこのビットがクリアされます。

FIX0(ビット4): テスト用ビット

- ① このビットはテスト用です。必ず“0”で使用してください。

SI7DIR(ビット3): MSB/LSB先頭選択

- ① このビットが1の時、SIO7はMSB先頭となります。
- ② このビットが0の時、SIO7はLSB先頭となります。

SI7OVR(ビット2): SIO7オーバランフラグ

- ① SI7RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットがセットされます。
- ② 通信の終了時には、このビットを読んで通信が正常に行われたかどうか判断してください。
- ③ このビットのクリアは命令で行ってください。

SI7END(ビット1): シリアル転送終了フラグ

- ① シリアル転送が終了(最終転送クロックの立ち上がり)で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

SI7IE(ビット0): SIO7割り込み要求発生許可制御

- ① このビットとSI7ENDがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

SIO7

3-5-4-2 SIO7データバッファ(SBUF7)

- ① SIO7のシリアル転送データを格納する8ビットのバッファレジスタです。
- ② 送信用のデータは、送信開始時にこのシリアルバッファからシフトレジスタに転送されます。
- ③ 受信モードを設定した場合、シリアル転送終了時にシフトレジスタのデータがシリアルバッファに転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEF9	0000 0000	R/W	SBUF7	SBUF77	SBUF76	SBUF75	SBUF74	SBUF73	SBUF72	SBUF71	SBUF70

3-5-4-3 SIO7ボーレートジェネレータレジスタ(SBR7)

- ① SIO7のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② 転送レートは
$$TSBR7 = (SBR7 \text{ の設定値} + 1) \times \frac{2}{3} T_{cyc}$$
SBR7の設定値 = 1 ~ 255であり、TSBR7の設定範囲は、 $\frac{4}{3} \sim \frac{512}{3} T_{cyc}$ となります。
※SBR7の設定値 = 00[H]は禁止です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEFA	0000 0000	R/W	SBR7	SBRG77	SBRG76	SBRG75	SBRG74	SBRG73	SBRG72	SBRG71	SBRG70

3-5-5 SIO7通信の具体例

3-5-5-1 同期式8ビットモード

- ① クロックの設定
 - ・内部クロック使用の場合、SBR7の設定をする。
- ② モードの設定
 - ・SI7DIR = ? , SI7REC = ? , SI7IE = 1の設定をする。
- ③ ポートの設定をする。

	クロック用ポート P12
内部クロック	出力
外部クロック	入力

	データ出力ポート P10	データ入出力ポート P11
データ送信のみ	出力	—
データ受信のみ	—	入力
データ送受信(3線式)	出力	入力
データ送受信(2線式)	—	Nchオープンドレイン出力

- ④ 出力データの設定
 - ・データ送信または受信の場合、SBUF7に出力データを書き込む。
- ⑤ 動作スタート
 - ・SI7RUNをセットする。

⑥データの読み込み(割り込み後)

- ・受信モード設定時、SBUF7を読み込む。
- ・SI7ENDをクリアする。
- ・再動作の場合④に戻る。

3-5-6 SIO7のHALTモード時の動作

- ①HALTモード時、SIO7は動作します。
- ②HALTモードの解除をSIO7の割り込みで行うことができます。

3-6 高速12ビットPWM(HPWM)

3-6-1 概要

本シリーズは、次の機能を持った高速12ビットPWM(HPWM)を備えています。

- ① システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
- ② DUTY／周期をプログラマブルに可変可能
- ③ PWM連続出力／PWM設定数出力(自動停止)を選択可能

3-6-2 機能

① 高速12ビットPWM機能

システムクロックまたは高速RC発振クロック(2種類から基準クロック:PWCKを選択)によって、12ビットのプリスケアラ(HPWPR)がカウント動作します。HPWPRとプリスケアラ設定バッファレジスタ(PWMPBR)で設定されたカウント数が一致すると、一致信号を出力し、その信号をクロックとして、12ビットのアップカウンタ(HPWCT)がカウント動作します。HPWCTとDUTY設定バッファレジスタ(PWM1BR)の値が一致すると、出力ラッチ(HPWOLT)がセットされます。また、HPWCTと周期設定バッファレジスタ(PWM2BR)の値が一致すると、HPWOLTがクリアされ、周期一致フラグ(PWMOV)がセットされます。

HPWM動作時、DUTY／周期上位設定レジスタ(PWMXHR)への書き込み後、次のHPWM周期一致信号の発生時に各バッファレジスタのリロード動作が行なわれます。この時、基準クロック設定レジスタ(PWMCKR)のビット3～0の内容がPWMPBRへ、DUTY設定レジスタ([PWMXHRのビット3～0, PWM1LR])の内容がPWM1BRへ、周期設定レジスタ([PWMXHRのビット7～4, PWM2LR])の内容がPWM2BRへリロードされます。

$$\text{HPWMのDUTY周期} = (\text{PWMCKRで設定された周期}) \times (\text{DUTY設定レジスタの値} + 1)$$

$$\text{HPWMの周期} = (\text{PWMCKRで設定された周期}) \times (\text{周期設定レジスタの値} + 1)$$

② PWM連続出力モード

①の動作を繰り返し行います。

③ PWM設定数出力(自動停止)モード

①の動作のPWMOVセット信号をクロックとして、11ビットのアップカウンタ(HPWSTCT)がカウント動作します。HPWSTCTと周期カウント設定レジスタ([PWMCTHRのビット2～0, PWMCTLR])の値が一致すると、周期カウンタ一致フラグ(PWMCTOV)がセットされ、HPWMは動作を停止します。

$$\text{自動停止までの周期} = \text{HPWMの周期} \times \frac{(\text{[PWMCTHRのビット2～0, PWMCTLR]} + 1)}{11\text{ビット}}$$

④ 割り込みの発生

割り込み要求許可ビットがセットされている場合、HPWMからの割り込み要求が発生すると、ベクタアドレス0043Hへの割り込み要求が発生します。

⑤ 高速12ビットPWM(HPWM)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・PWCNT, PWMCKR, PWM1LR, PWM2LR, PWMXHR, PWMCTLR, PWMCTHR
- ・P3, P3DDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA0	0000 0000	R/W	PWCNT	PWMST	PWMOE	PWMINV	RLDBSY	PWMCTOV	PWMCTIE	PWMOV	PWMIE
FEA1	HHH0 0000	R/W	PWMCKR	-	-	-	PWCKSL	PWPRSL3	PWPRSL2	PWPRSL1	PWPRSL0
FEA2	0000 0000	R/W	PWM1LR	PWM107	PWM106	PWM105	PWM104	PWM103	PWM102	PWM101	PWM100
FEA3	0000 0000	R/W	PWM2LR	PWM207	PWM206	PWM205	PWM204	PWM203	PWM202	PWM201	PWM200
FEA4	0000 0000	R/W	PWMXHR	PWM211	PWM210	PWM209	PWM208	PWM111	PWM110	PWM109	PWM108
FEA5	0000 0000	R/W	PWMCTLR	PWMCT07	PWMCT06	PWMCT05	PWMCT04	PWMCT03	PWMCT02	PWMCT01	PWMCT00
FEA6	0HHH H000	R/W	PWMCTHR	PWMDSL	-	-	-	-	PWMCT10	PWMCT09	PWMCT08

3-6-3 回路構成

3-6-3-1 HPWM・制御レジスタ(PWCNT) (8ビットレジスタ)

- ① HPWMの動作、割り込みの制御を行います。
- ② RLDBSY(PWCNTのビット4)は、リードオンリーです。

3-6-3-2 HPWM・基準クロック設定レジスタ(PWMCKR) (5ビットレジスタ)

- ① PWCKの選択、HPWPRのカウント数の設定を行います。
- 注1: HPWM動作時(PWMST=1)、PWCKSL(PWMCKRのビット4)への書き込みは禁止されます。

3-6-3-3 HPWM・DUTY下位設定レジスタ(PWM1LR) (8ビットレジスタ)

- ① このレジスタとPWMXHRのビット3～0(PWM111～PWM108)でHPWMのDUTY設定を行います。

3-6-3-4 HPWM・周期下位設定レジスタ(PWM2LR) (8ビットレジスタ)

- ① このレジスタとPWMXHRのビット7～4(PWM211～PWM208)でHPWMの周期設定を行います。

3-6-3-5 HPWM・DUTY／周期上位設定レジスタ(PWMXHR) (8ビットレジスタ)

- ① このレジスタとPWM1LR, PWM2LRでHPWMのDUTY, 周期設定を行います。
- 注2: [PWMXHRのビット3～0, PWM1LR]と[PWMXHRのビット7～4, PWM2LR]の設定値=000[H]は禁止です。

HPWM

- 注 3: [PWMXHRのビット3～0, PWM1LR] ≥ [PWMXHRのビット7～4, PWM2LR] の場合、HPWMの出力レベルは変化せずに同一レベルを出力し続けます。
- 注 4: PWMST=1の時、PWMXHRへ書き込みを行うと、リロード待機フラグ(RLDBSY)がセットされ、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みは禁止されます。この状態で、次のHPWM周期一致信号が発生すると、PWMCKR, PWM1LR, PWM2LR, PWMXHRの内容は、各バッファレジスタへリロードされ、RLDBSYがクリアされます。従って、HPWM動作中にDUTY, 周期を変更する場合、PWMXHRへの書き込みがリロード動作のトリガとなるため、リロードデータはPWMXHRを最後に書き込むようにプログラムしてください。
- 注 5: PWMST=1且つPWMDSL=1(設定数出力モード)且つPWMCTOV(PWMCNTのビット3)=1の時は、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みを行うことができます。この場合、書き込みを行ってもRLDBSYはセットされません。

3-6-3-6 HPWM・周期カウント下位設定レジスタ(PWMCTLR) (8ビットレジスタ)

- ① このレジスタとPWMCTHRのビット2～0(PWMCT10～PWMCT08)でHPWMの周期カウント数の設定を行います。
- ② PWMDSL(PWMCTHRのビット7)=0の時、このレジスタの値はHPWMの動作に影響を与えません。

3-6-3-7 HPWM・周期カウント上位設定レジスタ(PWMCTHR) (4ビットレジスタ)

- ① HPWMの動作モードの選択、PWMCTHRのビット2～0とPWMCTLRで周期カウント数の設定を行います。
- ② PWMDSL=0の時、PWMCTHRのビット2～0の値はHPWMの動作に影響を与えません。

注 6: PWMST=1の時、PWMDSLへの書き込みは禁止されます。

注 7: PWMST=1の時、PWMCTHRのビット2～0, PWMCTLRへの書き込みは禁止されますが、PWMDSL=1且つPWMCTOV=1の場合、HPWMは動作を停止し、PWMCTHRのビット2～0, PWMCTLRへの書き込みが可能となります(HPWM自動停止時にPWMCTHRのビット2～0, PWMCTLRの書き換えを行なう場合、PWMCTOVが1になるのを確認後またはHPWM周期カウント割り込み発生後に行ってください)。また、HPWM自動停止状態から設定数出力モードの動作を再開するには、PWMCTOV=0にクリアする必要があります。

3-6-3-8 HPWM・プリスケール設定バッファレジスタ(PWMPBR) (4ビットバッファレジスタ)

- ① HPWPRのカウント数設定値格納用のバッファレジスタです。PWMCKRのビット3～0(PWPRSL3～PWPRSL0)の4ビットデータを格納します。
- ② バッファレジスタの更新は以下のように行われます。
- PWMST=0またはPWMST=1且つPWMCTOV=1且つPWMDSL=1の時、PWMCKRのビット3～0とPWMPBRは同値となります。
 - PWMST=1の時、バッファレジスタ更新動作の詳細は、「3-6-3-5 HPWM・DUTY/周期上位設定レジスタ」の注4を参照してください。

3-6-3-9 HPWM・DUTY設定バッファレジスタ(PWM1BR) (12ビットバッファレジスタ)

- ① HPWCTとのDUTY一致データ格納用のバッファレジスタです。[PWMXHRのビット3～0, PWM1LR]の12ビットデータを格納します。
- ② バッファレジスタの更新は以下のように行われます。
 - ・ PWMST=0またはPWMST=1且つPWMCTOV=1且つPWMDSL=1の時、[PWMXHRのビット3～0, PWM1LR]とPWM1BRは同値となります。
 - ・ PWMST=1の時、バッファレジスタ更新動作の詳細は、「3-6-3-5 HPWM・DUTY/周期上位設定レジスタ」の注4を参照してください。

3-6-3-10 HPWM・周期設定バッファレジスタ(PWM2BR) (12ビットバッファレジスタ)

- ① HPWCTとの周期一致データ格納用のバッファレジスタです。[PWMXHRのビット7～4, PWM2LR]の12ビットデータを格納します。
- ② バッファレジスタの更新は以下のように行われます。
 - ・ PWMST=0またはPWMST=1且つPWMCTOV=1且つPWMDSL=1の時、[PWMXHRのビット7～4, PWM2LR]とPWM2BRは同値となります。
 - ・ PWMST=1の時、バッファレジスタ更新動作の詳細は、「3-6-3-5 HPWM・DUTY/周期上位設定レジスタ」の注4を参照してください。

3-6-3-11 HPWM・プリスケアラ(HPWPR) (12ビットカウンタ)

- ① 動作開始/停止 : PWMST=1/PWMST=0
※ ホールドモード以外で動作
- ② カウントクロック : PWCK
- ③ 一致信号 : HPWPRのカウント値とPWMPBRの値からデコードされたデータが一致すると一致信号を発生
- ④ リセット : PWMST=0、一致信号の発生、PWMST=1且つPWMCTOV=1且つPWMDSL=1の時

3-6-3-12 HPWM・DUTY/周期カウンタ(HPWCT) (12ビットカウンタ)

- ① 動作開始/停止 : PWMST=1/PWMST=0
※ ホールドモード以外で動作
- ② カウントクロック : HPWPRの一致信号
- ③ DUTY一致信号 : HPWCTのカウント値とPWM1BRの値が一致すると一致信号を発生
※ HPWOLTへのセット信号も発生
- ④ 周期一致信号 : HPWCTのカウント値とPWM2BRの値が一致すると一致信号を発生
※ PWMOV(PWMCNTのビット1)へのセット信号とHPWOLTへのクリア信号も発生
- ⑤ リセット : PWMST=0、周期一致信号の発生、PWMST=1且つPWMCTOV=1且つPWMDSL=1の時

3-6-3-13 HPWM・自動停止カウンタ(HPWSTCT) (11ビットカウンタ)

- ① 動作開始/停止 : PWMST=1且つPWMDSL=1/PWMST=0またはPWMDSL=0 ※ホールドモード以外で動作
- ② カウントクロック : HPWCTの周期一致信号

HPWM

- ③ 一致信号 : HPWSTCTのカウント値と[PWMCTHRのビット2～0, PWMCTLR]の値が一致すると一致信号を発生
※ PWMCTOVへのセット信号も発生
- ④ リセット : PWMST=0、PWMDSL=0、一致信号の発生、PWMS
T=1且つPWMCTOV=1且つPWMDSL=1の時

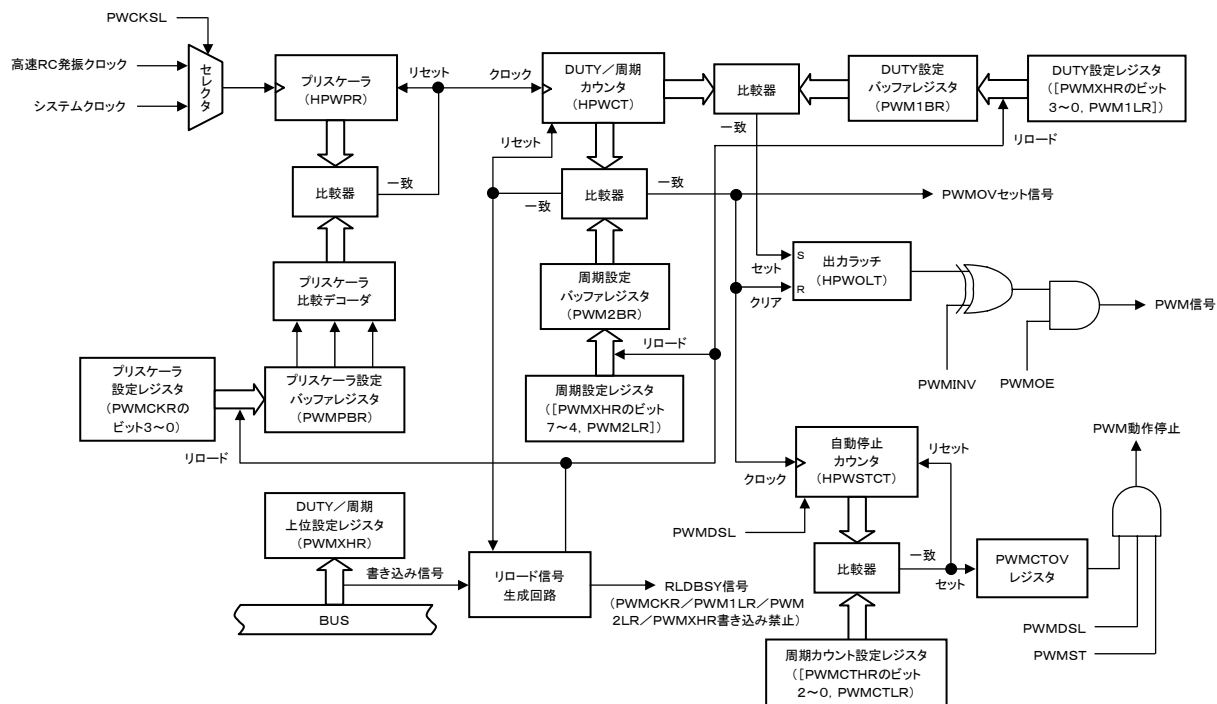


図 3-6-1 高速 12ビットPWMの動作ブロック図

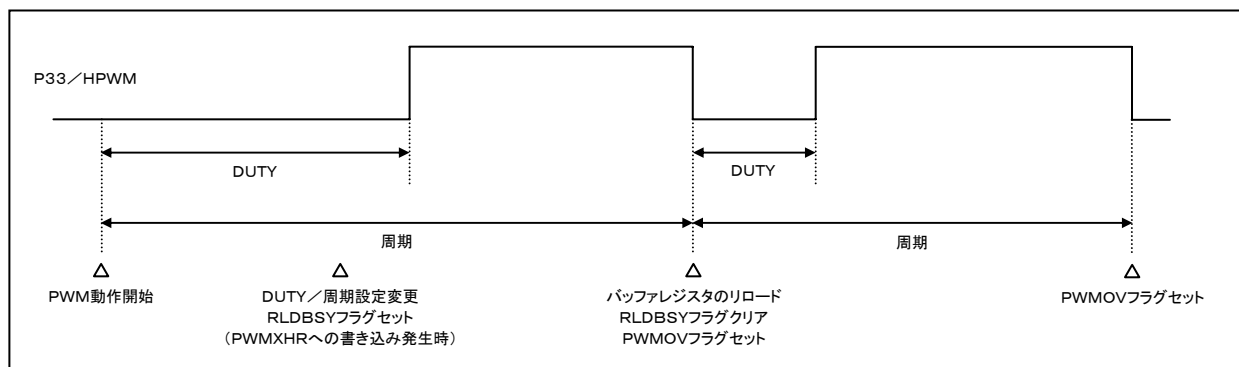


図 3-6-2 連続出力モードの動作波形例 (PWMINV=0)

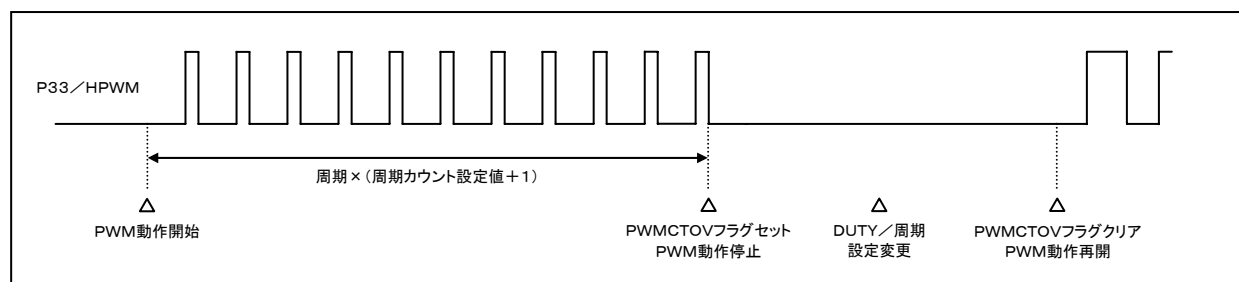


図 3-6-3 設定数出力（自動停止）モードの動作波形例（PWMINV=0）

3-6-4 関連レジスタ

3-6-4-1 HPWM・制御レジスタ(PWMCNT)

① HPWMの動作、割り込みの制御を行います。

② RLDBSYは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA0	0000 0000	R/W	PWMCNT	PWMST	PWMOE	PWMINV	RLDBSY	PWMCTOV	PWMCTIE	PWMOV	PWMIE

PWMST(ビット7):HPWM動作制御

このビットが0の時、HPWMは動作を停止します。

このビットが1の時、HPWMは動作を開始します。

※ PWMST=1 且つ PWMCTOV=1 且つ PWMDSL=1 の時、HPWMは動作を停止しますので注意してください。

PWMOE(ビット6):HPWM出力制御

このビットが0の時、PWM信号の出力を禁止します。

このビットが1の時、PWM信号の出力を許可します。

※ P33/HPWM端子からPWM信号を出力する場合、PWMOE=1, P33DDR=1(P3DDRのビット3), P33=0(P3のビット3)と設定してください。

また、P33の値とPWM信号はORされていますので、P33=1とした場合、Hレベル出力で固定されますので注意してください。

PWMINV(ビット5):HPWM出力極性制御

このビットが0の時、Lレベル出力から始まるPWM信号となります。

このビットが1の時、Hレベル出力から始まるPWM信号となります。

※「図3-6-2」を参照してください。

RLDBSY(ビット4):HPWMリロード待機フラグ

PWMST=1の時、PWMXHRへ書き込みを行うと、RLDBSYがセットされ、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みは禁止されます。

RLDBSYがクリアされる条件は、

1) HPWM動作停止時(PWMST=0)

2) RLDBSYがセットされた後、次のHPWM周期一致信号発生時となります。

※ PWMST=1 且つ PWMDSL=1 且つ PWMCTOV=1 の時は、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みを行うことができます。この場合、書き込みを行ってもRLDBSYはセットされません。

PWMCTOV(ビット3):HPWM周期カウンタ一致フラグ

PWMST=1 且つ PWMDSL(PWMCTHRのビット7)=1の時、HPWSTCTのカウンタ値と[PWMCTHRのビット2~0, PWMCTLR]の値が一致し、一致信号が発生するとセットされます。

このフラグは命令でクリアして下さい。

PWMCTIE(ビット2):HPWM周期カウンタ割り込み要求発生許可制御

このビットとPWMCTOVが共に1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

HPWM

PWMOV(ビット1):HPWM周期一致フラグ

PWMST=1の時、HPWCTのカウント値とPWM2BRの値が一致し、一致信号が発生するとセットされます。
このフラグは命令でクリアして下さい。

PWMIE(ビット0):HPWM周期割り込み要求発生許可制御

このビットとPWMOVが共に1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

3-6-4-2 HPWM・基準クロック設定レジスタ(PWMCKR)

①PWCKの選択、HPWPRのカウント数の設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA1	HHH0 0000	R/W	PWMCKR	-	-	-	PWCKSL	PWPRSL3	PWPRSL2	PWPRSL1	PWPRSL0

PWCKSL(ビット4):HPWM基準クロック(PWCK)選択

PWCKSL	基準クロック(PWCK)
0	高速RC発振クロック
1	システムクロック

PWPRSL3(ビット3):
 PWPRSL2(ビット2):
 PWPRSL1(ビット1):
 PWPRSL0(ビット0):

} HPWMプリスケアラ(HPWPR)制御

PWPRSL3	PWPRSL2	PWPRSL1	PWPRSL0	HPWMプリスケアラ設定カウント数
0	0	0	0	1
0	0	0	1	2
0	0	1	0	4
0	0	1	1	8
0	1	0	0	16
0	1	0	1	32
0	1	1	0	64
0	1	1	1	128
1	0	0	0	256
1	0	0	1	512
1	0	1	0	1024
1	0	1	1	2048
1	1	—	—	4096

注意:

- ・PWMST=1の時、PWCKSLへの書き込みは禁止されます。
- ・PWPRSL3~0="1101"~"1111"の時、HPWPR設定カウント数は"4096"カウントとなります。

3-6-4-3 HPWM・DUTY下位設定レジスタ(PWM1LR)

①このレジスタとPWMXHRのビット3～0でHPWMのDUTY設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA2	0000 0000	R/W	PWM1LR	PWM107	PWM106	PWM105	PWM104	PWM103	PWM102	PWM101	PWM100

3-6-4-4 HPWM・周期下位設定レジスタ(PWM2LR)

①このレジスタとPWMXHRのビット7～4でHPWMの周期設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA3	0000 0000	R/W	PWM2LR	PWM207	PWM206	PWM205	PWM204	PWM203	PWM202	PWM201	PWM200

3-6-4-5 HPWM・DUTY／周期上位設定レジスタ(PWMXHR)

①このレジスタとPWM1LR, PWM2LRでHPWMのDUTY, 周期設定を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA4	0000 0000	R/W	PWMXHR	PWM211	PWM210	PWM209	PWM208	PWM111	PWM110	PWM109	PWM108

$$\text{HPWMのDUTY周期} = (\text{PWMCKRで設定された周期}) \times \frac{([\text{PWMXHRのビット3～0, PWM1LR}] + 1)}{12\text{ビット}}$$

$$\text{HPWMの周期} = (\text{PWMCKRで設定された周期}) \times \frac{([\text{PWMXHRのビット7～4, PWM2LR}] + 1)}{12\text{ビット}}$$

注意：

- ・[PWMXHRのビット3～0, PWM1LR]と[PWMXHRのビット7～4, PWM2LR]の設定値＝000[H]は禁止です。
- ・[PWMXHRのビット3～0, PWM1LR] ≥ [PWMXHRのビット7～4, PWM2LR]の場合、HPWMの出力レベルは変化せずに同一レベルを出力し続けます。
- ・PWMST＝1の時、PWMXHRへ書き込みを行うと、リロード待機フラグ(RLDBSY)がセットされ、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みは禁止されます。この状態で、次のHPWM周期一致信号が発生すると、PWMCKR, PWM1LR, PWM2LR, PWMXHRの内容は、各バッファレジスタへリロードされ、RLDBSYがクリアされます。従って、HPWMの動作中にDUTY, 周期を変更する場合、PWMXHRへの書き込みがリロード動作のトリガとなるため、リロードデータはPWMXHRを最後に書き込むようにプログラムしてください。
- ・PWMST＝1且つPWMDSL＝1(設定数出力モード)且つPWMCTOV(PWMCNTのビット3)＝1の時は、PWMCKR, PWM1LR, PWM2LR, PWMXHRへの書き込みを行うことができます。この場合、書き込みを行ってもRLDBSYはセットされません。

HPWM

3-6-4-6 HPWM・周期カウンタ下位設定レジスタ(PWMCTLR)

①このレジスタとPWMCTHRのビット2～0でHPWMの周期カウンタ数の設定を行います。

②PWMDSL=0の時、このレジスタの値はHPWMの動作に影響を与えません。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA5	0000 0000	R/W	PWMCTLR	PWMCT07	PWMCT06	PWMCT05	PWMCT04	PWMCT03	PWMCT02	PWMCT01	PWMCT00

3-6-4-7 HPWM・周期カウンタ上位設定レジスタ(PWMCTHR)

①HPWMの動作モードの選択、PWMCTHRのビット2～0とPWMCTLRで周期カウンタ数の設定を行います。

②PWMDSL=0の時、PWMCTHRのビット2～0の値はHPWMの動作に影響を与えません。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA6	0HHH H000	R/W	PWMCTHR	PWMDSL	-	-	-	-	PWMCT10	PWMCT09	PWMCT08

PWMDSL(ビット7):HPWM動作モード選択

このビットが0の時、HPWMは連続出力モードとなります。

このビットが1の時、HPWMは設定数出力(自動停止)モードとなります。

$$\text{自動停止までの周期} = \text{HPWMの周期} \times \frac{(\text{PWMCTHRのビット2～0, PWMCTLR}) + 1}{11\text{ビット}}$$

注意:

- PWMST=1の時、PWMDSLへの書き込みは禁止されます。
- PWMST=1の時、PWMCTHRのビット2～0, PWMCTLRへの書き込みは禁止されますが、PWMDSL=1且つPWMCTOV=1の場合、HPWMは動作を停止し、PWMCTHRのビット2～0, PWMCTLRへの書き込みが可能となります(HPWM自動停止時にPWMCTHRのビット2～0, PWMCTLRの書き換えを行なう場合、PWMCTOVが1になるのを確認後またはHPWM周期カウンタ割り込み発生後に行ってください)。また、HPWM自動停止状態から設定数出力モードの動作を再開するには、PWMCTOV=0にクリアする必要があります。

3-7 高速パルス幅／周期測定カウンタ1(HCT1)

3-7-1 概要

本シリーズは、次の機能を持った高速パルス幅／周期測定カウンタ1(HCT1)を備えています。

- ① システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
- ② Hレベル幅／Lレベル幅／周期の測定を選択可能
- ③ 入力トリガ用ノイズフィルタ機能

3-7-2 機能

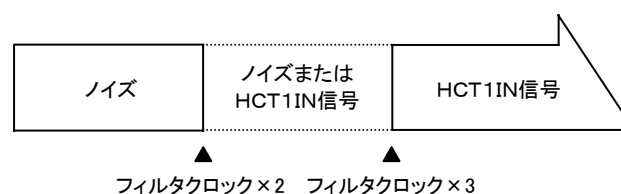
① 高速パルス幅／周期測定カウンタ機能

システムクロックまたは高速RC発振クロック(2種類から基準クロック:HC1CKを選択)によって、3ビットのプリスケアラ(HCT1PR)が動作し、HCT1制御レジスタ(HCT1CNT)で選択された分周比のクロックを出力します。そのクロックで、P30／HCT1IN端子からの入力信号のエッジ検出を行い、測定開始条件を検出すると、15ビットのアップカウンタ(HCT1CT)がカウント動作を行います。その後、測定終了条件を検出すると、HCT1CTはカウント動作を停止し、カウント値を保持します。この時、測定終了フラグ(HCT1END)がセットされます。

$$\text{HCT1の測定周期} = (\text{HCT1CNTのビット6～4で設定された周期}) \times \frac{([\text{HCT1HRのビット6～0}, \text{HCT1LR}] \text{の値})}{15\text{ビット}}$$

② 入力トリガ用ノイズフィルタ機能

- ・HCT1には、エッジ検出回路の前段にノイズフィルタ回路があり、フィルタ後の信号をエッジ検出回路に入力します。
- ・ノイズフィルタ回路の動作は、P30／HCT1IN端子に入力された信号をHCT1PRの出力クロックでサンプリングし、信号レベルが3回連続で一致した場合、その信号レベルを保持し、不一致の場合、以前の信号レベルを保持し続けます。



③ 割り込みの発生

割り込み要求許可ビットがセットされている場合、HCT1からの割り込み要求が発生すると、ベクタアドレス0033Hへの割り込み要求が発生します。

④ 高速パルス幅／周期測定カウンタ1(HCT1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・HCT1CNT, HCT1LR, HCT1HR
- ・P3, P3DDR

HCT1

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	0000 0000	R/W	HCT1CNT	FIX0	HC1CKSL	HC1PRSL1	HC1PRSL0	HCT1OP1	HCT1OP0	HCT1END	HCT1IE
FEC1	XXXX XXXX	R	HCT1LR	HCT1R07	HCT1R06	HCT1R05	HCT1R04	HCT1R03	HCT1R02	HCT1R01	HCT1R00
FEC2	XXXX XXXX	R	HCT1HR	HCT1OV	HCT1R14	HCT1R13	HCT1R12	HCT1R11	HCT1R10	HCT1R09	HCT1R08

3-7-3 回路構成

3-7-3-1 HCT1制御レジスタ(HCT1CNT) (8ビットレジスタ)

① HC1CKの選択、HCT1PRの分周選択、HCT1の動作、割り込みの制御を行います。

注意：HCT1動作時（HCT1OP1～HCT1OP0=0以外）、HCT1CNTのビット7～4への書き込みは禁止されます。

3-7-3-2 HCT1測定カウンタ下位レジスタ(HCT1LR) (8ビットレジスタ)

① HCT1CTの下位8ビットのデータを読み出すレジスタです。

② このレジスタは、リードオンリーです。

3-7-3-3 HCT1測定カウンタ上位レジスタ(HCT1HR) (8ビットレジスタ)

① HCT1CTのオーバーフロー検出フラグ、HCT1CTの上位7ビットのデータを読み出すレジスタです。

② このレジスタは、リードオンリーです。

注意：HCT1CTとHCT1OV（HCT1HRのビット7）は、HCT1OP1～HCT1OP0（HCT1CNTのビット3～2）=0以外を設定直後にリセットされるため、前のHCT1CTのカウント値を読み出してから次の動作設定をするようにしてください。

注意：HCT1HR、HCT1LRは、HCT1測定終了後（HCT1END=1になるのを確認後）に読み出してください。

3-7-3-4 HCT1プリスケアラ(HCT1PR) (3ビットカウンタ)

① 動作開始／停止 : HCT1OP1～HCT1OP0=0以外／HCT1OP1～HCT1OP0=0 ※ホールドモード以外で動作

② カウントクロック : HC1CK

③ 出力クロック : HC1PRSL1～HC1PRSL0（HCT1CNTのビット5～4）で選択された分周比のクロックを発生

④ リセット : HCT1OP1～HCT1OP0=0

3-7-3-5 HCT1測定カウンタ(HCT1CT) (15ビットカウンタ)

① 動作開始／停止 : HCT1OP1～HCT1OP0=0以外を設定後に測定開始条件1と2を検出した時／HCT1OP1～HCT1OP0=0
※ ホールドモード以外で動作
※ 詳細は「図3-7-2」を参照

② カウントクロック : HCT1PRの出力クロック

③ オーバーフロー発生 : HCT1OVへのセット信号を発生

④ リセット : HCT1OP1～HCT1OP0=0以外を設定直後にリセット
※ HCT1OVも同時にリセット

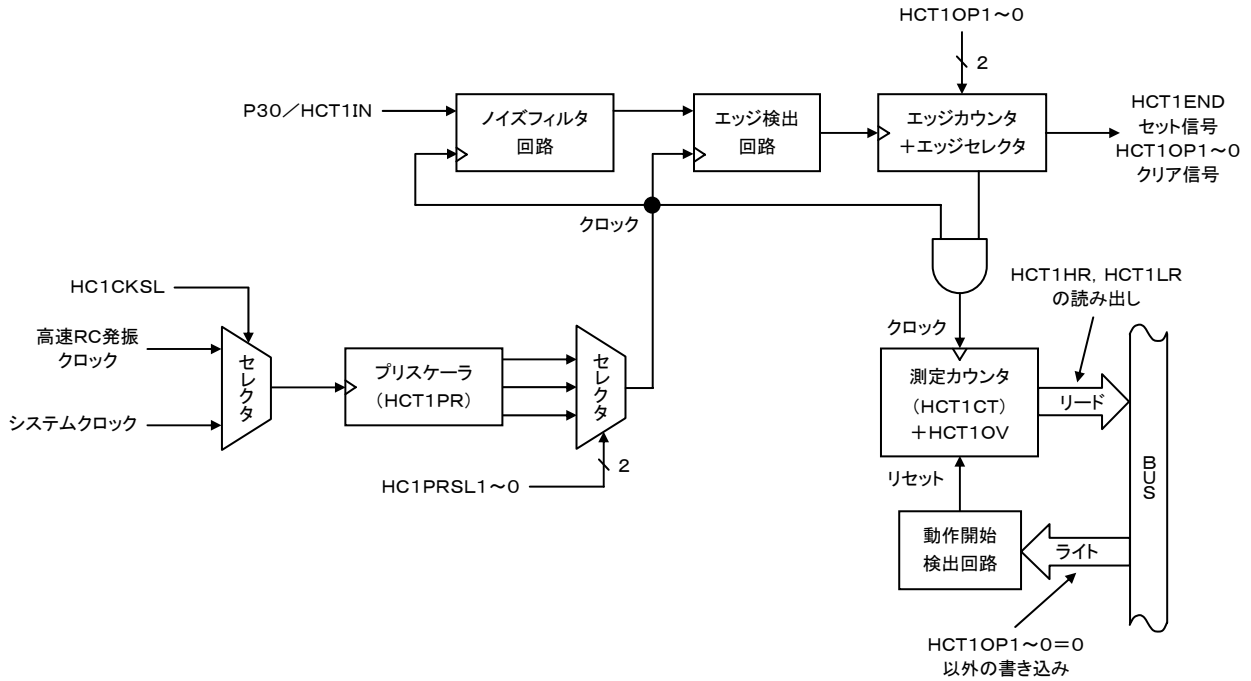


図 3-7-1 高速パルス幅／周期測定カウンタ1の動作ブロック図

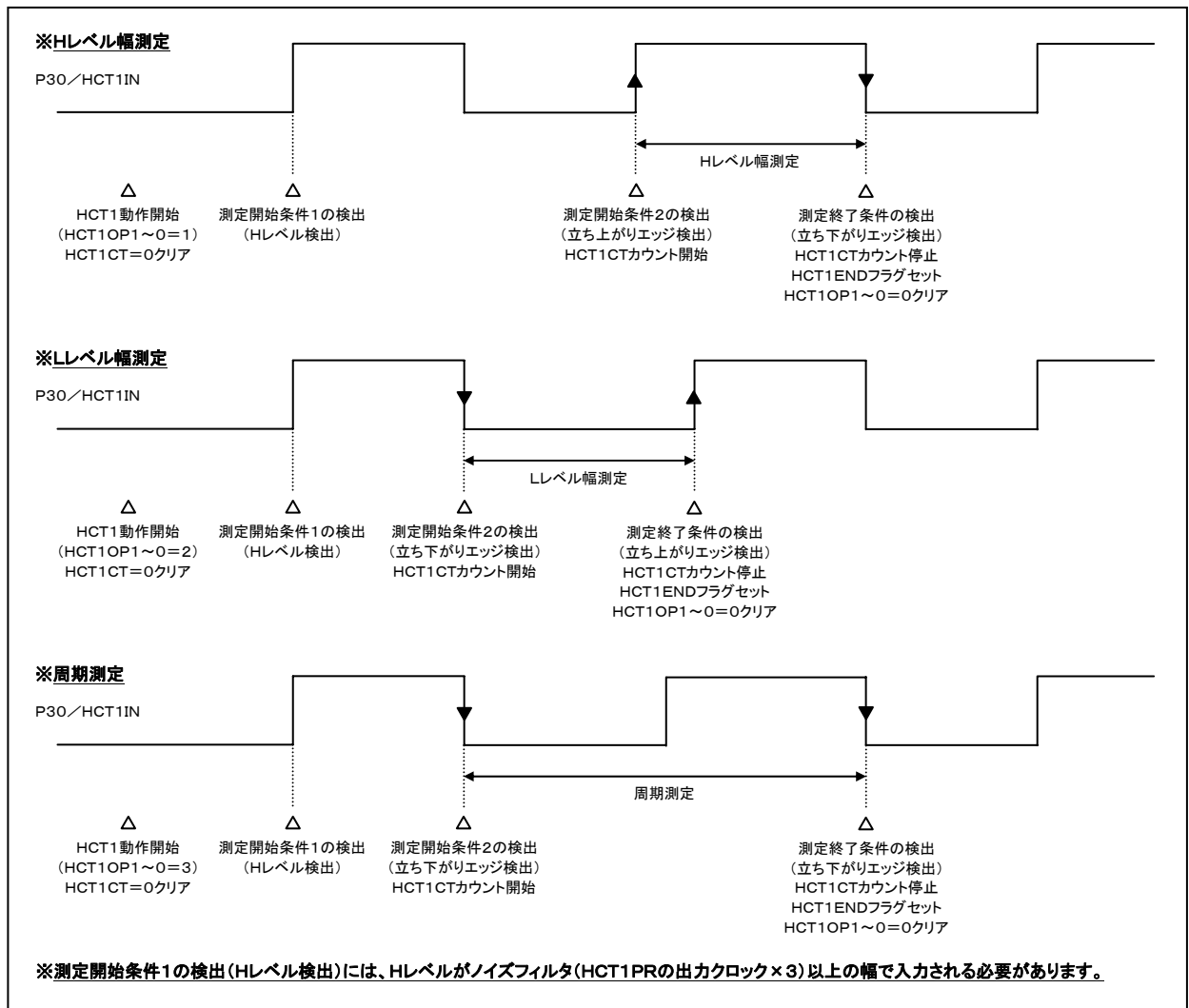


図 3-7-2 高速パルス幅／周期測定カウンタ1の動作波形例

HCT1

3-7-4 関連レジスタ

3-7-4-1 HCT1制御レジスタ(HCT1CNT)

① HC1CKの選択、HCT1PRの分周選択、HCT1の動作、割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	0000 0000	R/W	HCT1CNT	FIX0	HC1CKSL	HC1PRSL1	HC1PRSL0	HCT1OP1	HCT1OP0	HCT1END	HCT1IE

FIX0(ビット7):テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

HC1CKSL(ビット6):HCT1基準クロック(HC1CK)選択

HC1CKSL	基準クロック(HC1CK)
0	高速RC発振クロック
1	システムクロック

HC1PRSL1(ビット5):
HC1PRSL0(ビット4): } HCT1プリスケアラ(HCT1PR)制御

HC1PRSL1	HC1PRSL0	HCT1プリスケアラ分周比選択
0	0	1/1分周
0	1	1/2分周
1	0	1/4分周
1	1	1/8分周

HCT1OP1(ビット3):
HCT1OP0(ビット2): } HCT1動作制御

HCT1OP1	HCT1OP0	HCT1動作選択
0	0	HCT1動作停止
0	1	Hレベル幅測定(立ち上がり～立ち下がり)
1	0	Lレベル幅測定(立ち下がり～立ち上がり)
1	1	周期測定(立ち下がり～立ち下がり)

※HCT1OP1～HCT1OP0=0以外を設定後、測定開始条件を検出すると測定動作を開始します。(詳細は「図3-7-2」を参照)

HCT1END(ビット1):HCT1測定終了フラグ

HCT1の測定終了条件を検出するとセットされます。(詳細は「図3-7-2」を参照)
このフラグは命令でクリアして下さい。

HCT1IE(ビット0):HCT1測定終了割り込み要求発生許可制御

このビットとHCT1ENDが共に1の時、ベクタアドレス0033Hへの割り込み要求が発生します。

注意:HCT1動作時(HCT1OP1～HCT1OP0=0以外)、HCT1CNTのビット7～4への書き込みは禁止されます。

3-7-4-2 HCT1測定カウンタ下位レジスタ(HCT1LR)

- ① HCT1CTの下位8ビットのデータを読み出すレジスタです。
 ② このレジスタは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC1	XXXX XXXX	R	HCT1LR	HCT1R07	HCT1R06	HCT1R05	HCT1R04	HCT1R03	HCT1R02	HCT1R01	HCT1R00

3-7-4-3 HCT1測定カウンタ上位レジスタ(HCT1HR)

- ① HCT1CTのオーバーフロー検出フラグ、HCT1CTの上位7ビットのデータを読み出すレジスタです。
 ② このレジスタは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC2	XXXX XXXX	R	HCT1HR	HCT1OV	HCT1R14	HCT1R13	HCT1R12	HCT1R11	HCT1R10	HCT1R09	HCT1R08

HCT1OV(ビット7): HCT1CTオーバーフロー検出フラグ

HCT1動作時(HCT1OP1~HCT1OP0=0以外)、HCT1CTがオーバーフローしたのを検出すると、このビットがセットされますので、測定終了後にこのビットを読み出して、正常に測定できたかを判断してください。

$$\text{HCT1の測定周期} = (\text{HCT1CNTのビット6} \sim \text{4で設定された周期}) \times \frac{([\text{HCT1HRのビット6} \sim \text{0, HCT1LR}] \text{の値})}{15 \text{ビット}}$$

注意: HCT1CTとHCT1OVは、HCT1OP1~HCT1OP0=0以外を設定直後にリセットされるため、前のHCT1CTのカウント値を読み出してから次の動作設定をするようにしてください。

注意: HCT1HR, HCT1LRは、HCT1測定終了後(HCT1END=1になるのを確認後)に読み出してください。

3-8 高速パルス幅／周期測定カウンタ2(HCT2)

3-8-1 概要

本シリーズは、次の機能を持った高速パルス幅／周期測定カウンタ2(HCT2)を備えています。

- ① システムクロック／高速RC発振クロック(20MHzまたは40MHz)による動作を選択可能
- ② Lレベル幅と周期を一度に測定可能
- ③ 入力トリガ用ノイズフィルタ機能
- ④ 入力トリガ切り替え可能(P11/HCT2IN, P31/HCT2IN, アナログコンパレータ出力の3種類から選択)

3-8-2 機能

① 高速パルス幅／周期測定カウンタ機能

システムクロックまたは高速RC発振クロック(2種類から基準クロック:HC2CKを選択)によって、4ビットのプリスケアラ(HCT2PR)が動作し、HCT2制御レジスタ(HCT2CNT)で選択された分周比のクロックを出力します。そのクロックで、HCT2入力トリガ信号(P11/HCT2IN, P31/HCT2IN, アナログコンパレータ出力の3種類から選択)のエッジ検出を行い、測定開始条件を検出すると、19ビットのアップカウンタ(HCT2CT)がカウント動作を行います。その後、Lレベル幅測定終了条件を検出すると、Lレベル幅キャプチャレジスタ(HCT21HR, HCT21MR, HCT21LR)にHCT2CTの値がキャプチャされ、周期測定終了条件を検出すると、HCT2CTはカウント動作を停止し、カウント値を保持します。この時、測定終了フラグ(HCT2END)がセットされます。

$$\begin{aligned} \text{HCT2の測定周期(Lレベル幅)} = & \\ & (\text{HCT2CNTのビット6} \sim \text{4で設定された周期}) \times \\ & \frac{([\text{HCT21HR}, \text{HCT21MR}, \text{HCT21LR}] \text{の値})}{19 \text{ビット}} \end{aligned}$$

$$\begin{aligned} \text{HCT2の測定周期(周期)} = & \\ & (\text{HCT2CNTのビット6} \sim \text{4で設定された周期}) \times \\ & \frac{([\text{HCT22HRのビット2} \sim \text{0}, \text{HCT21MR}, \text{HCT21LR}] \text{の値})}{19 \text{ビット}} \end{aligned}$$

② 入力トリガ用ノイズフィルタ機能

- ・HCT2には、エッジ検出回路の前段にノイズフィルタ回路があり、フィルタ後の信号をエッジ検出回路に入力します。
- ・ノイズフィルタ回路の動作は、HCT2入力トリガ信号をHCT2PRの出力クロックでサンプリングし、信号レベルが6回連続で一致した場合、その信号レベルを保持し、不一致の場合、以前の信号レベルを保持し続けます。



③ 割り込みの発生

割り込み要求許可ビットがセットされている場合、HCT2からの割り込み要求が発生すると、ベクタアドレス003BHへの割り込み要求が発生します。

④ 高速パルス幅／周期測定カウンタ2(HCT2)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・HCT2CNT, HCT21LR, HCT21MR, HCT21HR,
HCT22LR, HCT22MR, HCT22HR
- ・CMPCNT
- ・P1, P1DDR, P3, P3DDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC5	0000 H000	R/W	HCT2CNT	FIX0	HC2CKSL	HC2PRSL1	HC2PRSL0	-	HCT2ST	HCT2END	HCT2IE
FEC6	XXXX XXXX	R	HCT21LR	HCT21R07	HCT21R06	HCT21R05	HCT21R04	HCT21R03	HCT21R02	HCT21R01	HCT21R00
FEC7	XXXX XXXX	R	HCT21MR	HCT21R15	HCT21R14	HCT21R13	HCT21R12	HCT21R11	HCT21R10	HCT21R09	HCT21R08
FEC8	HHHH HXXX	R	HCT21HR	-	-	-	-	-	HCT21R18	HCT21R17	HCT21R16
FEC9	XXXX XXXX	R	HCT22LR	HCT22R07	HCT22R06	HCT22R05	HCT22R04	HCT22R03	HCT22R02	HCT22R01	HCT22R00
FECA	XXXX XXXX	R	HCT22MR	HCT22R15	HCT22R14	HCT22R13	HCT22R12	HCT22R11	HCT22R10	HCT22R09	HCT22R08
FECB	0000 XXXX	R/W	HCT22HR	TRGSL	TRGSFT2	TRGSFT1	TRGSFT0	HCT2OV	HCT22R18	HCT22R17	HCT22R16

3-8-3 回路構成

3-8-3-1 HCT2制御レジスタ(HCT2CNT) (7ビットレジスタ)

① HC2CKの選択、HCT2PRの分周選択、HCT2の動作、割り込みの制御を行います。

注意：HCT2動作時(HCT2ST=1)、HCT2CNTのビット7～4への書き込みは禁止されます。

3-8-3-2 HCT2キャプチャ下位レジスタ(HCT21LR) (8ビットレジスタ)

① HCT2CTで測定されたLレベル幅のビット7～0が格納されるキャプチャレジスタです。

② このレジスタは、リードオンリーです。

③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

3-8-3-3 HCT2キャプチャ中位レジスタ(HCT21MR) (8ビットレジスタ)

① HCT2CTで測定されたLレベル幅のビット15～8が格納されるキャプチャレジスタです。

② このレジスタは、リードオンリーです。

③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

HCT2

3-8-3-4 HCT2キャプチャ上位レジスタ(HCT21HR) (3ビットレジスタ)

① HCT2CTで測定されたLレベル幅のビット18～16が格納されるキャプチャレジスタです。

② このレジスタは、リードオンリーです。

③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

注意：HCT21HR, HCT21MR, HCT21LRは、HCT2測定終了後(HCT2END=1になるのを確認後)に読み出してください。

3-8-3-5 HCT2測定カウンタ下位レジスタ(HCT22LR) (8ビットレジスタ)

① HCT2CTのビット7～0のデータを読み出すレジスタです。

② このレジスタは、リードオンリーです。

3-8-3-6 HCT2測定カウンタ中位レジスタ(HCT22MR) (8ビットレジスタ)

① HCT2CTのビット15～8のデータを読み出すレジスタです。

② このレジスタは、リードオンリーです。

3-8-3-7 HCT2測定カウンタ上位レジスタ(HCT22HR) (8ビットレジスタ)

① HCT2入力トリガ選択、トリガ信号のサンプリングシフト選択、HCT2CTのオーバーフロー検出フラグ、HCT2CTのビット18～16のデータを読み出すレジスタです。

② このレジスタのビット3～0は、リードオンリーです。

注意：HCT2ST(HCT2CNTのビット2)=1の時、HCT2HRのビット7～4への書き込みは禁止されます。

注意：HCT2CTとHCT2OV(HCT22HRのビット7)は、HCT2ST=1を設定直後にリセットされるため、前のHCT2CTのカウント値を読み出してから次の動作設定をするようにしてください。

注意：HCT22HRのビット3～0, HCT22MR, HCT22LRは、HCT2測定終了後(HCT2END=1になるのを確認後)に読み出してください。

3-8-3-8 HCT2プリスケアラ(HCT2PR) (4ビットカウンタ)

① 動作開始／停止 : HCT2ST=1／HCT2ST=0

※ ホールドモード以外で動作

② カウントクロック : HC2CK

③ 出力クロック : HC2PRSL1～HC2PRSL0(HCT2CNTのビット5～4)
で選択された分周比のクロックを発生

④ リセット : HCT2ST=0

3-8-3-9 HCT2測定カウンタ(HCT2CT) (19ビットカウンタ)

① 動作開始／停止 : HCT2ST=1を設定後に測定開始条件1と2を検出した時／HCT2ST=0

※ ホールドモード以外で動作

※ 詳細は「図3-8-2」を参照

② カウントクロック : HCT2PRの出力クロック

- ③ オーバーフロー発生 : HCT2OVへのセット信号を発生
 ④ リセット : HCT2ST=1を設定直後にリセット
 ※ HCT2OVも同時にリセット

3-8-3-10 HCT2トリガシフトカウンタ(TRGSFTCT) (8ビットカウンタ)

① HCT2ST=1且つTRGSFT2~0 (HCT22HRのビット6~4)=0以外の時、HCT2入力トリガ信号のエッジを検出すると、HCT2PRの出力クロックによってTRGSFTCTが動作します。TRGSFTCTが、TRGSFT2~0で設定されたカウント数に達するとクロックを出力し、ノイズフィルタ後の信号をサンプリングします。この時、TRGSFTCTはクリアされ、次のエッジを検出するまで動作を停止します。(TRGSFTCT動作時に次のエッジを検出しても無視されます)

※この機能は、主にアナログコンパレータ出力の切り替わり時のノイズフィルタとして使用します。(詳細は「図3-8-3」を参照)

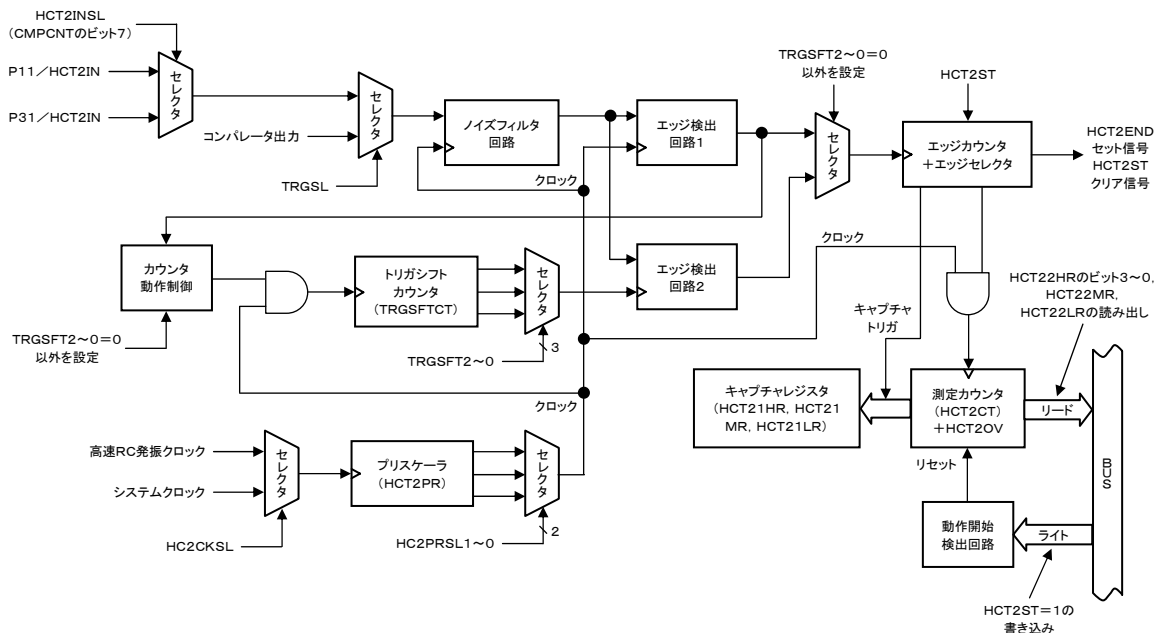


図3-8-1 高速パルス幅/周期測定カウンタ2の動作ブロック図

HCT2

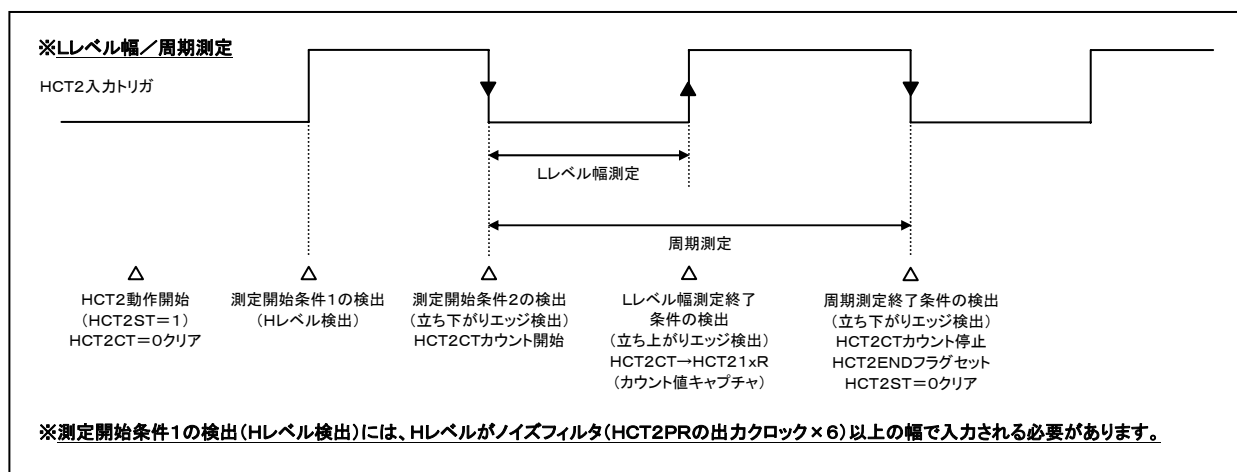


図 3-8-2 高速パルス幅／周期測定カウンタ2の動作波形例

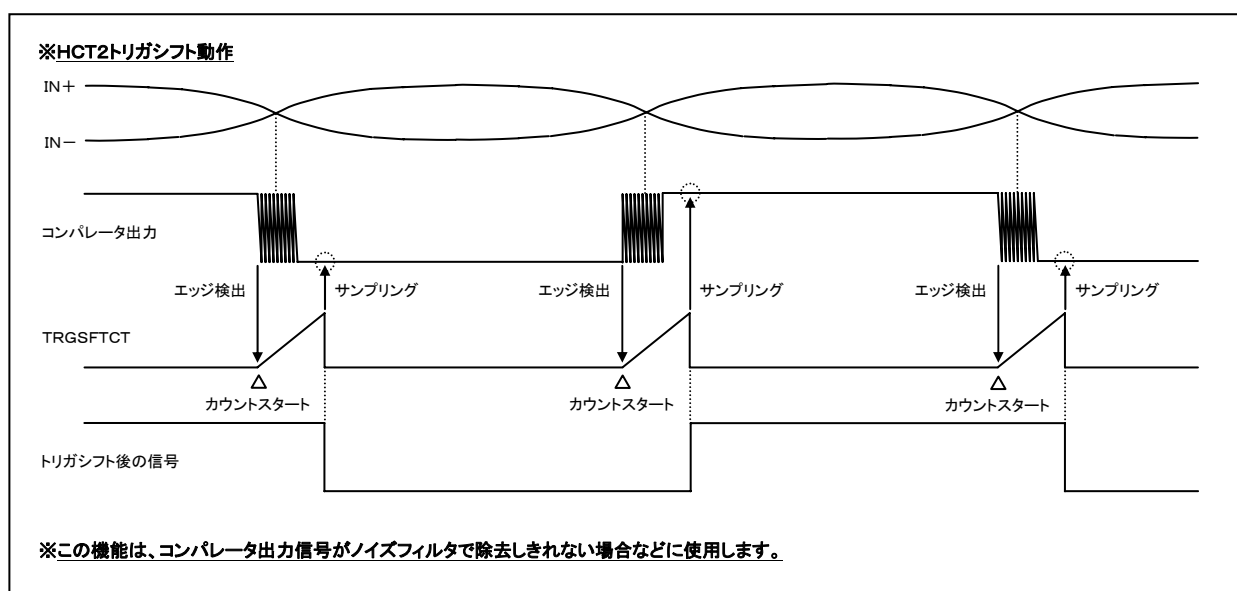


図 3-8-3 入力トリガ信号シフト動作波形例 (TRGSFT2～0=0以外)

3-8-4 関連レジスタ

3-8-4-1 HCT2制御レジスタ(HCT2CNT)

① HC2CKの選択、HCT2PRの分周選択、HCT2の動作、割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC5	0000 H000	R/W	HCT2CNT	FIX0	HC2CKSL	HC2PRSL1	HC2PRSL0	-	HCT2ST	HCT2END	HCT2IE

FIX0 (ビット7) : テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

HC2CKSL (ビット6) : HCT2基準クロック(HC2CK)選択

HC2CKSL	基準クロック(HC2CK)
0	高速RC発振クロック
1	システムクロック

HC2PRSL1 (ビット5) : } HCT2プリスケアラ(HCT2PR)制御
HC2PRSL0 (ビット4) : }

HC2PRSL1	HC2PRSL0	HCT2プリスケアラ分周比選択
0	0	1/2分周
0	1	1/4分周
1	0	1/8分周
1	1	1/16分周

HCT2ST (ビット2) : HCT2動作制御

HCT2ST	HCT2動作選択
0	HCT2動作停止
1	Lレベル幅/周期測定(立ち下がり～立ち下がり)

※ HCT2ST=1を設定後、測定開始条件を検出すると測定動作を開始します。(詳細は「図3-8-2」を参照)

HCT2END (ビット1) : HCT2測定終了フラグ

HCT2の測定終了条件を検出するとセットされます。(詳細は「図3-8-2」を参照)

このフラグは命令でクリアして下さい。

HCT2IE (ビット0) : HCT2測定終了割り込み要求発生許可制御

このビットとHCT2ENDが共に1の時、ベクタアドレス003BHへの割り込み要求が発生します。

注意 : HCT2動作時(HCT2ST=1)、HCT2CNTのビット7～4への書き込みは禁止されます。

HCT2

3-8-4-2 HCT2キャプチャ下位レジスタ(HCT21LR)

- ① HCT2CTで測定されたLレベル幅のビット7～0が格納されるキャプチャレジスタです。
- ② このレジスタは、リードオンリーです。
- ③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC6	XXXX XXXX	R	HCT21LR	HCT21R07	HCT21R06	HCT21R05	HCT21R04	HCT21R03	HCT21R02	HCT21R01	HCT21R00

3-8-4-3 HCT2キャプチャ中位レジスタ(HCT21MR)

- ① HCT2CTで測定されたLレベル幅のビット15～8が格納されるキャプチャレジスタです。
- ② このレジスタは、リードオンリーです。
- ③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC7	XXXX XXXX	R	HCT21MR	HCT21R15	HCT21R14	HCT21R13	HCT21R12	HCT21R11	HCT21R10	HCT21R09	HCT21R08

3-8-4-4 HCT2キャプチャ上位レジスタ(HCT21HR)

- ① HCT2CTで測定されたLレベル幅のビット18～16が格納されるキャプチャレジスタです。
- ② このレジスタは、リードオンリーです。
- ③ HCT2ST=1の時、Lレベル幅測定終了条件を検出すると、HCT2CTの内容がこのレジスタにキャプチャされます。(詳細は「図3-8-2」を参照)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC8	HHHH HXXX	R	HCT21HR	-	-	-	-	-	HCT21R18	HCT21R17	HCT21R16

$$\begin{aligned} \text{HCT2の測定周期(Lレベル幅)} = & \\ & (\text{HCT2CNTのビット6～4で設定された周期}) \times \\ & ([\text{HCT21HR}, \text{HCT21MR}, \text{HCT21LR}] \text{の値}) \\ & 19\text{ビット} \end{aligned}$$

注意: HCT21HR, HCT21MR, HCT21LRは、HCT2測定終了後(HCT2END=1になるのを確認後)に読み出してください。

3-8-4-5 HCT2測定カウンタ下位レジスタ(HCT22LR)

- ① HCT2CTのビット7～0のデータを読み出すレジスタです。
- ② このレジスタは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC9	XXXX XXXX	R	HCT22LR	HCT22R07	HCT22R06	HCT22R05	HCT22R04	HCT22R03	HCT22R02	HCT22R01	HCT22R00

3-8-4-6 HCT2測定カウンタ中位レジスタ(HCT22MR)

- ① HCT2CTのビット15～8のデータを読み出すレジスタです。
- ② このレジスタは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECA	XXXX XXXX	R	HCT22MR	HCT22R15	HCT22R14	HCT22R13	HCT22R12	HCT22R11	HCT22R10	HCT22R09	HCT22R08

3-8-4-7 HCT2測定カウンタ上位レジスタ(HCT22HR)

① HCT2入力トリガ選択、トリガ信号のサンプリングシフト選択、HCT2CTのオーバーフロー検出フラグ、HCT2CTのビット18～16のデータを読み出すレジスタです。

② このレジスタのビット3～0は、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECB	0000 XXXX	R/W	HCT22HR	TRGSL	TRGSFT2	TRGSFT1	TRGSFT0	HCT2OV	HCT22R18	HCT22R17	HCT22R16

TRGSL(ビット7):HCT2入力トリガ選択

このビットとHCT2INSL(CMPCNTのビット7)により、測定を行う入力信号を選択します。

HCT2INSL	TRGSL	HCT2入力トリガ選択
0	0	P11/HCT2IN
0	1	アナログコンパレータ出力
1	0	P31/HCT2IN
1	1	アナログコンパレータ出力

TRGSFT2(ビット6):
 TRGSFT1(ビット5):
 TRGSFT0(ビット4):

} HCT2トリガシフトカウンタ(TRGSFTCT)制御

TRGSFT2	TRGSFT1	TRGSFT0	HCT2トリガシフトカウンタ設定カウント数
0	0	0	トリガシフトカウンタ動作停止
0	0	1	4
0	1	0	8
0	1	1	16
1	0	0	32
1	0	1	64
1	1	0	128
1	1	1	256

※詳細は「図3-8-2」を参照してください。

エッジ検出後からサンプリングクロック発生までの周期＝
 (HCT2CNTのビット6～4で設定された周期)×
 (HCT22HRのビット6～4で設定されたカウント数)

HCT2OV(ビット3):HCT2CTオーバーフロー検出フラグ

HCT2動作時(HCT2ST=1)、HCT2CTがオーバーフローしたのを検出すると、このビットがセットされますので、測定終了後にこのビットを読み出して、正常に測定できたかを判断してください。

HCT2の測定周期(周期)＝
 (HCT2CNTのビット6～4で設定された周期)×
 ([HCT22HRのビット2～0, HCT21MR, HCT21LR]の値)
 19ビット

HCT2

注意：HCT2ST=1の時、HCT2HRのビット7～4への書き込みは禁止されます。

注意：HCT2CTとHCT2OVは、HCT2ST=1を設定直後にリセットされるため、前のHCT2CTのカウント値を読み出してから次の動作設定をするようにしてください。

注意：HCT22HRのビット3～0、HCT22MR、HCT22LRは、HCT2測定終了後（HCT2END=1になるのを確認後）に読み出してください。

3-9 ADコンバータ(ADC12)

3-9-1 概要

本シリーズは、下記の特長を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り換え機能(分解能切り換え)
- ④3チャンネルアナログ入力
- ⑤変換時間切り換え機能
- ⑥基準電圧自動発生制御機能

3-9-2 機能

- ①逐次比較方式
 - ・12ビットの分解能を持っています。
 - ・変換には、変換開始から所定の変換時間が必要です。
 - ・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。
- ②AD変換切り換え機能(分解能切り換え)
 - ・使用条件に合わせ分解能を切り換えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り換えは、ADモードレジスタ(ADMRC)で行います。
- ③3チャンネルアナログ入力
 - ・変換される信号は、P10～P12から入力される3種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。
- ④変換時間切り換え機能
 - ・AD変換時間を1/1～1/128(分周比)に切り換えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り換えます。
- ⑤基準電圧自動発生制御機能
 - ・基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生のセット/リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

ADC12

⑥ ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ADCRC, ADMRC, ADRLC, ADRHC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-9-3 回路構成

3-9-3-1 AD変換制御回路

① AD変換制御回路には12ビットAD変換モードと8ビットAD変換モードがあります。

3-9-3-2 比較回路

① 入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCRC)の変換終了フラグ(ADENDF)がセットされます。
変換結果は、AD変換結果レジスタ(ADRHC, ADRLC)に格納されます。

3-9-3-3 マルチプレクサ1(MPX1)

① 3チャンネルからAD変換するアナログ信号を選択します。

3-9-3-4 基準電圧自動発生回路

① ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はVDD～VSSの範囲で作成されます。

3-9-4 関連レジスタ

3-9-4-1 AD制御レジスタ(ADCRC)

① ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE

ADCHSEL3(ビット7):
ADCHSEL2(ビット6):
ADCHSEL1(ビット5):
ADCHSEL0(ビット4):

} AD変換入力信号選択

AD変換する信号を選択します。

AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	信号入力端子
0	0	0	0	P10／AN0
0	0	0	1	P11／AN1
0	0	1	0	P12／AN2

ADCR3(ビット3):固定ビット

‘0’固定で使用します。

ADSTART(ビット2):AD変換動作制御

AD変換を開始(1)／停止(0)します。‘1’の設定時、AD変換が開始され、AD変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)とADモードレジスタ(ADMRC)のADTM1(ビット1)、ADTM0(ビット0)の3ビットで行います。

‘0’の設定時、AD変換が停止します。AD変換動作中にクリアすると正しい変換結果が得られません。

AD変換動作中は、絶対にクリアまたはHALT, HOLD状態にしないでください。

ADENDF(ビット1):AD変換終了フラグ

AD変換の終了を知らせます。AD変換が終了するとセット(1)されます。

ADIEが‘1’の場合、ベクタアドレス0043Hへの割り込み要求が発生し、‘0’の場合、AD変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ADIE(ビット0):AD変換割り込み要求発生許可制御

このビットとADENDFがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

注意:

- ・ADCHSEL3～0の‘0011’～‘1111’設定を禁止します。
- ・ADSTARTが‘1’の動作状態でHALT, HOLD状態にしないでください。必ず、‘0’になったことを確認してからHALT, HOLD状態にしてください。

3-9-4-2 ADモードレジスタ(ADMRC)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4(ビット7):固定ビット

‘0’固定で使用します。

ADC12

ADMD3 (ビット6): AD変換モード制御 (分解能切り換え)

ADコンバータの分解能を12ビットAD変換モード(0)/8ビットAD変換モード(1)に切り換えます。

‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果レジスタ(ADRH C)のみセットされ、AD変換結果下位レジスタ(ADRL C)は変化しません。

‘0’の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH C)とAD変換結果下位レジスタ(ADRL C)の上位4ビットにセットされます。

ADMD2 (ビット5): 固定ビット

‘0’固定で使 用 します。

ADMD1 (ビット4): 固定ビット

‘0’固定で使 用 します。

ADMD0 (ビット3): 固定ビット

‘0’固定で使 用 します。

ADMR2 (ビット2): 固定ビット

‘0’固定で使 用 します。

ADTM1 (ビット1): } AD変換時間制御
ADTM0 (ビット0): }

AD変換結果下位レジスタ(ADRL C)のADTM2 (ビット0)の1ビットと合わせて3ビットで変換時間を制御します。

ADRLC レジスタ	ADMRC レジスタ		AD分周比
ADTM2	ADTM1	ADTM0	
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
1	0	1	1/32
1	1	0	1/64
1	1	1	1/128

変換時間算出方法

- ・12ビットAD変換モード: 変換時間 = $((52 / (\text{AD分周比})) + 2) \times (1/3) \times T_{\text{cyc}}$
- ・8ビットAD変換モード: 変換時間 = $((32 / (\text{AD分周比})) + 2) \times (1/3) \times T_{\text{cyc}}$

注意：

- ・変換時間は下記の時、通常時の2倍となります。
 - ① システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ② AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り換え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-9-4-3 AD変換結果下位レジスタ(ADRLC)

- ① 12ビットADモード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ② AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3(ビット7):
 DATAL2(ビット6):
 DATAL1(ビット5):
 DATAL0(ビット4):

} AD変換結果の下位4ビットデータ

ADRL3(ビット3): 固定ビット
 ‘0’固定で使 用 します。

ADRL2(ビット2): 固定ビット
 ‘0’固定で使 用 します。

ADRL1(ビット1): 固定ビット
 ‘0’固定で使 用 します。

ADTM2(ビット0): AD変換時間制御
 ADモードレジスタ(ADMRC)のADTM1(ビット1), ADTM0(ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意：

- ・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。

3-9-4-4 AD変換結果上位レジスタ(ADRHC)

- ① 12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。
- ② AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-9-5 ADC動作の具体例

3-9-5-1 12ビットAD変換モード

①12ビットAD変換モードの設定

- ・ADモードレジスタ(ADMRC)のADMD3(ビット6)=0にします。

②変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)=1にし、ADモードレジスタ(ADMRC)のADTM1(ビット1)=0、ADTM0(ビット0)=1にします。

③入力チャネルの設定

- ・ADチャネル入力のAN2を使用する場合、AD制御レジスタ(ADCRC)のADCHSEL3(ビット7)=0、ADCHSEL2(ビット6)=0、ADCHSEL1(ビット5)=1、ADCHSEL0(ビット4)=0にします。

④ADスタート

- ・AD制御レジスタ(ADCRC)のADSTART(ビット2)=1にします。
- ・システムリセット後と8ビットAD変換モードから12ビットAD変換モードに切り換えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。

⑤AD変換終了フラグの検知

- ・AD制御レジスタ(ADCRC)のADENDF(ビット1)=1になるまでモニタします。
- ・ADENDF(ビット1)=1になったことを確認後、終了フラグのADENDFを0にクリアします。

⑥AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)を読み込みます。読み込んだ変換データには誤差(量子化誤差+総合誤差)が含まれていますので、最新の「半導体ニュース」の規格に従って有効となる変換データを使用します。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

3-9-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニュース」を参照してください。
- ② 変換動作中にADSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にHALT, HOLD状態にしないでください。必ず、ADSTARTが‘0’になったことを確認してからHALT, HOLD状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ADENDF)がセットされ、同時にAD変換動作制御ビット(ADSTART)がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。
- ⑥ 変換時間は下記の時、通常時の2倍となります。
 - ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り換え、最初のAD変換を行った時。
 2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。
- ⑦ 変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。
- ⑧ P10/AN0~P12/AN2への入力電圧は規格の範囲で使用してください。
特にVDD以上、VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。
- ⑨ ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
 - ・VDD1、VSS1端子の直近(出来る限り直近5mm以内が望ましい)には必ずバイパスコンデンサ(数 μ F+数千pF)を外付けしてください。
 - ・アナログ入力端子にはノイズ除去に最適なローパスフィルタ(CR)やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳していないGNDをご使用ください。(目安としては $R = \sim 5k\Omega$ 以下/ $C = 1000pF \sim 0.1\mu F$)
 - ・アナログ信号線はデジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳していないGNDでシールドしてください。
 - ・変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力しないでください。

ADC12

- ・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンのVDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成するときには、この点に注意して作成してください。
- ・各端子の入出力電圧はVDD～VSS以内になるよう調整してください。

⑩ 有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。

3-10 アナログコンパレータ(ACMP)

3-10-1 概要

本シリーズは、次の機能を持ったアナログコンパレータ(ACMP)を備えています。

- ① P32/CMPO端子への出力機能(出力極性切り替え可能)
- ② エッジ検出機能(INTCと共用でノイズフィルタ機能も選択可能)

3-10-2 機能

① アナログコンパレータ機能

P11/IN+とP12/IN-端子からの入力電圧を比較するコンパレータとして動作します。コンパレータの出力は、P32/CMPO端子から出力が可能で、出力極性の切り替えも可能です。また、この出力をINTC外部割り込み回路に入力したり、高速パルス幅/周期測定カウンタ2(HCT2)の入力トリガとして使用することができます。

INTCに入力する場合、P32/INTC端子からの入力信号と兼用で、ノイズフィルタ機能やホールドモード解除機能が使用できます。

- ② アナログコンパレータ(ACMP)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・CMPCNT
- ・IADSL
- ・P1, P1DDR, P3, P3DDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECC	0000 0000	R/W	CMPCNT	HCT2INSL	INTCINSL	FIX0	P32OTSL1	CM PON	CMPOUT	P32OTSL0	CM POTIV

3-10-3 回路構成

3-10-3-1 ACMP制御レジスタ(CMPCNT) (8ビットレジスタ)

- ① HCT2入力トリガの選択、INTC入力信号選択、コンパレータの動作、P32/CMPO端子の兼用出力選択を行います。
- ② CMPOUT(CMPCNTのビット2)は、リードオンリーです。

3-10-3-2 アナログコンパレータ(ACMP) (コンパレータ)

- ① P11/IN+とP12/IN-端子からの入力電圧を比較するコンパレータです。
- ② コンパレータの動作は、入力される電圧レベルが、+ > -の時Hレベルを出力し、+ < -の時Lレベルを出力します。

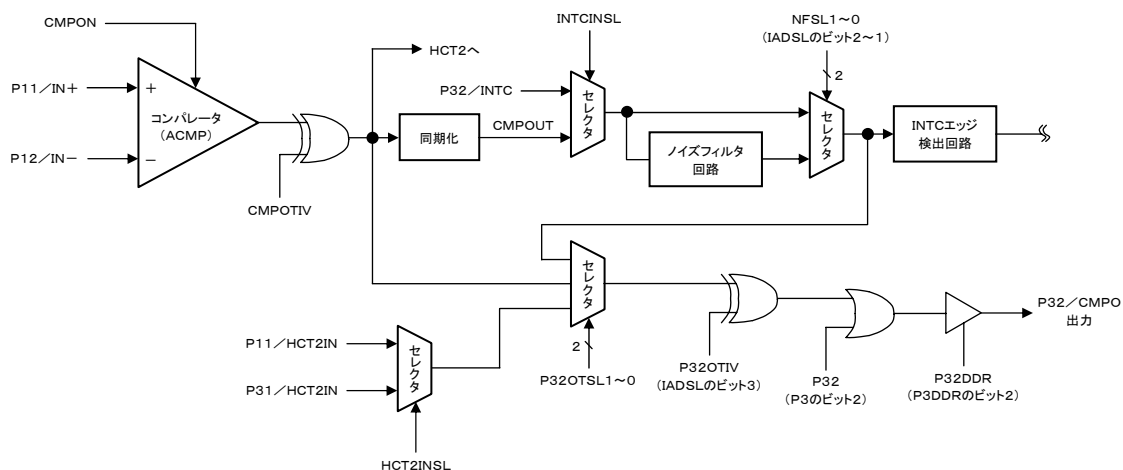
ACMP

図 3-10-1 アナログコンパレータとP32/CMP0端子の兼用出力ブロック図

3-10-4 関連レジスタ

3-10-4-1 ACMP制御レジスタ(CMPCNT)

① HCT2入力トリガの選択、INTC入力信号選択、コンパレータの動作、P32/CMPO端子の兼用出力選択を行います。

② CMPOUTは、リードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECC	0000 0000	R/W	CMPCNT	HCT2INSL	INTCINSL	FIX0	P32OTSL1	CM PON	CM POUT	P32OTSL0	CM POTIV

HCT2INSL (ビット7): HCT2入力トリガ選択

このビットの説明は「3-8 高速パルス幅／周期測定カウンタ2」を参照してください。

INTCINSL (ビット6): INTC 入力信号選択

INTCINSL	INTC外部割り込み回路入力信号
0	P32/INTC
1	アナログコンパレータ出力

FIX0 (ビット5) : テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

P32OTSL1(ビット4): } P32/CMPO兼用出力選択
P32OTSL0(ビット1): }

P32OTSL1	P32OTSL0	P32／CMPO出力信号
0	0	兼用出力禁止
0	1	アナログコンパレータ出力信号
1	0	INTCノイズフィルタ後の出力信号
1	1	HCT2入力トリガ信号

- ※ P32OTSL1/0=0/0の時、これらのビットで選択されるセクタの出力は、Lレベルで固定となります。(詳細は「図3-10-1」を参照)
- ※ P32/CMPOの兼用出力を制御するには、P32OTIV(IADSLのビット3)、P32(P3のビット2)、P32DDR(P3DDRのビット2)の設定も必要です。(詳細は「図3-10-1」を参照)
- ※ P32DDR=1(P32出力モード)の時、INTCINSL=0且つP32OTSL1/0=1/0を設定しないでください。

CMPON(ビット3):ACMP動作制御

このビットが0の時、ACMPは動作を停止します。

このビットが1の時、ACMPは動作を開始します。

- ※ ACMPは、スタンバイモード(HALTモード、HOLDモード)でも動作します。但し、ACMP動作時は数百 μ Aの動作電流が常時流れますので、「半導体ニューズ」で確認の上、使用してください。

CMPOUT(ビット2):ACMP出力データリードビット

このビットでACMPの出力データを読み出すことができます。

- ※ INTC外部割り込み回路の入力にACMP出力信号を選択し、両エッジ割り込みを設定した場合、割り込み発生後、このビットを読み出すことで立ち上がり/立ち下がりエッジかを判断することができます。

CMPOIV(ビット0):ACMP出力極性制御

このビットが0の時、ACMPに入力される電圧レベルが+>-の場合Hレベルを出力し、+<-の場合Lレベルを出力します。

このビットが1の時、ACMPに入力される電圧レベルが+>-の場合Lレベルを出力し、+<-の場合Hレベルを出力します。

3-10-4-2 入力信号選択レジスタ(IADSL)

① P32の兼用出力極性選択の制御などを行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00HH 0000	R/W	IADSL	ST0HCP	ST0LCP	-	-	P32OTIV	NFSL1	NFSL0	ST0IN

ST0HCP(ビット7):タイマ0Hキャプチャ信号入力ポート選択

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

NFSL1(ビット2):ノイズフィルタ・サンプリングクロック選択

NFSL0(ビット1):ノイズフィルタ・サンプリングクロック選択

ST0IN(ビット0):タイマ0カウンタクロック入力ポート選択

これらのビットの説明は「3-2 ポート3」を参照してください。

P32OTIV(ビット3):P32/CMPO兼用出力極性制御

このビットが0の時、P32OTSL1/0で選択されたセクタの出力をそのまま出力します。

このビットが1の時、P32OTSL1/0で選択されたセクタの出力を反転し、出力します。

- ※ このビットで制御された信号とP32(P3のビット2)の値はORされ、P32/CMPOに出力されます。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズは、低レベル(L)、高レベル(H)、最高レベル(X)の3レベルの多重割り込み制御機能を持っています。

マスタ割り込み許可レジスタ(IE)、割り込み優先制御レジスタ(IP)で、割り込みの許可や割り込み優先順位の指定を行います。

4-1-2 機能

① 割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・周辺モジュールからの割り込み要求を受けると、割り込みレベル、優先順位、割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- ・割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

② 多重割り込み制御

- ・低レベル(L)、高レベル(H)、最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

③ 割り込みの優先

- ・2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

④ 割り込み要求許可受け付け制御

- ・マスタ割り込み許可レジスタ(IE)で、HレベルとLレベルの割り込み要求受け付けの許可／禁止の制御ができます。
- ・Xレベルの割り込み要求受け付けの禁止はできません。

⑤ 割り込み受け付け禁止期間

- ・IE(FE08)、IP(FE09)レジスタ書き込み、ホールド解除後の2Tcycの期間、割り込みは受け付けられません。
- ・PCON(FE07)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- ・RETI命令と次の命令の実行の間には割り込みはかかりません。

⑥ 割り込みレベル制御

- ・ベクタアドレス単位で割り込みレベルの選択ができます。

割り込み

割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INTA
2	0000BH	XまたはL	INTB
3	00013H	HまたはL	INTC／T0L／INTE
4	0001BH	HまたはL	INTD／INTF
5	00023H	HまたはL	T0H／SIO7
6	0002BH	HまたはL	T1L／T1H
7	00033H	HまたはL	HCT1
8	0003BH	HまたはL	HCT2
9	00043H	HまたはL	ADC／HPWM自動停止／HPWM周期
10	0004BH	HまたはL	なし

・優先レベル X>H>L

・同一レベルではベクタアドレスの小さいものが優先

⑦ 割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

・IE, IP

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

4-1-3 回路構成

4-1-3-1 マスタ割り込み許可制御レジスタ(IE) (6ビットレジスタ)

- ① Hレベル, Lレベルの割り込みの許可／禁止を行う。
- ② 割り込みレベルフラグの状態を読む。
- ③ ベクタアドレス00003H, 0000BHの割り込みのレベル切換(L／X)を行う。

4-1-3-2 割り込み優先制御レジスタ(IP) (8ビットレジスタ)

- ① ベクタアドレス00013H～0004BHの割り込みのレベル切換(H／L)を行う。

4-1-4 関連レジスタ

4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

① 割り込みの制御を行う6ビットのレジスタで、ビット6～4はリードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7):Hレベル,Lレベルの割り込みの許可/禁止制御

- ・このビットが“1”の時、Hレベル,Lレベルの割り込み要求の受付が許可されます。
- ・このビットが“0”の時、Hレベル,Lレベルの割り込み要求の受付が禁止されます。
- ・このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6):Xレベル割り込みフラグ(R/O)

- ・Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5):Hレベル割り込みフラグ(R/O)

- ・Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4):Lレベル割り込みフラグ(R/O)

- ・Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3,2):存在しません。読むと“1”が読めます。

XCNT1(ビット1):0000BH割り込みレベル制御フラグ

- ・このビットが“1”の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- ・このビットが“0”の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0):00003H割り込みレベル制御フラグ

- ・このビットが“1”の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- ・このビットが“0”の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

割り込み

4-1-4-2 割り込み優先制御レジスタ(IP)

① ベクタアドレス00013H～0004BHの割り込みのレベル切替(H/L)を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込み ベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

注意：本シリーズは、割り込みベクタアドレス0004BHに対する割り込み要因はありません。IP4B(ビット7)は汎用フラグとして使用可能です。

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック発生回路として、高速RC発振回路，中速RC発振回路の2系統の発振回路を内蔵しています。このうち、中速RC発振回路と高速RC発振回路は抵抗とコンデンサCを内蔵しており、外付け回路が不要です。
これら2種類のクロックからプログラムでシステムクロックを選択します。

4-2-2 機能

①システムクロック選択

- ・高速RC発振，中速RC発振の2系統の発振クロックからプログラムでシステムクロックを選択します。

②システムクロック分周

- ・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
- ・分周回路は2段階で構成されています。
1段目は、 $\frac{1}{2}$ または $\frac{1}{4}$ の選択ができます。
2段目は、 $\frac{1}{1}$ ， $\frac{1}{2}$ ， $\frac{1}{4}$ ， $\frac{1}{8}$ ， $\frac{1}{16}$ ， $\frac{1}{32}$ ， $\frac{1}{64}$ ， $\frac{1}{128}$ の選択ができます。

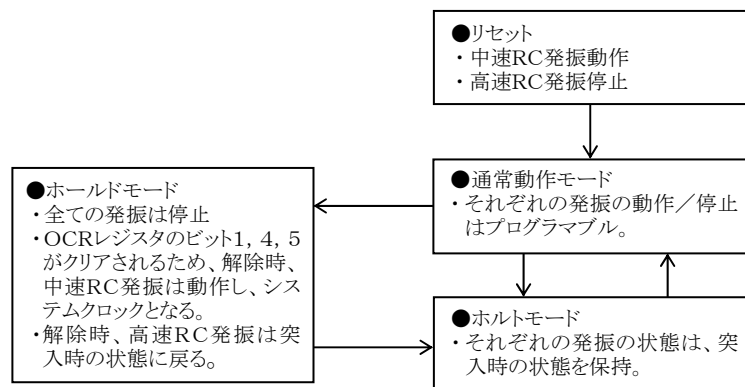
③発振回路の制御

- ・命令で、上記2系統の発振の停止／許可を独立に制御できます。

④モード毎の発振回路の状態

モード／クロック	中速RC発振	高速RC発振	システムクロック
リセット	動作	停止	中速RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止
ホールド解除直後	動作	突入時の状態	中速RC発振

各モードの突入方法／解除方法については「4-3 スタンバイ機能」を参照してください。



システムクロック

- ⑤システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PCON, CLKDIV, OCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0E	0000 000H	R/W	OCR	CLKSGL	HRCON	CLKCB5	FIX0	FIX0	FIX0	RCSTOP	-

4-2-3 回路構成

4-2-3-1 内蔵中速RC発振回路

- ①内蔵の抵抗と容量で発振します。
- ②リセットまたはホールド解除後には、中速RC発振のクロックがシステムクロックとなります。
- ③高速RC発振とは異なり、発振開始直後から正常な周波数で発振を行います。

4-2-3-2 内蔵高速RC発振回路(HRC)

- ①内蔵の抵抗と容量で発振します。
 - ②源発振周波数はオプション選択により、“20MHzまたは40MHz”から選択できます。
この源発振クロックは、HPWM, HCT1, HCT2に供給され、システムクロックセクタへは、分周されたクロックが供給されます。
- ※発振開始直後の周波数は安定していませんので、必ず発振安定時間を設けてください。(詳細は「半導体ニュース」を参照)

4-2-3-3 パワー制御レジスタ(PCON) (2ビットレジスタ)

- ①動作モード(通常／ホルト／ホールド)を設定します。

4-2-3-4 発振制御レジスタ(OCR) (7ビットレジスタ)

- ①発振回路の動作停止／開始の制御を行います。
- ②システムクロックの選択を行います。
- ③システムクロックに使う発振クロックの分周比を $\frac{1}{1}$ または $\frac{1}{2}$ に設定します。

4-2-3-5 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

- ①システムクロック分周回路の制御を行います。
分周比は $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の設定が可能です。

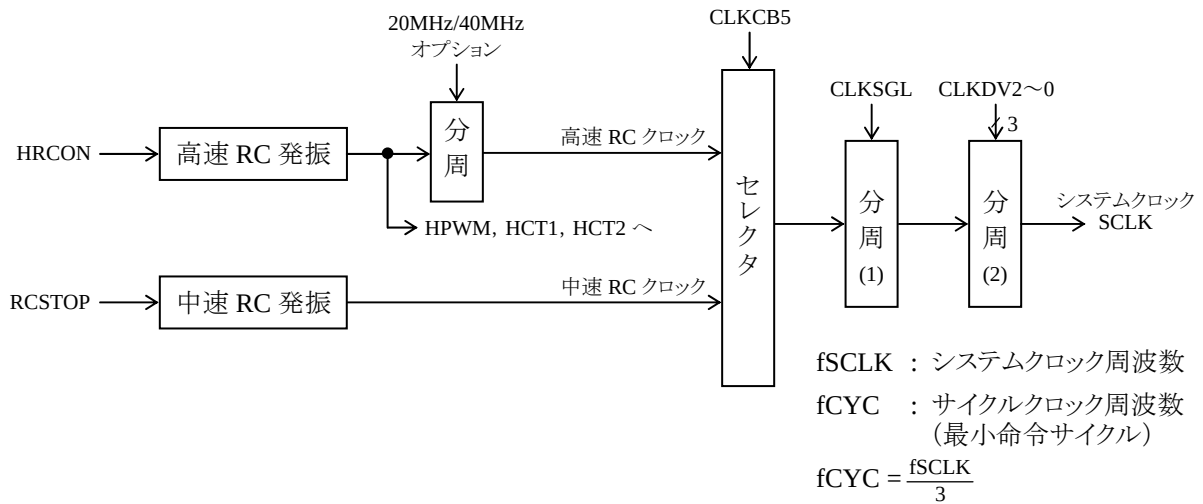


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 パワー制御レジスタ(PCON)

① 動作モード(通常/ホルト/ホールド)を設定する2ビットのレジスタです。

・各モードの突入方法/解除方法については「4-3 スタンバイ機能」を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

(ビット7～2): 存在しません。読むと“1”が読めます。

PDN(ビット1): ホールドモード設定フラグ

PDN	動作モード
0	通常動作またはホルトモード
1	ホールドモード

① このビットのセットは命令で行います。

- ・ホールドモードに入ると全ての発振(高速RC発振, 中速RC発振)が停止し、OCRのビット1, 4, 5が“0”になる。
- ・ホールドモード復帰後、中速RC発振は開始し、高速RC発振はホールド突入前の状態になり、システムクロック=中速RCとなる。

② PDNのクリアは、ホールド解除信号(INTA, INTB, INTC, INTD, INTE, INTF)の発生、またはリセット信号で行われます。

③ PDNがセットされると自動的にIDLE(ビット0)もセットされます。

IDLE(ビット0): ホルトモード設定フラグ

- ① このビットをセットするとホルトモードに入ります。
- ② PDN(ビット1)がセットされると自動的にこのビットもセットされます。
- ③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

4-2-4-2 発振制御レジスタ(OCR)

① 発振回路の動作制御、システムクロックの選択を行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0000 000H	R/W	OCR	CLKSGL	HRCON	CLKCB5	FIX0	FIX0	FIX0	RCSTOP	-

CLKSGL (ビット7): クロック分周選択

- ① このビットが“1”の時、CLKCB5 (ビット5) で選択されたクロックを直接システムクロックとして使用します。
- ② このビットが“0”の時、CLKCB5 (ビット5) で選択されたクロック周波数の $\frac{1}{2}$ のクロックをシステムクロックとして使用します。

HRCON (ビット6): 内蔵高速RC発振回路制御

- ① このビットが“1”の時、内蔵高速RC発振回路は動作します。
- ② このビットが“0”の時、内蔵高速RC発振回路は停止します。
- ③ オプションにて源発振周波数を“20MHz”に選択した場合、システムクロックセクタへは $\frac{1}{2}$ のクロックが供給されます。
- ④ オプションにて源発振周波数を“40MHz”に選択した場合、システムクロックセクタへは $\frac{1}{4}$ のクロックが供給されます。

注意: 発振開始直後の周波数は安定していませんので、必ず発振安定時間を設けてください。(詳細は「半導体ニュース」を参照)

CLKCB5 (ビット5): システムクロック選択

- ① CLKCB5で、システムクロックの選択を行います。
- ② リセット時とホールドモード突入時、CLKCB5は自動的にクリアされます。

CLKCB5	システムクロック
0	内蔵中速RC発振
1	内蔵高速RC発振

FIX0 (ビット4, 3, 2): テスト用ビット

これらのビットはテスト用です。必ず“0”で使用してください。

RCSTOP (ビット1): 内蔵中速RC発振回路制御

- ① このビットが“1”の時、内蔵中速RC発振回路は停止します。
- ② このビットが“0”の時、内蔵中速RC発振回路は動作します。
- ③ リセット時とホールドモード突入時、このビットはクリアされ発振可能になります。

(ビット0): 存在しません。読むと“1”が読めます。

4-2-4-3 システムクロック分周制御レジスタ(CLKDIV)

① システムクロック分周回路の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

(ビット7～3): 存在しません。読むと“1”が読めます。

CLKDV2 (ビット2): }
 CLKDV1 (ビット1): } システムクロックの分周比を設定します。
 CLKDV0 (ビット0): }

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	$\frac{1}{1}$
0	0	1	$\frac{1}{2}$
0	1	0	$\frac{1}{4}$
0	1	1	$\frac{1}{8}$
1	0	0	$\frac{1}{16}$
1	0	1	$\frac{1}{32}$
1	1	0	$\frac{1}{64}$
1	1	1	$\frac{1}{128}$

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト、ホールドと呼ばれる2つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

①ホルトモード

- ・命令の実行は停止するが、周辺回路は動作を継続する。
- ・PCONレジスタのビット0をセットすることにより、ホルトモードに入る。
- ・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰する。

②ホールドモード

- ・全ての発振が停止する。命令の実行が停止し、周辺回路も動作を停止する。
- ・PCONレジスタのビット1をセットすることにより、ホールドモードに入る。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされる。
- ・リセットまたはホールド解除信号(INTA, INTB, INTC, INTD, INTE, INTF)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行する。

注意：ADコンバータの変換動作中にホルトモード、ホールドモードに設定しないでください。必ず、ADSTARTが“0”になったことを確認してから各モードに設定してください。

4-3-3 関連レジスタ

4-3-3-1 パワー制御レジスタ(PCON) (2ビットレジスタ)

①動作モード(通常／ホルト／ホールド)を設定する2ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

(ビット7～2):存在しません。読むと“1”が読めます。

PDN(ビット1):ホールドモード設定フラグ

PDN	動作モード
0	通常動作またはホルトモード
1	ホールドモード

① このビットのセットは命令で行います。

- ・ホールドモードに入ると全ての発振(高速RC発振, 中速RC発振)が停止し、OCRのビット1, 4, 5が“0”になる。
- ・ホールドモード復帰後、中速RC発振は開始し、高速RC発振はホールド突入前の状態になり、システムクロック=中速RCとなる。

- ② PDNのクリアは、ホールド解除信号 (INTA, INTB, INTC, INTD, INTE, INTF) の発生、またはリセット信号で行われます。
- ③ PDNがセットされると自動的にIDLE (ビット0) もセットされます。

IDLE (ビット0) : ホルトモード設定フラグ

- ① このビットをセットするとホルトモードに入ります。
- ② PDN (ビット1) がセットされると自動的にこのビットもセットされます。
- ③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

表 4-3-1 スタンバイ動作

項目／モード	リセット状態	ホルトモード	ホールドモード
突入条件	・$\overline{\text{RES}}$ 信号印加 ・低電圧検知によるリセット発生 ・ウォッチドッグタイマによるリセット発生	PCONレジスタ ビット1/0 = “0/1”	PCONレジスタ ビット1 = “1”
突入後、変化するデータ	別表の示すように初期化される。	WDTCNTレジスタ (FE79) のビット4/3 = “0/1” の場合、WDTCNTのビット5がクリアされる。	・WDTCNTレジスタ (FE79) のビット4/3 = “0/1” の場合、WDTCNTのビット5がクリアされる。 ・PCONのビット0が“1”になる。 ・OCRレジスタ (FE0E) のビット5, 4, 1がクリアされる。
内蔵中速RC発振	動作	突入時の状態	停止
内蔵高速RC発振	停止	突入時の状態	停止
CPU	初期化される	停止	停止
I/O端子状態	表4-3-2参照	←	←
RAM	・$\overline{\text{RES}}$ の場合: 不定 ・低電圧検知の場合: 不定 またはデータ保持 (電源電圧に依存) ・ウォッチドッグタイマの場合: データ保持	データ保持	データ保持
周辺モジュール	停止	突入時の状態	停止
復帰条件	突入条件の解消	・割り込み要求の受付 ・リセット突入条件の成立	・INTA～Fからの割り込み要求発生 ・リセット突入条件の成立
復帰先	通常動作モード	通常動作モード (注1)	ホルトモード (注1)
復帰後に変化するデータ	なし	PCONレジスタのビット0 = “0” となる。	PCONレジスタのビット1 = “0” となる

(注1) リセット突入条件の成立で復帰した場合、リセット状態に移行する。

表 4-3-2 モードによる端子状態 (本シリーズの場合)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
$\overline{\text{RES}}$	・入力端子	←	←	←	←
P10-P12	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←
P30-P33	・入力モード ・プルアップ抵抗オフ	・入力/出力/プルアップ抵抗はプログラムで制御。	←	←	←

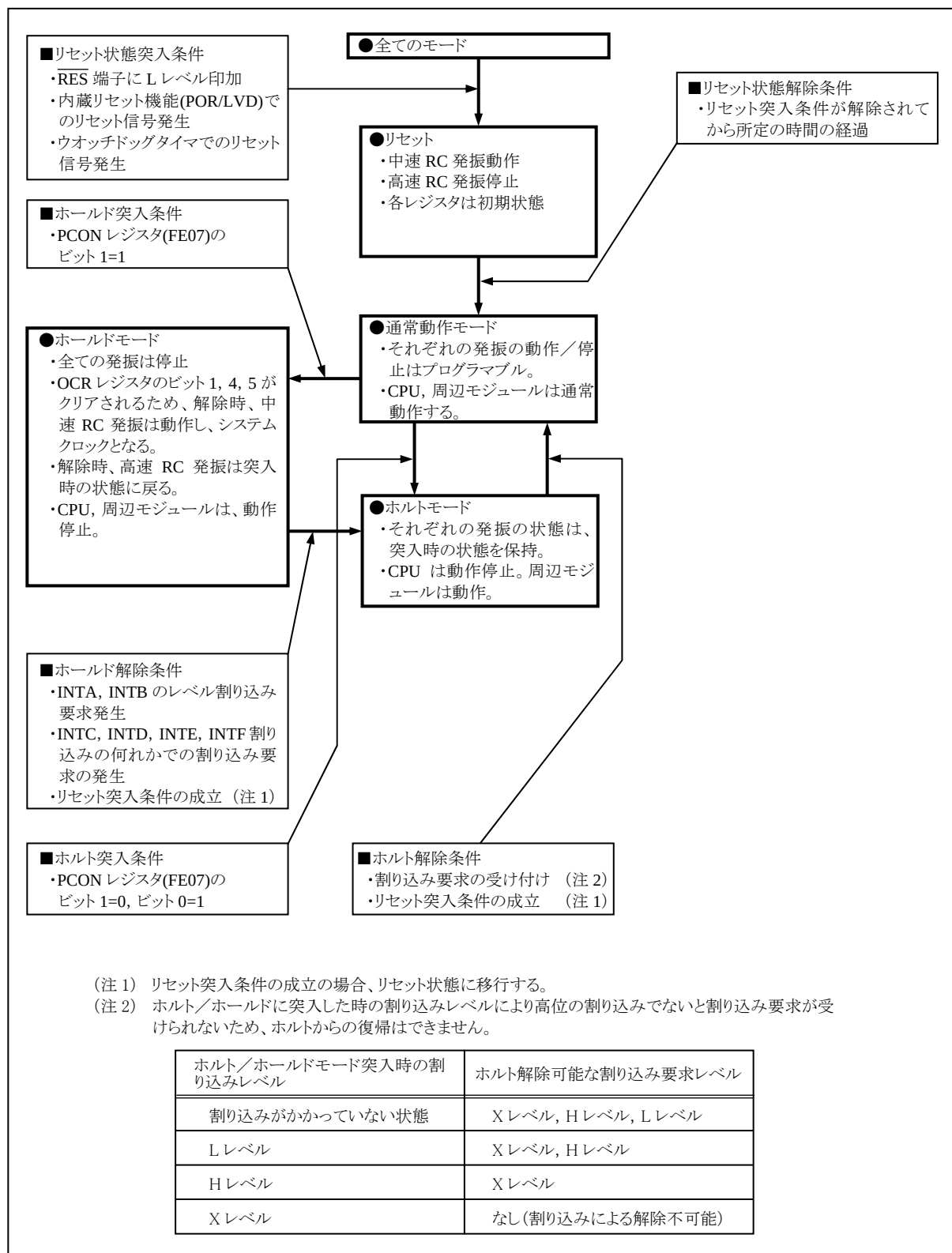


図 4-3-1 スタンバイモード遷移

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の3つの機能を持っています。

① $\overline{\text{RES}}$ 端子による外部リセット機能

- ・ $\overline{\text{RES}}$ 端子に「L」レベルを $200[\mu\text{s}]$ 以上印加することで、確実にリセットがかかります。
しかし、わずかな幅($200[\mu\text{s}]$ 以内)の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。
- ・ $\overline{\text{RES}}$ 端子に適正な時定数を外付けすることにより、電源投入時のリセットとして使用できます。

② 内蔵リセット機能

- ・電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。
- ・パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

③ ウォッチドッグタイマによるリセット機能

- ・ウォッチドッグタイマは、内蔵低速RC発振クロックにより、一定時間毎にリセットを発生させることができます。

リセット回路の構成例を図4-4-1に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

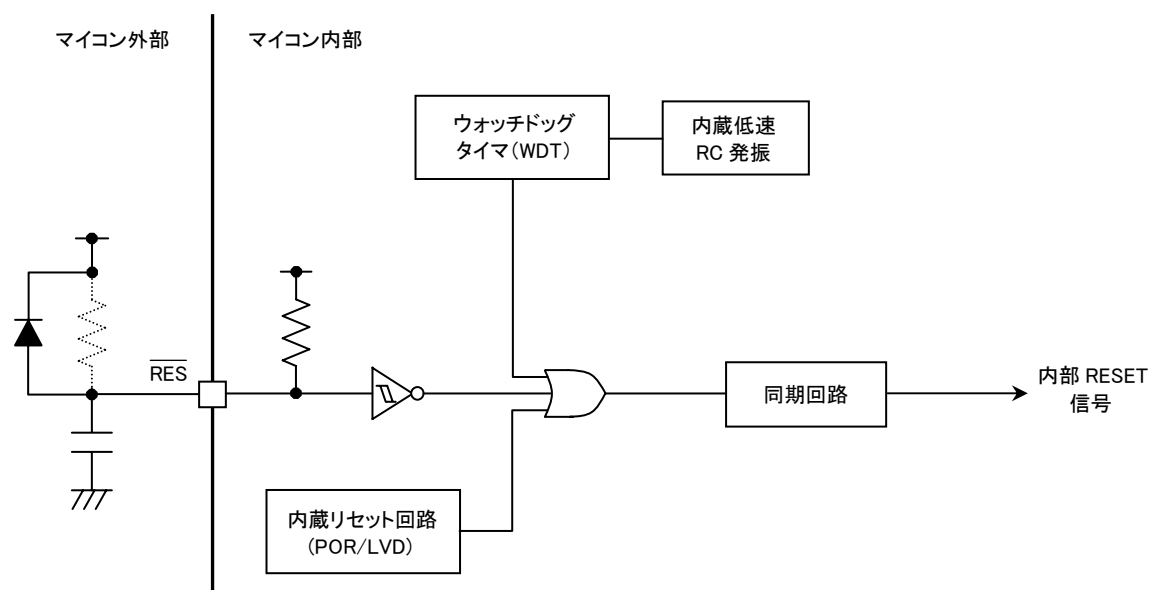


図 4-4-1 リセット回路ブロック図

4-4-3 リセット時の状態

RES 端子、内蔵リセット回路、ウォッチドッグタイマからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかるとシステムクロックは内蔵中速RC発振に切り換わるため、電源投入時でも直ちにハードウェアの初期化が行われます。高速RC発振が安定するのを待って、システムクロックを高速RC発振に切り換えます。リセット時、プログラムカウンタの初期値は、0000Hになります。また、各特殊機能レジスタ(SFR)の初期値は、APPENDIX(A-I) 87レジスタマップに示す値となります。

< 注意点 >

- ・スタックポインタの初期値は0000Hとなります。
- ・データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が「不定」となっていますので注意が必要です。
- ・内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず「4-5 内蔵リセット機能」の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

4-5 内蔵リセット機能

4-5-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-5-2 機能

① パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

② 低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-5-3 回路構成

内蔵リセット回路は、POR, LVD, パルスストレッチャ回路, 容量C_{RES}放電トランジスタ, 外付け容量C_{RES}+内蔵プルアップ抵抗R_{RES}で構成されています。構成図を「図4-5-1」に示します。

・パルスストレッチャ回路

POR, LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量C_{RES}を放電するために使用します。ストレッチ時間は30 μ s～100 μ sです。

・容量C_{RES}放電トランジスタ

リセット端子に外付けされた容量C_{RES}を放電するためのNchトランジスタです。リセット端子に容量C_{RES}を外付けしない場合には、内蔵プルアップ抵抗R_{RES}のみで内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。「4-5-4項」を参照ください。

・外付け容量C_{RES}+内蔵プルアップ抵抗R_{RES}

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC, 内蔵R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は外付け容量C_{RES}と内蔵プルアップ抵抗R_{RES}による、「図4-5-1」の回路構成を推奨します。推奨定数はC_{RES}=0.022 μ Fです。

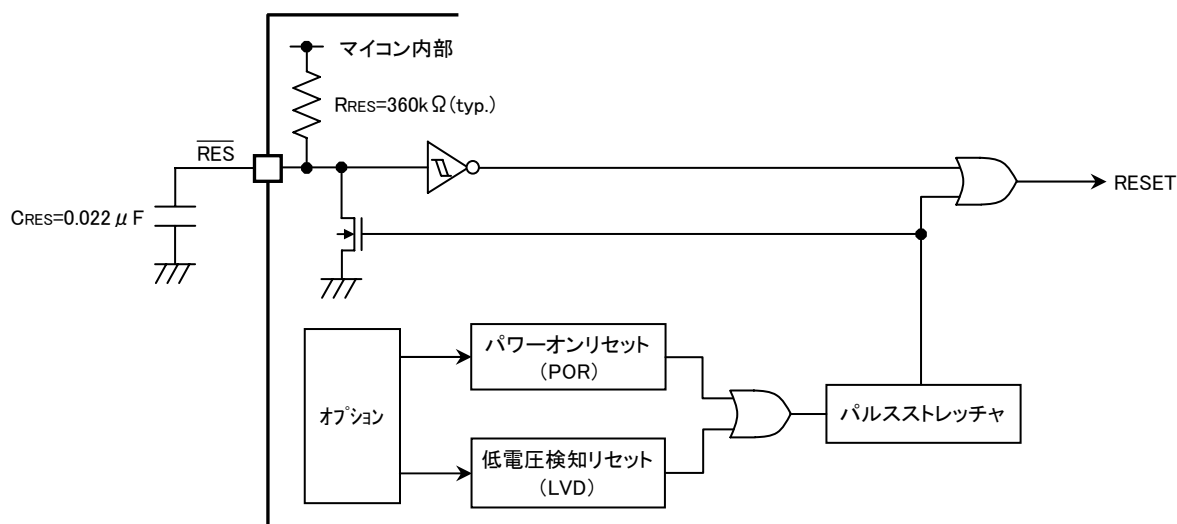


図 4-5-1 内蔵リセット回路構成図

4-5-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】:使用する		【禁止】:使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
【2. 81V】	3. 0V～	【2. 87V】	3. 0V～
【3. 79V】	4. 0V～	【3. 86V】	4. 0V～
【4. 28V】	4. 5V～	【4. 35V】	4. 5V～

* VDD動作 min. 値はオプションで選択したPOR解除レベル／LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

① LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1) この時の動作電流は全てのモードにおいて数 μ A 常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2) この時の動作電流は全てのモードにおいて流れません。

* 詳細は「4-5-5項」のリセット回路の動作波形例を参照ください。

② LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを3レベル選択できます。使用する動作条件に適した検知レベルを選択します。

③ POR解除レベルオプション

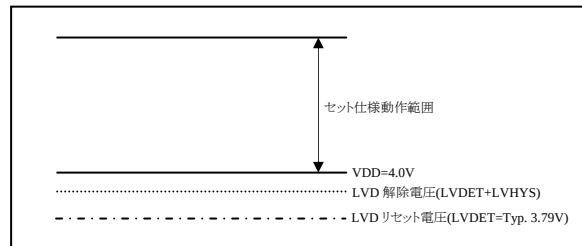
LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを3レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、最低レベル(2. 87V)を選択してください。

(注3) この時の動作電流はPORがリセットを解除すると電流は流れません。

● 選択参考例1

セット仕様によりVDD=4.0Vまでリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

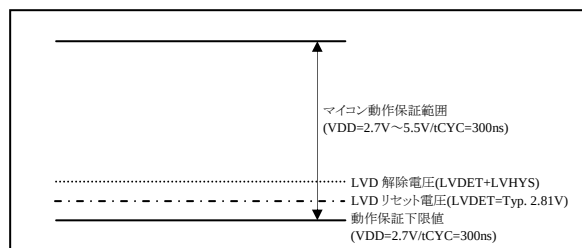
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【3.79V】を選択します。



● 選択参考例2

VDD=2.7V/tCYC=300nsまでの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

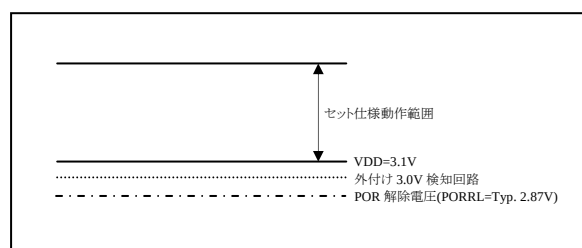
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



● 選択参考例3

外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(「4-5-7-①項」を合わせてご参照ください)

LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【2.87V】を選択します。

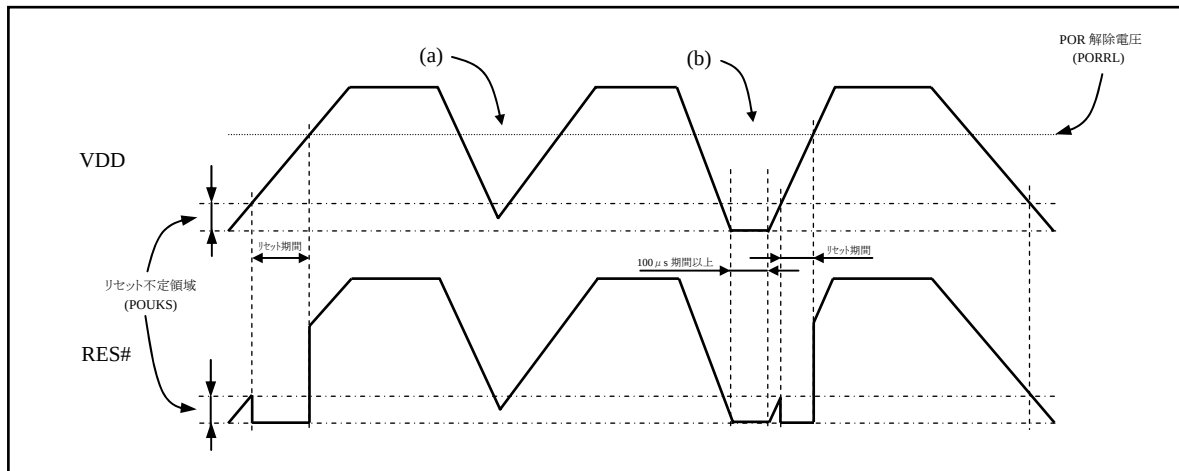


(注4) 参考例に表記されている動作保証値(電圧/動作周波数)は使用する機種により異なりますので、必ず最新の「半導体ニュース」を参照し適切な設定レベルを選択してください。

4-5-5 内蔵リセット回路の動作波形例

① PORのみ (LVD使用しない) の動作波形例

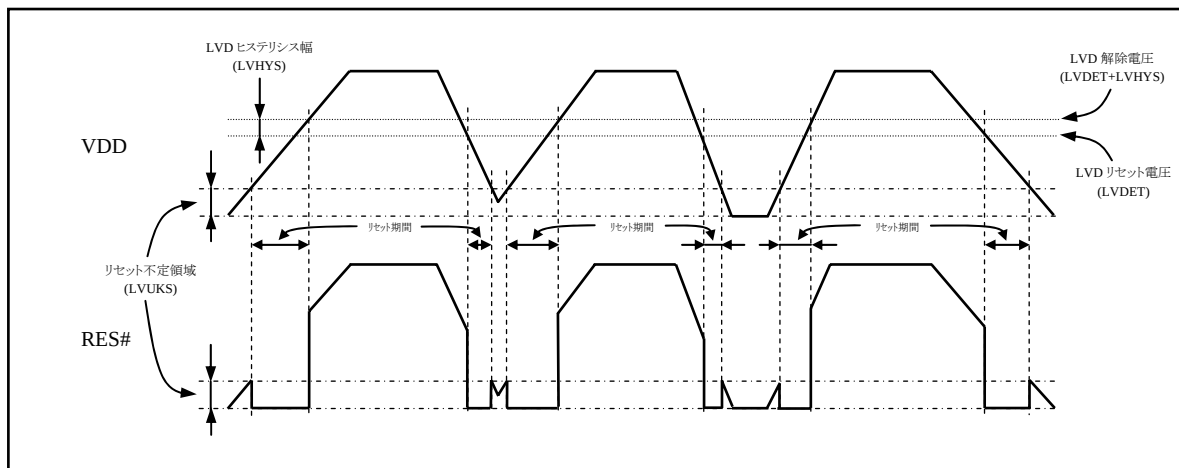
(リセット端子: プルアップ抵抗 R_{RES} のみ)



- PORはトランジスタが駆動を始めるまでの期間、不定領域 (POUKS) が存在します。
- PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は「半導体ニュース」を参照ください。
- (a)のように電源がVSSレベルまで下らない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- (b)のように電源がVSSレベルまで十分下がり、その状態が $100\mu s$ 以上保持されてから電源が再投入された場合のみリセットがかかります。

② POR+LVDを併用した場合の動作波形例

(リセット端子: プルアップ抵抗 R_{RES} のみ)



- POR+LVDの併用時も同様にトランジスタが駆動を始めるまでの期間、不定領域 (LVUKS) が存在します。
- 電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除／突入電圧には誤差が発生しますので、詳細は「半導体ニュース」を参照ください。
- LVDには検知レベル付近でリセット解除／突入を繰り返さないようヒステリシス幅 (LVHYS) があります。

4-5-6 内蔵リセット回路使用上の留意点

① 内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないください。必ず、使用条件に最適な容量 C_{RES} を外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

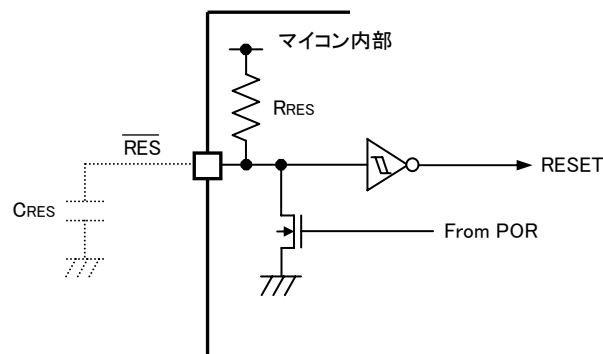


図4-5-2 内蔵PORのみのリセット回路構成例

② 数百 μs より短い(速い)電源瞬停・電源変動が想定される時

内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知してからリセット信号を発生させるまでの応答時間があり、「図4-5-3」のような低電圧最小検知幅 t_{LVDW} が規定されています。(「半導体ニュース」を参照)このため、電源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、「図4-5-4」のような対策例やその他の対策を必ず行ってください。

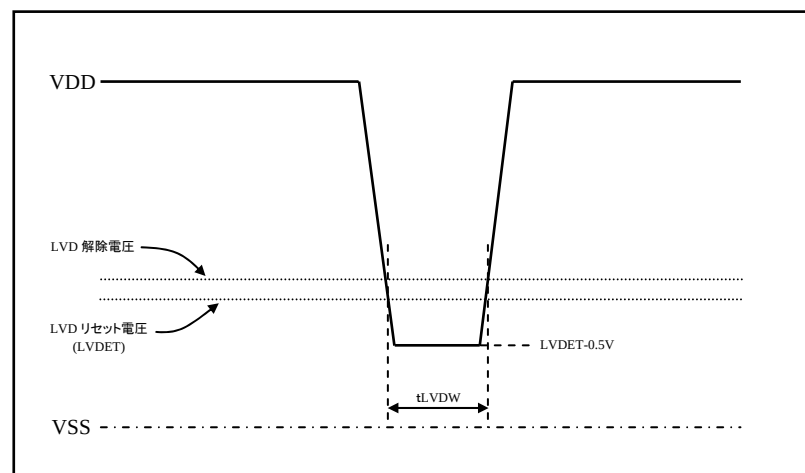


図4-5-3 電源瞬停・電源変動波形例

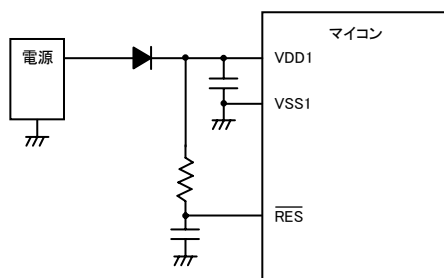


図 4-5-4 電源瞬停・電源変動対策例

4-5-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量 C_{RES} 放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧 min. 以上のタイプを使用し、マイコン内蔵のPOR解除レベルは最低レベル(2.87V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

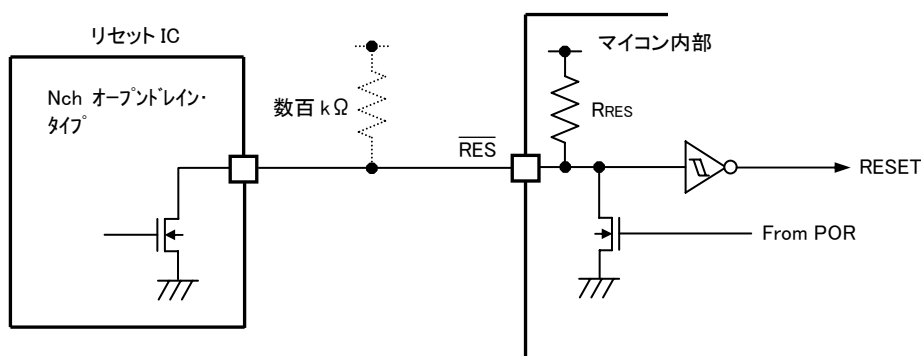


図 4-5-5 Nchオープンドレイン・タイプ使用時のリセット回路構成例

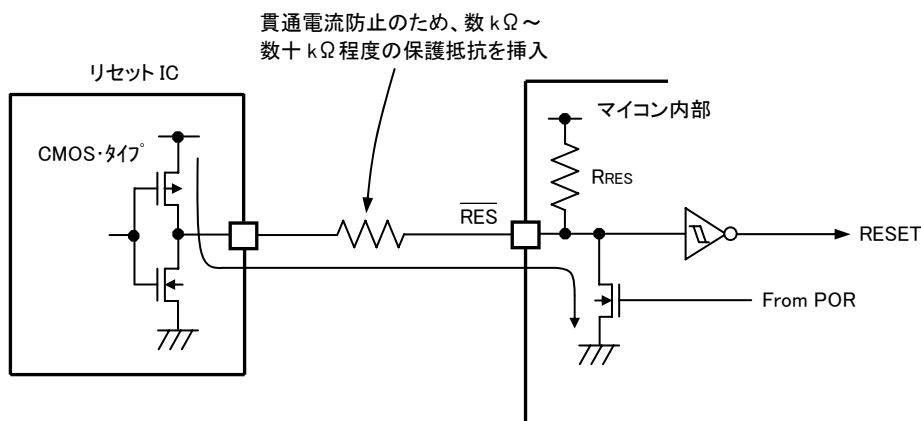


図 4-5-6 CMOS・タイプ使用時のリセット回路構成例

②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

「4-5-7-①項」と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量 C_{RES} を $0.1\mu F$ 以上にする場合には、必ず「図4-5-7」のようにダイオード D_{RES} も外付けしてください。

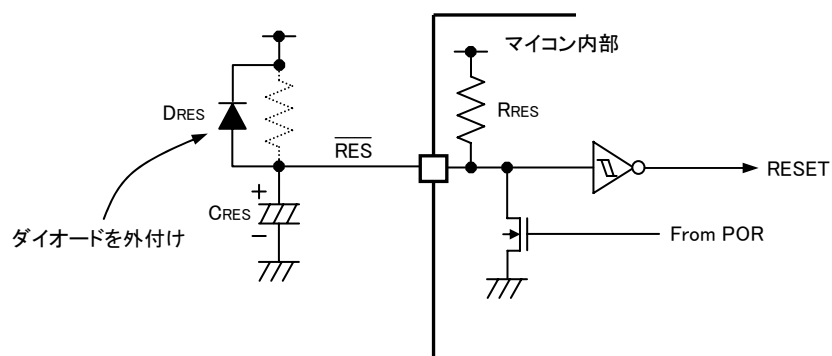


図4-5-7 外部PORのリセット回路構成例

4-6 ウォッチドッグタイマ(WDT)

4-6-1 概要

本シリーズは、次の機能を持ったウォッチドッグタイマ(WDT)を備えています。

- ① WDT専用低速RC発振クロックにより動作するタイマのオーバーフローで内部リセット発生
- ② スタンバイモード突入によるWDT動作の継続／停止／保持を選択可能

4-6-2 機能

① ウォッチドッグタイマ機能

- ・低速RC発振クロックによって、16ビットのアップカウンタ(WDTCNT)が動作し、ウォッチドッグタイマ制御レジスタ(WDTCNT)で選択されたオーバーフロー時間(8種類から1つを選択)に達すると、WDTリセット信号(内部リセット信号)が発生します。この時、リセット検出フラグ(RSTFLG)がセットされます。
WDTCNTはプログラムによりクリアできますので、定期的にWDTCNTをクリアするようにプログラムを作成します。
- ・本シリーズのWDTは、専用の低速RC発振を使用しているため、プログラムの暴走によってシステムクロックが停止するようなことがあっても動作は継続され、暴走の検出が可能となっています。
- ・スタンバイモード突入時のWDTの動作を選択可能で、“動作継続”、“動作停止”、“WDTCNTのカウント値を保持し、スタンバイモード解除後に、そのカウント値から動作を再開”の3種類となります。この内の“動作継続”に関しては、スタンバイモード時でも低速RC発振回路が発振を続けますので、数 μ Aの動作電流が常時流れます。(詳細は「半導体ニュース」を参照してください)

- ② ウォッチドッグタイマ(WDT)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・WDTCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

4-6-3 回路構成

4-6-3-1 WDT制御レジスタ(WDTCNT) (8ビットレジスタ)

- ① リセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

注意：外部 RES端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット4～0は初期化されません。

注意：WDTの動作を開始(WDTRUN=1)すると、WDTCNTへの書き込みは禁止されます。この時、「**MOV #55H, WDTCNT**」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます。(他の命令で“55H”を書き込んでもWDTCTはクリアされません)

注意：低速RC発振回路は、WDTRUN(WDTCNTのビット5) = “0/1”により、発振を“停止/開始”します。発振を“開始”すると、数 μ Aの動作電流が常時流れます。(詳細は「半導体ニュース」を参照してください)

4-6-3-2 WDTカウンタ(WDCT) (16ビットカウンタ)

- ① 動作開始/停止 : WDTRUN = 1 / WDTRUN = 0 または WDTRUN = 1 且つ IDLOP1~IDLOP0 (WDTCNTのビット4~3) = 1 の時にスタンバイモードへ突入
- ② カウントクロック : 低速RC発振クロック
- ③ オーバーフロー発生 : WDCTのカウンタ値が WDTSL2~WDTSL0 (WDTCNTのビット2~0) で選択されたカウンタ値と一致した時
 ※ RSTFLG (WDTCNTのビット7) へのセット信号を発生
 ※ WDTリセット信号と WDTRUNクリア信号を発生
- ④ リセット : WDTRUN = 0、オーバーフロー発生、WDTRUN = 1 且つ「MOV #55H, WDTCNT」命令の実行、WDTRUN = 1 且つ IDLOP1~IDLOP0 = 1 の時にスタンバイモードへ突入

※ WDT動作の詳細は「図4-6-2」を参照ください。

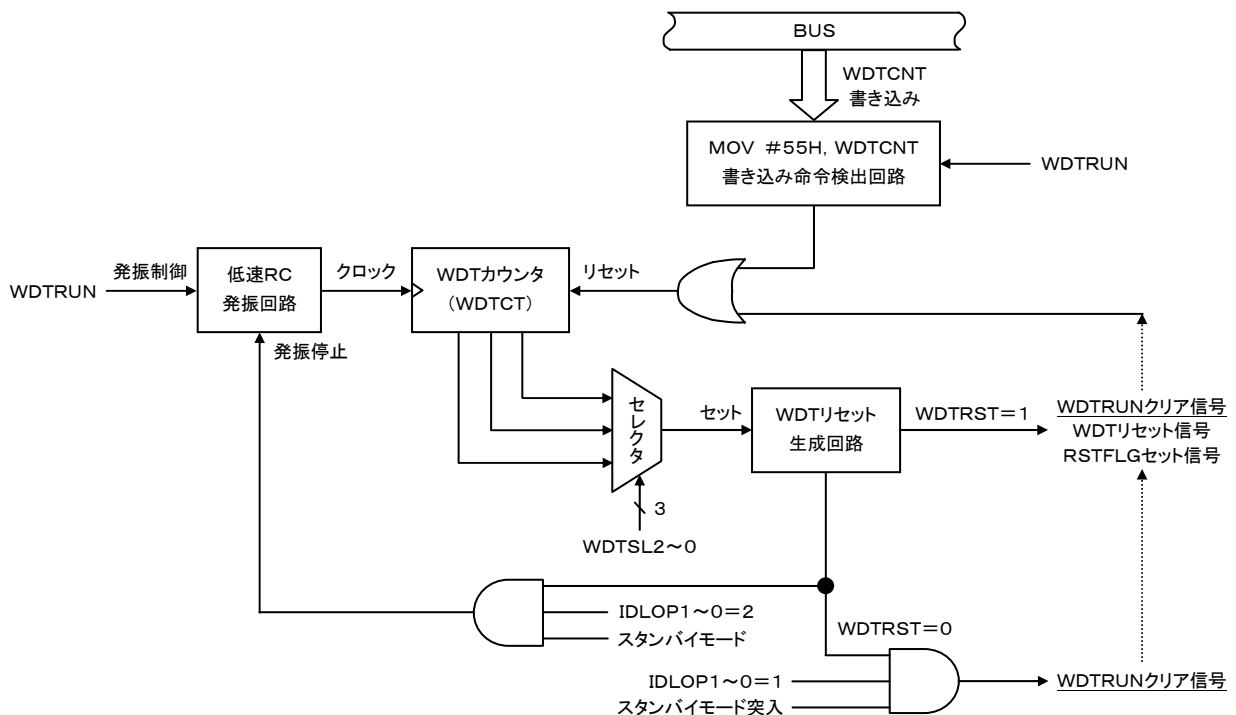


図4-6-1 ウォッチドッグタイマの動作ブロック図

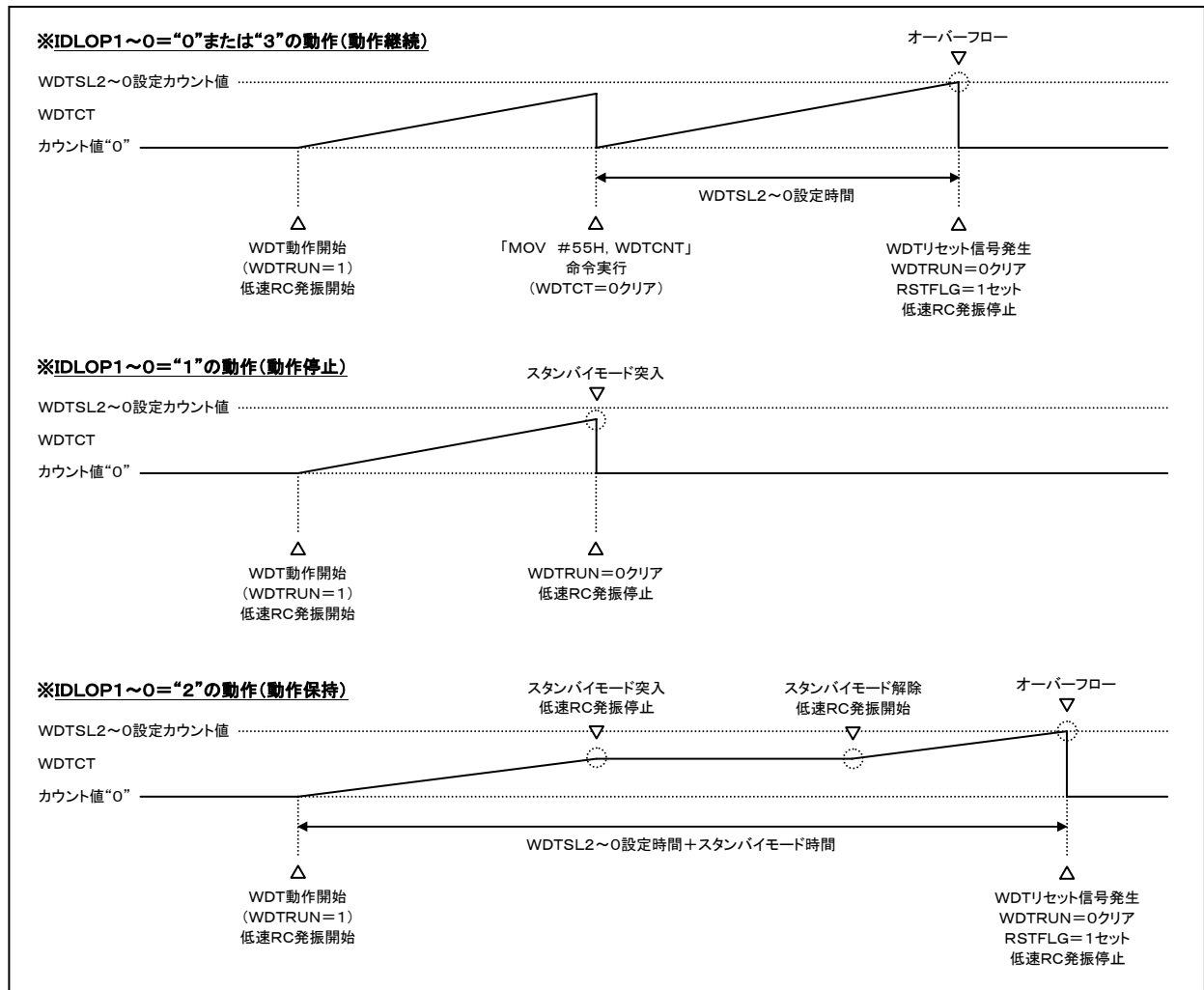


図 4-6-2 ウォッチドッグタイマの動作波形例

4-6-4 関連レジスタ

4-6-4-1 WDT制御レジスタ(WDTCNT)

①リセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

RSTFLG (ビット7): WDTリセット検出フラグ

外部 RES 端子 への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、このビットはクリアされます。

WDTによるリセットが発生した場合、このビットはセットされます。

このフラグは命令で書き換え可能です。

FIX0 (ビット6): テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

WDTRUN (ビット5): WDT動作制御

このビットが0の時、WDTは動作を停止します。

このビットが1の時、WDTは動作を開始します。

IDLOP1 (ビット4) : }
 IDLOP0 (ビット3) : } WDTスタンバイモード時の動作選択

IDLOP1	IDLOP0	WDTスタンバイモード動作選択
0	0	動作継続
0	1	動作停止
1	0	動作保持
1	1	動作継続

※ 各動作モードの詳細は「図4-6-2」を参照してください。

※ “動作保持”を選択してWDTを動作させる場合の注意点がありますので、「4-6-5 ウォッチドッグタイマ使用上の注意点」を参照してください。

WDTSL2 (ビット2) : }
 WDTSL1 (ビット1) : } WDTカウンタ(WDTCNT)制御
 WDTSL0 (ビット0) : }

WDTSL2	WDTSL1	WDTSL0	WDTカウンタ設定カウント数
0	0	0	512 (17.06ms)
0	0	1	1024 (34.13ms)
0	1	0	2048 (68.26ms)
0	1	1	4096 (136.53ms)
1	0	0	8192 (273.06ms)
1	0	1	16384 (546.13ms)
1	1	0	32768 (1092.26ms)
1	1	1	65536 (2184.53ms)

※ () で囲まれている時間は、低速RC発振周波数が30kHz (typ.) 時のWDTCNTオーバーフロー発生までにかかる時間となります。低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください。

注意：外部RES端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット4～0は初期化されません。

注意：WDTの動作を開始(WDTRUN=1)すると、WDTCNTへの書き込みは禁止されます。この時、「MOV #55H, WDTCNT」命令を実行するとWDTCNTがクリアされ、カウント値“0”からカウント動作が再開されます。(他の命令で“55H”を書き込んでもWDTCNTはクリアされません)

注意：低速RC発振回路は、WDTRUN=“0/1”により、発振を“停止/開始”します。発振を“開始”すると、数μAの動作電流が常時流れます。(詳細は「半導体ニュース」を参照してください)

4-6-5 ウォッチドッグタイマ使用上の注意点

① スタンバイモード時の動作に“動作保持”を選択している場合 (IDLOP1～IDLOP0=2)

- ・“動作保持”を選択してウォッチドッグタイマの動作を開始後、スタンバイモード (HALT/HOLD) に突入すると、低速RC発振回路は発振を停止し、ウォッチドッグタイマはカウント動作を停止してカウント値を保持します。その後、スタンバイモードが解除されると、低速RC発振回路は発振を開始して、ウォッチドッグタイマはカウント動作を再開しますが、スタンバイモード解除から次のスタンバイモード突入までの期間が「**低速RC発振クロック×4**」未満であると、スタンバイモードに突入しても、低速RC発振回路が発振を停止しない場合があります。この時 (スタンバイモード実行中)、ウォッチドッグタイマはカウント動作を停止していますが、低速RC発振回路は発振しているため、数 μ A の動作電流が流れます。

セットの待機電力を落とす場合、スタンバイモード解除から次のスタンバイモード突入までの期間を「**低速RC発振クロック×4**」以上の間隔を空けて実行するようにプログラムを作成してください。(低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください)

APPENDIX

APPENDIX・目次

APPENDIX－ I

- ・スペシャルファンクションレジスタ (SFR) マップ

APPENDIX－ II

- ・ポート1ブロック図
- ・ポート3ブロック図

アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0～01FF	XXXX XXXX	R/W	RAM 512B	9ビット構成									
FE00	0000 0000	R/W	AREG		–	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		–	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		–	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05													
FE06	0000 0000	R/W	PSW		–	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY
FE07	HHHH HH00	R/W	PCON		–	–	–	–	–	–	–	PDN	IDLE
FE08	0000 HH00	R/W	IE		–	IE7	XFLG	HFLG	LFLG	–	–	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		–	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		–	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		–	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
FE0C	HHHH H000	R/W	CLKDIV		–	–	–	–	–	–	CLKDV2	CLKDV1	CLKDV0
FE0D													
FE0E	0000 000H	R/W	OCR		–	CLKSGL	HRCON	CLKCB5	FIX0	FIX0	FIX0	RCSTOP	–
FE0F													
FE10	0000 0000	R/W	TOCNT		–	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR	プリスケールは 8 ビット(max. 256Tcyc)	–	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL		–	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH		–	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR		–	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR		–	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	タイムアウトチャレンジスタ L	–	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	タイムアウトチャレンジスタ H	–	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0
FE18	0000 0000	R/W	T1CNT		–	T1HRUN	T1LRUN	T1LONG	FIX0	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR		–	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0
FE1A	0000 0000	R	T1L		–	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H		–	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR		–	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR		–	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

87レジスタマップ

アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40													
FE41													
FE42													
FE43													
FE44	HHHH H000	R/W	P1		-	-	-	-	-	-	P12	P11	P10
FE45	HHHH H000	R/W	P1DDR		-	-	-	-	-	-	P12DDR	P11DDR	P10DDR
FE46	HHHH H000	R/W	P1FCR		-	-	-	-	-	-	P12FCR	P11FCR	P10FCR
FE47	0H0H HHH0	R/W	P1TST		-	FIX0	-	FIX0	-	-	-	-	FIX0
FE48													
FE49													
FE4A	0000 0000	R/W	IEFCR	INTE/INTF 制御	-	INTFHEG	INTFLEG	INTFIF	INTFIE	INTEHEG	INTELEG	INTEIF	INTEIE
FE4B	0000 0000	R/W	IEFSL		-	FIX0	FIX0	IFSL1	IFSL0	FIX0	IESL2	IESL1	IESL0
FE4C	HHHH 0000	R/W	P3		-	-	-	-	-	P33	P32	P31	P30
FE4D	HHHH 0000	R/W	P3DDR		-	-	-	-	-	P33DDR	P32DDR	P31DDR	P30DDR
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCRC	12ビット-AD 制御	-	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE
FE59	0000 0000	R/W	ADMRC	12ビット-AD モード	-	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	12ビット-AD 変換結果 L	-	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	12ビット-AD 変換結果 H	-	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C													
FE5D	0000 0000	R/W	IABCR	INTA/INTB 制御	-	INTBLH	INTBLV	INTBIF	INTBIE	INTALH	INTALV	INTAIF	INTAIE
FE5E	0000 0000	R/W	ICDCR	INTC/INTD 制御	-	INTDHEG	INTDLEG	INTDIF	INTDIE	INTCHEG	INTCLEG	INTCIF	INTCIE
FE5F	00HH 0000	R/W	IADSL		-	STOHCP	STOLCP	-	-	P320TIV	NFSL1	NFSL0	STOIN

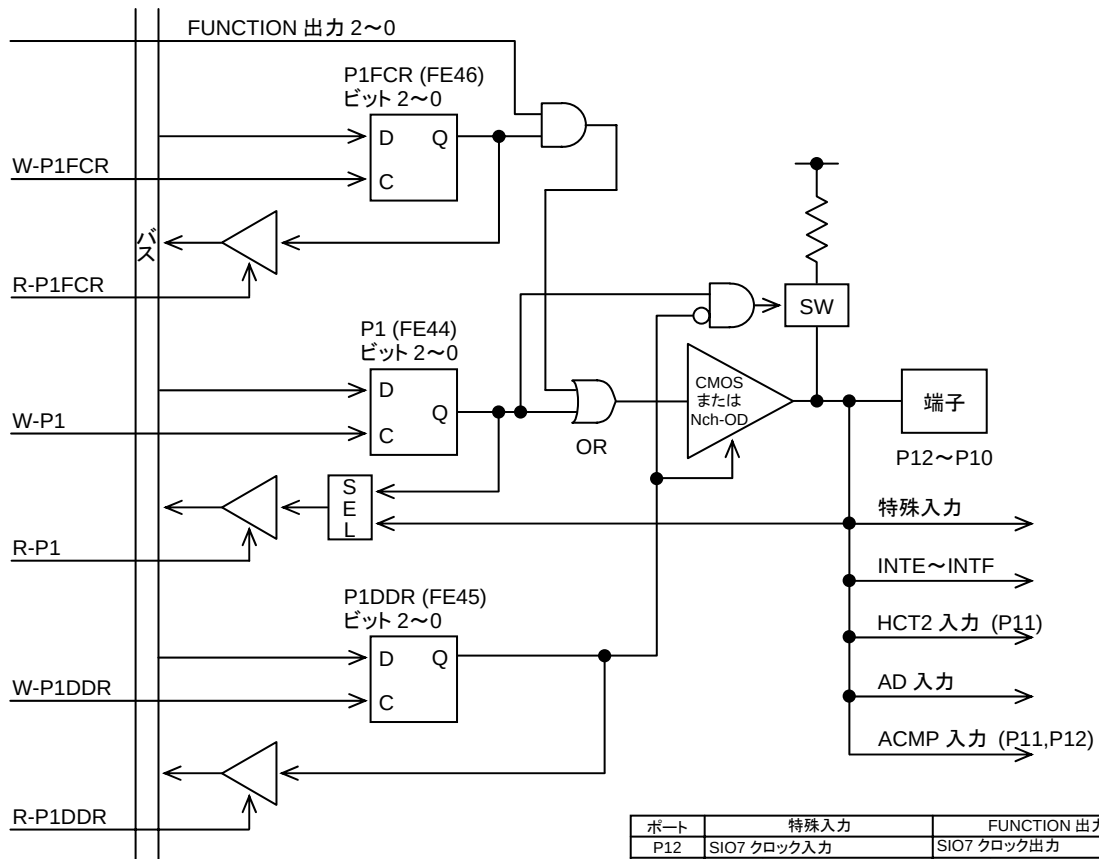
アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE70													
FE71													
FE72													
FE73													
FE74													
FE75													
FE76													
FE77													
FE78													
FE79	0000 0000	R/W	WDTCNT	ウォッチドッグタイマ制御	－	RSTFLG	FIX0	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0
FE7A													
FE7B													
FE7C													
FE7D													
FE7E	0000 0000	R/W	FSR0	FLASH 制御 (bit4 は R/O)	－	FSR0B7 Fix to 0	FSR0B6 Fix to 0	FSAERR	FSWOK	INTHIGH	FSR0B2	FSPGL	FSWREQ
FE7F													

アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEA0	0000 0000	R/W	PWMCNT	12ビットPWM (bit4 は R/O)	－	PWMST	PWMOE	PWMINV	RLDBSY	PWMCTOV	PWMCTIE	PWMOV	PWMI E
FEA1	HHH0 0000	R/W	PWMCKR		－	－	－	－	PWCKSL	PWPRSL3	PWPRSL2	PWPRSL1	PWPRSL0
FEA2	0000 0000	R/W	PWM1LR		－	PWM107	PWM106	PWM105	PWM104	PWM103	PWM102	PWM101	PWM100
FEA3	0000 0000	R/W	PWM2LR		－	PWM207	PWM206	PWM205	PWM204	PWM203	PWM202	PWM201	PWM200
FEA4	0000 0000	R/W	PWMXHR		－	PWM211	PWM210	PWM209	PWM208	PWM111	PWM110	PWM109	PWM108
FEA5	0000 0000	R/W	PWMCTLR		－	PWMCT07	PWMCT06	PWMCT05	PWMCT04	PWMCT03	PWMCT02	PWMCT01	PWMCT00
FEA6	0HHH H000	R/W	PWMCTHR		－	PWMDSL	－	－	－	－	PWMCT10	PWMCT09	PWMCT08

87レジスタマップ

アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	0000 0000	R/W	HCT1CNT	パルス幅/周期測定カウンタ1制御	－	FIX0	HC1CKSL	HC1PRSL1	HC1PRSL0	HCT10P1	HCT10P0	HCT1END	HCT1IE
FEC1	XXXX XXXX	R	HCT1LR		－	HCT1R07	HCT1R06	HCT1R05	HCT1R04	HCT1R03	HCT1R02	HCT1R01	HCT1R00
FEC2	XXXX XXXX	R	HCT1HR		－	HCT10V	HCT1R14	HCT1R13	HCT1R12	HCT1R11	HCT1R10	HCT1R09	HCT1R08
FEC3													
FEC4													
FEC5	0000 H000	R/W	HCT2CNT	パルス幅/周期測定カウンタ2制御	－	FIX0	HC2CKSL	HC2PRSL1	HC2PRSL0	－	HCT2ST	HCT2END	HCT2IE
FEC6	XXXX XXXX	R	HCT21LR		－	HCT21R07	HCT21R06	HCT21R05	HCT21R04	HCT21R03	HCT21R02	HCT21R01	HCT21R00
FEC7	XXXX XXXX	R	HCT21MR		－	HCT21R15	HCT21R14	HCT21R13	HCT21R12	HCT21R11	HCT21R10	HCT21R09	HCT21R08
FEC8	HHHH HXXX	R	HCT21HR		－	－	－	－	－	－	HCT21R18	HCT21R17	HCT21R16
FEC9	XXXX XXXX	R	HCT22LR		－	HCT22R07	HCT22R06	HCT22R05	HCT22R04	HCT22R03	HCT22R02	HCT22R01	HCT22R00
FECA	XXXX XXXX	R	HCT22MR		－	HCT22R15	HCT22R14	HCT22R13	HCT22R12	HCT22R11	HCT22R10	HCT22R09	HCT22R08
FECB	0000 XXXX	R/W	HCT22HR	(bit3-0 は R/O)	－	TRGSL	TRGSFT2	TRGSFT1	TRGSFT0	HCT20V	HCT22R18	HCT22R17	HCT22R16
FEC C	0000 0000	R/W	CMPCNT	コンパレータ制御 (bit2 は R/O)	－	HCT2INSL	INTCINSL	FIX0	P320TSL1	CMPON	CMPOUT	P320TSL0	CMPOTIV
FEC D													
FEC E	XXXX XXXX	R	FREQL	テスト用	－	FREQL7	FREQL6	FREQL5	FREQL4	FREQL3	FREQL2	FREQL1	FREQL0
FEC F	XXXX XXXX	R	FREQH	テスト用	－	FREQH7	FREQH6	FREQH5	FREQH4	FREQH3	FREQH2	FREQH1	FREQH0

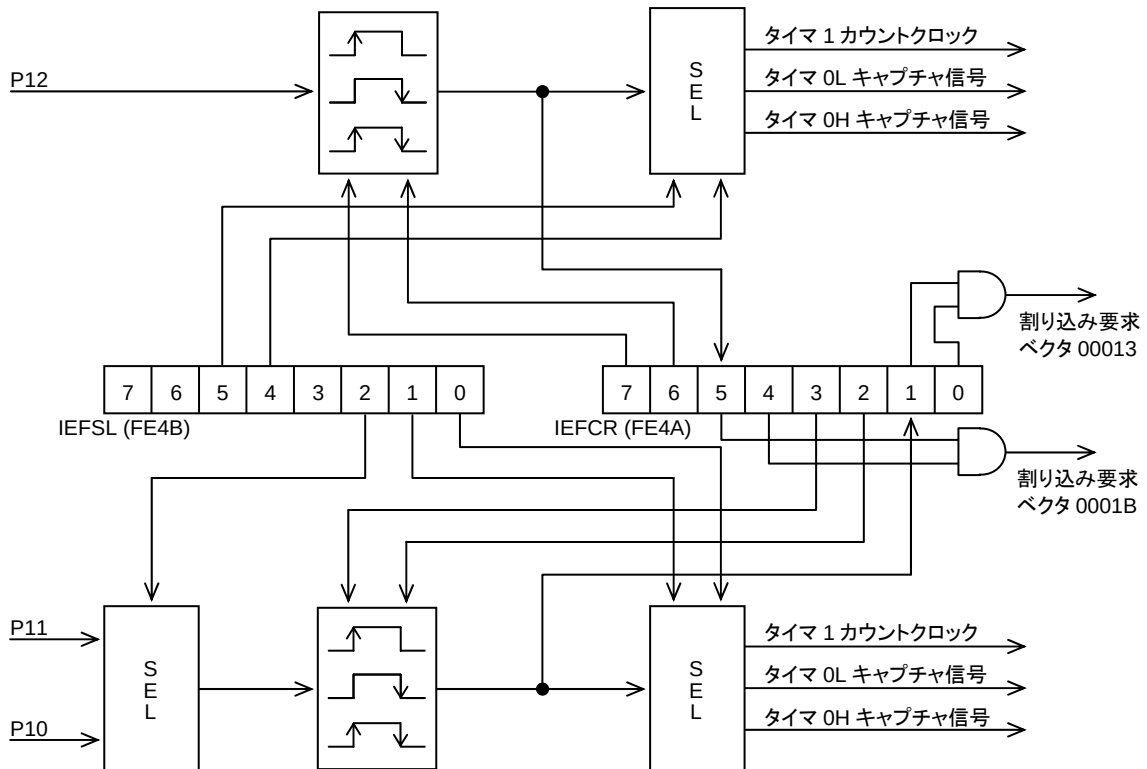
アドレス	初期値	R/W	LC872600	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEF8	0000 0000	R/W	SCON7		－	SCN7B7	SI7REC	SI7RUN	FIX0	SI7DIR	SI70VR	SI7END	SI7IE
FEF9	0000 0000	R/W	SBUF7		－	SBUF77	SBUF76	SBUF75	SBUF74	SBUF73	SBUF72	SBUF71	SBUF70
FEFA	0000 0000	R/W	SBR7		－	SBRG77	SBRG76	SBRG75	SBRG74	SBRG73	SBRG72	SBRG71	SBRG70



ポート 1 兼用機能表

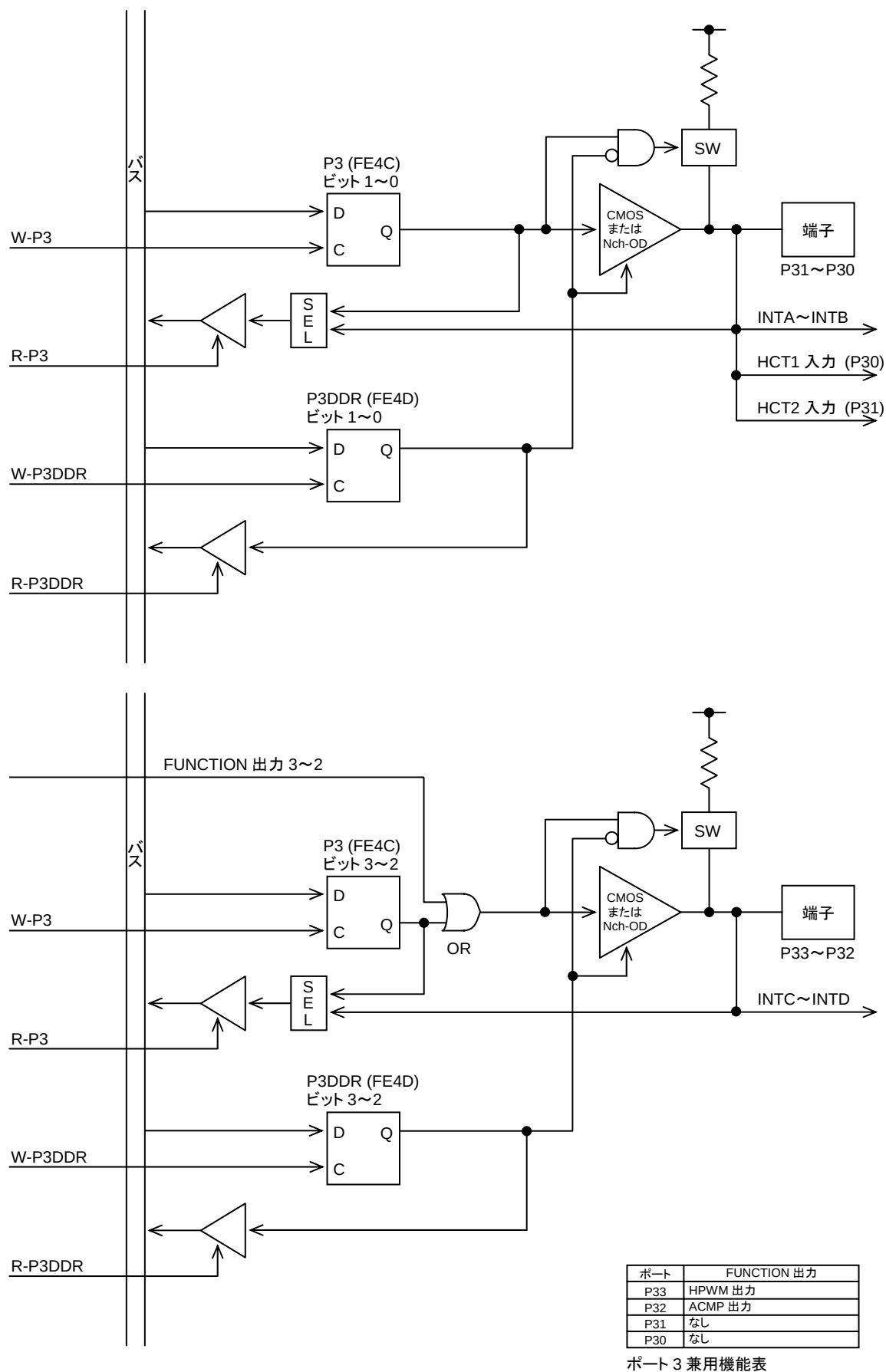
ポート 1 ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能



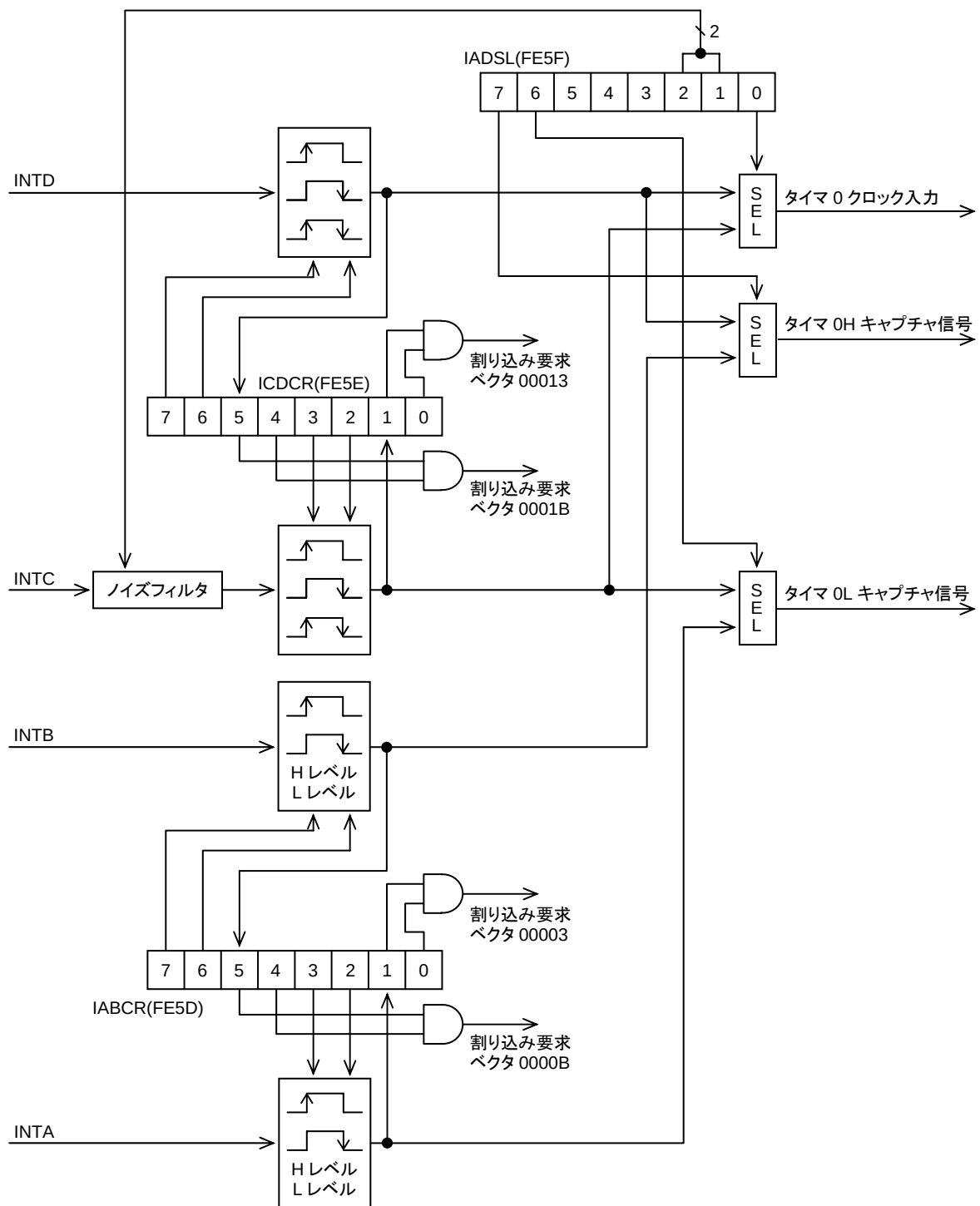
ポート 1 (割り込み) ブロック図

ポートブロック図



ポート 3 ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能



ポート3 (割り込み) ブロック図

改訂履歴

■ Rev. 1.00で改訂された主な箇所

箇所(ページ)	内容
第1章 概説	
1-4	■スタンバイ機能 HOLDモード ②-(3) の説明文に追記
	■オンチップデバッグ機能 の説明文を変更
1-5	■出荷形態 MFP10S の説明文に追記
	■開発ツール の説明文を変更
1-6	1-3 ピン配置図 MFP10S の説明文に追記
1-9	1-7 未使用端子の推奨処理 を追記
	1-8 ユーザーオプション一覧表 パッケージタイプ MFP14S の説明文を変更
第3章 周辺システム構成	
3-6 高速12ビットPWM(HPWM)	
3-34	3-6-2 機能 ①高速12ビットPWM機能 の説明文を変更
3-36	3-6-3-5 HPWM・DUTY／周期上位設定レジスタ(PWMXHR) の注意文(注4)を変更
	3-6-3-7 HPWM・周期カウント上位設定レジスタ(PWMCTHR) の注意文(注7)に追記
	3-6-3-8 HPWM・ブリスケラ設定バッファレジスタ(PWMPBR) ②の説明文を変更
3-37	3-6-3-9 HPWM・DUTY設定バッファレジスタ(PWM1BR) ②の説明文を変更
	3-6-3-10 HPWM・周期設定バッファレジスタ(PWM2BR) ②の説明文を変更
3-38	図3-6-2 連続出力モードの動作波形例 を変更
3-39	3-6-4-1 HPWM・制御レジスタ(PWMCNT) のRLDBSY(ビット4)とPWMCTOV(ビット3)の説明文を変更
3-41	3-6-4-5 HPWM・DUTY／周期上位設定レジスタ(PWMXHR) の注意文を変更
3-42	3-6-4-7 HPWM・周期カウント上位設定レジスタ(PWMCTHR) の注意文に追記

■ Rev. 0.93で改訂された主な箇所

箇所(ページ)	内容
第1章 概説	
1-4	■スタンバイ機能 HALTモード ②の説明文に追記
	■スタンバイ機能 HOLDモード ②の説明文に追記
1-8	1-7 ユーザーオプション一覧表 を追記
第4章 制御機能	
4-6 ウォッチドッグタイマ(WDT)	
4-26	4-6-5 ウォッチドッグタイマ使用上の注意点 を追記

■ Rev. 0.91で改訂された主な箇所

箇所(ページ)	内容
第3章 周辺システム構成	
3-10 アナログコンパレータ(ACMP)	
3-73	3-10-4-1 ACMP制御レジスタ(CMPCNT) のP32OTSL1, 0(ビット4, 1)の説明文に追記
	3-10-4-2 入力信号選択レジスタ(IADSL) のP32OTIV(ビット3)の説明文を追記

ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC872600 シリーズ ユーザーズマニュアル

Rev : 1.00 2009.12.25 版

オン・セミコンダクター

Digital Solution 事業部

マイコン・フラッシュビジネスユニット
